

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成20年4月24日 (2008.4.24)

【公開番号】特開2006-172683(P2006-172683A)

【公開日】平成18年6月29日 (2006.6.29)

【年通号数】公開・登録公報2006-025

【出願番号】特願2005-172077(P2005-172077)

【国際特許分類】

G 1 1 C 11/404 (2006.01)

G 1 1 C 11/4091 (2006.01)

H 0 1 L 21/8242 (2006.01)

H 0 1 L 27/108 (2006.01)

G 1 1 C 11/401 (2006.01)

【F I】

G 1 1 C 11/34 3 5 2 D

G 1 1 C 11/34 3 5 3 E

H 0 1 L 27/10 6 2 1 C

H 0 1 L 27/10 6 8 1 B

H 0 1 L 27/10 6 8 1 C

H 0 1 L 27/10 6 8 1 E

G 1 1 C 11/34 3 6 2 H

【手続補正書】

【提出日】平成20年3月10日 (2008.3.10)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

それぞれ MOS トランジスタとキャパシタを含み、前記 MOS トランジスタのゲートが選択端子とされ、ソースおよびドレインの一方が入出力端子とされ、ソースおよびドレインの他方が前記キャパシタの蓄積ノードに接続される複数のメモリセルと、

前記複数のメモリセルの前記選択端子にそれぞれ接続される複数のワード線と、

前記複数のメモリセルの前記入出力端子にそれぞれ接続される相補ビット線と、

前記相補ビット線の一端に接続され、前記相補ビット線の電圧差を増幅しラッチを行うセンスアンプとを備えた半導体記憶装置であって、

前記複数のワード線の中のいずれかのワード線が活性化された後、前記センスアンプが活性化され、前記相補ビット線のうちの一方のビット線が第 1 の電圧に増幅され、他方のビット線が前記第 1 の電圧よりも低い第 2 の電圧に増幅された段階で、前記第 1 の電圧に増幅されたビット線を、第 1 の時間にて前記第 1 の電圧よりも低い第 3 の電圧に下げ、その後前記いずれかのワード線を非活性化する手段を有することを特徴とする半導体記憶装置。

【請求項 2】

請求項 1 記載の半導体記憶装置において、

前記センスアンプは、第 1 および第 2 の P チャネル型 MOS トランジスタと、第 1 および第 2 の N チャネル型 MOS トランジスタを含み、

前記第 1 の P チャネル型 MOS トランジスタは、ソースが P 側共通ソース端子に接続さ

れ、ゲートが前記相補ビット線のうちの第2のビット線に接続され、ドレインが前記相補ビット線のうちの第1のビット線に接続されており、

前記第2のPチャネル型MOSトランジスタは、ソースが前記P側共通ソース端子に接続され、ゲートが前記第1のビット線に接続され、ドレインが前記第2のビット線に接続されており、

前記第1のNチャネル型MOSトランジスタは、ソースがN側共通ソース端子に接続され、ゲートが前記第2のビット線に接続され、ドレインが前記第1のビット線に接続されており、

前記第2のNチャネル型MOSトランジスタは、ソースが前記N側共通ソース端子に接続され、ゲートが前記第1のビット線に接続され、ドレインが前記第2のビット線に接続されており、

前記複数のワード線の中のいずれかのワード線が活性化された後、前記P側共通ソース端子が前記第1の電圧に駆動され、前記N側共通ソース端子が前記第2の電圧に駆動された段階で、前記P側共通ソース端子を前記第1の時間にて前記第1の電圧よりも低い第4の電圧に駆動し、その後前記いずれかのワード線を非活性化する手段を有することを特徴とする半導体記憶装置。

【請求項3】

請求項2記載の半導体記憶装置において、

前記第4の電圧は、前記第3の電圧から前記第1または前記第2のPチャネル型MOSトランジスタのしきい値電圧を引いた値よりも低いことを特徴とする半導体記憶装置。

【請求項4】

請求項2記載の半導体記憶装置において、

前記第1の時間は、前記半導体記憶装置にプリチャージコマンドが入力された時間よりも遅いことを特徴とする半導体記憶装置。

【請求項5】

請求項2記載の半導体記憶装置において、

前記いずれかのワード線が活性化された後、前記P側共通ソース端子を、前記第1の電圧よりも高い第5の電圧に駆動し、その後、前記第1の電圧に駆動し、更にその後、前記第1の時間にて前記第4の電圧に駆動する手段を有することを特徴とする半導体記憶装置。

【請求項6】

請求項2記載の半導体記憶装置において、

複数のプレート線を備え、

前記複数のプレート線は、前記複数のメモリセル内で前記蓄積ノードと反対側の前記キャパシタのノードとなるプレート端子にそれぞれ接続され、

前記複数のプレート線の中の同一のプレート線には、前記複数のワード線の中の同一のワード線に接続される前記複数のメモリセルの前記プレート端子のみが接続されることを特徴とする半導体記憶装置。

【請求項7】

請求項6記載の半導体記憶装置において、

前記キャパシタは、前記キャパシタの一方の電極が層間絶縁膜の孔の内壁に形成されたシリンダ形状であることを特徴とする半導体記憶装置。

【請求項8】

請求項6記載の半導体記憶装置において、

前記相補ビット線は、前記複数のワード線の中の同一のワード線と交差し、互いに隣接して配置されることを特徴とする半導体記憶装置。

【請求項9】

請求項6記載の半導体記憶装置において、

前記相補ビット線は、前記複数のワード線の中の同一のワード線と交差し、間に1本のビット線を挟んで配置されることを特徴とする半導体記憶装置。

【請求項 10】

請求項 6 記載の半導体記憶装置において、

前記相補ビット線は、前記センスアンプを中心に互いに反対方向に延伸し、

前記センスアンプが前記複数のワード線の延伸する方向に複数配置されることで、前記相補ビット線を含む複数のビット線が互いに隣接して配置され、

前記複数のワード線間のピッチは、前記複数のビット線間のピッチと同じかまたは広いことを特徴とする半導体記憶装置。

【請求項 11】

請求項 6 記載の半導体記憶装置において、

前記相補ビット線は、前記センスアンプを中心に互いに反対方向に延伸し、

前記センスアンプが前記複数のワード線の延伸する方向に複数配置されることで、前記相補ビット線を含む複数のビット線が互いに隣接して配置され、

前記複数のワード線間のピッチは、前記複数のビット線間のピッチよりも狭いことを特徴とする半導体記憶装置。

【請求項 12】

それぞれ MOS トランジスタとキャパシタを含み、前記 MOS トランジスタのゲートが選択端子とされ、ソースおよびドレインの一方が入出力端子とされ、ソースおよびドレインの他方が前記キャパシタの蓄積ノードに接続される複数のメモリセルと、

前記複数のメモリセルの前記選択端子にそれぞれ接続される複数のワード線と、

前記複数のメモリセルの前記入出力端子にそれぞれ接続される相補ビット線と、

前記複数のメモリセルのキャパシタにて、前記蓄積ノードの反対側の端子にそれぞれ接続される複数のプレート線と、

前記相補ビット線の一端に接続され、前記相補ビット線の電圧差を増幅しラッチを行うセンスアンプとを備えた半導体記憶装置であって、

前記複数のワード線の中のいずれかのワード線が活性化された後、前記センスアンプが活性化され、前記相補ビット線の中の一方のビット線が第 1 の電圧に増幅され、他方のビット線が前記第 1 の電圧よりも低い第 2 の電圧に増幅された段階で、前記いずれかのワード線に対応するプレート線を、第 2 の時間にて第 6 の電圧から前記第 6 の電圧よりも高い第 7 の電圧に駆動する手段と、

前記第 1 の電圧に増幅されたビット線を、第 1 の時間にて前記第 1 の電圧よりも低い第 3 の電圧に下げ、その後前記いずれかのワード線を非活性化する手段とを有することを特徴とする半導体記憶装置。

【請求項 13】

請求項 12 記載の半導体記憶装置において、

前記第 1 の時間は、前記第 2 の時間とほぼ同時であることを特徴とする半導体記憶装置。

【請求項 14】

請求項 12 記載の半導体記憶装置において、

前記いずれかのワード線に対応するプレート線は、前記いずれかのワード線が活性化された後で前記センスアンプが活性化される前に、前記第 7 の電圧から前記第 6 の電圧に駆動されることを特徴とする半導体記憶装置。

【請求項 15】

請求項 12 記載の半導体記憶装置において、

前記いずれかのワード線に対応するプレート線は、前記センスアンプが活性化された後で前記第 2 の時間よりも前に、前記第 7 の電圧から前記第 6 の電圧に駆動されることを特徴とする半導体記憶装置。

【請求項 16】

それぞれ MOS トランジスタとキャパシタを含み、前記 MOS トランジスタのゲートが選択端子とされ、ソースおよびドレインの一方が入出力端子とされ、ソースおよびドレインの他方が前記キャパシタの蓄積ノードに接続される複数のメモリセルと、

前記複数のメモリセルの前記選択端子にそれぞれ接続される複数のワード線と、
前記複数のメモリセルの前記入出力端子にそれぞれ接続される相補ビット線と、
前記相補ビット線の一端に接続され、前記相補ビット線の電圧差を増幅しラッチを行う
センスアンプと、

前記センスアンプに接続される P 側共通ソース線および N 側共通ソース線と、
前記 P 側共通ソース線を駆動する第 1、第 2 および第 3 のドライバとを備え、
前記センスアンプは、第 1 および第 2 の P チャネル型 MOS トランジスタと、第 1 およ
び第 2 の N チャネル型 MOS トランジスタを含み、

前記第 1 の P チャネル型 MOS トランジスタは、ソースが P 側共通ソース端子に接続さ
れ、ゲートが前記相補ビット線のうちの第 2 のビット線に接続され、ドレインが前記相補
ビット線のうちの第 1 のビット線に接続されており、

前記第 2 の P チャネル型 MOS トランジスタは、ソースが前記 P 側共通ソース端子に接
続され、ゲートが前記第 1 のビット線に接続され、ドレインが前記第 2 のビット線に接続
されており、

前記第 1 の N チャネル型 MOS トランジスタは、ソースが N 側共通ソース端子に接続さ
れ、ゲートが前記第 2 のビット線に接続され、ドレインが前記第 1 のビット線に接続され
ており、

前記第 2 の N チャネル型 MOS トランジスタは、ソースが前記 N 側共通ソース端子に接
続され、ゲートが前記第 1 のビット線に接続され、ドレインが前記第 2 のビット線に接続
されており、

前記第 1 のドライバは、第 1 の電源電圧に接続され、前記第 2 のドライバは、第 4 の電
源電圧に接続され、前記第 3 のドライバは、第 5 の電源電圧に接続されることを特徴とす
る半導体記憶装置。

【請求項 17】

請求項 16 記載の半導体記憶装置において、

前記第 4 の電源電圧は、前記第 1 の電源電圧の半分よりも低いことを特徴とする半導体
記憶装置。

【請求項 18】

請求項 16 記載の半導体記憶装置において、

前記第 1 および前記第 4 の電源電圧は、それぞれ、外部電源電圧を降圧回路で降圧する
ことでチップ内部で生成され、

前記第 5 の電源電圧は、前記外部電源電圧をそのまま用いて生成されることを特徴とす
る半導体記憶装置。

【請求項 19】

それぞれ MOS トランジスタとキャパシタを含み、前記 MOS トランジスタのゲートが
選択端子とされ、ソースおよびドレインの一方が入出力端子とされ、ソースおよびドレイ
ンの他方が前記キャパシタの蓄積ノードに接続される複数のメモリセルと、

前記複数のメモリセルにおける前記蓄積ノードと反対側の前記キャパシタのノードにそ
れぞれ接続された複数のプレート線と、

前記複数のメモリセルの前記選択端子にそれぞれ接続される複数のワード線と、

前記複数のメモリセルの前記入出力端子にそれぞれ接続される相補ビット線と、

前記相補ビット線の一端に接続され、前記相補ビット線の電圧差を増幅しラッチを行う
センスアンプと、

前記センスアンプに接続され、前記相補ビット線の高レベル側の電圧を供給するための
P 側共通ソース線と、

前記センスアンプに接続され、前記相補ビット線の低レベル側の電圧を供給するための
N 側共通ソース線と、

ソースおよびドレインの一方が、前記相補ビット線の高レベル側の書き込み電圧となる
第 1 の電源電圧に接続され、他方が、前記 P 側共通ソース線に接続された第 3 の MOS ト
ランジスタと、

ソースおよびドレインの一方が、前記第 1 の電源電圧よりも低い第 4 の電源電圧に接続され、他方が、前記 P 側共通ソース線に接続された第 4 の MOS トランジスタと、

前記 P 側共通ソース線と前記 N 側共通ソース線に接続され、前記 P 側共通ソース線と前記 N 側共通ソース線を同一の電圧にプリチャージするプリチャージ回路と、

前記複数のプレート線に接続され、書き込みおよび読み出し動作時に前記複数のプレート線の電圧を所定の値に変動させるプレートドライバとを有することを特徴とする半導体記憶装置。

【請求項 20】

請求項 19 記載の半導体記憶装置において、

前記第 3 の MOS トランジスタは、P チャネル型 MOS トランジスタであり、

前記第 4 の MOS トランジスタは、N チャネル型 MOS トランジスタであることを特徴とする半導体記憶装置。

【請求項 21】

ワード線と、

2 本のビット線からなり、前記ワード線との間で 2 つの交点を備える相補ビット線と、MOS トランジスタおよびキャパシタを含み、前記 MOS トランジスタのゲートが前記ワード線に接続され、ソース又はドレインの一方が前記相補ビット線の一方のビット線に接続され、ソース又はドレインの他方が前記キャパシタに接続されたダイナミック型メモリセルと、

前記相補ビット線の一端側に配置され、前記相補ビット線の電圧差を増幅するラッチ回路からなるセンスアンプと、を備え、

前記ワード線と前記相補ビット線とが成す 2 つの交点のいずれにも、前記ダイナミック型メモリセルが設けられ、

前記 2 つの交点にそれぞれ設けられたダイナミック型メモリセルにおける前記キャパシタの他端は、同一のプレート線に接続され、

前記ダイナミック型メモリセルからデータを読み出す際に、前記ワード線が活性化され、前記相補ビット線に相補の信号が発生し、前記プレート線のレベルが、第 7 の電圧から、前記第 7 の電圧よりも低い第 6 の電圧に駆動されることを特徴とする半導体記憶装置。

【請求項 22】

請求項 21 記載の半導体記憶装置において、

前記相補ビット線のうち一方のビット線が第 1 の電圧に増幅され、他方のビット線が前記第 1 の電圧よりも低い第 2 の電圧に増幅された後、第 2 の時間に前記プレート線のレベルが前記第 6 の電圧から、前記第 7 の電圧に駆動され、第 1 の時間において前記第 1 の電圧に増幅されたビット線が、前記第 1 の電圧よりも低い第 3 の電圧に下げられた後、前記ワード線が非活性化されることを特徴とする半導体記憶装置。

【請求項 23】

請求項 22 記載の半導体記憶装置において、

前記第 1 の時間と前記第 2 の時間がほぼ同時であることを特徴とする半導体記憶装置。

【請求項 24】

センスアンプが動作している間にメモリセルのプレート電極を駆動することを特徴とする半導体記憶装置。