

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4047626号
(P4047626)

(45) 発行日 平成20年2月13日(2008.2.13)

(24) 登録日 平成19年11月30日(2007.11.30)

(51) Int.Cl.	F 1	
G09F 9/30	(2006.01)	GO9F 9/30 338
G02F 1/133	(2006.01)	GO9F 9/30 330Z
G02F 1/1368	(2006.01)	GO9F 9/30 349C
G09G 3/20	(2006.01)	GO2F 1/133 550
G09G 3/36	(2006.01)	GO2F 1/1368

請求項の数 2 (全 21 頁) 最終頁に続く

(21) 出願番号	特願2002-140888 (P2002-140888)	(73) 特許権者 502356528 株式会社 日立ディスプレイズ 千葉県茂原市早野3300番地
(22) 出願日	平成14年5月16日 (2002.5.16)	(74) 代理人 100083552 弁理士 秋田 収喜
(65) 公開番号	特開2003-330389 (P2003-330389A)	(72) 発明者 石井 正宏 千葉県茂原市早野3300番地 株式会社 日立製作所 ディスプレイグループ内
(43) 公開日	平成15年11月19日 (2003.11.19)	(72) 発明者 仲吉 良彰 千葉県茂原市早野3300番地 株式会社 日立製作所 ディスプレイグループ内
審査請求日	平成16年2月26日 (2004.2.26)	(72) 発明者 宮崎 香織 千葉県茂原市早野3300番地 株式会社 日立製作所 ディスプレイグループ内

最終頁に続く

(54) 【発明の名称】 画像表示装置

(57) 【特許請求の範囲】

【請求項 1】

基板上に、一方向に延在した複数のドレイン信号線と、該複数のドレイン信号線に略直交して配置された複数のゲート信号線が形成され、該複数のドレイン信号線及び該複数のゲート信号線により囲われた領域に対応して画素が形成されている画像表示装置において、

前記複数のドレイン信号線は、そのほぼ中央部にて上側ドレイン信号線と下側ドレイン信号線に分離されており、

前記上側ドレイン信号線には第1映像信号駆動回路から映像信号が供給され、

前記下側ドレイン信号線には第2映像信号駆動回路から映像信号が供給され、

前記上側ドレイン信号線及び下側ドレイン信号線の分離された各々の端部は、前記ゲート信号線の走行方向と同じ方向に延在されて形成されることにより検査用端子として構成されていることを特徴とする画像表示装置。

【請求項 2】

前記上側ドレイン信号線の端部の検査用端子と、前記下側ドレイン信号線の端部の検査用端子は、前記各ゲート信号線が形成された部分に形成された遮光膜とほぼ同形・同幅の遮光膜で遮光されていることを特徴とする請求項1の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は画像表示装置に係り、たとえば液晶表示装置等の画像表示装置に関する。

【0002】

【従来の技術】

アクティブ・マトリクス型の液晶表示装置は、液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、並設された複数のゲート信号線とこれらゲート信号線に交差して並設された複数のドレイン信号線が形成され、

これら各信号線に囲まれた各画素領域に、ゲート信号線からの走査信号によって差動されるスイッチング素子と、このスイッチング素子を介してドレイン信号線からの映像信号が供給される画素電極とを備えている。

【0003】

10

これにより、前記各ゲート信号線 G L は、それらに供給される走査信号によって、その一つ(ライン)が順次選択され、前記各ドレイン信号線 D L のそれぞれには、前記ゲート信号線 G L の選択のタイミングに合わせて映像信号が供給されるようになっている。

【0004】

【発明が解決しようとする課題】

しかしながら、このような構成の液晶表示装置において、近年の高解像度表示、あるいは高速動画像表示にともない、一ライン当たりに対する映像信号の書き込み時間が不足するということが指摘されるに至った。

【0005】

20

本発明は、このような事情に基づいてなされたものであり、その目的は、一ラインに対する映像信号の書き込み時間を充分にとれ、高解像度表示、あるいは高速動画像表示のできる画像表示装置を提供することにある。

【0006】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0007】

手段 1 .

本発明による画像表示装置は、たとえば、基板の画素形成側の面に、その一方向に延在し該一方向と交差する方向に並設される各ドレイン信号線が形成され、これら各ドレイン信号線はそのほぼ中央部にて分離され、一方の側のドレイン信号線には第1映像信号駆動回路から映像信号が供給されるとともに、他方の側のドレイン信号線には第2映像信号駆動回路から映像信号が供給され、

30

かつ、前記各ドレイン信号線の分離された端部は検査用端子として構成され、この検査用端子は該ドレイン信号線の走行方向に対して直交する方向に延在されて形成されていることを特徴とするものである。

【0008】

手段 2 .

本発明による画像表示装置は、たとえば、基板の画素形成側の面に、並設された複数のゲート信号線とこれらゲート信号線に交差して並設された複数のドレイン信号線とで囲まれた各領域を画素領域として形成され、

40

前記各ドレイン信号線はそのほぼ中央部にて分離され、一方の側のドレイン信号線には第1映像信号駆動回路から映像信号が供給されるとともに、他方の側のドレイン信号線には第2映像信号駆動回路から映像信号が供給され、

かつ、前記各ドレイン信号線の分離された端部は検査用端子として構成され、この検査用端子は該ドレイン信号線の走行方向に対して直交する方向に延在されて形成され、

前記検査用端子が形成された部分は、前記各ゲート信号線が形成された部分に形成された遮光膜とほぼ同形・同幅の遮光膜で遮光されていることを特徴とするものである。

【0009】

手段 3 .

50

本発明による画像表示装置は、たとえば、基板の画素形成側の面に、並設された複数のゲート信号線とこれらゲート信号線に交差して並設された複数のドレイン信号線とが形成され、

これら各信号線によって囲まれた画素領域に、片側のゲート信号線からの走査信号によって動作される薄膜トランジスタと、この薄膜トランジスタを介して片側のドレイン信号線から映像信号が供給される画素電極とを備え、

前記各ドレイン信号線はそのほぼ中央部にて分離され、一方の側のドレイン信号線には第1映像信号駆動回路から映像信号が供給されるとともに、他方の側のドレイン信号線には第2映像信号駆動回路から映像信号が供給され、

一方の側のドレイン信号線の映像信号を伝達する薄膜トランジスタは当該薄膜トランジスタが映像信号を伝達する画素領域に対して一方の側に配置されるゲート信号線からの走査信号によって動作されるとともに、他方の側のドレイン信号線の映像信号を伝達する薄膜トランジスタは当該薄膜トランジスタが映像信号を伝達する画素領域に対して他方の側に配置されるゲート信号線からの走査信号によって動作されることを特徴とするものである。 10

【0010】

手段4.

本発明による画像表示装置は、たとえば、手段3の構成を前提とし、前記各薄膜トランジスタは、ドレイン信号線に接続された一方の電極と画素電極に接続された他方の電極を備え、これら各電極の配置によって設定される該薄膜トランジスタのチャネル方向は前記ゲート信号線とほぼ平行となっていることを特徴とするものである。 20

【0011】

手段5.

本発明による画像表示装置は、たとえば、基板の画素形成側の面に、その一方向に延在し該一方向と交差する方向に並設される各ドレイン信号線が形成され、これら各ドレイン信号線はほぼ中央部にてそれぞれスイッチング素子を介して接続され、一方の側のドレイン信号線には第1映像信号駆動回路から映像信号が供給されるとともに、他方の側のドレイン信号線には第2映像信号駆動回路から映像信号が供給され、

前記各スイッチング素子は、それらに共通な検査用ゲート信号線を備え、この検査用ゲート信号線はオフ電圧を供給する電圧生成回路に接続されていることを特徴とするものである。 30

【0012】

手段6.

本発明による画像表示装置は、たとえば、基板の画素形成側の面に、並設される複数のゲート信号線とこれら各ゲート信号線に交差して並設される複数のドレイン信号線に囲まれた領域を画素領域として形成され、

これら各ドレイン信号線はほぼ中央部にてそれぞれスイッチング素子を介して接続され、一方の側のドレイン信号線には第1映像信号駆動回路から映像信号が供給されるとともに、他方の側のドレイン信号線には第2映像信号駆動回路から映像信号が供給され、

前記各スイッチング素子は、それらに共通な検査用ゲート信号線を備え、この検査用ゲート信号線はこの検査用ゲート信号線側を陰極としたダイオードを介して前記各ゲート信号線に接続されていることを特徴とするものである。 40

【0013】

手段7.

本発明による画像表示装置は、たとえば、基板の画素形成側の面に並設される複数のドレイン信号線が形成され、

これら各ドレイン信号線はほぼ中央部にてそれぞれスイッチング素子を介して接続され、一方の側のドレイン信号線には第1映像信号駆動回路から映像信号が供給されるとともに、他方の側のドレイン信号線には第2映像信号駆動回路から映像信号が供給され、

前記各スイッチング素子は、それらに共通な検査用ゲート信号線を備えているとともに、画素領域に対して一方の側に配置された前記一方の側のドレイン信号線と画素領域に対し 50

て他方の側に配置された前記他方の側のドレイン信号線とが前記スイッチング素子で接続されていることを特徴とするものである。

【0014】

手段8.

本発明による画像表示装置は、たとえば、基板の画素形成側の面に、並設された複数のゲート信号線とこれらゲート信号線に交差して並設された複数のドレイン信号線とが形成され、

これら各信号線によって囲まれた画素領域に、ゲート信号線からの走査信号によって動作される薄膜トランジスタと、この薄膜トランジスタを介してドレイン信号線から映像信号が供給される画素電極とを備え、

前記各ドレイン信号線はそのほぼ中央部にて分離され、一方の側のドレイン信号線には第1映像信号駆動回路から映像信号が供給されるとともに、他方の側のドレイン信号線には第2映像信号駆動回路から映像信号が供給され、

前記各ドレイン信号線の分離部にゲート信号線とほぼ平行に配置される容量信号線を備え、

この容量信号線の両脇に隣接する各画素領域の画素電極は前記容量信号線との間に容量を形成するとともに、

他の画素領域の画素電極は当該画素領域の薄膜トランジスタを動作させるゲート信号線と当該画素領域を挟んで隣接するゲート信号線との間に容量を形成していることを特徴とするものである。

なお、本発明は以上の構成に限定されず、本発明の技術思想を逸脱しない範囲で種々の変更が可能である。

【0015】

手段9.

本発明による画像表示装置は、たとえば、手段8の構成を前提とし、前記一方の側のゲート信号線と他方の側のゲート信号線は走査のタイミングが少なくとも1ライン相当分かれていることを特徴とするものである。

【0016】

【発明の実施の形態】

以下、本発明による画像表示装置の実施例を図面を用いて説明をする。

30

【0017】

実施例1.

《全体概略構成》

図2は、本発明による液晶表示装置の一実施例を示す全体概略構成図である。

【0018】

図2は液晶を介して対向配置される各透明基板のうち一方の透明基板SUB1の液晶側の面に形成される回路で、実際の幾何学的配置に対応させて描いている。

【0019】

図2において、まず、そのx方向に延在されy方向に並設されるゲート信号線GLと、y方向に延在されx方向に並設されるドレイン信号線DLが形成されている。

40

【0020】

隣接する一対のゲート信号線GLとやはり隣接する一対のドレイン信号線DLとで囲まれた領域は画素領域を構成し、後に詳述するように、これら各画素領域には、片側のゲート信号線GLからの走査信号によって作動される薄膜トランジスタTFTと、この薄膜トランジスタTFTを介して片側のドレイン信号線DLからの映像信号が供給される画素電極PX等とを備えている。

【0021】

このような構成からなる各画素領域の画素はマトリクス状に配置されて液晶表示部ARを構成するようになっている。

【0022】

50

そして、この液晶表示部 A R は、たとえばその上下を分割するかのようにして、その境界部において各ドレイン信号線 D L が物理的および電気的に分割されるようになっている。

【 0 0 2 3 】

上方に位置づけられる液晶表示部 A R の各ゲート信号線 G L は、その一端（たとえば図中左側）において走査信号駆動回路 V (1) に接続され、また、各ドレイン信号線 D L は、その一端（たとえば図中上側）において映像信号駆動回路 H e (1) に接続されている。

【 0 0 2 4 】

ここで、前記走査信号駆動回路 V および映像信号駆動回路 H e は、それぞれ複数の半導体回路から構成され、互いに隣接する複数の各信号線どおしに対して1個の半導体回路があてがわれるのが通常である。

10

【 0 0 2 5 】

また、同様に、下方に位置づけられる液晶表示部 A R の各ゲート信号線 G L は、その一端（たとえば図中左側）において走査信号駆動回路 V (2) に接続され、また、各ドレイン信号線 D L は、その一端（たとえば図中下側）において映像信号駆動回路 H e (2) に接続されている。

【 0 0 2 6 】

このように構成された液晶表示装置において、前記各ゲート信号線 G L は、前記走査信号駆動回路 V (1) および走査信号駆動回路 V (2) から供給される走査信号によって、その一つ（ライン）が順次選択され、このゲート信号線 G L の選択のタイミングに合わせて、前記映像信号駆動回路 H e (1) あるいは映像信号駆動回路 H e (2) から前記各ドレイン信号線 D L のそれぞれに映像信号が供給されるようになっている。

20

【 0 0 2 7 】

このため、ドレイン信号線 D L はその長さが短くなった状態で、液晶表示駆動ができることになり、一ラインに対する映像信号の書き込み時間を充分にとれるようになる。

【 0 0 2 8 】

したがって、信頼性のある高解像度表示あるいは高速動画像表示を達成することができる。

【 0 0 2 9 】

《画素構成》

図 3 (a) は、前記液晶表示部 A R 内のうち、上側の液晶表示部 A R の画素の一実施例を示した平面図で、図 3 (b) は図 3 (a) の b - b 線における断面図である。

30

【 0 0 3 0 】

透明基板 S U B 1 の液晶側の面に、まず、x 方向に延在し y 方向に並設される一対のゲート信号線 G L が形成されている。

【 0 0 3 1 】

これらゲート信号線 G L は後述の一対のドレイン信号線 D L とともに矩形状の領域を囲むようになっており、この領域を画素領域として構成するようになっている。

【 0 0 3 2 】

また、各ゲート信号線 G L の間の中央には容量信号線 S t L が該ゲート信号線 G L とほぼ平行に形成されている。この容量信号線 S t L はたとえばゲート信号線 G L の形成の際に同時に形成されるようになっている。

40

【 0 0 3 3 】

このようにゲート信号線 G L および容量信号線 S t L が形成された透明基板 S U B 1 の表面にはたとえば S i N からなる絶縁膜 G I が該ゲート信号線 G L 等をも被って形成されている。

【 0 0 3 4 】

この絶縁膜 G I は、後述のドレイン信号線 D L の形成領域においては前記ゲート信号線 G L に対する層間絶縁膜としての機能を、後述の薄膜トランジスタ T F T の形成領域においてはそのゲート絶縁膜としての機能を有するようになっている。

【 0 0 3 5 】

50

そして、この絶縁膜 G I の表面であって、前記ゲート信号線 G L の一部に重畠するようにしてたとえばアモルファス S i からなる半導体層 A S が形成されている。

【 0 0 3 6 】

この半導体層 A S は、薄膜トランジスタ T F T のそれであって、その上面にドレイン電極 S D 1 およびソース電極 S D 2 を形成することにより、ゲート信号線の一部をゲート電極とする逆スタガ構造のMIS (metal insulator semiconductor) 型トランジスタを構成することができる。

【 0 0 3 7 】

ここで、前記ドレイン電極 S D 1 およびソース電極 S D 2 はドレイン信号線 D L の形成の際に同時に形成されるようになっている。

10

【 0 0 3 8 】

すなわち、y 方向に延在され x 方向に並設されるドレイン信号線 D L が形成され、その一部が前記半導体層 A S の上面にまで延在されてドレイン電極 S D 1 が形成され、また、このドレイン電極 S D 1 と薄膜トランジスタ T F T のチャネル長分だけ離間されてソース電極 S D 2 が形成されている。

【 0 0 3 9 】

また、このソース電極 S D 2 は画素領域内に形成される画素電極 P X と一緒に形成されている。

【 0 0 4 0 】

すなわち、画素電極 P X は画素領域内をその y 方向に延在し x 方向に並設されたたとえば一本の電極から構成されている。この画素電極 P X の一方の端部は前記ソース電極 S D 2 を兼ねている。

20

【 0 0 4 1 】

このように薄膜トランジスタ T F T 、ドレイン信号線 D L 、ドレイン電極 S D 1 、ソース電極 S D 2 、および画素電極 P X が形成された透明基板 S U B 1 の表面には保護膜 P A S が形成されている。この保護膜 P A S は前記薄膜トランジスタ T F T の液晶との直接の接触を回避する膜で、該薄膜トランジスタ T F T の特性劣化を防止せんとするようになっている。

【 0 0 4 2 】

なお、この保護膜 P A S は樹脂等の有機材料層、あるいは S i N のような無機材料層と樹脂等の有機材料層の順次積層体から構成されている。このように保護膜 P A S として少なくとも有機材料層を用いているのは保護膜自体の誘電率を低減させることにある。

30

【 0 0 4 3 】

保護膜 P A S の上面には対向電極 C T が形成されている。この対向電極 C T は前述の画素電極 P X と同様に y 方向に延在され x 方向に並設された複数 (図では 2 本) の電極群から構成され、かつ、それら各電極は、平面的に観た場合、前記画素電極 P X を間に位置付けられるようになっている。

【 0 0 4 4 】

すなわち、対向電極 C T と画素電極 P X は、一方の側のドレイン信号線から他方の側のドレイン信号線にかけて、対向電極、画素電極、対向電極の順にそれぞれ等間隔に配置されている。

40

【 0 0 4 5 】

ここで、画素領域の両側に位置づけられる対向電極 C T は、その一部がドレイン信号線 D L に重畠されて形成されているとともに、隣接する画素領域の対応する対向電極 C T と共に形成されている。

【 0 0 4 6 】

換言すれば、ドレイン信号線 D L 上には対向電極 C T がその中心軸をほぼ一致づけて重畠され、該対向電極 C T の幅はドレイン信号線 D L のそれよりも大きく形成されている。ドレイン信号線 D L に対して左側の対向電極 C T は左側の画素領域の各対向電極 C T の一つを構成し、右側の対向電極 C T は右側の画素領域の各対向電極 C T の一つを構成するよう

50

になっている。

【0047】

このようにドレイン信号線 D L の上方にて該ドレイン信号線 D L よりも幅の広い対向電極 C T を形成することにより、該ドレイン信号線 D L からの電気力線が該対向電極 C T に終端し画素電極 P X に終端することを回避できるという効果を奏する。ドレイン信号線 D L からの電気力線が画素電極 P X に終端した場合、それがノイズとなってしまうからである。

【0048】

電極群からなる各対向電極 C T は、ゲート信号線 G L を充分に被って形成される同一の材料からなる対向電圧信号線 C L と一体的に形成され、この対向電圧信号線 C L を介して基準電圧が供給されるようになっている。

10

【0049】

なお、前記画素電極 P X は、その一部が容量信号線 S t L あるいは対向電圧信号線 C L と重ね合わせて形成され、これにより、画素電極 P X と対向電圧信号線 C L との間に保護膜 P A S 等を誘電体膜とする容量素子 C s t g が形成されている。

【0050】

この容量素子 C s t g は、たとえば画素電極 P X に供給された映像信号を比較的長く蓄積させる等の機能をもたせるようになっている。

【0051】

そして、このように対向電極 C T が形成された透明基板 S U B 1 の上面には該対向電極 C T をも被って配向膜 A L 1 が形成されている。この配向膜 A L 1 は液晶と直接に当接する膜で、その表面に形成されたラビングによって該液晶の分子の初期配向方向を決定づけるようになっている。

20

【0052】

なお、このように構成された透明基板 S U B 1 と液晶 L C を介して対向配置される透明基板 S U B 2 の液晶側の面には、カラーフィルタ C F 、平坦化膜 O C 、配向膜 A L 2 が順次形成されている。

【0053】

《ドレイン信号線の分離部の近傍の画素構成》

図 1 (a) は、前記ドレイン信号線 D L の分離部の近傍の画素の一実施例を示す平面図で、図 2 の点線枠の部分に相当した図である。また、図 1 (b) は、図 1 (a) の b - b 線における断面図、図 1 (c) は、図 1 (a) の c - c 線における断面図を示している。

30

【0054】

ここで、前記各ドレイン信号線 D L の分離部を境として、その上側の画素は該分離部から一画素部だけ上側に離間して配置されたゲート信号線 G L からの走査信号によって差動される薄膜トランジスタ T F T によって駆動されるようになっている。そして、これに対し、下側の画素は該分離部から一画素部だけ下側に離間して配置されたゲート信号線 G L からの走査信号によって作動される薄膜トランジスタ T F T によって駆動されるようになっている。

【0055】

このような配置にすることによって、後述のように前記各ドレイン信号線 D L の分離部におけるスペースを各画素 (y 方向に配置される各画素) の間のスペースと等しく設定できるようになる。

40

【0056】

そして、前記各ドレイン信号線 D L の分離部において、その上側の画素の左側に位置づけられるドレイン信号線 D L の端部は x 方向右側に屈曲するようにして延在されるように形成され、下側の画素の右側に位置づけられるドレイン信号線 D L の端部は x 方向左側に屈曲するようにして延在されるように形成されている。

【0057】

すなわち、各ドレイン信号線 D L の前記延在部は x 方向に断続的に直線状に配置されるよ

50

うになっている。

【0058】

この場合、各ドレイン信号線 D L の前記延在部は、それぞれ検査端子 I T 1、I T 2 として機能するようになっている。すなわち、各ドレイン信号線 D L の分離部を境として上側の液晶表示部 A R における各ドレイン信号線 D L は、その映像信号駆動回路 H e (1) 側にも他の検査端子を備えており、この検査端子と前記検査端子 I T 1との間でたとえば断線等の検査を実行することができる。

【0059】

同様に、各ドレイン信号線 D L の分離部を境として下側の液晶表示部 A R における各ドレイン信号線 D L も、その映像信号駆動回路 H e (2) 側にも他の検査端子を備えており、この検査端子と前記検査端子 I T 2との間でたとえば断線等の検査を実行することができる。

10

【0060】

なお、各ドレイン信号線 D L の前記検査端子 I T 1、I T 2 は、その上層に保護膜 P A S を介して対向電圧信号線 C L が、ゲート信号線 G L の形成領域と同様に、形成されている。

【0061】

このため、検査端子 I T 1、I T 2 からの漏れ電界を該対向電圧信号線 C L によってシールドでき、さらに、検査端子 I T 1、I T 2 の電位差から発生するそれらの間の電界を前記対向電圧信号線 C L 側に吸収できるため、該検査端子 I T 1、I T 2 からの漏れ電界による液晶配列の乱れにともなう表示不良を防止することができる。

20

【0062】

実施例 2 。

図 4 は、本発明による液晶表示装置の他の実施例を示す構成図で、図 1 (a) に対応した図となっている。

【0063】

図 1 (a) と比較して異なる構成は、本発明が適用できる液晶表示装置はいわゆる縦電界方式の画素であってもよいことを示している。

【0064】

この方式の画素電極 P X は画素領域の大部分を被って形成されるたとえば ITO (Indium Tin Oxide)、ITZO (Indium Tin Zinc Oxide)、IZO (Indium Zinc Oxide)、SnO₂ (酸化スズ)、In₂O₃ (酸化インジウム) 等のような透光性の導電膜で形成されている。

30

【0065】

この画素電極 P X との間で電界を発生せしめる対向電極 C T は、透明基板 S U B 1 と対向配置される他の透明基板の液晶側の面に、各画素領域に共通に形成された前記 ITO (Indium Tin Oxide) 等のような透光性の導電膜で形成されている。

【0066】

なお、この実施例では、画素電極 P X は、それが前記保護膜 P A S の上面に形成されていることから、該保護膜 P A S に形成されたスルーホール T H を通して薄膜トランジスタ T F T のソース電極 S D 2 に電気的に接続されている。

40

【0067】

実施例 3 。

図 5 (a) は、本発明による液晶表示装置の他の実施例を示す構成図で、図 1 (a) に対応した図となっている。また、図 5 (b) は図 5 (a) の b - b 線における断面図を示している。

【0068】

図 1 (a) と比較して異なる構成は、画素電極 P X を前記 ITO (Indium Tin Oxide) 等のような透光性の導電膜で構成するとともに、対向電極 C T と同層に形成していることにある。

【0069】

50

このように構成することによって、画素の開口率を向上させることができるようになる。

【0070】

この場合、前記画素電極 P Xにおいて、その薄膜トランジスタ TFT のソース電極 S D 2との電気的導通は、該ソース電極 S D 2から引き出された金属層 S と容量信号線 S t L 上に形成された保護膜 P A S のスルーホールを通した接続によって行なわれている。

【0071】

容量信号線 S t L 上のスルーホールを通して画素電極 P Xと薄膜トランジスタ TFT のソース電極 S D 2との接続を図っているのは画素の開口率を向上させんとする目的からである。

【0072】

10

実施例 4 .

図 6 は、本発明による液晶表示装置の他の実施例を示す構成図で、図 1 (a)に対応した図となっている。

【0073】

図 1 (a)の場合と比較して異なる構成は薄膜トランジスタ TFT にあり、そのドレイン電極 S D 1とソース電極 S D 2はそれぞれ x 線上に配置され、それら電極の離間距離および電極の幅によって、チャネル長およびチャネル幅が設定されるようになっている。

【0074】

そして、薄膜トランジスタ TFT のゲート電極は前記ゲート信号線 G L の一部を画素領域内に延在させて構成し、その延在部の両脇の各片は y 方向とほぼ平行になっている。

20

【0075】

さらに、ソース電極 S D 2は、半導体層 A S 上から前記延在部の各片にほぼ直交するように引き出されるようになっている。

【0076】

このように構成した場合、ドレイン信号線 D L および画素電極 P Xの形成の際のマスクにたとえば上下方向のずれが生じても、各薄膜トランジスタ TFT におけるソース電極 S D 2とゲート信号線 G Lとの重畳面積が一定に維持され、各薄膜トランジスタ TFT の寄生容量 C g s のバラツキを抑制させることができる。

【0077】

すなわち、このようにした場合、図 7 (a)に示すように、ゲート信号線 G L に対してソース電極 S D 2が上下方向にずれて配置されても、ゲート電極 G T とソース電極 S D 2の重ね合わされた面積は不变として構成でき、このことは、上下方向に反転して形成された画素においても同様のことが言える。

30

【0078】

つまり、図 2 の点線枠の近傍において寄生容量 C s g が不連続に変化することを防止できる。このことから、輝度むらを防止できる。

【0079】

したがって、ドレイン信号線 D L および画素電極 P Xの形成の際のマスクのずれがどれだけ生じるかの経験則から、図 7 (b)に示すように、半導体層 A S のドレイン電極 S D 2に対する y 方向のはみ出し量 L 1、L 2、およびゲート電極 G T のドレイン電極 S D 2に対する y 方向のはみ出し量 L 3、L 4を設定することが望ましい。

40

【0080】

実施例 5 .

図 8 は、本発明による液晶表示装置の他の実施例を示す構成図で、図 1 (a)に対応する図である。

【0081】

図 1 (a)と比較して異なる構成は、ブラックマトリクス (遮光膜) B M の構成を示していることにある。

【0082】

該ブラックマトリクス B M は各ゲート信号線 G L に沿って該ゲート信号線 G L を被って形

50

成されているとともに、各ドレイン信号線 D_L の一端の延在部で形成される検査端子 I_T 1、I_T 2 をも被って形成されている。

【0083】

そして、各ゲート信号線 G_L を被うブラックマトリクス B_M と検査端子 I_T 1、I_T 2 を被うブラックマトリクス B_M のそれらの幅は同じに構成されている。これにより、構造上 2 つに分割された液晶表示部 A_R はそれらの各分割領域の境目を区別することができなくなる効果を奏する。

【0084】

また、各ゲート信号線 G_L を被うブラックマトリクス B_M は薄膜トランジスタ TFT をも被う延在部を備えていることから、検査端子 I_T 1、I_T 2 を被うブラックマトリクス B_M においても、たとえ近傍に薄膜トランジスタ TFT が形成されていないにも拘わらず、図中 L₁ = L₂ として、同様のパターンで構成している。

10

【0085】

前記境目を極力目立たないよう配慮するためである。

【0086】

同様の趣旨から、図 9 はドレイン信号線 D_L をもブラックマトリクス B_M で被うパターンとしているが、各ゲート信号線 G_L を被うブラックマトリクス B_M のパターンと、検査端子 I_T 1、I_T 2 を被うブラックマトリクス B_M のパターンと同一として構成している。

【0087】

実施例 6 .

20

図 10 (a) は、本発明による液晶表示装置の画素の一実施例を示す平面図で、図 1 (a) に対応した図となっている。また、図 10 (b) は、図 10 (a) の b - b 線における断面図である。

【0088】

図 1 (a) の場合と比較して異なる構成は、各ドレイン信号線 D_L の分離個所を走行するようにして検査用ゲート信号線 G_L_i が形成されている。

【0089】

そして、この検査用ゲート信号線 G_L_i の上面に絶縁膜 G_I を介して半導体層 A_S_c が形成され、この半導体層 A_S_c 上において、同列に配置される液晶表示部 A_R の上側のドレイン信号線 D_L の他端と該液晶表示部 A_R の下側のドレイン信号線 D_L の他端とが対向して配置されている。

30

【0090】

すなわち、前記半導体層 A_S_c は薄膜トランジスタ TFT_c の半導体層を構成し、前記検査用ゲート信号線 G_L_i に電圧を印加した際には、該半導体層 A_S_c を介して同列に配置される上下の各ドレイン信号線 D_L は互いに電気的に接続されるようになる。

【0091】

なお、この薄膜トランジスタ TFT_c は各画素領域の薄膜トランジスタ TFT と並行して形成することのできるものである。

【0092】

液晶表示部 A_R の上側のドレイン信号線 D_L の映像信号駆動回路 H_e (1) の近傍には検査用端子が形成され、また、液晶表示部 A_R の下側のドレイン信号線 D_L の映像信号駆動回路 H_e (1) の近傍にも検査用端子が形成されていることから、これら各検査用端子を用い、上述のように各電気的接続された上下のドレイン信号線 D_L の断線等を検査できるようになる。

40

【0093】

また、図 10 (c) は、上述した画素を備える液晶表示装置の液晶表示部 A_R およびその近傍を示した図である。

【0094】

液晶表示部 A_R のほぼ中央にて x 方向に走行する検査用ゲート信号線 G_L_i は、その一端において検査用パッド P_A_D が形成され、断線検査時には前記検査用パッド P_A_D に電圧

50

を印加して上下のドレイン信号線 D L を電気的に接続させるとともに、それ以外は前記検査用パッド P A D への電圧を解除して用いることになる。

【 0 0 9 5 】

実施例 7 .

図 1 1 は、本発明による液晶表示装置の他の実施例を示す構成図で、図 1 0 (c) に対応した図となっている。

【 0 0 9 6 】

図 1 0 (c) の場合と異なる構成は、製品として完成される液晶表示装置において、検査用ゲート信号線 G L i の検査用パッド P A D は、該検査用ゲート信号線 G L i によって駆動される前記薄膜トランジスタ T F T c を積極的に O F F にさせるための O F F 電圧供給線 O F L に接続された状態となっている。
10

【 0 0 9 7 】

そして、この O F F 電圧供給線 O F L はたとえば電圧生成回路 G N R に接続されている。

【 0 0 9 8 】

検査用ゲート信号線 G L i を用いて、ドレイン信号線 D L の断線等の検査をした後は、液晶表示部 A R の上下における各ドレイン信号線 D L を互いに電気的に分離させる必要があることから、その後の製造工程において前記 O F F 電圧供給線 O F L および電圧生成回路 G N R を形成している。

【 0 0 9 9 】

実施例 8 .

20

図 1 2 (a) は、本発明による液晶表示装置の他の実施例を示す構成図で、図 1 1 に対応した図となっている。

【 0 1 0 0 】

図 1 1 の場合と比較して異なる構成は、O F F 電圧供給線 O F L は各ゲート信号線 G L との間に陰極を該 O F F 電圧供給線 O F L 側とするダイオード D I がそれぞれ接続されて構成されている。

【 0 1 0 1 】

このように構成された液晶表示装置において、その検査時は、検査用パッド P A D に O N 電位を印加することにより、検査用ゲート信号線 G L i が O N 電位になる。

【 0 1 0 2 】

30

この場合、他のゲート信号線 G L にも O N 電位がダイオード D I 経由で供給されることになるが、ドレイン信号線 D L の断線検査にはゲート信号線 G L の動作は無関係であるため、特に問題が生じることはない。

【 0 1 0 3 】

また、動作時は、ゲート信号線 G L の O F F 電位のみがダイオード D I により O F F 電圧供給線 O F L に供給されることになる。このことから、検査用ゲート信号線 G L i には安定した O F F 状態が維持されることになる。

【 0 1 0 4 】

なお、図 1 2 (b) は前記ダイオード D I の構成の一例を示したものである。図中の T H 1 、 T H 2 はスルーホール、 G L d はゲート信号線 G L と同じ層の電極である。これら各ダイオード D L は、たとえば画素領域内の薄膜トランジスタ T F T と並行して形成されるようになっており、これにより製造工数の増大を回避させている。
40

【 0 1 0 5 】

実施例 9 .

図 1 3 は、本発明による液晶表示装置の他の実施例を示す構成図で、図 1 (a) に対応した図となっている。

【 0 1 0 6 】

図 1 (1) の場合と比較して異なる構成は、液晶表示部 A R における上下の各ドレイン信号線 D L は検査用ゲート信号線 G L i によって駆動する薄膜トランジスタ T F T c を介して接続されるようになっていることにある。
50

【0107】

この場合、同じ薄膜トランジスタ TFTc で接続される一方のドレイン信号線 DL は画素に対して一方の側のそれであり、他方のドレイン信号線 DL は画素に対して他方の側のそれとなっている。

【0108】

このような構成からなる液晶表示装置は、特にドット反転駆動で有効となる。

【0109】

すなわち、液晶表示部 AR の上下方向から同時にゲート信号線 GL を順次選択していく場合、再隣接する上側の画素と下側の画素を互いに逆極性で書き込むためには上側と下側でドレイン信号線 DL の極性を相互に反転する必要がある。

10

【0110】

このため、通常動作時には検査用ゲート信号線 GLi の薄膜トランジスタ TFTc の一方の電極と他方の電極で逆極性の電位が加わる。

【0111】

このようにすることによって、薄膜トランジスタ TFTc でのリーク電流の低減、ひいては消費電力の低減を図ることができるようになる。

【0112】

実施例 10 .

図 14 は、本発明による液晶表示装置の他の実施例を示す構成図で、図 13 に対応した図となっている。

20

【0113】

図 13 の場合と比較して異なる構成は、検査用ゲート信号線 GLi の薄膜トランジスタ TFTc を介して接続される各ドレイン信号線 DL は同列に配置されるドレイン信号線 DL となっていることにある。

【0114】

この場合、たとえば、最初に検査用ゲート信号線 GLi の一つ下側の画素列を駆動させ、次に、該画素列の両脇（外側）に配置される各画素列を同時に駆動させ、さらに、該各画素列の外側に配置される各画素列を同時に駆動させるというようにし、その過程でいわゆるドット反転させるようにすることによって、図 13 に示したと同様の効果を奏することができるようになる。

30

【0115】

実施例 11 .

図 15 (a)、(b) は、本発明による液晶表示装置の他の実施例を示す構成図で、図 15 (a) はドレイン信号線 DL の断線等の検査前の構成を示し、図 15 (b) はドレイン信号線 DL の断線等の検査後であって、製品として完成した後にも同様の構成となっている。

【0116】

すなわち、ドレイン信号線 DL は液晶表示部 AR の上下のそれぞれにおいて一体的に形成されていたものが、ドレイン信号線 DL の断線等の検査後において、たとえばレーザ光の走査等によって互いに切断された状態となっているものである。

40

【0117】

なお、液晶表示部 AR の全体としての構成を図 13 (a) に対応した図 16 (a) に、図 13 (b) に対応した図 16 (b) にそれぞれ示している。

【0118】

実施例 12 .

図 17 は、本発明による液晶表示装置の他の実施例を示す構成図で、図 11 に対応する図となっている。

【0119】

図 11 の場合と比較して異なる構成は、検査用ゲート信号線 GLi に代えて容量信号線 STL として機能させたことにあり、この容量信号線 STL の両脇に位置づけられる各画素

50

列の画素電極 P X との間に容量を形成していることがある。

【 0 1 2 0 】

なお、それ以外の各画素においては、該画素を駆動させるゲート信号線 G L とは異なる他の隣接するゲート信号線 G L との間に容量素子 C a d d を形成している。

【 0 1 2 1 】

このような構成において、容量素子 C a d d は大画面では Cgs 補正ができるため、ゲート信号線 G L の延在方向での輝度ムラを低減できることが知られている。

【 0 1 2 2 】

のことから、上述した画面分割方式にこの容量素子 C a d d 構造を、液晶表示部 A R の上側領域と下側領域の境界に容量信号線 S t L を設けることで実現したものである。

10

【 0 1 2 3 】

そして、この実施例では、さらなる画質の改善を図っている。

【 0 1 2 4 】

すなわち、図示するように、縦方向でみると、容量信号線 S t L に接続される容量素子 C a d d の数が 2 個であるのに対し、ゲート信号線 G L に接続される容量素子 C a d d の数が 1 個であるというように、異なった値となる。

【 0 1 2 5 】

このため、上側領域と下側領域の境界の画素 2 つ（各領域それぞれ 1 画素）がそれ以外の他の画素に対し、薄膜トランジスタ T F T を書き込む際に容量信号線 S t L の安定度が損なわれ、画素に書き込まれる電圧にずれが生じてしまう。

20

【 0 1 2 6 】

これが原因となって、横方向に 2 ライン分、中央部にライン状の輝度ムラが生じてしまうことが見出された。

【 0 1 2 7 】

それ故、上側領域と下側領域の各書き込みタイミングを少なくとも 1 ラインずらした。

【 0 1 2 8 】

すなわち、図示のように、走査順序を、最初に容量信号線 S t L の一つ下側の画素列を駆動させ、次に、該画素列の両脇（外側）に配置される各画素列を同時に駆動させ、さらに、該各画素列の外側に配置される各画素列を同時に駆動させるというようにし、これを繰り替えすようにしたものである。

30

【 0 1 2 9 】

これにより、時間あたりで見ると、容量信号線 S t L もゲート信号線 G L と同様に 1 つの容量素子 C a d d による飛込み電圧の影響を受けるようになるため、条件が等しくなり、ライン状の輝度ムラを解消することが出来た。このような信号の変換は、コントローラにて容易に実現することができる。

【 0 1 3 0 】

なお、図 18 は、上述した走査を、各ゲート信号線 G L に供給する走査信号 G L (A) ないし G L (F) で示すとともに、ドレイン信号線 D (A) 、 D (B) からの映像信号により蓄積される容量素子 (A ないし F で示す) の電位状態を示したものである。

【 0 1 3 1 】

また、これより、ドレイン信号線 D L (A) 、 D L (B) を同一極性で駆動しても、隣接する画素同志の極性が反転し信号を書き込むことができ、ドット反転駆動を簡単に実現することができる。

40

【 0 1 3 2 】

実施例 13 。

図 19 は、本発明による液晶表示装置の他の実施例を示す構成図で、実施例 12 を具体的に示した画素の平面図である。

【 0 1 3 3 】

容量信号線 S t L が、たとえばゲート信号線 G L の形成の際に同時に形成され、この容量信号線 S t L に、その両脇の各画素の画素電極 P X の一端がそれぞれ重ね合わされて形成

50

されている。

【0134】

この場合、容量素子Caddの容量値を大きくするため、前記画素電極PXの一端は容量信号線StLの長手方向へ延在するように屈曲されている。

【0135】

実施例14.

図20は本発明による液晶表示装置の他の実施例を示す構成図で、図19に対応した図である。

【0136】

図19の場合と比較して異なる構成は、容量信号線StLの両脇に位置づけられる画素以外の画素において、その画素電極PXの一端は薄膜トランジスタTFTの側と反対側に指向するようにして、ゲート信号線GL上を延在するようにして構成している。薄膜トランジスタTFTの電気的接触を未然に回避させるためである。

【0137】

実施例15.

図21は本発明による液晶表示装置の他の実施例を示す構成図で、図19に対応した図である。

【0138】

図19の場合と比較して異なる構成は、各画素領域に容量信号線StLが設けられていない構成となっている。

【0139】

なお、実施例13から実施例15にかけて、液晶表示部ARの上下の各ドレイン信号線DLは互いに分離された構成としているものであるが、前記容量信号線StL上に形成した薄膜トランジスタTFTを介して互いに接続されるように構成しても同様の効果が得られることはいうまでもない。

【0140】

実施例16.

図22は本発明による液晶表示装置の他の実施例を示す構成図であり、いわゆる縦電界方式に上述した思想を適用させたものである。

【0141】

すなわち、液晶表示部ARの上下の各ドレイン信号線DLの間に形成される容量信号線StLに重ねられるようにして、該容量信号線StLの両脇の画素の画素電極PXが形成されている。

【0142】

なお、上述した画像表示装置は、たとえば液晶表示装置について説明したものであるが、たとえば有機EL(Electro Luminescence)等の他の画像表示装置にも適用できることはいうまでもない。

【0143】

【発明の効果】

以上説明したことから明らかなように、本発明による画像表示装置によれば、一ラインに対する映像信号の書き込み時間を充分にとれ、高解像度表示、あるいは高速動画像表示ができる。

【図面の簡単な説明】

【図1】本発明による画像表示装置の画素の一実施例を示す構成図である。

【図2】本発明による画像表示装置の一実施例を示す概略平面図である。

【図3】本発明による画像表示装置の画素の一実施例を示す構成図である。

【図4】本発明による画像表示装置の画素の他の実施例を示す平面図である。

【図5】本発明による画像表示装置の画素の他の実施例を示す構成図である。

【図6】本発明による画像表示装置の画素の他の実施例を示す平面図である。

【図7】本発明による画像表示装置の効果を示す説明図である。

10

20

30

40

50

【図8】本発明による画像表示装置の画素の他の実施例を示す平面図である。

【図9】本発明による画像表示装置の画素の他の実施例を示す平面図である。

【図10】本発明による画像表示装置の他の実施例を示す構成図である。

【図11】本発明による画像表示装置の他の実施例を示す構成図である。

【図12】本発明による画像表示装置の他の実施例を示す構成図である。

【図13】本発明による画像表示装置の画素の他の実施例を示す平面図である。

【図14】本発明による画像表示装置の画素の他の実施例を示す平面図である。

【図15】本発明による画像表示装置の画素の他の実施例を示す平面図である。

【図16】本発明による画像表示装置の他の実施例を示す平面図である。

【図17】本発明による画像表示装置の他の実施例を示す平面図である。

10

【図18】図17に示す画像表示装置の動作タイミング波形図である。

【図19】本発明による画像表示装置の画素の他の実施例を示す平面図である。

【図20】本発明による画像表示装置の画素の他の実施例を示す平面図である。

【図21】本発明による画像表示装置の画素の他の実施例を示す平面図である。

【図22】本発明による画像表示装置の画素の他の実施例を示す平面図である。

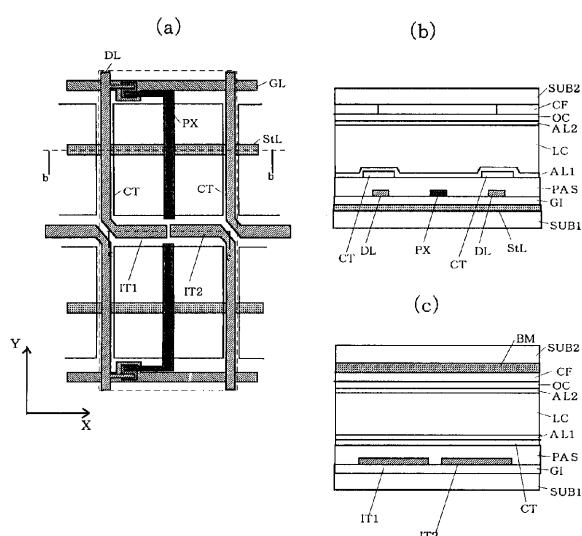
【符号の説明】

S U B 1 透明基板、 G L ゲート信号線、 D L ドレイン信号線、 S t L 容量信号線、 T F T 、 T F T c 薄膜トランジスタ、 P X 画素電極、 C T 対向電極、 I T 1 、 I T 1 検査用端子、 G I 絶縁膜、 P A S 保護膜、 V 走査信号駆動回路、 H e 映像信号駆動回路、 A S 、 A S c 半導体層。

20

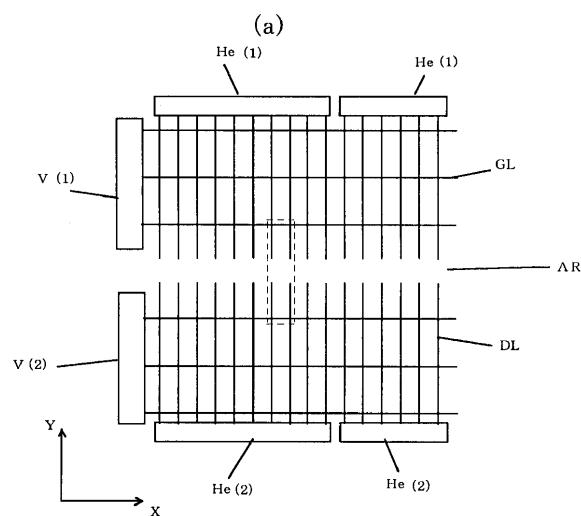
【図1】

図1



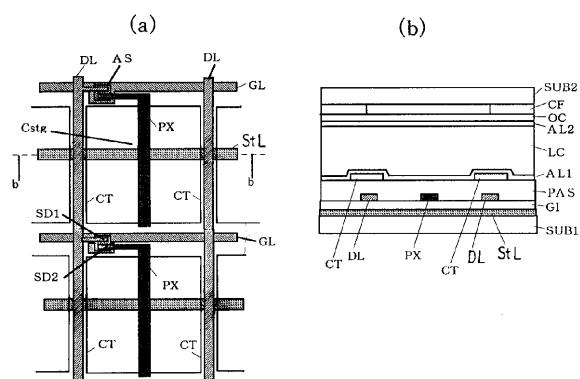
【図2】

図2



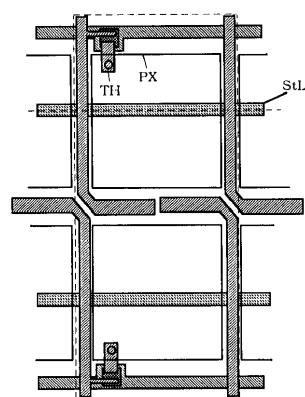
【図3】

図3



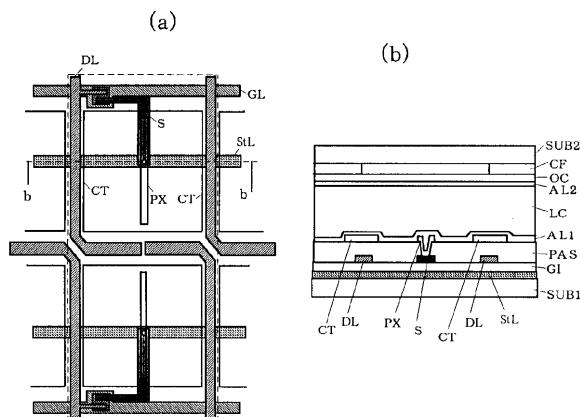
【図4】

図4



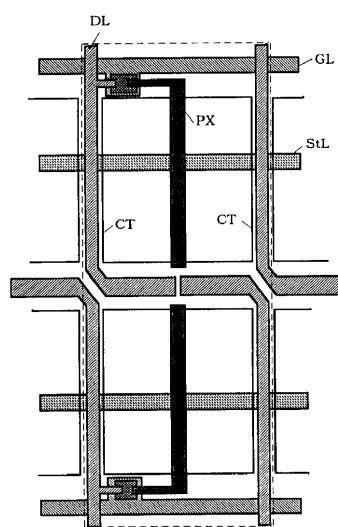
【図5】

図5



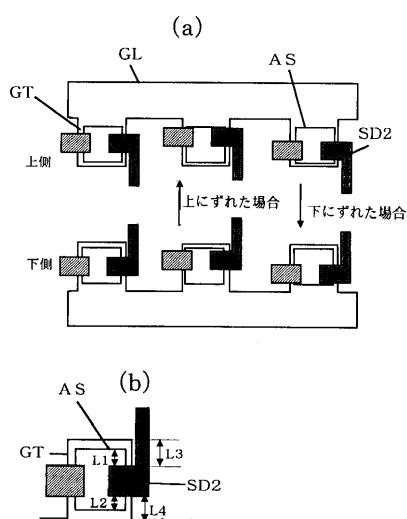
【図6】

図6



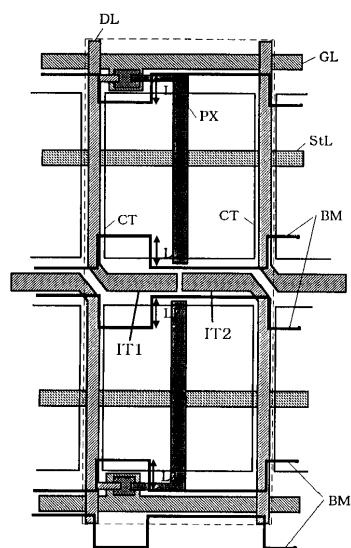
【図7】

図7



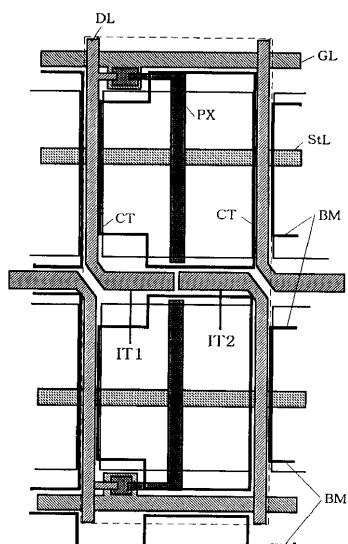
【図8】

図8



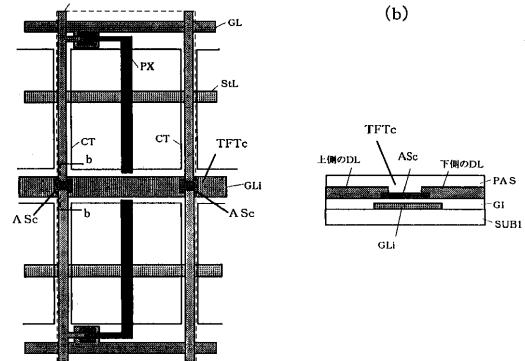
【図9】

図9

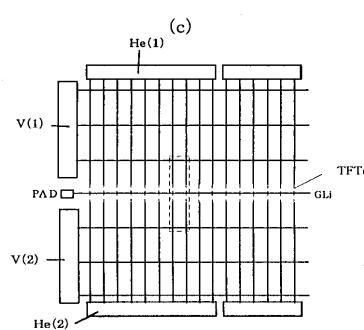
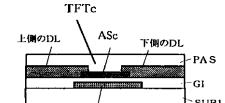


【図10】

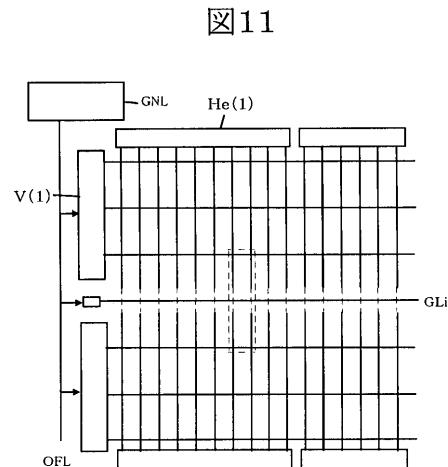
図10 (a)



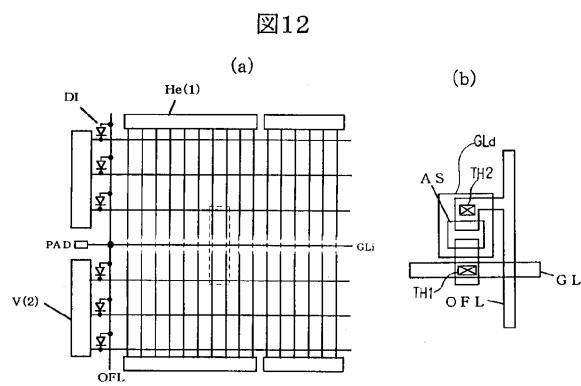
(b)



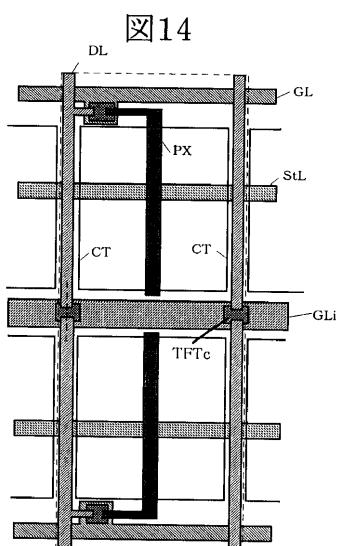
【図11】



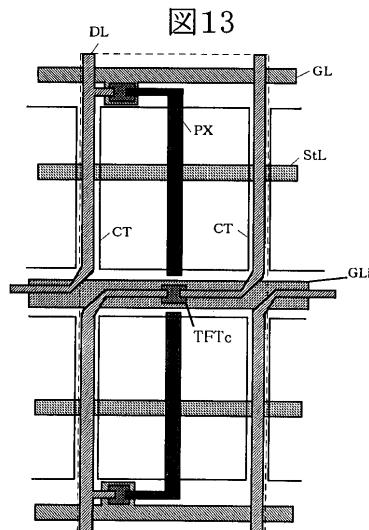
【図12】



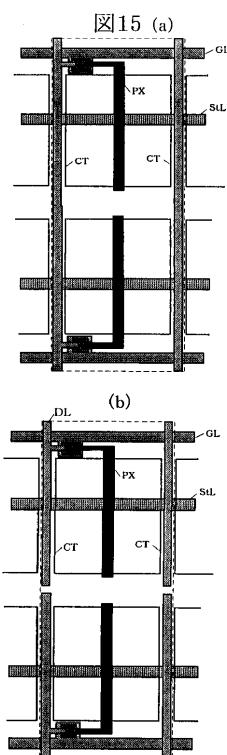
【図14】



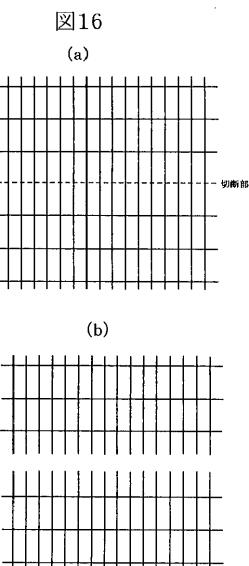
【図13】



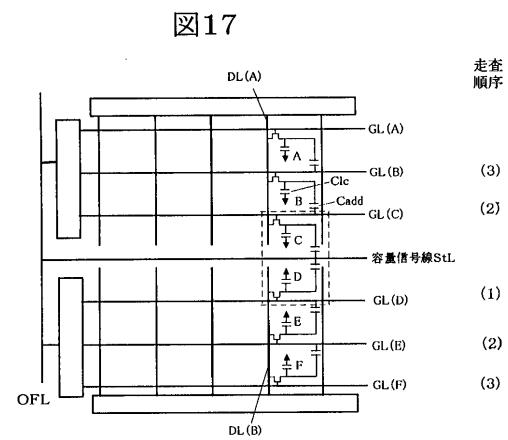
【図15】



【図16】

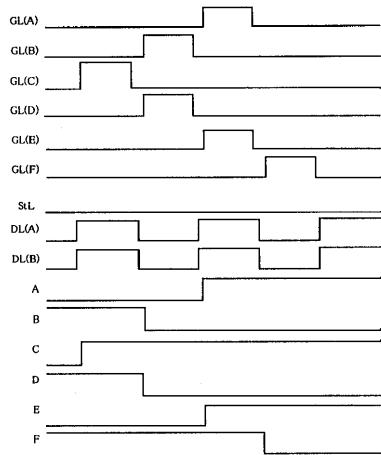


【図17】



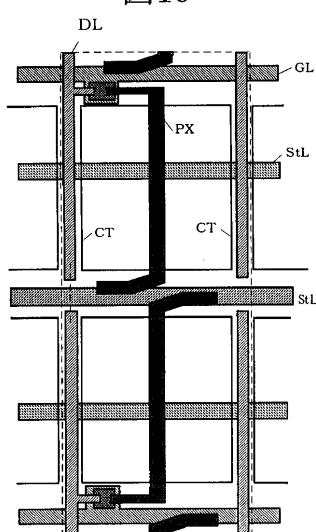
【図18】

図18

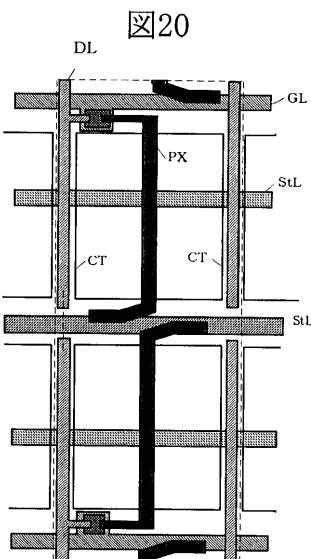


【図19】

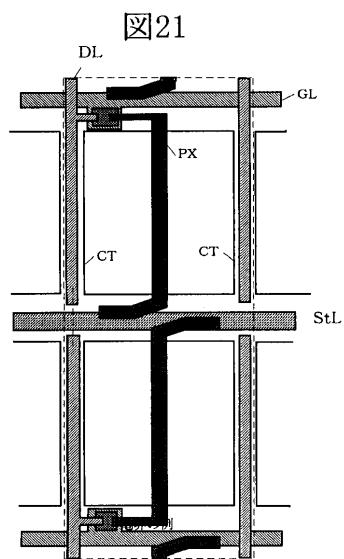
図19



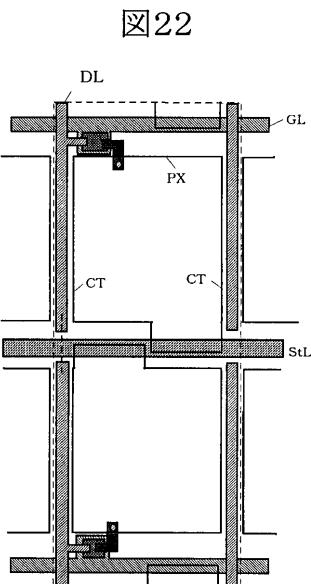
【図20】



【図21】



【図22】



フロントページの続き

(51)Int.Cl.	F I
<i>H 01 L 29/786 (2006.01)</i>	G 09 G 3/20 6 2 1 F
	G 09 G 3/20 6 2 1 M
	G 09 G 3/20 6 2 2 L
	G 09 G 3/20 6 2 3 Y
	G 09 G 3/20 6 6 0 V
	G 09 G 3/36
	H 01 L 29/78 6 1 2 C
	H 01 L 29/78 6 2 4

(72)発明者 柳川 和彦
千葉県茂原市早野3300番地 株式会社日立製作所 ディスプレイグループ内

審査官 河原 英雄

(56)参考文献 特開2001-188213 (JP, A)
実開昭64-032586 (JP, U)
特開平08-022028 (JP, A)
特開平11-084359 (JP, A)
国際公開第99/035678 (WO, A1)
特開2002-062518 (JP, A)
特開2001-343946 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G09F 9/00 - 9/46
G02F 1/13 - 1/141