

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号  
特許第6351691号  
(P6351691)

(45) 発行日 平成30年7月4日(2018.7.4)

(24) 登録日 平成30年6月15日(2018.6.15)

(51) Int.Cl.

F I

HO 4 N 5/378 (2011.01)

HO 4 N 5/374 (2011.01)

HO 4 N 5/378

HO 4 N 5/374

請求項の数 9 (全 11 頁)

|            |                                     |           |                                |
|------------|-------------------------------------|-----------|--------------------------------|
| (21) 出願番号  | 特願2016-224381 (P2016-224381)        | (73) 特許権者 | 000001007                      |
| (22) 出願日   | 平成28年11月17日 (2016.11.17)            |           | キヤノン株式会社                       |
| (62) 分割の表示 | 特願2012-155529 (P2012-155529)<br>の分割 |           | 東京都大田区下丸子3丁目30番2号              |
| 原出願日       | 平成24年7月11日 (2012.7.11)              | (74) 代理人  | 100126240                      |
| (65) 公開番号  | 特開2017-55441 (P2017-55441A)         |           | 弁理士 阿部 琢磨                      |
| (43) 公開日   | 平成29年3月16日 (2017.3.16)              | (74) 代理人  | 100124442                      |
| 審査請求日      | 平成28年12月13日 (2016.12.13)            |           | 弁理士 黒岩 創吾                      |
|            |                                     | (72) 発明者  | 小林 大祐                          |
|            |                                     |           | 東京都大田区下丸子3丁目30番2号キヤ<br>ノン株式会社内 |
|            |                                     | (72) 発明者  | 山崎 善一                          |
|            |                                     |           | 東京都大田区下丸子3丁目30番2号キヤ<br>ノン株式会社内 |
|            |                                     | 審査官       | 大室 秀明                          |
|            |                                     |           | 最終頁に続く                         |

(54) 【発明の名称】 光電変換装置および撮像システム

(57) 【特許請求の範囲】

【請求項 1】

行列状に配列された複数の画素を含む画素アレイと、  
各々が前記画素アレイの列に対応して設けられ、前記画素の信号に基づく信号をデジタル信号に変換するA / D変換部を含む複数の信号処理部と、を有する光電変換装置であって、  
前記複数の信号処理部は、前記複数の信号処理部の互いに異なる一部であって、かつ、  
2つ以上の信号処理部を各々が含む複数の組を構成し、  
前記光電変換装置は、さらに  
前記複数の組の各々に対応して設けられ、前記複数の組の各々において前記2つ以上の  
信号処理部からの信号を共通に受ける共通配線と、  
前記複数の組の各々に対応して設けられた信号出力部と、  
駆動信号伝送部と、を有し、  
前記駆動信号伝送部は、  
駆動信号が入力され、前記駆動信号をバッファする第1のバッファ回路と、前記第1の  
バッファ回路の出力が入力される第2のバッファ回路とを含むとともに、直列に接続され  
た複数のバッファ回路を含む第1のバッファ回路群と、  
前記駆動信号とは別の第2の駆動信号が入力され、直列に接続された複数のバッファ回  
路を含む第2のバッファ回路群と、を有し、  
前記複数の組の一の組の前記信号出力部に前記第1のバッファ回路の出力が入力され、

10

20

前記複数の組の別の組の前記信号出力部に前記第2のバッファ回路の出力が入力され、  
前記第2のバッファ回路群の前記複数のバッファ回路のうちの別のバッファ回路の出力  
が前記一の組に入力され、

前記第2のバッファ回路群の前記複数のバッファ回路のうちの別のバッファ回路の出力  
が前記別の組に入力され、

前記信号出力部の少なくとも1つは、対応する組の前記共通配線の信号を、別の組の前  
記共通配線へ出力する

ことを特徴とする光電変換装置。

【請求項2】

前記複数の組に対応して設けられ、各々が対応する前記組に含まれる前記2つ以上の信  
号処理部を選択する複数の列選択部を有し、

前記複数の列選択部の各々は、前記第2のバッファ回路群に含まれるバッファ回路から  
 供給される信号が与えられること

を特徴とする請求項1に記載の光電変換装置。

【請求項3】

前記複数の組の各々は、前記信号出力部として、前記2つ以上の信号処理部のデジタル  
 信号を受けるブロック出力部を有し、

前記一の組に対応する前記ブロック出力部は、前記一の組の前記2つ以上の信号処理部  
 が出力したデジタル信号、または、前記別の組の前記ブロック出力部が出力したデジタル  
 信号を出力することを特徴とする請求項1または2のいずれかに記載の光電変換装置。

【請求項4】

前記複数の組の各々は、前記信号出力部として、前記2つ以上の信号処理部のデジタル  
 信号を受けるブロック出力部を有し、

前記複数の信号処理部の各々は、前記A/D変換部から出力されたデジタル信号を保持  
 するメモリ部を有し、

前記複数の組の各々は、前記共通配線として、前記一部の複数の信号処理部の各々の前  
 記メモリ部が接続されたブロック信号線を有し、

前記一の組のブロック信号線には、前記一の組の前記メモリ部のデジタル信号と、前記  
 別の組の前記ブロック出力部から出力される、前記別の組の前記メモリ部のデジタル信号  
 とが入力されることを特徴とする請求項1または2のいずれかに記載の光電変換装置。

【請求項5】

前記複数の組の各々は、前記信号出力部として、前記一部の複数の信号処理部のデジタ  
 ル信号を、前記駆動信号に同期して出力する同期化回路を有し、

前記一の組の前記同期化回路は、前記一の組の前記2つ以上の信号処理部が出力したデ  
 ジタル信号、または、前記別の組の前記同期化回路が出力したデジタル信号を出力するこ  
 とを特徴とする請求項1または2のいずれかに記載の光電変換装置。

【請求項6】

前記複数の信号処理部の各々は、前記A/D変換部から出力されたデジタル信号を保持  
 するメモリ部を有し、

前記複数の組の各々は、前記信号出力部として、信号選択部を有し、

前記一の組の前記信号選択部は、前記一の組の前記メモリ部が出力する前記デジタル信  
 号と、前記別の組から出力される前記デジタル信号との一方を出力することを特徴とする  
 請求項1に記載の光電変換装置。

【請求項7】

行列状に配列された複数の画素を含む画素アレイと、

各々が前記画素アレイの列に対応して設けられ、前記画素の信号に基づく信号をデジタ  
ル信号に変換するA/D変換部を含む複数の信号処理部と、を有する光電変換装置であっ  
て、

前記複数の信号処理部は、前記複数の信号処理部の互いに異なる一部であって、かつ、  
2つ以上の信号処理部を各々が含む複数の組を構成し、

10

20

30

40

50

前記光電変換装置は、さらに  
前記複数の組の各々に対応して設けられた信号出力部と、  
駆動信号伝送部と、を有し、  
前記駆動信号伝送部は、駆動信号が入力され、前記駆動信号をバッファする第1のバッファ回路と、前記第1のバッファ回路の出力が入力される第2のバッファ回路とを含み、  
前記複数の組の一の組の前記信号出力部に前記第1のバッファ回路の出力が入力され、  
前記複数の組の別の組の前記信号出力部に前記第2のバッファ回路の出力が入力され、  
前記一の組の前記信号出力部は、前記一の組の前記2つ以上の信号処理部が出力したデジタル信号を受ける第1の入力ノード、および、前記別の組の前記2つ以上の信号処理部が出力したデジタル信号を受ける第2の入力ノードを有し、一方を選択する信号選択部を含む

10

ことを特徴とする光電変換装置。

【請求項8】

前記信号出力部は、前記信号選択部の出力に接続された同期化部を含む

ことを特徴とする請求項7に記載の光電変換装置。

【請求項9】

請求項1～8のいずれかに記載の光電変換装置と、

前記複数の画素に像を形成する光学系と、

前記光電変換装置から出力された信号を処理して画像データを生成する映像信号処理部と、を備えたこと

20

を特徴とする撮像システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は光電変換装置に関し、特に、画素アレイの列に対応して信号処理回路を備える光電変換装置に関する。

【背景技術】

【0002】

画素が行列状に配列された画素アレイの各列、あるいは複数列につき信号処理回路を設けて、並列に信号処理を行う撮像装置が一般に知られている。

30

【0003】

特許文献1には、画素アレイの各列に設けられた信号処理装置として、A/D変換部とその変換結果を保持するメモリを備え、複数のメモリをブロックとしてブロック毎にブロック出力線を持つ撮像装置が記載されている。ブロック出力線に現れたデジタル信号は、同期化回路によりクロック信号に同期して後段へと伝達される。

【0004】

また、駆動信号を供給する方法として、バッファ回路をツリー状に接続したバッファ回路ツリー構成が一般的に知られている。

【先行技術文献】

【特許文献】

40

【0005】

【特許文献1】特開2010-147684号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

特許文献1には、信号処理回路や同期化回路を駆動するための信号が、どのように供給されるのかについては記載がない。仮に、特許文献1に記載された撮像装置において、バッファ回路ツリー構成を用いて駆動信号を供給すると、同時に動作するバッファ回路の数が増大し、過渡的な消費電流が増大することが懸念される。過渡的な消費電流が増大すると、撮像装置の電源ラインのインピーダンスによる電圧の変動が大きくなることで、撮像

50

装置の動作余裕範囲が狭くなることや、ノイズ量が増大することが懸念される。

【 0 0 0 7 】

本発明は、上記問題を解決することを目的とする。

【課題を解決するための手段】

【 0 0 0 8 】

本発明の一つの側面は、行列状に配列された複数の画素を含む画素アレイと、各々が前記画素アレイの列に対応して設けられ、前記画素の信号に基づく信号をデジタル信号に変換する A / D 変換部を含む複数の信号処理部と、を有する光電変換装置であって、前記複数の信号処理部は、前記複数の信号処理部の互いに異なる一部であって、かつ、2 つ以上の信号処理部を各々が含む複数の組を構成し、前記光電変換装置は、さらに前記複数の組の各々に対応して設けられ、前記複数の組の各々において前記 2 つ以上の信号処理部からの信号を共通に受ける共通配線と、前記複数の組の各々に対応して設けられた信号出力部と、駆動信号伝送部と、を有し、前記駆動信号伝送部は、駆動信号が入力され、前記駆動信号をバッファする第 1 のバッファ回路と、前記第 1 のバッファ回路の出力が入力される第 2 のバッファ回路とを含むとともに、直列に接続された複数のバッファ回路を含む第 1 のバッファ回路群と、前記駆動信号とは別の第 2 の駆動信号が入力され、直列に接続された複数のバッファ回路を含む第 2 のバッファ回路群と、を有し、前記複数の組の一の組の前記信号出力部に前記第 1 のバッファ回路の出力が入力され、前記複数の組の別の組の前記信号出力部に前記第 2 のバッファ回路の出力が入力され、前記第 2 のバッファ回路群の前記複数のバッファ回路のうちの一のバッファ回路の出力が前記一の組に入力され、前記第 2 のバッファ回路群の前記複数のバッファ回路のうちの別のバッファ回路の出力が前記別の組に入力され、前記信号出力部の少なくとも 1 つは、対応する組の前記共通配線の信号を、別の組の前記共通配線へ出力することを特徴とする光電変換装置である。

【発明の効果】

【 0 0 1 0 】

本発明によれば、過渡的な消費電流の増大を抑制できる。

【図面の簡単な説明】

【 0 0 1 1 】

【図 1】実施例 1 に係る光電変換装置の構成を示すブロック図である。

【図 2】実施例 1 に係る光電変換装置の動作を示すタイミング図である。

【図 3】実施例 2 に係る光電変換装置の構成を示すブロック図である。

【図 4】実施例 3 に係る光電変換装置の構成を示すブロック図である。

【図 5】実施例 4 に係る光電変換装置の構成を示すブロック図である。

【図 6】実施例 5 に係る撮像装置の構成を示すブロック図である。

【発明を実施するための形態】

【 0 0 1 2 】

( 実施例 1 )

図面を参照しながら、本実施例の説明を行う。

【 0 0 1 3 】

図 1 は、光電変換装置 1 の構成例を示すブロック図である。光電変換装置 1 は、画素アレイ P A、複数の信号処理部 1 0 2 n、複数のブロック出力部 1 0 3 n、駆動信号伝送部 1 0 4、および行選択部 1 0 5 を含む ( n は 1 以上の整数 )。以下では、複数の同じ要素を説明する際に n を付すか末尾の一桁を省略する。つまり、信号処理部であれば、1 0 2 n と表記するか、1 0 2 と表記する。

【 0 0 1 4 】

画素アレイ P A は、行列状に配列された複数の画素 1 0 1 を含み、各列に信号線 S L が設けられている。画素 1 0 1 は、行選択部 1 0 5 から与えられる制御信号により選択状態になると、対応する信号線 S L に信号を出力する。本実施例では、行選択部 1 0 5 が、画素アレイ P A に含まれる画素 1 0 1 を行を単位として選択する構成例を示している。また、行選択部 1 0 5 が 1 行の画素に対して供給する制御信号は 2 以上あることが一般的であ

10

20

30

40

50

るが、簡略化のために、図 1 では 1 本の線で示している。

【 0 0 1 5 】

信号処理部 1 0 2 n は、画素アレイ P A の列に対応して設けられ、信号線 S L に現れた信号をデジタル信号に変換する A / D 変換部を含む。信号処理部 1 0 2 は、ノイズ低減回路や信号増幅する増幅器を有しても良く、その場合には、画素 1 0 1 から出力された信号からノイズの低減を行った上で信号を増幅した信号を A / D 変換部に入力すると、S / N 比が高いデジタル信号を得ることができる。ノイズ低減回路の一例として、C D S ( C o r r e l a t e d D o u b l e S a m p l i n g ) 回路が挙げられる。また、増幅器の例として、演算増幅器やソースフォロワ回路、ソース接地回路が挙げられる。また、信号処理部 1 0 2 n は A / D 変換部から出力されたデジタル信号を保持するメモリ部 M n を含んでもよい。

10

【 0 0 1 6 】

次に、ブロック出力部 1 0 3 n について説明する。図 1 においては、4 個の信号処理部 1 0 2 につきブロック出力線と 1 個のブロック出力部が設けられている。すなわち、4 個の信号処理部 1 0 2 を一つのブロックとして、各ブロックに対してブロック出力部 1 0 3 n が設けられている。ブロック出力線 B L n には、信号処理部 1 0 2 n からの出力が与えられ、ブロック出力線はブロック出力部の入力端子に接続される。ブロック出力部 1 0 3 n は、信号選択部 1 0 6 n、同期化回路 1 0 7 n、及び列選択部 1 0 8 n を含む。図 1 は、ブロック出力部 1 0 3 n が、ブロック出力線 B L n に出力されたデジタル信号をバッファ回路するバッファ回路部 1 0 3 n をさらに有する構成を示している。信号選択部 1 0 6 n は、ブロック出力線 B L n に出力されたデジタル信号を同期化回路 1 0 7 n に伝達する。同期化回路 1 0 7 n は、後述する駆動信号と同期して、デジタル信号を別のブロックの信号選択部 1 0 6 n に伝達する。信号選択部 1 0 6 n は、その信号選択部 1 0 6 n と同一のブロックのブロック信号線 B L に出力された信号と、別のブロックの同期化回路 1 0 7 ( n + 1 ) から出力された信号とのいずれかを選択的に、同一のブロックの同期化回路 1 0 7 n に出力する。すなわち、図 1 においては、同期化回路 1 0 7 n がデジタル信号処理部 1 0 9 と接続されたブロックを除いては、各ブロック信号線 B L に出力された信号は、別のブロックの信号選択部 1 0 6 および同期化回路 1 0 7 を介してデジタル信号処理部 1 0 9 へと伝達される。列選択部 1 0 8 n は、信号処理部 1 0 2 に対して制御信号を供給し、デジタル信号をブロック信号線 B L n に出力させる。列選択部 1 0 8 n は、例えばデコーダやシフトレジスタである。

20

30

【 0 0 1 7 】

駆動信号伝送部 1 0 4 は、駆動信号生成部 D S G と、第 1 および第 2 のバッファ回路群としてのバッファ回路群 B G 1、B G 2 を含む。バッファ回路群 B G 1 および B G 2 は、それぞれ直列に接続された複数のバッファ回路を含むバッファ回路群を有する。図 1 は、直列に接続された複数のバッファ回路の組を 2 個備える構成を例示している。バッファ回路群 B G 1 は、バッファ回路 1 1 2 1、1 1 2 2、・・・、1 1 2 n を有し、バッファ回路群 B G 2 は、バッファ回路 1 1 3 1、1 1 3 2、・・・、1 1 3 n を有する。

【 0 0 1 8 】

バッファ回路群 B G 1 が伝達する駆動信号 D S 1 は、同期化回路 1 0 7 n およびバッファ回路 1 1 2 n に与えられる。同期化回路 1 0 7 n は、駆動信号 D S 1 に同期して信号を次段、すなわち別のブロックの信号選択部 1 0 6 ( n - 1 ) またはデジタル信号処理部 1 0 9 に信号を出力する。バッファ回路 1 1 2 n は、次段のバッファ回路および別のブロックの同期化回路 1 0 7 ( n + 1 ) に駆動信号 D S 1 を供給する。図 1 に示す構成では、隣接するブロックの同期化回路 1 0 7 n および列選択部 1 0 8 n は、バッファ回路 1 1 2 n による遅延だけずれたタイミングで駆動される。

40

【 0 0 1 9 】

バッファ回路群 B G 2 が伝達する駆動信号 D S 2 は、各ブロックの列選択部 1 0 8 n に与えられる。列選択部 1 0 8 n は、駆動信号 D S 2 に同期してアクティブ状態になる。つまり、駆動信号 D S 2 に同期してアクティブになった列選択部 1 0 8 n のうち、アクティ

50

ブにする駆動信号  $DS1$  が与えられた列選択部  $108n$  は、列選択信号を信号処理部  $102n$  に供給する。これにより、当該列選択部  $108n$  と対応付けられたブロックのブロック出力部  $103n$  は、デジタル信号を別のブロックの信号選択部  $106$  またはデジタル信号処理部  $109$  へと出力する。

【0020】

駆動信号伝送部  $104$  は、少なくとも隣接するブロック出力部  $103$  が異なるタイミングで動作するように駆動信号を供給する。図1に示すように、バッファ回路群を用いる場合、バッファ回路群を構成する各バッファ回路の特性が揃えば、ブロック同士で一定の位相差をつけて動作させることが可能となる。これにより、従来懸念された過渡的な消費電流の増大ならびにノイズの抑制が可能となる。

10

【0021】

続いて、図2を参照しながら本実施例にかかる動作を説明する。図2は、図1において左から  $p$  番目の同期化回路  $107p$  と、 $q$  番目の同期化回路  $107q$  と、同期化回路  $107p$  に対応する列選択部  $108p$  と、同期化回路  $107q$  に対応する列選択部  $108q$  と、の動作タイミングを表すタイミング図である（ $p$ 、 $q$  は、 $p < q$  を満たす自然数）。

【0022】

信号  $P1$  は、図1におけるバッファ回路群  $BG1$  のノード  $N1$  に伝達される駆動信号  $DS1$  を表す。信号  $P2$  および  $P3$  も同様に、それぞれノード  $N2$  および  $N3$  に対応する。本実施例において、駆動信号  $DS1$  は、周期的なクロック信号であるとする。

【0023】

20

図2には示さないが、各列選択部  $108p$ 、 $108q$  は、少なくとも信号を出力する期間は、バッファ回路群  $BG2$  を介して与えられる駆動信号  $DS2$  によって、アクティブになっている。

【0024】

$BLp$  および  $BLq$  は、それぞれ左から  $p$  番目および  $q$  番目のブロックのブロック信号線  $BL$  に、信号処理部  $102$  から出力されるデータを表す。

【0025】

出力信号  $Op$  および  $Oq$  は、それぞれ  $p$  番目および  $q$  番目のブロックの同期化回路  $107$  から出力される信号を表す。出力信号  $Op$  および  $Oq$  について、黒いデータは、無効データである。白いデータの上に付した符号は、そのデータが、いずれのブロック信号線から出力されたものであるのかを示す。

30

【0026】

$p = 1$ 、 $q = 2$  である場合を説明する。図1から明らかなように、隣接するブロックの同期化回路及び列選択部  $108$  に供給される駆動信号  $DS1$  は、バッファ回路  $112$  を介して伝達される。このため、左から1番目のブロックに対して2番目のブロックに供給される駆動信号  $DS1$  は、バッファ回路  $112$  で生じる遅延  $T$  だけ位相がずれる。1番目のブロックに対応する列選択部  $1081$  は、信号  $P2$  に同期して動作する一方、1番目のブロックに対応する同期化回路  $1071$  は、信号  $P1$  に同期して動作する。また、2番目のブロックに対応する列選択部  $1082$  は、信号  $P3$  に同期して、2番目のブロックに対応する同期化回路  $1072$  は信号  $P2$  に同期して動作する。

40

【0027】

1番目のブロックの列選択部  $1081$  は、信号  $P2$  に同期して動作するため、1番目のブロックのブロック信号線  $BL1$  に対しては信号  $P2$  に同期したタイミングでデータが出力される。そして、1番目のブロックの同期化回路  $1071$  は、信号  $P1$  に同期するため、信号  $P2$  に同期してブロック信号線  $BL1$  に出力されたデータが信号  $P2$  に同期してデジタル信号処理部  $109$  へと出力される。

【0028】

同様に、2番目のブロックの列選択部  $1082$  は、信号  $P3$  に同期して動作するため、2番目のブロックのブロック信号線  $BL2$  に対しては信号  $P3$  に同期したタイミングでデータが出力される。そして、2番目のブロックの同期化回路  $1072$  は、信号  $P2$  に

50

同期するため、信号 P 3 に同期してブロック信号線 B L 2 に出力されたデータが信号 P 2 に同期して信号選択部 1 0 6 1 へと出力される。図 2 の期間 A 1 の間に、信号選択部 1 0 6 1 は不図示の制御信号を受けて、ブロック信号線 B L 1 に換えて、同期化回路 1 0 7 2 の出力を同期化回路 1 0 7 1 に出力するように切り替えられる。これにより、ブロック信号線 B L 2 に出力されたデータは、信号 P 1 に同期して、同期化回路 1 0 7 1 から出力される ( O p ) 。

#### 【 0 0 2 9 】

上述のように動作させると、同期化回路 1 0 7 1 から出力されたデータは、周期的に無効データを含んだデータとなる。無効データは、二つの異なるブロック信号線から出力されたデータの間に生じる。言い換えると、複数のブロックから出力されるデータは、位相が遅延するものの、それぞれのブロック内での位相関係は保つことができる。したがって、同期化回路 1 0 7 n や列選択部 1 0 8 n の駆動信号と、信号処理部 1 0 2 から出力されるデータの位相管理が容易になる。また、駆動信号がバッファ回路群によって遅延するために、回路の動作タイミングが異なるブロック間でずらすことが可能となる。この結果、過渡的な消費電流の低減、ならびに電源変動に起因するノイズの低減が可能となる。

#### 【 0 0 3 0 】

図 1 では、駆動信号生成部 D S G から出力された駆動信号 D S 1 が、直接同期化回路 1 0 7 1 に与えられる構成を示したが、駆動信号生成部 D S G とノード N 1 との間にバッファ回路を設けても良い。逆に、駆動信号 D S 2 は、バッファ回路 1 1 3 1 を介して列選択部 1 0 8 1 に与えられる構成を示したが、駆動信号生成部 D S G から出力された駆動信号 D S 2 が直接列選択部 1 0 8 1 に与えられる構成でも良い。

#### 【 0 0 3 1 】

##### ( 実施例 2 )

図面を参照しながら本発明に係る別の実施例を説明する。実施例 1 との相違点を中心に説明する。

#### 【 0 0 3 2 】

図 3 は、本実施例に係る光電変換装置の構成を示すブロック図である。実施例 1 と同じ機能を備える要素には同じ符号を付している。図 1 に示した光電変換装置では、各ブロック信号線に対して同期化回路 1 0 7 n を設けていた。

#### 【 0 0 3 3 】

これに対して、本実施例に係る光電変換装置は、複数のブロック信号線に対して 1 個の同期化回路を設ける点で、実施例 1 とは異なる。

#### 【 0 0 3 4 】

本実施例に係る構成は、同じ駆動信号で駆動されるブロックが複数あり、同じ駆動信号で駆動される複数のブロックにつき一つの同期化回路が設けられている、と言い換えることができる。

#### 【 0 0 3 5 】

本実施例の構成によれば、ブロック信号線を短くできるので、信号処理部 1 0 2 が駆動する負荷を低減でき、実施例 1 の構成よりも動作を高速化できる。

#### 【 0 0 3 6 】

##### ( 実施例 3 )

図面を参照しながら、本発明に係る別の実施例を説明する。実施例 1 との相違点を中心に説明する。

#### 【 0 0 3 7 】

図 4 は、本実施例に係る光電変換装置の構成を示すブロック図である。列選択部 1 0 8 は、例えばデコーダである。駆動信号伝送部 1 0 4 は、同期化回路 1 0 7 を駆動するクロック信号と、列選択部 1 0 8 を選択するアドレスデータとを供給する。駆動信号供給部は、複数のバッファ回路 1 1 2 n が直列に接続された、クロック信号を伝送するバッファ回路群 B G 1 に加えて、バッファ回路 1 1 3 n とアドレスデータ同期化回路 4 0 1 とが交互に接続された、アドレスデータを伝送するバッファ回路群 B G 3 を備える。アドレスデー

10

20

30

40

50

タ同期化回路401は、バッファ回路113nから与えられたアドレスデータを、バッファ回路群BG1で伝送されるクロック信号に同期させて、次段のバッファ回路113(n+1)に供給する。本実施例においては、バッファ回路群BG3が、第2のバッファ回路群として機能する。

【0038】

本実施例によれば、アドレスデータの伝送を、同期化回路107を駆動する信号に同期させるアドレスデータ同期化回路401を導入することにより、ブロック間、並びにブロック内での位相管理を容易にすることができる。

【0039】

(実施例4)

図面を参照しながら、本発明に係る別の実施例を説明する。実施例1との相違点を中心に説明する。

【0040】

図5は、本実施例に係る光電変換装置の構成を示すブロック図である。信号選択部106nを持たない点で、本実施例は実施例1と異なる。ブロック出力線BLnに出力された信号は、同期化回路107nを介して別のブロック出力線と接続される。

【0041】

この構成によれば、ブロック出力線BLnが、同期化回路107n間を接続する配線として兼用されるので、光電変換装置の小面積化に有利である。

【0042】

(実施例5)

図面を参照しながら、本発明に係る実施例を説明する。

【0043】

図6は、本実施例に係る撮像システムの構成を示すブロック図である。

【0044】

撮像システム1000は、例えば、光学部1010、撮像装置1001、映像信号処理回路部1030、記録・通信部1040、タイミング制御回路部1050、システムコントロール回路部1060、および再生・表示部1070を含む。撮像装置1001は、先述の各実施形態で説明した光電変換装置が用いられる。

【0045】

レンズなどの光学系である光学部は1010、被写体からの光を撮像装置1001の、複数の画素が2次元状に配列された画素アレイに結像させ、被写体の像を形成する。撮像装置1001は、タイミング制御回路部1050からの信号に基づくタイミングで、画素部に結像された光に応じた信号を出力する。

【0046】

撮像装置1001から出力された信号は、映像信号処理部である映像信号処理回路部1030に入力され、映像信号処理回路部1030が、プログラムなどによって定められた方法に従って、入力された電気信号に対して補正などの処理を行う。映像信号処理回路部での処理によって得られた信号は画像データとして記録・通信部1040に送られる。記録・通信部1040は、画像を形成するための信号を再生・表示部1070に送り、再生・表示部1070に動画や静止画像が再生・表示させる。記録通信部は、また、映像信号処理回路部1030からの信号を受けて、システムコントロール回路部1060とも通信を行うほか、不図示の記録媒体に、画像を形成するための信号を記録する動作も行う。

【0047】

システムコントロール回路部1060は、撮像システムの動作を統括的に制御するものであり、光学部1010、タイミング制御回路部1050、記録・通信部1040、および再生・表示部1070の駆動を制御する。また、システムコントロール回路部1060は、例えば記録媒体である不図示の記憶装置を備え、ここに撮像システムの動作を制御するのに必要なプログラムなどが記録される。また、システムコントロール回路部1060は、例えばユーザの操作に応じて駆動モードを切り替える信号を撮像システム内で供給す

10

20

30

40

50



る。具体的な例としては、読み出す行やリセットする行の変更、電子ズームに伴う画角の変更や、電子防振に伴う画角のずらしなどである。

【 0 0 4 8 】

タイミング制御回路部 1 0 5 0 は、制御部であるシステムコントロール回路部 1 0 6 0 による制御に基づいて撮像装置 1 0 0 1 および映像信号処理回路部 1 0 3 0 の駆動タイミングを制御する。

【 0 0 4 9 】

(その他)

以上で説明した各実施例は、本発明を実施するための例示的なものに過ぎず、本発明の思想を変更しない限りにおいて、実施例の一部を変更したり、実施例同士を組み合わせたりすることができる。

10

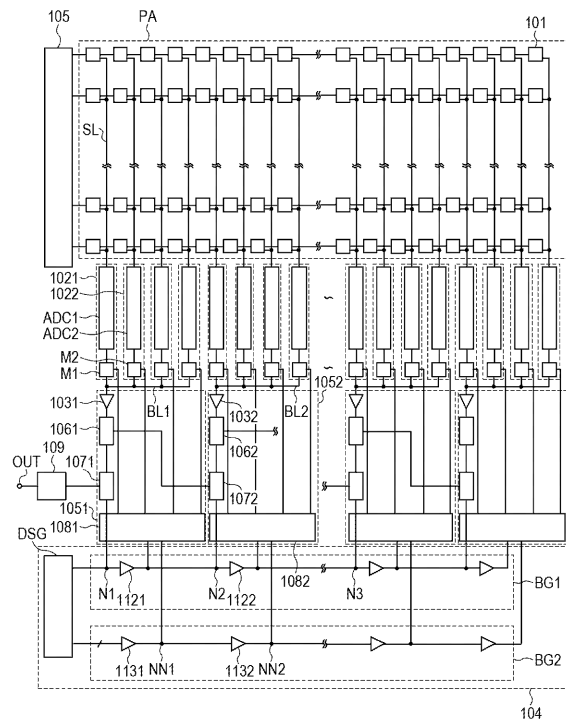
【符号の説明】

【 0 0 5 0 】

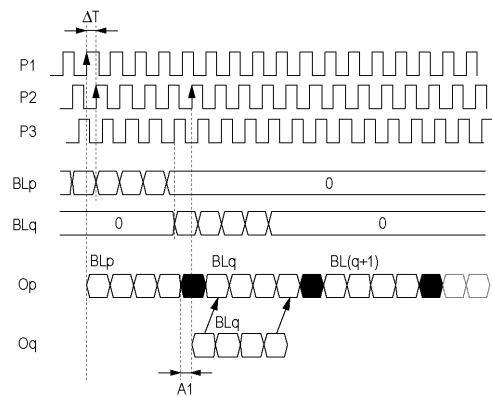
- 1 0 1 画素
- 1 0 2 信号処理部
- A D C A / D 変換部
- 1 0 4 駆動信号伝送部
- 1 0 6 信号選択部
- B G バッファ回路群
- B L ブロック出力線
- D S G 駆動信号生成部

20

【 図 1 】



【 図 2 】





---

フロントページの続き

(56)参考文献 特開2008-172609(JP,A)  
特開2011-166197(JP,A)  
特開2010-147684(JP,A)  
特開2011-182095(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H04N 5/222 - 5/257  
H04N 5/30 - 5/378