



# (12) 发明专利

(10) 授权公告号 CN 102931237 B

(45) 授权公告日 2015. 07. 22

(21) 申请号 201210381165. 9

(22) 申请日 2012. 10. 10

(73) 专利权人 哈尔滨工程大学

地址 150001 黑龙江省哈尔滨市南岗区南通大街 145 号哈尔滨工程大学科技处知识产权办公室

刘金华, 黄如, 张兴, 周发龙. 垂直沟道器件的研究与进展. 《功能材料与器件学报》. 2003, 第 9 卷 (第 3 期),

审查员 汪灵

(72) 发明人 王颖 单婵 曹菲 邵雷

(51) Int. Cl.

H01L 29/78(2006. 01)

H01L 29/423(2006. 01)

H01L 21/336(2006. 01)

(56) 对比文件

US 6027975 A, 2000. 02. 22,

US 4530149 A, 1985. 07. 23,

US 5252849 A, 1993. 10. 12,

CN 1501503 A, 2004. 06. 02,

US 5414289 A, 1995. 05. 09,

CN 1400669 A, 2003. 03. 05,

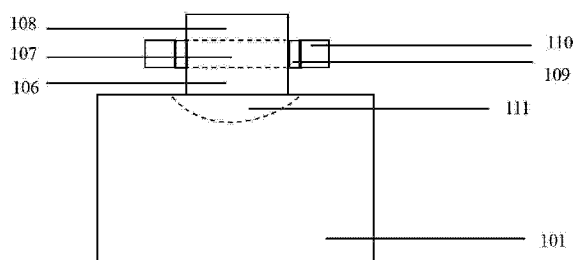
权利要求书1页 说明书4页 附图3页

(54) 发明名称

垂直非对称环栅 MOSFET 器件的结构及其制造方法

(57) 摘要

本发明提供的是一种垂直非对称环栅 MOSFET 器件的结构及其制造方法。包括底层 n 型硅晶圆衬底 101, 漏区 111 位于器件的最低端; 在衬底 101 上外延生长漏扩展区 106, 沟道区 107, 和源区 108, 栅氧化层 109 包围整个沟道区 107, 在栅氧化层 109 上淀积多晶硅栅 110。本发明本提供一种有效抑制短沟道效应的作用的垂直非对称环栅 MOSFET 结构, 还提供一种可以简化工艺流程, 灵活控制栅长和硅体区厚度的垂直非对称环栅 MOSFET 的制造方法。



1. 垂直非对称环栅 MOSFET 器件的制作方法,其特征在于包括以下步骤:

步骤 1、制备晶向为  $\langle 100 \rangle$  的 n 型硅晶圆衬底 (101);

步骤 2、在 n 型硅晶圆衬底 (101) 上依次淀积一层  $\text{SiO}_2$  层 (102), SiGe 层 (103), 和  $\text{SiO}_2$  层 (104);

步骤 3、光刻淀积生长的  $\text{SiO}_2$  层 (102), SiGe 层 (103), 和  $\text{SiO}_2$  层 (104), 使中间部分的  $\text{SiO}_2$  层 (102), SiGe 层 (103) 和  $\text{SiO}_2$  层 (104) 全部被刻蚀掉, 形成窗口, 以光刻胶为掩蔽层, 对器件进行离子注入形成漏区 (111), 离子注入后快速热退火激活杂质;

步骤 4、在 n 型硅晶圆衬底 (101) 上外延生长外延硅层 (105), 同时在外延生长中进行 n- 扩散掺杂;

步骤 5、以  $\text{SiO}_2$  层 (104) 为停止层, 对外延硅层 (105) 进行化学机械抛光;

步骤 6、对器件首先进行低能离子注入, 形成 p 型体区; 然后进行高能离子注入, 形成 n+ 型源区, 离子注入后进行快速热退火激活杂质;

步骤 7、离子注入后在硅外延层区域从上到下依次形成源区 (108), 沟道区 (107) 和漏扩展区 (106), 利用 SiGe 和  $\text{SiO}_2$  在腐蚀剂中的选择比不同, 进行选择性腐蚀, 然后在被腐蚀的区域上热氧化生长一层  $\text{SiO}_2$ , 作为栅氧化层 (109);

步骤 8、对未被腐蚀的  $\text{SiO}_2$  层进行刻蚀, 然后在栅氧化层 (109) 外部淀积一层多晶硅栅 (110), 并对多晶硅栅 (110) 进行 n+ 型掺杂注入, 快速退火激活杂质, 最后得到垂直非对称环栅 MOSFET 器件。

## 垂直非对称环栅 MOSFET 器件的结构及其制造方法

### 技术领域

[0001] 本发明涉及的是一种半导体器件,本发明也涉及一种半导体器件的形成方法。具体的说是一种垂直非对称环栅 MOSFET 器件的结构及其制造方法。

### 背景技术

[0002] 近年来,随着半导体行业的飞速发展,集成电路已发展到甚大规模集成电路(ULSI)阶段。器件的尺寸也随之减小到纳米级,这为开发新器件结构和制作工艺提出了很大的挑战。过去几十年中,MOSFET 器件的尺寸一直在不断的减小,而如今 MOSFET 器件的有效沟道长度已经小于 10 纳米。为了不断提高电流的驱动能力和更好的抑制短沟道效应,MOSFET 器件已经从传统的单栅平面器件发展到多栅三维器件。在所有多栅器件中,环栅(Gate-All-Around, GAA)器件相较于其它多栅器件对短沟道效应的抑制作用最好,而环栅器件中,横截面为圆形的器件性能最优越。

[0003] 纳米级电子器件的发展为集成电路的设计带来了很高的复杂度,和复杂的光刻系统与昂贵的成本。随着器件的特征尺寸不断减小,传统 MOSFET 器件的制作工艺也受到限制,因此研究出了垂直结构的 MOSFET 器件来替代传统器件。此器件中电流方向从漏极垂直地流向源极。它不仅简化了定义沟道区的光刻技术,同时也保持了与标准工艺的兼容性。更重要的是,由于有源区位于硅体的侧面,它比平面器件更容易形成双栅或环栅结构。因此可以抑制短沟道效应,增强电流驱动力。

[0004] 然而当沟道长度减小到 50 纳米以下时,垂直结构的 MOSFET 器件会面临一个严峻的问题:为了抑制短沟道效应,沟道掺杂浓度必须很高(可达  $7.0 \times 10^{18} \text{cm}^{-3}$ ),这会导致很大的结漏电流,降低沟道载流子迁移率。在采用传统对称 LDD (Lightly Doped Drain) 结构后,虽然沟道掺杂浓度可降低至  $3.5 \times 10^{18} \text{cm}^{-3}$ ,但这在沟道长度小于 50 纳米的器件中仍然不可以被接受。为了解决这些问题,提出了非对称 LDD 垂直结构的 MOSFET 器件。非对称 LDD 结构与对称 LDD 结构相比具有可以减小截止漏电流,降低漏结附近电场,抑制短沟道效应和减小源端串联电阻等优点。在制作工艺上与平面 CMOS 工艺相兼容,易于实现。

[0005] 为了解决器件尺寸缩小所带来的问题,研究出了渐变沟道掺杂的 MOSFET 器件。通过沟道区掺杂浓度的渐进变化,提高了源端切线电场强度,因此获得了很高的载流子速率,抑制了短沟道效应。但是在传统的平面 MOSFET 器件中,为了获得非对称的沟道掺杂,必须使用大角度注入 (large-angle-tilt implant) 和复杂的光刻工艺。因此研究出了渐变沟道掺杂的垂直结构的 MOSFET 器件,不仅在制作工艺上可以与传统 CMOS 制作工艺相兼容,而且有很好的抑制短沟道效应能力。现如今已提出的纳米级器件结构有很多,与本发明类似的器件有垂直非对称双栅 MOSFET 器件和垂直环栅 MOSFET 器件。与本发明提出的器件结构相比,以上两种器件分别具有栅控能力不足和漏电流过大的缺点。

### 发明内容

[0006] 本发明的目的在于提供一种有效抑制短沟道效应的作用的垂直非对称环栅

MOSFET 结构。本发明的目的还在于提供一种可以简化工艺流程,灵活控制栅长和硅体区厚度的垂直非对称环栅 MOSFET 的制造方法。

[0007] 本发明的目的是这样实现的:

[0008] 垂直非对称环栅 MOSFET 器件的结构为:包括底层 n 型硅晶圆衬底 101,漏区 111 位于器件的最低端;在 n 型硅晶圆衬底 101 上外延生长漏扩展区 106,沟道区 107,和源区 108,栅氧化层 109 包围整个沟道区 107,在栅氧化层 109 上淀积多晶硅栅 110。

[0009] 所述漏扩展区 106 为 n- 掺杂;所述沟道区 107 为 p 型掺杂;所述源区 108、漏区 111 为 n+ 掺杂,掺杂浓度为  $1 \times 10^{18} \sim 1 \times 10^{19} \text{cm}^{-3}$ 。

[0010] 所述沟道区 107 沟道长度为  $10 \sim 20 \text{nm}$ 。

[0011] 所述沟道区 107 成圆柱体,所述多晶硅栅 110 和栅氧化层 109 成圆环状。

[0012] 垂直非对称环栅 MOSFET 器件的制作方法包括以下步骤:

[0013] 步骤 1、制备晶向为  $\langle 100 \rangle$  的 n 型硅晶圆衬底 101;

[0014] 步骤 2、在 n 型硅晶圆衬底 101 上依次淀积一层  $\text{SiO}_2$  层 102, SiGe 层 103, 和  $\text{SiO}_2$  层 104;

[0015] 步骤 3、光刻淀积生长的  $\text{SiO}_2$  层 102, SiGe 层 103, 和  $\text{SiO}_2$  层 104, 使中间部分的  $\text{SiO}_2$  层 102, SiGe 层 103 和  $\text{SiO}_2$  层 104 全部被刻蚀掉,形成窗口,以光刻胶为掩蔽层,对器件进行离子注入形成漏区 111,离子注入后快速热退火激活杂质;

[0016] 步骤 4、在 n 型硅晶圆衬底 101 上外延生长外延硅层 105,同时在外延生长中进行 n- 扩散掺杂;

[0017] 步骤 5、以  $\text{SiO}_2$  层 104 为停止层,对外延硅层 105 进行化学机械抛光;

[0018] 步骤 6、对器件首先进行低能离子注入,形成 p 型体区;然后进行高能离子注入,形成 n+ 型源区,离子注入后进行快速热退火激活杂质;

[0019] 步骤 7、离子注入后在硅外延层区域从上到下依次形成源区 108,沟道区 107 和漏扩展区 106,利用 SiGe 和  $\text{SiO}_2$  在腐蚀剂中的选择比不同,进行选择性的腐蚀,然后在被腐蚀的区域上热氧化生长一层  $\text{SiO}_2$ ,作为栅氧化层 109;

[0020] 步骤 8、对未被腐蚀的  $\text{SiO}_2$  层进行刻蚀,然后在栅氧化层外部淀积一层多晶硅栅 110,并对多晶硅栅 110 进行 n+ 型掺杂注入,快速退火激活杂质。

[0021] 本发明的方法的主要特点如下:

[0022] 1) 采用环栅结构,栅极包围整个沟道区;2) 采用垂直沟道结构,通过改变 SiGe 层的厚度灵活控制栅长;3) 采用非对称 LDD 结构,降低漏结附近电场;4) 采用后栅工艺,先进行自对准掺杂形成源区、沟道区和漏区,然后制作栅电极。由于形成源区、沟道区和漏区需要一系列的高温处理步骤,诸如离子注入及退火,因此后栅工艺中栅氧避免了受到温度等外界因素的影响,使器件性能更优越;5) 通过易于控制的腐蚀工艺,灵活控制硅体区厚度,使之易达到全耗尽,增强栅控能力。

## 附图说明

[0023] 图 1 本发明公开的一种垂直非对称环栅 MOSFET 器件的剖面示意图;

[0024] 图 2 制备硅晶圆的示意图;

[0025] 图 3 是图 2 结构依次淀积一层  $\text{SiO}_2$ , SiGe, 和  $\text{SiO}_2$  后的截面图;

- [0026] 图 4 是图 3 结构经过刻蚀和离子注入的示意图；
- [0027] 图 5 是图 4 结构经过外延硅材料和 n- 掺杂后的截面图；
- [0028] 图 6 是图 5 结构经过化学机械抛光后的截面图；
- [0029] 图 7 是图 6 结构进行高低能离子注入的示意图；
- [0030] 图 8 是图 7 结构中 SiO<sub>2</sub>和 SiGe 层经过选择性腐蚀和热生长 SiO<sub>2</sub>后的截面图；
- [0031] 图 9 是图 8 结构刻蚀未被腐蚀的 SiO<sub>2</sub>和多晶硅淀积热生长的 SiO<sub>2</sub>后的截面图。

### 具体实施方式

[0032] 下面结合附图举例对本发明做详细的描述：

[0033] 具体实施例一：

[0034] 结合图 2。所示制备晶向为 <100> 的 n 型硅晶圆衬底 101，厚度为 100nm。

[0035] 结合图 3。在 n 型硅晶圆 101 上，顺次淀积 SiO<sub>2</sub>层 102，SiGe 层 103 和 SiO<sub>2</sub>层 104。其中 SiO<sub>2</sub>层 102，SiGe 层 103 和 SiO<sub>2</sub>层 104 的厚度均为 20 ~ 50nm。

[0036] 结合图 4。对图 3 结构进行光刻，使中间部分的 SiO<sub>2</sub>层 102，SiGe 层 103 和 SiO<sub>2</sub>层 104 全部被刻蚀掉，形成窗口。然后以光刻胶作为掺杂掩蔽层，对硅材料进行 n 型掺杂注入，快速热退火 (RTA) 激活杂质，形成漏区 111。

[0037] 结合图 5。在硅材料上外延硅层 105，外延硅层 105 的厚度为 200 ~ 300nm，同时在外延生长中进行 n- 扩散掺杂，形成漏扩展区 LDD。

[0038] 结合图 6。以 SiO<sub>2</sub>层 104 为停止层，对外延硅层 105 进行化学机械抛光 (CMP)。

[0039] 结合图 7。以 SiO<sub>2</sub>层 104 为掩蔽层，首先进行低能硼离子注入，形成 p 型沟道区；然后进行高能砷离子注入，形成 n+ 源区。然后进行快速热退火激活杂质。

[0040] 结合图 8。离子注入后在硅外延层区域从上到下依次形成源区 108，沟道区 107 和漏扩展区 106。其中，源区 108 和漏区 111 的掺杂类型与浓度相同，均为 n+ 掺杂，浓度为  $1 \times 10^{18} \sim 1 \times 10^{19} \text{cm}^{-3}$ ；漏扩展区 106 为 n- 掺杂；沟道区 107 为 p 型掺杂。由于在某种腐蚀剂中，SiGe 的腐蚀速率远高于 SiO<sub>2</sub>的腐蚀速率，因此利用 SiO<sub>2</sub>和 SiGe 在这种腐蚀剂中的选择比不同，对 SiO<sub>2</sub>层 102，SiGe 层 103 和 SiO<sub>2</sub>层 104 进行选择性的腐蚀，并在腐蚀掉的 SiGe 层 103 处热氧化生长薄 SiO<sub>2</sub>层 109，作为栅氧化层。

[0041] 结合图 9。刻蚀掉 SiO<sub>2</sub>层 102 和 SiO<sub>2</sub>层 104，在栅氧化层 109 外侧淀积一层多晶硅材料 110，作为栅材料。对多晶硅材料进行 n+ 型掺杂注入，快速退火激活杂质。

[0042] 实施例一的优点在于：1) 采用环栅结构，栅极的有效数量最多，因此栅极对沟道的电学控制力最强，可以最大程度的降低短沟道效应；2) 采用垂直沟道结构，无需借助复杂的光刻手段来定义沟道长度，不受光刻精度的限制，且工作原理及特性和平面器件几乎相同；3) 采用非对称 LDD 结构，与对称 LDD 结构相比具有可以减小截止漏电流，降低漏结附近电场，抑制短沟道效应和减小源端串联电阻等优点。在制作工艺上与平面 CMOS 工艺相兼容，易于实现；4) 采用后栅工艺，先进行自对准掺杂形成源区、沟道区和漏区，然后制作栅电极。由于形成源区、沟道区和漏区需要一系列的高温处理步骤，诸如离子注入及退火，因此后栅工艺中栅氧避免了受到温度等外界因素的影响，使器件性能更优越；5) 通过易于控制的腐蚀工艺，灵活控制硅体区厚度，实际制作过程中尽量使牺牲氧化层达到过腐蚀状态，使沟道区易达到全耗尽，增强栅控能力。

[0043] 具体实施例二：

[0044] 其他所述步骤同具体实施例一。

[0045] 结合图 7。以  $\text{SiO}_2$  层 104 为掩蔽层，首先进行低能离子注入，注入能量为 20keV，剂量为  $5 \times 10^{13} \text{cm}^{-2}$  的硼离子，以形成渐变沟道；然后进行高能离子注入，注入能量为 20keV，剂量为  $2 \times 10^{15} \text{cm}^{-2}$  的砷离子，以形成源区。然后进行快速热退火激活杂质。渐变沟道区 107 的掺杂浓度从源端到漏端逐渐降低，为  $2 \times 10^{18} \sim 8 \times 10^{17} \text{cm}^{-3}$ 。

[0046] 实施例二具备了实施例一所有的优点，并且沟道区掺杂浓度渐进变化，提高了源端切线电场强度，因此获得了很高的载流子速率，抑制了短沟道效应。

[0047] 以上所述的两个具体实施例，对本发明的目的、技术方案和有益效果进行了进一步详细说明，应注意的是，以上所述仅为本发明的具体实施例，并不限制本发明，凡在本发明的精神和原则之内，所做的调制和优化，均应包含在本发明的保护范围之内。

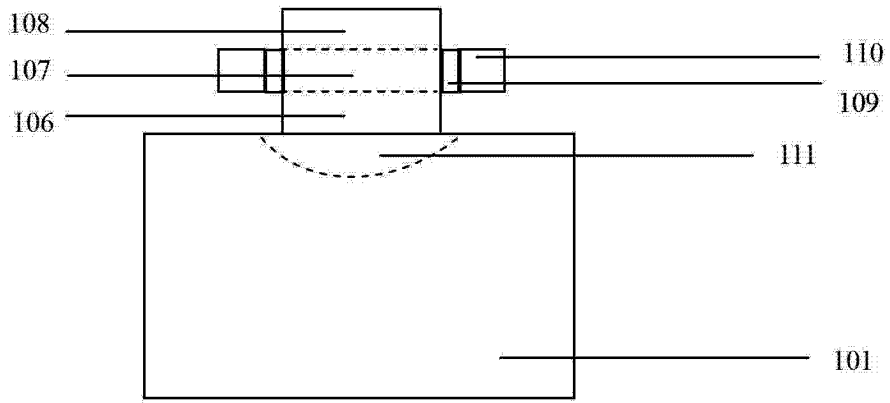


图 1

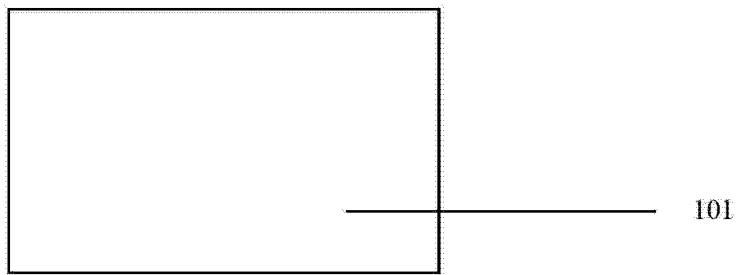


图 2

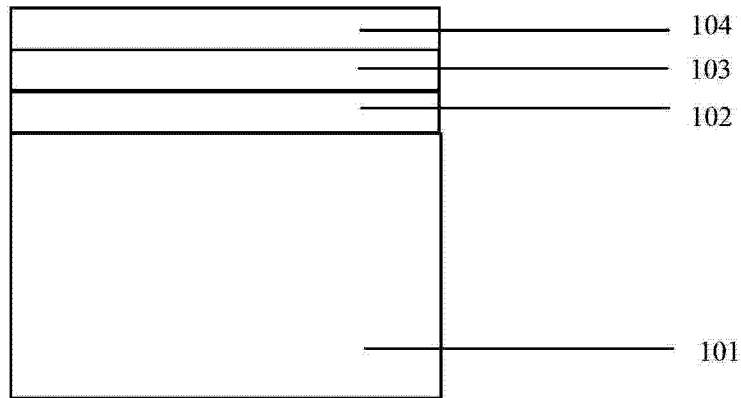


图 3

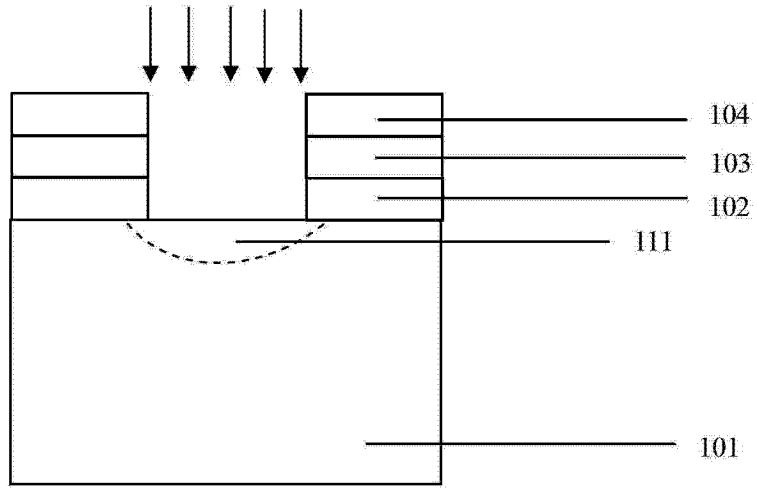


图 4

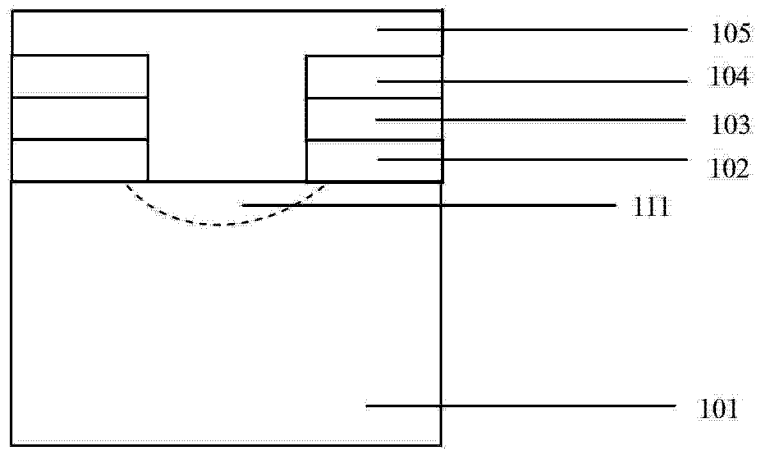


图 5

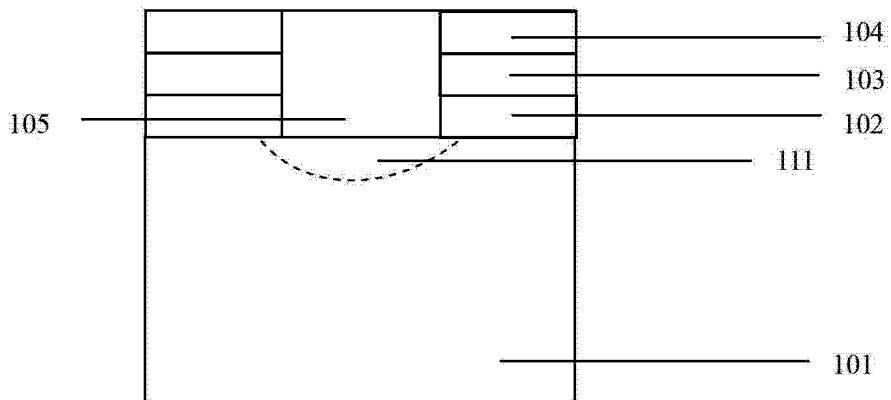


图 6



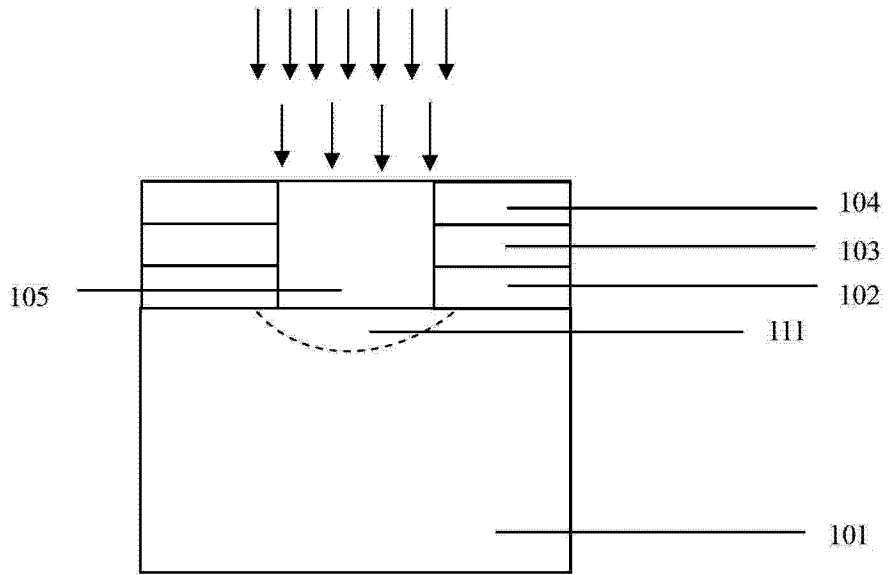


图 7

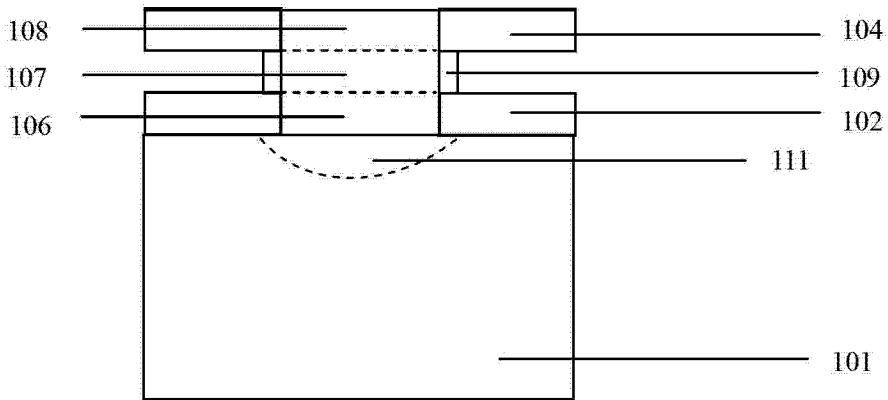


图 8

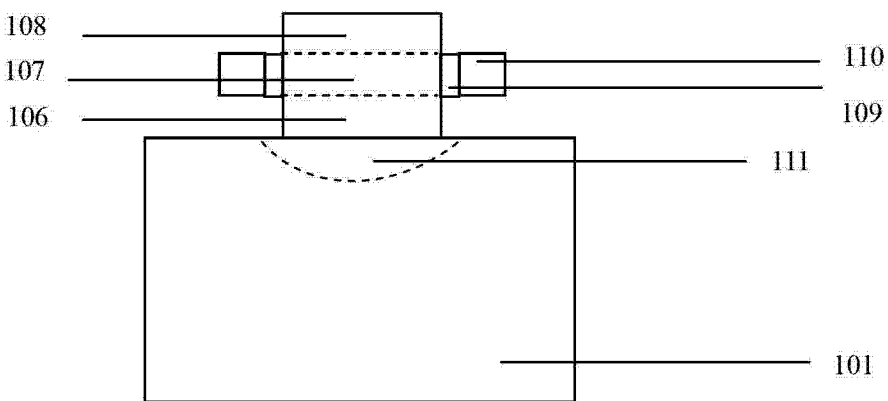


图 9