

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：9312345P

※申請日期：93-8-5

※IPC 分類：

H01L29/40

一、發明名稱：(中文/英文)

形成具有積集金屬矽化物閘極電極之電晶體的方法

METHODS OF FORMING A TRANSISTOR WITH AN INTEGRATED METAL SILICIDE GATE
ELECTRODE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美光科技股份有限公司 / MICRON TECHNOLOGY, INC.

代表人：(中文/英文)

林屈 邁克 L. / LYNCH, MICHAEL L.

住居所或營業所地址：(中文/英文)

美國愛達荷州伯伊斯市南聯邦大道 8000 號

8000 S. Federal Way, Boise, Idaho 83909-0006, U. S. A.

國 籍：(中文/英文)

美國 / U. S. A.

三、發明人：(共 1 人)

姓 名：(中文/英文)

亞伯特 陶德 R. / ABBOTT, TODD R.

國 籍：(中文/英文)

美國 / U. S. A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2003, 08, 15；10/641, 851

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

發明領域

本發明係有關形成半導體裝置之製造方法。本發明特別係有關對半導體裝置製造一具有積集金屬矽化物閘極電極之電晶體之方法。

【先前技術】

發明背景

於半導體裝置例如動態隨機存取記憶體(DRAM)裝置，電晶體閘極主要係由複晶矽以及上方導電層如矽化鈦或矽化鎢製成。但矽化鎢及矽化鈦為大型晶粒材料，促成矽化物/矽界面粗糙，增加電晶體閘極堆疊之電阻。

新進發展出半導體製造方法來結合其它類型金屬矽化物如矽化鈷或矽化鎳，其為比矽化鈦或矽化鎢材料具有更小晶粒之材料。但由於難以蝕刻小型晶粒尺寸金屬矽化物，此等金屬矽化物難以結合目前之製造技術。例如先前技術第1-5圖顯示之技術。

如第1圖所示，建立電晶體閘極堆疊之材料層形成於矽基材10上。形成第一閘極氧化物11，接著為循序形成複晶矽層12、鈦或氮化鈦(Ti/TiN)層13、鈷層14、矽層15、氮化物層16，以及最終形成圖案光阻17。

如第2圖所示，進行蝕刻，經由圖案化氮化物層16、矽層15且止於鈷層14，開始形成電晶體閘極堆疊。矽層15被迫與鈷層14於其彼此接觸位置反應來形成矽化鈷區30，如

第3圖所示。由於此項反應也係以各向同性(於垂直方向及水平方向)出現，矽化鈷區30延伸超出原先閘極堆疊圖案(由氮化物層16所界限)之邊界外側。如第4圖及第5圖所示，另外需要兩次蝕刻來完成電晶體閘極堆疊，一次濕蝕刻來去除閘極堆疊外側之鈷材料，一次蝕刻來圖案化Ti/TiN層13、複晶矽層12及閘極氧化物層11。但矽化鈷區30不會受到用來完成電晶體閘極堆疊之目前蝕刻化學的影響，如此增加閘極堆疊寬度。

因此，前述方法需要數個蝕刻步驟，增加裝置特徵結構尺寸之臨界維度，也可能增加電晶體閘極堆疊電阻，原因在於該方法要求足量矽15來確保全部鈷於反應步驟期間皆被轉成矽化鈷，可能導致少量矽留在閘極堆疊體，因而增加任何與此堆疊體接點的電阻。

目前於半導體製造，需要一種方法來形成電晶體閘極之金屬矽化物組成分，但不會增加裝置的接觸電阻或特徵結構尺寸，如此也允許電晶體閘極覆蓋層整合，可用來形成半導體裝置之n通道電晶體及p通道電晶體二者之閘極，此項需要可由後文本發明之揭示解決，為熟諳技藝人士顯然自明。

20 【發明內容】

發明概要

本發明之具體實施例包括形成電晶體於半導體總成之方法，該形成方法係經由形成依據有積集金屬矽化物電晶體閘極電極之電晶體於一半導體總成如矽基材達成。該電

晶體閘極部分係經由金屬與磊晶矽反應同時駐在於溝渠來形成金屬矽化物製造。較佳金屬矽化物為矽化鈷或矽化鎳。一電晶體閘極隔離覆蓋層形成於溝渠內及形成於金屬矽化物上。可增加選擇性溝渠隔件來減少指定製法之臨界
5 維度限制，如此形成一具有比臨界維度更小之特徵結構尺寸之電晶體。

圖式簡單說明

第1-5圖為先前技術圖，顯示形成一包含矽化鈷之電晶體閘極堆疊之半導體製造方法。

10 第6圖為半導體基材區段之剖面圖，顯示本發明製造一有金屬矽化物閘極電極及積集隔離覆蓋層之電晶體之方法範例。

第7圖為半導體基材區段之剖面圖，顯示半導體製造之早期區段，此處基材經加工處理至溝渠隔離區被成形為導
15 電p型矽基材，氧化物層被成形於其上。複晶矽層被形成於氧化物層上，溝渠隔離材料形成於複晶矽層上方。然後根據本發明之第一具體例，圖案化光阻層形成於溝渠隔離材料上方。

第8圖為於溝渠蝕刻入溝渠隔離材料後，由第7圖所取
20 之隨後剖面圖，接著生長磊晶矽至溝渠底部。

第9圖為於金屬層沉積於半導體總成上，且導電層沉積於金屬層上後，由第8圖所取之隨後剖面圖。

第10圖為於退火步驟，讓金屬層與下方磊晶矽反應而形成金屬矽化物後，由第9圖所取之隨後剖面圖。

第11圖為於去除任何未反應之金屬層及導電層，以及選擇性之第二退火步驟來繼續形成金屬矽化物後，由第10圖所取之隨後剖面圖。

5 第12圖為電晶體閘極之隔離覆蓋材料沈積後，由第11圖所取之隨後剖面圖。

第13圖為於選擇性蝕刻去除隔離覆蓋材料之外側組成分後，由第12圖所取之隨後剖面圖。

第14圖為對隔離覆蓋材料進行選擇性蝕刻來形成電晶體閘極堆疊，隨後接著為自我校準植入來形成電晶體之輕度摻雜源極/汲極區後，由第13圖所取之隨後剖面圖。

第15圖為於形成電晶體閘極側壁隔離隔件，以及隨後進行源極/汲極植入後，由第14圖所取之隨後剖面圖。

15 第16圖為第15圖之鳥瞰平面圖，顯示完成後之電晶體，具有如同本發明之第一具體例製造之金屬矽化物閘極及鋪設於上方之積集電晶體隔離覆蓋層。

第17圖為由第7圖所取之剖面圖，該圖顯示根據本發明之第二具體例，於蝕刻溝渠至蝕刻隔離材料後，沈積隔離材料層至溝渠隔離材料表面上，順著溝渠內側壁，且沉積於下方複晶矽層暴露部分表面之情況。

20 第18圖為由第17圖所取之隨後剖面圖，顯示於隔件蝕刻來形成內部隔件於溝渠側壁，接著生長磊晶矽於溝渠底部。

第19圖為於金屬層沉積於半導體總成上，且導電層沉積於金屬層上後，由第18圖所取之隨後剖面圖。

第20圖為於退火步驟，讓金屬層與下方磊晶矽反應而形成金屬矽化物後，由第19圖所取之隨後剖面圖。

第21圖為於去除任何未反應之金屬層及導電層，以及選擇性之第二退火步驟來繼續形成金屬矽化物後，由第20
5 圖所取之隨後剖面圖。

第22圖為電晶體閘極之隔離覆蓋材料沈積後，由第21圖所取之隨後剖面圖。

第23圖為於選擇性蝕刻去除隔離覆蓋材料之外側組成分後，由第22圖所取之隨後剖面圖。

10 第24圖為對隔離覆蓋材料進行選擇性蝕刻來形成電晶體閘極堆疊，隨後接著為自我校準植入來形成電晶體之輕度摻雜源極/汲極區後，由第23圖所取之隨後剖面圖。

第25圖為於形成電晶體閘極側壁隔離隔件，以及隨後進行源極/汲極植入後，由第24圖所取之隨後剖面圖。

15 第26圖為第25圖之鳥瞰平面圖，顯示完成後之電晶體，具有如同本發明之第二具體例製造之金屬矽化物閘極及鋪設於上方之積集電晶體隔離覆蓋層。

第27圖為本發明可應用之包含處理器及記憶體裝置之半導體系統之簡化方塊圖。

20 【實施方式】

較佳實施例之詳細說明

後文具體實施例係參照形成n通道電晶體做說明。但p通道電晶體也可使用熟諳技藝人士眾所周知之技術，經由改變導電摻雜劑而以類似方式形成。雖然本發明之構想可

應用於半導體記憶體裝置之電晶體結構，但此處教示之構想也可應用至其它同樣可經由使用此處揭示方法而獲益之半導體裝置。因此參照半導體記憶體裝置之電晶體結構說明之本發明並非囿限於此，熟諳技藝人士可將該等構想應用至後文教示之其它方面。

後文說明中，「晶圓」及「基材」等詞係表示以半導體為主之材料包括矽、矽於絕緣體(SOI)技術或矽於藍寶石(SOS)技術、經摻雜及未經摻雜之半導體、由基底半導體基礎支持之矽磊晶層、及其它半導體結構。此外於後文說明中當述及「晶圓」或「基材」時，先前各方法步驟可應用於基底半導體結構或基礎內或基礎上形成各區或各接面。此外半導體無需為以矽為主，反而半導體可以矽-鍺、矽於絕緣體、矽於藍寶石、鍺或或砷化鎵為主。

第6圖為半導體基材區段之剖面圖，顯示場效電晶體之具體實施例，該場效電晶體具有一帶有積集隔離電晶體覆蓋層之金屬矽化物閘極。如第6圖所示，半導體總成包含一p型導電矽基材60，於基材60內部形成電晶體隔離區61(亦即溝渠隔離氧化物)。電晶體閘極140包含電晶體閘極隔離覆蓋層120鋪設於金屬矽化物區段110上方，金屬矽化物區段110又鋪設於複晶矽區段141上方，且與電晶體閘極氧化物62隔開。源極/汲極區151形成於電晶體閘極140兩相對側。為了完成電晶體閘極，電晶體閘極隔離隔件150覆蓋電晶體閘極側壁。

本發明之第一方法具體例係參照第7-16圖做說明。現

在參照第7圖，基材60經加工處理至溝渠隔離區61已經形成於導電p型矽基材60。最終將變成電晶體閘極氧化物之氧化物層62，形成於隔離區61及基材60。其次，複晶矽層70形成於氧化物層62上，溝渠隔離材料71形成於複晶矽層70上方。溝渠隔離材料可為二氧化矽或氮化矽，於本發明之第一範例係選用二氧化矽。光阻層72經蝕刻形成開口73，開口73允許隨後蝕刻溝渠至下方溝渠二氧化矽層71。

現在參照第8圖，溝渠80被蝕刻入溝渠二氧化矽層71，直到下方複晶矽層70暴露為止。其次，藉熟諳技藝人士已知方法，使用下方矽層70作為矽來源，生長磊晶矽81(epi-Si)於溝渠80底部至約400埃-500埃厚度。由後文方法步驟顯然易知，磊晶矽81之厚度係依據將形成之金屬矽化物之預定厚度決定。厚度約400-500埃之磊晶矽81表示本發明之較佳具體例。

現在參照第9圖，厚約40-100埃之金屬層例如為鎳或較佳為鈷，以隨形方式沉積於溝渠二氧化矽層71頂面上，順著二氧化矽層71(於溝渠80內部)之側壁以及形成於磊晶矽81頂面上。於本發明之此範例中，選用鈷作為金屬層90。於金屬沈積後，厚約100埃之導電層91例如鈦或氮化鈦，以隨形方式沉積於金屬層上。金屬層90及導電層91係藉熟諳技藝人士已知之技術沈積。

現在參照第10圖且使用鈦及鈷為較佳範例，現在鈦層91及鈷層90鋪設於磊晶矽81上方。半導體總成於約500°C-600°C範圍之溫度，接受退火步驟且較佳為快速熱處理

(RTP)步驟晶粒約30秒至60秒時間，來讓鈷初步與磊晶矽反應而形成矽化鈷100(CoSi_x ，此處 x 為1-2)。於製程之此點，仍然維持部分磊晶矽81。選擇性之鈦層91經由防止下方鈷附聚(鈷附聚為其自然傾向)而輔助控制最終所得 CoSi_2 晶粒大小及方向性。鈦主要係用作為「導引」層，表示鈦輔助導引 CoSi_2 晶粒方向性及尺寸。如此存在有以鈦為主之層(亦即鈦或氮化鈦)為較佳，即使鈦層91為可選擇性使用，且若使用鈦層91後來於製程中也將被去除。

現在參照第11圖，一旦先前退火步驟已經完成，鈷層90及鈦層91之未反應部分藉氮過氧化物混合物(APM)或鹽酸過氧化物混合物(HPM)而由半導體表面去除，如此只留下維持於溝渠內部之 CoSi_x 100及磊晶矽81。

然後半導體總成接受選擇性之第二退火步驟處理，較佳為於約 800°C - 900°C 溫度接受RTP過程約30-60秒來確保與磊晶矽81接觸之 CoSi_x 100確實與下方磊晶矽反應而形成厚度約100-350埃之全 CoSi_2 層110。磊晶矽81之厚度大於 CoSi_2 層110之厚度(於本發明之情況下)，鈷層90之厚度決定 CoSi_2 層110之總厚度。希望於形成 CoSi_2 層110後，部分磊晶矽81留在溝渠73底部，且於複晶矽層70之原先表面上方，來確保無任何金屬矽化物侵蝕入下方複晶矽層70。

若允許 CoSi_2 侵蝕下方複晶矽層70，如先前技術之討論， CoSi_2 也將以各項同性方式形成於垂直方向(及水平方向)，閘極堆疊之寬度將生長至溝渠80寬度外側，如此造成閘極堆之特徵結構尺寸係大於特定製程之臨界維度限制。

此種情況將導致臨界維度控制的喪失；原因在於 COSi_2 無法使用典型閘極堆疊蝕刻化學蝕刻。

現在參照第12圖，隔離覆蓋材料120例如氮化矽或二氧化矽經沈積而完全填補溝渠80其餘各區。沈積之隔離材料類別係依據用於形成溝渠之隔離材料類別決定。本例中，使用之溝渠隔離材料為二氧化矽，如此選用來填補溝渠之隔離材料120為氮化矽，其理由由下述步驟顯然易明。

現在參照第13圖，隔離覆蓋材料120(氮化矽)為回蝕刻，來去除於溝渠隔離材料71(二氧化矽)表現或表面下方之外側成分。此種蝕刻對二氧化矽材料71具有選擇性，表示當蝕刻到達二氧化矽材料71時，蝕刻將停止。例如可利用將停止於二氧化矽材料71之化學機械平坦化蝕刻。

現在參照第14圖，進行對隔離覆蓋材料120有選擇性之蝕刻，蝕刻去除隔離溝渠材料71、複晶矽層70部分、及位於隔離溝渠材料71下方之閘極氧化物層部分，來形成電晶體閘極堆疊140。電晶體堆疊材料可只使用乾蝕刻來蝕刻；或使用組合蝕刻來蝕刻，首先使用濕蝕刻去除溝渠材料，接著為乾蝕刻去除複晶矽及閘極氧化物。電晶體閘極堆疊140包含閘極覆蓋層120、 COSi_2 部分110、磊晶矽部分81、及複晶矽部分70(其組合而形成矽部分141)及閘極氧化物部分71。於閘極堆疊140形成後，進行N型植入來形成輕度摻雜之自我校準源極/汲極區142。

現在參照第15圖，電晶體閘極隔件150形成於閘極堆疊體140側壁。其次進行N型植入來形成源極/汲極區151。然

後以業界人士已知之適當製法，完成半導體組成。

第16圖顯示第15圖之已經完成之電晶體結構之鳥瞰圖，顯示電晶體閘極堆疊140、電晶體閘極隔件150、源極/汲極區151及電晶體溝渠隔離區61。

5 將參照第7圖及第17-26圖說明本發明之第二方法具體例。現在參照第7圖，基材60處理至溝渠隔離區61成形為導電p型矽基材60該點。最終將變成電晶體閘極氧化物之氧化物層62形成於隔離區61及基材60上。其次，複晶矽層70形成於氧化物層62上，溝渠隔離材料71形成於複晶矽層70
10 上。溝渠隔離材料可為二氧化矽或氮化矽，於本發明之第二具體例係選用氮化矽。光阻層72經製作圖案來形成開口73，開口73允許隨後蝕刻溝渠至下方溝渠氮化矽層71。

現在參照第17圖，溝渠170蝕刻於溝渠氮化矽層71，至暴露出下方複晶矽層70為止。其次，形成隔離材料171之隨
15 形層於溝渠隔離材料71上，順著溝渠隔離材料71之暴露側壁(駐在溝渠170內部)，且形成於複晶矽層70之暴露部分。較佳隔離材料171為與溝渠隔離材料71相同類型之介電材料，因此當溝渠隔離材料71被選擇性蝕刻時，隔離材料171可被去除。本例中，因選用之溝渠隔離材料為氮化矽，故
20 氮化矽也用於隔離材料171。

現在參照第18圖，進行隔件蝕刻來形成氮化矽溝渠隔件171順著溝渠170之側壁。其次，使用下方複晶矽70作為來源，藉熟諳技藝人士已知方法，於溝渠170底部生長磊晶矽180(epi-Si)至約400-500埃厚度。由該方法後期階段顯然

易知，存在有內部氮化物隔件171將允許製造電晶體，其具有比指定方法之臨界維度極限所能獲得之尺寸更小型之特徵結構，以及對隨後形成之金屬矽化物提供保護。

現在參照第19圖，厚度約40-100埃之金屬層190(例如為
5 鎳或較佳為鈷)以隨形方式沉積於溝渠氮化矽層71頂面上，順著氮化矽層71之溝渠側壁且沉積於磊晶矽180頂面上。於本發明之本例中，選用鈷作為金屬層190。於金屬沈積後，厚度約100埃之選擇性導電層191(例如鈦或氮化鈦)以隨形方式沉積於金屬層190上。金屬層190及導電層191係
10 藉熟諳技藝人士已知方法沈積。

現在參照第20圖且使用鈦及鈷為較佳範例，現在鈦層191及鈷層190鋪設於磊晶矽180上方。半導體總成於約500°C-600°C範圍之溫度，接受退火步驟且較佳為快速熱處理(RTP)步驟經歷約30秒至60秒時間，來讓鈷初步與磊晶矽反應而形成矽化鈷200(CoSi_x ，此處x為1-2)。於製程之此點，
15 部分磊晶矽180仍然留在溝渠170底部。選擇性之鈦層191經由防止下方鈷附聚(鈷附聚為其自然傾向)而輔助控制最終所得 CoSi_2 晶粒大小及方向性。鈦主要係用作為「導引」層，表示鈦輔助導引 CoSi_2 晶粒方向性及尺寸。如此存在有以鈦
20 為主之層(亦即鈦或氮化鈦)為較佳，即使鈦層191為可選擇性使用，且若使用鈦層191後來於製程中也將被去除。

現在參照第21圖，一旦先前退火步驟已經完成，鈷層190及鈦層191之未反應部分藉氨過氧化物混合物(APM)或鹽酸過氧化物混合物(HPM)而由半導體表面去除，如此只

留下維持於溝渠內部之 CoSi_x 200及磊晶矽180。

然後半導體總成接受選擇性之第二退火步驟處理，較佳為於約 800°C - 900°C 溫度接受RTP過程約30-60秒來確保與磊晶矽180接觸之 CoSi_x 200確實與下方磊晶矽反應而形成厚度約100-350埃之全 CoSi_2 層210。磊晶矽180之厚度大於 CoSi_2 層210之厚度(於本發明之情況下)，鈷層190之厚度決定 CoSi_2 層210之總厚度。希望於形成 CoSi_2 層210後，部分磊晶矽180留在溝渠170底部，且於複晶矽層70之原先表面上方，來確保無任何金屬矽化物侵蝕入下方複晶矽層70。

如本發明之第一具體例所述，若允許 CoSi_2 侵蝕下方複晶矽層70，如先前技術之討論， CoSi_2 也將以各項同性方式形成於垂直方向(及水平方向)，閘極堆疊之寬度將生長至溝渠170寬度外側，如此造成閘極堆之特徵結構尺寸係大於特定製程之臨界維度限制。此種情況將導致臨界維度控制的喪失；原因在於 CoSi_2 無法使用典型閘極堆疊蝕刻化學蝕刻。

現在參照第22圖，隔離覆蓋材料220例如氮化矽或二氧化矽經沈積而完全填補溝渠170其餘各區。沈積之隔離材料類別係依據用於形成溝渠之隔離材料類別決定。本例中，使用之溝渠隔離材料為二氧化矽，如此選用來填補溝渠之隔離材料120為氮化矽，其理由由下述步驟顯然易明。

現在參照第23圖，隔離覆蓋材料220(氮化矽)為回蝕刻，來去除於溝渠隔離材料71(二氧化矽)表現或表面下方之外側成分。此種蝕刻對氮化矽材料71具有選擇性，表示當

蝕刻到達氮化矽材料71時，蝕刻將停止。例如可利用將停止於氮化矽材料71之化學機械平坦化蝕刻。

現在參照第24圖，進行對隔離覆蓋材料220有選擇性之蝕刻，蝕刻去除隔離溝渠材料71、複晶矽層70部分、及位於隔離溝渠材料71下方之閘極氧化物層部分，來形成電晶體閘極堆疊240。電晶體堆疊材料可只使用乾蝕刻來蝕刻；或使用組合蝕刻來蝕刻，首先使用濕蝕刻去除溝渠材料，接著為乾蝕刻去除複晶矽及閘極氧化物。電晶體閘極堆疊240包含閘極覆蓋層220、 COSi_2 部分210、磊晶矽部分180、及複晶矽部分70(其組合而形成矽部分241)及閘極氧化物部分71。溝渠隔件171的存在以及隨後的去掉將實際上縮小電晶體閘極堆疊結構尺寸達溝渠隔件171之厚度。利用溝渠隔件來製造電晶體閘極堆疊，將有效允許有更大製造彈性。於形成閘極堆疊後240，進行N型植入來形成輕度摻雜之自我校準源極/汲極區242。

現在參照第25圖，電晶體閘極隔件250形成於閘極堆疊體240側壁。其次進行N型植入來形成源極/汲極區251。然後以業界人士已知之適當製法，完成半導體組成。

第26圖顯示第25圖之已經完成之電晶體結構之鳥瞰圖，顯示電晶體閘極堆疊240、電晶體閘極隔件250、源極/汲極區251及電晶體溝渠隔離區61。

已經參照形成用於半導體總成如記憶體裝置之電晶體結構來討論具體實施例。但具體實施例教示之構想可由熟諳技藝人士用來形成此種電晶體結構用於大部分半導體用

途。例如本發明可應用於半導體系統，例如第27圖舉例說明，其概略操作為熟諳技藝人士已知。

第27圖表示一半導體系統之概略方塊圖，該半導體系統包含處理器270及記憶體裝置271，顯示一記憶體積體電路之各個基本區段，例如列位址緩衝器及行位址緩衝器273及274、裂解碼器及行解碼器275及276、感測放大器277、記憶體陣列278及資料輸出入端279，其係由來自處理器經由控制器272之控制信號/時序信號操控。

須了解雖然已經參照二具體實施例說明本發明，但熟諳技藝人士可未悖離如隨附之申請專利範圍對本發明揭示之結構及製程做出多項修改。

【圖式簡單說明】

第1-5圖為先前技術圖，顯示形成一包含矽化鈷之電晶體閘極堆疊之半導體製造方法。

第6圖為半導體基材區段之剖面圖，顯示本發明製造一有金屬矽化物閘極電極及積集隔離覆蓋層之電晶體之方法範例。

第7圖為半導體基材區段之剖面圖，顯示半導體製造之早期區段，此處基材經加工處理至溝渠隔離區被成形為導電p型矽基材，氧化物層被成形於其上。複晶矽層被形成於氧化物層上，溝渠隔離材料形成於複晶矽層上方。然後根據本發明之第一具體例，圖案化光阻層形成於溝渠隔離材料上方。

第8圖為於溝渠蝕刻入溝渠隔離材料後，由第7圖所取

之隨後剖面圖，接著生長磊晶矽至溝渠底部。

第9圖為於金屬層沉積於半導體總成上，且導電層沉積於金屬層上後，由第8圖所取之隨後剖面圖。

第10圖為於退火步驟，讓金屬層與下方磊晶矽反應而形成金屬矽化物後，由第9圖所取之隨後剖面圖。

第11圖為於去除任何未反應之金屬層及導電層，以及選擇性之第二退火步驟來繼續形成金屬矽化物後，由第10圖所取之隨後剖面圖。

第12圖為電晶體閘極之隔離覆蓋材料沈積後，由第11圖所取之隨後剖面圖。

第13圖為於選擇性蝕刻去除隔離覆蓋材料之外側組成分後，由第12圖所取之隨後剖面圖。

第14圖為對隔離覆蓋材料進行選擇性蝕刻來形成電晶體閘極堆疊，隨後接著為自我校準植入來形成電晶體之輕度摻雜源極/汲極區後，由第13圖所取之隨後剖面圖。

第15圖為於形成電晶體閘極側壁隔離隔件，以及隨後進行源極/汲極植入後，由第14圖所取之隨後剖面圖。

第16圖為第15圖之鳥瞰平面圖，顯示完成後之電晶體，具有如同本發明之第一具體例製造之金屬矽化物閘極及鋪設於上方之積集電晶體隔離覆蓋層。

第17圖為由第7圖所取之剖面圖，該圖顯示根據本發明之第二具體例，於蝕刻溝渠至蝕刻隔離材料後，沈積隔離材料層至溝渠隔離材料表面上，順著溝渠內側壁，且沉積於下方複晶矽層暴露部分表面之情況。

第18圖為由第17圖所取之隨後剖面圖，顯示於隔件蝕刻來形成內部隔件於溝渠側壁，接著生長磊晶矽於溝渠底部。

第19圖為於金屬層沉積於半導體總成上，且導電層沉積於金屬層上後，由第18圖所取之隨後剖面圖。

第20圖為於退火步驟，讓金屬層與下方磊晶矽反應而形成金屬矽化物後，由第19圖所取之隨後剖面圖。

第21圖為於去除任何未反應之金屬層及導電層，以及選擇性之第二退火步驟來繼續形成金屬矽化物後，由第20圖所取之隨後剖面圖。

第22圖為電晶體閘極之隔離覆蓋材料沈積後，由第21圖所取之隨後剖面圖。

第23圖為於選擇性蝕刻去除隔離覆蓋材料之外側組成分後，由第22圖所取之隨後剖面圖。

第24圖為對隔離覆蓋材料進行選擇性蝕刻來形成電晶體閘極堆疊，隨後接著為自我校準植入來形成電晶體之輕度摻雜源極/汲極區後，由第23圖所取之隨後剖面圖。

第25圖為於形成電晶體閘極側壁隔離隔件，以及隨後進行源極/汲極植入後，由第24圖所取之隨後剖面圖。

第26圖為第25圖之鳥瞰平面圖，顯示完成後之電晶體，具有如同本發明之第二具體例製造之金屬矽化物閘極及鋪設於上方之積集電晶體隔離覆蓋層。

第27圖為本發明可應用之包含處理器及記憶體裝置之半導體系統之簡化方塊圖。

【主要元件符號說明】

10...矽基材	142...輕度摻雜自我校準源極/汲極區
11...第一閘極氧化物	150...隔件
12...複晶矽	151...源極/汲極區
13...鈦或氮化鈦層	170...溝渠
14...鈷層	171...隔離材料
15...矽層	180...磊晶矽
16...氮化物層	190...金屬層
17...圖案光阻	191...導電層
30...矽化鈷區	200...矽化鈷
60...導電矽基材	210...二矽化鈷層
61...電晶體隔離區	220...隔離覆蓋層
62...電晶體閘極氧化物	240...電晶體閘極堆疊
70...複晶矽層	241...矽部分
71...溝渠隔離材料	250...電晶體閘極隔件
72...光阻	251...源極/汲極區
73...開口	270...處理器
80...溝渠	271...記憶體裝置
81...磊晶矽	272...控制裝置
90...金屬層	273...列位址緩衝器
91...導電層	274...行位址緩衝器
100...矽化鈷	275...列解碼器
110...金屬矽化物區段	276...行解碼器
120...隔離覆蓋層	277...感測放大器
140...電晶體閘極	278...記憶體陣列
141...複晶矽區段	279...資料輸出入端

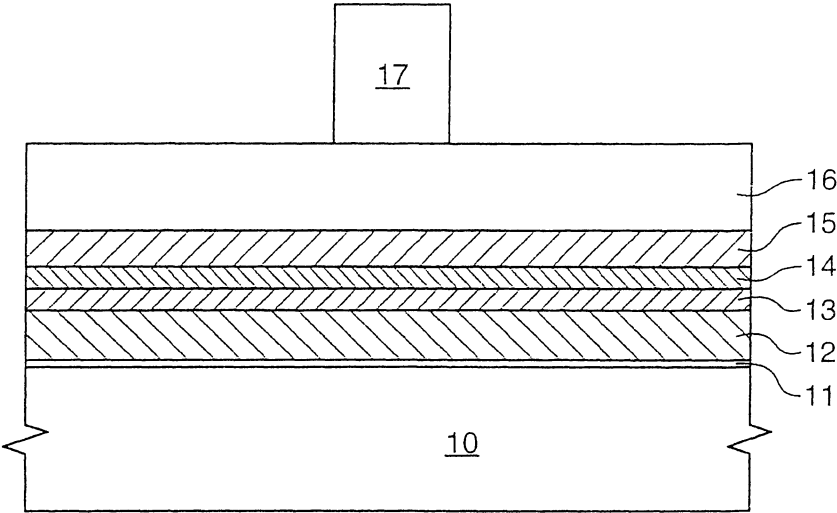
五、中文發明摘要：

說明一種形成一具有積集金屬矽化物電晶體閘極電極之電晶體於一半導體總成之方法。該電晶體閘極部分係經由金屬與磊晶矽反應同時駐在於溝渠來形成金屬矽化物製造。一電晶體閘極隔離覆蓋層形成於溝渠內及形成於金屬矽化物上。可增加選擇性溝渠隔件來減少指定製法之臨界維度限制，如此形成一具有比臨界維度更小之特徵結構尺寸之電晶體。

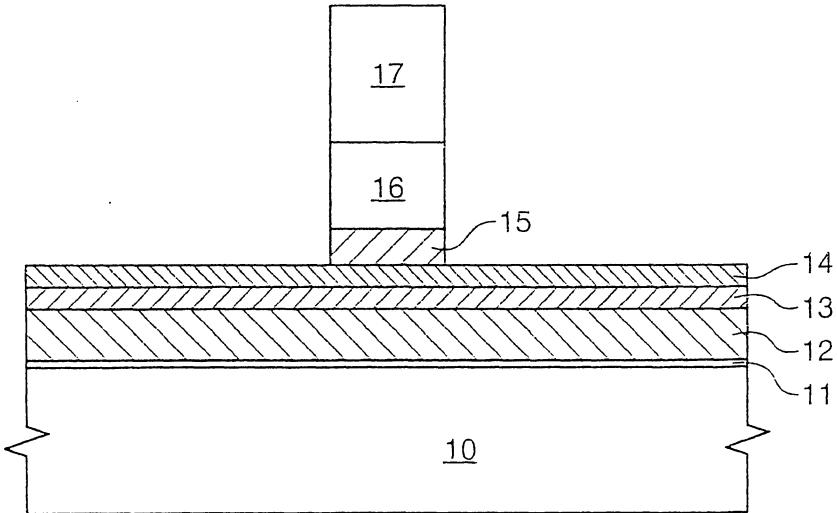
六、英文發明摘要：

Methods of forming a transistor having integrated metal silicide transistor gate electrode on a semiconductor assembly are described. The transistor gate is partially fabricated by reacting the metal with epitaxial silicon while residing in a trench to form metal silicide. A transistor gate isolation capping layer is formed in the trench and on the metal silicide. Optional trench spacers can be added to reduce the critical dimension restraints of a given fabrication process and thus form a transistor having smaller feature sizes than the critical dimension.

1/14

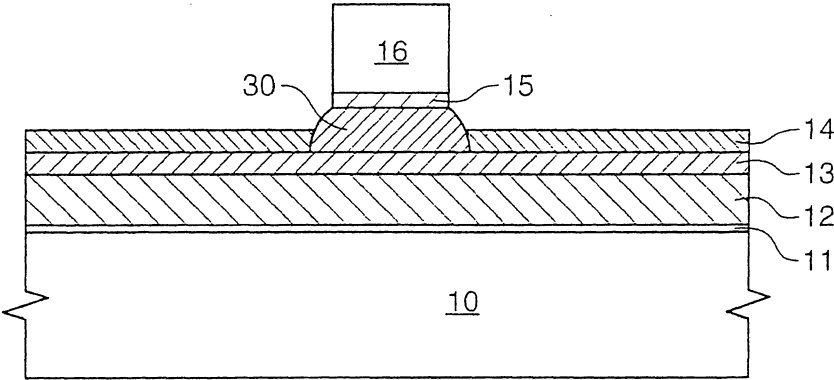


第 1 圖

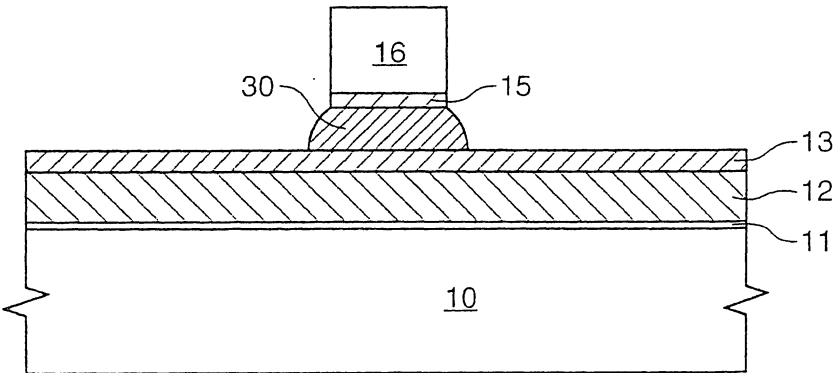


第 2 圖

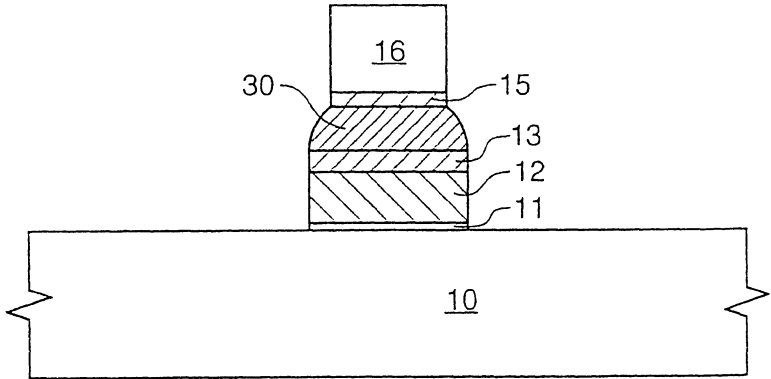
2/14



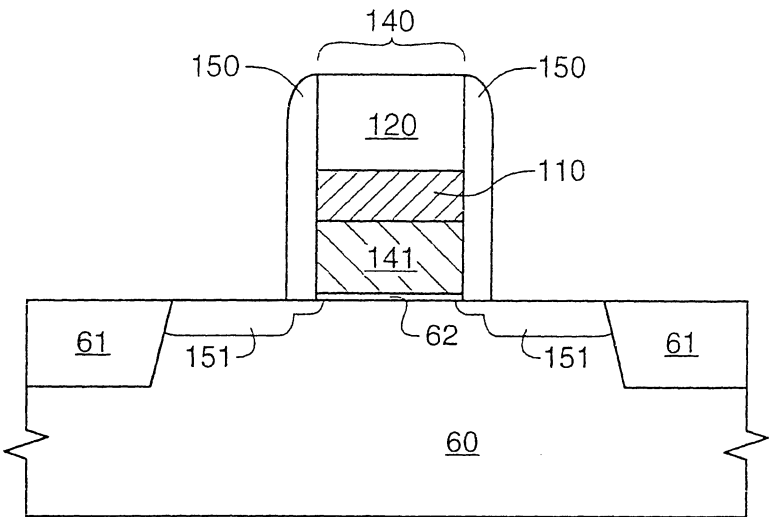
第 3 圖



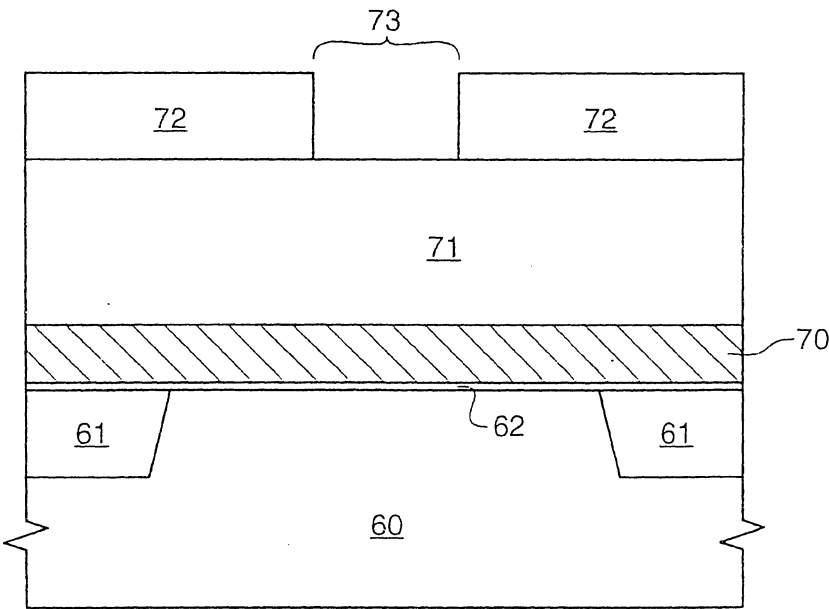
第 4 圖



第 5 圖

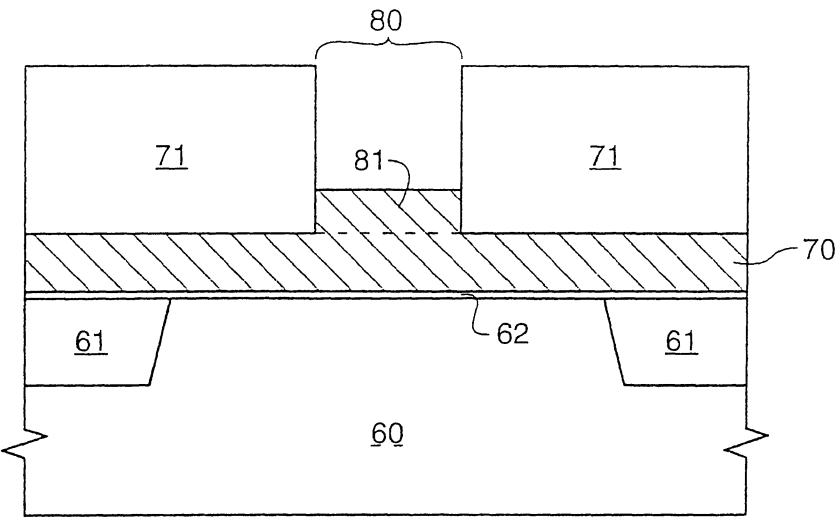


第 6 圖

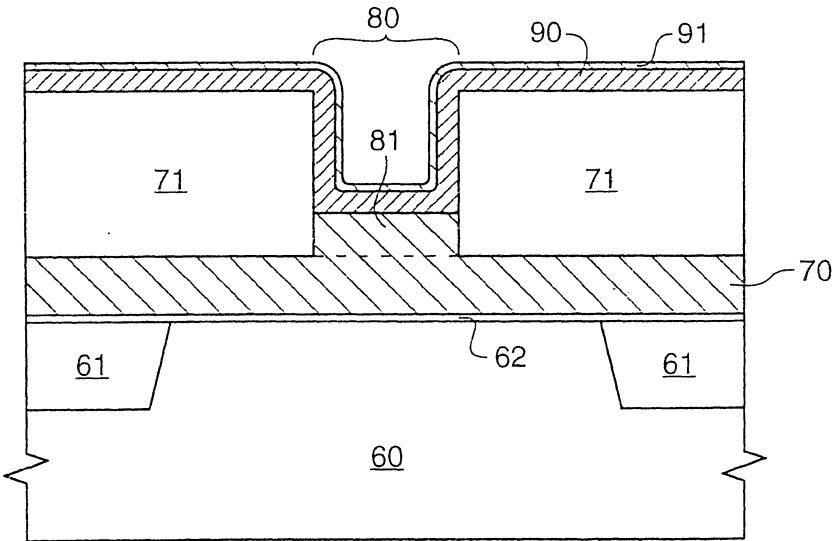


第 7 圖

4/14

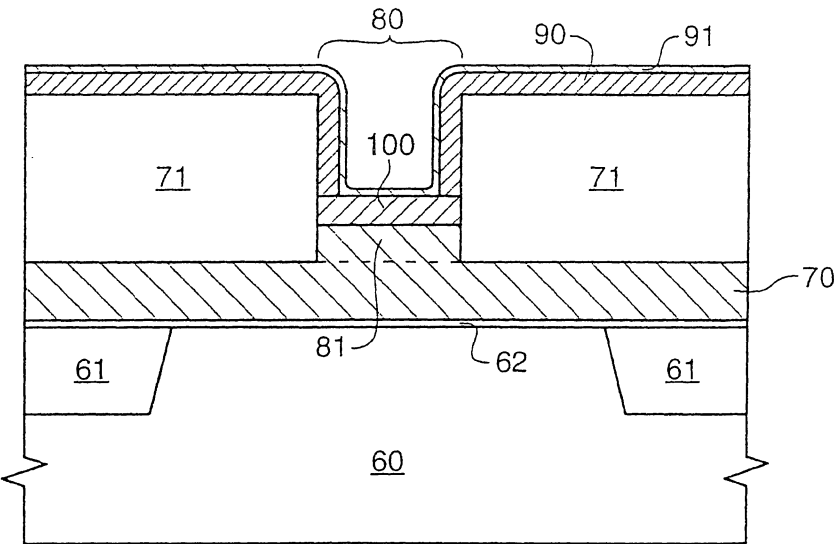


第 8 圖

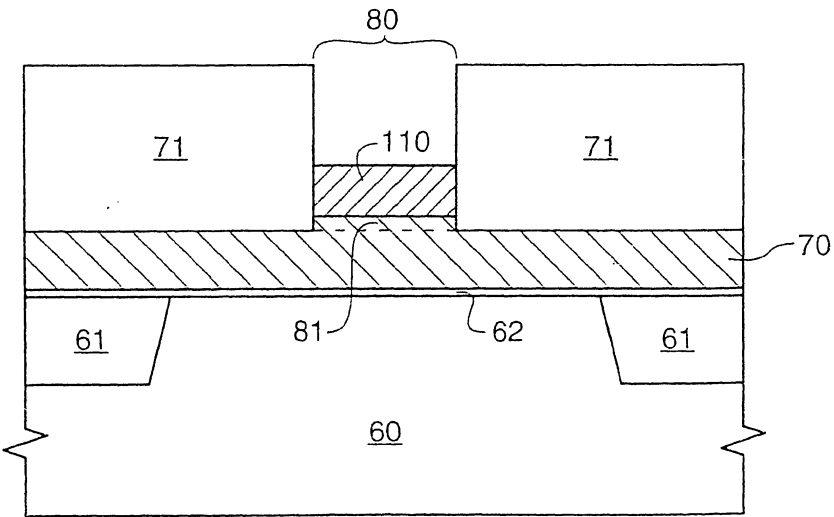


第 9 圖

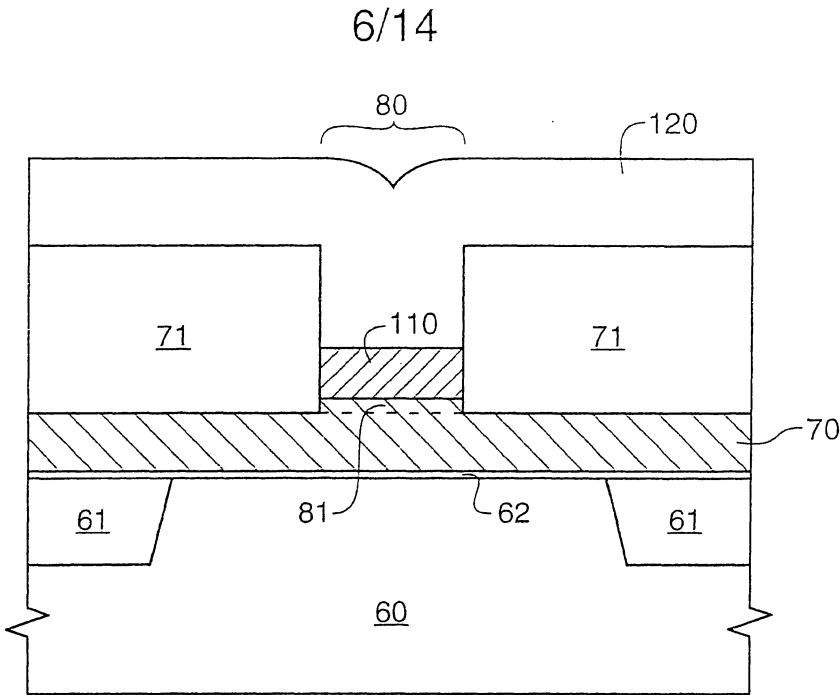
5/14



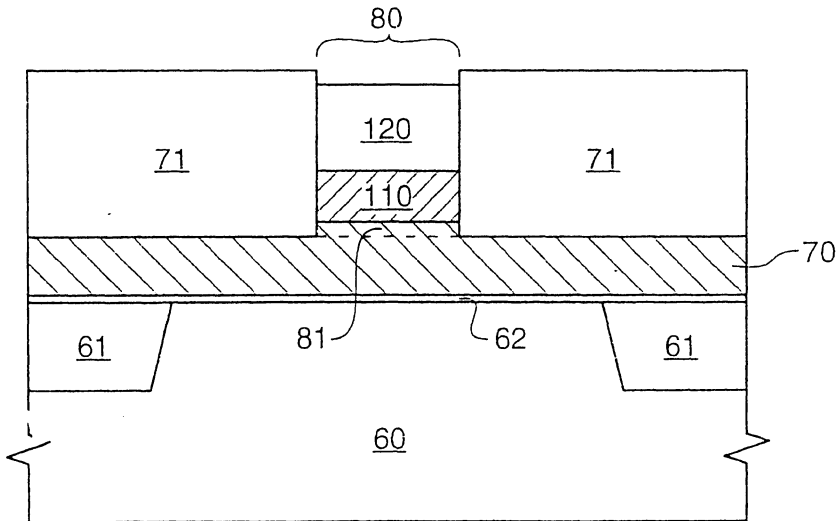
第 10 圖



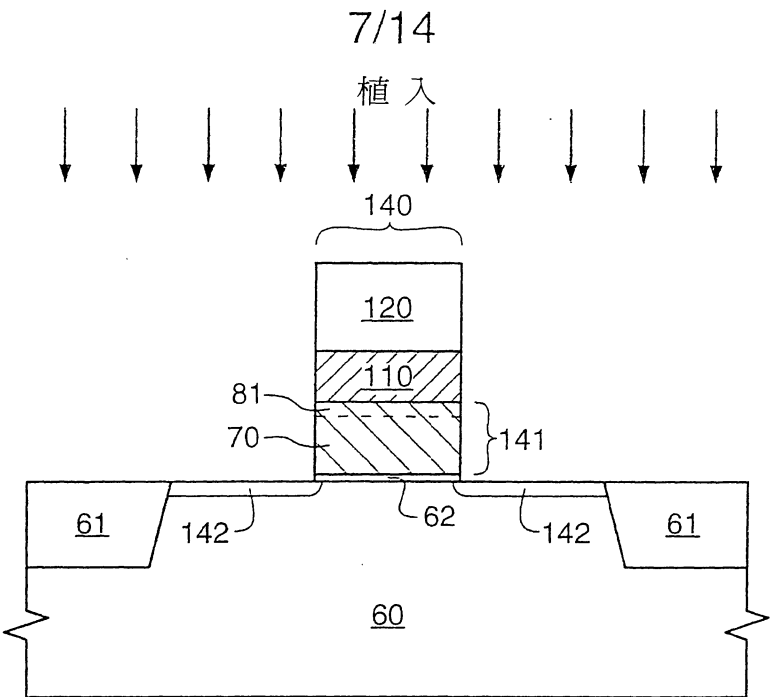
第 11 圖



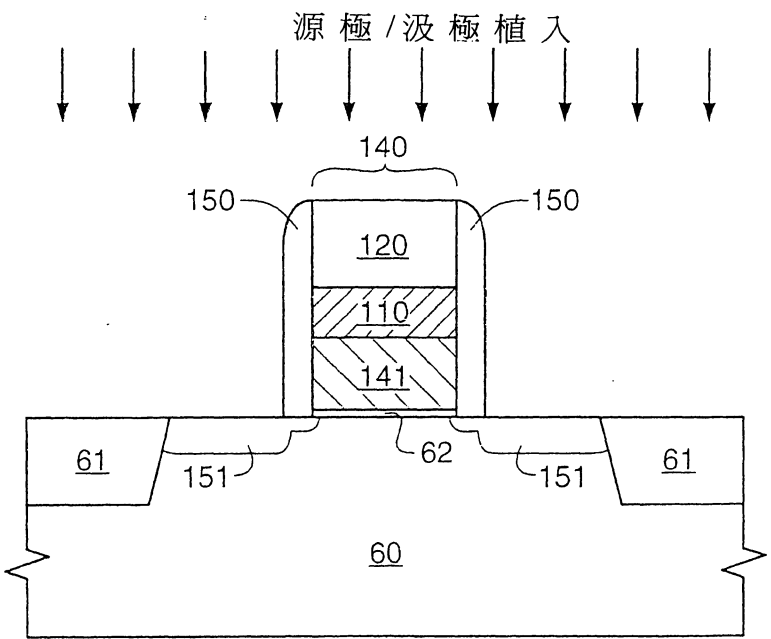
第 12 圖



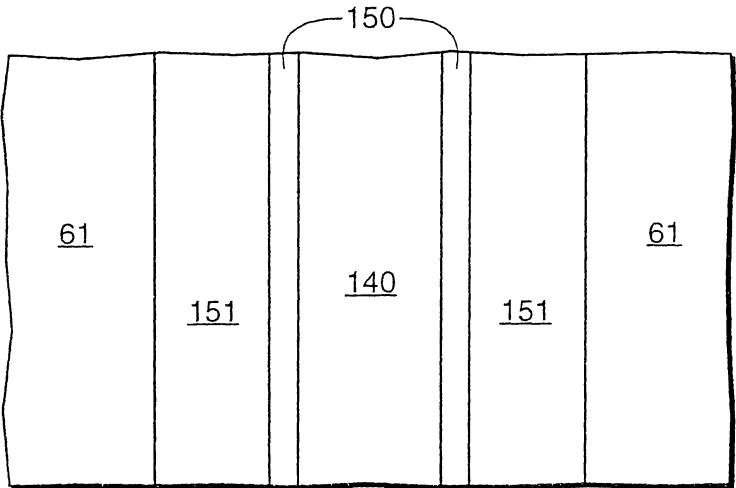
第 13 圖



第 14 圖

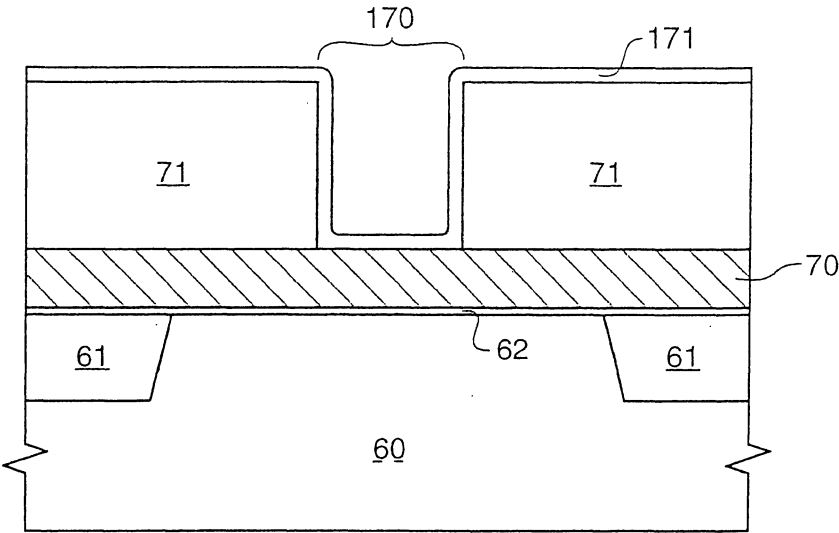


第15 圖

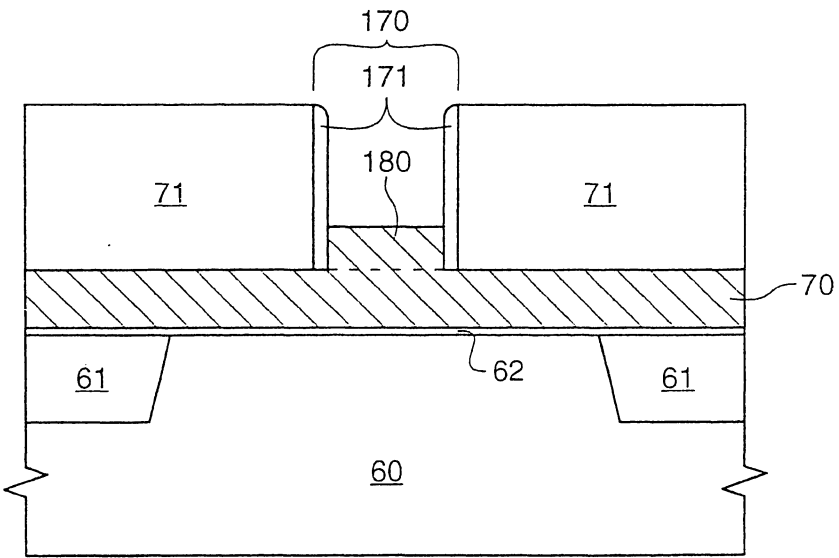


第 16 圖

9/14

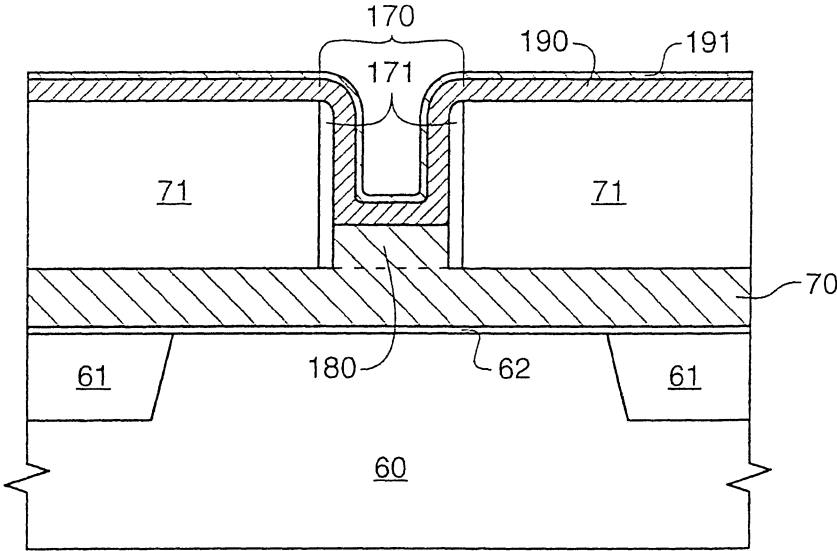


第 17 圖

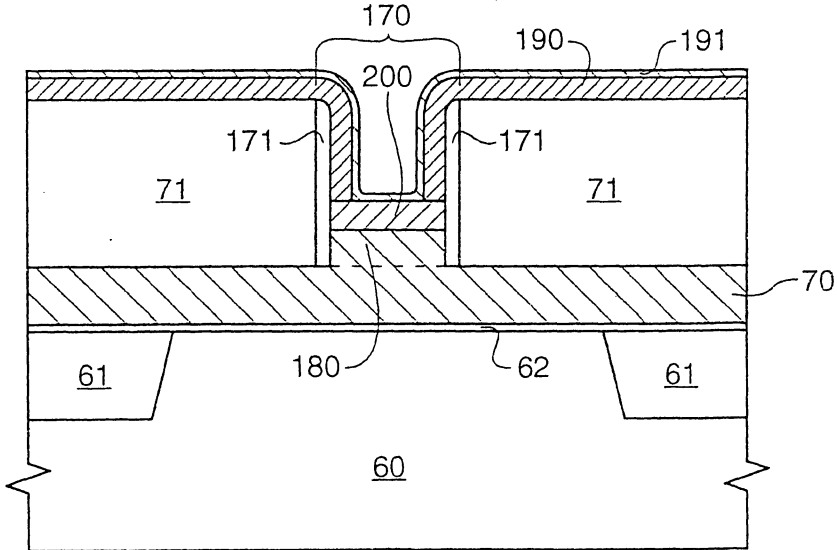


第 18 圖

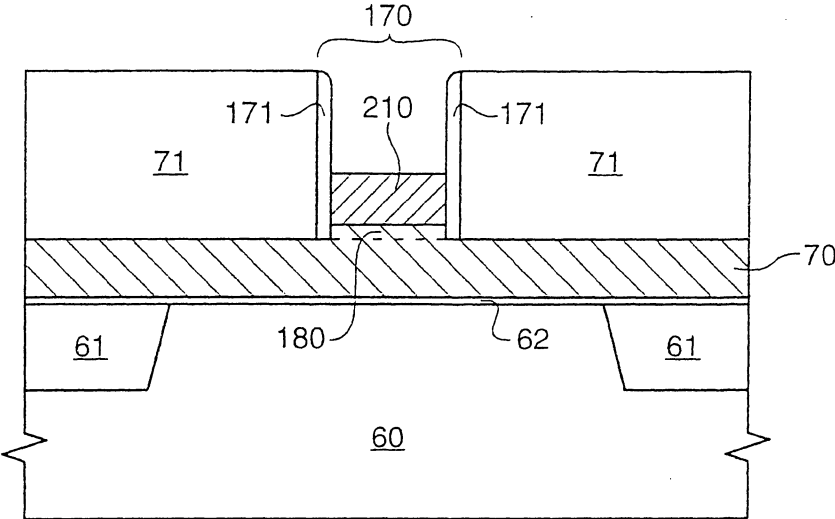
10/14



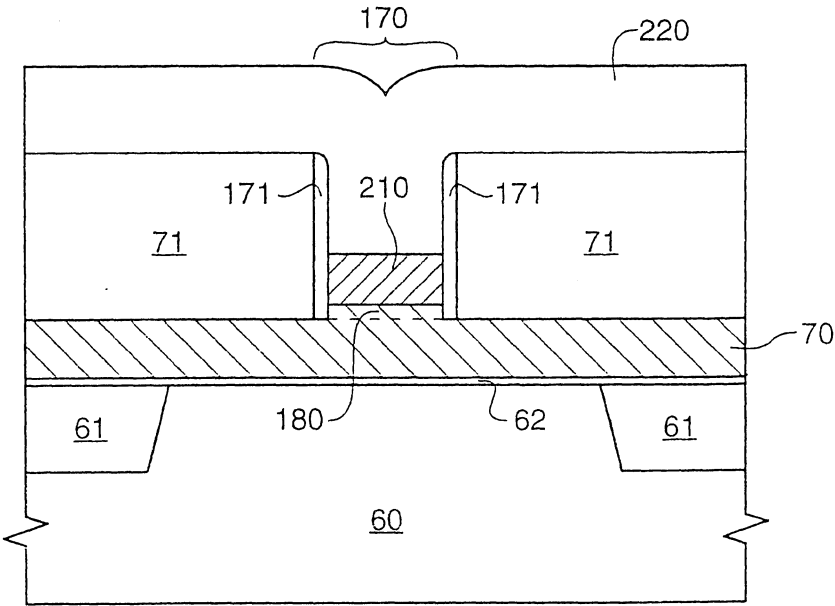
第 19 圖



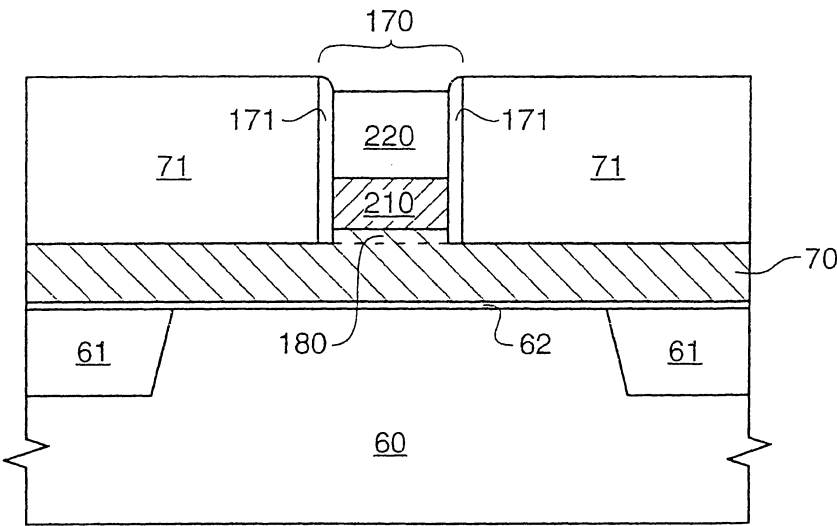
第 20 圖



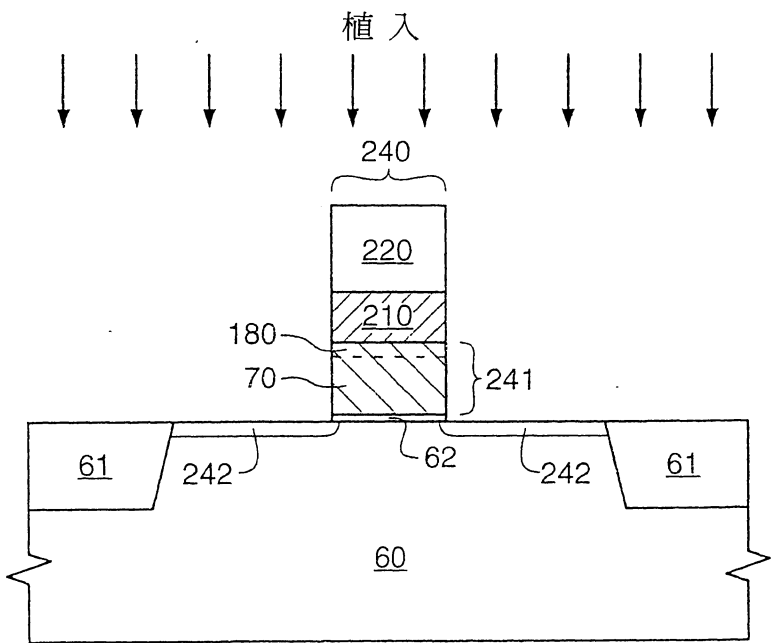
第 21 圖



第 22 圖

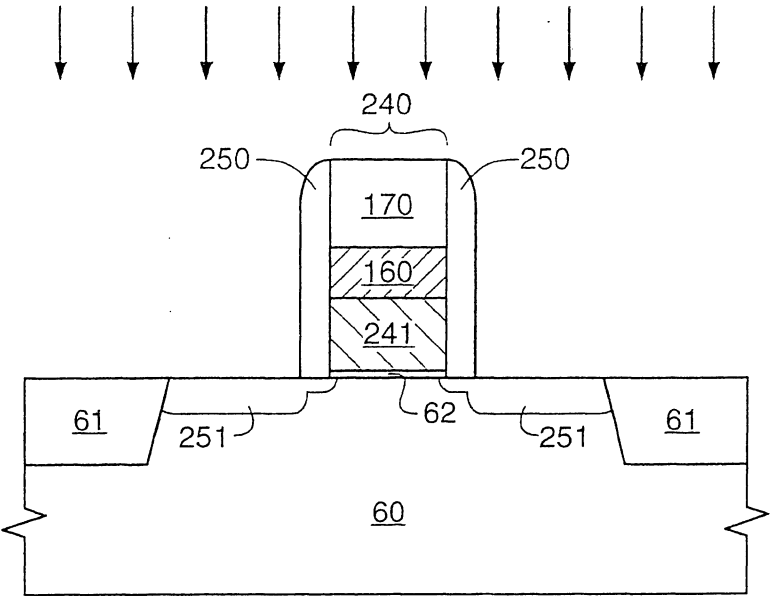


第 23 圖

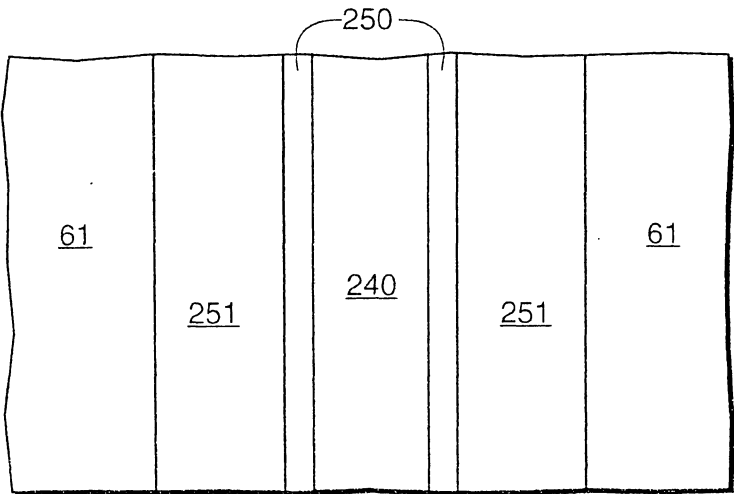


第 24 圖

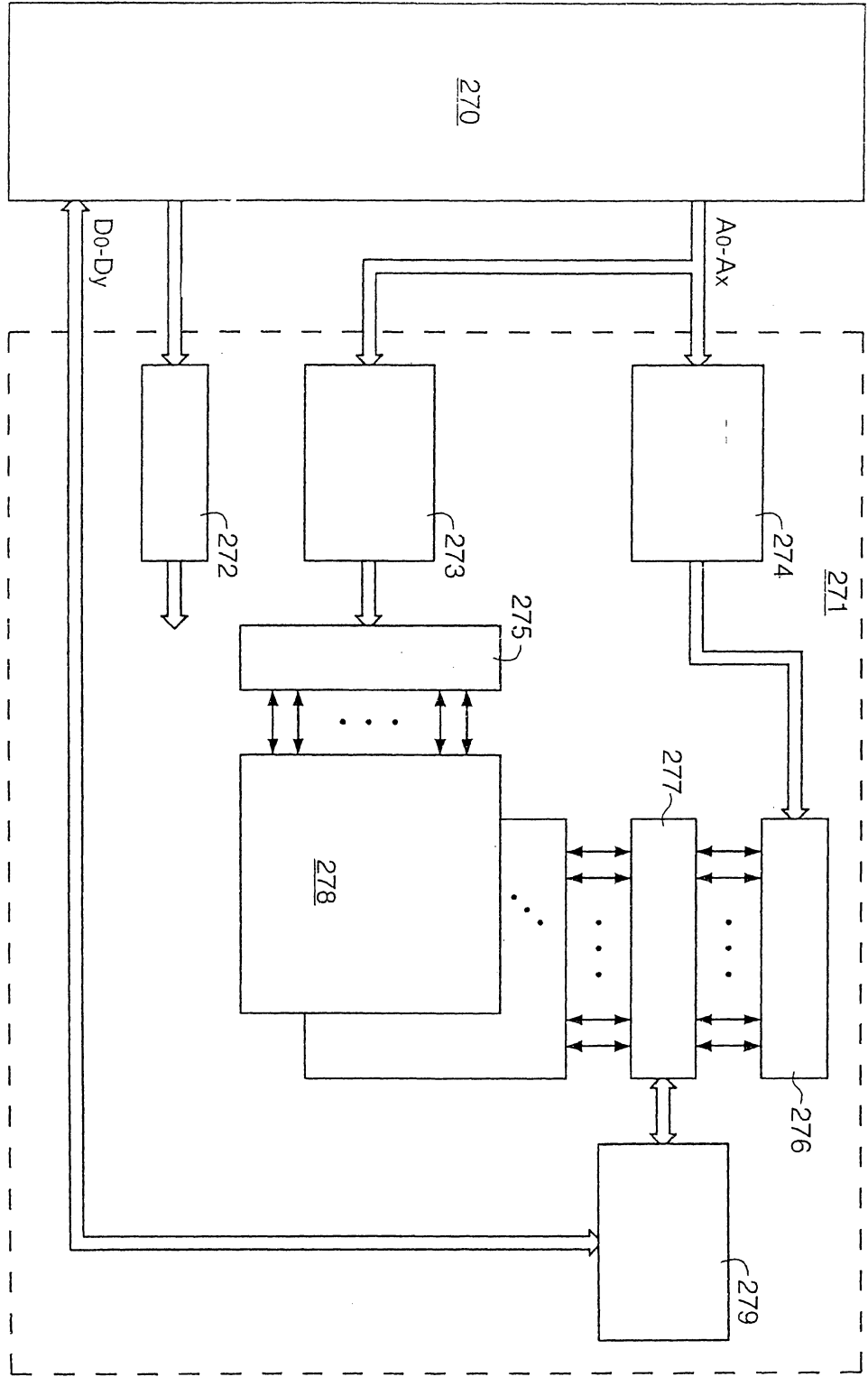
13/14



第 25 圖



第 26 圖



第 27 圖

七、指定代表圖：

(一)本案指定代表圖為：第 (6) 圖。

(二)本代表圖之元件符號簡單說明：

60...導電矽基材

61...電晶體隔離區

62...電晶體閘極氧化物

110...金屬矽化物區段

120...隔離覆蓋層

140...電晶體閘極

141...複晶矽區段

150...隔件

151...源極/汲極區

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

十、申請專利範圍：

第93123459號專利申請案 申請專利範圍修正本 2005年9月

1. 一種形成一電晶體於一半導體總成上之方法，包含：

5 形成一溝渠於一隔離材料中，該隔離材料係覆於一
矽層、電晶體閘極氧化物層、及矽基材料上方；

形成矽及金屬於溝渠內；

令該金屬與矽進行反應來形成金屬矽化物於溝渠
之界限內部，同時防止金屬矽化物形成於溝渠界限外之
矽層中；

10 形成一電晶體隔離覆蓋層於該金屬矽化物上方；

去除該隔離材料以及矽層下方區域及電晶體閘極
氧化物下方區域，來形成一電晶體閘極堆疊，該電晶體
閘極堆疊包含該電晶體隔離覆蓋層、金屬矽化物層、部
分矽層及電晶體閘極氧化物層；以及

15 形成電晶體之源極/汲極區於該矽基材料中以及
於該電晶體閘極堆疊之相對側上。

2. 如申請專利範圍第1項之方法，其中該金屬矽化物之形
成進一步包含：

形成一磊晶矽材料於接觸該矽層之該溝渠底部；

20 形成一金屬層進入該溝渠中及於磊晶矽材料上；

直接形成一以鈦為主之層於該金屬層上；以及

退火該半導體總成來讓該金屬層與該矽材料進行
反應而形成金屬矽化物。

3. 如申請專利範圍第1項之方法，進一步包含：

於形成該金屬矽化物於該溝渠內部前，形成內部溝渠隔件於由溝渠所形成之隔離材料側壁之上。

4. 如申請專利範圍第1項之方法，其中該金屬層包含鈷或鎳。

5. 如申請專利範圍第1項之方法，其中該以鈦為主之材料包含鈦或氮化鈦。

6. 如申請專利範圍第1項之方法，其中該金屬矽化物包含 CoSi_x ，其中 x 為1-2。

7. 如申請專利範圍第1項之方法，其中金屬矽化物包含矽化鈷或矽化鎳。

8. 一種形成一電晶體於一半導體總成之方法，該方法包含：

設置一基材，其具有數個隔離區成形於一導電矽基材內部，且該基材有一氧化物層形成於其上；

15 形成一複晶矽層於該氧化物層上；

形成一溝渠隔離材料覆蓋於該複晶矽層上；

形成一圖案化光阻覆蓋於該溝渠隔離材料上，該圖案化光阻中具有一開口；

20 經由該開口蝕刻一溝渠進入該溝渠隔離材料中，暴露出部分下方複晶矽層；

生長磊晶矽進入溝渠底部於下方複晶矽層之暴露部分上；

沿著溝渠側壁且於磊晶矽上沈積一金屬層；

於該半導體總成進行第一退火，以使該金屬層與磊

晶矽反應而形成金屬矽化物；

去除任何未反應之金屬層；

進行一第二退火步驟來繼續形成金屬矽化物；

沈積一隔離覆蓋材料進入該溝渠內部及覆蓋於該

5 金屬矽化物上；

去除該隔離覆蓋材料之側邊部分；

選擇性蝕刻至隔離覆蓋材料來形成一電晶體閘極堆疊，該電晶體閘極堆疊包含一電晶體隔離覆蓋層、金屬矽化物層、部分矽層、及電晶體閘極氧化物層；

10 將導電摻雜劑植入該導電矽基材來形成電晶體之自我校準之輕度摻雜源極/汲極區；

形成電晶體閘極側壁隔離隔件；以及

將導電摻雜劑植入導電矽基材來形成電晶體之源極/汲極區。

15 9. 如申請專利範圍第8項之方法，其中該金屬層包含鈷或鎳。

10. 如申請專利範圍第8項之方法，進一步包含：

於生長磊晶矽於溝渠底部前，形成內部溝渠隔件於藉溝渠所形成之溝渠隔離材料側壁之上。

20 11. 如申請專利範圍第10項之方法，進一步包含：

於該隔離覆蓋材料去除期間，去除該內部溝渠隔件。

12. 如申請專利範圍第8項之方法，進一步包含：

沈積一導電層於該金屬層上來控制金屬矽化物之

晶粒之形成；以及

於去除任何未反應之金屬矽化物期間，去除該導電層。

13. 一種形成具有一電晶體之半導體記憶體裝置之方法，該方法包含：

設置一基材，其具有隔離區成形進入一導電矽基材內部，且該基材有一氧化物層形成於其上；

形成一複晶矽層於該氧化物層上；

形成一溝渠隔離材料覆蓋於該複晶矽層上；

10 形成一圖案化光阻覆蓋於該溝渠隔離材料上，該圖案化光阻中具有一開口；

經由該開口蝕刻一溝渠進入該溝渠隔離材料中，暴露出部分下方複晶矽層；

15 生長磊晶矽進入溝渠底部於下方複晶矽層之暴露部分上；

沿著溝渠側壁且於磊晶矽上沈積一金屬層；

於該半導體總成進行第一退火，以使該金屬層與磊晶矽反應而形成金屬矽化物；

去除任何未反應之金屬層；

20 進行一第二退火步驟來繼續形成金屬矽化物；

沈積一隔離覆蓋材料進入該溝渠內部及覆蓋於該金屬矽化物上；

去除該隔離覆蓋材料之側邊部分；

選擇性蝕刻至隔離覆蓋材料來形成一電晶體閘極

堆疊，該電晶體閘極堆疊包含一電晶體隔離覆蓋層、金屬矽化物層、部分矽層、及電晶體閘極氧化物層；

將導電摻雜劑植入該導電矽基材來形成電晶體之自我校準之輕度摻雜源極/汲極區；

5 形成電晶體閘極側壁隔離隔件；以及

將導電摻雜劑植入導電矽基材來形成電晶體之源極/汲極區。

14. 如申請專利範圍第13項之方法，其中該金屬層包含鈷或鎳。

10 15. 如申請專利範圍第13項之方法，進一步包含：

於生長磊晶矽進入該溝渠底部前，形成內部溝渠隔件於藉溝渠所形成之溝渠隔離材料側壁上。

16. 如申請專利範圍第15項之方法，進一步包含：

15 於該隔離覆蓋材料去除期間，去除該內部溝渠隔件。

17. 如申請專利範圍第13項之方法，進一步包含：

沈積一導電層於該金屬層上來控制金屬矽化物之晶粒之形成；以及

20 於去除任何未反應之金屬矽化物期間，去除該導電層。

18. 一種形成一具有一電晶體之半導體總成之方法，該方法包含：

設置一基材，其具有隔離區成形於一導電矽基材內部，且該基材有一氧化物層形成於其上；

形成一複晶矽層於該氧化物層上；

形成一溝渠隔離材料覆蓋於該複晶矽層上；

形成一圖案化光阻覆蓋於該溝渠隔離材料上，該圖案化光阻中具有一開口；

- 5 經由該開口蝕刻一溝渠進入該溝渠隔離材料中，暴露出部分下方複晶矽層；

生長磊晶矽進入溝渠底部於下方複晶矽層之暴露部分上；

沿著溝渠側壁且於磊晶矽上沈積一金屬層；

- 10 於該半導體總成進行第一退火，以使該金屬層與磊晶矽反應而形成金屬矽化物；

去除任何未反應之金屬層；

進行一第二退火步驟來繼續形成金屬矽化物；

- 15 沈積一隔離覆蓋材料進入該溝渠內部及覆蓋於該金屬矽化物上；

去除該隔離覆蓋材料之側邊部分；

選擇性蝕刻至隔離覆蓋材料來形成一電晶體閘極堆疊，該電晶體閘極堆疊包含一電晶體隔離覆蓋層、金屬矽化物層、部分矽層、及電晶體閘極氧化物層；

- 20 將導電摻雜劑植入該導電矽基材來形成電晶體之自我校準之輕度摻雜源極/汲極區；

形成電晶體閘極側壁隔離隔件；以及

將導電摻雜劑植入導電矽基材來形成電晶體之源極/汲極區。

19. 如申請專利範圍第18項之方法，其中該金屬層包含鈷或鎳。

20. 如申請專利範圍第18項之方法，進一步包含：

5 於生長磊晶矽進入該溝渠底部前，形成內部溝渠隔件於藉溝渠所形成之溝渠隔離材料側壁上。

21. 如申請專利範圍第20項之方法，進一步包含：

於該隔離覆蓋材料去除期間，去除該內部溝渠隔件。

22. 如申請專利範圍第18項之方法，進一步包含：

10 沈積一導電層於該金屬層上來控制金屬矽化物之晶粒之形成；以及

於去除任何未反應之金屬矽化物期間，去除該導電層。

23. 一種形成具有一電晶體之半導體系統之方法，該方法包含：

15 設置一基材，其具有隔離區成形於一導電矽基材內部，且該基材有一氧化物層形成於其上；

形成一複晶矽層於該氧化物層上；

形成一溝渠隔離材料覆蓋於該複晶矽層上；

20 形成一圖案化光阻覆蓋於該溝渠隔離材料上，該圖案化光阻中具有一開口；

經由該開口蝕刻一溝渠進入該溝渠隔離材料中，暴露出部分下方複晶矽層；

生長磊晶矽進入溝渠底部於下方複晶矽層之暴露

部分上；

沿著溝渠側壁且於磊晶矽上沈積一金屬層；

於該半導體總成進行第一退火，以使該金屬層與磊晶矽反應而形成金屬矽化物；

5 去除任何未反應之金屬層；

進行一第二退火步驟來繼續形成金屬矽化物；

沈積一隔離覆蓋材料於進入該溝渠內部及覆蓋於該金屬矽化物上；

去除該隔離覆蓋材料之側邊部分；

10 選擇性蝕刻至隔離覆蓋材料來形成一電晶體閘極堆疊，該電晶體閘極堆疊包含一電晶體隔離覆蓋層、金屬矽化物層、部分矽層、及電晶體閘極氧化物層；

將導電摻雜劑植入該導電矽基材來形成電晶體之自我校準之輕度摻雜源極/汲極區；

15 形成電晶體閘極側壁隔離隔件；以及

將導電摻雜劑植入導電矽基材來形成電晶體之源極/汲極區。

24. 如申請專利範圍第23項之方法，其中該金屬層包含鈷或鎳。

20 25. 如申請專利範圍第23項之方法，進一步包含：

於生長磊晶矽進入該溝渠底部前，形成內部溝渠隔件於藉溝渠所形成之溝渠隔離材料側壁上。

26. 如申請專利範圍第25項之方法，進一步包含：

於該隔離覆蓋材料去除期間，去除該內部溝渠隔

件。

27. 如申請專利範圍第23項之方法，進一步包含：

沈積一導電層於該金屬層上來控制金屬矽化物之晶粒之形成；以及

5 於去除任何未反應之金屬矽化物期間，去除該導電層。

28. 一種形成一用於場效電晶體之電晶體閘極之方法，該方法包含：

10 設置一基材，其具有隔離區成形於一導電矽基材內部，且該基材有一氧化物層形成於其上；

形成一複晶矽層於該氧化物層上；

形成一溝渠隔離材料覆蓋於該複晶矽層上；

形成一圖案化光阻覆蓋於該溝渠隔離材料上，該圖案化光阻中具有一開口；

15 經由該開口蝕刻一溝渠進入該溝渠隔離材料中，來形成溝渠側壁於該溝渠隔離材料，以及暴露出下方複晶矽層之一部分；

生長厚度約400-500埃之磊晶矽進入該溝渠底部及於下方複晶矽層之暴露部分上；

20 沿著溝渠側壁且於磊晶矽上沈積一鈷層；

沈積一鈦層於該鈷層上方；

於約500°C-600°C範圍之溫度，經歷約30秒至60秒時間，於該半導體總成進行第一退火，以使該金屬層與磊晶矽反應而形成矽化鈷；

去除任何未反應之金屬層及鈷層；

經由進行第二退火步驟，係經由讓該半導體總成於約800°C-900°C範圍之溫度接受快速加熱處理步驟約30秒至60秒時間，來進一步形成矽化鈷，以使矽化鈷厚度約為100-350埃，但未侵蝕下方複晶矽層部分；

沈積隔離覆蓋材料進入該溝渠內及覆蓋於該矽化鈷上；

選擇性蝕刻來去除該隔離覆蓋材料之側邊部分；

選擇性蝕刻至隔離覆蓋材料來形成一電晶體閘極堆疊，該電晶體閘極堆疊包含一電晶體隔離覆蓋層、矽化鈷、部分矽層、及電晶體閘極氧化物層；

將導電摻雜劑植入來形成電晶體之自我校準之輕度摻雜源極/汲極區；

形成電晶體閘極側壁隔離隔件；以及

將導電摻雜劑植入來形成電晶體之源極/汲極區。

29. 如申請專利範圍第28項之方法，進一步包含：

於生長磊晶矽進入該溝渠底部前，形成內部溝渠隔件於藉溝渠所形成之溝渠隔離材料側壁上。

30. 如申請專利範圍第29項之方法，進一步包含：

於該隔離覆蓋材料去除期間，去除該內部溝渠隔件。