

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5556830号
(P5556830)

(45) 発行日 平成26年7月23日(2014.7.23)

(24) 登録日 平成26年6月13日(2014.6.13)

(51) Int.Cl. F I
 H O I S 5/022 (2006.01) H O I S 5/022
 H O I S 5/343 (2006.01) H O I S 5/343 6 1 0

請求項の数 14 (全 20 頁)

(21) 出願番号	特願2012-35411 (P2012-35411)	(73) 特許権者	000002130
(22) 出願日	平成24年2月21日(2012.2.21)		住友電気工業株式会社
(65) 公開番号	特開2013-172024 (P2013-172024A)		大阪府大阪市中央区北浜四丁目5番33号
(43) 公開日	平成25年9月2日(2013.9.2)	(74) 代理人	100088155
審査請求日	平成24年9月25日(2012.9.25)		弁理士 長谷川 芳樹
		(74) 代理人	100113435
			弁理士 黒木 義樹
		(74) 代理人	100108257
			弁理士 近藤 伊知良
		(72) 発明者	足立 真寛
			大阪府大阪市此花区島屋一丁目1番3号
			住友電気工業株式会社大阪製作所内
		(72) 発明者	中西 裕美
			兵庫県伊丹市昆陽北一丁目1番1号 住友
			電気工業株式会社伊丹製作所内
			最終頁に続く

(54) 【発明の名称】 半導体装置、及び、半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

半導体素子とサブマウントとを備えた半導体装置の作製方法であって、
 前記半導体素子を用意する工程と、
 前記半導体素子を前記サブマウントの主面に接合する工程と、
 を備え、
 前記半導体素子は、n型半導体領域と、前記n型半導体領域の表面上に設けられたp型半導体領域と、前記p型半導体領域の表面に設けられPd, Ni, Auの何れかの金属層を含むp側電極と、前記n型半導体領域の裏面に設けられたn側電極とを有し、
前記金属層は、前記p型半導体領域に接しており、
前記金属層は、10nm以上500nm以下の厚みを有し、
 n型半導体領域と、p型半導体領域とは、六方晶系III族窒化物半導体からなり、
 前記p型半導体領域は、コンタクト層を有し、
 前記コンタクト層は、前記p型半導体領域の前記表面を含み、
 前記コンタクト層は、前記p側電極に接し、
 前記コンタクト層の前記六方晶系III族窒化物半導体はGaNであり、
前記p型半導体領域の前記表面の法線軸と前記六方晶系III族窒化物半導体のc軸との成す角度は、10度以上80度以下の範囲、及び、100度以上170度以下の範囲、の何れかの範囲内にあり、

前記半導体素子を前記サブマウントの前記主面に接合する工程では、前記p側電極をS

n A g はんだを介して前記サブマウントの前記主面に押し当てつつ前記サブマウントの前記主面の温度が摂氏 200 度以上摂氏 205 度以下の範囲内に至るまで前記サブマウントの前記主面の温度を上げ、1.5 秒以上 5.5 秒以下の間だけ前記サブマウントの前記主面の温度を前記範囲内に維持することにより、前記 p 型半導体領域の前記表面から 5 nm 以上離れている前記 p 側電極の領域において前記 p 側電極が含有する Ga の量 (原子数%) を、前記コンタクト層が含有する Ga の量 (原子数%) の 3×10^{-4} 倍以下とする、ことを特徴とする半導体装置の作製方法。

【請求項 2】

前記 n 型半導体領域は、前記 n 型半導体領域の前記裏面を含む支持基体と、前記支持基体の表面上に設けられた n 型のエピタキシャル層とを含み、

前記支持基体の前記表面は、前記 n 型半導体領域の前記裏面の反対側にあり、

前記 p 型半導体領域は、前記 n 型半導体領域の上に設けられた p 型のエピタキシャル層であり、

前記コンタクト層の前記表面と前記支持基体の前記表面とは同じ面方位を有する、

ことを特徴とする請求項 1 に記載の半導体装置の作製方法。

【請求項 3】

前記 p 側電極は、Pd 金属層を含み、

前記 Pd 金属層は、前記 p 型半導体領域に接しており、

前記 Pd 金属層は、10 nm 以上 500 nm 以下の厚みを有する、

ことを特徴とする請求項 1 または 2 に記載の半導体装置の作製方法。

【請求項 4】

前記はんだは、前記半導体素子を前記サブマウントの前記主面に接合する工程が行われる前に、前記サブマウントの前記主面に予め設けられている、

ことを特徴とする請求項 1 ~ 3 の何れか一項に記載の半導体装置の作製方法。

【請求項 5】

前記サブマウントの材料は、AlN である、ことを特徴とする請求項 1 ~ 4 の何れか一項に記載の半導体装置の作製方法。

【請求項 6】

前記半導体素子は、活性層を有する半導体レーザであり、

前記活性層は、六方晶系 III 族窒化物半導体からなり、前記 n 型半導体領域と前記 p 型半導体領域との間に設けられている、ことを特徴とする請求項 1 ~ 5 の何れか一項に記載の半導体装置の作製方法。

【請求項 7】

前記 p 型半導体領域の前記表面の法線軸と前記六方晶系 III 族窒化物半導体の c 軸との成す角度は、63 度以上 80 度以下の範囲、及び、100 度以上 117 度以下の範囲、の何れかの範囲内にある、ことを特徴とする請求項 1 ~ 6 の何れか一項に記載の半導体装置の作製方法。

【請求項 8】

半導体素子とサブマウントとを備えた半導体装置であって、

前記半導体素子は、n 型半導体領域と、前記 n 型半導体領域の表面上に設けられた p 型半導体領域と、前記 p 型半導体領域の表面に設けられ Pd, Ni, Au の何れかの金属層を含む p 側電極と、前記 n 型半導体領域の裏面に設けられた n 側電極とを有し、

前記金属層は、前記 p 型半導体領域に接しており、

前記金属層は、10 nm 以上 500 nm 以下の厚みを有し、

n 型半導体領域と、p 型半導体領域とは、六方晶系 III 族窒化物半導体からなり、

前記 p 側電極は、SnAg はんだを介して前記サブマウントの主面に接合されており、

前記 p 型半導体領域は、コンタクト層を有し、

前記コンタクト層は、前記 p 型半導体領域の前記表面を含み、

前記コンタクト層の前記六方晶系 III 族窒化物半導体は GaN であり、

前記 p 型半導体領域の前記表面の法線軸と前記六方晶系 III 族窒化物半導体の c 軸と

10

20

30

40

50

の成す角度は、10度以上80度以下の範囲、及び、100度以上170度以下の範囲、の何れかの範囲内にあり、

前記p型半導体領域の前記表面から5nm以上離れている前記p側電極の領域において前記p側電極が含有するGaの量(原子数%)は、前記コンタクト層が含有するGaの量(原子数%)の 3×10^{-4} 倍以下である、

ことを特徴とする半導体装置。

【請求項9】

前記p型半導体領域の前記表面から8nm以上離れている前記p側電極の領域において前記p側電極が含有するGaの量(原子数%)は、前記コンタクト層が含有するGaの量(原子数%)の 2×10^{-4} 倍以下である、ことを特徴とする請求項8に記載の半導体装置。

10

【請求項10】

前記n型半導体領域は、前記n型半導体領域の前記裏面を含む支持基体と、前記支持基体の表面上に設けられたn型のエピタキシャル層とを含み、

前記支持基体の前記表面は、前記n型半導体領域の前記裏面の反対側にあり、

前記p型半導体領域は、前記n型半導体領域の上に設けられたp型のエピタキシャル層であり、

前記コンタクト層の前記表面と前記支持基体の前記表面とは同じ面方位を有する、

ことを特徴とする請求項8又は9に記載の半導体装置。

【請求項11】

20

前記p側電極は、Pd金属層を含み、

前記Pd金属層は、前記p型半導体領域に接しており、

前記Pd金属層は、10nm以上500nm以下の厚みを有する、

ことを特徴とする請求項8～10の何れか一項に記載の半導体装置。

【請求項12】

前記サブマウントの材料は、AlNである、ことを特徴とする請求項8～11の何れか一項に記載の半導体装置。

【請求項13】

前記半導体素子は、活性層を有する半導体レーザであり、

前記活性層は、六方晶系III族窒化物半導体からなり、前記n型半導体領域と前記p型半導体領域との間に設けられている、ことを特徴とする請求項8～12の何れか一項に記載の半導体装置。

30

【請求項14】

前記p型半導体領域の前記表面の法線軸と前記六方晶系III族窒化物半導体のc軸との成す角度は、63度以上80度以下の範囲、及び、100度以上117度以下の範囲、の何れかの範囲内にある、ことを特徴とする請求項8～13の何れか一項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

40

本発明は、半導体素子がサブマウントに搭載された半導体装置と、この半導体装置の作製方法とに関する。

【背景技術】

【0002】

特許文献1には、ガリウム(Ga)を含有するn型半導体層にn側電極が設けられた半導体素子が、開示されている。特許文献1に記載の半導体素子では、Gaを含有するn型半導体層とのコンタクト抵抗を低減するために、1原子数%以上10原子数%以下のGa含有率を有しn型半導体層に接している金属層がn側電極に設けられている。

【先行技術文献】

【特許文献】

50

【 0 0 0 3 】

【特許文献 1】特許第 4 7 7 2 1 3 5 号明細書

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 4 】

しかしながら、n 型半導体層に接している n 側電極の金属層の Ga の量が 1 原子数 % 以上 10 原子数 % 以下であっても、半導体素子の実装時の熱により、n 側電極への Ga 原子の拡散が生じ、順方向電圧が実装後に上昇してしまう場合がある。順方向電圧を引き起こす要因は、Ga の電極への拡散で示される半導体中の Ga 空孔による半導体キャリア濃度の低下であるが、特許文献 1 の規定では、電圧の上昇を抑制することはできない。n 型半導体層に限らず、Ga を含有する p 型半導体層に p 側電極が設けられた構成においても、p 型半導体層から p 側電極への Ga 原子の拡散が生じる。そこで、本発明の目的は、上記の事項を鑑みてなされたものであり、半導体素子をサブマウントに実装した後においても、実装前と比較し、電圧の上昇を抑制することである。

10

【課題を解決するための手段】

【 0 0 0 5 】

本発明の半導体装置の作製方法は、半導体素子とサブマウントとを備えた半導体装置の作製方法であって、前記半導体素子を用意する工程と、前記半導体素子を前記サブマウントの主面に接合する工程と、を備え、前記半導体素子は、n 型半導体領域と、前記 n 型半導体領域の表面上に設けられた p 型半導体領域と、前記 p 型半導体領域の表面に設けられた p 側電極と、前記 n 型半導体領域の裏面に設けられた n 側電極とを有し、n 型半導体領域と、p 型半導体領域とは、六方晶系 III 族窒化物半導体からなり、前記 p 型半導体領域は、コンタクト層を有し、前記コンタクト層は、前記 p 型半導体領域の前記表面を含み、前記コンタクト層は、前記 p 側電極に接し、前記コンタクト層は、前記 p 型半導体領域の III 族構成元素として Ga を含有し、前記 p 型半導体領域の前記表面は、前記六方晶系 III 族窒化物半導体の半極性面であり、前記半導体素子を前記サブマウントの前記主面に接合する工程では、前記 p 側電極をはんだを介して前記サブマウントの前記主面に押し当てつつ前記サブマウントの前記主面の温度が摂氏 200 度以上摂氏 205 度以下の範囲内に至るまで前記サブマウントの前記主面の温度を上げ、1.5 秒以上 5.5 秒以下の間だけ前記前記サブマウントの前記主面の温度を前記範囲内に維持する、ことを特徴とする。

20

30

【 0 0 0 6 】

半導体素子の p 側電極をサブマウントに接合する場合、サブマウントの主面の温度を上昇させて半導体素子の p 側電極をサブマウントにはんだを介して接合するが、半導体素子の温度の上昇に伴い、p 側電極に接する p 型半導体領域の Ga 原子が p 側電極に拡散し、p 型半導体領域の内部に Ga 空孔が生じ、キャリア濃度が低減し、よって、p 側電極におけるオーミック性が低減する。本発明では、半導体素子の p 側電極をサブマウントに接合する場合、サブマウントの主面の温度を比較的短い時間である 1.5 秒以上 5.5 秒以下の間だけ比較的低温の摂氏 200 度以上摂氏 205 度以下の範囲内に維持するので、半導体素子の温度上昇が抑制され、p 型半導体領域から p 側電極に Ga 原子が拡散するのが抑制され、よって、半導体素子がサブマウントに実装された後においても、p 側電極におけるオーミック性が十分に維持できる。これは、Ga の拡散が抑制されることで、半導体中の Ga 空孔の濃度が増加しないため、オーミックを得るのに良好なキャリア濃度を確保できるためである。すなわち、Ga 空孔が深い準位として働き、自由正孔を捕獲することで、自由正孔濃度を低下させてしまう、ということ抑制するためである。

40

【 0 0 0 7 】

本発明の半導体装置の作製方法では、前記 n 型半導体領域は、前記 n 型半導体領域の前記裏面を含む支持基体と、前記支持基体の表面上に設けられた n 型のエピタキシャル層とを含み、前記支持基体の前記表面は、前記 n 型半導体領域の前記裏面の反対側にあり、前記 p 型半導体領域は、前記 n 型半導体領域の上に設けられた p 型のエピタキシャル層であ

50

り、前記コンタクト層の前記表面と前記支持基体の前記表面とは同じ面方位を有する、ことが好ましい。従って、本発明の作製方法は、半極性面上にエピタキシャル成長した積層を有する半導体素子に対して適用可能である。この顕著なGa原子の拡散は、半極性面の不對電子対の多さによる表面エネルギーの不安定性に起因すると考えられるためである。

【0008】

本発明の半導体装置の作製方法では、前記p側電極は、Pd, Ni, Auの何れかの金属層を含み、前記金属層は、前記p型半導体領域に接しており、前記金属層は、10nm以上500nm以下の厚みを有する、ことが好ましい。p側電極の材料には、複数の金属を用いることができる。これらの金属は、仕事関数が高く、また半極性のp型半導体領域（例えば半極性のp-GaN）と良好な密着性を得ることができるためである。

10

【0009】

本発明の半導体装置の作製方法では、前記p側電極は、Pd金属層を含み、前記Pd金属層は、前記p型半導体領域に接しており、前記Pd金属層は、10nm以上500nm以下の厚みを有する、ことが好ましい。p側電極の材料としては、特に、Pdを用いることができる。それは、特に仕事関数が低いため、良好なオーミック特性を得ることが可能となるためである。

【0010】

本発明の半導体装置の作製方法では、前記はんだは、前記半導体素子を前記サブマウントの前記主面に接合する工程を行う前に、前記サブマウントの前記主面に予め設けられている、ことが好ましい。サブマウントの上に予めはんだが設けられているので、半導体素子をサブマウントに容易に接合できる。これにより、短時間での接合が可能で、半導体素子に与える熱的ダメージを少なくすることができる。

20

【0011】

本発明の半導体装置の作製方法では、前記はんだの材料は、SnAgである、ことが好ましい。他のはんだ材料として、SnAg、BiSnもあるが、これらはSnの割合90%程度と非常に高く、レーザ動作中にSnの多さに起因したSnのウィスカの発生が懸念され、信頼性の確保に向かない。

【0012】

本発明の半導体装置の作製方法では、前記サブマウントの材料は、AlNである、ことが好ましい。サブマウントの材料として、銅ダイヤ、ダイヤ、銅タングステンがあるが、放熱性、熱膨張係数の観点から、AlNが最も好ましい。サブマウントは比較的の高い熱伝導性を有するので、半導体素子をサブマウントに接合し動作させる場合に半導体素子の温度上昇を抑制できる。これは、高い熱伝導率のためである。

30

【0013】

本発明の半導体装置の作製方法では、前記半導体素子は、活性層を有する半導体レーザであり、前記活性層は、六方晶系III族窒化物半導体からなり、前記n型半導体領域と前記p型半導体領域との間に設けられている、ことが好ましい。

【0014】

本発明の半導体装置の作製方法では、前記p型半導体領域の前記表面の法線軸と前記六方晶系III族窒化物半導体のc軸との成す角度は、10度以上80度以下の範囲、及び、100度以上170度以下の範囲、の何れかの範囲内にある、ことが好ましい。本発明は、380nm以上600nm以下の波長のレーザ光を出力する半導体レーザに適用できる。この角度における半極性の支持基体（例えばGaNからなる半極性の支持基体）上の量子井戸（例えばInGaNからなる量子井戸）の品質は、380nm以上600nm以下を外れると著しく悪化し、その量子井戸よりも後に成長するエピタキシャル層の結晶性が悪くなり、良好なキャリア濃度を確保することが不可となる。

40

【0015】

本発明の半導体装置の作製方法では、前記p型半導体領域の前記表面の法線軸と前記六方晶系III族窒化物半導体のc軸との成す角度は、63度以上80度以下の範囲、及び、100度以上117度以下の範囲、の何れかの範囲内にある、ことが好ましい。本発明

50

は、380 nm以上600 nm以下の波長のレーザ光を出力する半導体レーザに適用できる。この角度における半極性の支持基体（例えばGaNからなる半極性の支持基体）であれば、この支持基体上の量子井戸（例えばInGaNからなる量子井戸）の品質は、380 nm以上600 nm以下であっても、比較的良好な結晶性を保ち、その量子井戸よりも後に成長するエピタキシャル層の結晶性は比較的良好になるため、良好なキャリア濃度を確保することが可能となる。

【0016】

本発明の半導体装置の半導体装置は、前記p側電極と前記p型半導体領域との接触面の接触抵抗の値は、 $1 \times 10^{-5} \text{ cm}^2$ 以上 $1 \times 10^{-4} \text{ cm}^2$ 以下である、ことが好ましい。これにより、接触抵抗による電圧降下の効果を無視可能となる。

10

【0017】

本発明の半導体装置は、半導体素子とサブマウントとを備えた半導体装置であって、前記半導体素子は、n型半導体領域と、前記n型半導体領域の表面上に設けられたp型半導体領域と、前記p型半導体領域の表面に設けられたp側電極と、前記n型半導体領域の裏面に設けられたn側電極とを有し、n型半導体領域と、p型半導体領域とは、六方晶系III族窒化物半導体からなり、前記半導体素子は、前記サブマウントの主面に接合され、前記p型半導体領域は、コンタクト層を有し、前記コンタクト層は、前記p型半導体領域の前記表面を含み、前記コンタクト層は、前記p型半導体領域のIII族構成元素としてGaを含有し、前記p型半導体領域の前記表面は、前記六方晶系III族窒化物半導体の半極性面であり、前記p型半導体領域の前記表面から5 nm以上離れている前記p側電極の領域において前記p側電極が含有するGaの量（原子数%）は、前記コンタクト層が含有するGaの量（原子数%）の 3×10^{-4} 倍以下である、ことを特徴とする。この場所は、p側電極とp型半導体領域との界面（p型半導体領域の裏面）から、p側電極の側に、5 nm以上離れた場所である。

20

【0018】

半導体素子のp側電極をサブマウントに接合する場合、半導体素子の温度を上昇させて半導体素子のp側電極をサブマウントにはんだを介して接合するが、半導体素子の温度の上昇に伴い、p側電極に接するp型半導体領域のGa原子がp側電極に拡散し、p型半導体領域の内部にGa空孔が生じ、キャリア濃度が低減し、よって、p側電極におけるオーミック性が低減する。本発明に係る半導体素子では、p型半導体領域からp側電極に拡散するGa原子の量は、p型半導体領域が含有するGa原子の量の 3×10^{-4} 倍以下であり、比較的に低いので、半導体素子がサブマウントに実装された後においても、p側電極におけるオーミック性が十分に維持される。これは、Gaの拡散が抑制されることで、半導体中のGa空孔の濃度が増加しないため、オーミックを得るのに良好なキャリア濃度を確保できるためである。すなわち、Ga空孔が深い準位として働き、自由正孔を捕獲することで、自由正孔濃度を低下させてしまう、ということを抑制するためである。

30

【0019】

本発明の半導体装置では、前記p型半導体領域の前記表面から8 nm以上離れている前記p側電極の領域において前記p側電極が含有するGaの量（原子数%）は、前記コンタクト層が含有するGaの量（原子数%）の 2×10^{-4} 倍以下である、ことが好ましい。

40

【0020】

本発明に係る半導体素子では、p型半導体領域からp側電極に拡散するGa原子の量は、p型半導体領域が含有するGa原子の量の 2×10^{-4} 倍以下であり、比較的に低いので、半導体素子がサブマウントに実装された後においても、p側電極におけるオーミック性が十分に維持される。これは、Gaの拡散が抑制されることで、半導体中のGa空孔の濃度が増加しないため、オーミックを得るのに良好なキャリア濃度を確保できるためである。

【0021】

本発明の半導体装置は、前記n型半導体領域は、前記n型半導体領域の前記裏面を含む支持基体と、前記支持基体の表面上に設けられたn型のエピタキシャル層とを含み、前記

50

支持体の前記表面は、前記 n 型半導体領域の前記裏面の反対側にあり、前記 p 型半導体領域は、前記 n 型半導体領域の上に設けられた p 型のエピタキシャル層であり、前記コンタクト層の前記表面と前記支持体の前記表面とは同じ面方位を有する、ことが好ましい。従って、本発明の半導体装置の半導体素子は、半極性面上にエピタキシャル成長した積層を有する半導体素子に対して適用可能である。この顕著な Ga 原子の拡散は、半極性面の不対電子対の多さによる表面エネルギーの不安定性に起因すると考えられるためである。

【 0 0 2 2 】

本発明の半導体装置は、前記 p 側電極は、Pd, Ni, Au の何れかの金属層を含み、前記金属層は、前記 p 型半導体領域に接しており、前記金属層は、10 nm 以上 500 nm 以下の厚みを有する、ことが好ましい。p 側電極の材料には、複数の金属を用いることができる。これらの金属は、仕事関数が高く、また半極性の p 型半導体領域（例えば半極性の p - GaN）と良好な密着性を得ることができるためである。

10

【 0 0 2 3 】

本発明の半導体装置は、前記 p 側電極は、Pd 金属層を含み、前記 Pd 金属層は、前記 p 型半導体領域に接しており、前記 Pd 金属層は、10 nm 以上 500 nm 以下の厚みを有する、ことが好ましい。p 側電極の材料としては、特に、Pd を用いることができる。それは、特に仕事関数が高いため、良好なオーミック特性を得ることが可能となるためである。

【 0 0 2 4 】

本発明の半導体装置は、前記 p 側電極は、はんだを介して前記サブマウントの前記主面に接合されており、前記はんだの材料は、SnAg である、ことが好ましい。他のハンダ材量として、SnAg、BiSn もあるが、これらは Sn の割合 90% 程度と非常に高く、レーザ動作中に Sn の多さに起因した Sn のウィスカの発生が懸念され、信頼性の確保に向かない。

20

【 0 0 2 5 】

本発明の半導体装置は、前記サブマウントの材料は、AlN である、ことが好ましい。サブマウントの材料として、銅ダイヤモンド、ダイヤモンド、銅タングステンがあるが、放熱性、熱膨張係数の観点から、AlN が最も好ましい。サブマウントは比較的の高い熱伝導性を有するので、半導体素子がサブマウントに接合される場合に半導体素子の温度上昇が抑制される。これは、高い熱伝導率のためである。

30

【 0 0 2 6 】

本発明の半導体装置は、前記半導体素子は、活性層を有する半導体レーザであり、前記活性層は、六方晶系 III 族窒化物半導体からなり、前記 n 型半導体領域と前記 p 型半導体領域との間に設けられている、ことが好ましい。

【 0 0 2 7 】

本発明の半導体装置は、前記 p 型半導体領域の前記表面の法線軸と前記六方晶系 III 族窒化物半導体の c 軸との成す角度は、10 度以上 80 度以下の範囲、及び、100 度以上 170 度以下の範囲、の何れかの範囲内にある、ことが好ましい。本発明は、380 nm 以上 600 nm 以下の波長のレーザ光を出力する半導体レーザに適用できる。この角度における半極性の支持体（例えば GaN からなる半極性の支持体）上の量子井戸（例えば InGaN からなる半極性の量子井戸）の品質は、380 nm 以上 600 nm 以下を外れると著しく悪化し、その量子井戸よりも後に成長するエピタキシャル層の結晶性が悪くなり、良好なキャリア濃度を確保することが不可となる。

40

【 0 0 2 8 】

本発明の半導体装置は、前記 p 型半導体領域の前記表面の法線軸と前記六方晶系 III 族窒化物半導体の c 軸との成す角度は、63 度以上 80 度以下の範囲、及び、100 度以上 117 度以下の範囲、の何れかの範囲内にある、ことが好ましい。本発明は、380 nm 以上 600 nm 以下の波長のレーザ光を出力する半導体レーザに適用できる。この角度における半極性の支持体（例えば GaN からなる半極性の支持体）であれば、この支

50

持基体上の量子井戸（例えばInGaNからなる量子井戸）の品質は、380nm以上600nm以下であっても、比較的良好な結晶性を保ち、その量子井戸よりも後に成長するエピタキシャル層の結晶性は比較的良好となるため、良好なキャリア濃度を確保することが可能となる。

【0029】

本発明の半導体装置は、前記p側電極と前記p型半導体領域との接触面の抵抗値は、 $1 \times 10^{-5} \text{ cm}^2$ 以上 $1 \times 10^{-4} \text{ cm}^2$ 以下である、ことが好ましいこれにより、接触抵抗による電圧降下の効果を無視可能となる。

【発明の効果】

【0030】

本発明によれば、半導体素子をサブマウントに実装した後においても、実装前と比較し、電圧の上昇を少なくすることができる。

【図面の簡単な説明】

【0031】

【図1】図1は、実施形態に係る半導体装置の構成を示す図である。

【図2】図2は、p型半導体領域とp側電極との接合の様子を説明するための図である。

【図3】図3は、実施形態に係る半導体装置の主要な作製工程を説明する図である。

【図4】図4は、エピタキシャルウェハ及び半導体素子の半導体積層の構造の一実施例を示す図である。

【図5】図5は、サブマウントに接合した後の半導体素子の動作電圧の上昇量と、半導体素子をサブマウントに接合した時のサブマウントの主面の温度との相関を示す図である。

【図6】図6は、サブマウントに接合されたp側電極に含まれるGaの量をSIMSによって測定した結果を示す図である。

【発明を実施するための形態】

【0032】

以下、図面を参照して、本発明に係る好適な実施形態について詳細に説明する。なお、図面の説明において、可能な場合には、同一要素には同一符号を付し、重複する説明を省略する。

【0033】

図1及び図2を参照して、半導体装置20の構成を説明する。図1は、実施形態に係る半導体装置20の構成を示す図である。図2は、p型半導体領域3とp側電極5との接合の様子を説明するための図である。半導体装置20は、半導体素子1とサブマウント13とを備える。半導体素子1は、半導体レーザである。

【0034】

半導体素子1は、サブマウント13の主面13aに接合されている。半導体素子1は、n型半導体領域2、p型半導体領域3、活性層4、p側電極5、パッド電極12、及び、n側電極6を有する。

【0035】

n型半導体領域2、p型半導体領域3及び活性層4は、六方晶系III族窒化物半導体からなり、GaN系化合物半導体からなることができる。

【0036】

n型半導体領域2は、支持基体7及び半導体層8を有する。支持基体7は、n型半導体領域2の裏面2bを含む。支持基体7の表面7aとn型半導体領域2の裏面2bとn型半導体領域2の表面2aとp型半導体領域3の表面3bとは同じ面方位を有する。表面2a、裏面2b、表面3b及び表面7aは、支持基体7を構成する六方晶系III族窒化物半導体の半極性面である。支持基体7は、n側電極6に接している。支持基体7は、n型半導体領域2の裏面2bを介してn側電極6に接している。

【0037】

半導体層8は、支持基体7の表面7a上に設けられている。表面7aは、n型半導体領域2の裏面2bの反対側にある。半導体層8は、n型のエピタキシャル層である。半導体

10

20

30

40

50

層 8 は、アンドープの層を含むことができる。半導体層 8 は、支持基体 7 に接している。

【 0 0 3 8 】

p 型半導体領域 3 は、n 型半導体領域 2 の表面 2 a 上に設けられている。p 型半導体領域 3 は、活性層 4 上に設けられている。p 型半導体領域 3 は、p 型のエピタキシャル層である。p 型半導体領域 3 は、半導体層 9 及びコンタクト層 1 0 を有する。p 型半導体領域 3 は、リッジ部 3 a を有する。リッジ部 3 a は、p 側電極 5 に至るまで延びている。

【 0 0 3 9 】

半導体層 9 は、活性層 4 上に設けられた p 型のエピタキシャル層である。半導体層 9 は、アンドープの層を含むことができる。

【 0 0 4 0 】

コンタクト層 1 0 は、p 型半導体領域 3 のリッジ部 3 a に含まれる。コンタクト層 1 0 は、半導体層 9 上に設けられている。コンタクト層 1 0 は、p 型のエピタキシャル層である。コンタクト層 1 0 は、p 型半導体領域 3 の表面 3 b を含む。コンタクト層 1 0 は、半導体層 9 に接している。コンタクト層 1 0 は、表面 3 b を介して p 側電極 5 に接している。コンタクト層 1 0 は、I I I 族構成元素として G a を含有する。

【 0 0 4 1 】

p 型半導体領域 3 の表面 3 b の法線軸 N A と、支持基体 7 及びコンタクト層 1 0 を構成する六方晶系 I I I 族窒化物半導体の c 軸 C A との成す角度 は、1 0 度以上 8 0 度以下の範囲、及び、1 0 0 度以上 1 7 0 度以下の範囲、の何れかの範囲内にあることができる。p 型半導体領域 3 の表面 3 b の法線軸 N A と、支持基体 7 及びコンタクト層 1 0 を構成する六方晶系 I I I 族窒化物半導体の c 軸 C A との成す角度 は、6 3 度以上 8 0 度以下の範囲、及び、1 0 0 度以上 1 1 7 度以下の範囲、の何れかの範囲内にあることができる。

【 0 0 4 2 】

活性層 4 は、n 型半導体領域 2 の表面 2 a に設けられている。活性層 4 は、n 型半導体領域 2 と p 型半導体領域 3 との間に配置されている。活性層 4 は、n 型半導体領域 2 と p 型半導体領域 3 とに接している。活性層 4 は、半導体層 9 に接しており、半導体層 8 に接している。活性層 4 は、表面 2 a を介して n 型半導体領域 2 (具体的には半導体層 8) に接している。活性層 4 は、アンドープのエピタキシャル層である。

【 0 0 4 3 】

p 側電極 5 は、p 型半導体領域 3 の表面 3 b に設けられている。p 側電極 5 は、表面 3 b を介して p 型半導体領域 3 (具体的にはコンタクト層 1 0) に接している。n 側電極 6 は、n 型半導体領域 2 の裏面 2 b に設けられている。n 側電極 6 は、裏面 2 b を介して n 型半導体領域 2 に接している。n 側電極 6 は、A l , P t , A u , P d , V , T i の何れかの金属層を含む。

【 0 0 4 4 】

p 側電極 5 は、P d , N i , A u の何れかの金属層 5 a を含む。金属層 5 a は、p 型半導体領域 3 (具体的にはコンタクト層 1 0) に接している。金属層 5 a は、例えば、1 0 n m 以上 5 0 0 n m 以下の厚みを有する。金属層 5 a は、例えば、P d 金属層であることができる。また、p 側電極 5 上には p 側電極 5 を覆うようにパッド電極 1 2 が設けられている。パッド電極 1 2 は、絶縁層 1 1 の表面上に延びている。パッド電極 1 2 は、p 側電極 5 及び絶縁層 1 1 に接する。パッド電極 1 2 は、例えば T i , A u を含む。

【 0 0 4 5 】

p 側電極 5 は、領域 5 b 及び領域 5 c から成る。領域 5 b は、p 型半導体領域 3 の表面 3 b を介して p 型半導体領域 3 (具体的にはコンタクト層 1 0) に接する部分である。領域 5 c は、p 側電極 5 から領域 5 b を除いた領域であり、サブマウント 1 3 に接合される部分である。

【 0 0 4 6 】

領域 5 b は、p 型半導体領域 3 の表面 3 b から 5 n m 以上の厚み L を有することができる。領域 5 b と領域 5 c との界面 5 d は、p 型半導体領域 3 の表面 3 b から 5 n m 以上離

10

20

30

40

50

れている。領域5bにおいてp側電極5が含有するGaの量(原子数%)は、半導体素子1がサブマウント13に実装された後においてp型半導体領域3(具体的にはコンタクト層10)が含有するGaの量(原子数%)の 3×10^{-4} 倍以下である。界面5dは、金属層5aに含まれる。

【0047】

領域5bは、p型半導体領域3の表面3bから8nm以上の厚みLを有することができる。この場合、領域5bと領域5cとの界面5dは、p型半導体領域3の表面3bから8nm以上離れている。さらに、この場合、領域5bにおいてp側電極5が含有するGaの量(原子数%)は、半導体素子1がサブマウント13に実装された後においてp型半導体領域3(具体的にはコンタクト層10)が含有するGaの量(原子数%)の 2×10^{-4} 倍以下である。

10

【0048】

p側電極5とp型半導体領域3との接触面(表面3b)の接触抵抗の値の増加量は、実装後の電圧の上昇量(例えば0.2Vの上昇)から見積もると $0.4 \times 10^{-4} \text{ cm}^2$ 以内(特に、 $1 \times 10^{-5} \text{ cm}^2$ 以上 $1 \times 10^{-4} \text{ cm}^2$ 以下)である。

【0049】

p側電極5(具体的には金属層5a)は、はんだ14を介してサブマウント13の主面13aに接合されている。はんだ14の材料は、例えば、SnAgである。他のはんだ材料として、SnAg、BiSnもあるが、これらはSnの割合90%程度と非常に高く、レーザ動作中にSnの多さに起因したSnのウイスキアの発生が懸念され、信頼性の確保に向かない。サブマウント13の材料は、例えば、AlNである。サブマウントの材料として、銅ダイヤ、ダイヤ、銅タングステンがあるが、放熱性、熱膨張係数の観点から、AlNが最も好ましい。

20

【0050】

半導体素子1は、絶縁膜11を有する。絶縁層11は、リッジ部3aの側壁を含むp型半導体領域3の表面を覆う。絶縁層11は、例えば、 SiO_2 膜からなることができる。

【0051】

本実施形態に係る半導体装置20では、p型半導体領域3の表面3bから5nm以上離れているp側電極5の領域5cにおいてp側電極5が含有するGaの量(原子数%)は、p型半導体領域3が含有するGaの量(原子数%)の 3×10^{-4} 倍以下である。半導体素子1のp側電極5をサブマウント13に接合する場合、半導体素子1の温度を上昇させて半導体素子1のp側電極5をサブマウント13にはんだ14を介して接合するが、半導体素子1の温度の上昇に伴い、p側電極5に接するp型半導体領域3のGa原子がp側電極5に拡散し、p型半導体領域3の内部にGa空孔が生じ、キャリア濃度が低減し、よって、p側電極5におけるオーミック性が低減する。本実施形態に係る半導体素子1では、p型半導体領域3からp側電極5に拡散するGa原子の量は、p型半導体領域3が含有するGa原子の量の 3×10^{-4} 倍以下であり、欠陥濃度で $1 \times 10^{18} \text{ cm}^{-3}$ 以下とp型ドーピング濃度 $1 \times 10^{19} \text{ cm}^{-3}$ 以上よりも比較的低いので、半導体素子1がサブマウント13に実装された後においても、p側電極5におけるオーミック性が十分に維持される。これは、Gaの拡散が抑制されることで、半導体中のGa空孔の濃度が増加しないため、オーミックを得るのに良好なキャリア濃度を確保できるためである。すなわち、Ga空孔が深い準位として働き、自由正孔を捕獲することで、自由正孔濃度を低下させてしまう、ということを抑制するためである。

30

40

【0052】

本実施形態に係る半導体装置20では、p側電極5の領域5cがp型半導体領域3の表面3bから8nm以上離れている場合、p側電極5が含有するGaの量(原子数%)は、p型半導体領域3が含有するGaの量(原子数%)の 2×10^{-4} 倍以下である。この場合、p型半導体領域3からp側電極5に拡散するGa原子の量は、p型半導体領域3が含有するGa原子の量の 2×10^{-4} 倍以下であり、比較的に低いので、半導体素子1がサブマウント13に実装された後においても、p側電極5におけるオーミック性が十分に維

50

持される。これは、半導体中のGa空孔の濃度で $1 \times 10^{18} \text{ cm}^{-3}$ 以下に相当するので、n型ドーピング濃度 $1 \times 10^{19} \text{ cm}^{-3}$ 以上よりも低くGa空孔によるキャリア濃度の低下を無視することが可能となるため、これによる電圧の上昇を抑制することが可能となる。

【0053】

本実施形態に係る半導体装置20では、n型半導体領域2は、n型半導体領域2の裏面2bを含む支持基体7と、支持基体7の表面7a上に設けられたn型のエピタキシャル層である半導体層8とを含み、支持基体7の表面7aは、n型半導体領域2の裏面2bの反対側にあり、p型半導体領域3は、n型半導体領域2の上に設けられたp型のエピタキシャル層であり、p型半導体領域3のコンタクト層10の表面(p型半導体領域3の表面3b)と支持基体7の表面7aとは同じ面方位を有する。従って、半導体素子1は、半極性面である支持基体7の表面7a上にエピタキシャル成長した積層を有する半導体素子に対して適用可能である。この顕著なGa原子の拡散は、半極性面の不對電子対の多さによる表面エネルギーの不安定性に起因すると考えられるためである。

10

【0054】

本実施形態に係る半導体装置20では、p側電極5は、Pd, Ni, Auの何れかの金属層5aを含み、金属層5aは、p型半導体領域3に接しており、金属層5aは、10nm以上500nm以下の厚みを有する。p側電極5の材料には、Pd, Ni, Au等の複数の金属を用いることができる。p側電極5の材料としては、特に、Pdを用いることができる。これらの金属は、仕事関数が高く、また半極性p-GaNと良好な密着性を得ることができるためである。p側電極5の材料としては、特に、Pdを用いることができる。それは、特に仕事関数が高いため、良好なオーミック特性を得ることが可能となるためである。

20

【0055】

本実施形態に係る半導体装置20では、p側電極5は、はんだ14を介してサブマウント13の主面13aに接合されており、はんだ14の材料は、SnAgである。よって、比較的低い温度で半導体素子1をサブマウント13に接合できる。他のはんだ材料として、SnAg、BiSnもあるが、これらはSnの割合90%程度と非常に高く、レーザ動作中にSnの多さに起因したSnのウイスキーの発生が懸念され、信頼性の確保に向かない。

30

【0056】

本実施形態に係る半導体装置20では、サブマウント13の材料は、AlNである。サブマウントの材料として、銅ダイヤモンド、ダイヤモンド、銅タングステンがあるが、放熱性、熱膨張係数の観点から、AlNが最も好ましい。サブマウント13は比較的の高い熱伝導性を有するので、半導体素子1がサブマウント13に接合される場合に半導体素子1の温度上昇が抑制される。これは、AlNの熱伝導率が 230 W/mK と高い熱伝導率を有するためである。

【0057】

本実施形態に係る半導体装置20では、p型半導体領域3の表面3bの法線軸NAと六方晶系III族窒化物半導体のc軸CAとの成す角度は、10度以上80度以下の範囲、及び、100度以上170度以下の範囲、の何れかの範囲内にある。従って、半導体装置20は、380nm以上600nm以下の波長のレーザ光を出力する半導体レーザに適用できる。この角度における半極性の支持基体7(例えばGaNからなる支持基体)上の量子井戸(活性層4に含まれる量子井戸層であり、例えばInGaNからなる量子井戸)の品質は、380nm以上600nm以下を外れると著しく悪化し、その量子井戸よりも後に成長するエピタキシャル層の結晶性が悪くなり、良好なキャリア濃度を確保することが不可となる。

40

【0058】

本実施形態に係る半導体装置20では、p型半導体領域3の表面3bの法線軸NAと六方晶系III族窒化物半導体のc軸CAとの成す角度は、63度以上80度以下の範囲

50

、及び、100度以上117度以下の範囲、の何れかの範囲内にある。半導体装置20は、380nm以上600nm以下の波長のレーザ光を出力する半導体レーザに適用できる。この角度における半極性の支持基体7（例えばGaNからなる支持基体）であれば、この支持基体7上の量子井戸（活性層4に含まれる量子井戸であり、例えばInGaNからなる量子井戸）の品質は、380nm以上600nm以下であっても、比較的良好な結晶性を保ち、その量子井戸よりも後に成長するエピタキシャル層の結晶性は比較的良好となるため、良好なキャリア濃度を確保することが可能となる。

【0059】

本実施形態に係る半導体装置20では、p側電極5とp型半導体領域3との接触面（表面3b）の接触抵抗の値は、 $1 \times 10^{-5} \text{ cm}^2$ 以上 $1 \times 10^{-4} \text{ cm}^2$ 以下である。従って、半導体装置20では、 $1 \times 10^{-5} \text{ cm}^2$ 以上 $1 \times 10^{-4} \text{ cm}^2$ 以下という比較的に低い接触抵抗値が、p側電極5とp型半導体領域3との接触面において実現できる。これにより、接触抵抗による電圧降下の効果を無視可能となる。

10

【0060】

次に、図3を参照して、半導体装置20の作製方法を説明する。図3は、半導体装置20の主要な作製工程を説明する図である。図3に示すように、半導体装置20の作製方法は、ステップS1及びステップS2を有する。ステップS1は、半導体素子1を用意する工程である。ステップS1において用意した半導体素子1は、ステップS2において、サブマウント13に接合される。半導体素子1を用意するステップS1は、ステップS1a, S1b, S1c, S1d, S1e, S1f, S1gを含む。

20

【0061】

（ステップS1a）六方晶系III族窒化物半導体のエピタキシャルウェハを形成する。このエピタキシャルウェハの半導体積層の構造は、図1に示す半導体素子1の半導体積層の構造（例えば、図4に示すエピタキシャルウェハ1-1の半導体積層の構造）と同一である。

【0062】

ステップS1aの後に、ステップS1b～S1dにおいて、エピタキシャルウェハのp側の表面にリッジ部とp側電極とを形成する。p側の表面とは、p型の半導体層が設けられている側の表面であり、エピタキシャルウェハのn側の表面の反対側にある。エピタキシャルウェハのn側の表面とは、n型の半導体層が設けられている側の表面である。p側電極は、図1に示す半導体素子1のp側電極5に対応する。

30

【0063】

（ステップS1b）エピタキシャルウェハを支持するサセプタの温度を例えば1分程度間に例えば摂氏100度程度に維持した状態において、リッジ部を形成するためのレジストを、エピタキシャルウェハのp側の表面に、フォトリソグラフィにより形成する。

【0064】

（ステップS1c）レジストを形成した後に、エピタキシャルウェハを支持するサセプタの温度を例えば10分程度間に例えば摂氏90度程度に維持した状態において、エピタキシャルウェハのp側の表面に対しドライエッチングを施す。

【0065】

（ステップS1d）ドライエッチングによりリッジ部（図1に示す半導体素子1のリッジ部3aに対応）が形成された後に、ドライエッチングによって露出したp側の表面とリッジ部の側面とに絶縁層（図1に示す半導体素子1の絶縁層11に対応）を形成する。エピタキシャルウェハのp側の表面は、絶縁層の表面と、リッジ部の端面とを含む。エピタキシャルウェハを支持するサセプタの温度を例えば10分程度間に例えば摂氏80度程度に維持した状態において、リッジ部の端面にp側電極を形成する。p側電極は、図1に示す半導体素子1のp側電極5に対応する。

40

【0066】

（ステップS1e）p側電極を形成した後に、エピタキシャルウェハを支持するサセプタの温度を例えば5分程度間に例えば摂氏80度程度に維持した状態において、エピタ

50

キシャルウェハの n 側の表面を、研磨し、ワックス処理する。

【 0 0 6 7 】

(ステップ S 1 f) エピタキシャルウェハを支持するサセプタの温度を例えば 1 0 分程度間に例えば摂氏 8 0 度程度に維持した状態において、エピタキシャルウェハの n 側の表面に n 側電極を形成する。n 側電極は、図 1 に示す半導体素子 1 の n 側電極 6 に対応する。

【 0 0 6 8 】

(ステップ S 1 g) エピタキシャルウェハにリッジ部、p 側電極及び n 側電極が形成された後の基板生産物から、複数の半導体素子を分離する。分離後の半導体素子は、図 1 に示す半導体素子 1 である。ステップ S 1 a ~ 1 g が終了し、半導体素子 1 が用意される。

10

【 0 0 6 9 】

(ステップ S 2) サブマウント 1 3 の主面 1 3 a には、ステップ S 2 の実行前に、予め、はんだ 1 4 が設けられている。はんだ 1 4 が予め設けられたサブマウント 1 3 の主面 1 3 a に、半導体素子 1 の p 側電極 5 を、はんだ 1 4 を介して押し当てつつ、例えば摂氏 2 0 0 度以上摂氏 2 0 5 度以下の範囲内に至るまでサブマウント 1 3 の主面 1 3 a の温度を上げ、予め設定された時間の間(例えば 1 . 5 秒以上 5 . 5 秒以下の間であるが、特に例えば 5 秒程度の間とすることができる)だけサブマウント 1 3 の主面 1 3 a の温度を摂氏 2 0 0 度以上摂氏 2 0 5 度以下の範囲内に維持する。

【 0 0 7 0 】

ステップ S 1 , S 2 の後、半導体素子 1 及びサブマウント 1 3 の温度を室温に下げる。以上のようにして、半導体装置 2 0 の製造が行われる。

20

【 0 0 7 1 】

半導体素子 1 の n 側電極 6 をサブマウント 1 3 に接合する場合、サブマウント 1 3 の主面 1 3 a の温度を上昇させて半導体素子 1 の n 側電極 6 をサブマウント 1 3 にはんだ 1 4 を介して接合するが、半導体素子 1 の温度の上昇に伴い、n 側電極 6 に接する n 型半導体領域 2 の Ga 原子が n 側電極 6 に拡散し、n 型半導体領域 2 の内部に Ga 空孔が生じ、キャリア濃度が低減し、よって、n 側電極 6 におけるオーミック性が低減する。本実施の形態においては、半導体素子 1 の n 側電極 6 をサブマウント 1 3 に接合する場合、サブマウント 1 3 の主面 1 3 a の温度を比較的短い時間である 1 . 5 秒以上 5 . 5 秒以下の間だけ比較的低温の摂氏 2 0 0 度以上摂氏 2 0 5 度以下の範囲内に維持するので、半導体素子 1 の温度上昇が抑制され、n 型半導体領域 2 から n 側電極 6 に Ga 原子が拡散するのが抑制され、よって、半導体素子 1 がサブマウント 1 3 に実装された後においても、n 側電極 6 におけるオーミック性が十分に維持できる。また、サブマウント 1 3 の主面 1 3 a には、予めはんだ 1 4 が設けられているので、半導体素子 1 をサブマウント 1 3 に容易に接合できる。これにより、短時間での接合が可能で、半導体素子 1 に与える熱的ダメージを少なくすることができる。

30

【 0 0 7 2 】

(実施例) 図 4 に、エピタキシャルウェハ 1 __ 1 の半導体積層を示す。エピタキシャルウェハ 1 __ 1 は、図 3 に記載のエピタキシャルウェハ(半導体素子 1 が得られるエピタキシャルウェハ)の一実施例である。半導体素子 1 は、エピタキシャルウェハ 1 __ 1 にリッジ部、p 側電極及び n 側電極が設けられた基板生産物から、分離されることができる。すなわち、図 4 に示すエピタキシャルウェハ 1 __ 1 の半導体積層は、半導体素子 1 の半導体積層の一実施例でもある。

40

【 0 0 7 3 】

エピタキシャルウェハ 1 __ 1 の半導体積層を、MOVPE (Metal-Organic Vapor Phase Epitaxy) 法によってエピタキシャル成長させて形成した。母体材料の供給ガスとして、トリメチルガリウム (TMG)、トリメチルアルミニウム (TMA)、トリメチルインジウム (TMI)、及び、アンモニア (NH₃) を使用した。n 型及び p 型のドーパントとして、シラン (SiH₂)、及び、トリメチルマグネシウム、等を使用した。

【 0 0 7 4 】

50

エピタキシャルウェハ 1__1 の半導体積層は、n 型半導体領域 2__1 (図 1 に示す半導体素子 1 の n 型半導体領域 2 に対応)、p 型半導体領域 3__1 (図 1 に示す半導体素子 1 の p 型半導体領域 3 に対応) 及び i - InGa N 層 4__1 (図 1 に示す半導体素子 1 の活性層 4 に対応) を有する。i - InGa N 層 4__1 は、n 型半導体領域 2__1 と p 型半導体領域 3__1 との間に設けられている。

【 0 0 7 5 】

n 型半導体領域 2__1 は、n - Ga N 基板 7__1、n - Ga N 層 8 1__1、n - AlGa N 層 8 2__1、n - Ga N 層 8 3__1、及び、i - InGa N 層 8 4__1 を有する。n - Ga N 基板 7__1 は、図 1 に示す半導体素子 1 の支持基体 7 に対応する。n - Ga N 層 8 1__1、n - AlGa N 層 8 2__1、n - Ga N 層 8 3__1、及び、i - InGa N 層 8 4__1 から成る層は、図 1 に示す半導体素子 1 の半導体層 8 に対応する。n - Ga N 層 8 1__1 は、n 型のバッファ層である。n - AlGa N 層 8 2__1 は、n 型のクラッド層である。n - Ga N 層 8 3__1 は、n 型の光ガイド層である。i - InGa N 層 8 4__1 は、アンドープの光ガイド層である。

10

【 0 0 7 6 】

p 型半導体領域 3__1 は、i - InGa N 層 9 1__1、p - Ga N 層 9 2__1、p - AlGa N 層 9 3__1、及び、p - Ga N 層 1 0__1 を有する。i - InGa N 層 9 1__1、p - Ga N 層 9 2__1、及び、p - AlGa N 層 9 3__1 から成る層は、図 1 に示す半導体素子 1 の半導体層 9 に対応する。p - Ga N 層 1 0__1 は、図 1 に示す半導体素子 1 のコンタクト層 1 0 に対応する。i - InGa N 層 4__1 は、図 1 に示す半導体素子 1 の活性層 4 に対応する。i - InGa N 層 9 1__1 は、アンドープの光ガイド層である。p - Ga N 層 9 2__1 は、p 型の光ガイド層である。p - AlGa N 層 9 3__1 は、p 型のクラッド層である。p - Ga N 層 1 0__1 は、マグネシウムが比較的到高濃度にドーブされた p + 型のコンタクト層である。

20

【 0 0 7 7 】

n - Ga N 基板 7__1 の主面 7__1 a の面方位は、半極性の { 2 0 - 2 1 } であった。n - Ga N 基板 7__1 の主面 7__1 a 上に、n - Ga N 層 8 1__1、n - AlGa N 層 8 2__1、n - Ga N 層 8 3__1、i - InGa N 層 8 4__1、i - InGa N 層 4__1、i - InGa N 層 9 1__1、p - Ga N 層 9 2__1、p - AlGa N 層 9 3__1、及び、p - Ga N 層 1 0__1 を、エピタキシャル成長によって、順に形成した。

30

【 0 0 7 8 】

n - Ga N 層 8 1__1 は、n - Ga N 基板 7__1 の主面 7__1 a に接している。n - AlGa N 層 8 2__1 は、n - Ga N 層 8 1__1 に接している。n - Ga N 層 8 3__1 は、n - AlGa N 層 8 2__1 に接している。i - InGa N 層 8 4__1 は、n - Ga N 層 8 3__1 に接している。i - InGa N 層 4__1 は、i - InGa N 層 8 4__1 に接している。i - InGa N 層 9 1__1 は、i - InGa N 層 4__1 に接している。p - Ga N 層 9 2__1 は、i - InGa N 層 9 1__1 に接している。p - AlGa N 層 9 3__1 は、p - Ga N 層 9 2__1 に接している。p - Ga N 層 1 0__1 は、p - AlGa N 層 9 3__1 に接している。

40

【 0 0 7 9 】

エピタキシャルウェハ 1__1 の半導体積層の形成後、フォトリソグラフィおよびドライエッチングによって、この半導体積層の p 側の表面 (p 型半導体領域 3__1 の側) に、リッジ部 (図 1 に示す半導体素子 1 のリッジ部 3 a に対応) を形成した。

【 0 0 8 0 】

リッジ部の形成後、p 側の表面に SiO₂ の絶縁層 (図 1 に示す半導体素子 1 の絶縁層 1 1 に対応) を形成し、そして、露出したリッジ部の端面 (図 1 に示す半導体素子 1 の p 型半導体領域 3 の表面 3 b に対応) に p 側電極 (図 1 に示す半導体素子 1 の p 側電極 5 に対応) を形成した。p 側電極の形成は、電子ビーム法および抵抗加熱法によって、Pd, Pt, Au を、順に、それぞれ 2 0 0 オングストローム、2 0 0 オングストローム、5 0 0 0 オングストロームの厚みに形成した。Pd の金属層が、エピタキシャルウェハ 1__1

50

の p 側の表面 (図 1 に示す半導体素子 1 の表面 3 b に対応) に接していた。 p 側電極の形成後、 p 側電極を覆うようにパッド電極 (図 1 に示すパッド電極 1 2 に対応) を形成した。

【 0 0 8 1 】

p 側電極及びパッド電極の形成後、エピタキシャルウェハ 1 __ 1 の半導体積層の n 側の表面 (n - G a N 基板 7 __ 1 の表面) を、研磨し、ワックス処理した後に、この n 側の表面 (図 1 に示す半導体素子 1 の n 型半導体領域 2 の裏面 2 b に対応) に n 側電極 (図 1 に示す半導体素子 1 の n 側電極 6 に対応) を形成した。 n 側電極の形成は、電子ビーム法および抵抗加熱法によって、A l , T i , A u を、順に、それぞれ 2 0 0 オングストローム、2 0 0 オングストローム、5 0 0 0 オングストロームの厚みに形成した。A l の金属層が、エピタキシャルウェハ 1 __ 1 の n 側の表面 (図 1 に示す半導体素子 1 の裏面 2 b に対応) に接していた。

10

【 0 0 8 2 】

エピタキシャルウェハ 1 __ 1 に p 側電極、パッド電極及び n 側電極を形成した後、エピタキシャルウェハ 1 __ 1 と p 側電極とパッド電極と n 側電極とからなる基板生産物から、複数の半導体素子 (図 1 に示す半導体素子 1 に対応) を分離した。

【 0 0 8 3 】

分離した半導体素子を、A l N のサブマウントの主面 (図 1 に示すサブマウント 1 3 の主面 1 3 a に対応) に接合した。このサブマウントの主面には、S n A g はんだ (図 1 に示すはんだ 1 4 に対応) が予め蒸着されていた。5 秒程度の間サブマウントの主面の温度を摂氏 2 0 0 度以上 2 4 0 度以下の範囲 (具体的には、摂氏 2 0 0 度、摂氏 2 0 5 度、摂氏 2 1 5 度、摂氏 2 2 5 度、摂氏 2 3 0 度、摂氏 2 4 0 度) に維持した状態で、S n A g はんだを介して、半導体素子の p 側にあるパッド電極 (図 1 に示すパッド電極 1 2 に対応) をサブマウントの主面に接合した。

20

【 0 0 8 4 】

半導体素子をサブマウントに接合した後、半導体素子の順方向の動作電圧 (5 0 m A の動作電圧) を測定した。半導体素子をサブマウントに実装する前にも、半導体素子の順方向の動作電圧 (5 0 m A の動作電圧) を予め測定しておき、半導体素子をサブマウントに接合する前と後における順方向の動作電圧の変化 (動作電圧の上昇量) を評価した。半導体素子への電圧の印加は、電圧上昇による半導体素子の発熱の影響を低減するために、0 . 5 μ s / 1 0 0 μ s (オンとなる期間 / パルス周期) ; デューティ比 0 . 5 % 、というパルス条件を満たすものであった。

30

【 0 0 8 5 】

図 5 に、半導体素子の動作電圧の上昇量についての評価結果を示す。図 5 の横軸は、半導体素子をサブマウントの主面に接合する時のサブマウントの主面の温度 (実装温度) を示し、図 5 の縦軸は、半導体素子の動作電圧 (5 0 m A の動作電圧) の上昇量を示す。図 5 に示すように、実装温度が高くなるほど、半導体素子の動作電圧 (5 0 m A の動作電圧) の上昇量も増加する。実装温度が摂氏 2 0 0 度、摂氏 2 0 5 度の場合、半導体素子の動作電圧の上昇量は 0 . 2 V を下回っており、実装温度が摂氏 2 1 5 度、摂氏 2 2 5 度の場合、半導体素子の動作電圧の上昇量は 0 . 1 V 以上 0 . 4 V 以下の範囲にあり、実装温度が摂氏 2 3 0 度の場合、半導体素子の動作電圧の上昇量は 0 . 2 V 以上 0 . 5 V 以下の範囲にあり、実装温度が摂氏 2 4 0 度の場合、半導体素子の動作電圧の上昇量は 0 . 6 V を越えた。このように、実装温度が摂氏 2 0 0 度、摂氏 2 0 5 度と比較的に低い場合には、半導体素子の動作電圧の上昇量も比較的に低い、という結果を得た。

40

【 0 0 8 6 】

上記の結果の原因を知得するため、本実施例に係る半導体素子に対し S I M S 分析を実施した。摂氏 2 0 5 度の実装温度でサブマウントの主面に接合した半導体素子 (実施例 1) と、摂氏 2 4 0 度の実装温度でサブマウントの主面に接合した半導体素子 (実施例 2) とを、サブマウントへの接合の後に、サブマウントから機械的に分離し、実施例 1 の半導体素子と実施例 2 の半導体素子のそれぞれに対し、p 側電極から S I M S 測定を行った。

50

実施例 1, 2 は、何れも、本実施例に係る半極性 GaN 基板（具体的には上記したように { 20 - 21 } 面の GaN 基板）のエピタキシャルウェハ 1 _ 1 から得られる半導体素子であるが、p 側電極の形状を円形状とし、p 側電極の Au 金属層の厚みを 2000 オングストロームとした。図 5 に示すように、実施例 1 の場合には半導体素子の動作電圧の上昇量は比較的小さく、実施例 2 の場合には半導体素子の動作電圧の上昇量が比較的大きい。

【 0087 】

実施例 1, 2 に対する SIMS 測定の結果を図 6 に示す。図 6 の横軸は、p 側電極と p 型半導体領域との界面からの距離を示しており、距離がマイナスの値となっている領域は、p 側電極の内部に対応している。図 6 の縦軸は、実施例 1, 2 における Ga 原子及び Pd 原子の含有量を示す。Ga 原子の含有量については、p 型半導体領域の（特に、p 側電極との界面の近傍における）Ga 原子の含有量（原子数%）を 1 とした場合の値を示している。Pd 原子の含有量については、p 側電極の（特に、p 型半導体領域との界面の近傍における）Pd 原子の含有量（原子数%）を 1 とした場合の値を示している。図 6 に示す Ga 原子及び Pd 原子の含有量の測定は、サブマウントに半導体素子を接合した後に行った。図 6 のグラフ G1 は、実施例 1 における Pd 原子の含有量を示し、グラフ G2 は、実施例 2 における Pd 原子の含有量を示している。図 6 のグラフ G3 は、実施例 1 における Ga 原子の含有量を示し、グラフ G4 は、実施例 2 における Ga 原子の含有量を示している。

【 0088 】

図 6 に示すように、p 側電極と p 型半導体領域との界面から 8 nm までの p 側電極の領域における Ga 原子の含有量は、実施例 2 の場合、0.1%（図 6 の縦軸に示す値）以上であるが、実施例 1 の場合、0.1%（図 6 の縦軸に示す値）を下回っており SIMS の検出限界に近いものであった。p 側電極と p 型半導体領域との界面から 5 nm までの p 側電極の領域における Ga 原子の含有量も、実施例 2 の場合、0.1%（図 6 の縦軸に示す値）以上であるが、実施例 1 の場合、0.1%（図 6 の縦軸に示す値）を下回っており SIMS の検出限界に近いものであった。図 6 に示す結果を鑑みると、実施例 2 の場合、p 型半導体領域から p 側電極に Ga 原子が拡散したことによって p 型半導体領域に Ga 空孔が発生し、この Ga 空孔によって p 型半導体領域に深い準位（濃度： $1 \times 10^{19} \text{ cm}^{-3}$ のオーダ）が形成され、その結果、p 型半導体領域のキャリア濃度が低下し、よって、動作電圧の上昇量が比較的大きいものとなったと考えられる。

【 0089 】

p 側電極内に 0.1% の Ga 原子の拡散がある場合、半導体コンタクト層の Ga 原子が 0.1%（図 6 の縦軸に示す値）は抜けていることを意味しており、つまりコンタクト層に 0.1% 以上の Ga 空孔が発生していることを意味する。この Ga 空孔の濃度は、 10^{19} cm^{-3} 以上のオーダであり、 10^{20} cm^{-3} のオーダの p 型ドーパント濃度に匹敵し、 10^{19} cm^{-3} のオーダの有効アクセプタ濃度と同等であり、この場合には自由ホール濃度が著しく低下している。このような自由ホール濃度の低下を改善するには、Ga 空孔の濃度を、有効アクセプタ濃度の低下を無視できる程度、すなわち、有効アクセプタ濃度よりも一桁以上低い濃度であれば良い。そのため、p 側電極 5 内の Ga 濃度で示すと 0.1%（図 6 の縦軸に示す値）以下であれば、有効アクセプタ濃度の減少を無視でき、良好な電気特性を確保することが可能となる。

【 0090 】

半極性面 GaN 基板のエピタキシャルウェハから得られる実施例 2 のように、実装温度が比較的が高い場合に p 型半導体領域から p 側電極に Ga 原子が比較的に大きく拡散する現象は、c 面 GaN 基板のエピタキシャルウェハから得られる半導体素子においては、確認されなかった。半極性面では Ga、N のダンダリングボンドが非常に多いことが一因であると考えられる。すなわち、図 6 に示す結果は、半極性面に特有の性質である結晶表面の不安定性に起因した現象と考えられる。このように、本実施例において、p 型半導体領域に接する p 側電極の金属層（オーミック金属）に Pd を用い、この Pd 金属層において G

10

20

30

40

50

a原子が比較的に大きく拡散することによって、図6に示すような半導体素子の動作電圧の上昇量が比較的に大きくなる。

【0091】

このような現象は、p型半導体領域からGa原子が抜けp型半導体領域にGa空孔が発生することによって生じるものと考えられるので、p型半導体領域に接する金属層の金属の種類にはよらずに生じるものと考えられる。よって、本実施例のオーミック金属であるPdを、Ni, Auに替えても、p型半導体領域からGa原子が抜けてp型半導体領域にGa空孔が発生する場合には、本実施例と同様の現象、すなわち、本実施例のPdの場合と同様にp側電極内のGa原子の含有量が0.1%（図6の縦軸に示す値）を上回る、という現象が生じると考えられる。さらに、本実施例と同様の現象は、本実施例の場合のよ

10

【0092】

以上、好適な実施の形態において本発明の原理を図示し説明してきたが、本発明は、そのような原理から逸脱することなく配置および詳細において変更され得ることは、当業者によって認識される。本発明は、本実施の形態に開示された特定の構成に限定されるものではない。したがって、特許請求の範囲およびその精神の範囲から来る全ての修正および変更

【符号の説明】

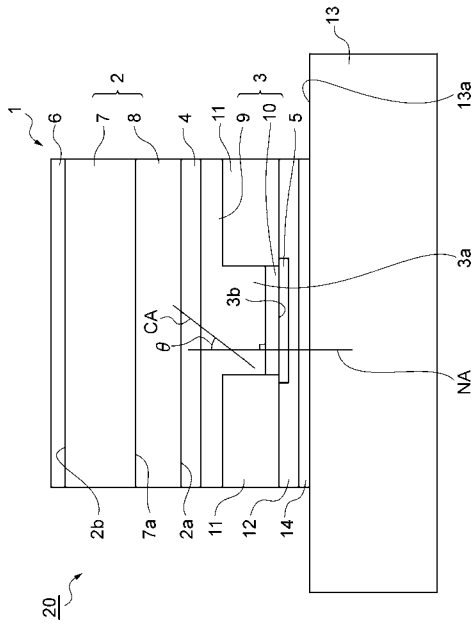
【0093】

1...半導体素子、10...コンタクト層、10_1...p-GaN層、11...絶縁層、12...パッド電極、13...サブマウント、13a...主面、14...はんだ、1_1...エピタキシャルウェハ、2...n型半導体領域、20...半導体装置、2a...表面、2b...裏面、2_1...n型半導体領域、3...p型半導体領域、3a...リッジ部、3b...表面、3_1...p型半導体領域、4...活性層、4_1...i-InGaN層、5...p側電極、5a...金属層、5b...領域、5c...領域、5d...界面、6...n側電極、7...支持基体、7a...表面、7_1...n-GaN基板、7_1a...主面、8...半導体層、81_1...n-GaN層、82_1...n-AlGaN層、83_1...n-GaN層、84_1...i-InGaN層、9...半導体層、91_1...i-InGaN層、92_1...p-GaN層、93_1...p-AlGaN層、CA...c軸、L...厚み、NA...法線軸。

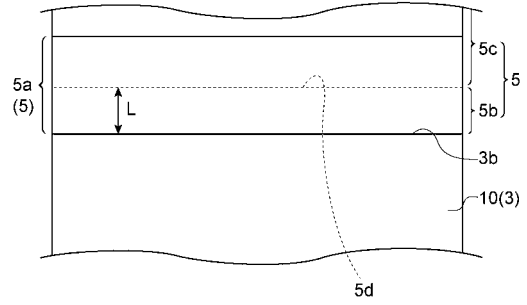
20

30

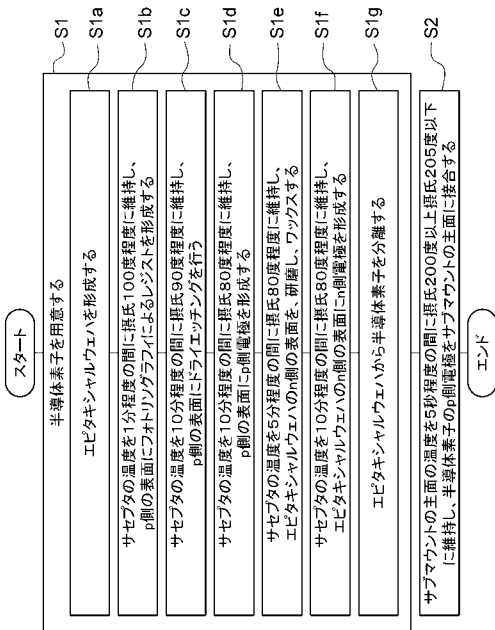
【 図 1 】



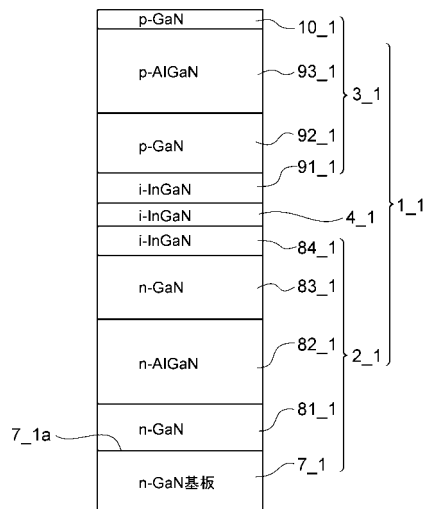
【 図 2 】



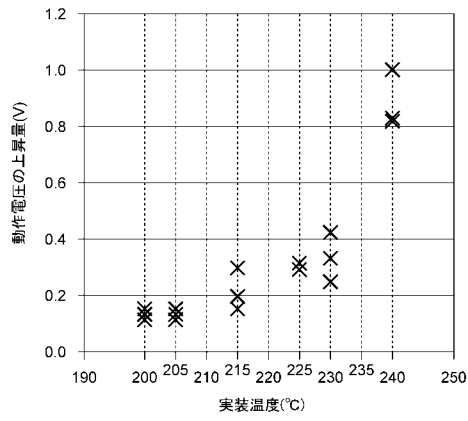
【 図 3 】



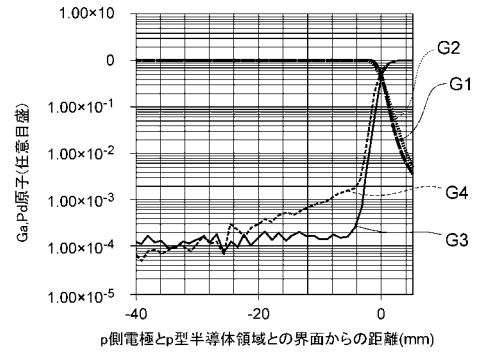
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

- (72)発明者 山中 佑一郎
大阪府大阪市此花区島屋一丁目1番3号 住友電気工業株式会社大阪製作所内
- (72)発明者 熊野 哲弥
大阪府大阪市此花区島屋一丁目1番3号 住友電気工業株式会社大阪製作所内
- (72)発明者 池上 隆俊
大阪府大阪市此花区島屋一丁目1番3号 住友電気工業株式会社大阪製作所内

審査官 古田 敦浩

- (56)参考文献 特開2010-166023(JP,A)
特開2011-023628(JP,A)
特開2009-111080(JP,A)
特開2010-010509(JP,A)
特開2010-021528(JP,A)
特開2009-212343(JP,A)
特開2009-141195(JP,A)
特開平11-233890(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01S 5/00 - 5/50