

(12) 发明专利

(10) 授权公告号 CN 1909244 B

(45) 授权公告日 2010.05.12

(21) 申请号 200610094095.3

US 56215 A, 1997.07.29, 说明书第2栏第38

(22) 申请日 2006.06.22

行至第3栏第49行、附图4至8.

(30) 优先权数据

审查员 杨嘉

10-2005-0054552 2005.06.23 KR

(73) 专利权人 东部电子有限公司

地址 韩国首尔

(72) 发明人 文在渊

(74) 专利代理机构 中原信达知识产权代理有限公司
责任公司 11219

代理人 李涛 钟强

(51) Int. Cl.

H01L 29/78 (2006.01)

H01L 29/40 (2006.01)

H01L 21/336 (2006.01)

(56) 对比文件

US 2003/0203610 A, 2003.10.30, 说明书第 [0024] 段至第 [0031] 段、附图3至8.

US 6876045 B2, 2005.04.05, 说明书第4栏第10行至第8栏第24行、附图1至4.

US 6624483 B2, 2003.09.23, 全文.

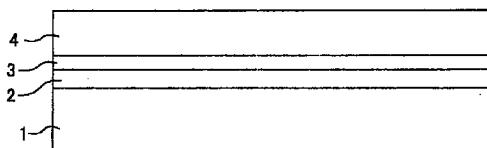
权利要求书 1 页 说明书 3 页 附图 2 页

(54) 发明名称

半导体器件及其制造方法

(57) 摘要

提供一种半导体器件及其制造方法。该半导体器件包括衬底，栅极绝缘层，栅电极，氧化层和侧壁。该栅极绝缘层形成在衬底上。该栅电极包括层叠在栅极绝缘层上的上层和下层。该氧化层形成在栅电极上。该侧壁形成在氧化层上。



1. 一种半导体器件，包括：
衬底；
形成在衬底上的栅极绝缘层；
包括层叠在栅极绝缘层上的上层和下层的栅电极，其中所述栅电极的上层由多晶硅形成，所述栅电极的下层由非晶硅形成；
形成在栅电极上的氧化层；
形成在栅电极侧的侧壁；
在半导体衬底上位于栅电极两侧的杂质离子区；
其中所述栅电极的下层位于杂质离子区之间，使得所述下层不和杂质离子区重叠。
2. 根据权利要求 1 所述的半导体器件，其中所述下层由比上层氧化程度高的材料形成。
3. 根据权利要求 1 所述的半导体器件，其中所述上层和下层分别具有不同的氧化程度。
4. 根据权利要求 1 的所述的半导体器件，其中所述非晶硅是在硅烷气体流速在 50sccm 和 2000sccm 之间、温度在 500℃ 和 550℃ 之间、以及压力在 10Pa 和 100Pa 之间的条件下形成的。
5. 根据权利要求 1 的所述的半导体器件，其中所述多晶硅是在硅烷气体流速在 50sccm 和 2000sccm 之间、温度在 590℃ 和 650℃ 之间、以及压力在 10Pa 和 100Pa 之间的条件下形成的。
6. 根据权利要求 1 所述的半导体器件，其中，所述上层比所述下层厚。
7. 根据权利要求 1 所述的半导体器件，其中栅电极的下层的宽度比栅电极的上层的宽度窄。

半导体器件及其制造方法

技术领域

[0001] 本发明涉及半导体器件及其制造方法,更具体地说,涉及形成晶体管的方法。

背景技术

[0002] 通常,半导体器件具有衬底,衬底具有被沟道区分隔开的源区和漏区,以及顺序地层叠在沟道区上的绝缘层和栅极,其中三端子晶体管包括源极区、漏极区和栅极。

[0003] 为了在半导体衬底上形成晶体管,首先在衬底上层叠栅极绝缘层,并且在其上层叠多晶硅层。

[0004] 然后,蚀刻栅极绝缘层和多晶硅层以形成栅极。这里,多晶硅的特性使得栅电极的角部是圆形的。

[0005] 然后,半导体器件被热处理以在栅极的暴露表面上形成氧化层,并以低密度注入杂质离子,形成低密度杂质区。

[0006] 接着,在半导体器件的整个表面涂覆氮化层,并蚀刻氧化层和氮化层,形成侧壁。

[0007] 之后,以高密度把杂质离子注入到半导体衬底上,形成高密度杂质区,制成晶体管。

[0008] 但是,在现有技术中,注入杂质离子的半导体衬底区与栅极的低区重叠。因此,可以从晶体管泄漏电流。从而,降低了半导体器件的可靠性。

发明内容

[0009] 因此,本发明涉及一种半导体器件及其制造方法,充分地消除了现有技术的局限和缺点造成的一个或多个问题。

[0010] 本发明的一个目的是提供一种半导体器件及其制造方法,其使用分别具有不同氧化程度的层形成栅极,以改进半导体器件的可靠性和能力。

[0011] 在后面的说明书部分将说明本发明另外的优越性、目的和特征,基于后面的审查,本领域的普通技术人员将会明白,或可以从本发明的实践得知。通过在书面描述及其权利要求以及所附附图具体指出的结构,可以实现和获得本发明的目的和其他优越性。

[0012] 为了实现这些目的和其他优越性,并根据本发明的目的,如在这里具体和宽泛描述的,提供一种半导体器件,包括:一种半导体器件包括:衬底;形成在衬底上的栅极绝缘层;包括层叠在栅极绝缘层上的上层和下层的栅电极,其中所述栅电极的上层由多晶硅形成,所述栅电极的下层由非晶硅形成;形成在栅电极上的氧化层;形成在栅电极侧的侧壁;在半导体衬底上位于栅电极两侧的杂质离子区;其中所述栅电极的下层位于杂质离子区之间,使得所述下层不和杂质离子区重叠。

[0013] 在本发明的另一方面,提供一种半导体器件的制造方法,包括:在衬底上形成栅极绝缘层;在栅极绝缘层上形成上层和下层;蚀刻该上层和下层以形成栅电极;通过使用栅电极作为掩模,蚀刻栅极绝缘层;通过在衬底和栅电极上执行热处理,形成氧化层,其中在所述栅电极的下层中形成的氧化层比在所述栅电极的上层中形成的氧化层厚;通过在半导

体衬底上以高密度注入杂质离子,形成高密度杂质区;其中,所述栅电极的下层位于位于杂质离子区之间,使得所述下层不和该高密度杂质区重叠。

[0014] 可以理解,本发明前面的一般性描述和后面的详细描述都是示范性和解释性的,用于提供如所要求的本发明的进一步解释。

附图说明

[0015] 所包含的附图提供对本发明的进一步的理解,并结合构成本申请的一部分,说明本发明的实施例并与说明书一起用于解释本发明的原理。在附图中:

[0016] 图 1 至 4 是截面图,示出了根据本发明实施例的半导体器件的制造工艺。

具体实施方式

[0017] 现在将详细参考本发明的优选实施例,其例子在附图中说明。只要可能,将在所有附图中使用相同的参考标号表示相同或类似的部件。

[0018] 图 1 至 4 是截面图,示出了根据本发明实施例的半导体器件的制造工艺。

[0019] 图 1 是截面图,示出了根据本发明一个实施例的半导体器件的一个制造步骤。图 2 是截面图,示出了在图 1 的步骤之后的下一个步骤,图 3 是截面图,示出了在图 2 的步骤之后的下一个步骤,图 4 是截面图,示出了在图 3 的步骤之后的下一个步骤。

[0020] 参考图 1,在半导体衬底 1 上划分活性区和绝缘区,在绝缘区上执行 LOCOS 或浅沟道绝缘 (STI) 处理,形成绝缘层。该器件绝缘层形成在半导体衬底 1 上,栅极绝缘层 2 形成在半导体衬底 1 的整个表面上。

[0021] 然后,在栅极绝缘层 2 上形成非晶硅层 3。这里,非晶硅层 3 是在温度为 500°C -550°C、10Pa-100Pa 的压力下淀积的 50sccm-2000sccm 的硅烷 (SiH4)。

[0022] 然后,在非晶硅层 3 上形成多晶硅层 4。这里,多晶硅层 4 是在温度为 590°C -650°C、10Pa-100Pa 的压力下淀积的 50sccm-2000sccm 的硅烷 (SiH4)。

[0023] 因为多晶硅层 4 是主要用于栅电极的层,因此形成的非晶硅层 3 比多晶硅层 4 薄。

[0024] 然后,如图 2 所示,多晶硅层 4 和非晶硅层 3 被蚀刻,形成包括上层 5a 和下层 5b 的栅电极 5。

[0025] 接着,遮蔽栅电极 5,并除去暴露的栅极绝缘层 2。

[0026] 然后,如图 3 所示,半导体衬底 1 的整个表面被热处理,形成氧化层 6。在暴露的半导体衬底 1 和栅电极 5 之上形成氧化层 6。这里,在栅电极的下层 5b 中形成的氧化层 6 比在栅电极 5 的上层 5a 中形成的氧化层厚,其中,栅电极的下层 5b 包括高氧化程度的非晶硅,栅电极 5 的上层 5a 包括较低氧化程度的多晶硅。

[0027] 即,因为栅电极 5 的下层 5b 的氧化程度高,下层 5b 与氧化层 6 起反应并且其任一侧氧化,变得比上层 5a 窄。

[0028] 因此,栅电极 5 的下层 5b 仅位于半导体衬底 1 的活性区,栅极绝缘层 2 位于中间。更准确地说,不存在重叠低密度杂质区 7a 和 7b(稍后将在栅电极 5 的下层 5b 的任一侧的边缘形成)的区域。

[0029] 接着,杂质离子被以低密度注入到半导体衬底 1 上,形成低密度杂质区 7a 和 7b,并涂覆氮化层 8。

[0030] 低密度杂质区 7a 和 7b 以 n 型或 p 型杂质离子注入，在栅电极 5 的任一侧，在半导体衬底 1 的表面上形成轻掺杂漏极 (LD) 区。

[0031] 接着，如图 4 所示，通过光刻法蚀刻氧化层 6 和氮化层 8，形成侧壁 9a 和 9b。然后，栅电极 5 和侧壁 9a 和 9b 被掩模覆盖，以高密度注入 n 型或 p 型杂质，形成源极区 10a 和漏极区 10b。

[0032] 如上所述，通过提供具有上层 5a 和其氧化程度比上层 5a 高的下层 5b 的栅电极，在半导体衬底 1 和栅电极 5 的上层 5a 之上，在源极区 10a 和漏极区 10b 之间形成厚氧化层 6，并且栅电极 5 与源极区 10a 和漏极区 10b 不重叠。因此，防止了由于电子移动造成的电流从晶体管泄漏，增加了半导体器件的可靠性。

[0033] 根据本发明的半导体器件的制造方法形成具有不同氧化程度的上层和下层的栅电极，从而进一步分离栅电极和半导体衬底上的离子注入区。因此，能够防止从晶体管泄漏电流，并能够增加半导体器件的可靠性和能力。

[0034] 对本领域的技术人员来说，显然可以在本发明中进行各种修改和变化。因此，本发明试图覆盖落入所附权利要求及其等同范围内的对本发明的修改和变化。

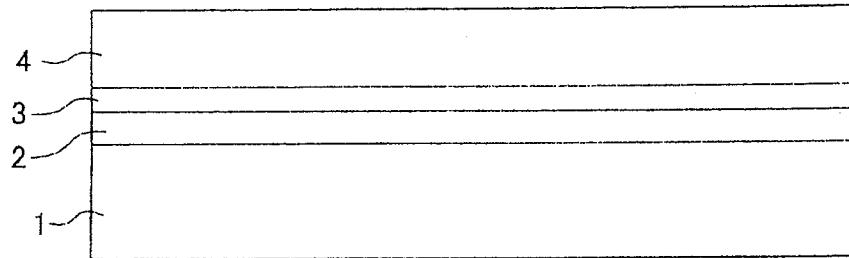


图 1

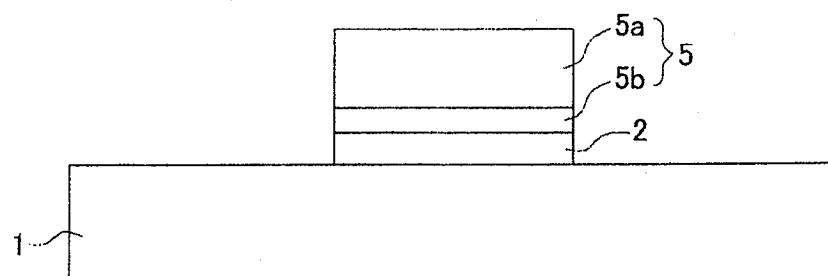


图 2

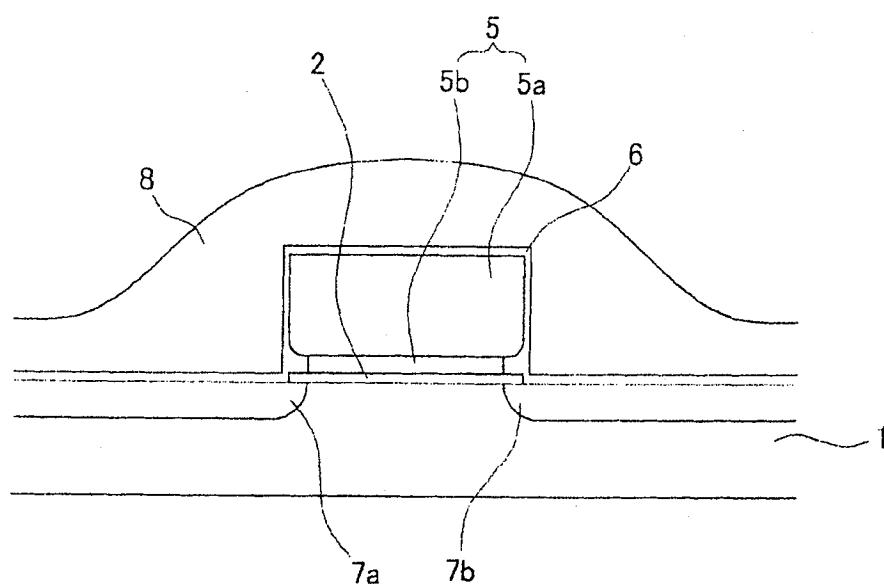


图 3

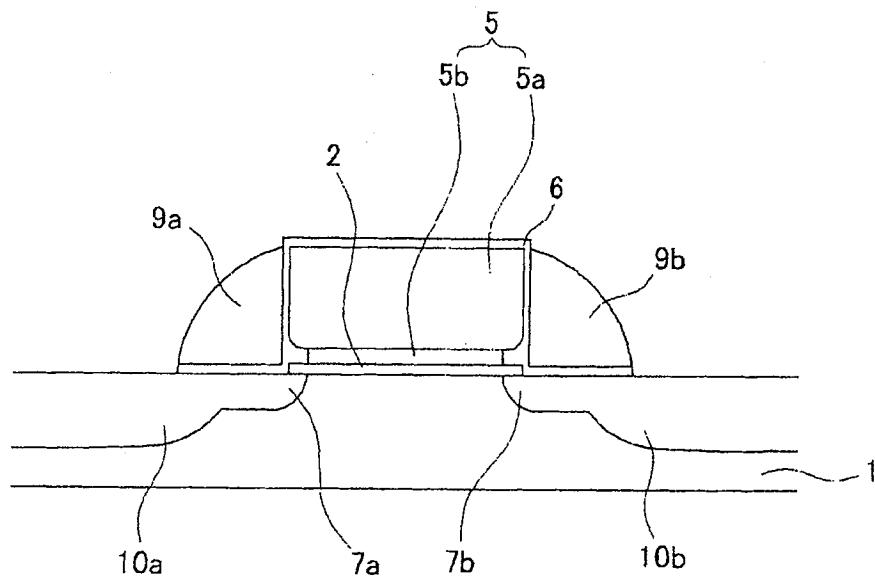


图 4