



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0032247
(43) 공개일자 2020년03월25일

(51) 국제특허분류(Int. Cl.)
G11C 13/00 (2006.01)
(52) CPC특허분류
G11C 13/0023 (2013.01)
G11C 13/003 (2013.01)
(21) 출원번호 10-2020-7007516
(22) 출원일자(국제) 2018년08월21일
심사청구일자 2020년03월13일
(85) 번역문제출일자 2020년03월13일
(86) 국제출원번호 PCT/US2018/047134
(87) 국제공개번호 WO 2019/046029
국제공개일자 2019년03월07일
(30) 우선권주장
15/689,017 2017년08월29일 미국(US)

(71) 출원인
마이크론 테크놀로지, 인크.
미국, 아이다호, 보이세, 사우스 페더럴 웨이
8000
(72) 발명자
닷지, 리차드 케이.
미국 95051 캘리포니아주 산타 클라라 벤튼 스트
리트 3211
랭트리, 티모시 씨.
미국 95133 캘리포니아주 산 호세 체스터튼 서클
1683
(74) 대리인
양영준, 백만기

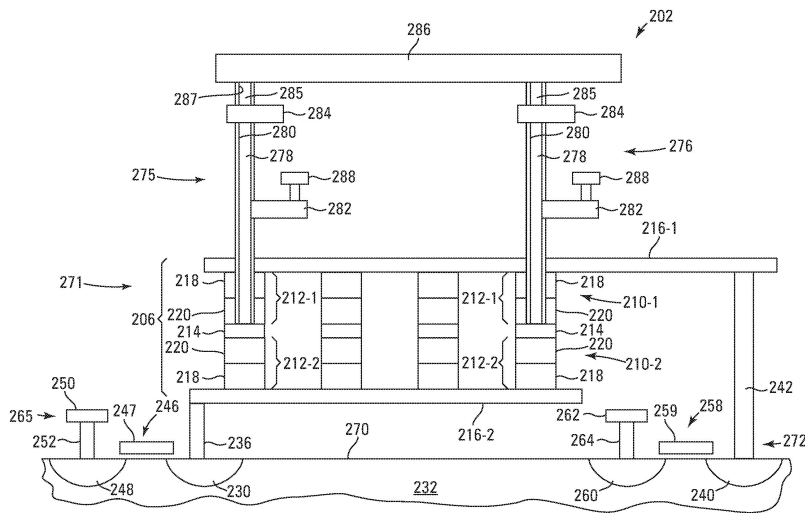
전체 청구항 수 : 총 25 항

(54) 발명의 명칭 메모리 어레이에 결합된 디코드 회로

(57) 요약

일 예에서, 장치는 반도체로부터 분리된 메모리 어레이, 반도체로부터 분리되고 메모리 어레이의 액세스 라인에 결합된 트리거 디바이스, 반도체로부터 분리되고 트리거 디바이스 및 액세스 라인에 결합된 선택 디바이스, 및 반도체로부터 분리된 제2 영역의 디코드 회로를 포함한다. 디코드 회로는 메모리 어레이의 액세스 라인에 결합된다.

대표도



명세서

청구범위

청구항 1

장치에 있어서,

제1 영역 내의 메모리 어레이; 및

반도체로부터 분리된 제2 영역 내의 디코드 회로를 포함하고;

상기 디코드 회로는 상기 메모리 어레이의 액세스 라인에 결합된, 장치.

청구항 2

청구항 1에 있어서,

상기 액세스 라인은 제1 액세스 라인이고;

상기 메모리 어레이는,

상기 제1 액세스 라인과 제2 액세스 라인 사이에서 이들에 결합된 제1 메모리 셀; 및

상기 제1 액세스 라인과 제3 액세스 라인 사이에서 이들에 결합된 제2 메모리 셀을 포함하고;

상기 제1 액세스 라인은 상기 제1 및 제2 메모리 셀들 사이에 있는, 장치.

청구항 3

청구항 2에 있어서, 상기 제1 및 제2 메모리 셀들은 각각 저항 요소를 포함하는, 장치.

청구항 4

청구항 3에 있어서, 상기 저항 요소는 가변 저항 재료를 포함하는, 장치.

청구항 5

청구항 2에 있어서, 상기 제2 및 제3 액세스 라인들은 각각 제3 영역 내 반도체 상의 및/또는 내의 추가 디코더 회로에 결합된, 장치.

청구항 6

청구항 1 내지 5 중 어느 한 항에 있어서, 상기 디코더에 결합된 글로벌 디코드 노드를 더 포함하는, 장치.

청구항 7

청구항 1 내지 5 중 어느 한 항에 있어서, 상기 반도체와 상기 디코더 사이의 금속 영역을 더 포함하는, 장치.

청구항 8

청구항 1 내지 5 중 어느 한 항에 있어서, 상기 제2 영역 위의 제3 영역 내의 추가 메모리 어레이, 및 상기 제3 영역 위의 제4 영역 내의 추가 디코드 회로를 더 포함하고, 상기 추가 디코드 회로는 상기 추가 메모리 어레이에 결합되는, 장치.

청구항 9

장치에 있어서,

반도체로부터 분리된 메모리 어레이;

상기 반도체와 분리되고 상기 메모리 어레이의 액세스 라인에 결합된 트리거 디바이스; 및

상기 반도체로부터 분리되고 상기 트리거 디바이스 및 상기 액세스 라인에 결합된 선택 디바이스를 포함하는,

장치.

청구항 10

청구항 9에 있어서, 상기 선택 디바이스는 전압-스위칭 재료를 포함하는, 장치.

청구항 11

청구항 9에 있어서, 상기 선택 디바이스는 칼코게나이드(chalcogenide)를 포함하는, 장치.

청구항 12

청구항 9에 있어서, 상기 선택 디바이스는 오보닉(ovonic) 임계 스위치인, 장치.

청구항 13

청구항 9 내지 12 중 어느 한 항에 있어서, 상기 트리거 디바이스는 다이오드 또는 트랜지스터를 포함하는, 장치.

청구항 14

청구항 9에 있어서, 상기 트리거 디바이스는 상기 트리거 디바이스가 신호를 수신하는 것에 응답하여 상기 선택 디바이스를 활성화시키는 것인, 장치.

청구항 15

청구항 9 및 14 중 어느 한 항에 있어서, 상기 선택 디바이스는 상기 액세스 라인을 글로벌 디코드 노드에 결합시키는 것인, 장치.

청구항 16

청구항 9 및 14 중 어느 한 항에 있어서, 상기 트리거 디바이스는 프리-디코더에 더 결합되는, 장치.

청구항 17

청구항 9 및 14 중 어느 한 항에 있어서, 상기 트리거 디바이스 및 상기 선택 디바이스는 상기 메모리 어레이 위에 있는, 장치.

청구항 18

청구항 9 내지 12 중 어느 한 항에 있어서, 상기 액세스 라인은 제1 액세스 라인이고, 상기 메모리 어레이는 상기 제1 액세스 라인과 제2 액세스 라인 사이에서 이들에 결합된 메모리 셀을 포함하는, 장치.

청구항 19

청구항 18에 있어서, 상기 메모리 셀은 제1 메모리 셀이고, 상기 제1 액세스 라인과 제3 액세스 라인 사이에서 이들에 결합된 제2 메모리 셀을 더 포함하고, 상기 제1 액세스 라인은 상기 제1 및 제2 메모리 셀들 사이에 있는, 장치.

청구항 20

청구항 19에 있어서, 상기 선택 디바이스는 제1 선택 디바이스이며,

상기 제2 액세스 라인을 제1 선택 전압 노드에 선택적으로 결합시키기 위한 상기 반도체 상의 및/또는 내의 제2 선택 디바이스; 및

상기 제3 액세스 라인을 제2 선택 전압 노드에 선택적으로 결합시키기 위한 상기 반도체 상의 및/또는 내의 제3 선택 디바이스를 더 포함하는, 장치.

청구항 21

청구항 20에 있어서, 상기 제1 및 제2 선택 전압 노드들은 상기 반도체와 상기 메모리 어레이 사이에 있는, 장

치.

청구항 22

장치 형성 방법에 있어서,

제1 영역에 메모리 어레이를 형성하는 단계;

상기 메모리 어레이의 액세스 라인에 결합된 도체를 형성하는 단계;

제2 영역 내에 있고 상기 도체에 결합된 트리거 디바이스를 형성하는 단계; 및

상기 제2 영역 내에 있고 상기 도체에 결합된 선택 디바이스를 형성하는 단계를 포함하는, 방법.

청구항 23

청구항 22에 있어서, 상기 제2 영역이 상기 제1 영역과 글로벌 디코드 노드 사이에 있도록 상기 선택 디바이스에 결합된 상기 글로벌 디코드 노드를 형성하는 단계를 더 포함하는, 방법.

청구항 24

청구항 22에 있어서, 상기 액세스 라인은 제1 액세스 라인이며, 상기 메모리 어레이를 형성하는 단계는,

제2 액세스 라인에 결합된 제1 메모리 셀을 형성하는 단계;

상기 제1 메모리 셀이 상기 제1 및 제2 액세스 라인들 사이에 있도록 상기 제1 메모리 셀에 결합된 상기 제1 액세스 라인을 형성하는 단계;

상기 제1 액세스 라인이 상기 제1 및 제2 메모리 셀들 사이에 있도록 상기 제1 액세스 라인에 결합된 제2 메모리 셀을 형성하는 단계; 및

상기 제2 메모리 셀이 상기 제1 및 제3 액세스 라인들 사이에 있도록 상기 제2 메모리 셀에 결합된 제3 액세스 라인을 형성하는 단계를 포함하는, 방법.

청구항 25

청구항 22 내지 25 중 어느 한 항에 있어서, 상기 트리거 디바이스 및 상기 선택 디바이스는 라인 백엔드 처리 동안 형성되는, 방법.

발명의 설명

기술 분야

[0001] 본 개시는 일반적으로 메모리 디바이스에 관한 것으로, 특히 메모리 어레이에 결합된 디코드 회로에 관한 것이다.

배경 기술

[0002] 메모리 디바이스는 일반적으로 컴퓨터 또는 다른 전자 디바이스에서 내부 반도체 집적 회로로서 제공될 수 있다. 그 중에서도, RAM(Random-Access Memory), ROM(Read Only Memory), DRAM(Dynamic Random-Access Memory), SDRAM(Synchronous Dynamic Random-Access Memory), 저항 가변 메모리, 및 플래시 메모리를 포함하여 많은 상이한 유형의 메모리가 있다. 저항 가변 메모리의 유형은 그 중에서도 PCM(phase-change-material) 메모리, 프로그램가능-도체 메모리, 및 저항성 랜덤-액세스 메모리(RRAM)를 포함할 수 있다.

[0003] 더 높은 용량의 메모리에 대한 요구를 충족시키기 위해, 설계자들은 예컨대 다이(예를 들어, 칩)와 같은 기본 구조(예를 들어, 반도체 기판, 실리콘 기판, 등과 같은 기본 반도체)의 주어진 영역 내에 메모리 셀의 수와 같이 메모리 밀도를 증가시키기 위해 계속 분투하고 있다. 메모리 밀도를 증가시키는 한 가지 방법은 스택 메모리 어레이(예를 들어, 종종 3차원 메모리 어레이라고도 함)를 형성하는 것이다. 예를 들어, 3차원 교차점 메모리에 상당한 관심이 있었다. 일부 예에서, 3차원 교차점 메모리 셀은 상-변화 재료, 프로그램될 때 상을 변화시키거나 변화시키지 않을 수 있는 칼코게나이드 재료, 등을 포함할 수 있는 저장 재료를 메모리 비트를 저장하기에 적합한 2-상태 재료로서 이용할 수 있다.

[0004] 스택 메모리 어레이는 메모리 셀의 수를 증가시키기 위해 기본 구조에 수직인 방향으로 스택된 메모리 셀들을 포함할 수 있다. 일부 예에서, 디코드 회로는 스택 메모리 어레이 내의 메모리 셀에 액세스하기 위해(예를 들어, 어드레스에 응답하여) 기본 구조 상에 및/또는 내에 위치될 수 있다.

도면의 간단한 설명

[0005] 도 1은 본 개시의 다수의 실시예에 따라 장치의 예의 블록도이다.

도 2a는 본 개시의 다수의 실시예에 따라 메모리 어레이의 일부의 예의 3차원 등각도이다.

도 2b는 본 개시의 다수의 실시예에 따라 장치의 일부의 단면도이다.

도 3은 본 개시의 다수의 실시예에 따라 장치의 또 다른 예의 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0006] 일 예에서, 장치는 제1 영역에 메모리 어레이 및 반도체로부터 분리된 제2 영역에 디코드 회로를 포함한다. 디코드 회로는 메모리 어레이에서 액세스 라인에 결합된다.

[0007] 본 개시의 다수의 실시예는 더 높은 메모리 셀 밀도와 같은 이점을 제공한다. 예를 들어, 3차원(예를 들어, 교차점) 메모리 어레이에서와 같이, 데크(deck) 스택에서 메모리 셀의 데크의 수는 이전의 장치에선 다이와 같은 기본 구조 상에 및/또는 내에 있을 수도 있을 디코드 회로를 기본 구조로부터 분리하여 위치시킴으로써 증가될 수 있다. 일부 예에서, 기본 구조의 크기, 따라서 다이 크기는 기본 구조와는 분리하여 별개로 그리고 메모리 어레이 위 또는 아래에 디코드 회로를 위치시킴으로써 감소될 수 있다.

[0008] 다음의 상세한 설명에서, 본원의 일부를 형성하고 특정 예를 도시한 첨부 도면을 참조한다. 도면에서, 유사한 참조 번호는 여러 도면에 걸쳐 실질적으로 유사한 구성 요소를 기술한다. 다른 예가 이용될 수 있으며, 본 개시의 범위를 벗어나지 않고 구조적 및 전기적 변경이 이루어질 수 있다. 그러므로, 다음의 상세한 설명은 제한적인 의미로 취해지지 않아야 하고, 본 개시의 범위는 첨부된 청구 범위 및 그 등가물에 의해서만 정의된다.

[0009] 반도체라는 용어는 예를 들어 재료층, 웨이퍼, 또는 기판을 지칭할 수 있으며, 임의의 기본 반도체 구조를 포함한다. "반도체"는 실리콘-온-사파이어(SOS) 기술, 실리콘-온-절연체(SOI) 기술, 박막-트랜지스터(TFT) 기술, 도핑 및 도핑되지 않은 반도체, 기본 반도체 구조에 의해 지지되는 실리콘 에피택셜층, 및 다른 반도체 구조를 포함하는 것으로서 이해되어야 한다. 또한, 이하의 설명에서 반도체를 언급할 때, 이전의 프로세스 단계는 기본 반도체 구조에서 영역/접합을 형성하기 위해 이용되었을 수 있으며, 반도체라는 용어는 이러한 영역/접합을 내포하는 하지층을 포함할 수 있다.

[0010] 도 1은 본 개시의 다수의 실시예에 따라, 전자 메모리 시스템(예를 들어, 메모리)(100)과 같은 장치의 예의 블록도이다. 예를 들어, 메모리(100)는 3차원 교차점 메모리와 같은 교차점 메모리일 수 있다. 메모리(100)는 메모리 디바이스(102) 및 메모리 컨트롤러와 같은 컨트롤러(104)를 포함할 수 있다. 컨트롤러(104)는 예를 들어 프로세서를 포함할 수도 있을 것이다. 컨트롤러(104)는 예를 들어 호스트에 결합되었을 수도 있고, 호스트로부터 커맨드 신호(또는 커맨드), 어드레스 신호(또는 어드레스), 및 데이터 신호(또는 데이터)를 수신하여 데이터를 호스트에 출력할 수 있다.

[0011] 메모리 디바이스(102)는 메모리 셀의 메모리 어레이(106)를 포함할 수 있다. 예를 들어, 메모리 어레이(106)는 본원에 개시된 하나 이상의 메모리 어레이를 포함할 수 있다. 메모리 어레이(106)는 본 개시의 다수의 실시예에 따라, 예를 들어, 스택된(예를 들어, 3차원) 교차점 메모리 어레이와 같은 교차점 메모리 어레이를 포함할 수 있다. 다음의 논의는 일관성 및 단순성을 위해 교차점 메모리 어레이를 참조하여 행해진다; 그러나, 임의의 다른 어레이 아키텍처가 사용될 수도 있다.

[0012] 메모리 디바이스(102)는 I/O 회로(112)를 통해 I/O 연결(110)을 통해 제공된 어드레스 신호를 래치하기 위한 어드레스 회로(108)를 포함할 수 있다. 어드레스 신호는 메모리 어레이(106)에 액세스하기 위해 행 디코더(114) 및 열 디코더(116)에 의해 수신되고 디코딩될 수 있다.

[0013] 메모리 디바이스(102)는 일부 예에서 판독/래치 회로(120)일 수 있는 감지/버퍼 회로를 사용하여 메모리 어레이 열 및/또는 행에서의 전압 및/또는 전류 변화를 감지함으로써 메모리 어레이(106)에서 데이터를 판독할 수 있다. 판독/래치 회로(120)는 메모리 어레이(106)로부터 데이터를 판독 및 래치할 수 있다. I/O 회로(112)는 I/O 연결(110)을 통해 컨트롤러(104)와 양방향 데이터 통신을 위해 포함될 수 있다. 기입 회로(122)는 데이터를

메모리 어레이(106)에 기입하기 위해 포함될 수 있다.

- [0014] 제어 회로(124)는 컨트롤러(104)로부터 제어 연결(126)에 의해 제공된 신호를 디코딩할 수 있다. 이들 신호는 데이터 판독 및 데이터 기입 동작을 포함하여 메모리 어레이(106)에 대한 동작을 제어하기 위해 사용되는 칩 신호, 기입 인에이블 신호 및 어드레스 래치 신호를 포함할 수 있다.
- [0015] 제어 회로(124)는 예를 들어 컨트롤러(104) 내에 포함될 수 있다. 컨트롤러(104)는 단독으로든 조합되었든 다른 회로, 펌웨어, 소프트웨어, 등을 포함할 수 있다. 컨트롤러(104)는 외부 컨트롤러(예를 들어, 전체적이든 부분적이든 메모리 어레이(106)와는 별개의 다이 내에)이거나, 내부 컨트롤러(예를 들어, 메모리 어레이(106)와 동일한 다이 내에 포함된)일 수 있다. 예를 들어, 내부 컨트롤러는 상태 머신 또는 메모리 시퀀서일 수도 있을 것이다.
- [0016] 당업자는 추가의 회로 및 신호가 제공될 수 있고, 도 1의 메모리(100)는 단순화되어졌다는 것을 이해할 것이다. 도 1을 참조하여 설명된 다양한 블록 구성 요소의 기능은 반드시 집적 회로 디바이스의 개별 구성 요소 또는 구성 요소 부분으로 분리될 필요는 없음을 인식해야 한다. 예를 들어, 집적 회로 디바이스의 단일 구성 요소 또는 구성 요소 부분은 도 1의 하나 이상의 블록 구성 요소들의 기능을 수행하도록 개조될 수도 있을 것이다. 대안적으로, 집적 회로 디바이스의 하나 이상의 구성 요소들 또는 구성 요소 부분들은 도 1의 단일 블록 구성 요소의 기능을 수행하기 위해 조합될 수도 있을 것이다.
- [0017] 도 2a는 본 개시의 다수의 실시예에 따라 메모리 어레이(106)의 일부를 형성할 수 있는 3차원 교차점 메모리 어레이(206)의 일부의 3차원 등각도이다. 예를 들어, 메모리 어레이(206)는 메모리 셀(212-2)의 메모리 어레이 테크(210-2)와 같은 또 다른 티어의 메모리 셀 상에(예를 들어, 위에)에 스택된, 메모리 셀(212-1)의 메모리 어레이 테크(210-1)와 같은, 메모리 셀의 2개의 티어(예를 들어, 서브어레이)을 포함할 수 있다.
- [0018] 메모리 셀(212-1)(예를 들어, 각각의 메모리 셀(212-1))은 전극(예를 들어, 액세스 라인)(214)과 전극(예를 들어, 액세스 라인)(216-1) 사이에서 이들에 결합될 수 있고, 메모리 셀(212-2)(예를 들어, 각각의 메모리 셀(212-2))은 액세스 라인(214)과 전극(예를 들어, 액세스 라인)(216-2) 사이에서 이들에 결합될 수 있다. 액세스 라인(214, 216)은 예를 들어 전기 도전성 라인일 수 있다. 비록 액세스 라인(214, 216)이 도 2a의 예에서 서로 직교하는 것으로 도시되었지만, 액세스 라인(214, 216)은 서로 직교하는 것으로 제한되지 않으며, 예를 들어 서로 직각 이외의 각도를 형성할 수 있거나 또는 곡선을 이룰 수도 있다.
- [0019] 액세스 라인(예를 들어, 각각의 액세스 라인)(214)은 메모리 셀(212-1)과 메모리 셀(212-2) 사이에서 공통적으로 결합될 수 있다. 예를 들어, 액세스 라인(214)은 메모리 셀(212-1) 및 메모리 셀(212-2)에 공통일 수 있다. 일부 예에서, 액세스 라인(214)은 메모리 셀(212-1, 212-2)로부터 판독된 정보 또는 메모리 셀(212-1, 212-2)에 저장될 정보를 제공하기 위해 비트 라인과 같은 데이터 라인일 수 있고, 액세스 라인(216-1, 216-2)과 같은 액세스 라인(216)은 워드 라인일 수 있다.
- [0020] 일부 예에서, 액세스 라인(214)에 공통으로 결합된 메모리 셀(212-1)은 메모리 셀(212-1)의 열을 지칭할 수 있고, 액세스 라인(214)에 공통으로 결합된 메모리 셀(212-2)은 메모리 셀(212-2)의 열을 지칭한다. "열"이라는 용어는 임의의 특정 방위 또는 선형 관계를 요구하지 않고, 대신 메모리 셀과 액세스 라인(214) 사이의 논리적 관계를 지칭한다. 일부 예에서, 메모리 셀(212-1)의 행은 액세스 라인(216-1)에 공통으로 결합된 이들 메모리 셀(212-1)일 수도 있고, 메모리 셀(212-2)의 행은 액세스 라인(216-2)에 공통으로 결합된 이들 메모리 셀(212-2)일 수도 있을 것이다. 예를 들어, 한 행의 메모리 셀은 액세스 라인(216)에 공통으로 결합된 모든 메모리 셀을 포함할 수 있지만 반드시 그럴 필요는 없다.
- [0021] "결합된"이라는 용어는 개재 요소없이 전기적으로 결합되거나, 직접 결합되거나, 및/또는 직접 연결되거나(예를 들어, 직접적인 물리적 접촉에 의해), 개재 요소와 간접적으로 결합 및/또는 연결된 것을 포함할 수 있다. 결합된이라는 용어는 서로 협력하거나 상호작용하는(예를 들어, 원인 및 결과 관계에서와 같이) 둘 이상의 요소를 더 포함할 수 있다.
- [0022] 일부 예에서, 메모리 셀(212)(예를 들어, 각각의 메모리 셀(212-1, 212-2))은 스위치 디바이스(218)와 같은 액세스 구성 요소(예를 들어, 선택 디바이스) 및 스위치 디바이스(218)에 결합된 저장 요소(220)를 포함할 수 있다. 저장 요소(220)(예를 들어, 각각의 메모리 셀(212-1, 212-2)의 저장 요소)는 정보를 저장하는 것일 수 있다. 예를 들어, 저장 요소(220)는 비트의 부분, 단일 비트 또는 다중 비트의 값을 나타내는 값을 저장하는 것일 수 있다. 스위치 디바이스(218)는 동일한 메모리 셀의 저장 요소(220)에 액세스하기 위해 사용될 수 있다.
- [0023] 저장 요소(220)는 가변 저항 요소와 같은 저항 요소일 수 있다. 예를 들어, 저장 요소(220)는 재료의 적어도 일

부가 상이한 상태들(예를 들어, 상이한 재료 상(phase)) 사이에서 변경될 수 있는(예를 들어, 기입 동작에서) 재료를 포함할 수 있다. 상이한 상태는 예를 들어 상이한 저항값의 범위를 가질 수 있다. 상이한 저항값은 메모리 셀(212)에 저장된 상이한 값의 정보를 나타내는 것일 수 있다.

[0024] 스위치 디바이스(218)는 재료를 포함할 수 있으며, 여기서 재료의 적어도 일부는 비-도전성 상태와 도전성 상태 사이에서 변경(예를 들어, 스위치)될 수 있다. 예를 들어, 메모리 동작에서 메모리 셀(212) 중 하나가 선택될 때, 메모리 디바이스(102)와 같은 메모리 어레이(206)를 포함할 수 있는 메모리 디바이스는 선택된 메모리 셀(212)의 스위치 디바이스(218)를 턴 온(예를 들어, 비-도전성 상태에서 도전성 상태로 변경)하게 할 수 있다. 이는 선택된 메모리 셀(212)의 저장 요소(220)로의 액세스를 허용할 수 있다. 일부 실시예에서, 단일의 자체(self)-선택 저장 재료(도시되지 않음)는 스위치 디바이스 및 저장 요소의 기능을 조합한다.

[0025] 메모리 셀(212)은 이 메모리 셀(212)에 걸쳐 전압 차동을 인가함으로써 판독 또는 기입(예를 들어, 프로그래밍)을 위해 액세스될 수 있다. 예를 들어, 메모리 셀(212-1)은 메모리 셀(212-1)에 걸쳐 전압 차동을 생성하기 위해 액세스 라인(216-1)에 상대적으로 낮은 전압 또는 음의 전압 및 액세스 라인(214)에 상대적으로 높은 전압 또는 양의 전압을 인가함으로써 액세스될 수 있을 것이고, 메모리 셀(212-2)은 메모리 셀(212-2)에 걸쳐 전압 차동을 생성하기 위해 액세스 라인(216-2)에 상대적으로 낮은 전압 또는 음의 전압 및 액세스 라인(214)에 상대적으로 높은 전압 또는 양의 전압을 인가함으로써 판독 또는 기입을 위해 액세스될 수도 있을 것이다.

[0026] 저장 요소(220)는 가변 저항 저장 재료를 포함할 수 있다. 예를 들어, 저장 요소(220)는, 다양한 도핑되거나 도핑되지 않은 재료로 형성될 수 있고 상 변화 재료일 수도 있거나 아닐 수도 있고 메모리를 판독 및/또는 기입하는 동안 상 변화를 겪거나 겪지 않을 수 있는 칼코게나이드(chalcogenide) 재료를 포함할 수 있다. 일부 예에서, 저장 요소(220)는 셀레늄(Se), 비소(As) 및 게르마늄(Ge)을 포함할 수 있는 3원 조성, 실리콘(Si), Se, As 및 Ge 등을 포함할 수 있는 4원 조성을 포함할 수 있다.

[0027] 상-변화 재료는 결정 상태(때때로 결정상이라 지칭됨)와 비정질 상태(때로는 비정질상이라 지칭됨) 사이에서 변경될 수 있다. 상-변화 재료는 결정 상태에 있을 때 하나의 저항 값과 비정질 상태에 있을 때 또 다른 저항 값을 가질 수 있다. 상-변화 재료의 이들 상이한 저항값은 저장 요소(220)와 같은 저장 요소에 저장된 다른 값의 정보를 나타낼 수 있다.

[0028] 일부 예에서, 스위치 디바이스(218)는 가변 저항 재료(예를 들어, 상-변화 재료)를 포함할 수 있다. 그러나, 스위치 디바이스(218)의 재료는 이것이 저장 요소(220)로의 액세스를 허용하기 위해 스위치로서만 동작할 수 있게(예를 들어, 정보를 저장하지 않는) 한 것일 수 있다. 예를 들어, 스위치 디바이스(218)는 오보닉(ovonic) 임계 스위치(OTS)로서 동작하도록 스위치 디바이스(218)를 구성할 수 있는, 칼코게나이드와 같은, 상-변화 재료를 포함할 수 있다.

[0029] 오보닉 임계 스위치는 이에 걸친 전압이 V_t 를 초과할 때 오보닉 임계 스위치가 비-도전성 상태(예를 들어, 높은 저항 상태)에서 도전성 상태(낮은 저항 상태)로 스위칭될 수 있게 임계 전압(V_t)을 가질 수 있다. 예를 들어, 도전 상태에 있을 때, 전류량이 오보닉 임계 스위치를 통해 흐를 수 있다. 전류량이 특정 값(예를 들어, 유지 전류 값)에 도달하였을 때, 오보닉 임계 스위치는 비-도전성 상태로 다시 스위칭될 수 있다. 이 오보닉 임계 스위치의 스위칭은 오보닉 임계 스위치에 걸친 전압의 극성이 변경된다면 또한 발생할 수 있다.

[0030] 스위치 디바이스(218)가 오보닉 임계 스위치로서 구성될 수 있는 예에서, 메모리 디바이스는 선택된 메모리 셀(212)(예를 들어, 메모리 셀(212-1 또는 212-2))에 결합된, 액세스 라인(214) 및 액세스 라인(216)과 같은(예를 들어, 액세스 라인(216-1 또는 216-2)), 2개의 선택된 라인 사이에 전압 차동이, 선택된 메모리 셀(212)의 스위치 디바이스(218)에 의해 형성된 오보닉 임계 스위치가 비-도전성 상태에서 도전성 상태로 스위칭될 수 있도록 하는 값을 갖게 할 수 있다. 이는 선택된 메모리 셀의 액세스를 허용할 수 있다.

[0031] 다른 예에서, 메모리 셀(212)은 자체-선택될 수 있고, 따라서 별개의 스위치 디바이스(218) 및 별개의 저장 요소(220)를 포함하지 않을 수도 있을 것이다. 예를 들어, 각각의 메모리 셀(212)은 각 메모리 셀(212)이 선택기 디바이스 및 메모리 요소 둘 다로서 동작할 수 있도록 선택기 재료(예를 들어, 스위칭 재료) 및 저장 재료로서 작용할 수 있는 칼코게나이드와 같은 재료를 포함할 수 있다.

[0032] 도 2b는 본 개시의 다수의 실시예에 따라, 메모리 디바이스(102)의 일부와 같은 메모리 디바이스(202)의 일부의 단면도이다. 일부 예에서, 메모리 디바이스(202)는 메모리 어레이(206)를 포함할 수 있다. 예를 들어, 도 2b는 도 2a의 라인 2B-2B를 따라 취해진 메모리 어레이(206)의 단면을 도시한다. 도 2a의 어레이 대신에, 각 티어(tier)에(예를 들어, 수직 필라(pillar)에 각 층의 교차에) 메모리 셀을 특징으로 하는 3차원 멀티-티어 아키텍

처와 같은 다른 어레이 아키텍처(도시되지 않음)가 사용될 수 있다. 도 2a와 관련하여 설명된 어레이를 참조하여 설명이 계속될 것이다.

- [0033] 액세스 라인(216-2)은 도체(236)에 의해 반도체(232) 내의 소스/드레인(230)에 결합될 수 있고, 액세스 라인(216-1)은 도체(242)에 의해 반도체(232) 내의 소스/드레인(240)에 결합될 수 있다. 선택 트랜지스터(246)는 반도체(232) 내의 게이트(247), 소스/드레인(230) 및 소스/드레인(248)을 포함할 수 있다. 예를 들어, 소스/드레인(248)은 도체(예를 들어, 콘택)(252)에 의해 선택 전압 노드와 같은 도전성 노드(250)에 결합될 수 있다. 노드(예를 들어, 선택 전압 노드)(250)는, 예를 들어, 선택 트랜지스터(246)가 활성화되었을 때 액세스 라인(216-2)에 비교적 낮은 전압 또는 음의 전압과 같은 선택 전압을 공급할 수 있다. 예를 들어, 선택 트랜지스터(246)는 액세스 라인(216-2)을 노드(250)에 선택적으로 결합시키는 것일 수 있다.
- [0034] 선택 트랜지스터(258)는 반도체(232) 내에 게이트(259), 소스/드레인(240) 및 소스/드레인(260)을 포함할 수 있다. 예를 들어, 소스/드레인(260)은 도체(예를 들어, 콘택)(264)에 의해 노드(예를 들어, 선택 전압 노드)(262)에 결합될 수 있다. 노드(262)는 예를 들어 선택 트랜지스터(258)가 활성화될 때 액세스 라인(216-1)에 비교적 낮은 전압 또는 음의 전압과 같은 선택 전압을 공급할 수 있다. 예를 들어, 선택 트랜지스터(258)는 액세스 라인(216-1)을 노드(262)에 선택적으로 결합하기 위한 것일 수 있다. 일부 예에서, 선택 트랜지스터(246, 258)는 반도체(232) 상에 및/또는 내에 있을 수 있다.
- [0035] 일부 예에서, 노드들(250 및 262)은 배선을 포함할 수 있는 금속 영역(예를 들어, 금속 1 영역으로 지칭될 수 있음)과 같은 영역(265)에 있을 수 있다. 액세스 라인(216-1)에 공통으로 결합된 (예를 들어, 한 행의) 메모리 셀(212-1)에 액세스하고 액세스 라인(216-2)에 공통으로 결합된 (예를 들어, 한 행의) 메모리 셀(212-2)에 액세스하기 위한 것이고 선택 트랜지스터(246, 258)를 포함할 수 있는, 행 디코더(114)와 같은, 로컬 디코드 회로는 반도체(232) 상에 및/또는 내에 있을 수 있다. 로컬 디코드 회로는, 예를 들어, 노드(250, 262)를 각각 액세스 라인(216-2, 216-1)에 선택적으로 결합시키는 것일 수 있다.
- [0036] 영역(265)은 노드(250, 262)를 포함할 수 있는 배선을 포함할 수 있다. 영역(265)은 액세스 라인(216-2), 및 따라서 메모리 어레이(206)와 반도체(232)의 상측(예를 들어, 최상측) 표면(270), 및 따라서 반도체(232) 상의 및/또는 내의 로컬 디코드 회로 사이에 있을 수 있다. 예를 들어, 메모리 어레이(206)는 반도체(232)의 상측 표면(270) 및 반도체(232) 상의 및/또는 내의 로컬 디코드 회로 위에 있을 수 있다. 메모리 어레이(206)는 예를 들어 영역(271) 내에 있을 수 있다.
- [0037] 일부 예에서, 격리 영역, 도전성 웰, 트랜지스터(예를 들어, 트랜지스터(246, 258)) 및 소스/드레인(예를 들어, 소스/드레인(230, 240, 248, 260))의 형성과 같은 반도체(232)에 수행되는 제조 동작은 라인 프론트엔드 처리라고 지칭될 수 있다. 예를 들어, 반도체(232), 소스/드레인(230, 240, 248, 260), 및 트랜지스터(246, 256)를 포함하는 영역(272)은 라인 프론트엔드 처리 동안 형성될 수 있으며 프론트엔드 영역이라 지칭될 수 있다.
- [0038] 이전의 메모리 디바이스에서, 예를 들어, 로컬 디코드 회로의, 이를테면 행 디코더(114)의 및 열 디코더(116)의 대부분(예를 들어, 모두)은 반도체 상에 및/또는 내에 있었을 수 있다. 예를 들어, 일부 이전 메모리 디바이스에 있어, 액세스 라인(216-1, 216-2)에 공통으로 결합된 메모리 셀 그룹(예를 들어, 행) 및 액세스 라인(214)에 공통으로 결합된 메모리 셀 그룹(예를 들어, 열)에 액세스하기 위한 디코드 회로는 반도체 상에 및/또는 내에 있을 수 있다. 또한, 메모리 요구가 증가함에 따라, 메모리 어레이 테크(210)와 같은 메모리 어레이 테크의 수가 증가할 수 있다. 예를 들어, 메모리 어레이(206) 내 2개의 메모리 어레이 테크보다 더 많은 메모리 어레이 테크가 있을 수 있다. 메모리 어레이 테크의 수가 증가함에 따라, 반도체 상에 및/또는 내에 디코드 회로의 양도 증가한다. 이는 반도체 영역을 증가시켜 다이 크기를 증가시킬 수 있다. 예를 들어, 메모리 어레이 테크의 수는 고정된 반도체 영역을 유지하기 위해 제한될 수 있다.
- [0039] 본 개시의 실시예는 열 디코더(116)와 같은 디코더 중 적어도 하나를 위한 디코드 회로를 메모리 어레이(206) 위에 위치시킨다. 예를 들어, 예컨대 열 디코더(116)의 디코드 회로(275)는 메모리 어레이(206) 위에 있을 수 있고 영역(276) 내에 위치될 수 있다. 예를 들어, 영역(271), 및 따라서 메모리 어레이(206)는 영역(276), 및 따라서 디코드 회로(275)와 영역(272), 및 따라서 반도체(232)와 반도체(232) 상에 및/또는 내에 있을 수 있는 디코드 회로 사이에 있을 수 있다. 예를 들어, 영역(271)은 영역(276)과 영역(265) 사이에 있을 수 있다.
- [0040] 디코드 회로(275)를 영역(272) 대신에 메모리 어레이(206) 위의 영역(276) 내에 위치시키는 것은 증가된 메모리 셀 밀도를 허용할 수 있다. 예를 들어, 반도체의 크기를 상당히 증가시키지 않고 더 많은 테크가 추가될 수 있다. 일부 예에서, 테크들의 수를 고정하면서 디코드 회로(275)를 메모리 어레이(206) 위에 위치시키는 것은, 이

전 메모리 디바이스에서 영역(272) 내에 따라서 반도체 상에 및/또는 내에 있었을 디코드 회로가 이제는 메모리 어레이 위에 위치될 수 있으므로, 반도체(232)의 크기가 감소될 수 있게 한다.

- [0041] 도 2b의 예에서, 영역(265), 영역(271), 따라서 메모리 어레이(206) 및 영역(276), 따라서 디코드 회로(275)를 포함하는 영역은 예를 들어 백엔드 영역이라 지칭될 수 있다. 백엔드 영역은 영역(272) 이후에 형성될 수 있고, 프론트엔드 처리 동안 형성될 수 있고, 라인 백엔드 처리라 지칭될 수 있는 것 동안 형성될 수 있다. 예를 들어, 영역(265, 271, 275)은 라인 백엔드 처리 동안 형성될 수 있다. 일부 예에서, 콘택트(예를 들어, 콘택트(252, 264)) 및 노드(250)는 영역(265) 내에 포함될 수 있으며, 따라서 백엔드 처리 동안 형성될 수 있다.
- [0042] 디코드 회로(275)는 이를테면 각각의 액세스 라인(214)에 공통으로 결합된 메모리 셀(212-1, 212-2)의 그룹에 액세스하기 위한 메모리 어레이(206)를 위한 것일 수 있다. 예를 들어, 유전체의 개구(280)에 형성된 비아와 같은 도체(278)는 디코드 회로(275)를 액세스 라인(214)의 대응하는 것에 결합할 수 있다.
- [0043] 도 2b의 예가 도 2b의 단면에서 액세스 라인(216-1)을 통과하는 도체(278) 및 개구(280)를 도시하지만, 도체(278) 및 개구는 상이한 평면에 형성될 수 있고 액세스 라인(216-1)을 통과하지 않을 수 있다. 예를 들어, 액세스 라인들(214)은 도 2b의 전방 평면에 평행하고 액세스 라인(216-1, 216-2)을 넘어 또 다른 평면으로 연장될 수 있는데, 이들은 도체(278)에 의해 접촉될 것이다. 도 2b가 간략화를 위해 단지 2개의 액세스 라인(214)에만 결합된 디코드 회로(275)를 도시하지만, 디코드 회로(275)는 각각의 액세스 라인(214)에 연결될 수 있다.
- [0044] 예를 들어, 도체(278)는 다이오드(예를 들어, 폴리실리콘 박막 다이오드, 비정질 실리콘 박막 다이오드, 에피택셜 다이오드, 등) 또는 트랜지스터(예를 들어, 폴리실리콘 박막 트랜지스터, 비정질 실리콘 박막 트랜지스터, 에피택셜 트랜지스터, 등)와 같은 디코드 회로(275)의 대응하는 트리거 디바이스(282)를 디코드 회로(275)의 스위치 디바이스(284)와 같은 대응하는 선택 디바이스에 결합한다. 예를 들어, 도체(278)는 대응하는 스위치 디바이스(284) 및 대응하는 트리거 디바이스(282)를 액세스 라인들(214) 중 대응하는 것에 결합할 수 있다.
- [0045] 스위치 디바이스(284)는 예를 들어 전술한 바와 같이 스위치 디바이스(218)에 대한 것일 수 있다. 예를 들어, 스위치 디바이스(284)는 OTS일 수 있고 칼코게나이드와 같은 전압-스위칭 재료를 포함할 수 있다.
- [0046] 유전체의 개구(287)에 형성된 비아와 같은 도체(285)는 스위치 디바이스(284)를 이를테면 관독/기입 전압을 공급하기 위해 관독/기입 회로에 결합될 수 있는 글로벌 디코드 노드(286)에 결합할 수 있다. 스위치 디바이스(284)는, 예를 들어, 글로벌 디코드 노드(286)를 대응하는 액세스 라인(214)에 선택적으로 결합시킬 수 있다. 예를 들어, 스위치 디바이스(284)가 활성화될 때, 글로벌 디코드 노드(286)는 대응하는 액세스 라인(214)에 결합될 수 있다. 예를 들어, 트리거 디바이스(282), 스위치 디바이스(284) 및 글로벌 디코드 노드(286)는 라인 백엔드 처리 동안 형성될 수 있는 것에 유의한다.
- [0047] 트리거 디바이스(282)(예를 들어, 각각의 트리거 디바이스(282))는 도전성 라인(288)에 의해 프리-디코더(예를 들어, 반도체(232) 내에 또는 이 위에 있을 수 있음)에 결합될 수 있다. 예를 들어, 프리-디코더는 어드레스를 디코딩하고 그 어드레스에 대응하는 액세스 라인(214)에 결합된 트리거 디바이스(282)에 제어 신호를 보내어 트리거 디바이스(282)를 선택(예를 들어, 활성화)하고 이에 따라 액세스 라인(214)을 선택할 수 있다.
- [0048] 일부 예에서, 트리거 디바이스(282)를 활성화시키는 것은 트리거 디바이스(282)가 대응하는 스위치 디바이스(284)를 활성화하게 할 수 있다. 예를 들어, 활성화된 트리거 디바이스(282)는 스위치 디바이스(284)를 활성화할 수 있는 스위치 디바이스(284)를 통해 임계 전류가 흐르게 하도록 작용할 수 있다. 활성화된 스위치 디바이스(284)는 글로벌 디코드 노드(286) 상의 전압(예를 들어, 비교적 높은 전압 또는 양의 전압)이 한 쌍의 메모리 셀(212-1, 212-2) 중 하나와 같은 타겟 메모리 셀에 결합될 수 있는 대응하는 액세스 라인(214)에 인가되게 할 수 있다.
- [0049] 한편, 액세스 라인(214)에 결합된 한 쌍의 메모리 셀(212-1, 212-2)의 타겟 메모리 셀(212-2)을 선택하기 위해 노드(250)로부터 액세스 라인(216-2)으로 또는 액세스 라인(214)에 결합된 한 쌍의 메모리 셀(212-1, 212-2)의 타겟 메모리 셀(212-1)을 선택하기 위해 노드(262)로부터 액세스 라인(216-1)으로 전압(예를 들어, 상대적으로 낮은 전압 또는 음의 전압)이 제공될 수 있다. 예를 들어, 액세스 라인(214)과 액세스 라인(216-1) 사이의 전압 차이는 타겟 메모리 셀(212-1)의 스위치 디바이스(218)가 메모리 셀(212-1)을 선택하게 하거나, 또는 액세스 라인(214)과 액세스 라인(216-2) 사이의 전압 차이는 타겟 메모리 셀(212-2)의 스위치 디바이스(218)가 메모리 셀(212-2)을 선택하게 할 수 있다.
- [0050] 도 2b의 예가 영역(276), 따라서 디코드 회로(275)가 영역(271), 따라서 메모리 어레이(206) 상에(예를 들어, 위에) 있는 것으로 도시하지만, 일부 예에서, 영역(276)은 메모리 어레이(206) 아래에 있을 수 있다. 예를

들어, 영역(276), 따라서 디코드 회로(275)는 영역(265)과 영역(271) 사이에 있을 수 있으며, 백엔드 처리 동안 백엔드 영역 내에 여전히 형성될 수 있다. 예를 들어, 디코더 회로(275)는 메모리 어레이(206)를 형성하기 전에 백엔드 처리 동안 형성될 수 있고, 예를 들어 메모리 어레이를 형성한 후 처리량을 감소시킬 수 있다. 예를 들어, 영역(276)은 반도체의 크기를 증가시키지 않도록 반도체와(예를 들어, 안 또는 위가 아니라) 분리될 수 있다.

[0051] 트리거 디바이스(282) 및 스위치 디바이스(284)는 메모리 어레이(206) 아래에 형성될 수 있고 도 2b에 도시된 것과 유사한 방식으로 서로 결합될 수 있다. 각각의 트리거 디바이스(282) 및 스위치 디바이스(284) 각각은 도체에 의해 각각의 액세스 라인(214)에 결합될 수 있다. 각각의 스위치 디바이스(284)는 도체에 의해 글로벌 디코드 노드(286)에 결합될 수 있으며, 여기서 글로벌 디코드 노드(286)는 예를 들어 영역(271) 위 또는 아래에 위치될 수 있다. 예를 들어, 트리거 디바이스(282) 및 스위치 디바이스(284)는 반도체로부터 분리될 수 있다.

[0052] 도 3은 메모리 디바이스(102)의 일부일 수 있는 메모리 디바이스(302)의 일부의 블록도이다. 예를 들어, 메모리 디바이스(302)는 전술한 바와 같이, 영역(272)과 유사할 수 있는(예를 들어, 이와 동일한) 영역(372)을 포함할 수 있고 반도체(232)와 유사할 수 있는(예를 들어, 이와 동일한) 반도체(332)를 포함할 수 있다. 전술한 바와 같이, 영역(265)과 유사할 수 있는(예를 들어, 이와 동일한) 영역(365)은 반도체(232) 위에 있을 수 있다. 영역(371-1)은 영역(365) 위에 있을 수 있고, 영역(271)과 유사할 수 있고(예를 들어, 이와 동일할 수 있고), 전술한 바와 같이, 메모리 어레이(206)와 유사할 수 있는(예를 들어, 이와 동일한) 메모리 어레이(306-1)를 포함할 수 있다. 영역(376-1)은 영역(371-1) 위에 있을 수 있고, 영역(276)과 유사할 수 있고(예를 들어, 이와 동일할 수 있고), 전술한 바와 같이, 디코더(275)와 유사할 수 있는(예를 들어, 이와 동일한) 디코더(375-1)를 포함할 수 있다. 영역(371-2)은 영역(376-1) 위에 있을 수 있고, 영역(271)과 유사할 수 있고(예를 들어, 이와 동일할 수 있고), 전술한 바와 같이, 메모리 어레이(206)와 유사할 수 있는(예를 들어, 이와 동일한) 메모리 어레이(306-2)를 포함할 수 있다. 예를 들어, 메모리 어레이(306-1, 306-2)는 도 2a 및 도 2b와 관련하여 전술한 바와 같이, 메모리 어레이 테크(210-1, 210-2)와 같은 다수의 테크 메모리 셀 테크를 포함할 수 있다. 영역(376-2)은 영역(371-2) 위에 있을 수 있고 영역(276)과 유사할 수 있고(예를 들어, 동일할 수 있고), 위에 기술된 바와 같이, 디코더(275)와 유사할 수 있는(예를 들어, 이와 동일할 수 있는) 디코더(375-2)를 포함할 수 있다. 글로벌 액세스 노드(286)와 유사할 수 있는(예를 들어, 이와 동일할 수 있는) 글로벌 액세스 노드(386)는 영역(376-2) 위에 있을 수 있다.

[0053] 일부 예에서, 반도체(332) 상에 및/또는 내에 있을 수 있는 영역(372) 내 디코더 회로는, 전술한 바와 같이, 예컨대, 반도체(232) 상의 및/또는 내의 영역(272) 내 디코드 회로가 영역(265) 내 선택 전압 노드(250, 262)를 액세스 라인(216-2, 216-1)에 선택적으로 각각 결합하기 위한 것인 것과 유사한(예를 들면, 이와 동일한) 방식으로, 영역(365) 내 선택 전압 노드를, 예를 들어, 메모리 어레이(306-1, 306-2) 내 메모리 셀 행에 공통으로 결합될 수 있는 메모리 어레이(306-1, 306-2) 내 액세스 라인에 선택적으로 결합하기 위한 것일 수 있다. 예를 들어, 반도체(332) 상에 및/또는 내에 있을 수 있는 영역(372) 내 선택 트랜지스터는 영역(365) 내 선택 전압 노드와 예를 들어 메모리 셀의 행에 공통으로 결합될 수 있는 메모리 어레이(306-1, 306-2) 내 액세스 라인 사이에서 이들에 결합될 수 있다.

[0054] 디코더(375-1)는, 전술한 바와 같이, 디코더(275)가 글로벌 액세스 라인(286)을 액세스 라인(214)에 선택적으로 결합시키는 것과 유사한(예를 들어, 동일한) 방식으로, 예를 들어, 메모리 어레이(306-1)의 메모리 셀의 열에 공통적으로 결합될 수 있는 메모리 어레이(306-1)의 액세스 라인에 글로벌 액세스 노드(386)를 선택적으로 결합하기 위한 것일 수 있다. 디코더(375-2)는, 전술한 바와 같이, 디코더(275)가 글로벌 액세스 라인(286)을 액세스 라인(214)에 선택적으로 결합시키는 것과 유사한(예를 들어, 동일한) 방식으로, 예를 들어, 메모리 어레이(306-2)의 메모리 셀의 열에 공통적으로 결합될 수 있는 메모리 어레이(306-2)의 액세스 라인에 글로벌 액세스 노드(386)를 선택적으로 결합하기 위한 것일 수 있다. 예를 들어, 디코더(375-1, 375-2)는 전술한 트리거 디바이스(282)와 같은 트리거 디바이스 및 전술한 스위치 디바이스(284)와 같은 스위치 디바이스를 각각 포함할 수 있고, 여기서 디코더(375-1)의 트리거 디바이스 및 스위치 디바이스는 글로벌 액세스 노드(386)와, 예를 들어, 메모리 어레이(306-1)의 메모리 셀의 열에 공통으로 결합될 수 있는 메모리 어레이(306-1) 내의 액세스 라인 사이에서 이들에 결합될 수 있다. 디코더(375-2)의 트리거 디바이스는 디코더(375-2)의 스위치 디바이스에 결합될 수 있고, 트리거 디바이스 및 디코더(375-2)의 스위치 디바이스는 글로벌 액세스 노드(386)와 메모리 어레이(306-2)의 메모리 셀 열에 공통으로 결합될 수 있는 메모리 어레이(306-2)의 액세스 라인 사이에서 이들에 결합될 수 있다.

[0055] 일부 예에서, 영역(371-1), 따라서 메모리 어레이(306-1)는 영역(376-1), 따라서 디코더(375-1) 위에 있을 수

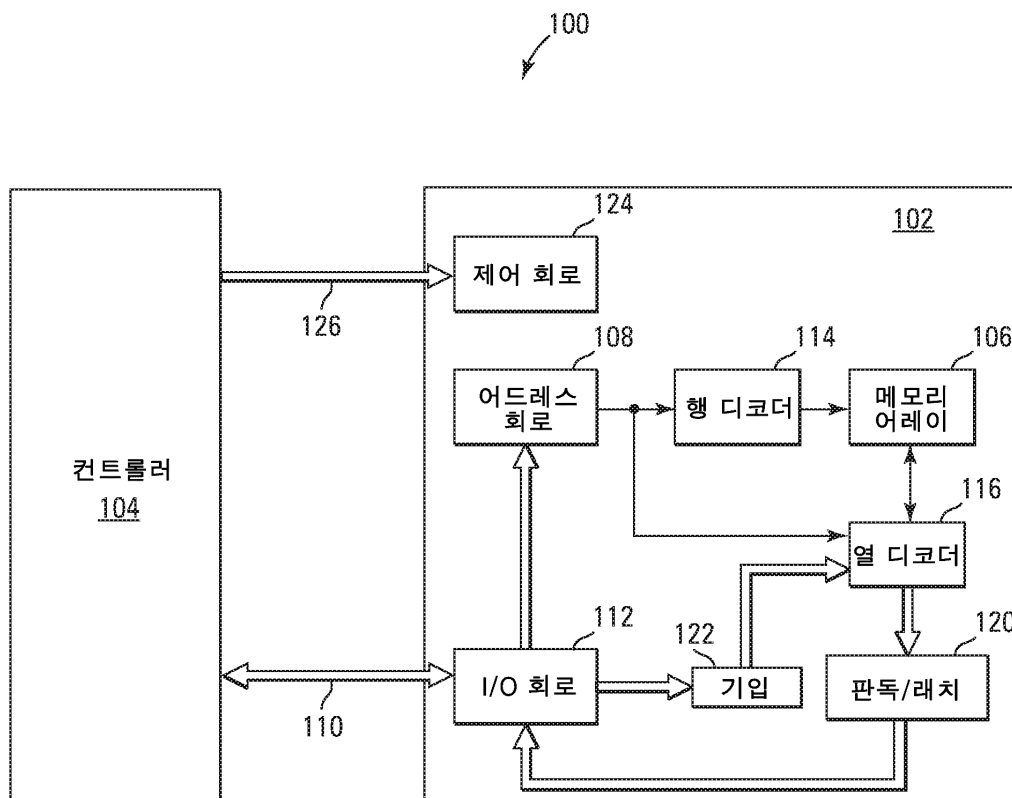
있고, 따라서 영역(376-1)은 영역(371-1)과 영역(365) 사이에, 및/또는 영역(371-2) 사이에 있을 수 있고, 따라서 메모리 어레이(306-2)는 영역(376-2), 따라서 디코더(375-2) 위에 있을 수 있고, 따라서 영역(371-2)은 영역(376-2)과 글로벌 액세스 노드(386) 사이에 있을 수 있다. 일부 예에서, 글로벌 액세스 노드(386)는 영역(371-1, 376-1, 371-2, 376-2) 아래에 있을 수 있다(예를 들어, 영역(365)의 위 또는 이의 일부).

[0056] 예를 들어, 이전 메모리 디바이스에서 영역(372) 내 및/또는 반도체(332) 상에 및/또는 내에 있을 수 있었을 디코더(375)는 반도체와 분리되고, 이제는 이들의 대응하는 메모리 영역 위 또는 밑에 있을 수 있는 영역(376-1, 376-2) 내에 있을 수 있음에 유의한다. 예를 들어, 금속 영역(예를 들어, 배선 영역)과 같은 영역(365)은 반도체와 영역(376-1) 및/또는 영역(371-1) 사이에 있을 수 있다. 따라서, 디코더는 이전 메모리 디바이스에서 발생할 수 있는 반도체의 크기에 기여하지 않을 수 있다.

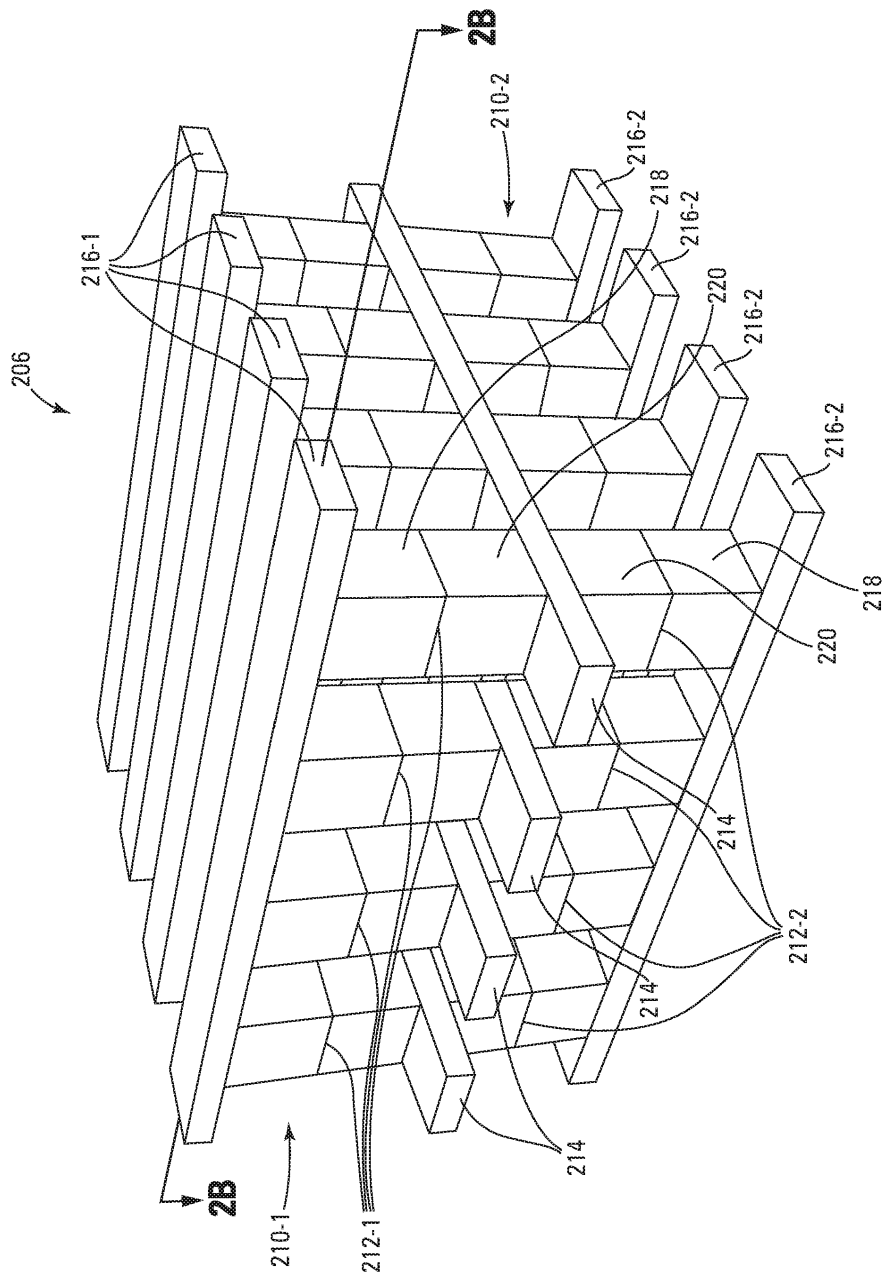
[0057] 특정 예가 본원에서 도시되고 설명되었지만, 당업자는 동일한 결과를 달성하도록 계산된 배열이 도시된 특정 실시예를 대신할 수 있음을 이해할 것이다. 본 개시는 본 개시의 하나 이상의 실시예의 적용 또는 변형을 포함하도록 의도된다. 상기 설명은 제한적인 것이 아니라 예시적인 방식으로 이루어진 것으로 이해되어야 한다. 본 개시의 하나 이상의 예의 범위는 첨부된 청구 범위를 참조하여 이러한 청구 범위가 부여되는 전체 범위의 등가물과 함께 결정되어야 한다.

도면

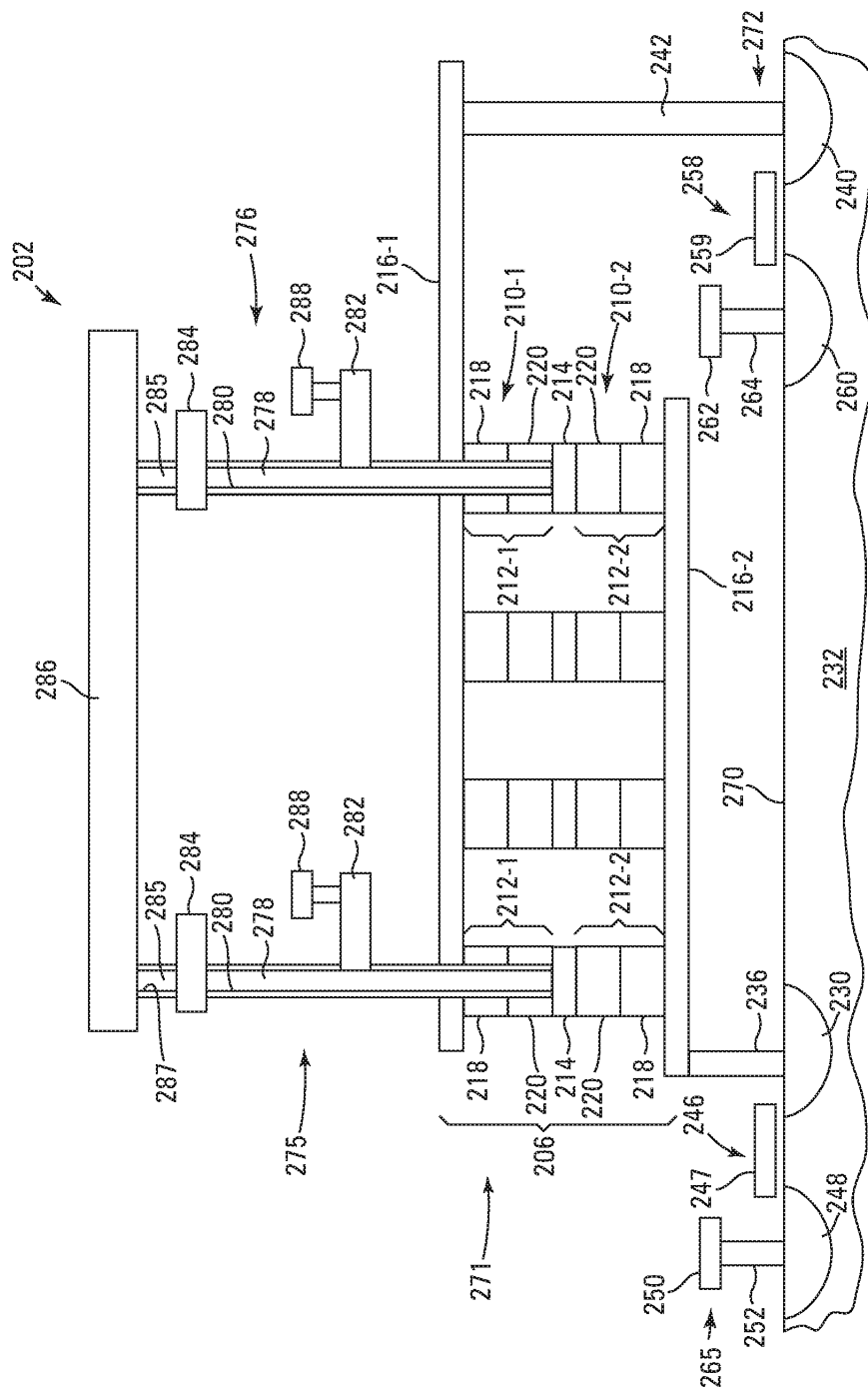
도면1



도면2a



도면2b



도면3

