

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5454894号  
(P5454894)

(45) 発行日 平成26年3月26日(2014.3.26)

(24) 登録日 平成26年1月17日(2014.1.17)

(51) Int.Cl.		F I			
HO 1 L	27/146	(2006.01)	HO 1 L	27/14	A
HO 4 N	5/369	(2011.01)	HO 4 N	5/335	6 9 0
HO 4 N	5/374	(2011.01)	HO 4 N	5/335	7 4 0

請求項の数 6 (全 19 頁)

(21) 出願番号	特願2009-285420 (P2009-285420)	(73) 特許権者	000003078
(22) 出願日	平成21年12月16日(2009.12.16)		株式会社東芝
(65) 公開番号	特開2011-129638 (P2011-129638A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成23年6月30日(2011.6.30)	(74) 代理人	100108855
審査請求日	平成24年3月2日(2012.3.2)		弁理士 蔵田 昌俊
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100095441
			弁理士 白根 俊郎
		(74) 代理人	100103034
			弁理士 野河 信久

最終頁に続く

(54) 【発明の名称】 固体撮像装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基体上に光電変換部及び信号走査回路部を含む複数の単位画素が配置される撮像領域を備え、前記信号走査回路部が形成される前記半導体基体の表面とは反対側の基体表面上に光照射面が形成される裏面照射型の固体撮像装置であって、

前記単位画素は、高感度画素と前記高光感度画素よりも光感度が低い低感度画素とを備え、

前記高感度画素および前記低感度画素は、前記半導体基体中における前記光照射面側に、画素を分離するために配置される第1画素分離層を有し、

前記光照射面側の前記半導体基体において、前記高感度画素における前記第1画素分離層間の開口は、前記低感度画素における前記第1画素分離層間の開口よりも大きく、

前記高感度画素および前記低感度画素は、フォトダイオードをそれぞれ備え、

前記高感度画素および前記低感度画素は、前記フォトダイオードを囲むように設けられ、前記半導体基体中における前記信号走査回路側に前記第1画素分離層と連続して配置される第2画素分離層を更に有し、

前記第2画素分離層間の開口は、前記高感度画素および前記低感度画素において共通であること

を特徴とする固体撮像装置。

【請求項2】

第1画素分離層は、前記半導体基体中における前記光照射面側に、複数段に更に配置さ

れ、

前記高感度画素における前記複数段の第1画素分離層間の開口は、前記低感度画素における前記複数段の第1画素分離層間の開口よりも大きいこと

を特徴とする請求項1に記載の固体撮像装置。

【請求項3】

前記高感度画素および前記低感度画素は、前記フォトダイオードに光を集光する第1、第2マイクロレンズをそれぞれ更に有し、

前記第1マイクロレンズの面積は、前記第2マイクロレンズの面積よりも大きく、

前記第1マイクロレンズと前記第2マイクロレンズは、互いに市松模様状に配置されること

を特徴とする請求項1または2に記載の固体撮像装置。

【請求項4】

前記第1画素分離層の画素センター位置は、前記第1、第2マイクロレンズのレンズ端と一致するように配置されること

を特徴とする請求項3に記載の固体撮像装置。

【請求項5】

半導体基体中の光照射面側に、高感度画素における開口が、低感度画素における開口よりも大きくなるように、第1画素分離層を形成する工程と、

前記半導体基体中に前記第1画素分離層と連続して配置され、その開口が前記高感度画素および前記低感度画素において共通となるように、第2画素分離層を形成する工程と、

前記半導体基体中の信号走査回路側であって、前記高感度画素および前記低感度画素に、フォトダイオードをそれぞれ形成する工程と、

前記信号走査回路側における前記半導体基体上に、信号走査線回路を形成する工程と、前記高感度画素および前記低感度画素のそれぞれに前記フォトダイオードの光を集光する第1、第2マイクロレンズであって、前記第1マイクロレンズの面積は前記第2マイクロレンズの面積よりも大きく、前記第1マイクロレンズと前記第2マイクロレンズは互いに市松模様状に配置されるように、第1、第2マイクロレンズを形成する工程とを具備すること

を特徴とする固体撮像装置の製造方法。

【請求項6】

前記半導体基体中の光照射面側に、前記高感度画素における開口が、前記低感度画素における開口よりも大きくなるように、複数段の前記第1画素分離層を形成する工程を更に具備すること

を特徴とする請求項5に記載の固体撮像装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、固体撮像装置およびその製造方法に関し、例えば、CMOSイメージセンサ等に適用されるものである。

【背景技術】

【0002】

CMOSイメージセンサ等の固体撮像装置において、画素の微細化及び高感度化などを実現するため、裏面照射型の固体撮像装置が注目されている。ここで、これら画素の微細化及び高感度化と並び重要な特性として、ダイナミックレンジが挙げられる。高ダイナミックレンジ化を実現する手法として、画素開口（感度）の異なる2種類の高感度画素と低感度画素を用いるものが提案されている（例えば、特許文献1参照）。

【0003】

しかしながら、裏面照射型の固体撮像装置に、画素開口（感度）の異なる高感度画素と低感度画素を形成すると、高感度画素上に面積の大きな色フィルタおよびマイクロレンズを形成する必要がある。そのため、高感度画素から入射した光が、各画素のフォトダイオ

10

20

30

40

50

ードを分離する拡散層に入ってしまう。この拡散層で光電変換されたキャリアは、拡散層自体に電界勾配が少ないため、隣接する低感度画素へキャリアが流れてしまい、キャリアのクロストークとなってしまう。

【0004】

上記のように、従来の固体撮像装置およびその製造方法では、高感度画素から入射した光が、各画素のフォトダイオードを分離する拡散層および低感度画素へ進入することを防止できず、クロストークが発生するという傾向がある。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2008-099073号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

この発明は、高感度画素から入射した光が低感度画素へ進入することを防止でき、クロストークを低減できる固体撮像装置およびその製造方法を提供する。

【課題を解決するための手段】

【0007】

実施形態に係る固体撮像装置は、半導体基体上に光電変換部及び信号走査回路部を含む複数の単位画素が配置される撮像領域を備え、前記信号走査回路部が形成される前記半導体基体の表面とは反対側の基体表面上に光照射面が形成される裏面照射型の固体撮像装置であって、前記単位画素は、高感度画素と前記高光感度画素よりも光感度が低い低感度画素とを備え、前記高光感度画素および前記低感度画素は、前記半導体基体中における前記光照射面側に、画素を分離するために配置される第1画素分離層を有し、前記光照射面側の前記半導体基体において、前記高光感度画素における前記第1画素分離層間の開口は、前記低感度画素における前記第1画素分離層間の開口よりも大きく、前記高光感度画素および前記低感度画素は、フォトダイオードをそれぞれ備え、前記高光感度画素および前記低感度画素は、前記フォトダイオードを囲むように設けられ、前記半導体基体中における前記信号走査回路側に前記第1画素分離層と連続して配置される第2画素分離層を更に有し、前記第2画素分離層間の開口は、前記高光感度画素および前記低感度画素において共通である。

【発明の効果】

【0009】

この発明によれば、高感度画素から入射した光が低感度画素へ進入することを防止でき、クロストークを低減できる固体撮像装置およびその製造方法が得られる。

【図面の簡単な説明】

【0010】

【図1】本発明の固体撮像装置の第1の実施形態に係るCMOSイメージセンサを概略的に示すブロック図。

【図2】図1のCMOSイメージセンサの撮像領域における一部分を取り出して素子形成領域とゲートのレイアウトイメージを概略的に示す図および色フィルタ・マイクロレンズのレイアウトイメージを概略的に示す図。

【図3】図1中の各単位画素においてフォトダイオードに蓄積される信号電荷量が多い場合（明時）に適した低感度モードにおける画素の動作タイミング、リセット動作時における半導体基体内のポテンシャル電位および読み出し動作時のポテンシャル電位の一例を示す図。

【図4】図1中の各単位画素においてフォトダイオードに蓄積される信号電荷量が少ない場合（暗時）に適した高感度モードにおける画素の動作タイミング、リセット動作時における半導体基体内のポテンシャル電位および読み出し動作時のポテンシャル電位の一例を示す図。

【図5】第1の実施形態のCMOSイメージセンサにおけるダイナミックレンジ拡大効果を説

10

20

30

40

50

明するために特性の一例を示す図。

【図6】図2(b)中のV I I - V I I線に沿って矢印の方向から見た断面図。

【図7】図6に示す断面構成における撮像時の入射光を説明するための断面図。

【図8】第1の実施形態に係る固体撮像装置の一製造工程を示す断面図。

【図9】第1の実施形態に係る固体撮像装置の一製造工程を示す断面図。

【図10】第1の実施形態に係る固体撮像装置の一製造工程を示す断面図。

【図11】第1の実施形態に係る固体撮像装置の一製造工程を示す断面図。

【図12】第1の実施形態に係る固体撮像装置の一製造工程を示す断面図。

【図13】第1の実施形態に係る固体撮像装置の一製造工程を示す断面図。

【図14】第2の実施形態に係る固体撮像装置を示す断面図。

【図15】比較例に係る固体撮像装置を示す断面図。

【発明を実施するための形態】

【0011】

以下、この発明の実施形態について図面を参照して説明する。尚、この説明においては、全図にわたり共通の部分には共通の参照符号を付す。

【0012】

[第1の実施形態]

<1.構成および動作>

まず、図1乃至図5を用いて、この発明の第1の実施形態に係る固体撮像装置の構成および動作を説明する。図1は、本発明の固体撮像装置の第1の実施形態に係るCMOSイメージセンサを概略的に示すブロック図である。このCMOSイメージセンサにおいて、撮像領域10はm行n列に配置された複数の単位画素(ユニットセル)1(m,n)を含む。ここでは、各単位画素のうち、m行目n列目の1つの単位画素1(m,n)、および、撮像領域の各カラムに対応して列方向に形成された垂直信号線のうちの1本の垂直信号線11(n)を代表的に示す。

【0013】

撮像領域10の一端側(図中左側)には、撮像領域の各行にADRES(m)、RESET(m)、READ1(m)、READ2(m)などの画素駆動信号を供給する垂直シフトレジスタ(Vertical Shift Register)12が配置されている。

【0014】

撮像領域10の上端側(図中上側)には、各カラムの垂直信号線11(n)に接続されている電流源13が配置されており、画素ソースフォロワ回路の一部として動作する。

【0015】

撮像領域の下端側(図中下側)には、各カラムの垂直信号線11(n)に接続されている相関二重サンプリング(Correlated double Sampling;CDS)回路&アナログ・デジタル変換回路(Analog Digital Convert;ADC)回路を含むCDS&ADC14と、水平シフトレジスタ(Horizontal Shift Register)15が配置されている。CDS&ADC14は、画素のアナログ出力をCDS処理し、デジタル出力に変換する。

【0016】

信号レベル判定回路16は、CDS&ADC14でデジタル化された出力信号のレベルに基づいて単位画素の出力信号VSIG(n)が所定値より小さいか大きいかを判定し、判定出力をタイミング発生回路(Timing Generator)17に供給するとともに、CDS&ADC14にアナログゲイン(Analog Gain)制御信号として供給する。

【0017】

タイミング発生回路17は、フォトダイオードの蓄積時間を制御する電子シャッター制御信号や動作モード切替用の制御信号等をそれぞれ所定のタイミングで発生し、垂直シフトレジスタ12に供給する。

【0018】

各単位画素は同一の回路構成を有しており、本実施形態では、各単位画素の中に、高感度画素と低感度画素を一つずつ配置している。ここで、図1中の単位画素1(m,n)の構成

10

20

30

40

50

を説明する。

【 0 0 1 9 】

単位画素 1 (m,n) は、入射光を光電変換して蓄積する第 1 のフォトダイオード PD1 と、第 1 のフォトダイオード PD1 に接続され、第 1 のフォトダイオード PD1 の信号電荷を読み出し制御する第 1 の読み出しトランジスタ READ1 と、第 1 のフォトダイオード PD1 よりも光感度が小さく、入射光を光電変換して蓄積する第 2 のフォトダイオード PD2 と、第 2 のフォトダイオード PD2 に接続され、第 2 のフォトダイオード PD2 の信号電荷を読み出し制御する第 2 の読み出しトランジスタ READ2 と、第 1、第 2 の読み出しトランジスタ READ1、READ2 の各一端に接続され、第 1、第 2 の読み出しトランジスタ READ1、READ2 により読み出された信号電荷を一時的に蓄積するフローティングディフュージョン FD と、フローティングディフュージョン FD にゲートが接続され、フローティングディフュージョン FD の信号を増幅して垂直信号線 1 1 (n) に出力する増幅トランジスタ AMP と、増幅トランジスタ AMP のゲート電位 (FD 電位) にソースが接続されてゲート電位をリセットするリセットトランジスタ RST と、垂直方向における所望水平位置の単位画素を選択制御するために増幅トランジスタ AMP に電源電圧を供給制御する選択トランジスタ ADR を有する。なお、各トランジスタは、本例では n 型の MOSFET である。

10

【 0 0 2 0 】

選択トランジスタ ADR、リセットトランジスタ RST、第 1 の読み出しトランジスタ READ1、第 2 の読み出しトランジスタ READ2 は、それぞれ対応する行の信号線 ADRES(m)、RESET(m)、READ1(m)、READ2(m) により制御される。また、増幅トランジスタ AMP の一端は、対応する列の垂直信号線 1 1 (n) に接続されている。

20

【 0 0 2 1 】

図 2 ( a ) は、図 1 の CMOS イメージセンサの撮像領域における一部分を取り出して素子形成領域およびゲートのレイアウトイメージを概略的に示す図である。図 2 ( b ) は、図 1 の CMOS イメージセンサにおける撮像領域の一部を取り出して色フィルタ・マイクロレンズのレイアウトイメージを概略的に示す図である。色フィルタ・マイクロレンズの配列は、通常の RGB ベイヤー配列を採用している。

【 0 0 2 2 】

図 2 ( a )、( b ) において、R ( 1 )、R ( 2 ) は R 用画素、B ( 1 )、B ( 2 ) は B 用画素、G b ( 1 )、G b ( 2 )、G r ( 1 )、G r ( 2 ) は G 用画素に対応する領域を示している。D はドレイン領域を示している。また、信号線との対応関係を示すために、m 行目の信号線 ADRES(m)、RESET(m)、READ1(m)、READ2(m) および、(m+1) 行目の信号線 ADRES(m+1)、RESET(m+1)、READ1(m+1)、READ2(m+1)、n 列目の垂直信号線 1 1 (n)、(n+1) 列目の垂直信号線 1 1 (n+1) を示している。

30

【 0 0 2 3 】

図 2 ( a )、( b ) に示したように、単位画素の中に高感度画素と低感度画素が配置され、高感度画素上には面積の大きな色フィルタおよびマイクロレンズ 2 0 が配置され、低感度画素上には面積の小さな色フィルタおよびマイクロレンズ 3 0 が配置されている。

【 0 0 2 4 】

図 3 は、図 1 の CMOS イメージセンサにおいて、第 1、第 2 のフォトダイオード PD1、PD2 に蓄積される信号電荷量が多い場合 ( 明時 ) に適した低感度モードにおける画素の動作タイミング、リセット動作 ( Reset Operation ) 時における半導体基体内のポテンシャル ( Potential ) 電位および読み出し動作 ( Read Operation ) 時のポテンシャル電位の一例を示す図である。信号電荷量が多い場合は、センサの感度を落として、センサがなるべく飽和しないようにして、ダイナミックレンジを拡大することが求められる。

40

【 0 0 2 5 】

まず、リセットトランジスタ RST をオンさせてリセット動作を行うことにより、リセット動作を行った直後のフローティングディフュージョン FD の電位はドレイン ( 画素の電源 ) と同じ電位レベルに設定される。リセット動作の終了後は、リセットトランジスタ RST をオフする。すると、垂直信号線 1 1 には、フローティングディフュージョン FD の電位に

50

応じた電圧が出力される。この電圧値をCDS&ADC 14内のCDS回路に取り込んでおく(暗時レベル)。

【0026】

次に、第1の読み出しトランジスタREAD1あるいは第2の読み出しトランジスタREAD2をオンさせて、それまでにフォトダイオードPD1あるいはPD2に蓄積された信号電荷をFDに転送する。低感度モードでは、第2の読み出しトランジスタREAD2のみをオンし、より感度の低い第2のフォトダイオードPD2で蓄積した信号電荷のみをフローティングディフュージョンFDに転送する読出し動作を行う。この信号電荷の転送に伴って、FD電位が変化する。垂直信号線11には、フローティングディフュージョンFDの電位に応じた電圧が出力されるので、この電圧値をCDS回路に取り込む(信号レベル)。その後、CDS回路で信号レベルから暗時レベルを引き算することにより、増幅トランジスタAMPの $V_{th}$ (閾値)ばらつき等のノイズをキャンセルし、純粋な信号成分のみを取り出す(CDS動作)。

10

【0027】

なお、低感度モードでは、説明簡便のため、第1のフォトダイオードPD1と第1の読み出しトランジスタREAD1の動作に関しては説明を省略している。実際は、第1のフォトダイオードPD1の信号電荷がフローティングディフュージョンFDに溢れてくるのを防止するため、フローティングディフュージョンFDのリセット動作を行う直前に第1の読み出しトランジスタREAD1をオンさせ、第1のフォトダイオードPD1に蓄積された信号電荷を排出すると良い。また、フローティングディフュージョンFDのリセット動作と第2のフォトダイオードPD2からの信号の読出し動作を行っている期間以外は、常に第1の読み出しトランジスタREAD1をオンさせてもよい。

20

【0028】

一方、図4は、図1のCMOSイメージセンサにおいて、フローティングディフュージョンFDに蓄積される信号電荷量が少ない場合(暗時)に適した高感度モードにおける画素の動作タイミング、リセット動作時における半導体基体内のポテンシャル電位および読み出し動作時のポテンシャル電位の一例を示す図である。フローティングディフュージョンFDの信号電荷量が少ない場合は、CMOSイメージセンサの感度を上げてS/N比を向上させることが求められる。

【0029】

まず、リセットトランジスタRSTをオンさせてリセット動作を行うことにより、リセット動作を行った直後のフローティングディフュージョンFDの電位(Potential)はドレイン(画素の電源)と同じ電位レベルに設定される。リセット動作の終了後は、リセットトランジスタRSTをオフする。すると、垂直信号線11には、フローティングディフュージョンFDの電位に応じた電圧が出力される。この電圧値をCDS&ADC 14内のCDS回路に取り込んでおく(暗時レベル)。

30

【0030】

次に、第1、第2の読み出しトランジスタREAD1、READ2をオンさせて、それまでに第1、第2のフォトダイオードPD1、PD2に蓄積された信号電荷をフローティングディフュージョンFDに転送する。高感度モードでは、第1、第2の読み出しトランジスタREAD1、READ2の両方をオンさせて、暗い状態で取得した信号電荷の全てをフローティングディフュージョンFDに転送する読出し動作を行う。この信号電荷の転送に伴って、FD電位が変化する。垂直信号線11には、フローティングディフュージョンFDの電位に応じた電圧が出力されるので、この電圧値をCDS回路に取り込む(信号レベル)。その後、信号レベルから暗時レベルを引き算することにより、増幅トランジスタAMPの $V_{th}$ ばらつき等のノイズをキャンセルし、純粋な信号成分のみを取り出す(CDS動作)。

40

【0031】

一般に、CMOSイメージセンサでは、発生する全ノイズの中で、増幅トランジスタAMPで発生する熱雑音や $1/f$ ノイズが大きな割合を占めている。したがって、本実施形態のCMOSイメージセンサのように、ノイズが発生する前にフローティングディフュージョンFDに転送する段階で信号を加算して信号レベルを大きくすることは、S/N比を向上させる上で

50

有利である。また、フローティングディフュージョンFDに転送する段階で信号を加算することにより、画素数が減少するので、CMOSイメージセンサのフレームレートを上げ易いという効果が得られる。

【 0 0 3 2 】

なお、フローティングディフュージョンFDで信号電荷を加算することに限定されるものではない。第1、第2のフォトダイオードPD1とPD2の信号電荷を、別々に画素ソースフォロワ回路を用いて出力してもよい。この場合、CMOSセンサの外部の信号処理回路において、第1、第2のフォトダイオードPD1、PD2の信号電荷の単純加算ではなく、例えば2：1の比率で重み付け加算を行なうようにしてもよい。

【 0 0 3 3 】

上述したように、本実施形態ではCMOSイメージセンサにおける単位画素中に、高感度画素と低感度画素をそれぞれ一つ設ける。そして、信号電荷量の少ない時は、高感度画素と低感度画素の信号を両方使用する。その際、単位画素の中で信号電荷を加算して読み出すと良い。また、信号電荷量が多い時は、低感度画素の信号のみを読み出す。このように、二つの動作モードを使い分ける。

【 0 0 3 4 】

本実施形態では単位画素の中に高感度画素と低感度画素を一つずつ配置するので、次式(1)の関係が成り立つと考えてよい。即ち、従来画素の光感度/飽和レベル、高感度画素の光感度/飽和レベル、低感度画素の光感度/飽和レベルを

従来画素の光感度：SENS

従来画素の飽和レベル：VSAT

高感度画素の光感度：SENS1

高感度画素の飽和レベル：VSAT1

低感度画素の光感度：SENS2

低感度画素の飽和レベル：VSAT2

で表すと、

$$\text{SENS} = \text{SENS1} + \text{SENS2}$$

$$\text{VSAT} = \text{VSAT1} + \text{VSAT2} \quad \dots (1)$$

高感度画素が飽和して低感度モードに切り替わると、得られる信号電荷量が減少してS/Nが低下する。高感度画素が飽和する光量は、VSAT1/SENS1で表される。この光量での低感度画素の信号出力は、VSAT1 × SENS2/SENS1となる。従って、この光量での信号出力の低下率は、

$$(\text{VSAT1} \times \text{SENS2} / \text{SENS1}) / (\text{VSAT1} \times \text{SENS} / \text{SENS1}) = \text{SENS2} / \text{SENS} \quad \dots (2)$$

となる。高感度/低感度モード切替時の信号低下は避けたいので、SENS2/SENSは、10%から50%の間に設定するのが妥当と考えられる。本実施形態では、SENS2/SENS = 1/4 = 25%に設定している。

【 0 0 3 5 】

一方、ダイナミックレンジの拡大効果は、低感度モードでの最大入射光量VSAT2/SENS2と従来画素の最大入射光量(ダイナミックレンジ)VSAT/SENSとの比をとり、

$$(\text{VSAT2} / \text{VSAT}) \times (\text{SENS} / \text{SENS2}) \quad \dots (3)$$

となる。この式(3)より明らかなように、VSAT2/VSATは可能な限り大きくしたほうが良い。これは、高感度画素と低感度画素の飽和レベルは、同程度か、もしくは低感度画素の方を大きくした方が良いということを意味している。数式で表すと、

$$\text{VSAT1} / \text{SENS1} < \text{VSAT2} / \text{SENS2} \quad \dots (4)$$

を満たすと、ダイナミックレンジを拡大することができる。

【 0 0 3 6 】

図5は、本実施形態のCMOSイメージセンサにおけるダイナミックレンジ拡大効果を説明するために特性の一例を示す図である。図5中、横軸は入射光量を示し、縦軸はフォトダイオードに発生した信号電荷量を示している。ここでは、高感度画素(PD1)の特性A、低感度画素(PD2)の特性B、従来の単位画素中の画素(従来画素)の特性Cを示してい

10

20

30

40

50

る。

【 0 0 3 7 】

本実施形態では、高感度画素 (PD1) の光感度は従来画素の  $3/4$  に設定され、低感度画素 (PD2) の光感度は従来画素の  $1/4$  に設定されている。また、高感度画素 (PD1) の飽和レベルは従来画素の  $1/2$  に設定され、低感度画素 (PD2) の飽和レベルは従来画素の  $1/2$  に設定されている。

【 0 0 3 8 】

図5から分かるように、高感度画素 (PD1) の光感度は、従来画素と比べて  $3/4$  に設定され、低感度画素 (PD2) の光感度は従来画素と比べて  $1/4$  に設定されているので、高感度画素 (PD1) と低感度画素 (PD2) の出力を加算する高感度モードでは、信号電荷量は従来の単位画素と同等である。

10

【 0 0 3 9 】

一方、低感度画素 (PD2) は、従来画素と比べて飽和レベルは  $1/2$ 、光感度は  $1/4$  であるので、結果として、低感度画素 (PD2) が飽和しないで動作する範囲は従来画素と比較して2倍広がっている。即ち、低感度画素 (PD2) の出力を用いる低感度モードでは、ダイナミックレンジは従来画素と比較して2倍拡大していることが分かる。

【 0 0 4 0 】

以上のように、本実施形態のCMOSイメージセンサでは、低感度モードを利用することでダイナミックレンジを拡大でき、高感度モードを利用することで光量が少ない場合 (暗い場合) での光感度の劣化を少なくできる、という効果が得られる。即ち、光感度と信号電荷取扱量のトレードオフ (二律背反) の関係を超え、暗時の低ノイズを維持したまま、信号電荷取扱量を大きくすることが可能である。

20

【 0 0 4 1 】

さらに、本実施形態は、CMOSイメージセンサでダイナミックレンジの拡大を実現しているので、CMOSイメージセンサの利点、即ち、間引き動作などを利用してフレームレートの高い、高速センサを容易に設計することが可能である。

【 0 0 4 2 】

なお、本実施形態のCMOSイメージセンサでは、第1のフォトダイオードPD1だけ、あるいは、第2のフォトダイオードPD2だけに着目した場合、それぞれ一般的に用いられるRGBベイヤー配列となっているので、高感度モード、低感度モードとも、出力信号はRGBベイヤー配列に対応している。従って、デモザイクなどの色信号処理は、従来の処理をそのまま利用できる。

30

【 0 0 4 3 】

また、本実施形態のCMOSイメージセンサでは、第1、第2のフォトダイオードPD1、PD2が市松模様状に配置されている。そこで、図2(a)に示したように、フローティングディフュージョンFDを第1、第2のフォトダイオードPD1とPD2の間に配置し、さらに残った隙間に各トランジスタAMP、RSTを配置すると、画素内で各部品のレイアウトを容易に行なうことができる。

【 0 0 4 4 】

< 2 . 断面構成例 >

40

次に、図6および図7を用いて、第1の実施形態に係る固体撮像装置の断面構成例について説明する。ここでは、図2(b)中のV I I - V I I線に沿って矢印方向から見た断面を一例に挙げる。

【 0 0 4 5 】

尚、この説明では、電子をフォトダイオードに電荷蓄積する場合の説明を行うが、正孔をフォトダイオードに電荷蓄積する場合でも、素子分離層をn型半導体層とすることで同様の効果を得ることは可能である。

【 0 0 4 6 】

2 - 1 .

図6に示すように、単位画素1は、半導体基体31上に市松模様状に配置される高感度

50

画素 1 H、および高感度画素 1 H よりも感度が低い低感度画素 1 L を備える。半導体基体 3 1 は、例えば、S O I (Silicon on insulator) 基体上にエピタキシャル成長させて形成した n 型半導体層である。

高感度画素 1 H および低感度画素 1 L は、半導体基体 3 1 中の第 1、第 2 画素分離層 3 3 - 1、3 3 - 2 により画素ごとに分離され、信号走査線回路部と光電変換部とを備える。

第 1、第 2 画素分離層 3 3 - 1、3 3 - 2 は、半導体基体 3 1 中に導入される、例えば、B (ボロン) 等の p 型不純物の注入により形成される。

#### 【0047】

第 1 画素分離層 3 3 - 1 は、半導体基体 3 1 中における光照射面側である M L 側領域 3 2 - 1 に配置される。また、高感度画素 1 H における第 1 画素分離層 3 3 - 1 間の開口 O P 1 (1) は、低感度画素 1 L における第 1 画素分離層 3 3 - 2 間の開口 O P 1 (2) よりも大きい (O P 1 (1) > O P 1 (2))。さらに、高感度画素 1 H における第 1 画素分離層 3 3 - 1 間の開口 O P 1 (1)、および低感度画素 1 L における第 1 画素分離層 3 3 - 2 間の開口 O P 1 (2) は、高感度画素 1 H および低感度画素 1 L において共通 (実質的に同一) である。また、本例では、第 1 画素分離層 3 3 - 1 の画素センター位置は、高感度画素 1 H および低感度画素 1 L のマイクロレンズ 2 0、3 0 のレンズ端と一致するように配置される。

10

#### 【0048】

第 2 画素分離層 3 3 - 2 は、半導体基体 3 1 中における信号走査回路側の P D 側領域 3 2 - 2 に、フォトダイオード P D 1、P D 2 を囲むように設けられ、第 1 画素分離層 3 3 - 1 と連続して配置される。さらに、第 2 画素分離層 3 3 - 2 間の開口 O P 2 は、高感度画素 1 H および低感度画素 1 L において共通 (実質的に同一) である。

20

#### 【0049】

信号走査回路部は、信号走査回路側の半導体基体 3 1 上に設けられる層間絶縁膜 3 4 中に形成される上記増幅トランジスタ (図示せず) 等、および配線層 3 5 により構成される。配線層 3 5 は、例えば、A l (アルミニウム) や C u (銅) 等により形成される。

光電変換部は、フォトダイオード P D 1、P D 2、光照射側の保護膜 3 6 A、平坦化層 3 7、色フィルタ (G b (1)、G b (2)、G r (1)、G r (2))、および第 1、第 2 マイクロレンズ 2 0、3 0 により構成される。

30

フォトダイオード P D 1、P D 2 は、半導体基体 3 1 中に設けられ、光電変換及び電荷の蓄積を行う。

光照射側の保護膜 3 6 A は、シリコン酸化膜やシリコン窒化膜等に形成され、光照射側の半導体基体 3 1 上に設けられる。

平坦化層 3 7 は、保護膜 3 6 A 上に設けられ、例えば、樹脂等により形成される。

色フィルタ (G b (1)、G b (2)、G r (1)、G r (2)) は、平坦化層 3 7 上に配置される。

第 1、第 2 マイクロレンズ 2 0、3 0 は、色フィルタ (G b (1)、G b (2)、G r (1)、G r (2)) 上にそれぞれ配置され、フォトダイオード P D 1、P D 2 に光を集光する。第 1 マイクロレンズ 2 0 の面積は、第 2 マイクロレンズ 3 0 の面積よりも大きく、第 1 マイクロレンズ 2 0 と第 2 マイクロレンズ 3 0 とは、互いに市松模様状に配置される。

40

#### 【0050】

##### 2 - 2 . 撮像時における入射光

次に、図 7 を用いて、上記図 6 に示した断面構成において、撮像時における入射光について説明する。

上記図 6 に示した構成では、高感度画素 1 H における第 1 画素分離層 3 3 - 1 間の開口 O P 1 (1) は、低感度画素 1 L における第 1 画素分離層 3 3 - 1 間の開口 O P 1 (2) よりも大きい (O P 1 (1) > O P 1 (2))。さらに、高感度画素 1 H における第 1 画素分離層 3 3 - 1 間の開口 O P 1 (1)、および低感度画素 1 L における第 1 画素分離層 3 3 - 1 間の開口 O P 1 (2) は、高感度画素 1 H および低感度画素 1 L において共通 (

50

実質的に同一)である。また、本例では、第1画素分離層33-1の画素センター位置は、高感度画素1Hおよび低感度画素1Lのマイクロレンズ20,30のレンズ端と一致するように配置される。

#### 【0051】

そのため、図7に示すように、高感度画素1Hから入射した光L(1)が、隣接する低感度画素1LのフォトダイオードPD2を分離する第1画素分離層33-1に入ることを防止することができる。このように、第1画素分離層33-1により、光電変換されて発生するキャリアを低減することができる。また、第1画素分離層33-1の構造により、後述する比較例に対し、高感度画素1Hから入射した光L(1)が、隣接する低感度画素1Lへ、進入することを防止できる。つまり、発生したキャリアが流れ込むことを防止でき、同時に光学的なクロストークも低減することができる点で有利である。

10

#### 【0052】

一方、第2画素分離層33-2間の開口OP2は、高感度画素1Hおよび低感度画素1Lにおいて共通(実質的に同一)である。

そのため、フォトダイオードPD1,PD2の飽和電子量(ポテンシャル)を共通化することができる点で有利である。

#### 【0053】

##### <3.製造方法>

次に、図8乃至図13を用いて、第1の実施形態に係る固体撮像装置の製造方法について説明する。ここでは、図6に示した構成を一例に挙げる。

20

#### 【0054】

図8に示すように、この例では、シリコン基板41と酸化膜36から構成されるSOI(Silicon on insulator)基板を用いる場合を一例に挙げて説明する。まず、例えば、信号走査回路側のSOI基板上に、n型半導体層を、例えば、1.0~5.0μm程度エピタキシャル成長させて、半導体基体31を形成する。

続いて、信号走査回路側の半導体基体31表面上に、フォトレジスト43-1を塗布する。そして、このフォトレジスト43-1に、露光および現像を行い、高感度画素1Hにおける第1画素分離層33-1間の開口OP1(1)が、低感度画素1Lにおける第1画素分離層33-1間の開口OP1(2)よりも大きく(OP1(1)>OP1(2))なるように、半導体基体31の表面上を露出させる。

30

続いて、上記フォトレジスト43-1をマスクとしてイオン注入法等を用い、半導体基体31中の光照射側における界面近傍(ML側領域32-1)に、例えば、B(ボロン)等のp型不純物を注入し、熱工程を行い活性化することで、第1画素分離層33-1を形成する。この工程の際、上記フォトレジスト43-1をマスクとして用いたML側領域32-1における上記イオン注入工程を複数回に分けて行い、第1画素分離層33-1を形成しても良い。その後、上記フォトレジスト43-1を除去する。

#### 【0055】

続いて、図9に示すように、信号走査回路側の半導体基体31表面上に、フォトレジスト43-2を塗布する。そして、このフォトレジスト43-2に、露光および現像を行い、第2画素分離層33-2間の開口OP2が、高感度画素1Hおよび低感度画素1Lにおいて共通(実質的に同一)となるように、半導体基体31の表面上を露出させる。

40

続いて、上記フォトレジスト43-2をマスクとしてイオン注入法等を用い、半導体基体31中の信号走査回路側における界面近傍(PD側領域32-2)であって後に形成されるフォトダイオードを囲むように、例えば、B(ボロン)等のp型不純物を注入し、熱工程を行い活性化することで、第2画素分離層33-2を形成する。この工程の際、上記と同様に、上記イオン注入工程を複数回に分けて行い、第2画素分離層33-2を形成しても良い。その後、上記フォトレジスト43-2を除去する。

#### 【0056】

続いて、図10に示すように、半導体基体31中の信号走査回路側における界面近傍(PD側領域32-2)に、第2画素分離層33-2に囲まれるように、フォトダイオード

50

P D 1 , P D 2 を、高感度画素および低感度画素にそれぞれ形成する。

【 0 0 5 7 】

続いて、信号走査回路側における半導体基体 3 1 の表面上に、層間絶縁膜 3 4 を形成する。続いて、層間絶縁膜 3 4 中に、A l (アルミニウム) や C u (銅) 等により、配線層 3 5 を形成する。

【 0 0 5 8 】

続いて、図 1 1 に示すように、層間絶縁膜 3 4 上に、例えば、接着剤又は直接接合法等を用いて、シリコン等により形成される支持基板 4 2 を張り合わせる。

【 0 0 5 9 】

続いて、図 1 2 に示すように、S O I 基板を裏返し、光照射側の S O I 基板の表面上を、例えば、C M P (Chemical mechanical polishing) 法による研磨やエッチング法などを行ない、基板 4 1 ~ 酸化膜 3 6 までを除去し、光照射側の半導体基体 3 1 の表面上を露出させる。

10

続いて、露出させた光照射側の半導体基体 3 1 上に、保護膜 3 6 A として、例えば、シリコン酸化膜やシリコン窒化膜を形成する。

【 0 0 6 0 】

続いて、図 1 3 に示すように、周知の工程を用い、平坦化層 3 7 , 色フィルタ ( G b ( 1 ) , G b ( 2 ) , G r ( 1 ) , G r ( 2 ) ) , および第 1 , 第 2 マイクロレンズ 2 0 , 3 0 を順次形成し、図 6 に示す固体撮像装置を製造する。

【 0 0 6 1 】

20

尚、本製造方法の説明では、S O I 基板を用いた説明を行ったが、これに限られない。半導体基体は半導体領域であればよいため、S O I 基板ではなくシリコンバルク基体を用いて基体の研磨やエッチングの制御を行う場合でも、この素子分離方法が可能である。

【 0 0 6 2 】

< 4 . 作用効果 >

第 1 の実施形態に係る固体撮像装置、その動作、およびその製造方法によれば、少なくとも下記 ( 1 ) 乃至 ( 2 ) の効果が得られる。

( 1 ) 高感度画素から入射した光が、隣接する低感度画素へ進入することを防止でき、同時にクロストークも低減できる。

上記のように、第 1 の実施形態に係る構成では、高感度画素 1 H における第 1 画素分離層 3 3 - 1 間の開口 O P 1 ( 1 ) は、低感度画素 1 L における第 1 画素分離層 3 3 - 1 間の開口 O P 1 ( 2 ) よりも大きい ( O P 1 ( 1 ) > O P 1 ( 2 ) ) 。さらに、高感度画素 1 H における第 1 画素分離層 3 3 - 1 間の開口 O P 1 ( 1 ) 、および低感度画素 1 L における第 1 画素分離層 3 3 - 1 間の開口 O P 1 ( 2 ) は、高感度画素 1 H および低感度画素 1 L において共通 ( 実質的に同一 ) である。また、本例では、第 1 画素分離層 3 3 - 1 の画素センター位置は、高感度画素 1 H および低感度画素 1 L のマイクロレンズ 2 0 , 3 0 のレンズ端と一致するように配置される。

30

【 0 0 6 3 】

そのため、図 7 に示したように、高感度画素 1 H から入射した光 L ( 1 ) が、隣接する低感度画素 1 L のフォトダイオード P D 2 を分離する第 1 画素分離層 3 3 - 1 に入ることを防止することができる。このように、第 1 画素分離層 3 3 - 1 により、光電変換されて発生するキャリアを低減することができる。また第 1 画素分離層 3 3 - 1 の構造により、後述する比較例に対し、高感度画素 1 H から入射した光 L ( 1 ) が、隣接する低感度画素 1 L へ、進入することを防止できる。つまり、発生したキャリアが流れ込むことを防止でき、同時に光学的なクロストークも低減することができる点で有利である。

40

【 0 0 6 4 】

( 2 ) フォトダイオードの飽和電子量 ( ポテンシャル ) を共通化することができる。

【 0 0 6 5 】

加えて、第 2 画素分離層 3 3 - 2 間の開口 O P 2 は、高感度画素 1 H および低感度画素 1 L において共通 ( 実質的に同一 ) である。

50

そのため、フォトダイオードPD1, PD2の飽和電子量(ポテンシャル)を共通化することができる点で有利である。

【0066】

[第2の実施形態(第1画素分離層が複数段有する一例)]

次に、第2の実施形態に係る固体撮像装置およびその製造方法について、図14を用いて説明する。この第2の実施形態は、第1画素分離層33-1が複数段有する一例に関するものである。この説明において、上記第1の実施形態と重複する部分の詳細な説明を省略する。

【0067】

<構成例>

図14に示すように、本例に係る固体撮像装置は、ML側領域32-1に配置される複数段の第1画素分離層として、2段の第1画素分離層33-1A, 33-1Bが配置される点で、上記第1の実施形態と相違する。

高感度画素1Hにおける第1画素分離層33-1A間の開口OP1(1)Aは、低感度画素1Lにおける第1画素分離層33-1A間の開口OP1(2)よりも大きい(OP1(1)A > OP1(2)A)。さらに、高感度画素1Hにおける第1画素分離層33-1A間の開口OP1(1)A、および低感度画素1Lにおける第1画素分離層33-1A間の開口OP1(2)Aは、高感度画素1Hおよび低感度画素1Lにおいて共通(実質的に同一)である。

高感度画素1Hにおける第1画素分離層33-1B間の開口OP1(1)Bは、低感度画素1Lにおける第1画素分離層33-1B間の開口OP1(2)よりも大きい(OP1(1)B > OP1(2)B)。さらに、高感度画素1Hにおける第1画素分離層33-1B間の開口OP1(1)B、および低感度画素1Lにおける第1画素分離層33-1B間の開口OP1(2)Bは、高感度画素1Hおよび低感度画素1Lにおいて共通(実質的に同一)である。

そのため、クロストークの低減に加え、素子分離強度の劣化を防ぐことが出来る。

【0068】

<製造方法>

本例に係る製造方法に関しては、上記と同様の製造工程を用いて、第1画素分離層の形成工程を、複数回(本例では、2回)行う点で、上記第1の実施形態と相違する。その他の製造工程は、上記第1の実施形態と実質的に同様であるため、その詳細な説明を省略する。

【0069】

<作用効果>

上記のように、第2の実施形態に係る固体撮像装置、その動作、およびその製造方法によれば、少なくとも上記(1)乃至(2)と同様の効果が得られる。

さらに、本例に係る固体撮像装置は、ML側領域32-1に配置される複数段の第1画素分離層として、2段の第1画素分離層33-1A, 33-1Bが配置される。

そのため、クロストークの低減に加え、素子分離強度の劣化を防ぐことが出来る。

【0070】

[比較例]

次に、図15を用い、上記第1, 第2の実施形態に係る固体撮像装置と比較するために、比較例に係る固体撮像装置について説明する。

図示するように、比較例に係る固体撮像装置では、画素分離層133が、高感度画素と低感度画素との間で、同様の構成である。

【0071】

ここで、感度の異なる高感度画素と低感度画素を有する裏面照射型の固体撮像装置である場合、高感度画素上に面積の大きな色フィルタGb(1)およびマイクロレンズ120が配置されている。さらに、画素分離層133の開口は、高感度画素、低感度画素にかかわらず同一に配置されている。また、比較例では、画素分離層133の画素センター位置

10

20

30

40

50

は、高感度画素 1 H および低感度画素 1 L のマイクロレンズ 1 2 0 , 1 3 0 のレンズ端と一致していない。

そのため、高感度画素から入射した光 L ( 1 ) が、隣接する低感度画素の画素分離層 1 3 3 に侵入する。この画素分離層 1 3 3 で光電変換されたキャリアは、画素分離層 1 3 3 自体に電界勾配が少ない。その結果、隣接する低感度画素へキャリアが流れてしまい、キャリアのクロストークとなってしまう。このように、比較例に係る画素分離層 1 3 3 の開口は、高感度画素 1 H、低感度画素 1 L にかかわらず、同一に配置されている。そのため、高感度画素、低感度画素の開口位置が一致しておらず、高感度画素から入射した光 L ( 1 ) が進入しやすい構造となっている。

【 0 0 7 2 】

上記のように、比較例に係る構成およびその製造方法では、高感度画素から入射した光 L ( 1 ) が、隣接する低感度画素のフォトダイオード P D 2 を分離する画素分離層 1 3 3 及び低感度画素へ進入することを防止できず、キャリアのクロストークと同時に光学的なクロストークも発生する点で、不利である。

【 0 0 7 3 】

< 本例が含む態様 >

また、上記実施形態は、下記の態様を含み得る。

【 0 0 7 4 】

[ 1 ] 入射光を光電変換して蓄積する第 1 フォトダイオードと、前記第 1 フォトダイオードに接続され信号電荷を読み出す第 1 読出しトランジスタと、前記第 1 フォトダイオードよりも光感度が小さく入射光を光電変換して蓄積する第 2 フォトダイオードと、前記第 2 フォトダイオードに接続され、信号電荷を読み出す第 2 読出しトランジスタと、前記第 1 読出しトランジスタおよび前記第 2 読出しトランジスタに接続され信号電荷を蓄積するフローティングディフュージョンと、前記フローティングディフュージョンの電位をリセットするリセットトランジスタと、前記フローティングディフュージョンの電位を増幅する増幅トランジスタとを有する単位画素のアレイ領域を具備し、前記第 1 フォトダイオードの信号電荷と前記第 2 フォトダイオードの信号電荷とを前記フローティングディフュージョンで加算した電位を増幅して信号を出力する第 1 動作モードと、前記第 2 フォトダイオードの信号電荷が前記第 2 読出しトランジスタにより読み出された前記フローティングディフュージョンの電位を増幅して信号を出力する第 2 の動作モードとを備える固体撮像装置。

【 0 0 7 5 】

[ 2 ] 入射光を光電変換して蓄積する第 1 フォトダイオードと、前記第 1 フォトダイオードに接続され信号電荷を読み出す第 1 読出しトランジスタと、前記第 1 フォトダイオードよりも光感度が小さく、入射光を光電変換して蓄積するための第 2 フォトダイオードと、前記第 2 フォトダイオードに接続され信号電荷を読み出す第 2 読出しトランジスタと、前記第 1 読出しトランジスタおよび前記第 2 読出しトランジスタに接続され信号電荷を蓄積するフローティングディフュージョンと、前記フローティングディフュージョンの電位をリセットするリセットトランジスタと、前記フローティングディフュージョンの電位を増幅する増幅トランジスタとを有する単位画素のアレイ領域を具備し、前記第 1 フォトダイオードの信号電荷と前記第 2 フォトダイオードの信号電荷とを、別々に読み出して信号を出力する第 1 動作モードと、前記第 2 フォトダイオードの信号電荷を読み出して信号を出力する第 2 動作モードとを備える固体撮像装置。

【 0 0 7 6 】

[ 3 ] [ 1 ] または [ 2 ] の固体撮像装置において、第 1 フォトダイオードの光感度を SENS1、飽和レベルを VSAT1、前記第 2 のフォトダイオードの光感度を SENS2、飽和レベルを VSAT2 で表すと、

$$VSAT1/SENS1 < VSAT2/SENS2$$

の関係式を満たす。

【 0 0 7 7 】

10

20

30

40

50

[ 4 ] [ 1 ]乃至[ 3 ]のいずれかの固体撮像装置において、前記第1フォトダイオードに光を集光する第1マイクロレンズと、前記第2フォトダイオードに光を集光する第2マイクロレンズとをさらに具備し、前記第1マイクロレンズの面積は前記第2マイクロレンズの面積よりも大きく、前記第1マイクロレンズと前記第2マイクロレンズは互いに市松模様状に配置されている。

【 0 0 7 8 】

[ 5 ] [ 1 ]乃至[ 3 ]のいずれかの固体撮像装置において、前記第1フォトダイオードに光を集光するための第1マイクロレンズと、前記第2フォトダイオードに光を集光するための第2マイクロレンズとをさらに具備し、前記第1マイクロレンズは複数のマイクロレンズから構成され、当該複数のマイクロレンズの面積の和は前記第2マイクロレンズの面積よりも大きい。

10

【 0 0 7 9 】

以上、第1, 第2の実施形態および比較例を用いて本発明の説明を行ったが、この発明は上記各実施形態および比較例に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、上記各実施形態および比較例には種々の段階の発明が含まれており、開示される複数の構成要件の適宜な組み合わせにより種々の発明が抽出され得る。例えば各実施形態および比較例に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題の少なくとも1つが解決でき、発明の効果の欄で述べられている効果の少なくとも1つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

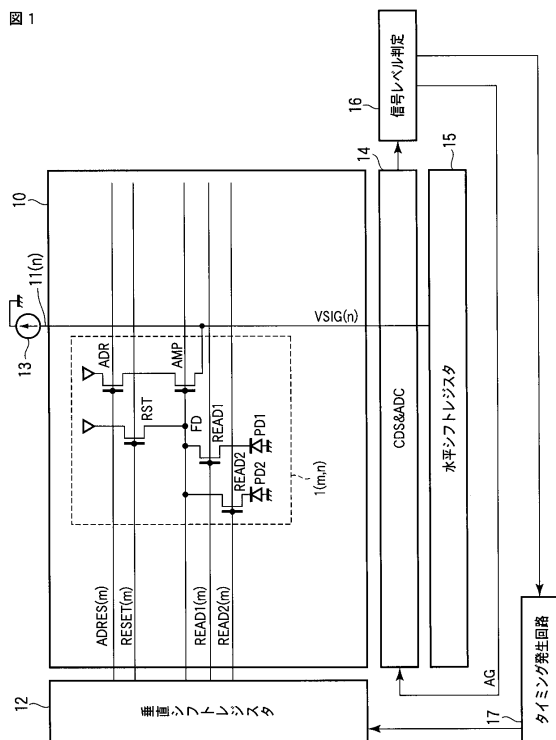
20

【 符号の説明 】

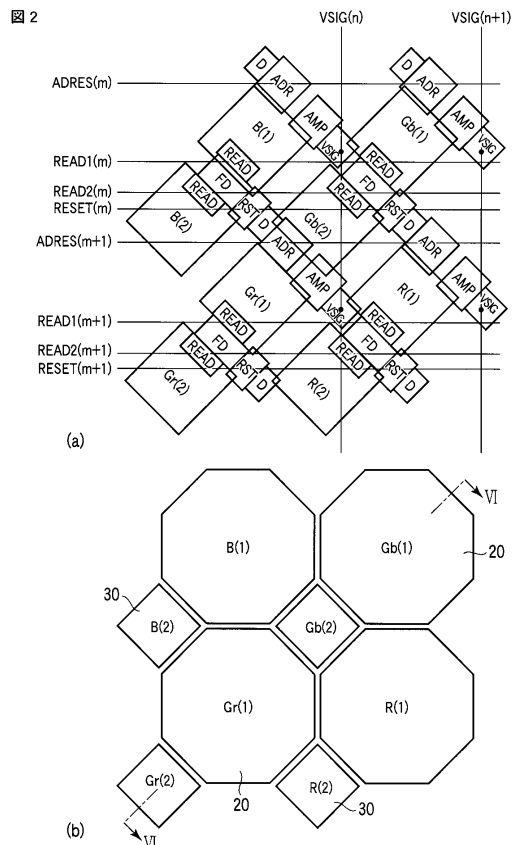
【 0 0 8 0 】

1 0 ... 撮像領域、 1 ... 単位画素、 1 H ... 高感度画素、 1 L ... 低感度画素、 3 3 - 1 ... 第1画素分離層、 3 3 - 2 ... 第2画素分離層。

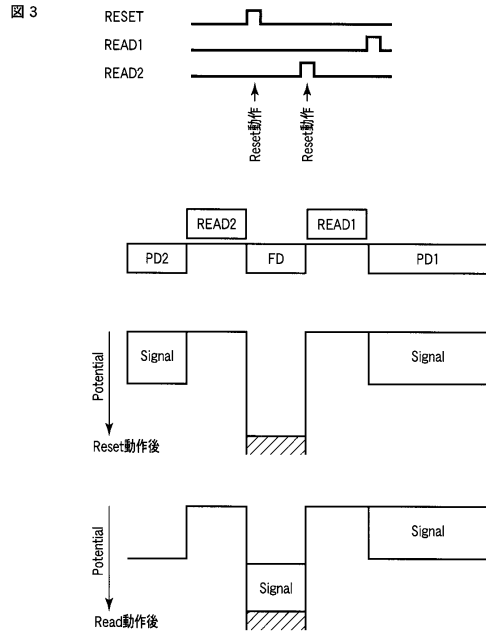
【 図 1 】



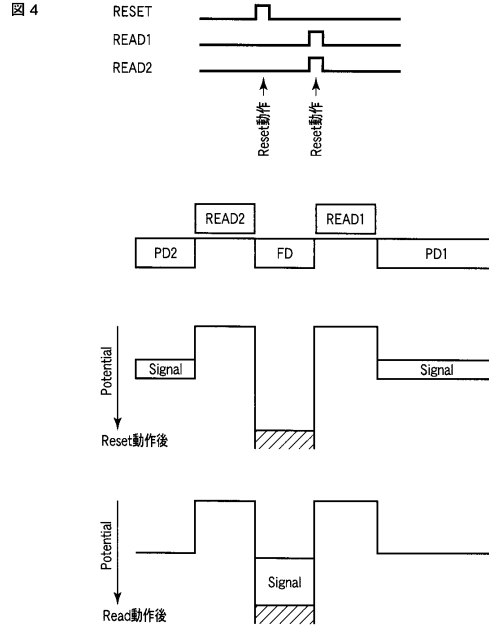
【 図 2 】



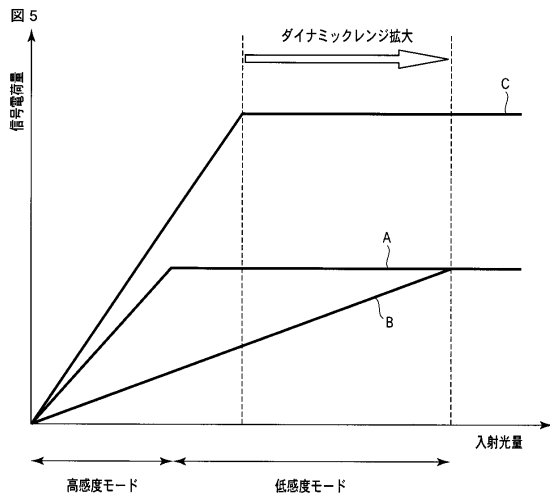
【 図 3 】



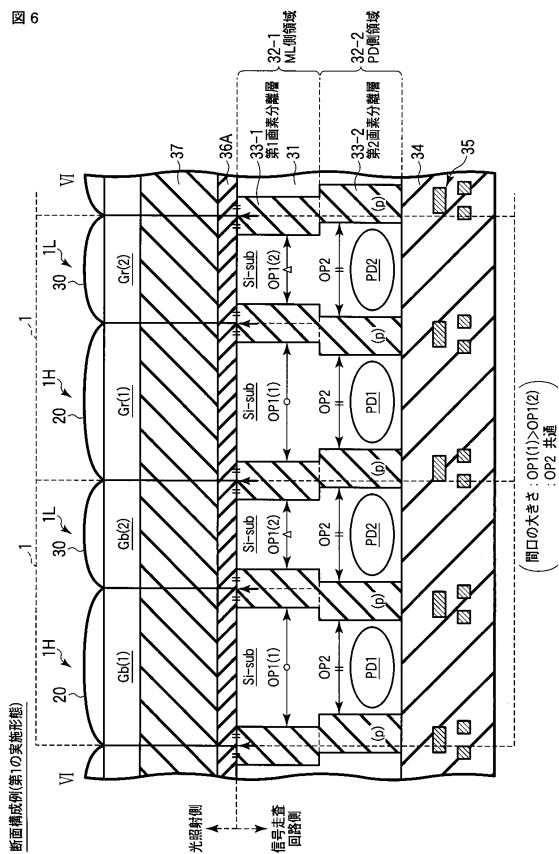
【 図 4 】



【 図 5 】

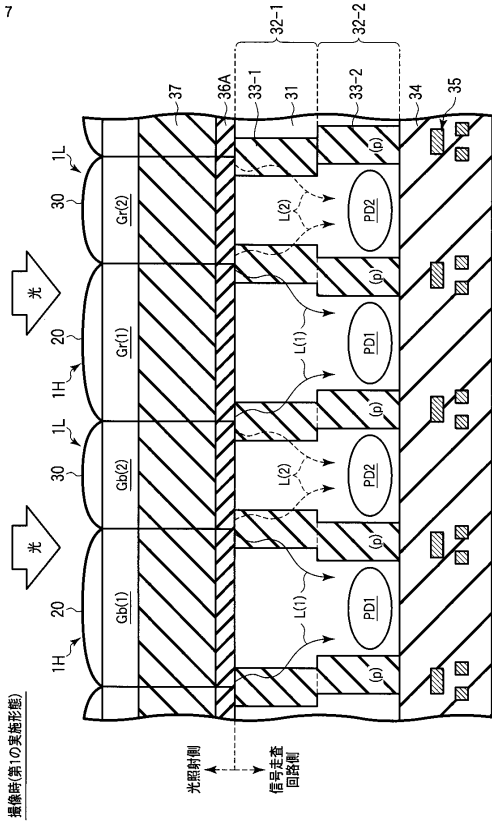


【 図 6 】



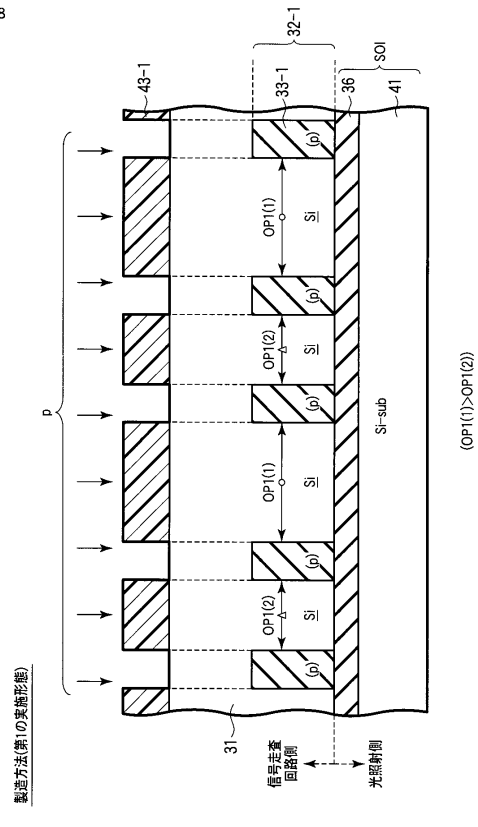
【 図 7 】

図 7



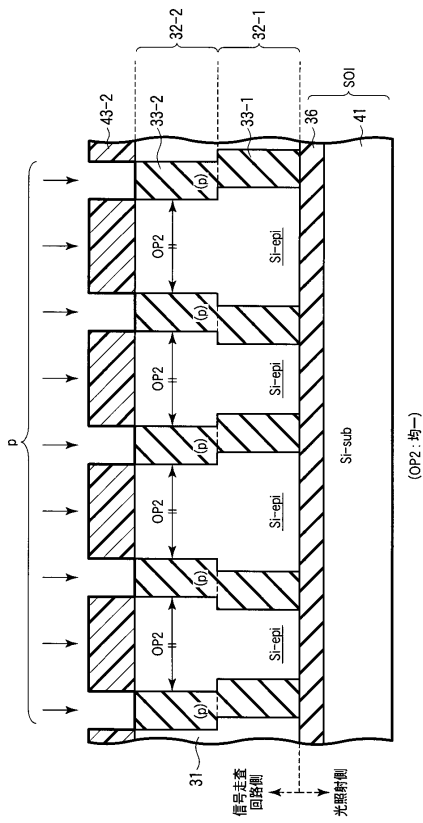
【 図 8 】

図 8



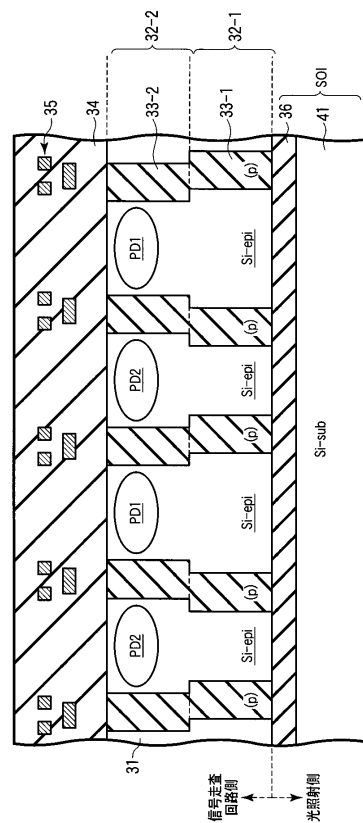
【 図 9 】

図 9



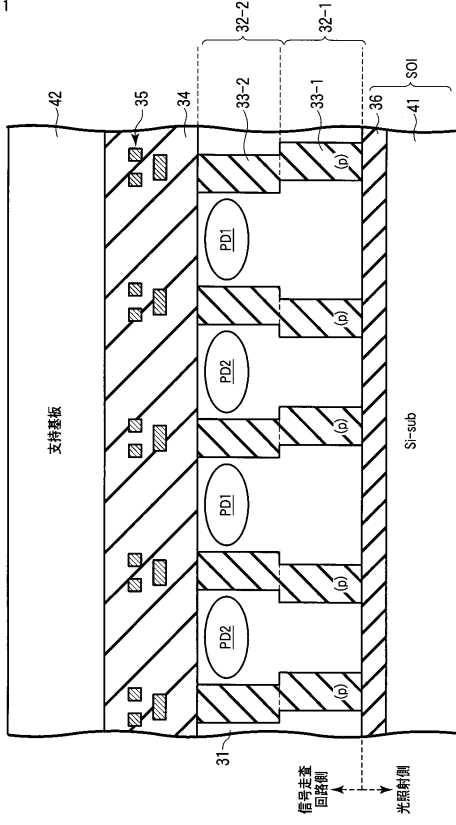
【 図 10 】

図 10



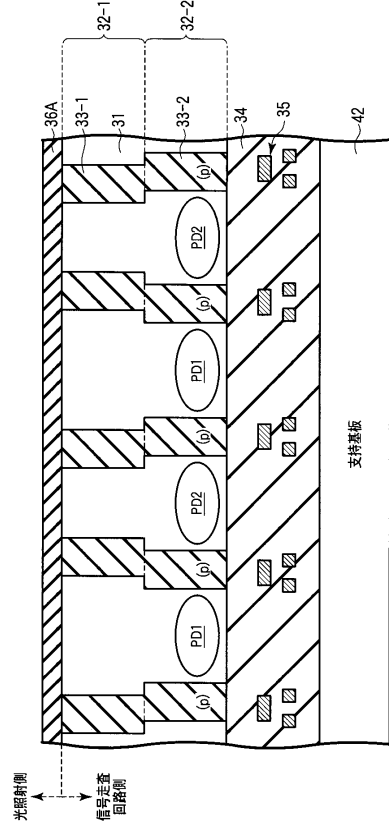
【図 1 1】

図 11



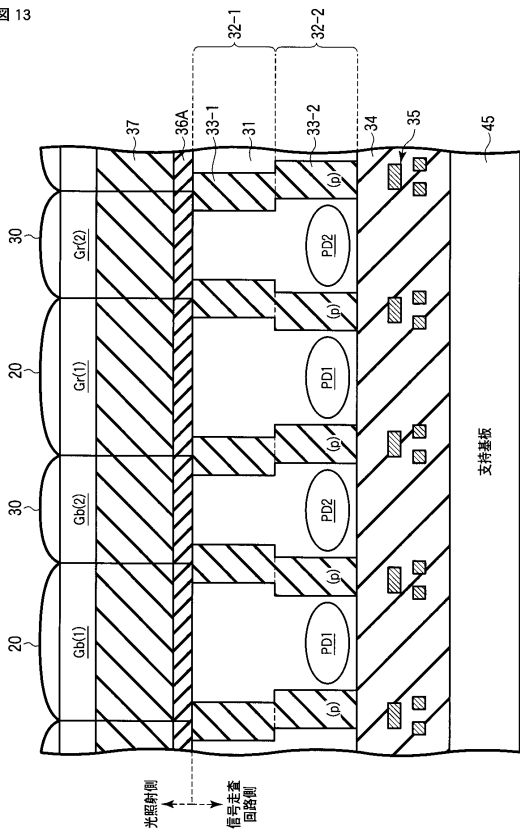
【図 1 2】

図 12



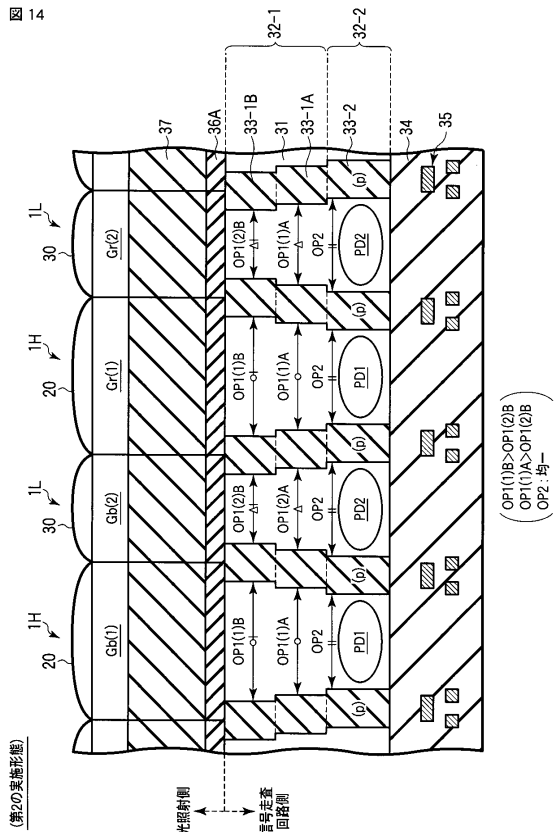
【図 1 3】

図 13



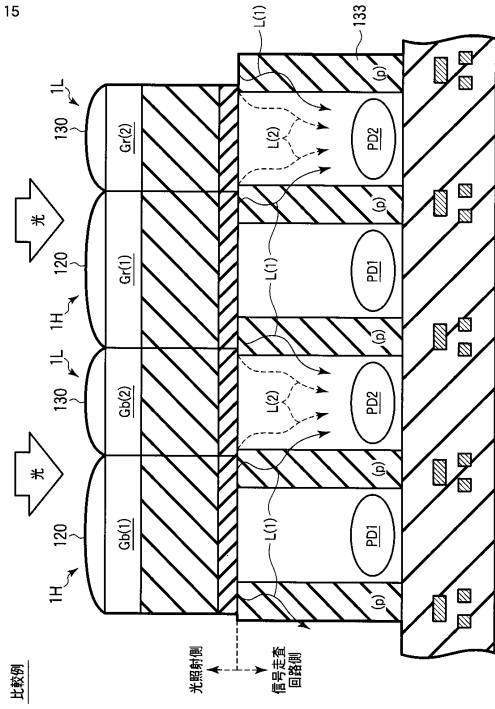
【図 1 4】

図 14



【 15 】

图 15



## フロントページの続き

- (74)代理人 100119976  
弁理士 幸長 保次郎
- (74)代理人 100153051  
弁理士 河野 直樹
- (74)代理人 100140176  
弁理士 砂川 克
- (74)代理人 100101812  
弁理士 勝村 紘
- (74)代理人 100070437  
弁理士 河井 将次
- (74)代理人 100124394  
弁理士 佐藤 立志
- (74)代理人 100112807  
弁理士 岡田 貴志
- (74)代理人 100111073  
弁理士 堀内 美保子
- (74)代理人 100134290  
弁理士 竹内 将訓
- (74)代理人 100127144  
弁理士 市原 卓三
- (74)代理人 100141933  
弁理士 山下 元
- (72)発明者 成瀬 純次  
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 田中 長孝  
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 多賀 和宏

- (56)参考文献 特開2006-093587(JP,A)  
特開2005-116568(JP,A)  
特開2007-335905(JP,A)  
特開2008-294218(JP,A)  
特開2009-111118(JP,A)  
特開2005-347709(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/146  
H04N 5/369、5/374