(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 11/406

(45) 공고일자 1999년04월15일
(11) 등록번호 특0179682
(24) 등록일자 1998년11월28일

(21) 출원번호 특1994-022101
(22) 출원일자 1994년09월02일
(65) 공개번호 특1995-010085
(43) 공개일자 1995년04월26일
(30) 우선권주장 93-218893 1993년09월02일 일본(JP)

(73) 특허권자 가부시키가이샤 도시바 사토 후미오
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지
(72) 발명자 시라타케 신이치로
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
다카시마 다이사부로
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
(74) 대리인 김윤배, 이범일

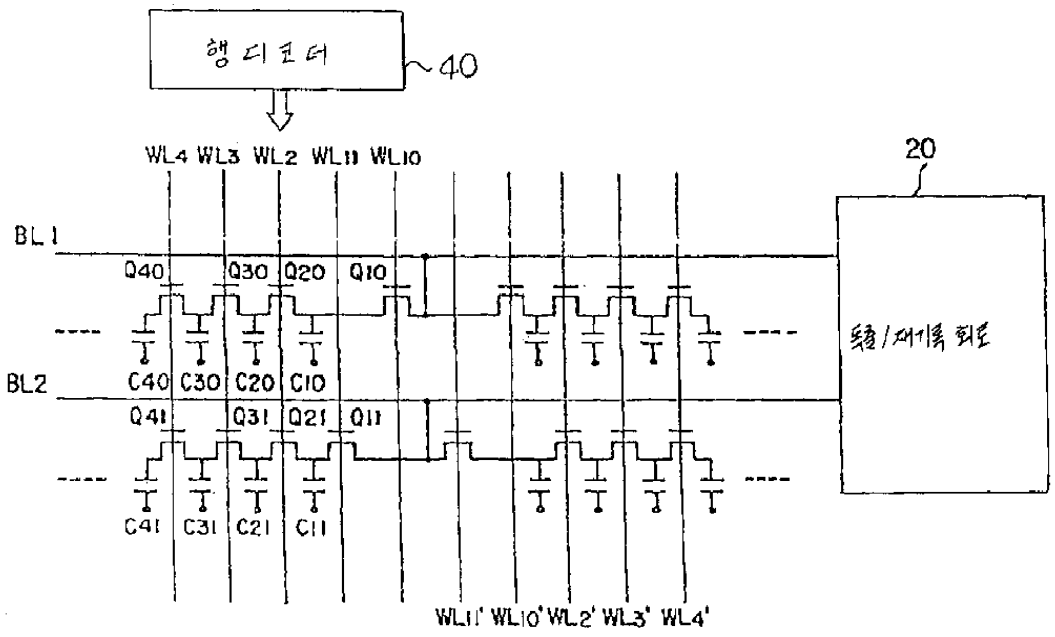
*심사관 : 김종찬*

# (54) 다이나믹 랜덤 억세스 메모리

## 요약

본 발명의 NAND형 DRAM은, 각각 MOS트랜지스터와 캐패시터를 갖춘 복수개의 DRAM을 직렬 접속한 NAND셀과, 이 NAND셀의 일단에 접속된 비트선을 포함하고 있다. 인접한 NAND셀들은, NAND형 DRAM의 칩 크기와 어레이 노이즈 및 소프트에러를 저감할 수 있도록, 쌍을 이루는 비트선에 접속된 메모리셀 유니트의 제1트랜지스터의 게이트에 각각 접속된 제1워드선쌍과, 쌍을 이루는 비트선에 접속된 메모리셀 유니트의 트랜지스터중 대응하는 것의 게이트에 각각 공통으로 접속된 제2워드선에 접속되어 있다.

## 대표도




## 명세서

[발명의 명칭]

다이나믹 랜덤 억세스 메모리

[도면의 간단한 설명]

제1도는 본 발명에 따른 제1실시예의 NAND형 DRAM을 나타낸 회로구성도.

제2도(a)는 본 발명에 따른제1실시예의 평면도.

제2도(b)는 본 발명에 따른 제1실시예의 단면도.

제3도(a)및 제3도(b)는 제1실시예의 동작파형도.

제4도는 본 발명에 따른 제2실시예의 NAND형 DRAM을 나타낸 회로구성도.

제5도(a)는 본 발명에 따른 제2실시예의 평면도.

제5도(b)는 본 발명에 따른 제2실시예의 단면도.

제6도는 제2실시예의 동작파형도.

제7도는 본 발명에 따른 제3실시예의 NAND형 DRAM을 나타낸 회로구성도.

제8도(a)는 본 발명에 따른 제3실시예의 평면도.

제8도(b)는 본 발명에 따른 제3실시예의 단면도.

제9도는 제3실시예의 동작파형도,

제10도는 본 발명에 따른 제4실시예의 NAND형 DRAM을 나타낸 회로구성도.

제11도는 제4실시예의 동작파형도.

제12도는 종래의 NAND형 DRAM을 나타낸 회로구성도.

제13도(a)는 종래의 DRAM의 평면도.

제13도(b)는 종래의 DRAM의 단면도.

제14도는 종래의 NAND형 DRAM의 문제점을 설명하기 위한 회로구성도.

제15도는 본 발명에 따른 실시예에서 사용되는 행디코더회로의 회로구성도.

제16도는 제15도에서의 행디코더회로를 설명하기 위한 회로구성도.

제17도는 제15도에서의 행디코더회로를 설명하기 위한 플립플롭의 회로구성도.

제18도는 제2실시예의 다른 동작파형도이다.

* 도면의 주요부분에 대한 부호의 설명

20 : 독출/재기록회로　　30 : Si기판

31 : 소오스/드레인확산층　　32 : 게이트전극

33 : 축적노드전극　　34 : 플레이트전극

35 : 비트선　　40 : 행디코더

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은, 복수의 메모리셀을 직렬접속한 메모리셀군을 갖는 NAND형 다이나믹 반도체 랜덤 억세스 메모리(DRAM)에 관한 것으로, 특히 폴디드(folded)비트선방식의 NAND형 DRAM에 관한 것이다.

[종래의 기술 및 그 문제점]

다이나믹 랜덤 억세스 메모리(DRAM)의 고밀도화는 공정기술, 소자기술에 의한 미세화로 실현되어 왔지만, 최근에 이들 기술에 의한 미세화가 한계에 가까워지고 있다. 그래서, 최근에는 1트랜지스터/1캐패시터의 DRAM셀을 복수개직렬접속한 메모리셀군을 기본 구성으로 하는 반도체 기억장치(NAND형 DRAM)가 제안되어 있다(ISSCC Digest of technical paper pp. 46~47(1993)).

NAND형 DRAM에서는, 비트선에 대한 접촉(contact)의 수가 종래의 DRAM에 비해 대폭적으로 감소하므로, 메모리셀 어레이가 칩내에서 점유하는 면적을 고밀도화가 가능하도록 축소할 수 있다. 제12도는 NAND형 DRAM의 회로구성도를 나타내고, 제13도(a)와 제13도(b)는 각각 NAND형 DRAM의 평면도와 단면도를 나타낸다.

워드선(WL)으로 되는 게이트전극(12)이 게이트절연막(17)을 매개로 Si기판(10)상에 형성되고, 소오소/드레인 확산층(11)이 게이트전극(12)의 양측에서 기판내에 형성됨으로써, MOS트랜지스터가 형성된다. 축적노드전극(13)은 트랜지스터의 소오스/드레인 확산층(11)의 한쪽에 접속되어 있다.

플레이트전극(14)은 캐패시터(예컨대 C1, C2 등)을 형성하기 위해 캐패시터 절연막(18)을 매개로 전극(13)위에 형성되어 있다. 1비트 메모리셀은 전극(13, 14)을 포함하는 캐패시터와 트랜지스터를 갖추고 있다. 여기서는, 소오스/드레인 확산층(11)의 한쪽이 인접한 트랜지스터의 소오소/드레인층의 한쪽과 공용된다.

이 예에서, 비트선(BL : 15)은 비트선접촉(16)에서 인접한 4비트 메모리셀군의 각 단에서 소오스/드레인 확산층(11)의 한쪽에 접속되어 있다. 따라서, 복수의 메모리셀을 직렬로 접속한 단위메모리셀군을 갖는 NAND형 DRAM이 설치된다. 이 때문에, 메모리셀을 작게 만들 수 있다.

제12도에 있어서는, 비트선에 접속된 메모리셀군에 정보를 독출 및 재기입하기 위해 비트선(BL,/BL)에 독

출/재기록회로(19)가 접속되어 있다.

이 NAND형 DRAM에서는, 워드선(WL)과 비트선(BL)의 교점에 메모리셀이 존재한다. 메모리셀 데이터는 선택된 워드선에 교차하는 비트선 전부에 독출된다. 이때문에, 독출/재기록회로(19)의 반대측의 메모리셀 어레이에 접속된 비트선을 레퍼런스 비트선(/BL)으로서 사용하고, 독출/재기입에 사용된 비트선 BL과 / BL 사이의 전위를 증폭하는 개방 비트선방식이 제공된다.

개방 비트선방식은, 종래부터 다른 DRAM구조에 이용되고 있는 폴디드 비트선방식에 비해, 메모리셀 어레이내의 소프트에러나 노이즈에 대단히 약하다는 결점을 갖는다.

제14도는 NAND형 DRAM내에서 인접한 메모리셀과 비트선 사이의 용량결합을 설명하기 위한 도면이다.

제14도에 나타낸 바와 같이, 각 비트선 BL0, BL1, BL2는 데이터가 메모리셀로부터 독출될 때에 인접한 비트선 사이의 결합용량(CBB)에 의해 커플링 노이즈를 받는다. 더욱이, 메모리셀 데이터로서 독출된 신호가 교차하는 비트선과 워드선 사이의 용량(CWB)에 의해 워드선(WL)의 전위를 변동시킨다. 이 전위변동이 다시 피드백하여 비트선(BL)에 다른 노이즈로서 가해진다. 마찬가지로, 비트선(BL)은 기판이나 플레이트 등의 전극을 매개로 마찬가지의 노이즈를 받는다.

개방 비트선방식에서는, 레퍼런스 비트선에는 데이터가 독출되지 않으므로, 레퍼런스 비트선은 상기의 노이즈를 받지 않는다. 따라서, 비트선에 생기는 모든 노이즈가 비트선 노이즈로 되어 데이터의 독출을 정확하게 행할 수 없다. 마찬가지로, 개방 비트선방식은 BL접촉에 영향을 주는 알파(α)선에 의한 소프트에러도 비트선쌍의 한쪽에만 발생한다는 결점을 갖는다.

이와 같이, 종래의 NAND형 DRAM에 있어서는, 선택된 워드선에 접속되는 독출/재기록회로(19)의 한쪽의 셀 어레이의 모든 비트선에 데이터가 독출되는 개방 비트선구성이 사용된다.

따라서, DRAM의 칩 크기는 축소할 수 있지만, 메모리셀 어레이에서 익숙한 소프트에러나 노이즈로 인하여 고신뢰성을 갖는 NAND형 DRAM을 실현할 수 없다는 문제가 있었다.

[발명의 목적]

본 발명은 사기한 점을 감안하여 발명된 것으로, 상술한 문제점 및 종래의 NAND형 DRAM의 결점을 극복할 수 있는 NAND형 DRAM을 제공하고, 특히 칩 크기를 축소하면서 어레이 노이즈나 소프트에러를 줄일 수 있는 직렬 접속한 메모리셀을 가지는 NAND형 DRAM을 제공함에 그 목적이 있다.

[발명의 구성]

상기한 목적을 달성하기 위해 본 발명의 제1실시태양에 따른 다이나믹 랜덤 억세스 메모리는, 각각이 절연게이트형 MOS트랜지스터와 이 MOS트랜지스터에 접속된 캐패시터로 구성된 복수개의 메모리셀을 전기적으로 직렬로 접속하여 이루어진 제1 및 제2메모리셀군과, 이들 제1 및 제2메모리셀군의 일단에 각각 접속된 제1 및 제2비트선, 상기 제1 및 제2메모리셀군의 MOS트랜지스터중 대응하는 것들의 게이트에 각각 공통으로 접속된 복수의 워드선 및, 상기 제2 및 제1메모리셀군의 메모리셀로부터 데이터를 각각 독출하는 동안에, 전압 레퍼런스를 각각 공급하는 상기 제1 및 제2비트선으로 상기 제1 및 제2메모리셀군의 메모리셀로부터의 데이터를 상기 제1 및 제2메모리셀군으로부터 독출하기 위한 수단을 구비하여 이루어진 것을 특징으로 한다.

또, 본 발명의 제2실시태양에 따른 다이나믹 랜덤 억세스 메모리는, 각각이 직렬로 접속된 복수개의 절연게이트형 트랜지스터와, 이 트랜지스터중의 하나에 각각 접속되어 데이터를 기억하기 위한 복수개의 캐패시터부로 구성된 복수의 메모리셀 유니트를 갖춘 다이나믹 랜덤 억세스 메모리에 있어서, 각각이 상기 메모리셀 유니트중 하나의 직렬 접속된 트랜지스터의 일단에서 그들 트랜지스터의 첫번째 것에 접속되고, 그중 다른 하나와 쌍을 이루는 복수의 비트선과, 상기 쌍을 이루는 비트선에 접속된 상기 메모리셀 유니트의 첫번째 트랜지스터의 게이트에 각각 접속된 제1워드선쌍 및, 상기 쌍을 이루는 비트선에 접속된 상기 메모리셀 유니트의 트랜지스터중 대응하는 것들의 게이트에 각각 접속된 제2워드선을 구비하여 이루어진 것을 특징으로 한다.

더욱이, 본 발명의 제3실시태양에 따른 다이나믹 랜덤 억세스 메모리는, 각각이 직렬로 접속된 복수개의 절연게이트형 트랜지스터와, 이 트랜지스터중의 하나에 각각 접속되어 데이터를 기억하기 위한 복수개의 캐패시터로 구성된 제1, 제2, 제3 및 제4메모리셀 유니트를 갖춘 다이나믹 랜덤 억세스 메모리에 있어서, 상기 제1 및 제2메모리셀 유니트의 직렬 접속된 트랜지스터의 일단의 첫번째 트랜지스터에 접속된 제1비트선 및, 상기 제3 및 제4메모리셀 유니트의 직렬 접속된 트랜지스터의 일단의 첫번째 트랜지스터에 접속된 제2비트선과; 상기 제1 및 제3메모리셀 유니트의 트랜지스터중 대응하는 것들의 각각의 게이트에 각각 접속되어 지정된 캐패시터를 선택하기 위한 제1워드선과, 상기 제2 및 제4메모리셀 유니트의 트랜지스터중 대응하는 것들의 각각의 게이트에 각각 접속되어 지정된 캐패시터를 선택하기 위한 제2워드선; 상기 제1 및 제2메모리셀 유니트의 첫번째 트랜지스터에 각각 접속된 제1 및 제2단자를 갖춘 제1트랜스퍼 게이트 트랜지스터 및; 상기 제3 및 제4메모리셀 유니트의 첫번째 트랜지스터에 각각 접속된 제1 및 제2단자를 갖춘 제2트랜스퍼 게이트 트랜지스터를 구비하여 이루어지고, 상기 제1트랜스퍼 게이트 트랜지스터의 제1단자가 상기 제1비트선에 접속되고, 상기 제2트랜스퍼 게이트 트랜지스터의 제2단자가 상기 제2비트선에 접속되어 있는 것을 특징으로 한다.

[실시예]

이하, 예시도면을 참조하여 본 발명에 따른 실시예를 상세히 설명한다.

제1도는 본 발명에 따른 제1실시예의 NAND형 DRAM의 회로구성도를 나타내고, 제2도(a)는 제1실시예의 DRAM의 레이아웃의 평면도를 나타내며, 제2도(b)는 제2도(a)의 화살표 A-A'의 방향으로 절단한 DRAM의 단면도를 나타낸다.

제1도, 제2도(a) 및 제2도(b)에 나타낸 바와 같이, NAND셀 유니트(메모리셀군)는 직렬로 접속된 복수의

트랜스퍼 게이트와, 각각의 트랜스퍼 게이트에 접속된 메모리셀 캐패시터를 갖는다. NAND셀 유니트의 일단은 비트선(BL)에 접속된다. 예컨대, 제1NAND셀은 MOS트랜지스터(Q10, Q20, Q30, Q40)와 캐패시터(C10, C20, C30, C40)로 구성되고, 비트선(BL1)에 접속된다. 제2NAND셀은 트랜지스터(Q11, Q21, Q31, Q41)와 캐패시터(C11, C21, C31, C41)로 구성되고, 비트선(BL2)에 접속된다. 제1실시예를 설명할 목적으로, 제1 및 제2NAND셀을 NAND셀쌍이라 한다.

여기에서는, 각 NAND셀을 4개의 트랜지스터와 접속된 4개의 캐패시터로 구성한 경우에 대해 설명하지만, 본 발명은 각 NAND셀내에 더 많거나 작은 수의 트랜지스터와 접속된 더 많거나 작은 수의 캐패시터로 효과적으로 실현할 수 있다. 또, 각 NAND셀이 같은 수의 트랜지스터와 접속된 같은 수의 캐패시터를 포함할 필요는 없다.

상기 2개의 NAND셀은 하나의 비트선(BL)에 각각 접속된다. 그리고, 비트선(BL1, BL2)은 데이터를 일시적으로 기억하기 위한 수단과 감지증폭기를 포함하는 독출/재기록회로(20)에 접속된다. 이들 2개의 비트선은 비트선쌍으로서 폴디드 비트선구성을 갖는다. 워드선(WL2, WL3, WL4)은 비트선쌍에 접속되는 제1 및 제2NAND셀의 대응하는 트랜지스터와 공동으로 공통 게이트전극을 구성한다.

제1실시예에서는, 비트선접촉에 가장 가까운 메모리셀 유니트의 일단에 위치한 MOS트랜스터의 게이트전극만이 다른 워드선, 즉 NAND셀쌍의 다른 셀의 어떤 트랜지스터에도 접속되지 않는 워드선에 접속된다. 즉, 워드선(WL10)은 트랜지스터(Q10)에 접속되지만, 제2NAND셀의 어떤 트랜지스터에도 접속되지 않는다. 워드선(WL11)은 제2NAND셀의 트랜지스터(Q11)에 접속되지만, 제1NAND셀의 어떤 트랜지스터에도 접속되지는 않는다.

NAND셀 유니트의 구조는, 제2도(a)및 제2도(b)에 더 자세히 도시되어 있다. 제2도(b)에 나타낸 바와 같이, 워드선으로 되는 게이트전극(32)은 게이트절연막(37)을 매개로 Si기판(30)상에 형성되어 있다.

소오스/드레인확산층(31)은 게이트전극(32)의 양측에서 기판(30)내에 형성되어 있고, 축적노드전극(33)은 소오스/드레인확산층(31)의 한쪽에 접속되어 있다.

플레이트전극(34)은 캐패시터를 형성하기 위해 캐패시터절연막(38)을 매개로 전극(33)위에 형성되어 있다.

소오스/드레인확산층(31)의 한쪽이 인접한 트랜지스터의 소오스/드레인층(31)의 한쪽과 공용된다.

비트선(BL; 35)은 비트선접촉에서 인접한 메모리셀군의 일단의 소오스/드레인확산층(31)에 접속된다. 행디코더(40)는 워드선중 하나를 선택하기 위한 신호를 발생한다.

이러한 구성에 따르면, 각 NAND셀내의 메모리셀 데이터를 비트선접촉에 가장 가까운 메모리셀로부터 워드선(WL2, WL3, WL4)을 번갈아 선택함으로써 독출한다. 독출시에, 워드선(WL10, WL11)중의 어느 것인가 1개만을 선택하고, 그 후 다른 워드선을 선택함으로써, 비트선(BL1, BL2)중 하나를 선택적으로 독출할 수 있다.

메모리셀 데이터가 비트선중의 하나로 독출될 때, 다른 비트선은 회로(20)를 위한 레퍼런스 비트선으로 해도 좋다.

따라서, 제1실시예에서는 폴디드 비트선방식이 적용된다. 제1실시예의 동작을 제3도(a)와 제3도(b)를 참조하면서 상세히 설명한다.

예컨대, 제3도(a)에 나타낸 타이밍에서 워드선(WL)을 선택한 경우, WL10을 H, 다른 워드선을 L로 설정함으로써, 캐패시터(C10)의 데이터가 비트선 BL1 으로 독출된다. 여기서는, BL1과 레퍼런스 BL2사이의 전위차를 독출/재기록회로(20)의 감지증폭기로 증폭함으로써, 폴디드 비트선구성을 적용할 수 있다.

다음에, BL1과 BL2를 이퀄라이즈한 후, WL11을 H, 다른 워드선을 L로 설정함으로써, C11의 셀데이터가 BL2로 독출된다.

더욱이, BL1과 BL2를 이퀄라이즈한 후, WL2를 H, WL10을 H, 다른 워드선을 L로 설정함으로써, 캐패시터(C20)의 데이터가 BL1로 독출된다.

마찬가지로, 다음은 캐패시터(C21)의 데이터가 BL2로 독출된다.

제3도(a)의 타이밍에 따라 워드선의 선택을 행함으로써, 나머지 메모리셀의 데이터를 마찬가지로 독출할 수 있다.

제3도(a)에 나타낸 바와 같이, 메모리셀 데이터의 재기입 또는 재저장은 상술한 독출순서와 반대의 순서로 수행된다. 즉, 비트선접촉(16)으로부터 가장 먼 메모리셀로부터 가장 가까운 메모리셀로 순차적으로 재저장이 수행된다. 이 실시예에서는, 2개의 NAND셀의 데이터가 C40, C41, C30, C31, C20, C21, C10 및 C11의 순서로 재저장된다.

제3도 (b)는 WL10, WL11의 H와 L사이의 천이의 횟수를 줄인 예를 나타내고 있다.

캐패시터(C10)의 독출후, WL11을 L, 다른 워드선을 L로 설정함으로써 C11의 데이터가 BL2로 독출된다. C11의 데이터를 BL2에 독출한 후, 비트선(BL1, BL2)을 이퀄라이즈한다. 이때 WL11을 H로 유지하면서 WL2를 H로 올림으로써, C21의 데이터가 BL2로 독출된다.

이와 같이 BL1, BL2, BL1, BL2, BL1, · · ·과 같은 비트선에 2회 계속해서 데이터를 독출함으로써 워드선의 H, L로의 천이의 횟수를 줄일 수 있다.

상술한 제3도(a)의 타이밍뿐만 아니라 제3도(b)에 나타낸 타이밍에 따라, 비트선접촉으로부터 가장 먼 메모리셀롭터 순차적으로 재저장이 수행된다.

그러나, 데이터 독출과 마찬가지로, 제3도(b)의 타이밍에 따라 워드선의 천이의 횟수를 줄이기 위해 데이터의 재저장은 같은 비트선에 순서대로 2회 전송된다. 즉, C40, C41, C31, C30, C20, C21, C11, C10의 데

이터가 이 순서대로 각 메모리셀에 재저장된다.

이와 같이 본 발명의 제1실시예에서는, 비트선쌍(BL1, BL2)과 접속되는 2개의 NAND셀에 대한 선택 타이밍을 나누어 제3도(a)또는 제3도(b)에 나타낸바와 같이 각 메모리셀의 데이터를 독출하는 점에 특징이 있다.

즉, 메모리셀 데이터가 비트선쌍의 첫번째 비트선으로부터 먼저 독출되는 경우는 비트선쌍의 두번째 비트선은 레피런스 비트선으로서 사용된다. 그리고, 메모리셀 데이터가 비트선쌍의 두번째 비트선으로부터 독출되는 경우는, 비트선쌍의 첫번째 비트선은 레퍼런스 비트선으로서 사용된다.

이러한 폴디드 비트선방식은, 개방 비트선방식과 비교하여 메모리셀내의 어레이 노이즈를 효과적으로 저감할 수 있다. 예컨대, 비트선(BL), 워드선(WL), 플레이트, 기판 사이의 결합에 의한 어레이 노이즈 등은 이들 노드와 비트선(BL)의 결합에 의해 변동한다.

본 실시예에서는, 이 변동이 용량결합에 의해 비트선(BL)으로 피드백하는 경우, 비트선쌍(BL1, BL2)이 같은 어레이내에 있기 때문에 이들 비트선이 동상(同相)의 노이즈(common mode noise)를 받는다. 즉, 비트선쌍(BL1, BL2)사이의 전위차를 회로(20)의 감지증폭기로 증폭하기 때문에, 이 동상의 노이즈를 대폭적으로 저감할 수 있다. 물론, 비트선의 결합노이즈도 개방 비트선방식보다 저감하고, 종래의 폴디드 비트선방식과 마찬가지로 각종의 노이즈 저감방식을 본 발명의 DRAM에 적용할 수 있다.

본 발명의 폴디드 비트선방식에 대해서도, 비트선쌍(BL1, BL2)은 비트선접촉(36)의 확산층(31)에 미치는 알파선의 영향을 마찬가지로 받는다. 이 때문에, 이 실시예에 따르면, 소프트에러 내성도 향상시킬 수 있다. 더욱이, 감지증폭기 구성도 폴디드 비트선방식의 것을 적용할 수 있기 때문에, 감지증폭기의 피치도 개방 비트선방식과 비교하여 간단히 완화할 수 있다.

제1실시예에서는, 비트선접촉(36)에 가장 가까운 트랜지스터(Q10, Q11)만이 다른 워드선에 접속된다. 이 때문에, 폴디드 비트선방식으로 하기 위한 면적의 증가를 작게 할 수 있는 이점이있다. 즉, 비트선쌍에 접속되는 NAND셀쌍을 종래와 마찬가지로, 모든 트랜스퍼 게이트가 대응하는 워드선에 공통으로 접속된 것으로 하면, NAND셀쌍의 데이터를 비트선(BL1, BL2)에 독립적으로 독출할 수도 있다. 따라서, 각각의 NAND셀에 대해 다른 워드선에 접속된 2개의 부가적인 선택게이트가 필요하게 된다.

이 경우, 2개의 NAND셀에 대해 2개의 워드선을 배설할 여분의 영역이 필요하게 된다. 이에 대해, 본 실시예에서는, 2개의 NAND셀에 대해 1개의 워드선을 배설할 영역이 증가하는 것으로 되기 때문에, 면적의 증가를 상기 예와 비교하여 1/2로 할 수 있다.

제4도는 본 발명의 제2실시예의 NAND형 DRAM의 회로구성도를 나타내고, 제5도(a)는 제2실시예의 DRAM의 레이아웃의 평면도를 나타내며, 제5도(b)는 제5도(a)의 화살표 A-A' 의 방향으로 절단화 DRAM의 단면도를 나타낸다. 이 제2실시예에 있어서, 제1실시예와 관련하여 사용된 것과 동일한 참조부호는 동일한 소자를 나타내는 것으로 한다.

비트선쌍을 이루는 2개의 비트선(BL1, BL2)중 하나에 NAND셀 유니트를 접속하기 위해, 공통 워드선(WL0)에 접속되는 선택게이트 트랜지스터 또는 트랜스퍼 게이트 트랜지스터(S1, S2)가 설치되어 있다.

선택게이트 트랜지스터(S1)의 소오스에는 NAND셀(M1)이 접속되고, 선택게이트 트랜지스터(S1)의 드레인에는 NAND셀(M2)이 접속되어 있다. 선택게이트 트랜지스터(S2)의 소오스에는 NAND셀(M1)과 워드선 WL(WL1L~WL4L)을 공용하는 NAND셀(M3)이 접속되로, 선택게이트 트랜지스터(S2)의 드레인에는 NAND셀 (M2)과 워드선 WL(WL1R~WL4R)을 공용하는 NAND셀(M4)이 접속되어 있다. 그리고, 트랜스퍼 게이트 트랜지스터(S1)의 소오스는 제1비트선(BL1)에 접속되고, 트랜스퍼 게이트 트랜지스터(S2)의 드레인은 제2비트선(BL2)에 접속되어 있다. 더욱이, 비트선(BL1, BL2)은 제1실시예와 마찬가지로 데이터를 일시적으로 기억하기 위한 수단과 감지증폭기를 포함하는 독출/재기록회로(20)에 접속된다.

한편, 도면중의 CA1, CA3, CA5, CA7은 NAND셀(M1)의 메모리셀 캐패시터, CA2, CA4, CA6, CA8은 NAND셀(M3)의 캐패시터, CB2, CB4, CB6, CB8는 NAND셀(M2)의 캐패시터, CB1, CB3, CB5, CB7은 NAND셀(M4)의 캐패시터를 나타내고 있다. NAND셀 M1과 M3을 블록 A라 하고, 셀 M2와 M4를 블록 B 라 한다.

제4도. 제5도(a) 및 제5도(b)에 나타낸 바와 같이, 제2실시예의 NAND형 DRAM은 동일 비트선에 접속된 각각의 NAND셀 사이에 트랜스퍼 게이트 트랜지스터를 설치하고 있는 점에서 제1실시예와 다르다. 또, 셀을 독출하기 위한 4개의 워드선, 예컨대 WL1L~WL4L의 각각은 2개의 트랜스퍼 게이트 트랜지스에 접속되어 있다.

이에 대해, 제1실시예에서는 각각의 워드선 WL10과 WL11은 하나의 트랜스퍼 게이트 트랜지스터에만 접속되고 있었다.

제6도는 제2실시예의 회로에 대한 동작파형도를 나타낸것으로, 제4도의 블록 A의 메모리셀의 데이터에 억세스하는 경우를 나타내고 있다. 블록A의 메모리셀로부터 데이터를 독출하는 동안에는, 블록 B의 워드선(WL1R, WL2R, WL3R, WL4R)모두가 L로 설정된다. 역으로, 블록 B의 데이터의 독출을 행할 때는, 블록 A의 모든 워드선이 L로 설정된다.

이 실시예에서는, WL0를 L, WL1L을 H, 다른 워드선을 L로 설정함으로써 CA1의 셀데이터가 비트선 BL1으로 독출되고, 이 상태로부터 WL0을 H로 함으로써 CA2의 셀데이터가 BL2로 독출된다.

각각의 데이터는 독출/재기록회로(20)의 감지증폭기로 증폭된다. 이어서, WL0을 L, WL2L을 H로 설정함으로써 CA3의 셀데이터가 BL1로 독출되고, 이 상태로부터 WL0을 H로 함으로써 CA4의 셀데이터가 BL2로 독출된다. 한쪽의 비트선(BL)으로 데이터를 독출할 때에는 , 다른쪽의 비트선(BL)은 레퍼런스 비트선으로서 사용할 수 있다. 따라서, 폴디드 비트선방식을 적용할 수 있다. 제2실시예에 따르면, NAND셀에 축적된 데이터를 폴디드 비트선방식에 의해 독출할 수 있어, 제1실시예와 마찬가지의 효과가 얻어진다.

더욱이, 제2실시예에서는, 제1도에 나타낸 제1실시예의 구종와비교하여 메모리셀 블록2개에 대해 워드선

1개분의 면적을 축소할 수 있다. 그에 따라, 여분의 면적의 증가를 제1실시예의 1/2로 줄일 수 있다.

제15도는 제6도에 나타낸 바와 같은 워드선 WL0, WL1L~WL4L을 제어하는 행디코더회로(40)를 나타낸것이다. 워드선(WL4R~WL1R, WL0, WL1L~WL4L)은 구동신호(WDR0~WDR4)에 의해 제어된다.

이 실시예에서는, 워드선(WL0)이 선택게이트 트랜지스터(S1, S2)에 대해 공통으로 사용된다. 따라서, 비트선접촉의 반대측의 NAND셀의 어드레스는 1비트씩 달라진다.

워드선 구동신호(WDR1~WDR4)는 물론 A와 블록 B의 메모리셀의 워드선에 대해 공통이다. 행디코더회로(40)에 인가되는 신호(WDR1~WDR4)는 제17도에 나타낸 플립플롭회로(60,61,62,63,64)로부터 발생된다. 플립플롭회로(60~64)에 인가되는 신호는 제16도에 나타낸 카운터회로(90)이 카운터에 의해 발생된다.

제18도는 행디코더회로(40), 플립플롭회로(60~64) 및 카운터회로(80)의 동작에 관한 각종 제어신호의 타이밍을 나타낸 것이다. 플립플롭회로(60~64)에서는, 카운터회로(80)의 카운터를 증가시키기 위한 클럭(CK)과 같은 주기를 갖는 클럭신호(CKS, CKR)가 사용된다. 즉, 카운터 출력에 상당하는 WDRm(m=0~4)의 H의 상승 타이밍은 클럭(CKS)의 상승 타이밍에 대응한다. WDRm의 L로의 하강 타이밍은 CKR의 하강 타이밍에 대응한다.

제16도에 나타낸 4비트의 카운터 출력(Q0Q1Q2Q3)은 클럭(CK)의 타이밍을 1만큼씩 증가시킨 것이다. 카운터 출력의 하나의 조합은 감지증폭기 동작의 하나의 발생, 즉 메모리셀로부터 독출한 1비트 또는 메모리셀에 기입한 1비트에 대응한다.

예컨대, 카운터회로(80)의 출력이 Q3Q2Q1Q0=0000일때 클럭(CKS)이 H로 천이한 경우에는, WDR1 즉 WL1L이 H로 상승하여 셀 CA1의 데이터가 독출된다. 이러한 동작은, 플립플롭회로(61)의 출력이 H상태의 5개의 신호 CKS,/Q0,/Q1,/Q2,/Q3에 의해 H로 상승되도록 하여 실현된다.

다음으로, 카운터회로(80)가 0001로 증가한 후, CKS는 H로 상승하고, WDR0 즉 WL0가 H로 상승하여 CA2의 데이터가 독출된다.

다음으로, 카운터회로(80)의 출력이 0010로 증가한 후, 플립플롭회로(60)의 출력이 H상태의 3개의 신호 /Q3, /Q0 및 CKR에 의해 L로 하강하기 때문에 , CKR이 H로 상승함에 따라 WL0이 L로 하강한다.

WL0의 L로의 하강 뒤에, CKS가 H로 상승하고 플립플롭회로(62)의 출력이 H로 상승함에 따라 WL1이 H로 상승하여 셀 CA3의 데이터가 독출된다.

이와같이 하여, 제6도에 나타낸 파형을 얻을 수 있다.

제7도는 본 발명의 제3실시예의 NAND형 DRAM의 회로구성도를 나타내고, 제8도(a)는 제3실시예의 DRAM의 레이아웃의 평면도를 나타내며, 제8도(b)는 제8도(a)의 화살표 A-A' 의 방향으로 절단한 DRAM의 단면도를 나타낸다. 이 제3실시예에 있어서, 제1실시예와 관련하여 사용된 것과 동일한 참조부호는 동일한 소자를 나타내는 것으로 한다.

이 제3실시예의 기본적인 구성은 제4도에 나타낸 제2실시예의 것과 마찬가지이지만, 이 제3실시예에는 다음과 같은 점에서 제2실시예와 다르다. 즉, 본 실시예에서는 제1선택 게이트 트린지스터(S1)의 드레인에 캐패시터(C1)가 접속되고, 제2선택 트랜지스터(S2)의 소오스에 캐패시터(C2)가 접속되어 있다.

제9도는 제3실시예의 회로에 대한 동작파형도를 나타낸 것으로, 제7도의 블록 A의 메모리셀의 데이터에 억세스하는 경우를 나타내고 있다. 블록B의 메모리셀 데이터에 대해서도. 블록 A로의 억세스의 설명을 제공하는 것만으로 마찬가지이고 억세스할 수 있다.

CA1~CA8의 셀데이터의 독출 및 재기입은 제2실시예의 것과 마찬가지이기 때문에, 그 설명은 생략한다. 그러나, 캐패시터(C1,C2)의 독출과 재기입의 설명은 행한다.

이 실시예의 메모리셀 어레이는, BL1에 접속되는 NAND셀에 있어서 WL0과 WL1R에 각각 접속된 2개의 트랜지스터 사이에 캐패시터(C1)를 접속한 구조를 갖는다.

더욱이, 이 메모리셀 어레이는 BL2에 접속되는 NAND셀에 있어서 WL0과 WL1R에 각각 접속된 2개의 트랜지스터 사이에 캐패시터(C2)를 접속한 구조를 갖는다.

이들 캐패시터 C1, C2를 데이터를 보존하는 DRAM셀용의 캐패시터로 간주한 경우, 그 트랜스퍼 게이트 트랜지스터(S1, S2)에 접속되는 공통 워드선(WL0)을 선택하면, C1과 C2의 각 데이터가 BL1과 BL2에 동시에 전송된다.

이들 2개의 캐패시터(C1,C2)를 1조로 하고, BL1과 BL2를 서로 상보 비트선으로 하여 데이터의 독출, 기입을 행함으로써, 1비트 여분의 데이터를 기억할 수 있다.

결과적으로, 실효적인 집적밀도를 더 향상시킬 수 있다.

제10도는 본 발명의 제4실시예의 NAND형 DRAM의 회로구성도를 나타낸다.

이 실시예에서는, 회로(20)는 2개의 인접한 메모리 메트 T1과 T2를 갖는다.

이 제4실시예의 메모리셀의 레이아웃 및 구조는 제8도에 나타낸 제3실시예와 동일하므로 생략한다.

그러나, 캐패시터 C1과 C2는 분리된 메모리소자로서 처리되고, 함께 고려되지 않는다. 이 점에 있어서, 트랜스퍼 게이트(92, 94)가 메모리 메트(T1)의 메모리셀과 회로(20)사이에서 메모리셀 비트선 BL1과 BL2에 각각 배치된다.

이것은, 셀 C1과 C2의 독립한 데이터가 BL1과 BL2로 동시에 전송되어 그들이 서로 레퍼런스 비트선으로서 사용될 수 없으며, 회로(20)의 노드 N1과 N2가 C1과 C2로의 억세스를 위해 BL1과 BL2에 동시에 접속되어서는 않되기 때문이다.

회로(20)와 다른 메모리 메트(T2)의 레퍼런스 비트선의 접속을 위해 트랜스퍼 게이트(96, 98)가 다음과 같이 사용된다. 즉, 트랜스퍼 게이트(92)가 도통상태로 되는 경우에 BL1이 셀 C1의 데이터를 독출하기 위한 회로(20)의 노드(N1)에 전기적으로 접속되고, 트랜스퍼 게이트(98)도 도통상태로 되는 경우에 BL1의 레퍼런스 비트선으로서의 다른 메모리 메트의 비트선이 전기적으로 노드(N2)에 접속되어 C1의 데이터가 개방 비트선방식으로 독출된다.

C2의 데이터가 BL2와 트랜스퍼 게이트(94)를 통해 독출될 때, 트랜스퍼 게이트(96)가 도통상태로 되어 다른 메모리 메트의 BL2의 레퍼런스 비트선이 노드(N1)에 접속된다.

제11도는 제4실시예의 회로에 대한 동자파형도를 나타낸 것으로, 제10도의 블록 A의 메모리셀의 데이터에 억세스하는 경우를 나타내고 있다. 블록 B의 경우에도 같은 파형도를 이용할 수 있다. CA1~CA8의 셀 데이터의 독출 및 재기입은 제2 및 제3실시예와 마찬가지이다. 그러나 C1과 C2의 데이터의 독출이나 재기입의 방법은 제3실시예와 다르다.

C1과 C2의 셀 데이타를 독출 혹은 기입할 때에는, NAND형 셀중의 비트선접촉으로부터 가장 먼 셀을 억세스하는 경우에 비해, 비트선 용량이 메모리셀의 4개의 캐패시터의 용량에 비례하여 낮아진다. 따라서, C1과 C2의 셀데이터에 대한 억세스르르 위해 개방 비트선방식을 사용한다.

비트선의 용량이 더 커지는 셀, 예컨대 CA7, CA8에 억세스하는 경우에는, 노이즈 내성이 큰 폴디드 비트선방식을 사용한다. 이러한 폴디드 비트선방식은 CA1~CA8에 억세스하기 위해 사용된다.

비트서쌍에 접속된 NAND셀의 데이터는 NAND셀에 접속된 워드선에 소정의 전압을 인가함으로써 교대로 독출된다. 이 데어터는 하나의 비트선에만 독출되므로, 폴디드 비트선방식이 실용적이다.

제4실시예에서는, 캐패시터 C1과 C2를 각각 1비트씩의 정보를 기억하는 메모리셀로서 사용하기 때문에, 실효적인 집적밀도를 제3실시예에 비해 더 향상 시킬 수 있다.

더욱이, 모든 비트선을 개방 비트선방식을 사용하여 억세스하고 있던 경우와 같은 집적밀도를 실현할 수 있다.

또한, 본 발명은 상술한 각 실시예에 한정되지 않고, 그 요지를 이탈하지 않는 범위내에서 여러가지로 변형하여 실시할 수 있다.

[발명의 효과]

이상 설명한 바와같이 본 발명에 의하면, 트랜스퍼 게이트를 직렬 접속하여 NAND셀을 구성함으로써, 비트선접촉을 저감하여 칩 크기를 축소할 수 있고, 더욱이 감지방식을 폴디드 비트선방식으로 하고 있으므로,어레이 노이즈 및 소프트에러의 저감과 감지증폭기 피치의 완화가 가능하게 된다.

## *(57) 청구의 범위*

### 청구항 1

각각이 절연게이트형 MOS트랜지스터와 이 MOS트랜지스터에 접속된 캐패시터로 구성된 복수개의 메모리셀을 전기적으로 직렬로 접속하여 이루어진 제1 및 제2메모리셀군과, 이들 제1및 제2메모리셀군의 일단에 각각 접속된 제1 및 제2비트선, 상기 제1 및 제2 메모리셀군의 MOS트랜지스터중 대응하는 것들의 게이트에 각각 공통으로 접속된 복수의 워드선 및, 상기 제2 및 제1메모리셀군의 메모리셀로부터 데이터를 각각 독출하는 동안에, 전압 레퍼런스를 각각 공급하는 상기 제1 및 제2비트선으로 상기 제1 및 제2메모리셀군의 메모리셀로부터의 데이터를 상기 제1 및 제2메모리셀군으로부터 독출하기 위한 수단을 구비하여 이루어진 것을 특징으로 하는 다이나믹 랜덤 억세스 메모리.

### 청구항 2

각각이 직렬로 접속된 복수개의 절연게이트형 트랜지스터와, 이 트랜지스터중의 하나에 각각 접속되어 데이터를 기억하기 위한 복수개의 캐패시터부로 구성된 복수의 메모리셀 유니트를 갖춘 다이나믹 랜덤 억세스 메모리에 있어서, 각각이 상기 메모리셀 유니트중 하나의 직렬 접속된 트랜지스터의 일단에서 그들 트랜지스터의 첫번째 것에 접속되고, 그중 다른 하나와 쌍을 이루는 복수의 비트선과, 상기 쌍을 이루는 비트선에 접속된 상기 메모리셀 유니트의 첫번째 트랜지스터의 게이트에 각각 접속된 제 1워드선쌍 및, 상기 쌍을 이루는 비트선에 접속된 상기 메모리셀 유니트의 트랜지스터중 대응하는 것들의 게이트에 각각 접속된 제2워드선을 구비하여 이루어진 것을 특징으로 하는 다이나믹 랜덤 억세스 메모리.

### 청구항 3

제2항에 있어서, 상기 제1워드선쌍에 접속되어 상기 제1워드선쌍에 제1의 소정전압을 교대로 인가하는 제1전압인가수단과, 상기 제2워드선에 접속되어 상기 제2워드선에 소정전압을 소정의 순서로 인가하는 제2전압이가수단을 더 구비하여 이루어진 것을 특징으로 하는 다이나믹 랜덤 억세스 메모리.

### 청구항 4

제3항에 있어서, 상기 쌍을 이루는 비트선에 접속되어 상기 메모리셀 유니트로부터 데이터를 독출하거나 상기 메모리셀 유니트로 데이터를 재기입하는 독출/재기록회로를 더 구비하여 이루어진 것을 특징으로 하는 다이나믹 랜덤 억세스 메모리.

### 청구항 5

제4항에 있어서, 상기 제2전압인가수단은, 상기 제1의 소정전압의 인가에 응답해서 상기 쌍을 이루는 비트선과 각각 연관된 상기 메모리셀 유니트의 첫번째 트랜지스터에 접속된 캐패시터부의 독출이 가능하도록, 상기 제2의 소정전압의 상기 제2워드선으로의 인가를 보류하기 위한 수단과, 각 셀 유니트의 첫번째

트랜지스터 이외의 트랜지스터중 하나를 매개로 상기 쌍을 이루는 비트선에 접속된 캐패시터부를 소정의 순서에 따라 독출할수 있도록, 상기 소정의 순서로 제2의 소정전압을 인가하기 위한 수단을 포함하고 있는 것을 특징으로 하는 다이나믹 랜덤 억세스 메모리.

**청구항 6**

제5항에 있어서, 상기 제2의 소정전압을 인가하기 위한 수단은, 상기 쌍을 이루는 비트선에 접속된 메모리셀 유니트의 캐패시터부를 동시에 독출하기 위해 각 셀 유니트에서 첫번째 트랜지스터에 가장 가까운 트랜지스터에 접속된 캐패시터부로부터 순서대로 각 메모리셀 유니트의 첫번째 트랜지스터 이외의 트랜지스터중 대응하는 것들에 제2의 소정전압을 인가하는 수단을 포함하고 있는 것을 특지응로 하는 다이나믹 랜덤 억세스 메모리.

**청구항 7**

제5항에 있어서, 상기 제2의 소정전압을 공급하기 위한수단은, 상기 쌍을 이루는 비트선에 접속된 메모리셀 유니트중 다른 하나의 2개의 인접한 캐패시터부를 독출하기 위해 상기 쌍을 이루는 비트선에 접속된 메모리셀 유니트중 하나의 첫번째 트랜지스터 이외의 트랜지스터중 대응하는 것들에 제2의 소정전압을 인가하기 위한 수단을 포함하고 있는 것을 특징으로 하는 다이나믹 랜덤 억세스 메모리.

**청구항 8**

각각이 직렬로 접속된 복수개의 절연게이트형 트랜지스터와, 이 트랜지스터중의 하나에 각각 접속되어 데이터를 기억하기 위한 복수개의 캐패시터로 구성된 제1, 제2, 제3 및 제4메모리셀 유니트(M1,M2,M3,M4)를 갖춘 다이나믹 랜덤 억세스 메모리에 있어서, 상기 제1 및 제2메모리셀 유니트의 직렬 접속된 트랜지스터의 일단의 첫번째 트랜지스터에 접속된 제1비트선(BL1)및 , 상기 제3 및 제4메모리셀 유니트의 직렬 접속된 트랜지스터의 일단의 첫번째 트랜지스터에 접속된 제2비트선(BL2)과, 상기 제1및 제3메모리셀 유니트의 트랜지스터중 대응하는 것들의 각각의 게이트에 각각 접속되어 지정된 캐패시터를 선택하기 위한 제1워드선(WL1L, WL2L,WL3L,WL4L)과 , 상기 제2및 제4메모리셀 유니트의 트랜지스터중 대응하는 것들의 각각의 게이트에 각각 접속되어 지정된 캐패시트를 선택하기 위한 제2워드선(WL1R,WL2R,WL3R,WL4R), 상기 제1 및 제2메모리셀 유니트의 첫번째 트랜지스터에 각각 접속된 제1 및 제2단자를 갖춘 제1트랜스퍼 게이트 트랜지스터(S1)및, 상기 제3및 제4메모리셀 유니트의 첫번째 트랜지스터에 각각 접속된 제1 및 제2단자를 갖춘 제2트랜스퍼 게이트 트랜지스터(S2)를 구비하여 이루어지고, 상기 제1트랜스퍼 게이트 트랜지스터의 제1단자라 상기 제1비트선에 접속되고, 상기 제2트랜스퍼 게이트 트랜지스터의 제2단자가 상기 제2비트선에 접속되어 있는 것을 특징으로 하는 다이나믹 랜덤 억세스 메모리.

**청구항 9**

제8항에 있어서,상기 제1및 제2트랜스퍼 게이트 트랜지스터에 각각 접속되어 적어도 하나의 메모리셀을 구성하는 제1및 제2캐패시터를 더 구비하여 이루어진 것을 특징으로 하는 다이나믹 랜덤 억세스 메모리.

**청구항 10**

제9항에 있어서, 상기 제1 및 제2캐패시터는 1비트 데이터만을 기억하는 메모리셀을 구성하는 것을 특징으로 하는 다이나믹 랜덤 억세스 메모리.

**청구항 11**

제8항에 있어서, 상기 제1 및 제2트랜스퍼 게이트 트랜지스터(S1,S2)에 접속된 제3워드선(WL0)과, 상기 제1 및 제2트랜스퍼 게이트 트랜지스터를 제1의 소정타이밍으로 온(ON)/오프(OFF)하기 위해 상기 제3워드선에 제1의 소정전압을 인가하는 제1전압인가수단, 상기 제1 및 제2워드선에 제2의 소정전압을 인가하는 제2전압인가수단 및, 상기 제1 및 제2비트선에 접속된 독출/재기록회로(20)를 더 구비하여 이루어지고, 상기 제1 및 제2트랜스퍼 게이트 트랜지스터가 온하고 있는 사이에 상기 제1메모리셀 유니트의 캐패시터(C1)내의 데이터가 상기 회로로 독출되고, 상기 제1 및 제2트랜스퍼 게이트 트랜지스터가 오프하고 있는 사이에 상기 제3메모리셀 유니트의 캐패시터(C2)내의 데이터가 상기 회로로 독출되는 것을 특징으로 하는 다이나믹 랜덤 억세스 메모리.

**청구항 12**

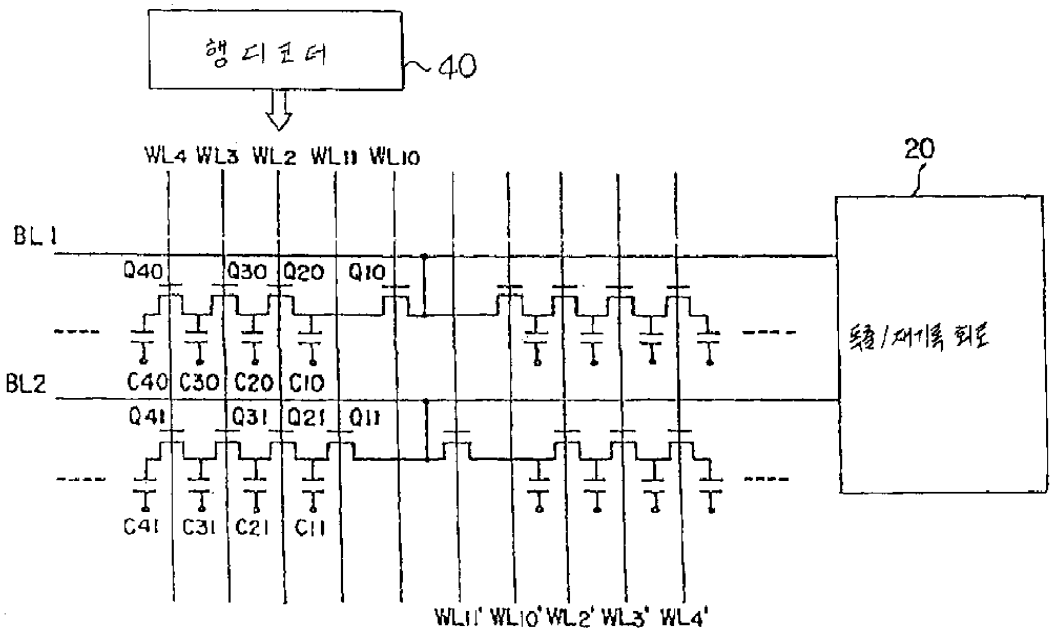
제11항에 있어서, 상기 제1전압인가수단은, 상기 제1 및 제2메모리셀 유니트의 캐패시터내에 기억된 데이터를 독출하기 전에, 상기 제1 및 제2캐패시터에 기억된 데이터를 동시에 독출하기 위해 상기 제3워드선에 상기 제1의 소정전압을 인가하는 것을 특징으로 하는 다이나믹 랜덤 억세스 메모리.

**청구항 13**

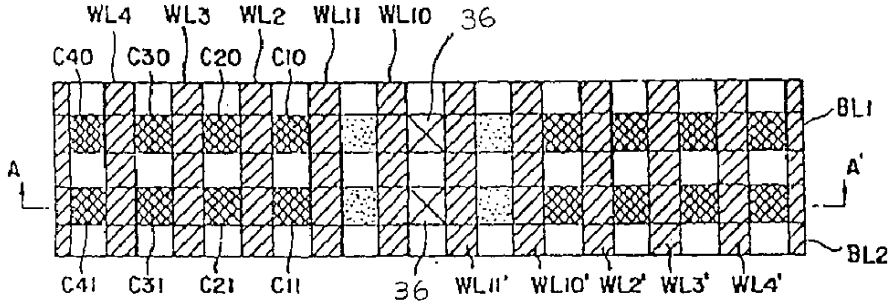
제11항에 있어서, 상기 비트선과 상기 독출/재기록회로를 접속 및 분리하기 위한 수단을 더 구비하여 이루어진 것을 특징으로 하는 다이나믹 랜덤 억세스 메모리.

*도면*

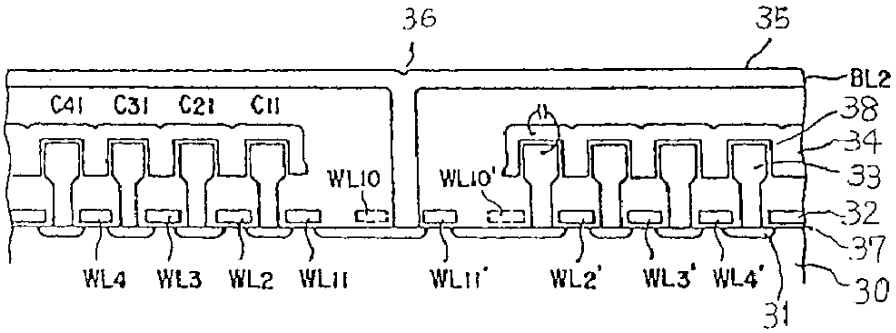
도면1



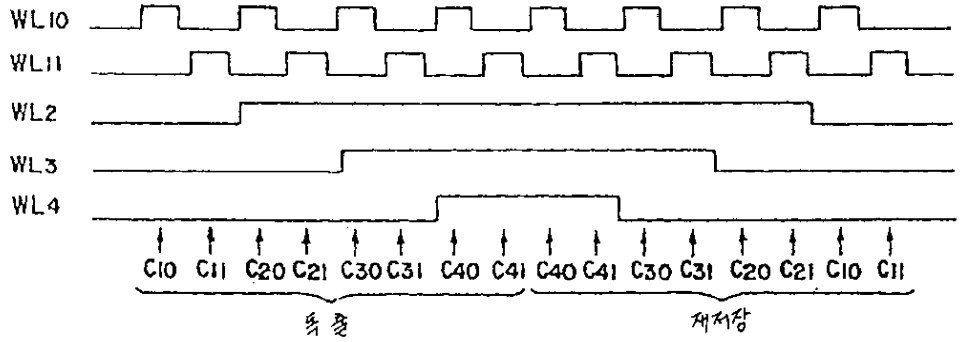

도면2a



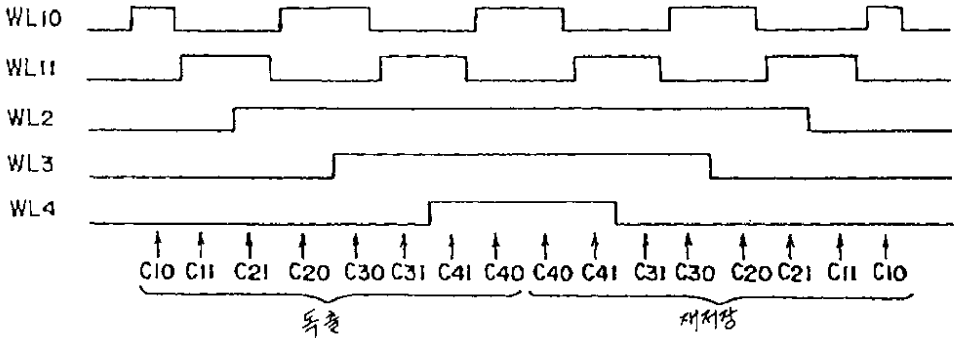

도면2b



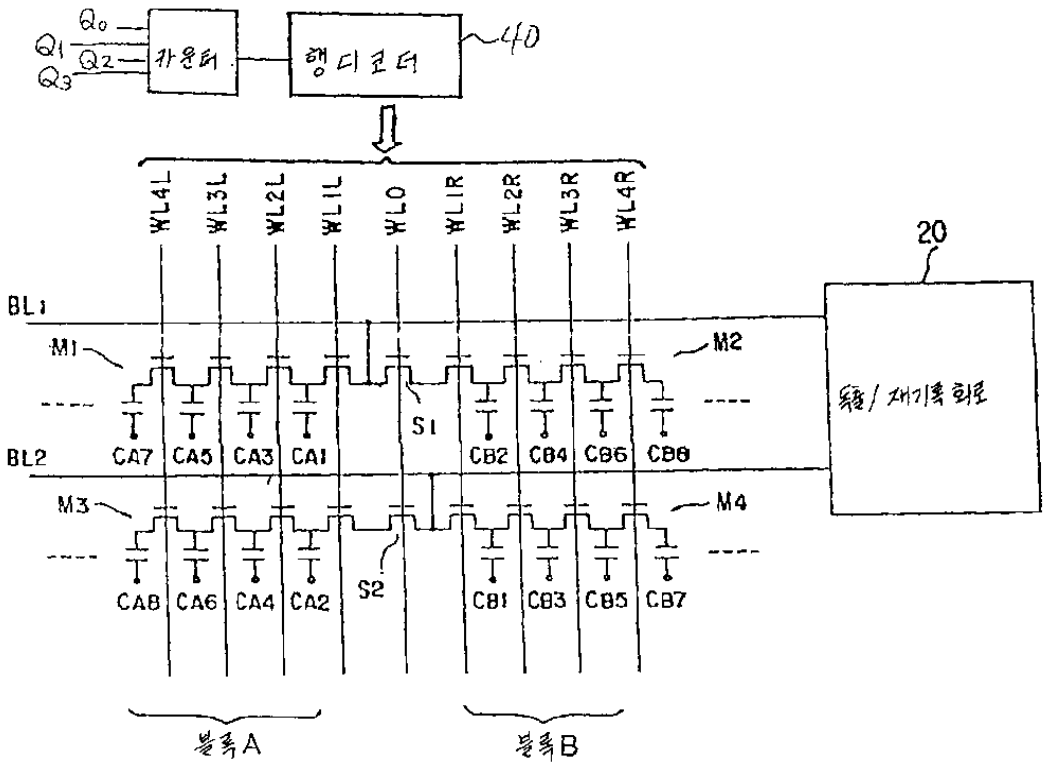
도면3a



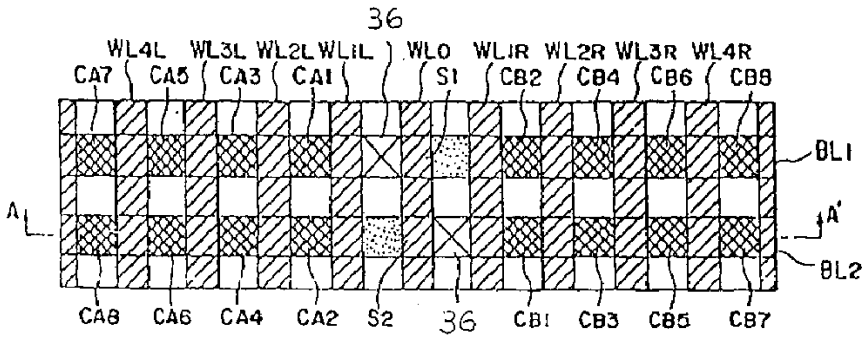

도면3b



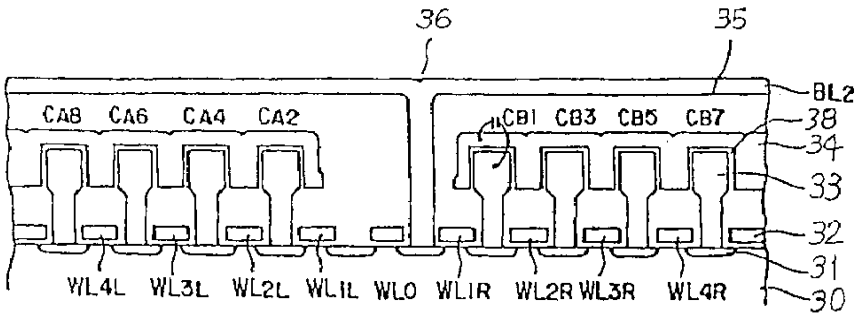

도면4



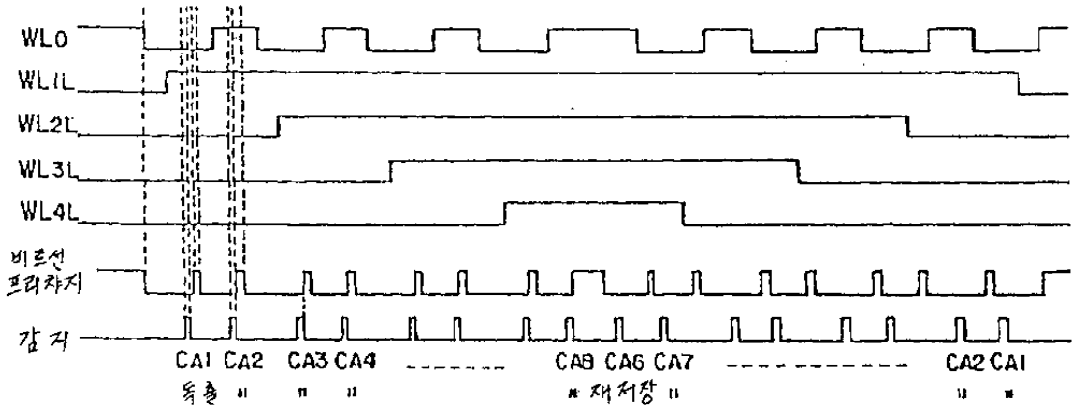
도면5a



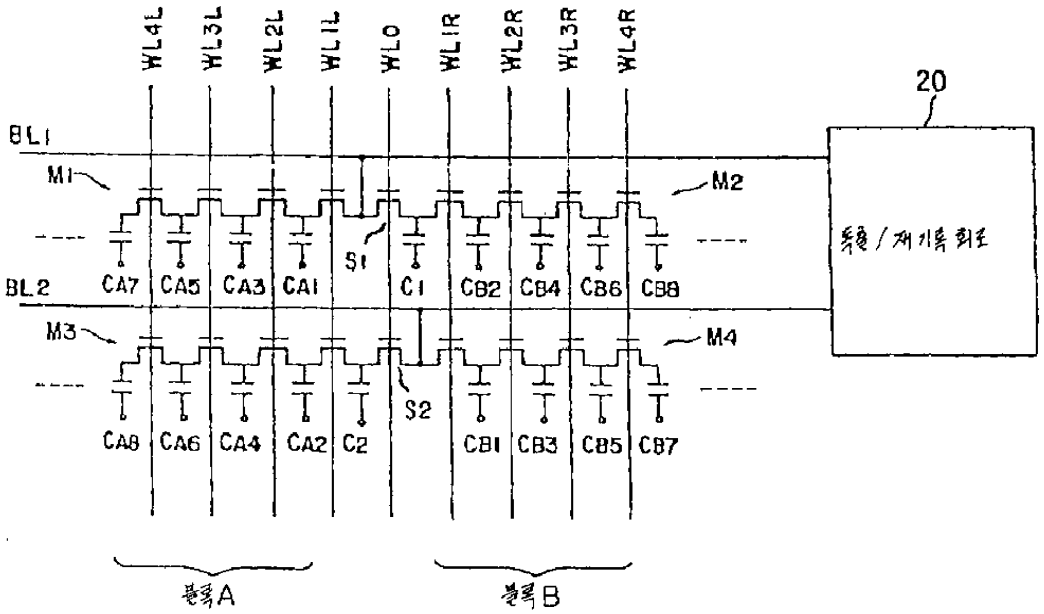

도면5b



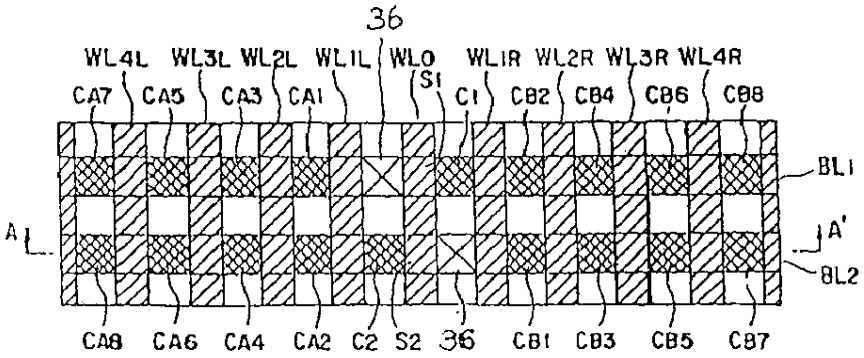

도면6



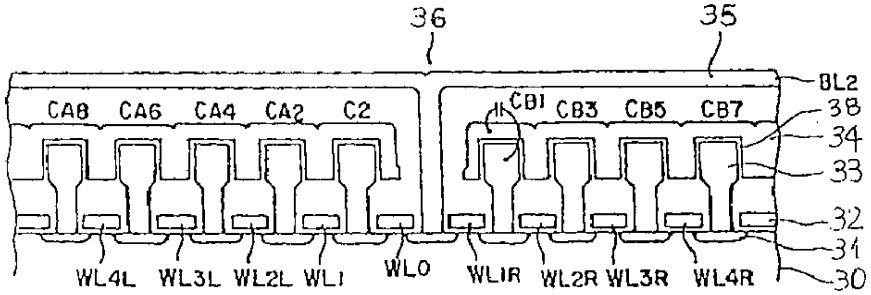
도면7



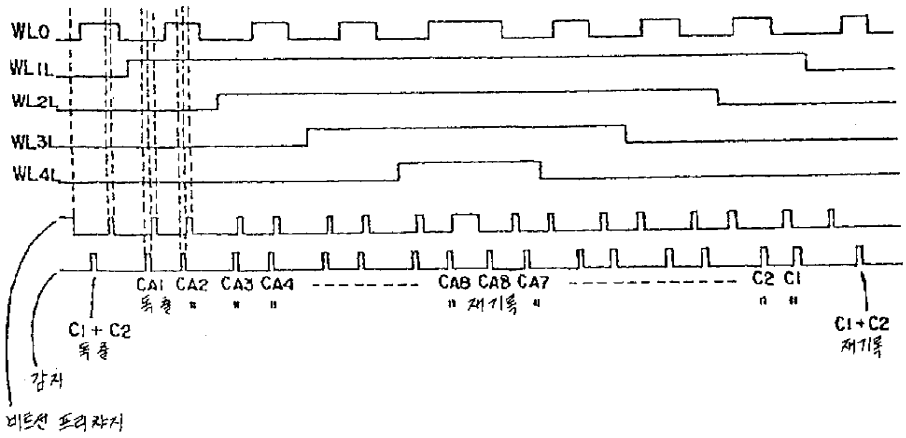

도면8a



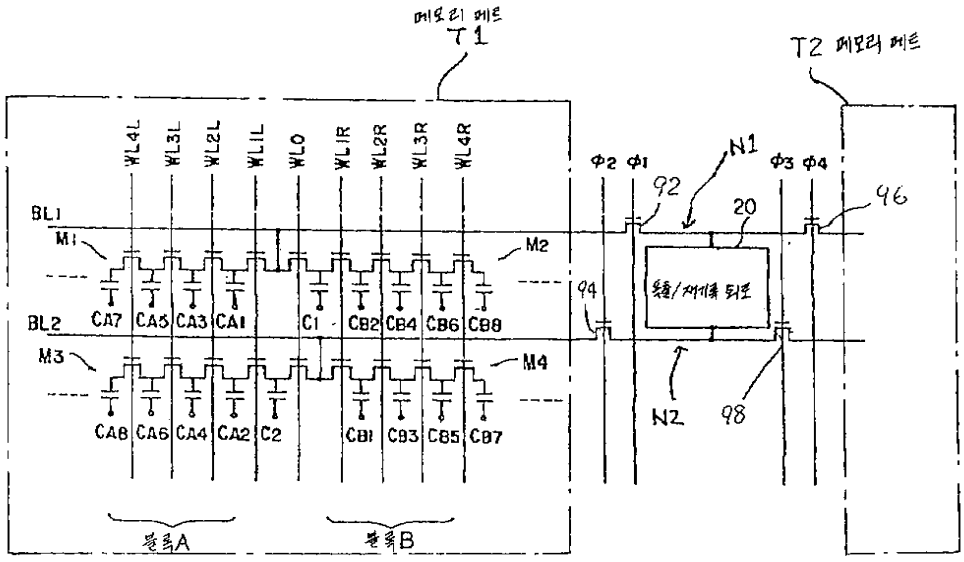

도면8b



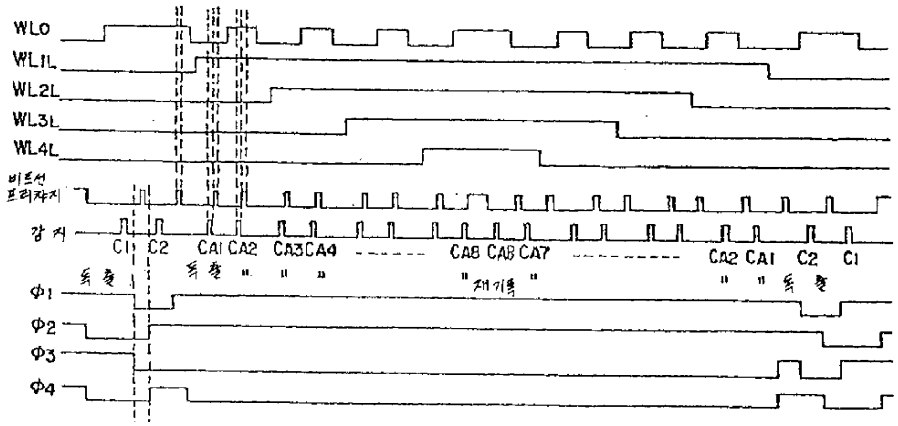
도면9



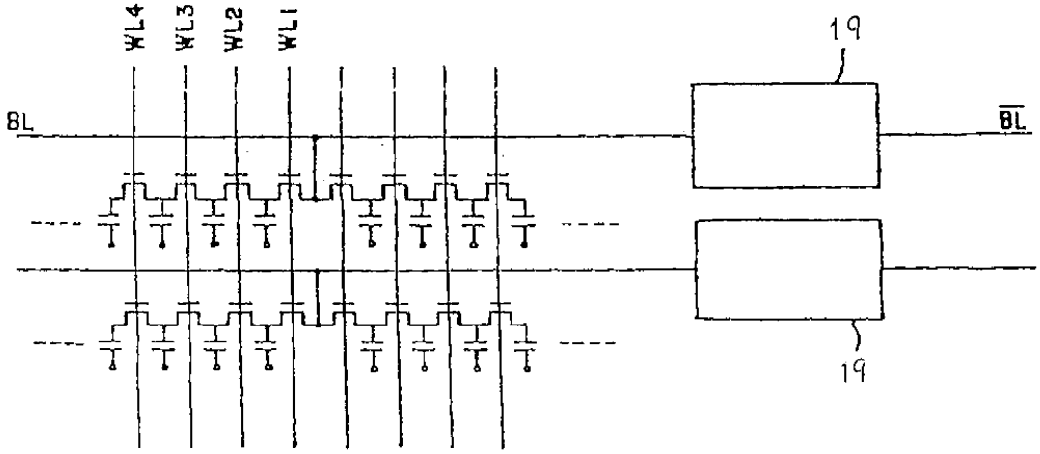

도면10



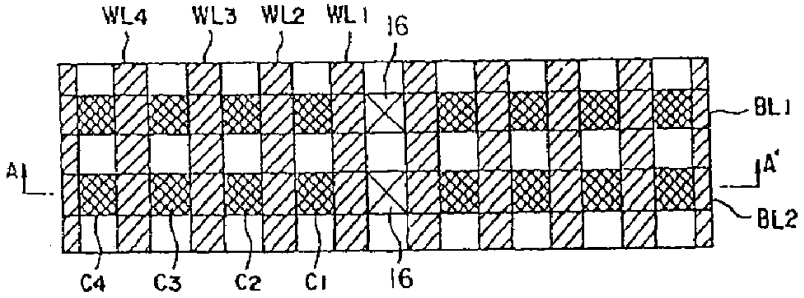

도면11



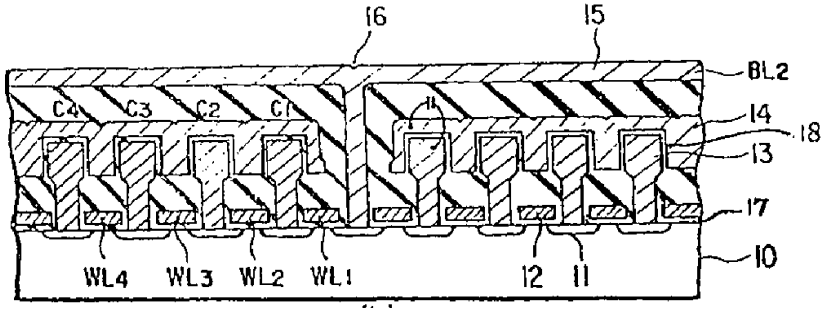
도면12



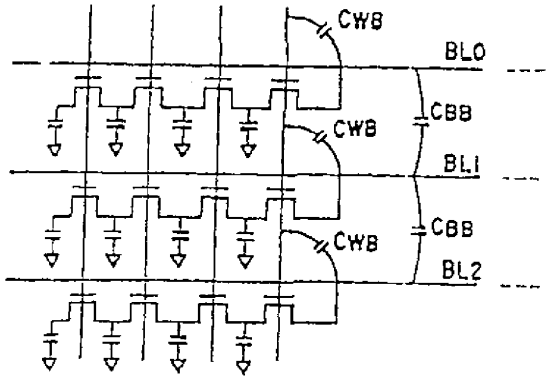

도면13a



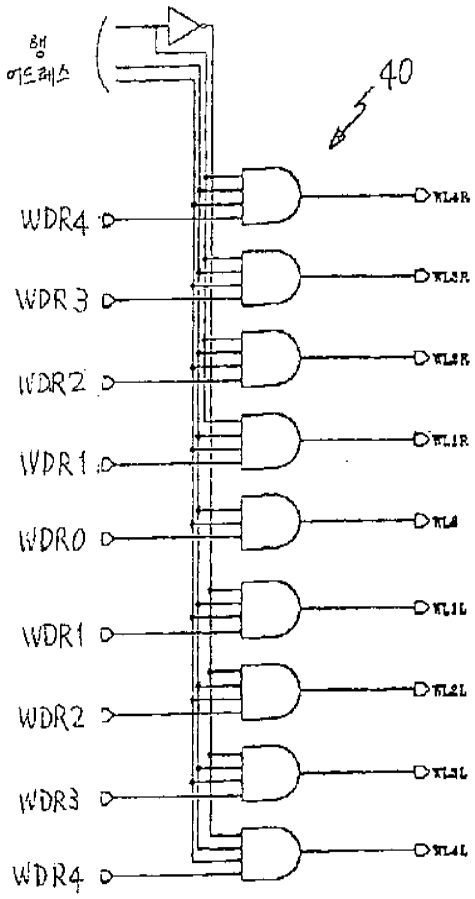

도면13b



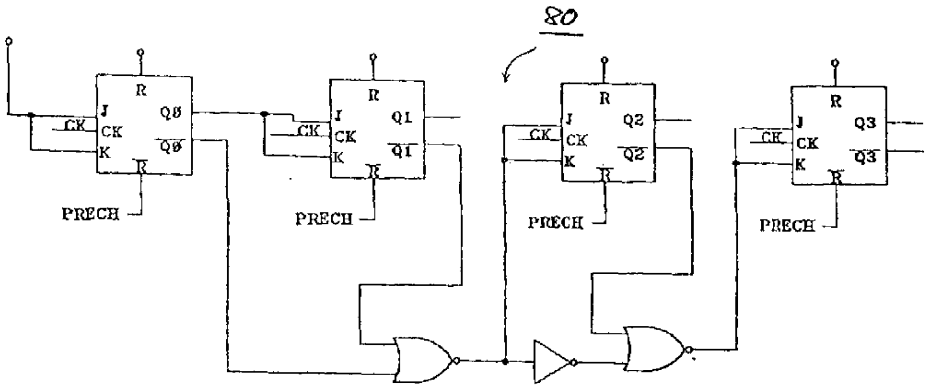

도면14



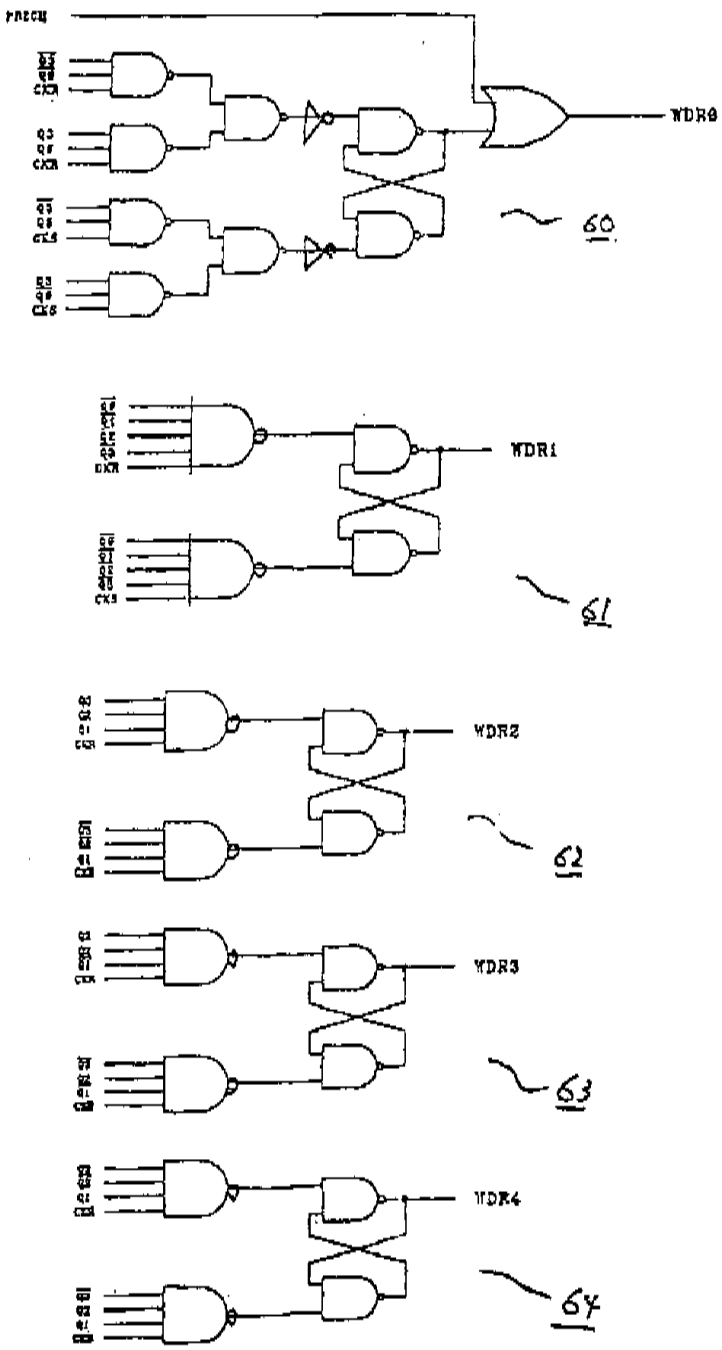
도면15


행
어드레스
40
WDR4
WDR3
WDR2
WDR1
WDR0
WDR1
WDR2
WDR3
WDR4

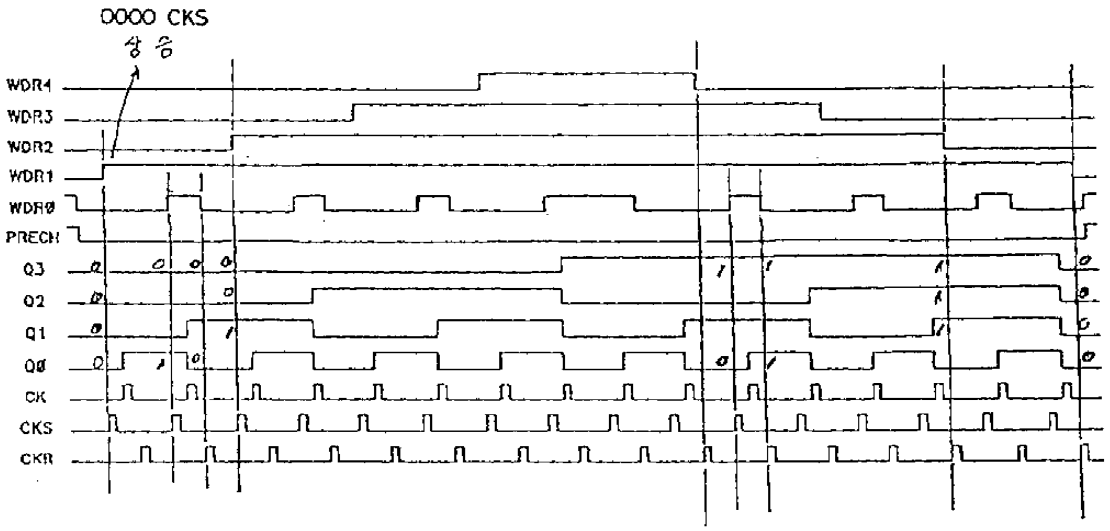
도면16


80
R
J
CK
K
Q0
Q1
Q2
Q3
PRECH

도면17



도면18


0000 CKS
상승
WDR4
WDR3
WDR2
WDR1
WDR0
PRECH
Q3
Q2
Q1
Q0
CK
CKS
CKR