

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3548834号

(P3548834)

(45) 発行日 平成16年7月28日(2004.7.28)

(24) 登録日 平成16年4月30日(2004.4.30)

(51) Int. Cl.<sup>7</sup>

F I

H O 1 L 21/8247

H O 1 L 27/10 4 3 4

H O 1 L 27/115

H O 1 L 29/78 3 7 1

H O 1 L 29/788

H O 1 L 29/792

請求項の数 13 (全 23 頁)

(21) 出願番号	特願平8-253797	(73) 特許権者	000000295 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
(22) 出願日	平成8年9月4日(1996.9.4)	(74) 代理人	100082050 弁理士 佐藤 幸男
(65) 公開番号	特開平10-79495	(72) 発明者	河津 佳幸 東京都港区虎ノ門1丁目7番12号 沖電 気工業株式会社内
(43) 公開日	平成10年3月24日(1998.3.24)	(72) 発明者	宮城 享 東京都港区虎ノ門1丁目7番12号 沖電 気工業株式会社内
審査請求日	平成13年2月27日(2001.2.27)	審査官	岡 和久

最終頁に続く

(54) 【発明の名称】 不揮発性半導体メモリの製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板上にマトリクス状に配置される各メモリの浮遊ゲートおよび該浮遊ゲートを覆って伸長する制御ゲートが絶縁膜を介して積層されて構成され、それぞれが互いに間隔をおく少なくとも一対のワード線と、該ワード線間に形成され、前記メモリのソース領域に接続されたソース線とを含む不揮発性半導体メモリの製造方法であって、  
前記半導体基板に素子分離領域で区画された活性領域を横切る少なくとも一対のワード線を形成すること、前記半導体基板の前記一対のワード線の両外側における領域を保護膜で覆った状態で前記一対のワード線をマスクとして、該ワード線間の素子分離領域をエッチングにより除去すること、  
エッチングを受けた当該領域に前記ワード線をマスクとして不純物をイオン注入してソース領域を含むソース線を形成することを含み、  
前記ワード線間の素子分離領域の除去のためのエッチングで、前記ソース領域となる部分が前記ワード線へ向けての立ち上がり傾斜を与えられることを特徴とする不揮発性半導体メモリの製造方法。

【請求項2】

半導体基板上にマトリクス状に配置される各メモリの浮遊ゲートおよび該浮遊ゲートを覆って伸長する制御ゲートが絶縁膜を介して積層されて構成され、それぞれが互いに間隔をおく少なくとも一対のワード線と、該ワード線間で前記メモリのドレイン領域に開放するドレインコンタクトホールを経て、対応する前記各ドレイン領域に接続されたビット線と

を含む不揮発性半導体メモリの製造方法であって、  
 前記半導体基板に素子分離領域で区画された活性領域を横切る少なくとも一対のワード線を形成すること、  
 前記一対のワード線間および該ワード線の外側に不純物を注入してドレイン領域およびソース領域をそれぞれ形成すること、  
 前記ワード線の側部に絶縁材料からなるサイドウォール部を形成して該サイドウォール部及び前記ワード線の上面を覆う絶縁層と共に前記ワード線を覆うエッチングストッパ層を形成すること、  
 前記エッチングストッパ層を覆う中間絶縁層を形成し、該中間絶縁層上に形成される中間絶縁層保護用マスクを用いるエッチングにより、前記エッチングストッパ層の前記ドレイン領域側を部分的に露出させること、  
 前記エッチングストッパ層の露出部を除去し、ドレイン領域及び前記サイドウォール部を露出させること、  
 前記ワード線の前記ドレイン領域上で部分的に露出された前記サイドウォール部を前記ドレイン領域上に開放するドレインコンタクトホールの壁面の一部として該ドレインコンタクトホールを経て前記ドレイン領域に接続されるビット線を形成することとを含み、  
 前記エッチングストッパ層は、前記中間絶縁層の形成に先立って、少なくともソース領域上の一部が除去されることを特徴とする不揮発性半導体メモリの製造方法。

10

## 【請求項 3】

前記エッチングストッパ層は、絶縁材料から成る請求項 2 記載の不揮発性半導体メモリの製造方法。

20

## 【請求項 4】

前記エッチングストッパ層は、シリコン窒化膜である請求項 2 記載の不揮発性半導体メモリの製造方法。

## 【請求項 5】

前記半導体基板と前記浮遊ゲートとの間に形成される酸化ゲート膜を予め酸化窒素ガスを含む雰囲気下で熱処理を施すことを特徴とする請求項 2 記載の不揮発性半導体メモリの製造方法。

## 【請求項 6】

前記エッチングストッパ層は、導電材料を堆積させて形成されることを特徴とする請求項 2 記載の不揮発性半導体メモリの製造方法。

30

## 【請求項 7】

前記導電材料は、ポリシリコン、タングステンシリサイドまたはタングステンのいずれか 1 つであることを特徴とする請求項 6 記載の不揮発性半導体メモリの製造方法。

## 【請求項 8】

前記半導体メモリは、多層ビット配線構造を有し各層のビット線の形成のためのドレインコンタクトホールの壁面の一部として、前記エッチングストッパ層から露出するそれぞれ異なる前記サイドウォール部分を利用することを特徴とする請求項 2 記載の不揮発性半導体メモリの製造方法。

## 【請求項 9】

前記半導体メモリは、前記サイドウォール部と同時的に形成される前記したと同様なサイドウォール部および前記エッチングストッパ層を有する周辺回路素子を備え、該周辺回路素子の配線のためのドレインコンタクトホールの壁面の一部として、前記周辺回路素子の前記サイドウォール部を利用することを特徴とする請求項 2 記載の不揮発性半導体メモリの製造方法。

40

## 【請求項 10】

半導体基板上にマトリクス状に配置される各メモリの浮遊ゲートおよび該浮遊ゲートを覆って伸長する制御ゲートおよび絶縁膜が積層されて構成され、それぞれが互いに間隔をおく多数のワード線と、該ワード線間に形成され、前記メモリのソース領域に接続されたソース線と、前記メモリのドレイン領域に接続され前記ワード線と交差して配置されるビッ

50

ト線とを含む不揮発性半導体メモリの製造方法であって、  
前記半導体基板に素子分離領域で区画された活性領域を横切る複数のワード線を形成すること、  
前記半導体基板の前記ワード線間に位置する領域をその配列方向に交互に露出させるように、前記ワード線間の領域を一つおきに保護膜で覆った状態で、前記ワード線をマスクとして、該ワード線間で前記保護膜から露出する素子分離領域をエッチングにより除去すること、  
エッチングを受けた当該領域に前記ワード線をマスクとして不純物をイオン注入してソース領域を含むソース線を形成すること、  
前記保護膜を除去して露出した前記半導体基板の前記ワード線間に不純物を注入してドレイン領域を形成すること、  
前記ワード線の側部に絶縁材料からなるサイドウォール部を形成して前記ワード線の上面を覆う前記絶縁層と共に前記ワード線を覆う絶縁膜を形成すること、  
前記絶縁膜を覆うエッチングストッパ層を形成すること、  
前記エッチングストッパ層を覆う中間絶縁層を形成し、該中間絶縁層上に形成された中間絶縁層保護用マスクを用いるエッチングにより、前記エッチングストッパ層を部分的に露出させること、  
部分的に露出されたエッチングストッパ層を除去し、ドレイン領域上で部分的に前記サイドウォール部を露出させること、  
前記ワード線の前記ドレイン領域上で部分的に露出された前記サイドウォール部を前記ドレイン領域上に開放するドレインコンタクトホール<sup>20</sup>の壁面の一部として該ドレインコンタクトホールを経て前記ドレイン領域に接続されるビット線を形成することを含む、不揮発性半導体メモリの製造方法。

【請求項 1 1】

前記ワード線の前記絶縁層は前記素子分離領域のエッチングに際し前記素子分離領域よりも高い耐エッチング特性を示す上層部分を有する請求項 1 0 記載の不揮発性半導体メモリの製造方法。

【請求項 1 2】

前記ワード線の形成のために、前記半導体基板上にゲート酸化膜層、浮遊ゲート層、ゲート間絶縁膜層、制御ゲート膜層および絶縁膜層からなる積層体を形成すること、レジストパターンを用いたエッチングにより、該積層体の前記ポリシリコン層上の前記ゲート間絶縁膜層、前記制御ゲート膜層および前記絶縁膜層を選択的に除去すること、前記レジストパターンの除去後、前記積層体の前記絶縁膜層の残存部分をマスクとして、前記浮遊ゲート層をエッチングにより選択的に除去することを含む請求項 1 1 記載の不揮発性半導体メモリの製造方法。

【請求項 1 3】

前記浮遊ゲート層は、ポリシリコンからなり、前記ゲート酸化膜層はシリコン酸化膜からなり、前記浮遊ゲート層のエッチングは炭素成分を含まないエッチングガスを使用することを特徴とする請求項 1 2 記載の不揮発性半導体メモリの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、浮遊ゲートおよび制御ゲートを有する不揮発性半導体メモリおよびその製造方法に関し、特に、集積度を高め得る不揮発性半導体メモリおよびその製造方法に関する。

【0002】

【従来の技術】

不揮発性半導体メモリは、一般的には、浮遊ゲートおよび制御ゲートを有するメモリセルが半導体基板上にマトリクス状に配列して形成されている。浮遊ゲート、制御ゲートおよび絶縁層から成る積層体でそれぞれ複数のワード線が構成されており、各ワード線は半導体基板上を一方向へ互いに平行に伸びる。また、半導体基板上のワード線の両側には、ワ

10

20

30

40

50

ード線の伸長方向とは直角な配列方向へ、ソース領域およびドレイン領域がそれぞれ交互に形成されている。

【0003】

ソース領域は、ワード線間でそれぞれワード線と平行に伸びるソース線により行毎で相互に接続されている。また、ドレイン領域は、このドレイン領域およびワード線を覆う層間絶縁膜を貫通するドレインコンタクトホールを経て各ドレイン領域に接続されるビット線を介して、列毎に相互に接続されている。

【0004】

このような半導体メモリは、例えば特開昭64-77160号公報に示されているように、リソグラフィを利用して形成されている。例えば、ワード線の形成後のワード線に沿ったソース線の形成あるいはワード線の形成後のドレインコンタクトホールの形成には、ワード線をマスクとして利用することなくそれぞれにマスクを用いたリソグラフィで形成されている。

10

そのため、これらソース線およびドレインコンタクトホールについては、それぞれに使用されるマスクのアライメント精度に関連した許容誤差を配慮して、パターン設計が行われている。

【0005】

【発明が解決しようとする課題】

このため、従来の不揮発性半導体メモリでは、そのソース線およびドレインコンタクトホールの形成に、リソグラフィの許容誤差分の合わせ余裕を見込む必要があり、ワード線とソース線あるいはドレインコンタクトホールとの間隔を許容誤差よりも小さくすることはできず、不揮発性半導体メモリのコンパクト化を図る上で、障害となっていた。

20

【0006】

【課題を解決するための手段】

本発明は、以上の点を解決するために、基本的には、ワード線をマスクの一部とする自己整合を利用して、ソース線あるいはドレインコンタクトホールを形成すべく、次の構成を採用する。

構成

本発明に係る不揮発性半導体メモリは、リソグラフィ技術を利用して形成される不揮発性半導体メモリであって、マトリクス状に配置される各メモリの浮遊ゲートおよび該浮遊ゲートを覆って伸長する制御ゲートが絶縁膜を介して積層されて構成され、それぞれが互いに間隔をおく少なくとも一対のワード線と、該ワード線間に該ワード線をマスクとして自己整合的に形成され、メモリのソース領域に接続されたソース線とを含む。

30

【0007】

一対のワード線間に形成されるソース線がその両側に位置するワード線をマスクとして、このマスクの自己整合を利用して形成されていることから、従来のようなワード線とソース線との間に許容誤差を見込む必要はなく、両線間の間隔を許容誤差よりも小さくすることができることから、不揮発性半導体メモリのコンパクト化が図られる。

【0008】

また、本発明に係る不揮発性半導体メモリは、リソグラフィ技術を利用して形成される不揮発性半導体メモリであって、マトリクス状に配置される各メモリの浮遊ゲートおよび該浮遊ゲートを覆って伸長する制御ゲートが絶縁膜を介して積層されて構成され、それぞれが互いに間隔をおく少なくとも一対のワード線と、該ワード線間に該ワード線をマスクの一部として自己整合的に形成されメモリのドレイン領域に開放するドレインコンタクトホールを経て、対応する各ドレイン領域に接続されたビット線とを含む。

40

【0009】

一対のワード線間に形成されるドレインコンタクトホールがその両側に位置するワード線をマスクの一部として、このマスクの自己整合を利用して形成されていることから、従来のようなワード線とドレインコンタクトホールとの間に許容誤差を見込む必要はなく、両線間の間隔を耐圧性を考慮するのみで、必要とされる耐圧性を満たすことができれば、許

50

容誤差よりも小さくすることができることから、不揮発性半導体メモリのコンパクト化が図られる。

【0010】

本発明に係る前記したような不揮発性半導体メモリは、次のようにして形成することができる。すなわち、半導体基板に素子分離領域で区画された活性領域を横切る少なくとも一对のワード線を形成し、半導体基板の一对のワード線の両外側における領域を保護膜で覆った状態で一对のワード線をマスクとして、該ワード線間の素子分離領域をエッチングにより除去し、エッチングを受けた当該領域にワード線をマスクとして不純物をイオン注入してソース領域を含むソース線を形成する。そして、ワード線間の素子分離領域の除去のためのエッチングで、ソース領域となる部分がワード線へ向けての立ち上がり傾斜を与えられていることを特徴とする。(請求項1に対応)。

10

【0011】

この方法によれば、一对のワード線間に形成されるソース線のマスクとして該ソース線の両側の一对のワード線が利用されることから、ワード線の自己整合作用により、ワード線とその間に形成されるソース線との間隔がそれぞれリソグラフィの許容誤差よりも小さいことを特徴とする不揮発性半導体メモリを比較的容易に形成することができる。

【0012】

また、従来では、素子分離領域により相互に交差して区画される活性領域の角部は実質的に丸みを与えられることから、ワード線とソース線との間隔のばらつきにより、ワード線下のゲート有効面積が変化することから、いわゆるカップリング比の変化により、閾値の

20

ばらつきを招いていた。しかしながら、本発明の方法によれば、活性領域を横切るワード線の形成後、このワード線をマスクとしてソース線が形成されることから、ワード線下のゲートの有効面積がワード線とソース線との間隔に応じて変化することはなく、閾値のばらつきを招くことのない不揮発性半導体メモリを製造することが可能となる。

【0013】

また、前記した不揮発性半導体メモリは、次のようにして形成することができる。すなわち、前記半導体基板に素子分離領域で区画された活性領域を横切る少なくとも一对のワード線を形成し、一对のワード線間および該ワード線の外側に不純物を注入してドレイン領域およびソース領域をそれぞれ形成し、ワード線の側部に絶縁材料からなるサイドウォール部を形成してワード線の上面を覆う絶縁層と共にワード線を覆うエッチングストップ層を形成する。さらに、該エッチングストップ層を覆う中間絶縁層を形成し、該中間絶縁層上に形成された中間絶縁層保護用マスクを用いるエッチングにより、エッチングストップ層のドレイン領域側を部分的に露出させ、この露出部を除去し、ドレイン領域及びサイドウォール部を露出させ、ワード線のドレイン領域上で部分的に露出されたサイドウォール部をドレイン領域上に開放するドレインコンタクトホールの壁面の一部として、該コンタクトホールを経てドレイン領域に接続されるビット線を形成する。そして、中間絶縁層の形成に先立って、エッチングストップ層の少なくともソース領域上の一部を除去することを特徴としている。(請求項2に対応)。

30

【0014】

この方法によれば、一对のワード線間に形成されるドレインコンタクトホールの壁面の一部として、ワード線の側部を覆うサイドウォール部が利用されることから、ワード線の自己整合作用すなわちこれと一体的に形成されたサイドウォール部の自己整合作用により、ワード線とその間に形成されるドレインコンタクトホールとの間隔がリソグラフィの許容誤差よりも小さいことを特徴とする不揮発性半導体メモリを比較的容易に形成することができる。

40

【0018】

ソース線とワード線との間隔がリソグラフィの許容誤差よりも小さくかつワード線とドレインコンタクトホールとの間隔がリソグラフィの許容誤差よりも小さい不揮発性半導体メモリは、次のようにして形成することができる。

50

すなわち、半導体基板のワード線間に位置する領域をその配列方向に交互に露出させるように、ワード線間の領域を一つおきに保護膜で覆った状態で、ワード線をマスクとして、該ワード線間で保護膜から露出する素子分離領域をエッチングにより除去し、エッチングを受けた当該領域にワード線をマスクとして不純物をイオン注入してソース領域を含むソース線を形成する。

次に、保護膜を除去して露出した半導体基板のワード線間に不純物を注入してドレイン領域を形成し、ワード線の側部に絶縁材料からなるサイドウォール部を形成してワード線の上面を覆う絶縁層と共にワード線を覆う絶縁膜を形成し、この絶縁膜を覆うエッチングストップ層を形成する。

さらに、このエッチングストップ層を覆う中間絶縁層を形成し、該中間絶縁層上に形成された中間絶縁層保護用マスクを用いるエッチングにより、エッチングストップ層を部分的に露出させ、部分的に露出されたエッチングストップ層を除去し、ドレイン領域上で部分的にサイドウォール部を露出させ、ワード線のドレイン領域上で部分的に露出されたサイドウォール部をドレイン領域上に開放するドレインコンタクトホール壁の一部とする。このコンタクトホールを経て、ドレイン領域に接続されるビット線が形成される（請求項10に対応）。

#### 【0019】

請求項10に記載の方法により、ソース線とワード線との間隔および該ワード線とドレインコンタクトホールとの間隔がそれぞれをリソグラフィの許容誤差よりも小さい、一層コンパクトな不揮発性半導体メモリを比較的容易に形成することが可能となる。

#### 【0020】

##### 【発明の実施の形態】

以下、本発明を図示の実施の形態について詳細に説明する。

##### 具体例1

図1は、本発明に係る不揮発性半導体メモリを部分的に示す平面図である。

図1には、図面の簡素化のために、不揮発性半導体メモリ10がその最小単位であるメモリセルで示されているが、多数のこれらメモリセルがマトリクス状に配列されるように、縦横方向に整列して形成されている。

図2は、図1に示された線II-IIに沿って得られた縦断面図であり、これら図1および図2に沿って、本発明に係る不揮発性半導体メモリ10について説明する。

#### 【0021】

不揮発性半導体メモリ10は、図1に示されているように、例えばp型単結晶シリコンからなる基板11と、基板11上に形成され、図中横方向に伸びるワード線12と、ワード線12の側方でワード線12と平行に伸びるソース線13と、ワード線12の上方でワード線12に直角に伸長して形成されるビット線14とを含む。

#### 【0022】

基板11には、素子分離領域15により活性領域16が区画されている。この活性領域16上には、図2に示すように、ゲート酸化膜17を介して浮遊ゲート18が配置されており、浮遊ゲート18上には、ゲート間絶縁膜19を介して制御ゲート20が配置されている。この制御ゲート20は、その上に形成された絶縁膜21と共に複数の浮遊ゲート18を覆うべく連続的に伸長し、これら積層体は、ワード線12を構成する。また、ワード線12上の絶縁膜21には、ワード線12の側方をそれぞれ覆うサイドウォール部22が形成されている。

#### 【0023】

ワード線12の両側には、従来の不揮発性半導体メモリにおけると同様な例えばn型不純物のイオン注入および熱処理により、ドレイン領域23およびソース領域24が形成されている。これらドレイン領域23およびソース領域24は、多数のワード線12の伸長方向と直角な多数のワード線12の配列方向へ、交互に位置するように、形成されている。

#### 【0024】

ソース領域24は、各ソース領域24に連続しかつ基板11上をワード線12に近接して

10

20

30

40

50

ワード線 1 2 と平行に伸長するソース線 1 3 を介して、各行毎に接続されている。  
各ソース線 1 3 は、ソース領域 2 4 の形成におけると同様なイオン注入により形成することができる。このイオン注入に際し、両側に位置する一对のワード線 1 2 ( 図 1 にはその一方のみが示されている。 ) をマスクとするワード線 1 2 による自己整合を利用することができる。このワード線 1 2 を利用した自己整合作用により、図 1 に示されているように、ワード線 1 2 とソース線 1 3 との間隔がほぼ零となるように形成されている。図 2 では、ソース線 1 3 の両側部が各ワード線 1 2 下に伸びているが、これはイオン注入後の熱処理での拡散による。

**【 0 0 2 5 】**

このソース線 1 3 およびワード線 1 2 を覆って、中間絶縁層 2 5 が形成されており、中間絶縁層 2 5 にはドレイン領域 2 3 に開放するドレインコンタクトホール 2 6 が形成されている。

10

ドレインコンタクトホール 2 6 は、図示の例では、ワード線 1 2 に沿った一对の短辺 2 6 a を含む矩形開口である。ドレインコンタクトホール 2 6 は、ワード線 1 2 をマスクの一部として利用したワード線 1 2 の自己整合作用により、ワード線 1 2 の側部を覆うサイドウォール部 2 2 を壁面として、形成されている。

中間絶縁層 2 5 上には、各列毎にドレインコンタクトホール 2 6 を経てドレイン領域 2 3 に接続されるビット線 1 4 が、例えばアルミニウムのような金属材料のスパッタにより形成されている。

**【 0 0 2 6 】**

20

このビット線 1 4 のドレイン領域 2 3 への接続を許すドレインコンタクトホール 2 6 は、前記したように、ワード線 1 2 をマスクの一部として、自己整合的に形成されている。従って、ドレインコンタクトホール 2 6 のドレイン領域 2 3 上における短辺 2 6 a とサイドウォール部 2 2 を除くワード線 1 2 との間隔  $W$  を零に設定することができるが、ワード線 1 2 とビット線 1 4 との間の耐圧性を考慮して、サイドウォール部 2 2 の厚さ寸法である例えば  $0.2 \mu\text{m}$  という比較的小さな値に設定されている。この間隔  $W$  は、必要とされるサイドウォール部 2 2 の厚さ寸法に応じて、低減することができる。

**【 0 0 2 7 】**

図 1 に示される不揮発性半導体メモリ 1 0 は、解像度についての限界精度がリソグラフィ技術上、 $0.35 \mu\text{m}$  であるいわゆる  $0.35 \mu\text{m}$  デザインルールを用いて設計されたメモリセルであり、ワード線 1 2 の幅寸法が  $0.5 \mu\text{m}$ 、ソース線 1 3 の幅寸法の半値が  $0.18 \mu\text{m}$  (メモリにおけるソース線 1 3 の幅はその 2 倍の  $3.36 \mu\text{m}$ )、ドレインコンタクトホール 2 6 が  $0.28 \mu\text{m} \times 0.2 \mu\text{m}$ 、ビット線 1 4 の幅寸法が  $0.6 \mu\text{m}$ 、ピッチが  $1.2 \mu\text{m}$  である。

30

この不揮発性半導体メモリ 1 0 では、ワード線 1 2 をマスクとして、自己整合的に、ソース線 1 3 およびドレインコンタクトホール 2 6 が形成されていることから、ワード線 1 2 とソース線 1 3 との間およびワード線 1 2 とドレインコンタクトホール 2 6 との間に、それぞれリソグラフィ技術上必要とされる許容誤差寸法として、例えば  $0.2 \mu\text{m}$  を越える値を見込む必要はない。

**【 0 0 2 8 】**

40

従って、図 1 に示す不揮発性半導体メモリ 1 0 では、耐圧性の点から、ワード線 1 2 と、ドレインコンタクトホール 2 6 との間隔として  $0.2 \mu\text{m}$  を設定しているが、図 1 に示す縦寸法で、ワード線 1 2 とソース線 1 3 との間およびワード線 1 2 とドレインコンタクトホール 2 6 との間を、従来に比較して、それぞれ  $0.2 \mu\text{m}$  および  $0.3 \mu\text{m}$  短縮することができた。

この寸法の短縮化により、 $1.2 \mu\text{m} \times 1.48 \mu\text{m}$  の従来のセル面積が、 $1.2 \mu\text{m} \times 0.98 \mu\text{m}$  のセル面積に低減することができ、メモリセルの 66% の縮小化が可能となった。

**【 0 0 2 9 】**

不揮発性半導体メモリ 1 0 では、従来よく知られているように、選択されたワード線 1 2

50

およびビット線 14 に読取り信号が入力すると、ワード線 12 およびビット線 14 の交点に位置するメモリセルの浮遊ゲート 18 の荷電状態に応じて、ソース領域 24 からドレイン領域 23 に流れる電流値が大きく変化する。基本的には、浮遊ゲート 18 に電荷が蓄えられていれば、ソース線 13 に電流が流れず、これとは逆に浮遊ゲート 18 に電荷が蓄えられていなければ、ソース線 13 に電流が流れる。

従って、読取り信号を入力したときの該当するソース線 13 の電流の有無を検出することにより、該当するメモリセルの記憶内容を読み出すことができる。

また、選択された浮遊ゲート 18 への電荷の注入により記憶内容を書き込むことができ、また電気的あるいは光学的に浮遊ゲート 18 の電荷にエネルギーを与えることにより、浮遊ゲート 18 の電荷を一括的に放出させて、記憶内容を消去することができる。

10

#### 【0030】

##### 具体例 2

次に、図 1 および 2 に示したようなワード線 12 とソース線 13 との間隔をリソグラフィの許容誤差以下に設定できる不揮発性半導体メモリの製造方法を説明する。

図 3 および図 4 は、それぞれ本発明に係る不揮発性半導体メモリ 10\* の製造方法を示す工程図（その 1 およびその 2）である。

また、図 5 および図 6 は、それぞれ図 3（c）に示された線 Va - Va、線 VI - VI および図 4（d）に示された線 Vb - Vb に沿って得られた断面図である。

#### 【0031】

図 3（a）に示されているように、半導体基板 11 上には、例えば従来よく知られた L O C O S 法により、酸化シリコンからなる素子分離領域 15 が形成され、この素子分離領域 15 により、互いに平行に伸びる複数組の活性領域 16 が区画される。図示の例では、相互に間隔をおく平行な一対の活性領域 16 が示されているが、1つのメモリセル領域には、多数組の平行な活性領域 16 が形成され、これら活性領域 16 は相互に交差することはない。

20

#### 【0032】

図 3（b）に示されているように、活性領域 16 と直角に伸長する複数のワード線 12 が従来よく知られたリソグラフィ技術を用いて、形成される。図 3 には、相互に間隔をおく一対のワード線 12 が示されているが、1つのメモリセル領域には、活性領域 16 におけると同様に多数のワード線 12 が相互に間隔をおいて形成される。

30

各ワード線 12 は、後でその詳細を説明するが、図 1 および図 2 に示したと同様な従来よく知られたゲート酸化膜 17、浮遊ゲート 18、ゲート間絶縁膜 19 および制御ゲート 20 からなる積層構造を有する。

#### 【0033】

基板 11 を一対のワード線 12 間で露出させ、この一対のワード線 12 の外側に位置する基板部分を覆うように、リソグラフィ技術を用いてレジストパターン 27 が形成される。このレジストパターン 27 により、基板 11 のワード線 12 間の領域は、ワード線 12 の配列方向へ 1つおきに露出され、この露出された領域とレジストパターン 27 で保護された領域とが交互に配列されることとなる。

#### 【0034】

40

図 5（a）に示されているように、素子分離領域 15 を横切る断面では、基板 11 上に素子分離領域 15 が現れ、素子分離領域 15 上に制御ゲート 20 が積層されて現れるが、図 6 に示されているように、活性領域 16 を横切る断面では、基板 11 上に素子分離領域 15 が現れることはなく、基板 11 上に、ゲート酸化膜 17、浮遊ゲート 18、ゲート間絶縁膜 19 および制御ゲート 20 からなるワード線 12 の積層構造が現れている。

図 6 以下の図面には、図面の簡素化のために、基板 11 と浮遊ゲート 18 との間のゲート酸化膜 17 が省略されている。

#### 【0035】

図 5（a）および図 6 から明らかなように、レジストパターン 27 が、ワード線 12 をその幅方向へ全域で覆うことなく、部分的に覆っている。これは、レジストパターン 27 を

50



マスクとして素子分離領域 15 のワード線 12 間に露出する部分を除去するエッチングに対し、ワード線 12 がレジストパターン 27 と同等の耐エッチング性を示すためであり、必要に応じて、ワード線 12 の上面の全域をレジストパターン 27 で覆い、あるいはその全域を露出させることができる。また、第 3 具体例として後で説明する例との組合せのために、図 5 および図 6 に仮想線で示すように制御ゲート 20 上に絶縁膜 21 を形成しておくことができる。

**【0036】**

レジストパターン 27 を施した状態で、従来よく知られた酸化シリコンを除去するための乾式のエッチング処理が施される。このエッチングにより、図 4 (d) および図 5 (b) に示されているように、素子分離領域 15 は、一对のワード線 12 間でレジストパターン 27 から露出する部分が除去され、これにより、ワード線 12 に隣接してこれと平行に伸びるソース線領域 13 a が形成される。図 6 に示す断面では、素子分離領域 15 が現れていないことから、このエッチングによる大きな変化はない。

10

**【0037】**

ソース線領域 13 a の形成後、レジストパターン 27 が除去され、これにより図 4 (e) に示されているように、ワード線 12 間には、このワード線 12 間に形成され、ワード線 12 に隣接してこれと平行に連続的に伸びるソース線領域 13 a と、不連続な活性領域 16 の露出部分 16 a とが、ワード線 12 の配列方向へ交互に形成されることとなる。

**【0038】**

活性領域 16 の露出部分 16 a およびソース線領域 13 a には、それぞれワード線 12 をマスクとして、ソース領域およびドレイン領域を形成するための不純物がイオン注入法により注入され、その後、基板 11 は、熱処理を受ける。

20

このイオン注入および熱処理により、露出部分 16 a には、ドレイン領域 23 が形成される。また、ソース線領域 13 a には、ソース領域 24 を含むソース線 13 が形成される。

**【0039】**

ドレイン領域 23 と、ソース領域 24 を含むソース線 13 の形成後、これらドレイン領域 23、ソース線 13 およびワード線 12 を覆う図 2 に示したような中間絶縁層 25 が形成される。この中間絶縁層 25 にドレイン領域 23 に開放するドレインコンタクトホール 26 が形成され、ドレインコンタクトホール 26 を経てドレイン領域 23 に接続される図 2 に示したようなビット線 14 が形成され、これにより、不揮発性半導体メモリ 10 \* が得られる。

30

ドレインコンタクトホール 26 は、具体例 3 で述べる本願方法を用いて形成することが望ましいが、従来と同様な方法で形成することができる。

**【0040】**

具体例 2 に示した本願方法では、前記したように、一对のワード線 12 間に該ワード線をマスクとする不純物のイオン注入によってソース線 13 が形成され、このワード線 12 による自己整合作用によってソース線 13 をリソグラフィの許容誤差以下に近接して形成することができる。

従って、ワード線 12 とソース線 13 との間隔を従来よりも小さくすることができ、ワード線 12 とソース線 13 との間隔が従来に比較して小さな不揮発性半導体メモリ 10 \* を比較的容易に形成することができる。

40

**【0041】**

また、具体例 2 に示した方法では、予め活性領域 16 が交差して形成されることない。しかも、活性領域 16 に交差するソース線領域 13 a はエッチングにより形成され、このソース線領域へのワード線 12 をマスクとする不純物のイオン注入により形成されることから、この領域に従来のような丸まった角部分が生じることはなく、浮遊ゲート 18 下におけるゲート有効面積に従来のようなばらつきを与える要素を消去できる。

従って、閾値にばらつきのない安定したメモリを形成することができる。

**【0042】**

図 4 (d) に沿って説明したソース線領域 13 a の形成のために、ワード線 12 間に露出

50

する素子分離領域 15 を部分的に除去する乾式エッチングでは、基本的には基板 11 がエッチングを受けない。しかしながら、僅かな条件の変動等によって、基板 11 が、図 7 に符号 28\* で示すように、凹状に削られることがある。

この凹所 28\* には、その後のイオン注入により、ソース領域 24\* が形成されるが、このような凹所 28\* に形成されたソース領域 24\* は、熱処理によっても十分にワード線 12 下に拡散されない。そのため、ゲート下に所定のチャンネルが形成されないことから、所定の電気特性を得ることが困難になる。

#### 【0043】

そこで、図 7 に示されているように、素子分離領域 15 の部分的なエッチングに際し、ソース領域 24 に、その両側のワード線 12 に向けての立ち上がり傾斜部 28 を形成することが望ましい。

10

この立ち上がり傾斜部 28 は、例えば、エッチングガス圧を高めあるいはエッチングのためのプラズマ発生の高周波電力を低めることにより、またはエッチングガスの堆積作用により重合膜を生成し易い炭素を含むガス分圧を高める等の手段により、エッチングの異方性を低めることにより、比較的容易に形成することができる。

#### 【0044】

この立ち上がり傾斜部 28 は、イオン注入により立ち上がり傾斜部 28 に注入されたイオンを、その後の熱処理により、図 8 に示されているように、適正にワード線 12 下に拡散させることから、これにより、ワード線 12 下に伸びる適正なソース領域 24 を形成することができる。

20

#### 【0045】

##### 具体例 3

次に、図 1 および 2 に示したようなワード線 12 とドレインコンタクトホール 26 との間隔をリソグラフィの許容誤差以下に設定できる不揮発性半導体メモリの製造方法を説明する。

図 9 は、本発明に係る不揮発性半導体メモリ 10\* の他の製造方法を示す工程図である。また、図 10 ~ 図 12 は、それぞれ図 9 に示された線 Xa - Xa、線 Xb - Xb、線 XIa - XIa、線 XIb - XIb、線 XIc - XIc および線 XII - XII に沿って得られた断面図である。

#### 【0046】

図 9 に示す方法では、その図 9 (a) に示されているように、従来におけると同様、基板 11 上には、この基板 11 上に形成された素子分離領域 15 により、相互に直角に交差する横方向に伸びる活性領域 16 a と、縦方向に伸びる活性領域 16 とが区画されている。

30

#### 【0047】

図 9 (b) に示されているように、縦方向に伸びる活性領域 16 と直角に互いに間隔をおいて平行に伸びる複数のワード線 12 が、前記したと同様なりソグラフィにより、形成される。図 9 には、図 3 に示したと同様に、4 メモリセルが示されているに過ぎないが、基板 11 上のメモリセル領域には、多数の活性領域 16、16 a および多数のワード線 12 が形成される。

#### 【0048】

図 10 (a) に示されているように、ワード線 12 は、浮遊ゲート 18、ゲート間絶縁膜 19 および制御ゲート 20 を含み、さらにその上に積層された絶縁膜 21 を含む積層構造を有する。図 10 以下の図面においても図 6 および図 7 におけると同様に、ゲート酸化膜 17 が省略されている。

40

#### 【0049】

図 9 (b) および図 10 (b) に示されているように、活性領域 16 のワード線 12 から露出する部分には、それぞれドレインおよびソースを形成するための不純物がイオン注入法により注入され、基板 11 が熱処理を受けることにより、それぞれワード線 12 の両側にドレイン領域 23 およびソース領域 24 が形成される。ドレイン領域 23 およびソース領域 24 は、ワード線 12 の配列方向へ、交互に位置するよう形成される。

#### 【0050】

50

ドレイン領域 23 およびソース領域 24 の形成後、図 9 (c) および図 11 (a) に示されているように、絶縁膜 21 を構成する材質と同質の例えば酸化シリコンにより、ワード線 12 の側部を覆うサイドウォール部 22 が形成される。

サイドウォール部 22 は、絶縁膜 21 と共同してワード線 12 を電気絶縁的に保護する絶縁膜を構成し、後述するビット線 14 と浮遊ゲート 18 および制御ゲート 20 との短絡を防止する。このサイドウォール部 22 および絶縁膜 21 から成る絶縁膜 (21 および 22) を後述する中間絶縁層 25 のエッチング時にエッチングガスから保護するためのエッチングストップ層 29 が形成される。

このエッチングストップ層 29 を埋め込むようにこれを覆って、例えば酸化シリコンからなる中間絶縁層 25 が形成される。

10

#### 【0051】

エッチングストップ層 29 は、絶縁膜 21 およびサイドウォール部 22 とは異なる材質から成り、中間絶縁層 25 のエッチング時に中間絶縁層 25 よりも遅いエッチング速度を示す、例えばシリコン窒化膜のような、耐エッチング特性を持つ材料で形成される。

#### 【0052】

さらに、中間絶縁層 25 上には、図 11 (b) に示されているように、中間絶縁層 25 を部分的に除去してドレイン領域 23 に開放するドレインコンタクトホール 26 形成用のレジストマスク 30 が形成される。

レジストマスク 30 を用いたエッチングにより、レジストマスク 30 の開口 30a に沿って中間絶縁層 25 がエッチングを受けることにより、図 11 (c) に示されているように、ドレイン領域 23 上でエッチングストップ層 29 のサイドウォール部 22 を覆う部分が露出する。

20

#### 【0053】

その後、図 9 (d) および図 12 に示されているように、エッチングストップ層 29 のドレインコンタクトホール 26 に露出する部分がエッチングにより除去されることにより、ドレイン領域 23 上には、エッチングストップ層 29 により保護されていたサイドウォール部 22 が露出する。その後、レジストマスク 30 が除去される。

#### 【0054】

このサイドウォール部 22 は、ワード線 12 の側部にこれと一体的に形成されており、ドレイン領域 23 上に開放ドレインコンタクトホール 26 の壁面の一部を構成する。

30

このサイドウォール部 22 をドレインコンタクトホール 26 の壁面の一部として、従来よく知られた例えばスパッタ法により、アルミニウムのような金属材料で図 1 および図 2 に示したようなビット線 14 が形成される。

#### 【0055】

従って、サイドウォール部 22 を壁面の一部とするドレインコンタクトホール 26 を経て、ドレイン領域 23 に接続するビット線 14 は、ワード線 12 に一体化されたサイドウォール部 22 に自己整合的に形成される。そのため、リソグラフィでの許容誤差を考慮することなく、耐電圧特性に関連して決められる厚さ寸法を有するサイドウォール部 22 に応じて、ワード線 12 とドレインコンタクトホール 26 との間隔を決定することができることから、従来よりもその間隔を縮小することができ、コンパクト化を図ることができる。

40

#### 【0056】

エッチングストップ層 29 として、シリコン窒化膜のような絶縁材料に代えて、例えば、ポリシリコン、タングステンシリサイドあるいはタングステンのような導電材料を使用することができる。

導電材料から成るエッチングストップ層 29 は、ビット線 14 とドレイン領域 23 との電氣的接続を遮断しないことから、このエッチングストップ層 29 を除去する必要はなくなる。そのため、エッチングストップ層 29 を導電材料で形成することにより、このエッチングストップ層 29 の除去工程を不要とし、製造工程の簡素化を図ることができる。

エッチングストップ層 29 に導電材料を使用する場合、このエッチングストップ層 29 による各ドレイン相互の短絡を防止するために、エッチングストップ層 29 は、例えばパタ

50

ーニングにより、各ドレイン領域 2 3 を除く部分に選択的に形成される。

【 0 0 5 7 】

具体例 3 に示した例では、図 1 2 に示されているように、ソース領域 2 4 側に位置するサイドウォール部 2 2 を覆うように、エッチングストッパ層 2 9 が残る。このエッチングストッパ層 2 9 がシリコン窒化膜から成る場合、エッチングストッパ層 2 9 の形成時にこのエッチングストッパ層 2 9 に取り込まれた水素が、浮遊ゲート 1 8 下のゲート酸化膜 1 7 と基板 1 1 との界面に侵入し、エッチングストッパ層 2 9 によって封じ込められることがある。この界面に封じ込められた水素は閾値電圧のばらつき等の原因となり、メモリの電気特性に悪影響を及ぼす。

【 0 0 5 8 】

そこで、エッチングストッパ層 2 9 をシリコン窒化膜で形成するとき、次に示すとおり、エッチングストッパ層 2 9 をドレイン領域 2 3 と反対側に位置する部分を予め部分的に除去することが望ましい。

図 1 3 は、図 1 1 と同様な図面であり、図 1 3 ( a ) に示されているように、基板 1 1 上に形成された一対のワード線 1 2 は、その側部を覆う絶縁材料から成るサイドウォール部 2 2 と、制御ゲート 2 0 の上面を覆う絶縁膜 2 1 とで覆われる。その後、図 1 3 ( b ) に示されているように、これら絶縁膜 2 1 および 2 2 を覆う図 1 1 に沿って説明したと同様なエッチングストッパ層 2 9 がシリコン窒化膜により形成される。

【 0 0 5 9 】

具体例 3 では、このエッチングストッパ層 2 9 の全てを残して中間絶縁層 2 5 が形成されたが、本方法では、中間絶縁層 2 5 の形成に先立って、エッチングストッパ層 2 9 の中央部分すなわちドレイン領域 2 3 側に形成された互いに対向する一対のサイドウォール部 2 2 を覆う中央部分 2 9 a を残すためのレジストパターン 3 1 が形成される。

レジストパターン 3 1 を利用したエッチングにより、レジストパターン 3 1 からはみ出したエッチングストッパ層 2 9 の両側部分が除去され、図 1 3 ( d ) に示されているように、エッチングストッパ層 2 9 は、その中央部分 2 9 a のみが残される。

【 0 0 6 0 】

エッチングストッパ層 2 9 をその中央部 2 9 a を残して部分的に除去した後、図 1 3 ( e ) に示されているように、中間絶縁層 2 5 が形成され、レジストマスク 3 0 が形成される。このレジストマスク 3 0 を用いた具体例 3 におけると同様なエッチングにより、ドレイン領域 2 3 側でエッチングストッパ層 2 9 a が露出される。さらに、エッチングストッパ層 2 9 a の部分的な除去によってドレイン領域 2 3 側に位置するサイドウォール部 2 2 が露出され、この露出されたサイドウォール部 2 2 をドレインコンタクトホール 2 6 の壁面の一部として、ビット線 1 4 が形成される。

【 0 0 6 1 】

このように、エッチングストッパ層 2 9 のドレイン領域 2 3 側に位置するサイドウォール部 2 2 を覆う部分は、このサイドウォール部 2 2 を露出させるために除去される。そのため、エッチングストッパ層 2 9 の形成時にドレイン領域 2 3 側で酸化膜 1 7 と基板 1 1 との界面に侵入した水素は、このエッチングストッパ層 2 9 の除去された部分から抜け出ることから、これが封じ込められることはない。

さらに、図 1 3 に示した例では、エッチングストッパ層 2 9 の中央部分 2 9 a を除く両外側部が除去された状態で中間絶縁層 2 5 に覆われている。そのため、ソース領域 2 4 側で酸化膜 1 7 と基板 1 1 との界面に侵入した水素は、エッチングストッパ層 2 9 a によって封じ込められることはなく、この水素の封じ込めによる電気特性のばらつきを効果的に防止することができる。

【 0 0 6 2 】

また、エッチングストッパ層 2 9 による酸化膜 1 7 と基板 1 1 との界面への水素の侵入を防止する対策として、ゲート酸化膜 1 7 を予め酸化窒素ガスを含む雰囲気下で、熱処理を施すことができる。

図 1 4 は、その熱処理手順の工程を示す図 1 0 と同様な図面である。

10

20

30

40

50

基板 11 に形成された素子分離領域 15 により区画された活性領域 16 上にゲート酸化膜 17 を形成した後、ゲート酸化膜 17 に、図 14 (a) に示されているように、基板 11 のゲート酸化膜 17 にを NO あるいは NO<sub>2</sub> のような酸化窒素ガス雰囲気下で熱処理を施す。この熱処理後、図 14 (b) に示されているように、ワード線 12 が形成され、以下、サイドウォール部 22 およびエッチングストップ層 29 が、順次形成される。

【0063】

ゲート酸化膜 17 への酸化窒素ガス下での熱処理により、窒素が基板 11 とゲート酸化膜 17 との界面に偏析し、この窒素が基板 11 のシリコンの結合子を終端する。そのため、シリコン窒化膜からなるエッチングストップ層 29 の形成時にシリコンと水素との結合が阻止されることから、ゲート酸化膜 17 と基板 11 との界面への水素の侵入を防止することができ、これにより水素の侵入による電気特性のばらつきを防止することができる。

10

【0064】

先に述べたところでは、ワード線 12 の制御ゲート 20 の上面を覆う絶縁膜 21 およびサイドウォール部 22 でワード線 12 を覆い、さらに、これら絶縁膜 21 および 22 を覆うエッチングストップ層 29 を形成した例について説明したが、絶縁膜 21 およびサイドウォール部 22 をエッチングストップ層 29 の材料であるシリコン窒化膜で形成することにより、エッチングストップ層 29 の形成工程を不要にすることができ、製造工程の簡素化を図ることができる。

【0065】

絶縁膜 21 およびサイドウォール部 22 をシリコン窒化膜で形成する例は、エッチングストップ層 29 による酸化膜 17 と基板 11 との界面への水素の侵入を防止する対策として、ゲート酸化膜 17 を予め酸化窒素ガスを含む雰囲気下で、熱処理を施す工程と組み合わせることが、電気特性のばらつきを防止し、製造工程の簡素化を図る上で、極めて有効である。

20

【0066】

具体例 2 では、ワード線 12 とソース線 13 との間隔をリソグラフィの許容誤差以下に設定できる不揮発性半導体メモリの製造方法を示し、具体例 3 では、ワード線 12 とドレインコンタクトホール 26 との間隔をリソグラフィの許容誤差以下に設定できる不揮発性半導体メモリの製造方法を示したが、これらを組み合わせることができる。

【0067】

具体例 4

この組合せ例の製造工程を図 15 に沿って説明する。

図 15 (a) には、基板 11 上に互いに間隔をおいて形成された複数のワード線 12 が示されている。各ワード線 12 は、前記した例におけると同様、基板 11 上のゲート酸化膜 17 (図面の簡素化のために省略されている。)、浮遊ゲート 18、ゲート間絶縁膜 19、制御ゲート 20 および絶縁膜 21 からなる積層構造を有する。

30

【0068】

このワード線 12 を形成するに先立ち、図 3 (a) に示したように、基板 11 に素子分離領域 15 で区画された相互に交差することのない活性領域 16 が形成され、図 3 (b) に示したように、活性領域 16 を横切って図 15 (a) に示した複数のワード線 12 が形成される。

40

【0069】

図 15 に示す例では、ワード線 12 の制御ゲート 20 上の絶縁膜 21 は、素子分離領域 15 を構成するシリコン酸化膜と同質のシリコン酸化膜からなる下層部分 21 a と、素子分離領域 15 よりも高い耐エッチング特性を示す例えばシリコン窒化膜からなる上層部 21 b とを備える 2 層構造を呈する。

【0070】

相互に間隔をおいて形成されたワード線 12 に関連して、図 15 (b) に示されるように、半導体基板 11 のワード線 12 間に位置する領域をその配列方向に交互に露出させるように、ワード線 12 間の領域を一つおきに保護膜であるレジストパターン 27 で覆う。所

50

定領域をレジストパターン 27 で覆った状態で、ワード線 12 をマスクとして、図 3 ( d ) に示したと同様に、ワード線 12 間でレジストパターン 27 から露出する素子分離領域 15 をエッチングにより除去する。

【 0 0 7 1 】

この素子分離領域のエッチングに際し、絶縁膜 21 の上層部分 21 b が素子分離領域 15 よりも高い耐エッチング特性を示すことから、絶縁膜 21 のレジストパターン 27 から露出する部分がエッチングを受けることはなく、この絶縁膜 21 下の制御ゲート 20 をエッチングから確実に保護することができる。

【 0 0 7 2 】

絶縁膜 21 がエッチングを受けると、その下方の制御ゲート 20 の部分的な露出により、制御ゲート 20 がエッチングを受けてその断面積が削減され、この断面の削減によるワード線 12 の望ましくない電気抵抗の増大を招く。また、制御ゲート 20 の部分的な露出は、制御ゲート 20 と後述するビット線との短絡を引き起こす虞がある。

10

【 0 0 7 3 】

しかしながら、絶縁膜 21 の上層部分 21 b に前記したような耐エッチング特性に優れた材質を適用することにより、ワード線 12 の電気抵抗の増大および制御ゲート 20 の短絡問題を確実に解決することができる。

絶縁膜 21 として、シリコン窒化膜のような単層構造を採用することができる。しかしながら、制御ゲート 20 の一般的な材料であるタングステンシリサイドと密着性の高い絶縁膜 21 を得る上で、絶縁膜 21 に前記したような 2 層構造 ( 21 a 、 21 b ) を採用することが望ましい。

20

【 0 0 7 4 】

エッチングによって部分的に素子分離領域 15 が除去されるが、絶縁膜 21 の上層部分 21 b の保護作用により、図 15 ( c ) に示されているように、このエッチングによって絶縁膜 21 が損傷を受けることはなく、その下の制御ゲート 20 の上面が露出し、あるいは損傷を受けることはない。

素子分離領域 15 が部分的に除去され、これにより形成されたソース線領域 13 a ( 図 4 ( d ) 参照 ) に、ワード線 12 をマスクとして不純物をイオン注入し、図 4 ( e ) に示したようなソース領域 24 を含むソース線 13 を形成する。

【 0 0 7 5 】

次に、図 4 ( e ) に示したように、保護膜であるレジストパターン 27 を除去して露出した活性領域 16 のワード線 12 間における活性領域 16 の部分 16 a に、不純物を注入してドレイン領域 23 を形成する。

30

このドレイン領域 23 の形成およびソース領域 24 を含むソース線 13 の形成のためのイオン注入を同時的に行うことができ、また逆の順序で行うことができる。

【 0 0 7 6 】

ワード線 12 の側部に図 11 ( a ) に示したと同様な、絶縁材料からなるサイドウォール部 22 を形成し、ワード線 12 の上面を覆う絶縁膜 21 と共に、ワード線 12 を覆う絶縁膜 ( 21 および 22 ) を形成する。

【 0 0 7 7 】

以下、具体例 3 において説明したとおり、絶縁膜 ( 21 および 22 ) を覆うエッチングストップ層 29 を形成する。さらに、エッチングストップ層 29 を覆う中間絶縁層 25 を形成し、該中間絶縁層 25 上に形成された中間絶縁膜保護用マスク 30 を用いるエッチングにより、エッチングストップ層 29 を部分的に露出させる。

40

【 0 0 7 8 】

次に部分的に露出されたエッチングストップ層 29 を除去し、ドレイン領域 23 上で部分的にサイドウォール部 22 を露出させる。ドレイン領域 23 上で部分的に露出された、サイドウォール部 22 をドレイン領域 23 上に開放するドレインコンタクトホール 26 の壁面の一部として、該ドレインコンタクトホールを経てドレイン領域 23 に接続されるビット線 14 が形成される。

50

これにより、図1および図2で説明したように、ワード線12とソース線13との間隔およびワード線12とドレインコンタクトホール26との間隔をリソグラフィの許容誤差以下に設定できる不揮発性半導体メモリを比較的容易に形成することができる。

【0079】

図15に示した2層構造(21a、21b)を有する絶縁膜21が形成された複数のワード線12の製造に好適な例を図16に沿って次に説明する。

図16(a)に示されているように、シリコンからなる半導体基板11上に、ゲート酸化膜17のためのシリコン酸化膜、浮遊ゲート18のためのポリシリコン膜、ゲート間絶縁膜19のためのシリコン酸化膜、制御ゲート20のためのタングステンシリサイド膜、下層部分21aのためのシリコン酸化膜および上層部分21bのためのシリコン窒化膜が、それぞれ一様かつ連続的に積層されてなる積層体が形成される。

10

【0080】

前記積層体の上面には、ワード線12を規定するための帯状の複数のレジストパターン31\*が相互に間隔をおいて形成される。このレジストパターン31\*を「マスク」として、エッチングにより、図16(b)に示されているように、浮遊ゲート18のためのポリシリコン膜より上層部分が選択的に削除される。その後、図16(c)に示されているように、レジストパターン31\*が除去される。

【0081】

レジストパターン31\*の除去後、絶縁膜21をマスクとして、浮遊ゲート18のためのポリシリコン層が図16(d)に示されているように、選択的にエッチングを受ける。このポリシリコン層の選択エッチングに際し、炭素が含まれていない例えば塩素ガスやHBrガスのようなエッチングガスを使用することが望ましい。

20

ポリシリコンのエッチングについて、カーボンが含まれないいわゆるカーボンフリーのエッチング状況下では、浮遊ゲート18下のゲート酸化膜17に対するエッチング選択比が格段に向上することから、ゲート酸化膜17に大きな損傷を与えることなく、適正に浮遊ゲート18のためのポリシリコン層を選択的に除去することができる。

【0082】

従って、ワード線12の形成のためのエッチングに、炭素を含まないエッチングガスを使用することにより、ゲート酸化膜17の損傷を防止し、その薄膜化を防止することができることから、ゲート酸化膜17のための酸化シリコン層の厚さ寸法にエッチングによる損失分を見込む必要はなく、ゲート酸化膜17の薄膜化を図ることが可能となる。

30

【0083】

具体例5

図17は、本発明を多層ビット配線構造を有する副ビット線方式のメモリの製造に適用した図10および図11と同様な製造工程図である。

図17に示すメモリでは、図中左方の2本のワード線12が副ビットによって接続されるメモリセル32として示されており、図中右方の2本のワード線12が各副ビットを選択するための選択トランジスタ33として示されており、両選択トランジスタ33間に引かれた符号34で示す軸を中心に左右対称に形成されている。

【0084】

40

図17(a)に示されているように、具体例3で説明したと同様に、ワード線12の形成後、各ワード線12に関連してドレイン領域23およびソース領域24を形成し、その後、各ワード線12の絶縁膜21およびサイドウォール部22からなる絶縁膜(絶縁膜21および22)を覆って、エッチングストップ層29が形成される。その後、エッチングストップ層29を埋め込むように、中間絶縁層25が形成され、サブビット用マスクであるレジストパターン27が形成される。

【0085】

レジストパターン27を用いて、メモリセル32のために、副ビット線用ドレインコンタクトホール26\*が形成される。図17(b)に示されているように、レジストパターン27が除去され、またドレインコンタクトホール26\*に露出するエッチングストップ層

50

29の一部が除去され、メモリセル32のドレイン領域23上にあるサイドウォール部22が露出される。この露出するサイドウォール部22をドレインコンタクトホール26\*の壁面の一部として、前記したと同様なスパッタ法により、例えばアルミニウムのような金属材料から成るサブビット線14\*が形成される。

【0086】

さらに、図17(c)に示されているように、サブビット線14\*を含む基板11上の全体を覆う中間絶縁層25\*が形成され、図示しないが選択トランジスタ用マスクを用いたエッチングにより、選択トランジスタ33のドレイン領域23に開放するドレインコンタクトホール26が形成される。

ドレインコンタクトホール26に露出するエッチングストップ層29の一部が、図17(c)に示すように、エッチングにより除去されて、その下層であるサイドウォール部22がドレイン領域23上に露出する。

この露出するサイドウォール部22をドレインコンタクトホール26の壁面の一部として、図17(d)に示されているように、前記したと同様なスパッタ法により、例えばアルミニウムのような金属材料から成るビット線14が形成される。

【0087】

図17に示したように、多層ビット線構造を有する副ビット線方式で各層のビット線の形成のためのドレインコンタクトホールの壁面の一部として、前記エッチングストップ層29から露出するそれぞれ異なる前記サイドウォール部分22、22を利用することができる。

このように、副ビット線方式のメモリに本発明の製造方法を適用することにより、ワード線12と副ビット線用ドレインコンタクトホール26\*との間隔をリソグラフィの許容誤差以下に設定し、かつ副ビット線を選択するための選択トランジスタ33のワード線12とそのビット線用ドレインコンタクトホール26との間隔をリソグラフィの許容誤差以下に設定することができ、コンパクト化の上で、極めて有利である。

【0088】

図18は、不揮発性半導体メモリ10の周辺素子である例えばX-Yデコーダのトランジスタの製造に適用した例を示す断面図である。

図18(a)に示されているように、基板11上の図示しないメモリ素子(12、32)の形成における同時的に、基板11上のトランジスタ34の制御ゲート20上の絶縁膜21およびサイドウォール部22を覆うエッチングストップ層29が形成される。

【0089】

続いて、エッチングストップ層29を埋め込む中間絶縁層25が形成され、中間絶縁層25上には、レジストパターン27が形成され、このレジストパターン27を用いたエッチングにより、図18(b)に示されているように、中間絶縁層25にドレイン領域23に開放するドレインコンタクトホール26が形成される。また、ドレインコンタクトホール26に露出するエッチングストップ層29の露出部分が除去され、その下層であるサイドウォール部22が露出する。

このサイドウォール部22をドレインコンタクトホール26の壁面の一部として、図示しない例えばアルミニウムのような金属材料により、ドレイン領域23に接続される配線部が形成される。

【0090】

このように、X-Yデコーダのような周辺回路の製造に本発明を適用することにより、メモリチップの縮小化をも図ることが可能となる。

【0091】

【発明の効果】

本発明に係る不揮発性半導体メモリによれば、前記したように、ワード線間に該ワード線をマスクの一部として自己整合的にソース線またはドレインコンタクトホールを形成することにより、ソース線とワード線との間隔または該ワード線とドレインコンタクトホールとの間隔をリソグラフィの許容誤差よりも小さくすることができることから、従来に比較

10

20

30

40

50



してよりコンパクト化を図ることが可能となる。

【0092】

また、本発明に係る不揮発性半導体メモリの製造方法によれば、前記したように、ワード線による自己整合作用により、ソース線とワード線との間隔または該ワード線とドレインコンタクトホールとの間隔がリソグラフィの許容誤差よりも小さい不揮発性半導体メモリを比較的容易に形成することができる。

【図面の簡単な説明】

【図1】本発明に係る不揮発性半導体メモリを部分的に示す平面図である。

【図2】図1に示された線II-IIに沿って得られた断面図である。

【図3】本発明に係る不揮発性半導体メモリの製造方法を示す工程図(その1)である。 10

【図4】本発明に係る不揮発性半導体メモリの製造方法を示す工程図(その2)である。

【図5】図3(c)に示された線Va-Va、Vb-Vbに沿って得られた断面図である。

【図6】図3(c)に示された線VI-VIに沿って得られた断面図である。

【図7】図4(d)に示された線VII-VIIに沿って得られた断面図である。

【図8】図4(e)に示された線VIII-VIIIに沿って得られた断面図である。

【図9】本発明に係る不揮発性半導体メモリの他の製造方法を示す工程図である。

【図10】図9(b)に示された線Xa-Xa、Xb-Xbに沿って得られた断面図である。

【図11】図9(b)に示された線XIa-XIa、XIb-XIb、XIc-XIcに沿って得られた断面図である。

【図12】図9(d)に示された線XII-XIIに沿って得られた断面図である。 20

【図13】本発明に係る不揮発性半導体メモリのさらに他の製造方法を示す図11と同様な図面である。

【図14】本発明に係る不揮発性半導体メモリのさらに他の製造方法を示す図10と同様な図面である。

【図15】本発明に係る不揮発性半導体メモリのさらに他の製造方法を示す図11と同様な図面である。

【図16】本発明に係るワード線の形成工程を示す製造工程図である。

【図17】本発明に係る製造方法の副ビット線方式のメモリへの適用例を示す図10および図11と同様な図面である。

【図18】本発明に係る製造方法のメモリ周辺素子への適用例を示す図11と同様な図面 30

【符号の説明】

10 不揮発性半導体メモリ

11 基板

12 ワード線

13 ソース線

14 ビット線

15 素子分離領域

16 活性領域

17 ゲート酸化膜

18 浮遊ゲート

19 ゲート間絶縁膜

20 制御ゲート

21 絶縁膜

22 サイドウォール部

23 ドレイン領域

24 ソース領域

25、25\* 中間絶縁層

26、26\* ドレインコンタクトホール

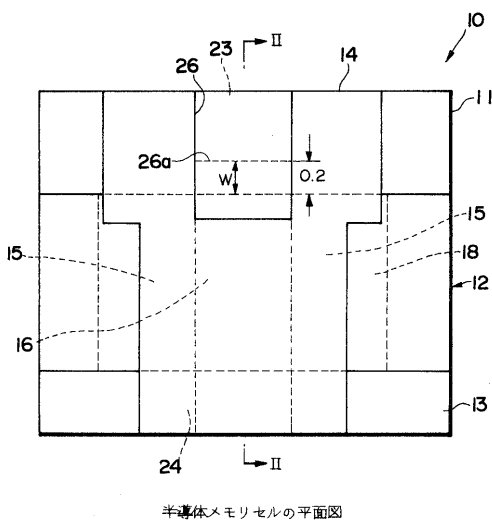
27 レジストパターン

40

50

- 28 立ち上がり傾斜部
- 29 エッチングストップ層
- 30 レジストマスク

【図1】



【図2】

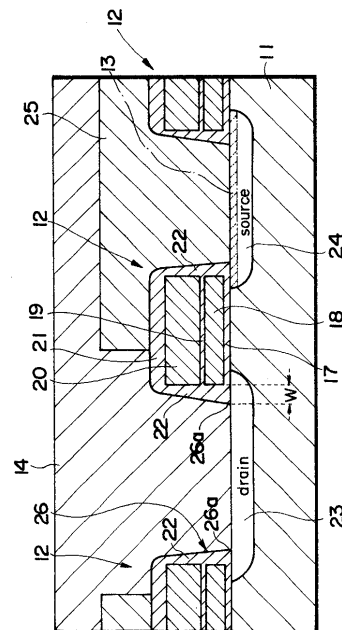
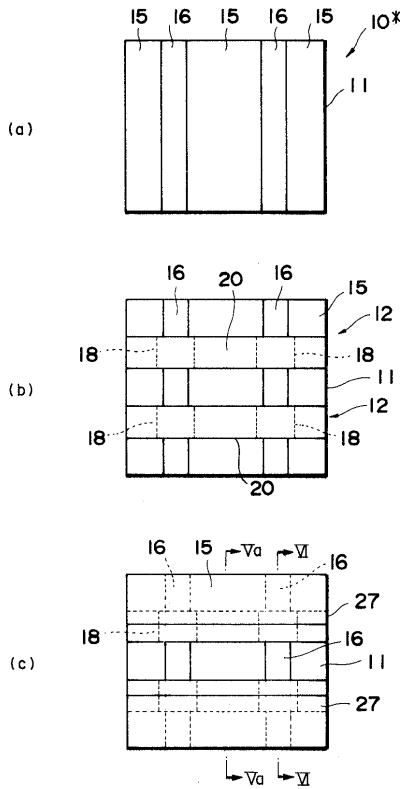


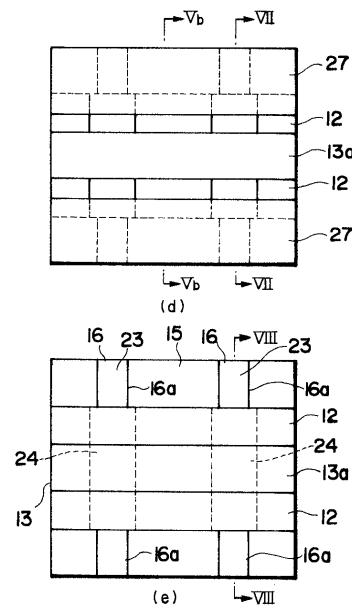
図1の線II-IIに沿って得られた断面図

【 図 3 】



半導体メモリの製造工程図 (その1)

【 図 4 】



半導体メモリの製造工程図 (その2)

【 図 5 】

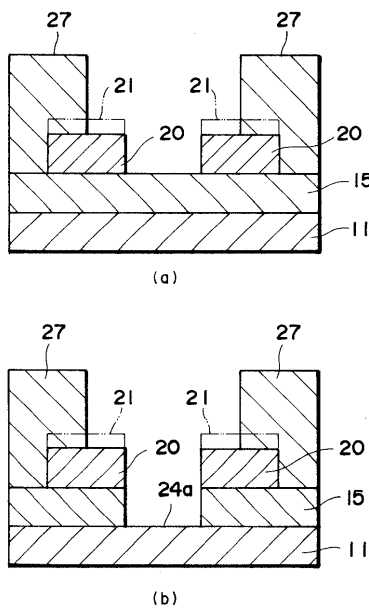


図3(c)および図4(d)の線Va-Va, Vb-Vbに沿って得られた断面図

【 図 6 】

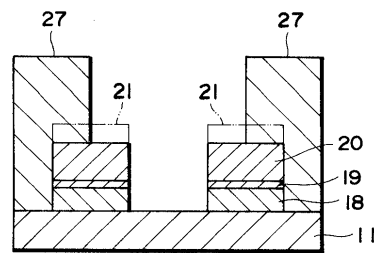


図3(c)の線VI-VIに沿って得られた断面図

【 図 7 】

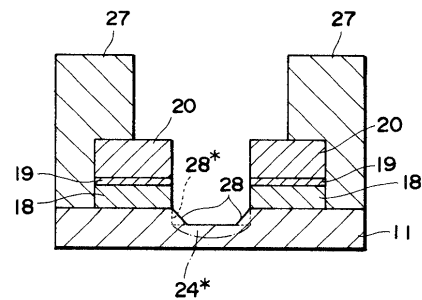


図4(d)の線VII-VIIに沿って得られた断面図

【 図 8 】

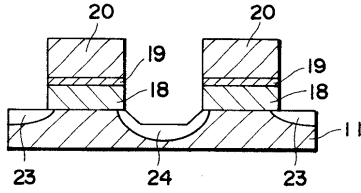
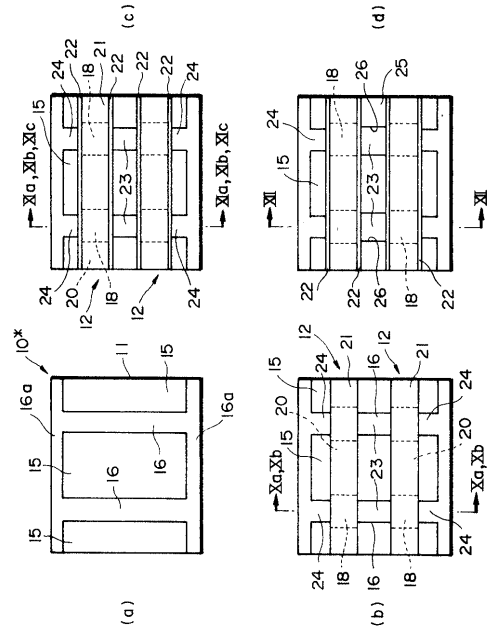


図 4 (e) の線 VII-VII に沿って得られた断面図

【 図 9 】



半導体メモリの他の製造方法を示す製造工程図

【 図 10 】

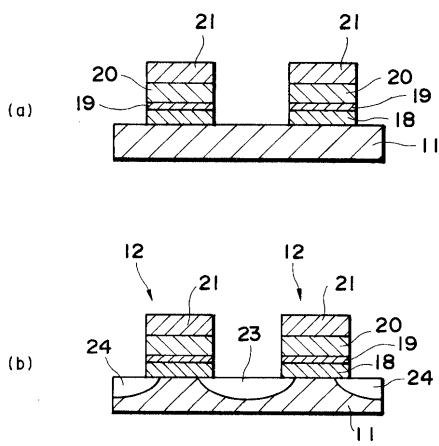


図 9 (b) の線 Xa-Xa, Xb-Xb に沿って得られた断面図

【 図 11 】

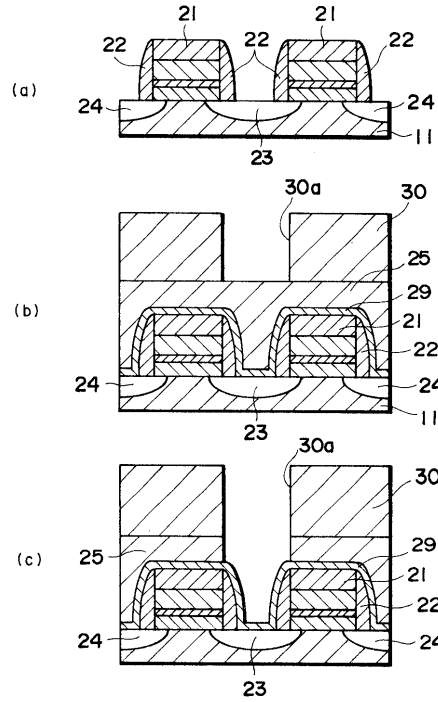


図 9 (c) の線 X1a-X1a, X1b-X1b, X1c-X1c に沿って得られた断面図

【 図 1 2 】

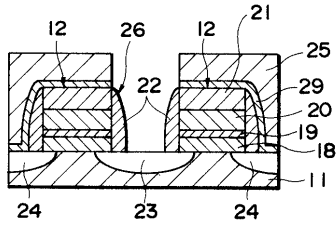
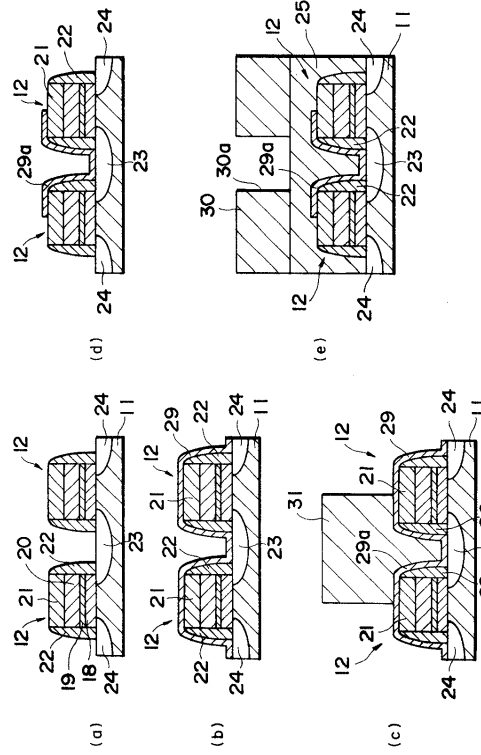


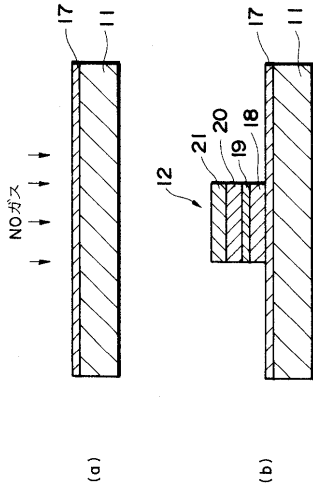
図9(d)の線II-IIに沿って得られた断面図

【 図 1 3 】



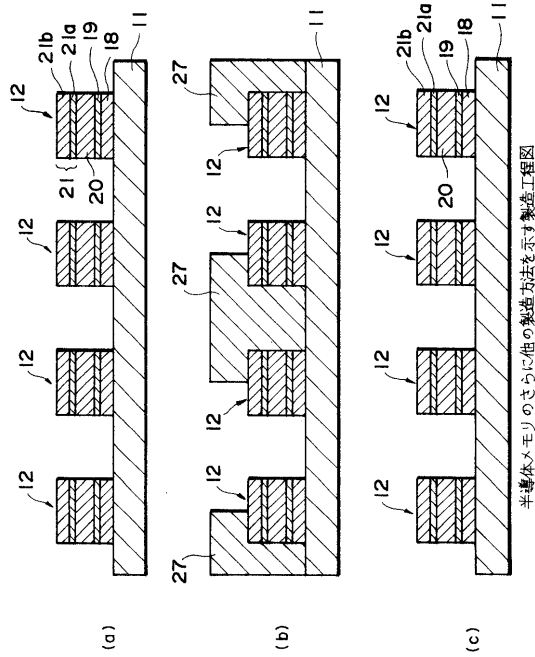
さらに他の例を示す図IIと同様な図面

【 図 1 4 】



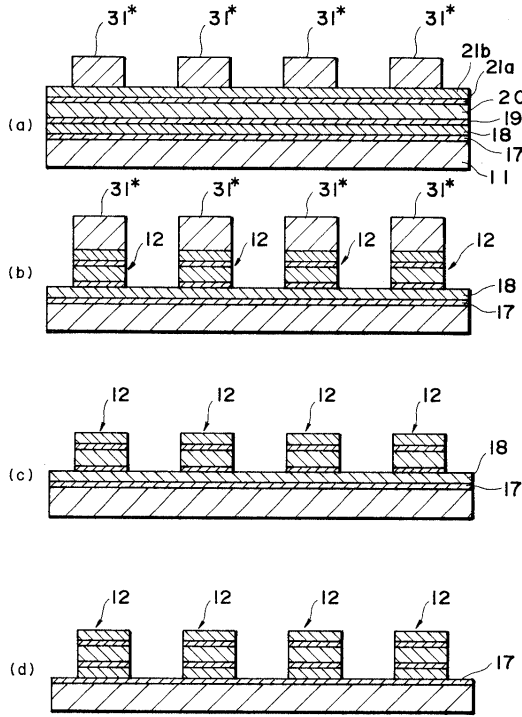
さらに他の例を示す図10と同様な図面

【 図 1 5 】



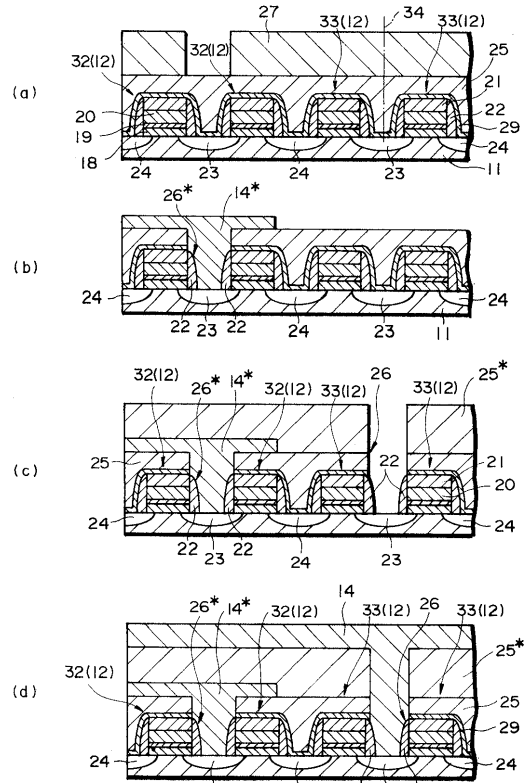
半導体メモリのさらに他の製造方法を示す製造工程図

【 図 1 6 】



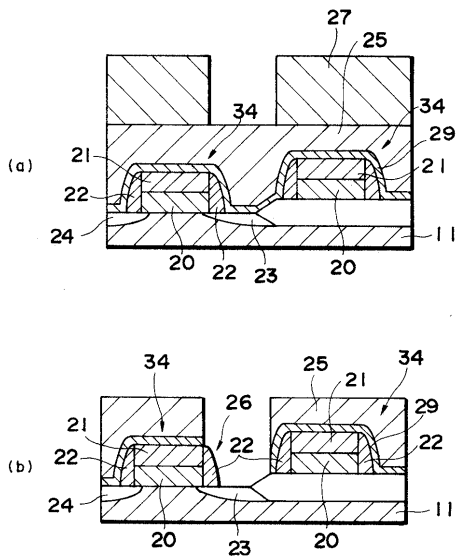
ワード線の形成工程を示す製造工程図

【 図 1 7 】



副ビット線方式メモリへの適用例

【 図 1 8 】



周辺素子への適用例

---

フロントページの続き

(56)参考文献 特開平03 - 072681 (JP, A)  
特開平05 - 343693 (JP, A)  
特開平07 - 161848 (JP, A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)  
H01L 29/788