

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年4月25日(25.04.2024)



(10) 国際公開番号

WO 2024/084366 A1

(51) 国際特許分類:

H01L 29/786 (2006.01) H01L 27/06 (2006.01)
H01L 21/205 (2006.01) H01L 27/088 (2006.01)
H01L 21/268 (2006.01) H01L 29/788 (2006.01)
H01L 21/336 (2006.01) H01L 29/792 (2006.01)
H01L 21/822 (2006.01) H10B 12/00 (2023.01)
H01L 21/8234 (2006.01) H10B 53/30 (2023.01)
H01L 27/04 (2006.01)

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷398 Kanagawa (JP).

(72) 発明者: 井坂史人 (ISAKA, Fumito); 神奈川県厚
木市長谷398株式会社半導体エネルギー研
究所内 Kanagawa (JP). 恵木勇司 (EGI, Yuji);
〒2430036 神奈川県厚木市長谷398株式会社半
導体エネルギー研究所内 Kanagawa (JP). 大
野敏和 (OHNO, Toshikazu); 〒2430036 神奈川
県厚木市長谷398株式会社半導体エネルギー
研究所内 Kanagawa (JP). 奥野直樹 (OKUNO,
Naoki); 〒2430036 神奈川県厚木市長谷398株
式会社半導体エネルギー研究所内 Kanagawa (JP).
高橋寛暢 (TAKAHASHI, Hironobu); 〒2430036
神奈川県厚木市長谷398株式会社半導
体エネルギー研究所内 Kanagawa (JP). 國

(21) 国際出願番号: PCT/IB2023/060395

(22) 国際出願日: 2023年10月16日(16.10.2023)

(25) 国際出願の言語: 日本語

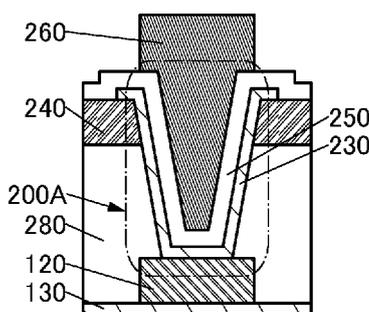
(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2022-168999 2022年10月21日(21.10.2022) JP
特願 2022-173106 2022年10月28日(28.10.2022) JP

(54) Title: SEMICONDUCTOR DEVICE AND STORAGE DEVICE

(54) 発明の名称: 半導体装置、及び、記憶装置

図14A



(57) Abstract: Provided is a semiconductor device that enables miniaturization or higher integration. Provided is an oxide semiconductor suitable for the semiconductor device. Formed is an oxide semiconductor that has a small difference in thickness between a section provided along a first surface and a section provided along a second surface which is inclined relative to the first surface. A precursor having an aluminum content of 0.01 ppm to 500 ppm is used to deposit a layer, by automatic layer deposition (ALD), on an oxide semiconductor having an aluminum concentration of 0.01 atom percent to 10 atom percent. Furthermore, the crystallinity of the oxide semiconductor is improved by performing impurity removal processing such as microwave processing.

(57) 要約: 微細化または高集積化が可能な半導体装置を提供する。当該半導体装置に好適な酸化物半導体を提供する。第1の面に沿って設けられた部分と、第1の面に対して傾斜している第2の面に沿って設けられた部分と、の厚さの差が小さい酸化物半導体を形成する。アルミニウムの含有量が0.01ppm以上500ppm以下であるプリカーサを用いて、ALD法にて、アルミニウム濃度が0.01原子パーセント以上10原子パーセント以下の酸化物半導体を成膜する。さらに、マイクロ波処理などの不純物除去処理を行うことで、酸化物半導体の結晶性を高める。

武寛司 (KUNITAKE, Hitoshi); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 掛端哲弥 (KAKEHATA, Tetsuya); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))
- 一 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

明細書

発明の名称

半導体装置、及び、記憶装置

技術分野

[0001]

本発明の一態様は、金属酸化物の成膜方法に関する。また、本発明の一態様は、当該金属酸化物を有するトランジスタ、及びトランジスタの作製方法に関する。また、本発明の一態様は、当該金属酸化物を用いた半導体装置、及び、半導体装置の作製方法に関する。また、本発明の一態様は、当該金属酸化物を用いた記憶装置、及び記憶装置の作製方法に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置（例えば、タッチセンサ）、入出力装置（例えば、タッチパネル）、それらの駆動方法、またはそれらの製造方法を一例として挙げるることができる。

[0003]

なお、本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード、フォトダイオード等）を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップ、パッケージにチップを収納した電子部品は半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置、及び電子機器は、それ自体が半導体装置であり、かつ、それぞれが半導体装置を有している場合がある。

背景技術

[0004]

近年、半導体装置の開発が進められ、LSI、CPU、メモリなどが主に半導体装置に用いられている。CPUは、半導体ウエハを加工し、チップ化された半導体集積回路（少なくともトランジスタ及びメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

[0005]

LSI、CPU、メモリなどの半導体回路（ICチップ）は、回路基板、例えばプリント配線基板に実装され、様々な電子機器の部品の一つとして用いられる。

[0006]

また、絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（IC）、表示装置のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体材料としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

[0007]

また、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、特許文献1には、酸化物半導体を用いたトランジスタのリーク電流が小さいという特性を応用した低消費電力のCPUなどが開示されている。また、例えば、特許文献2には、酸化物半導体を用いたトランジスタのリーク電流が小さいという特性を応用して、長期にわたり記憶内容を保持することができる記憶装置などが、開示されている。

[0008]

また、近年では電子機器の小型化、軽量化に伴い、集積回路のさらなる高密度化への要求が高まっている。また、集積回路を含む半導体装置の生産性の向上が求められている。例えば、特許文献3及び非特許文献1では、酸化物半導体膜を用いる第1のトランジスタと、酸化物半導体膜を用いる第2のトランジスタとを積層させることで、メモリセルを複数重畳して設けることにより、集積回路の高密度化を図る技術が開示されている。

[0009]

さらに、トランジスタを縦型とすることができれば、集積回路の高密度化を図ることができる。例えば、特許文献4には、酸化物半導体の側面が、ゲート絶縁体を介してゲート電極に覆われている縦型のトランジスタが開示されている。

[0010]

また、酸化物半導体において、単結晶でも非晶質でもない、CAAC (c-axis aligned crystalline) 構造及びnc (nanocrystalline) 構造が見出されている (非特許文献2及び非特許文献3参照)。

[0011]

非特許文献2及び非特許文献3では、CAAC構造を有する酸化物半導体を用いてトランジスタを作製する技術が開示されている。

[先行技術文献]

[特許文献]

[0012]

[特許文献1] 特開2012-257187号公報

[特許文献2] 特開2011-151383号公報

[特許文献3] 国際公開第2021/053473号

[特許文献4] 特開2013-211537号公報

[非特許文献]

[0013]

[非特許文献1] M. Oota et al., "3D-Stacked CAAC-In-Ga-Zn Oxide FETs with Gate Length of 72 nm", IEDM Tech. Dig., 2019, pp. 50-53

[非特許文献2] S. Yamazaki et al., "SID Symposium Digest of Technical Papers", 2012, volume 43, issue 1, pp. 183-186

[非特許文献3] S. Yamazaki et al., "Japanese Journal of Applied Physics", 2014, volume 53, Number 4S, pp. 04ED18-1-04ED18-10

発明の概要

発明が解決しようとする課題

[0014]

本発明の一態様は、新規の金属酸化物、及びその成膜方法を提供することを課題の一つとする。または、本発明の一態様は、微細化または高集積化が可能なトランジスタ、半導体装置、または記憶

装置を提供することを課題の一つとする。または、本発明の一態様は、信頼性の高いトランジスタ、半導体装置、または記憶装置を提供することを課題の一つとする。または、本発明の一態様は、オン電流が大きいトランジスタを提供することを課題の一つとする。または、本発明の一態様は、電気特性が良好なトランジスタを提供することを課題の一つとする。または、本発明の一態様は、消費電力の低い半導体装置、または記憶装置を提供することを課題の一つとする。または、本発明の一態様は、動作速度が速い記憶装置を提供することを課題の一つとする。または、本発明の一態様は、上記トランジスタ、半導体装置、または記憶装置の作製方法を提供することを課題の一つとする。

[0015]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はないものとする。明細書、図面、請求項の記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0016]

本発明の一態様は、酸化物半導体、第1の導電体、第2の導電体、第3の導電体、及び、第1の絶縁体を有し、第1の導電体及び第2の導電体は、それぞれ、酸化物半導体と接する部分を有し、第3の導電体は、第1の絶縁体を介して、酸化物半導体と重なり、酸化物半導体は、第1の面に沿って設けられた第1の部分と、第1の面に対して傾斜している第2の面に沿って設けられた第2の部分と、を有し、第1の部分の厚さに対する第2の部分の厚さの比は、0.8以上1.2以下であり、酸化物半導体は、インジウムと、ガリウム、スズ、及び亜鉛の中から選ばれるいずれか一または複数と、を有し、酸化物半導体のアルミニウム濃度は、0.01 atomic %以上10 atomic %以下である、半導体装置である。

[0017]

また、本発明の一態様は、酸化物半導体、第1の導電体、第2の導電体、第3の導電体、第1の絶縁体、及び、第2の絶縁体を有し、第1の絶縁体は、第1の導電体の上面と接し、第2の導電体は、第1の絶縁体上に位置し、酸化物半導体は、第1の導電体の上面と接する第1の部分、第1の絶縁体の側面と接する第2の部分、及び、第2の導電体と接する第3の部分とを有し、第2の絶縁体は、酸化物半導体上に位置し、第3の導電体は、第2の絶縁体上に位置し、かつ、第2の絶縁体を介して酸化物半導体と重なり、第1の部分の厚さに対する第2の部分の厚さの比は、0.8以上1.2以下であり、酸化物半導体は、インジウムと、ガリウム、スズ、及び亜鉛の中から選ばれるいずれか一または複数と、を有し、酸化物半導体のアルミニウム濃度は、0.01 atomic %以上10 atomic %以下である、半導体装置である。

[0018]

また、本発明の一態様は、酸化物半導体、第1の導電体、第2の導電体、第3の導電体、第1の絶縁体、及び、第2の絶縁体を有し、第1の絶縁体は、第1の導電体の上面と接し、第2の導電体は、第1の絶縁体上に位置し、第1の絶縁体及び第2の導電体は、第1の導電体に達する第1の開口部を有し、酸化物半導体は、第1の開口部の内側に、第1の導電体の上面と接する第1の部分と、第1の絶縁体の側面と接する第2の部分と、を有し、かつ、第2の導電体と接する第3の部分とを有し、第2の絶縁体は、酸化物半導体上に位置し、第3の導電体は、第2の絶縁体上に位置し、かつ、第1の開口部と重なる位置で、第2の絶縁体を介して酸化物半導体と重なり、第1の部分の厚さに対

する第2の部分の厚さの比は、0.8以上1.2以下であり、酸化物半導体は、インジウムと、ガリウム、スズ、及び亜鉛の中から選ばれるいずれか一または複数と、を有し、酸化物半導体のアルミニウム濃度は、0.01 atomic %以上10 atomic %以下である、半導体装置である。

[0019]

酸化物半導体のアルミニウム濃度は、0.01 atomic %以上5 atomic %以下であることが好ましい。

[0020]

酸化物半導体の炭素濃度は、 1×10^{17} atoms/cm³以上 5×10^{19} atoms/cm³以下であることが好ましい。

[0021]

また、本発明の一態様は、上記の半導体装置と、第4の導電体と、第3の絶縁体と、容量素子と、を有し、容量素子は、第5の導電体と、第5の導電体上の第4の絶縁体と、第4の絶縁体上の第1の導電体と、を有し、第3の絶縁体には、第4の導電体に達する第2の開口部が設けられ、第5の導電体の少なくとも一部、第4の絶縁体の少なくとも一部、及び、第1の導電体の少なくとも一部は、第2の開口部に配置される、記憶装置である。

[0022]

また、本発明の一態様は、インジウムを含む第1の化合物をチャンバー内に供給し、その後、酸化剤をチャンバー内に供給する第1の工程と、第2の化合物をチャンバー内に供給し、その後、酸化剤をチャンバー内に供給する第2の工程と、を有し、第1の化合物のアルミニウムの含有量は、0.01 ppm以上500 ppm以下であり、第2の化合物のアルミニウムの含有量は、第1の化合物のアルミニウムの含有量よりも少なく、第2の化合物は、ガリウム、スズ、または亜鉛を含む、金属酸化物の成膜方法である。

[0023]

また、本発明の一態様は、インジウムを含む第1の化合物をチャンバー内に供給し、その後、酸化剤をチャンバー内に供給する第1の工程と、第2の化合物をチャンバー内に供給し、その後、酸化剤をチャンバー内に供給する第2の工程と、を有し、第1の化合物のアルミニウムの含有量は、0.01 ppm以上500 ppm以下であり、第2の化合物のアルミニウムの含有量は、第1の化合物のアルミニウムの含有量よりも少なく、第1の工程における酸化剤を供給する時間と、第2の工程における酸化剤を供給する時間との和は、90秒以上である、金属酸化物の成膜方法である。

[0024]

第2の化合物は、ガリウムまたは亜鉛を含むことが好ましい。

[0025]

第1の工程及び第2の工程をそれぞれ1回以上行い、その後、酸素を含む雰囲気下で、マイクロ波処理を行うことが好ましい。

[0026]

第1の工程及び第2の工程をそれぞれ1回以上行い、その後、酸素を含む雰囲気下で、マイクロ波処理を行うことを第1のサイクルとし、第1のサイクルを複数回繰り返すことが好ましい。

[0027]

また、本発明の一態様は、第1の絶縁体と、第1の絶縁体を覆う酸化物半導体と、酸化物半導体上の第1の導電体及び第2の導電体と、第1の導電体、及び第2の導電体上に配置され、第1の導電

体と第2の導電体との領域と重畳する開口を有する、第2の絶縁体と、開口内に配置され、酸化物半導体上に配置される第3の絶縁体と、開口内に配置され、第3の絶縁体上に配置される、第3の導電体と、を有し、チャンネル幅方向の断面視において、第1の絶縁体の高さは、第1の絶縁体の幅より長く、酸化物半導体は、第1の面に沿って設けられた第1の部分と、第1の面に対して傾斜している第2の面に沿って設けられた第2の部分と、を有し、第1の部分の厚さに対する第2の部分の厚さの比は、0.8以上1.2以下であり、酸化物半導体は、インジウムと、ガリウム、スズ、及び亜鉛の中から選ばれるいずれか一または複数と、を有し、酸化物半導体のアルミニウム濃度は、0.01 atomic %以上10 atomic %以下である、半導体装置である。酸化物半導体のアルミニウム濃度は、0.01 atomic %以上5 atomic %以下であることがより好ましい。また、酸化物半導体の炭素濃度は、 $1 \times 10^{17} \text{ atoms/cm}^3$ 以上 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下であることが好ましい。

[0028]

平面視において、第2の絶縁体の開口の側面は、第1の導電体の側面、及び第2の導電体の側面と一致または概略一致することが好ましい。

[0029]

第1の導電体は、トランジスタのソース電極及びドレイン電極の一方として機能することが好ましい。第2の導電体は、トランジスタのソース電極及びドレイン電極の他方として機能することが好ましい。第3の導電体は、トランジスタのゲート電極として機能することが好ましい。

[0030]

トランジスタのチャンネル幅方向の断面視において、第1の絶縁体の一方の側面において、酸化物半導体と第3の導電体が第3の絶縁体を挟んで対向し、第1の絶縁体の他方の側面において、酸化物半導体と第3の導電体が第3の絶縁体を挟んで対向することが好ましい。

[0031]

トランジスタのチャンネル幅方向の断面視において、第1の導電体は、第1の絶縁体の一方の側面側、及び他方の側面側において、酸化物半導体と接し、第2の導電体は、第1の絶縁体の一方の側面側、及び他方の側面側において、酸化物半導体と接することが好ましい。

[0032]

トランジスタのチャンネル幅方向の断面視において、第1の絶縁体の高さは、第1の絶縁体の幅の2倍以上20倍以下であることが好ましい。

[0033]

また、本発明の一態様は、上記の半導体装置と、容量素子と、を有し、容量素子の一方の電極が、半導体装置の第1の導電体と電氣的に接続される、記憶装置である。容量素子は、第3の導電体上に配置されることが好ましい。容量素子の少なくとも一部は、酸化物半導体、及び第3の導電体と重畳することが好ましい。

発明の効果

[0034]

本発明の一態様により、新規の金属酸化物、及びその成膜方法を提供できる。本発明の一態様により、微細化または高集積化が可能なトランジスタ、半導体装置、または記憶装置を提供できる。本発明の一態様により、信頼性の高いトランジスタ、半導体装置、または記憶装置を提供できる。本発明の一態様により、オン電流が大きいトランジスタを提供できる。本発明の一態様により、電気

特性が良好なトランジスタを提供できる。本発明の一態様により、消費電力の低い半導体装置、または記憶装置を提供できる。本発明の一態様により、動作速度が速い記憶装置を提供できる。本発明の一態様により、上記トランジスタ、半導体装置、または記憶装置の作製方法を提供できる。

[0035]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。明細書、図面、請求項の記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0036]

図1A乃至図1Eは、金属酸化物の成膜方法の一例を示す断面図である。
図2A乃至図2Dは、金属酸化物の一例を示す断面図である。
図3A乃至図3Dは、金属酸化物の一例を示す断面図である。
図4A乃至図4Cは、金属酸化物の原子数比の範囲の一例を示す図である。
図5A乃至図5Dは、金属酸化物の成膜方法の一例を示す断面図である。
図6A乃至図6Cは、金属酸化物の成膜方法の一例を示す断面図である。
図7は、成膜装置の一例を示す平面図及び断面図である。
図8A及び図8Bは、成膜装置の一例を示す断面図である。
図9A乃至図9Cは、成膜装置の一例を示す断面図である。
図10A及び図10Bは、成膜装置の一例を示す断面図である。
図11A及び図11Bは、金属酸化物の成膜方法の一例を示す図である。
図12A及び図12Bは、金属酸化物の成膜方法の一例を示す図である。
図13は、金属酸化物の成膜方法の一例を示す図である。
図14A乃至図14Dは、記憶装置の一例を示す断面図である。
図15Aは、記憶装置の一例を示す平面図である。図15B及び図15Cは、記憶装置の一例を示す断面図である。図15Dは、記憶装置の一例を示す回路図である。
図16A及び図16Bは、記憶装置の一例を示す断面図である。
図17A乃至図17Dは、記憶装置の一例を示す断面図である。
図18A及び図18Bは、記憶装置の一例を示す断面図である。
図19A乃至図19Dは、記憶装置の一例を示す断面図である。
図20A及び図20Bは、記憶装置の一例を示す断面図である。
図21Aは、半導体装置の一例を示す平面図である。図21B乃至図21Dは、半導体装置の一例を示す断面図である。
図22A及び図22Bは、半導体装置の一例を示す断面図である。
図23Aは、半導体装置の一例を示す平面図である。図23B乃至図23Dは、半導体装置の一例を示す断面図である。
図24A及び図24Bは、半導体装置の一例を示す断面図である。
図25A乃至図25Cは、半導体装置の一例を示す断面図である。
図26A及び図26Cは、記憶装置の一例を示す平面図である。図26B及び図26Dは、記憶装置の一例を示す断面図である。
図27Aは、記憶装置の一例を示す平面図である。図27Bは、記憶装置の一例を示す断面図であ

る。

図28Aは、記憶装置の一例を示す平面図である。図28Bは、記憶装置の一例を示す断面図である。

図29Aは、記憶装置の一例を示す平面図である。図29Bは、記憶装置の一例を示す断面図である。

図30A乃至図30Cは、記憶装置の一例を示す平面レイアウトである。

図31A乃至図31Cは、記憶装置の一例を示す平面レイアウトである。

図32は、記憶装置の一例を示す断面図である。

図33は、記憶装置の一例を示すブロック図である。

図34A及び図34Bは、記憶装置の一例を示す模式図である。

図35A乃至図35Dは、記憶装置の一例を示す回路図である。

図36は、記憶装置の一例を示す回路図である。

図37A及び図37Bは、電子部品の一例を示す図である。

図38A及び図38Bは、電子機器の一例を示す図である。図38C乃至図38Eは、大型計算機の一例を示す図である。

図39は、宇宙用機器の一例を示す図である。

図40は、データセンターに適用可能なストレージシステムの一例を示す図である。

図41は、実施例1のXPS分析の結果を示す図である。

図42A及び図42Bは、実施例1のホール効果測定の結果を示す図である。

図43は、実施例1のSIMS分析の結果を示す図である。

図44は、実施例1のSIMS分析の結果を示す図である。

図45は、実施例1のSIMS分析の結果を示す図である。

図46A及び図46Bは、実施例1のSIMS分析の結果を示す図である。

図47は、実施例1のSIMS分析の結果を示す図である。

図48は、実施例1のトランジスタの I_d-V_g 特性を示す図である。

図49A乃至図49Dは、実施例1のIGZO膜の断面観察像である。

図50A乃至図50Dは、実施例2のSIMS分析の結果を示す図である。

発明を実施するための形態

[0037]

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

[0038]

なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチングパターンを同じくし、特に符号を付さない場合がある。

[0039]

また、図面において示す各構成の、位置、大きさ、及び、範囲などは、理解の簡単のため、実際の位置、大きさ、及び、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、

図面に開示された位置、大きさ、及び、範囲などに限定されない。

[0040]

なお、本明細書等において、「第1」、「第2」という序数詞は、便宜上用いるものであり、構成要素の数、または、構成要素の順序（例えば、工程順、または積層順）を限定するものではない。また、本明細書のある箇所において構成要素に付す序数詞と、本明細書の他の箇所、または特許請求の範囲において、当該構成要素に付す序数詞と、が一致しない場合がある。

[0041]

また、トランジスタは半導体素子の一種であり、電流または電圧を増幅する機能、及び、導通または非導通を制御するスイッチング動作などを実現することができる。本明細書におけるトランジスタは、IGFET (Insulated Gate Field Effect Transistor) 及び薄膜トランジスタ (TFT: Thin Film Transistor) を含む。

[0042]

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャンネルが形成される領域（チャンネル形成領域ともいう）を有しており、チャンネル形成領域を介して、ソースとドレインとの間に電流を流すことができるものである。なお、本明細書等において、チャンネル形成領域とは、電流が主として流れる領域をいう。

[0043]

また、「ソース」と「ドレイン」の機能は、異なる極性のトランジスタを採用する場合、または回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」と「ドレイン」の用語は、入れ替えて用いることができるものとする。

[0044]

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1 atomic %未満の元素は不純物といえる。不純物が含まれることにより、例えば、半導体の欠陥準位密度が高くなること、または結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、酸化物半導体の主成分以外の遷移金属などがある。具体的には、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。なお、水も不純物として機能する場合がある。また、例えば不純物の混入によって、酸化物半導体に酸素欠損 (V_o とも記す) が形成される場合がある。

[0045]

なお、本明細書等において、酸化窒化物とは、その組成として窒素よりも酸素の含有量が多い材料を指す。窒化酸化物とは、その組成として酸素よりも窒素の含有量が多い材料を指す。

[0046]

膜に含まれる水素、酸素、炭素、窒素などの元素の含有量の分析には、例えば、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry)、またはX線光電子分光法 (XPS: X-ray Photoelectron Spectroscopy) を用いることができる。目的の元素の含有率が高い（例えば、0.5 atomic %以上、または1 atomic %以上）場合は、XPSが適している。一方、目的の元素の含有率が低い（例

えば0.5 atomic%以下、または1 atomic%以下) 場合には、SIMSが適している。元素の含有量を比較する際には、SIMSとXPSの両方の分析手法を用いた複合解析を行うことがより好ましい。

[0047]

また、本明細書等において、「絶縁体」という用語を、絶縁膜または絶縁層と言い換えることができる。また、「導電体」という用語を、導電膜または導電層と言い換えることができる。また、「半導体」という用語を、半導体膜または半導体層と言い換えることができる。

[0048]

また、本明細書等において、「平行」とは、二つの直線が -10 度以上 10 度以下の角度で配置されている状態をいう。したがって、 -5 度以上 5 度以下の場合も含まれる。また、「概略平行」とは、二つの直線が -30 度以上 30 度以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80 度以上 100 度以下の角度で配置されている状態をいう。したがって、 85 度以上 95 度以下の場合も含まれる。また、「概略垂直」とは、二つの直線が 60 度以上 120 度以下の角度で配置されている状態をいう。

[0049]

本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電氣的作用を有するもの」には、電極または配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、コイル、容量素子、その他の各種機能を有する素子などが含まれる。

[0050]

本明細書等において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（非導通状態、遮断状態、ともいう）にあるときのソースドレイン間のリーク電流をいう。オフ状態とは、特に断りがない場合、 n チャネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも低い（ p チャネル型トランジスタでは、 V_{th} よりも高い）状態をいう。

[0051]

本明細書等において、ある構成要素の上面形状とは、平面視における当該構成要素の輪郭形状のことをいう。また平面視とは、当該構成要素の被形成面、または当該構成要素が形成される支持体（例えば基板）の表面の法線方向から見ることをいう。

[0052]

なお、本明細書等において、テーパ形状とは、構造の側面の少なくとも一部が、基板面または被形成面に対して傾斜して設けられている形状のことを指す。例えば、傾斜した側面と基板面または被形成面とがなす角（テーパ角ともいう）が 90° 未満である領域を有すると好ましい。なお、構造の側面、基板面、及び被形成面は、必ずしも完全に平坦である必要はなく、微小な曲率を有する略平面状、または微細な凹凸を有する略平面状であつてもよい。

[0053]

本明細書等において、AはBと接する、と記載されている場合、Aの少なくとも一部がBと接する。そのため、例えば、AはBと接する領域を有する、と言い換えることができる。

[0054]

本明細書等において、AはB上に位置する、と記載されている場合、Aの少なくとも一部がB上に

位置する。そのため、例えば、AはB上に位置する領域を有する、と言い換えることができる。

[0055]

本明細書等において、AはBを覆う、と記載されている場合、Aの少なくとも一部がBを覆う。そのため、例えば、AはBを覆う領域を有する、と言い換えることができる。

[0056]

本明細書等において、AはBと重なる、と記載されている場合、Aの少なくとも一部がBと重なる。そのため、例えば、AはBと重なる領域を有する、と言い換えることができる。

[0057]

(実施の形態1)

本実施の形態では、本発明の一態様の金属酸化物、及び、その成膜方法について図1乃至図13を用いて説明する。

[0058]

本発明の一態様の金属酸化物は、金属酸化物を構成する元素の種類、組み合わせ、組成などによって、半導体材料、絶縁性材料、または、導電性材料のいずれかとして用いることができる。本発明の一態様の金属酸化物は、例えば、トランジスタの半導体層に用いることができる。当該金属酸化物は、酸化物半導体、または酸化物と呼ぶ場合もある。

[0059]

本発明の一態様の金属酸化物の成膜方法では、ALD (Atomic Layer Deposition) 法を用いるため、極めて薄い厚さの膜を均一に形成することができる。そのため、微細なトランジスタを構成する金属酸化物の成膜に好適である。

[0060]

本発明の一態様の金属酸化物の成膜方法では、無機プリカーサと有機プリカーサのうち、一方または双方を用いることができる。ここで、有機プリカーサとは、構成元素に炭素を含むプリカーサであり、無機プリカーサとは、構成元素に炭素を含まないプリカーサである。

[0061]

無機プリカーサを用いて成膜された金属酸化物は、有機プリカーサを用いて成膜された金属酸化物と比べて、膜中の不純物濃度 (例えば、水素濃度、炭素濃度、及び、窒素濃度の少なくとも一つ) を低くできる。

[0062]

また、有機プリカーサを用いることで、無機プリカーサを用いる場合に比べて、金属酸化物の成膜温度を低くできる。

[0063]

ここで、不純物を含むプリカーサを用いて金属酸化物を成膜すると、金属酸化物中に当該不純物が入り込み、金属酸化物の物性、さらには、当該金属酸化物を用いた半導体装置の特性に悪影響を及ぼす恐れがある。

[0064]

例えば、アルミニウムを主成分に含まない金属酸化物において、不純物であるアルミニウムが多く含まれてしまうと、当該金属酸化物の物性に影響を与えることがある。ここで、アルミニウムを主成分に含まない金属酸化物としては、インジウム亜鉛酸化物 (In-Zn酸化物)、インジウムガリウム亜鉛酸化物 (In-Ga-Zn酸化物、IGZOとも記す) などが挙げられる。

[0065]

例えば、IGZO膜中にアルミニウムが酸化状態 (Al_2O_3 など) で存在していると、IGZO膜が高抵抗化してしまう。そして、高抵抗化したIGZO膜を半導体層に用いると、トランジスタのオン電流が低くなってしまう。

[0066]

一方で、アルミニウムは酸素との結合解離エネルギーが高く、キャリア抑制元素として機能する。具体的には、アルミニウムと酸素の結合解離エネルギーは、Gaと酸素の結合解離エネルギーよりも高い。このことから、IGZO膜中にアルミニウムが存在することで、酸素欠損 (V_o) を生成しにくくすることができる。 V_o が生成されにくいIGZO膜を半導体層に用いると、トランジスタの光負バイアス劣化を抑制できる。このことから、金属酸化物中のアルミニウムは完全に除去しなくてもよく、金属酸化物中に、悪影響を及ぼさない程度に含まれていてもよい場合がある。

[0067]

そこで、本発明の一態様の金属酸化物の成膜方法では、アルミニウムの含有量が少ないプリカーサを用いて、アルミニウムを主成分に含まない金属酸化物を作製する。これにより、成膜した金属酸化物中のアルミニウムの濃度が高くなることを抑制できる。

[0068]

また、ALD法を用いて形成された金属酸化物は、成膜後に金属酸化物に対して加熱処理を行っても、膜中の不純物を十分に取り除くことは難しい場合がある。一方で、不純物の含有量の少ない金属酸化物を成膜するために、トランジスタまたは半導体装置の作製工程における最高温度を高めるほどの高温処理 (例えば、 $700^\circ C$ を超える処理) を行うと、生産性が低下してしまう。

[0069]

そこで、本発明の一態様の金属酸化物の成膜方法では、酸化剤を十分に供給することで、膜中の炭素濃度を低減する。例えば、金属酸化物の成膜工程全体における、酸化剤を供給する工程の合計時間を十分に長くする。または、酸化剤に含まれるオゾン (O_3) の割合を大きくする。

[0070]

また、成膜後に、不純物除去処理として、酸素を含む雰囲気下で、マイクロ波処理を行うことが好ましい。酸素を含む雰囲気下でマイクロ波処理を行うことで、膜中の不純物を除去できる。これにより、プリカーサ等の原料に含まれる不純物が金属酸化物中に残存することを抑制できる。したがって、金属酸化物中の不純物濃度を低減できる。また、金属酸化物の結晶性を高めることができる。

[0071]

また、成膜中に、間欠的に、酸素を含む雰囲気下で、不純物除去処理を行うことが好ましい。成膜中に不純物除去処理を行うことで、成膜後に行う場合に比べて、膜中の不純物の除去をより確実に行うことができる。また、不純物除去処理は、成膜中及び成膜後の双方に行ってもよい。

[0072]

以上のことから、本発明の一態様の金属酸化物の成膜方法を用いて、微細なトランジスタの半導体層に用いる、不純物の含有量が少ない金属酸化物を形成できる。また、本発明の一態様の金属酸化物の成膜方法を用いて、微細なトランジスタの半導体層に用いる、結晶性の高い金属酸化物を形成できる。これにより、微細であり、かつ、電気特性が良好なトランジスタを実現できる。また、微細であり、かつ、信頼性が良好なトランジスタを実現できる。特に、CAAC構造の金属酸化物を形成することが好ましい。

[0073]

具体的には、本発明の一態様は、インジウムを含む第1の化合物をチャンバー内に供給し、その後、酸化剤をチャンバー内に供給する第1の工程と、第2の化合物をチャンバー内に供給し、その後、酸化剤をチャンバー内に供給する第2の工程と、を有する、金属酸化物の成膜方法である。さらに、第3の化合物をチャンバー内に供給し、その後、酸化剤をチャンバー内に供給する第3の工程を有していてもよい。

[0074]

第1の化合物のアルミニウムの含有量は、0.001ppm以上、0.01ppm以上、または0.1ppm以上であることが好ましく、かつ、1000ppm以下であることが好ましく、500ppm以下がより好ましく、100ppm以下がより好ましく、50ppm以下がより好ましく、10ppm以下がより好ましく、1ppm以下がさらに好ましい。

[0075]

第2の化合物及び第3の化合物は、それぞれ、ガリウム、スズ、または亜鉛の少なくとも一つを有することが好ましい。第2の化合物のアルミニウムの含有量、及び、第3の化合物のアルミニウムの含有量の好ましい範囲は、第1の化合物のアルミニウムの含有量の好ましい範囲と同様である。特に、第2の化合物及び第3の化合物は、それぞれ、第1の化合物よりも、アルミニウムの含有量が少ないことが好ましい。

[0076]

金属酸化物の成膜工程において、1サイクル中の酸化剤を供給する時間の合計は、10秒以上が好ましく、30秒以上がより好ましく、60秒以上がより好ましく、90秒以上がより好ましく、120秒以上がさらに好ましく、かつ、150秒以下、200秒以下、250秒以下、または300秒以下が好ましい。第1の化合物と第2の化合物の2つを用いて金属酸化物を成膜する場合には、前述の第1の工程と第2の工程を1回ずつ行うことを1サイクルとする。1サイクル中の酸化剤を供給する時間の合計とは、第1の工程における酸化剤を供給する時間と、第2の工程における酸化剤を供給する時間との和に相当する。第3の化合物を加えた3つの化合物を用いて金属酸化物を成膜する場合には、前述の第1の工程、第2の工程、及び、第3の工程を1回ずつ行うことを1サイクルとする。1サイクル中の酸化剤を供給する時間の合計とは、第1乃至第3の工程における酸化剤を供給する時間の和に相当する。

[0077]

酸化剤を供給する時間が長いほど、金属酸化物中の炭素濃度を低減でき、好ましい。一方で、酸化剤を供給する時間が短いほど、金属酸化物を成膜するために要する時間が短くなり、好ましい。

[0078]

酸化剤を供給する際、ガス中のオゾンの割合を、10%以上とすることが好ましく、20%以上がより好ましく、30%以上がより好ましく、40%以上がより好ましく、50%以上がより好ましく、60%以上がより好ましく、70%以上がより好ましく、80%以上がより好ましく、90%以上がより好ましく、100%が特に好ましい。オゾンの割合が大きいほど、金属の酸化を促進し、かつ、金属酸化物中の炭素濃度を低減でき、好ましい。

[0079]

酸化剤を供給する際、基板温度を150°C以上、200°C以上、または、250°C以上とすることが好ましい。基板温度の上限としては、第1の化合物などのプリカーサの分解温度と、オゾンの分

解温度（例えば、300℃）とのうち、低い方を用いることができる。基板温度を高くすることで、金属酸化物中の不純物濃度を低減でき、好ましい。

[0080]

本発明の一態様の金属酸化物の成膜方法において、第1の工程及び第2の工程をそれぞれ1回以上行った後、酸素を含む雰囲気下で、不純物除去処理を行うことが好ましい。不純物除去処理は、金属酸化物中に含まれる不純物を膜中から脱離させる処理である。不純物除去処理では、金属酸化物中に含まれる水素、炭素、及び窒素などを膜中から脱離させることが好ましい。また、不純物除去処理では、金属酸化物中に酸素を供給することが好ましい。これにより、金属酸化物中の酸素欠損（ V_o ）及び不純物を低減することができる。酸素欠損（ V_o ）及び不純物が低減された金属酸化物を用いることで、トランジスタの電気特性及び信頼性を高めることができる。

[0081]

不純物除去処理としては、例えば、プラズマ処理、マイクロ波処理、及び、加熱処理が挙げられる。

[0082]

プラズマ処理またはマイクロ波処理を行う際は、それぞれ、基板の温度を、室温（例えば25℃）以上、100℃以上、200℃以上、300℃以上、または、400℃以上とし、かつ、500℃以下、または450℃以下とすることが好ましい。また、加熱処理の温度は、100℃以上、200℃以上、300℃以上、または、400℃以上とし、かつ、500℃以下、または450℃以下とすることが好ましい。

[0083]

不純物除去処理を行う際の温度は、特に、トランジスタまたは半導体装置の作製工程における最高温度以下の温度とすることで、生産性を低下させることなく、金属酸化物中の不純物の含有量を低減でき、好ましい。例えば、本発明の一態様の金属酸化物が用いられるトランジスタまたは半導体装置の作製における最高温度を500℃以下、好ましくは450℃以下とすることで、トランジスタまたは半導体装置の生産性を高めることができる。

[0084]

また、不純物除去処理は、第1の化合物及び第2の化合物のどちらの分解温度よりも低い温度で行うことが好ましい。さらに、第3の化合物を用いる場合は、第3の化合物の分解温度よりも低い温度で行うことが好ましい。また、不純物除去処理は、500℃よりも高い温度（例えば、500℃より高く700℃以下）で行ってもよい。

[0085]

不純物除去処理は、光（例えば、紫外光）を照射しながら行ってもよい。これにより、不純物の脱離の促進を図ることができる。光源としては、レーザ、水銀灯などが挙げられる。例えば、光励起により、酸素ラジカルを発生させ、水素、炭素、または窒素などと反応させることで、膜中の不純物の低減、及び、結晶化の促進を図ることができる。光照射を行うことで、光照射を行わない場合に比べて、加熱温度を低くしても不純物の除去が容易となる場合がある。

[0086]

また、成膜中に、光を照射してもよい。例えば、第1の工程において、第1の化合物をチャンバー内に供給しているとき、及び、酸化剤をチャンバー内に供給しているとき、の一方または双方において、金属酸化物の被形成面に光を照射してもよい。第2の工程及び第3の工程についても同様である。

[0087]

第1の工程及び第2の工程をそれぞれ1回以上行った後、酸素を含む雰囲気下で、不純物除去処理を行うことを第1のサイクルとして、当該第1のサイクルを複数回繰り返すことが好ましい。

[0088]

または、第1の工程及び第2の工程をそれぞれ1回以上行った後、酸素を含む雰囲気下で、不純物除去処理を行うことを第1のサイクルとし、第1のサイクルとは異なる順番で、第1の工程及び第2の工程をそれぞれ1回以上行った後、酸素を含む雰囲気下で、不純物除去処理を行うことを第2のサイクルとし、第1のサイクルと第2のサイクルとを交互に複数回繰り返すことが好ましい。

[0089]

第1のサイクル及び第2のサイクルでは、それぞれ、例えば、第1の工程及び第2の工程のうち回数が少ない方、または双方を、5回以上10回以下の範囲で行う毎に、不純物除去処理を行うことが好ましい。

[0090]

金属酸化物を成膜した後に不純物除去処理を行うだけでは、不純物を十分に除去できない場合がある。成膜中に間欠的に（間隔において）不純物除去処理を導入することで、金属酸化物中の不純物を十分に除去することができる。

[0091]

また、本発明の一態様は、インジウムを含むプリカーサ（例えば、トリエチルインジウムプリカーサ）をチャンバー内に供給し、その後、酸化剤をチャンバー内に供給する、ALD法を用いたインジウム化合物の成膜方法である。当該プリカーサのアルミニウムの含有量は、0.001ppm以上、0.01ppm以上、または0.1ppm以上であることが好ましく、かつ、1000ppm以下であることが好ましく、500ppm以下がより好ましく、100ppm以下がより好ましく、50ppm以下がより好ましく、10ppm以下がより好ましく、1ppm以下がさらに好ましい。

[0092]

<金属酸化物>

金属酸化物は、格子欠陥を有する場合がある。格子欠陥とは、原子空孔、異種原子などの点欠陥、転位などの線欠陥、結晶粒界などの面欠陥、空隙などの体積欠陥がある。また、格子欠陥の生成の要因としては、構成元素の原子数の比率のずれ（構成原子の過不足）、及び不純物などがある。

[0093]

金属酸化物をトランジスタの半導体層に用いる場合、金属酸化物中の格子欠陥は、キャリアの生成または捕獲などを引き起こす要因となりうる。よって、格子欠陥が多い金属酸化物をトランジスタの半導体層に用いると、当該トランジスタの電気特性が不安定となる恐れがある。よって、トランジスタの半導体層に用いる金属酸化物は、格子欠陥が少ないことが好ましい。

[0094]

金属酸化物を用いたトランジスタは、特に、金属酸化物中のチャネル形成領域に酸素欠損（ V_O ）及び不純物が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損近傍の水素が、酸素欠損に水素が入った欠陥（以下、 V_OH と呼ぶ場合がある）を形成し、キャリアとなる電子を生成する場合がある。このため、金属酸化物中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。したがって、金属酸化物中のチャ

ネル形成領域では、酸素欠損及び不純物はできる限り低減されていることが好ましい。言い換えると、金属酸化物中のチャネル形成領域は、キャリア濃度が低減され、i型化（真性化）または実質的にi型化されていることが好ましい。

[0095]

金属酸化物中に存在しやすい格子欠陥の種類、及び格子欠陥の存在量は、金属酸化物の構造または金属酸化物の成膜方法などによって異なる。

[0096]

金属酸化物の構造は、単結晶構造と、それ以外の構造（非単結晶の構造）と、に分けられる。非単結晶の構造としては、例えば、CAAC構造、多結晶（polycrystalline）構造、nc構造、擬似非晶質（a-like: amorphous-like）構造、及び非晶質構造などがある。a-like構造は、nc構造と非晶質構造との間の構造を有する。

[0097]

なお、本発明の一態様の金属酸化物の結晶性は特に問わない。

[0098]

また、a-like構造を有する金属酸化物、及び非晶質構造を有する金属酸化物は、鬆または低密度領域を有する。すなわち、a-like構造を有する金属酸化物、及び非晶質構造を有する金属酸化物は、nc構造を有する金属酸化物及びCAAC構造を有する金属酸化物と比べて、結晶性が低い。また、a-like構造を有する金属酸化物は、nc構造を有する金属酸化物及びCAAC構造を有する金属酸化物と比べて、金属酸化物中の水素濃度が高い。よって、a-like構造を有する金属酸化物、及び非晶質構造を有する金属酸化物では、格子欠陥が生成されやすい。

[0099]

よって、トランジスタの半導体層には、結晶部を有する金属酸化物を用いることが好ましく、結晶性の高い金属酸化物を用いることがより好ましい。例えば、CAAC構造を有する金属酸化物、または単結晶構造の金属酸化物を用いることが好ましい。当該金属酸化物をトランジスタに用いることで、良好な電気特性を有するトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0100]

また、トランジスタのチャネル形成領域には、当該トランジスタのオン電流が大きくなる金属酸化物を用いることが好ましい。当該トランジスタのオン電流を大きくするには、当該トランジスタに用いる金属酸化物の移動度を高くするとよい。金属酸化物の移動度を高くするには、キャリア（nチャネル型トランジスタの場合は、電子）の伝送を向上させる、または、キャリアの伝送に寄与する散乱因子を低減する必要がある。なお、キャリアは、チャネル形成領域を介して、ソースからドレインに流れる。よって、キャリアがチャネル長方向に流れやすいチャネル形成領域を設けることで、トランジスタのオン電流を大きくすることができる。

[0101]

ここで、チャネル形成領域を含む金属酸化物に、結晶性の高い金属酸化物を用いることが好ましい。さらに、当該結晶は、複数の層（例えば、第1の層と、第2の層と、第3の層）が積層された結晶構造を有することが好ましい。つまり、当該結晶は、層状の結晶構造（層状結晶、層状構造ともいう）を有する。このとき、当該結晶のc軸の向きは、複数の層が積層される方向となる。当該結晶を有する金属酸化物には、例えば、単結晶酸化物半導体、CAAC-OS（c-axis ali

g n e d c r y s t a l l i n e o x i d e s e m i c o n d u c t o r) などが含まれる。

[0102]

また、上記結晶のc軸を、金属酸化物の被形成面または膜表面に対する法線方向に配向することが好ましい。これにより、複数の層は、金属酸化物の被形成面または膜表面に対して、平行または概略平行に配置される。つまり、複数の層は、チャンネル長方向に広がる。

[0103]

例えば、上記のような3層の層状の結晶構造は、以下のような構造になる。第1の層は、当該第1の層が有する金属が中心に存在する酸素の八面体形の、原子の配位構造を有する。また、第2の層は、当該第2の層が有する金属が中心に存在する酸素の三方両錐形または四面体形の、原子の配位構造を有する。また、第3の層は、当該第3の層が有する金属が中心に存在する酸素の三方両錐形または四面体形の、原子の配位構造を有する。

[0104]

上記結晶の結晶構造として、例えば、 $YbFe_2O_4$ 型構造、 $Yb_2Fe_3O_7$ 型構造、これらの変形型構造などがある。

[0105]

さらに、第1の層乃至第3の層のそれぞれは、一の金属元素、または、価数が同じである複数の金属元素と、酸素とで構成されることが好ましい。なお、第1の層を構成する一または複数の金属元素の価数と、第2の層を構成する一または複数の金属元素の価数と、は同じであることが好ましい。また、第1の層と、第2の層とは、同じ金属元素を有してもよい。また、第1の層を構成する一または複数の金属元素の価数と、第3の層を構成する一または複数の金属元素の価数と、は異なることが好ましい。

[0106]

上記構成にすることで、金属酸化物の結晶性を向上し、当該金属酸化物の移動度を高くすることができる。よって、当該金属酸化物をトランジスタのチャンネル形成領域に用いることで、トランジスタのオン電流が大きくなり、当該トランジスタの電気特性を向上させることができる。

[0107]

本発明の一態様の金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウム及び亜鉛を含むことが好ましい。また、それらに加えて、インジウムまたは亜鉛の価数と同じ価数を有する金属元素を少なくとも一つ含むことが好ましい。当該金属元素として、例えば、ガリウム、スズがある。また、イットリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タンゲステン、マグネシウム、カルシウム、コバルト、アルミニウムなどから選ばれた一種、または複数種が含まれていてもよい。

[0108]

ここでは、金属酸化物が、インジウム(In)、元素M、及び、亜鉛(Zn)を有するIn-M-Zn酸化物である場合を考える。なお、元素Mは、ガリウム、またはスズとする。その他、元素Mに適用可能な元素としては、イットリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タンゲステン、マグネシウム、カルシウム、コバルト、アルミニウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

[0109]

本発明の一態様の金属酸化物としては、例えば、インジウム亜鉛酸化物（In-Zn酸化物）、インジウムスズ酸化物（In-Sn酸化物）、インジウムチタン酸化物（In-Ti酸化物）、インジウムガリウム酸化物（In-Ga酸化物）、インジウムガリウムスズ酸化物（In-Ga-Sn酸化物）、ガリウム亜鉛酸化物（Ga-Zn酸化物、GZOとも記す）、インジウムスズ亜鉛酸化物（In-Sn-Zn酸化物、ITZO（登録商標）とも記す）、インジウムチタン亜鉛酸化物（In-Ti-Zn酸化物）、インジウムガリウム亜鉛酸化物（In-Ga-Zn酸化物、IGZOとも記す）、インジウムガリウムスズ亜鉛酸化物（In-Ga-Sn-Zn酸化物、IGZTOとも記す）などが挙げられる。

[0110]

金属酸化物に含まれる全ての金属元素の原子数の和に対するインジウムの原子数の割合を高くすることにより、トランジスタの電界効果移動度を高めることができる。

[0111]

なお、金属酸化物は、インジウムに代えて、元素周期表における周期番号が大きい金属元素の一種または複数種を有してもよい。または、金属酸化物は、インジウムに加えて、周期番号が大きい金属元素の一種または複数種を有してもよい。金属元素の軌道の重なりが大きいほど、金属酸化物におけるキャリア伝導は大きくなる傾向がある。よって、周期番号が大きい金属元素を含むことで、トランジスタの電界効果移動度を高めることができる場合がある。周期番号が大きい金属元素として、第5周期に属する金属元素、及び第6周期に属する金属元素などが挙げられる。当該金属元素として、具体的には、イットリウム、ジルコニウム、銀、カドミウム、スズ、アンチモン、バリウム、鉛、ビスマス、ランタン、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、及びユウロピウムなどが挙げられる。なお、ランタン、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、及びユウロピウムは、軽希土類元素と呼ばれる。

[0112]

また、金属酸化物は、非金属元素の一種または複数種を有してもよい。金属酸化物が非金属元素を有することで、トランジスタの電界効果移動度を高めることができる場合がある。非金属元素として、例えば、炭素、窒素、リン、硫黄、セレン、フッ素、塩素、臭素、及び水素などが挙げられる。

[0113]

また、金属酸化物に含まれる全ての金属元素の原子数の和に対する亜鉛の原子数の割合を高くすることにより、結晶性の高い金属酸化物となり、金属酸化物中の不純物の拡散を抑制できる。したがって、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0114]

また、金属酸化物に含まれる全ての金属元素の原子数の和に対する元素Mの原子数の割合を高くすることにより、金属酸化物に酸素欠損が形成されるのを抑制できる。したがって、酸素欠損に起因するキャリア生成が抑制され、オフ電流の小さいトランジスタとすることができる。また、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0115]

また、金属酸化物に含まれる全ての金属元素の原子数の和に対するInの原子数の割合を高くすることにより、トランジスタは大きいオン電流、及び高い周波数特性を得ることができる。

[0116]

本実施の形態では、金属酸化物として、In-Ga-Zn酸化物を例に挙げて説明する場合がある。

[0117]

上記の層状の結晶構造を有する金属酸化物を形成するためには、一層ずつ原子を堆積することが好ましい。本発明の一態様の金属酸化物の成膜方法では、ALD法を用いるため、上記の層状の結晶構造を有する金属酸化物を形成することが容易である。

[0118]

ALD法としては、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ALD (Thermal ALD) 法、及び、プラズマ励起されたリアクタントを用いるプラズマALD (PEALD: Plasma Enhanced ALD) 法などが挙げられる。

[0119]

ALD法は、一層ずつ原子を堆積することができるため、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホールなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、及び低温での成膜が可能、などの効果がある。また、PEALD法は、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。なお、ALD法で用いるプリカーサには炭素または塩素などの元素を含むものがある。このため、ALD法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素または塩素などの元素を多く含む場合がある。なお、これらの元素の定量は、XPSまたはSIMSを用いて行うことができる。なお、本発明の一態様の金属酸化物の成膜方法では、ALD法を用いるが、成膜時の基板温度が高い条件の採用、及び、不純物除去処理の実施の一方または双方を適用するため、これらを適用せずにALD法を用いる場合に比べて、膜中に含まれる炭素及び塩素の量が少ないことがある。

[0120]

ALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いスパッタリング法、またはCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。例えば、スパッタリング法を用いて、第1の金属酸化物を成膜し、当該第1の金属酸化物上にALD法を用いて、第2の金属酸化物を成膜する方法などが挙げられる。例えば、上記第1の金属酸化物が結晶部を有する場合、上記第2の金属酸化物が当該結晶部を核として、結晶成長する場合がある。

[0121]

ALD法は、原料ガスの導入量によって、得られる膜の組成を制御することができる。例えば、ALD法では、原料ガスの導入量、導入回数（パルス回数ともいう）、1パルスに要する時間（パルス時間ともいう）などを調節することによって、任意の組成の膜を成膜することができる。また、例えば、ALD法では、成膜しながら原料ガスを変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスを変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送及び圧力調整に掛かる時間を要さない分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

[0122]

<金属酸化物を有するトランジスタ>

続いて、金属酸化物（酸化物半導体）をトランジスタに用いる場合について説明する。以下では、半導体層に酸化物半導体を用いたトランジスタをOSトランジスタと記し、半導体層にシリコンを用いたトランジスタをSiトランジスタと記す場合がある。

[0123]

本発明の一態様の金属酸化物（酸化物半導体）をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。また、微細化または高集積化されたトランジスタを実現することができる。例えば、チャネル長が2 nm以上30 nm以下のトランジスタを作製しうる。

[0124]

トランジスタのチャネル形成領域には、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のチャネル形成領域のキャリア濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 以下、 $1 \times 10^{17} \text{ cm}^{-3}$ 以下、 $1 \times 10^{16} \text{ cm}^{-3}$ 以下、 $1 \times 10^{15} \text{ cm}^{-3}$ 以下、 $1 \times 10^{14} \text{ cm}^{-3}$ 以下、 $1 \times 10^{13} \text{ cm}^{-3}$ 以下、 $1 \times 10^{12} \text{ cm}^{-3}$ 以下、 $1 \times 10^{11} \text{ cm}^{-3}$ 以下、または、 $1 \times 10^{10} \text{ cm}^{-3}$ 以下であることが好ましい。また、チャネル形成領域のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0125]

なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くする。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。なお、キャリア濃度の低い酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ場合がある。

[0126]

また、高純度真性または実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0127]

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[0128]

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、炭素、窒素などが挙げられる。なお、酸化物半導体中の不純物とは、例えば、酸化物半導体を構成する主成分以外をいう。例えば、濃度が0.1 atomic%未満の元素は不純物といえる。

[0129]

また、酸化物半導体のバンドギャップは、シリコンのバンドギャップ（代表的には1.1 eV）よりも大きいことが好ましく、好ましくは2 eV以上、より好ましくは2.5 eV以上、さらに好ましくは3.0 eV以上である。シリコンよりも、バンドギャップの大きい酸化物半導体を用いることで、トランジスタのオフ電流（I_{off}とも呼称する）を低減することができる。

[0130]

また、Siトランジスタでは、トランジスタの微細化が進むにつれて、短チャネル効果（ショート

チャンネル効果：Short Channel Effect：SCEともいう）が発現する。そのため、Siトランジスタでは、微細化が困難となる。短チャンネル効果が発現する要因の一つとして、シリコンのバンドギャップが小さいことが挙げられる。一方、OSトランジスタは、バンドギャップの大きい半導体材料である、酸化物半導体を用いるため、短チャンネル効果の抑制を図ることができる。別言すると、OSトランジスタは、短チャンネル効果がない、または短チャンネル効果が極めて少ないトランジスタである。

[0131]

なお、短チャンネル効果とは、トランジスタの微細化（チャンネル長の縮小）に伴って顕在化する電気特性の劣化である。短チャンネル効果の具体例としては、しきい値電圧の低下、サブスレッショルドスイング値（S値と表記することがある）の増大、漏れ電流の増大などがある。ここで、S値とは、ドレイン電圧一定にてドレイン電流を1桁変化させるサブスレッショルド領域でのゲート電圧の変化量をいう。

[0132]

また、短チャンネル効果に対する耐性の指標として、特性長（Characteristic Length）が広く用いられている。特性長とは、チャンネル形成領域のポテンシャルの曲がりやすさの指標である。特性長が小さいほどポテンシャルが急峻に立ち上がるため、短チャンネル効果に強いといえる。

[0133]

OSトランジスタは蓄積型のトランジスタであり、Siトランジスタは反転型のトランジスタである。したがって、Siトランジスタと比較して、OSトランジスタは、ソース領域－チャンネル形成領域間の特性長、及びドレイン領域－チャンネル形成領域間の特性長が小さい。したがって、OSトランジスタは、Siトランジスタよりも短チャンネル効果に強い。すなわち、チャンネル長の短いトランジスタを作製したい場合においては、OSトランジスタは、Siトランジスタよりも好適である。

[0134]

チャンネル形成領域がi型または実質的にi型となるまで、酸化物半導体のキャリア濃度を下げた場合においても、短チャンネルのトランジスタではConduction-Band-Lowering（CBL）効果により、チャンネル形成領域の伝導帯下端が下がるため、ソース領域またはドレイン領域と、チャンネル形成領域との間の伝導帯下端のエネルギー差は、0.1 eV以上0.2 eV以下まで小さくなる可能性がある。これにより、OSトランジスタは、チャンネル形成領域がn⁻型の領域となり、ソース領域及びドレイン領域がn⁺型の領域となる、n⁺/n⁻/n⁺の蓄積型junction-lessトランジスタ構造、または、n⁺/n⁻/n⁺の蓄積型non-junctionトランジスタ構造と、捉えることもできる。

[0135]

OSトランジスタを、上記の構造とすることで、半導体装置を微細化または高集積化しても良好な電気特性を有することができる。例えば、OSトランジスタのチャンネル長またはゲート長が、20 nm以下、15 nm以下、10 nm以下、7 nm以下、または6 nm以下であって、1 nm以上、3 nm以上、または5 nm以上であっても、良好な電気特性を得ることができる。一方で、Siトランジスタは、短チャンネル効果が発現するため、20 nm以下、または15 nm以下のゲート長とすることが困難な場合がある。したがって、OSトランジスタは、Siトランジスタと比較してチャンネル長の短いトランジスタに好適に用いることができる。なお、ゲート長とは、トランジスタ動

作時にキャリアがチャネル形成領域内部を移動する方向における、ゲート電極の長さである。

[0136]

また、OSトランジスタを微細化することで、トランジスタの高周波特性を向上させることができる。具体的には、トランジスタの遮断周波数を向上させることができる。OSトランジスタのゲート長が上記範囲のいずれかである場合、トランジスタの遮断周波数を、例えば室温環境下で、50 GHz以上、好ましくは100 GHz以上、さらに好ましくは150 GHz以上とすることができる。

[0137]

<金属酸化物中の不純物>

ここで、金属酸化物（酸化物半導体）中における各不純物の影響について説明する。

[0138]

前述の通り、酸化物半導体において、意図せずアルミニウムが多く含まれると、当該酸化物半導体の物性に影響を与えることがある。例えば、アルミニウムが酸化状態（ Al_2O_3 など）で存在していると、酸化物半導体が高抵抗化してしまう。そして、高抵抗化した酸化物半導体をトランジスタのチャネル形成領域に用いると、トランジスタのオン電流が低くなってしまう。

[0139]

一方で、アルミニウムは酸素との結合解離エネルギーが高く、キャリア抑制元素として機能する。酸化物半導体中にアルミニウムが存在することで、酸素欠損（ V_o ）を生成しにくくすることができる。 V_o が生成されにくい酸化物半導体をトランジスタのチャネル形成領域に用いると、トランジスタの光負バイアス劣化を抑制できる。

[0140]

そのため、トランジスタの信頼性と電気特性の双方が良好となるように、酸化物半導体中のアルミニウムの濃度を低くすることが好ましい。または、トランジスタのオン電流が十分に高くなるよう、アルミニウムの濃度を極めて低くすることが好ましい。

[0141]

例えば、STEM-EDXにより得られる酸化物半導体のチャネル形成領域におけるアルミニウムの濃度は、0.01 atomic %以上であることが好ましく、かつ、10 atomic %以下であることが好ましく、5 atomic %以下がより好ましく、3 atomic %以下がより好ましく、1 atomic %以下がより好ましく、0.1 atomic %以下がさらに好ましい。または、0.01 atomic %以下であつてもよい。

[0142]

また、SIMSにより得られる酸化物半導体のチャネル形成領域におけるアルミニウムの濃度は、 1×10^{22} atoms/cm³以下が好ましく、 1×10^{21} atoms/cm³以下がより好ましく、 1×10^{20} atoms/cm³以下がより好ましく、 5×10^{19} atoms/cm³以下がより好ましく、 1×10^{19} atoms/cm³以下がより好ましく、 5×10^{18} atoms/cm³以下がより好ましく、 1×10^{18} atoms/cm³以下がさらに好ましい。

[0143]

SIMS分析は、その原理上、試料表面近傍、及び、材質が異なる膜との界面近傍のデータを正確に得ることが困難であることが知られている。そこで、膜中におけるある元素の濃度をSIMSで分析する場合、値に極端な変動が無く、ほぼ一定の値が得られる領域における平均値を、当該元素

の濃度として採用する。また、測定の対象となる膜の厚さが小さい場合、隣接する膜中の元素の影響を受けて、ほぼ一定の値が得られる領域を見いだせない場合がある。この場合、当該元素の濃度の最大値または最小値を、当該膜中の元素の濃度として採用できる。さらに、最大値を意味するピーク、最小値を意味する谷が存在しない場合、変曲点の値を当該元素の濃度として採用できる。

[0144]

なお、酸化物半導体をXPS分析することで得られるAl 2pのスペクトルにより、アルミニウムの存在、さらには、存在しているアルミニウムの状態を確認することができる。例えば、74.2 eV以上74.8 eV以下の範囲にピーク位置を有する場合は、アルミニウムが酸化状態で存在しているといえることができる。

[0145]

酸化物半導体において、第14族元素の一つであるシリコンまたは炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、SIMSにより得られる酸化物半導体のチャネル形成領域における炭素の濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。また、SIMSにより得られる酸化物半導体のチャネル形成領域におけるシリコンの濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。

[0146]

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体のチャネル形成領域における窒素濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0147]

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体のチャネル形成領域における水素はできる限り低減されていることが好ましい。具体的には、SIMSにより得られる酸化物半導体のチャネル形成領域における水素濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。

[0148]

また、酸化物半導体にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属またはアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、SIMSにより得られる酸化物半導体のチャンネル形成領域中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0149]

不純物が十分に低減された酸化物半導体をトランジスタのチャンネル形成領域に用いることで、安定した電気特性を付与することができる。

[0150]

<成膜方法1>

次に、本発明の一態様の金属酸化物の成膜方法について説明する。以下では、ALD法を利用した成膜装置（以下、ALD装置ともいう）を用いて、金属酸化物を成膜する方法について説明する。

[0151]

ALD法を利用した成膜装置は、反応のための第1の原料ガス（前駆体、プリカーサ、金属プリカーサと呼ぶ場合もある）と第2の原料ガス（反応剤、リアクタント、酸化剤、非金属プリカーサと呼ぶ場合もある）を交互にチャンバーに導入し、これらの原料ガスの導入を繰り返すことで成膜を行う。なお、原料ガスの導入の切り替えは、例えば、それぞれのスイッチングバルブ（高速バルブと呼ぶ場合もある）を切り替えて行うことができる。また、原料ガス導入の際、窒素（ N_2 ）、アルゴン（Ar）、またはヘリウム（He）などの不活性ガスをキャリアガスとして原料ガスと一緒にチャンバーに導入してもよい。キャリアガスを用いることで、原料ガスの揮発性が低い、あるいは蒸気圧が低い場合でも、原料ガスが配管内部及びバルブ内部に吸着することを抑制し、原料ガスをチャンバーに導入することが可能になる。また、形成される膜の均一性も向上し、好ましい。

[0152]

本発明の一態様である、3層の層状の結晶構造の金属酸化物を、ALD法を用いて成膜する方法の一例を、図1A乃至図1Eを用いて説明する。

[0153]

まず、第1ステップとして、図1Aに示すように、プリカーサ11aをチャンバーに導入し、基板10の表面にプリカーサ11aを吸着させる。

[0154]

ここで、図1Aに示すように、プリカーサ11aが基板10の表面に吸着することにより、表面化学反応の自己停止機構が作用し、基板10上のプリカーサ11aの層の上にさらにプリカーサ11aが吸着することはない。なお、表面化学反応の自己停止機構が作用する基板温度の適正範囲を、ALD Windowとも呼ぶ。ALD Windowは、プリカーサの温度特性、蒸気圧、分解温度などによって決まる。

[0155]

次に、第2ステップとして、不活性ガス（例えば、アルゴン、ヘリウム、または窒素）をチャンバーに導入して、余剰なプリカーサ11a及び反応生成物などをチャンバーから排出する。第2ステップは、パージとも呼ばれる。

[0156]

第2ステップでは、不活性ガスをチャンバーに導入する代わりに、真空排気を行って、余剰なプリカーサ及び反応生成物などをチャンバーから排出してもよい。なお、本明細書等において、真空排気とは、少なくとも大気圧より低い圧力（減圧状態）にて排気することを表す。

[0157]

次に、第3ステップとして、図1Bに示すように、リアクタント12a（例えば、酸化剤）をチャンバーに導入し、基板10の表面に吸着したプリカーサ11aと反応させて、プリカーサ11aを構成する金属元素を基板10に吸着させたままプリカーサ11aに含まれる成分の一部を脱離させる。これにより、プリカーサ11aの一部が酸化されて形成された、酸化物13aの層が基板10の表面に形成される。

[0158]

酸化剤としては、オゾン（ O_3 ）、酸素（ O_2 ）、水（ H_2O ）、二酸化窒素（ N_2O ）、過酸化水素（ H_2O_2 ）、及びこれらのプラズマ、ラジカル、イオンなどが挙げられる。

[0159]

なお、プラズマALD法を行う場合には、酸化剤として酸素を常に供給し続けておき、第3ステップでプラズマを発生させてもよい。これにより、第3ステップで、酸素プラズマが形成されてリアクタント12aとして機能する。この場合、第3ステップ以外で、上記の温度に加熱された酸素と反応しないプリカーサ11aを用いればよい。

[0160]

次に、第4のステップとして、不活性ガスの導入または真空排気によって、余剰なリアクタント12a及び反応生成物などをチャンバーから排出する。

[0161]

次に、図1Cに示すように、プリカーサ11aとは異なる金属元素を有するプリカーサ11bを導入して、第1ステップと同様の工程を行い、酸化物13aの層の表面にプリカーサ11bを吸着させる。

[0162]

ここで、図1Cに示すように、プリカーサ11bが酸化物13aの層に吸着することにより、表面化学反応の自己停止機構が作用し、基板10上のプリカーサ11bの層の上にさらにプリカーサ11bが吸着することはない。

[0163]

次に、第2ステップと同様に、不活性ガスの導入または真空排気によって、余剰なプリカーサ11b及び反応生成物などをチャンバーから排出する。

[0164]

次に、図1Dに示すように、リアクタント12bをチャンバーに導入し、第3ステップと同様の工程を行う。これにより、プリカーサ11bの一部が酸化されて形成された、酸化物13bの層が酸化物13aの層の上に形成される。

[0165]

リアクタント12bは、リアクタント12aと同じ材料であってもよく、異なる材料であってもよい。

[0166]

次に、第4ステップと同様に、不活性ガスの導入または真空排気によって、余剰なリアクタント1

2 b 及び反応生成物などをチャンバーから排出する。

[0167]

さらに、同様に第1ステップ乃至第4ステップを行い、酸化物13cの層を酸化物13bの層の上に形成する。酸化物13cの層を形成する際には、プリカーサ11a及びプリカーサ11bとは異なる金属元素を有する化合物を、プリカーサとして用いる。リアクタントは、リアクタント12a、12bの一方または双方と同じ材料であってもよく、どちらも異なる材料であってもよい。

[0168]

このように、酸化物13a乃至酸化物13cを形成する工程を繰り返すことにより、酸化物13a乃至酸化物13cの積層構造14が繰り返される、層状の結晶構造の金属酸化物を形成することができる(図1E)。つまり、第1ステップ乃至第4ステップを1セット(1サイクルとも記す)として、酸化物の層を形成することができ、当該セットを繰り返すことで、複数の酸化物の層が積層された、層状の結晶構造を形成することができる。

[0169]

なお、層状の結晶構造の金属酸化物の厚さとしては、1nm以上100nm未満が好ましく、3nm以上20nm未満がより好ましい。

[0170]

層状の結晶構造の金属酸化物、特にCAAC構造の金属酸化物を形成するにあたって、図1に示す工程は、基板を加熱しながら行うことが好ましい。基板温度を200℃以上600℃以下とすることが好ましく、300℃以上450℃以下とすることがより好ましい。また、基板温度は、用いるプリカーサのいずれの分解温度よりも低い温度とすることが好ましい。これにより、ALD法による成膜中に、使用する複数種のプリカーサを、それぞれ分解させずに、対象物(例えば、基板)に吸着させることができる。

[0171]

このような温度範囲で基板を加熱しながら上記の成膜を行うことで、第1ステップ乃至第4ステップのそれぞれにおいて、プリカーサまたはリアクタントなどに含まれる、水素、または炭素などの不純物を、金属酸化物中から除去することができる。例えば、金属酸化物中の炭素をCO₂、COとして放出させることができる。また、例えば、金属酸化物中の水素をH₂Oとして放出させることができる。さらに、上記の不純物の除去と同時に、金属原子及び酸素原子の再配列が行われ、各酸化物の層を秩序性高く配列させることができる。よって、結晶性の高い、層状の結晶構造の金属酸化物、特にCAAC構造の金属酸化物を形成することができる。

[0172]

なお、図1Aにおいては、基板10上にプリカーサ11aを吸着させる構成について例示しているがこれに限定されない。例えば、基板10上に絶縁膜(酸素、窒素、シリコン、アルミニウム、ハフニウムなどの一つまたは複数を含む絶縁膜)、または導電膜(タングステン、タンタル、モリブデン、ジルコニウム、アルミニウム、チタンなどの一つまたは複数を含む導電膜)などを設け、その上にプリカーサ11aを吸着させてもよい。または、基板10上の、絶縁膜及び導電膜などによって形成された構造物上に、プリカーサ11aを吸着させてもよい。

[0173]

上記温度範囲で基板を加熱しながら成膜を行うために、上記成膜に用いるプリカーサは分解温度が低すぎないことが好ましい。一方で、分解温度が高すぎると、取り扱いが難しく、成膜時の基板温

度を極めて高温にする必要があり、好ましくない。例えば、プリカーサの分解温度が、 200°C 以上 700°C 以下であることが好ましく、 300°C 以上 650°C 以下であることがより好ましく、 400°C 以上 600°C 以下であることがさらに好ましい。

[0174]

無機プリカーサは、水素及び炭素などの不純物が少なく、成膜する金属酸化物中の不純物濃度が増加することを抑制できる。一方で、無機プリカーサは、有機プリカーサに比べて、分解温度が高い傾向がある。

[0175]

そこで、本発明の一態様の金属酸化物の成膜方法では、有機プリカーサを用い、基板を加熱しながら成膜する、不純物除去処理を行う、などにより、成膜する金属酸化物中の不純物濃度の増加の抑制を図る。

[0176]

不純物除去処理を行う頻度は、特に限定されない。頻度が高いほど不純物の除去が容易となり好ましいが、生産性が低くなる恐れがある。頻度が低いほど、金属酸化物の成膜工程時間を短縮でき好ましいが、不純物を十分に除去しきれない恐れがある。例えば、酸化物13a乃至酸化物13cを形成する工程を繰り返し行い、酸化物の層を複数形成する毎に、不純物除去処理を行うことが好ましい。例えば、酸化物13a乃至酸化物13cのいずれか一層を形成する毎に不純物除去処理を行うこともできるが、酸化物の層を複数層形成する毎、または、積層構造14を複数形成する毎に、不純物除去処理を行う方が、工程が簡略化でき、好ましい。または、金属酸化物を成膜し終わった後に、不純物除去処理を1回行ってもよい。

[0177]

例えば、酸化物の層をn層（nは1以上100以下の整数、好ましくは、2以上50以下の整数、より好ましくは、5以上30層以下の整数）形成する毎に不純物除去処理を行ってもよい。例えば、酸化物13a、13b、13c、13a、13bをこの順で形成し、不純物除去処理を行い、酸化物13c、13a、13b、13c、13aをこの順で形成し、不純物除去処理を行い、酸化物13b、13c、13a、13b、13cをこの順で形成し、不純物除去処理を行うことを、繰り返すことで、金属酸化物を形成することができる。

[0178]

また、例えば、積層構造14をm層（mは、1以上50以下の整数、好ましくは、2以上30以下の整数、より好ましくは5以上10以下の整数）形成する毎に不純物除去処理を行ってもよい。

[0179]

前述の通り、不純物除去処理としては、例えば、プラズマ処理、マイクロ波処理、及び、加熱処理が挙げられる。また、不純物除去処理は、光を照射しながら行ってもよい。

[0180]

不純物除去処理を行うチャンバーは、第1ステップ乃至第4のステップを行うチャンバーと同様のチャンバーであってもよく、異なるチャンバーであってもよい。つまり、成膜用のチャンバーと不純物除去処理用のチャンバーが同じであってもよく、異なってもよい。

[0181]

プラズマ処理またはマイクロ波処理を行う際は、それぞれ、基板の温度を、室温（例えば 25°C ）以上、 100°C 以上、 200°C 以上、 300°C 以上、または、 400°C 以上とし、かつ、 500°C

以下、または450℃以下とすることが好ましい。また、加熱処理の温度は、100℃以上、200℃以上、300℃以上、または、400℃以上とし、かつ、500℃以下、または450℃以下とすることが好ましい。不純物除去処理を行う際の温度は、特に、トランジスタまたは半導体装置の作製工程における最高温度以下の温度とすることで、生産性を低下させることなく、金属酸化物中の不純物の含有量を低減でき、好ましい。

[0182]

なお、前述の第3ステップで、酸素プラズマを用いる場合、第3ステップの処理時間を長くすることで、不純物除去処理としてのプラズマ処理を兼ねることができる。例えば、第3ステップを、複数回に1回、他の回よりも処理時間を長く行い、不純物除去処理を兼ねる工程としてもよい。

[0183]

ここで、マイクロ波処理とは、例えばマイクロ波を用いて高密度プラズマを発生させる電源を有する装置を用いた処理のことを指す。また、本明細書などにおいて、マイクロ波とは、300MHz以上300GHz以下の周波数を有する電磁波を指すものとする。マイクロ波処理は、マイクロ波励起高密度プラズマ処理ということもできる。

[0184]

マイクロ波処理では、例えばマイクロ波を用いた高密度プラズマを発生させる電源を有する、マイクロ波処理装置を用いることが好ましい。ここで、マイクロ波処理装置の周波数は、300MHz以上300GHz以下が好ましく、2.4GHz以上2.5GHz以下がより好ましく、例えば、2.45GHzにすることができる。高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができる。また、マイクロ波処理装置のマイクロ波を印加する電源の電力は、1000W以上10000W以下が好ましく、2000W以上5000W以下がより好ましい。また、マイクロ波処理装置は基板側にRFを印加する電源を有してもよい。また、基板側にRFを印加することで、高密度プラズマによって生成された酸素イオンを、効率よく膜中に導くことができる。

[0185]

マイクロ波処理は、減圧下で行うことが好ましく、圧力は、10Pa以上1000Pa以下が好ましく、300Pa以上700Pa以下がより好ましい。また、処理温度は、室温(25℃)以上750℃以下が好ましく、300℃以上500℃以下がより好ましく、400℃以上450℃以下とすることができる。

[0186]

また、マイクロ波処理またはプラズマ処理を行った後に、外気に曝すことなく、連続して加熱処理を行ってもよい。加熱処理の温度は、例えば、100℃以上750℃以下が好ましく、300℃以上500℃以下がより好ましく、400℃以上450℃以下がさらに好ましい。

[0187]

マイクロ波処理は、例えば、酸素ガスとアルゴンガスを用いて行うことができる。ここで、酸素流量比($O_2 / (O_2 + Ar)$)は、0%より大きく、100%以下とする。好ましくは、酸素流量比($O_2 / (O_2 + Ar)$)を、0%より大きく、50%以下とする。より好ましくは、酸素流量比($O_2 / (O_2 + Ar)$)を、10%以上、40%以下とする。さらに好ましくは、酸素流量比($O_2 / (O_2 + Ar)$)を、10%以上、30%以下とする。

[0188]

また、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、

1%以上、もしくは10%以上含む雰囲気で行う。例えば、窒素ガスと酸素ガスの混合雰囲気で加熱処理をする場合、酸素ガスを20%程度にすることが好ましい。また、加熱処理は減圧状態で行ってもよい。または、窒素ガスもしくは不活性ガスの雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。また、加熱処理は、超乾燥空気（水の含有量が20ppm以下、好ましくは1ppm以下、好ましくは10ppb以下の空気）の雰囲気下で行ってもよい。

[0189]

加熱処理で用いるガスは、高純度化されていることが好ましい。例えば、加熱処理で用いるガスに含まれる水分量は、1ppb以下が好ましく、0.1ppb以下がより好ましく、0.05ppb以下がさらに好ましい。高純度化されたガスを用いて加熱処理を行うことで、金属酸化物中に水分等が取り込まれることを可能な限り防ぐことができる。

[0190]

このように加熱処理を行うことで、金属酸化物に含まれる水素、または炭素などの不純物を除去することができる。例えば、金属酸化物中の炭素をCO₂及びCOとして放出させ、金属酸化物中の水素をH₂Oとして放出させることができる。

[0191]

なお、金属酸化物の成膜後（所定の層数の積層構造14を全て形成した後、他の材料または他の組成の膜を形成する前）に、加熱処理を行うことが好ましい。特に、上記ALD法による成膜後に、外気にさらさずに連続して加熱処理を行うことが好ましい。これにより、金属酸化物の成膜後に、膜中の水素、または炭素などの不純物を増加させずに、加熱処理を行うことができる。当該加熱処理は、100℃以上500℃以下で行うことが好ましく、200℃以上500℃以下がより好ましく、250℃以上500℃以下がさらに好ましく、300℃以上500℃以下がさらに好ましく、350℃以上450℃以下がさらに好ましく、400℃以上450℃以下がさらに好ましい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。また、加熱処理は減圧状態で行ってもよい。または、窒素ガスもしくは不活性ガスの雰囲気で行った後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。

[0192]

このように加熱処理を行うことで、金属酸化物に含まれる水素、または炭素などの不純物を除去することができる。例えば、金属酸化物中の炭素をCO₂及びCOとして放出させ、金属酸化物中の水素をH₂Oとして放出させることができる。さらに、上記の不純物の除去と同時に、金属原子及び酸素原子の再配列が行われ、結晶性の向上を図ることができる。よって、結晶性の高い、層状の結晶構造の金属酸化物、特に上記のCAAC構造の金属酸化物を形成することができる。

[0193]

また、金属酸化物の成膜後に、プラズマ処理またはマイクロ波処理を行ってもよい。

[0194]

なお、図1においては、酸化物13a乃至酸化物13cの積層構造14が繰り返される構造について説明したが、本発明はこれに限られるものではない。例えば、単層、2層、または4層以上の酸化物の層が繰り返し形成される金属酸化物としてもよい。また、図1においては、酸化物13a、酸化物13b、酸化物13cの順番を変えずに繰り返し積層が行われていたが、これに限られるも

のではない。例えば、積層する毎に、酸化物13a、酸化物13b、酸化物13cの順番を入れ替えてもよい。また、膜の途中で、酸化物13a、酸化物13b、酸化物13cの組成を変更してもよい。また、図1においては、酸化物13a、酸化物13b、酸化物13cのように、異なる酸化物の層が隣接するように設けられているが、これに限られるものではない。例えば、酸化物13a、酸化物13a、酸化物13b、酸化物13b、酸化物13c、酸化物13cのように、同じ酸化物の層を連続して設ける構成にしてもよい。

[0195]

また、以降の本明細書の記載において、特段の記載がない限り、リアクタント、または酸化剤としてオゾン、酸素、水を用いる場合、これらは、ガス及び分子の状態に限らず、プラズマ状態、ラジカル状態、及びイオン状態のものも含むものとする。プラズマ状態、ラジカル状態、あるいはイオン状態の酸化剤を用いて成膜する場合、後述するラジカルALD装置、またはプラズマALD装置を用いればよい。

[0196]

プリカーサに含まれる炭素または水素などの不純物を除去するには、当該プリカーサに酸化剤を十分反応させることが好ましい。例えば、酸化剤を導入するパルス時間を長くすればよい。金属酸化物の成膜工程において、1サイクル中の酸化剤を供給する好ましい時間の例は前述の通りである。または、酸化剤を複数回導入してもよい。酸化剤を複数回導入する場合、同じ種類の酸化剤を導入してもよいし、異なる種類の酸化剤を導入してもよい。例えば、第1の酸化剤として、水をチャンバーに導入した後、真空排気を行い、第2の酸化剤として水素を含まないオゾンまたは酸素をチャンバーに導入し、真空排気を行ってもよい。

[0197]

なお、上記の説明では、第1の原料ガスをチャンバーに導入してから、第2の原料ガスをチャンバーに導入する例を示したが、本発明はこれに限らない。第2の原料ガスをチャンバーに導入してから、第1の原料ガスをチャンバーに導入してもよい。つまり、初めに第3ステップ、及び第4ステップを行い、その後、第1ステップ、第2ステップ、第3ステップ、及び第4ステップを行い、以降第1ステップ乃至第4ステップを繰り返し行うことで成膜を行ってもよい。さらに、第3ステップ、及び第4ステップを複数回繰り返してから、第1ステップ乃至第4ステップを繰り返し行うことで成膜を行ってもよい。

[0198]

このように、第1ステップの前に、第3ステップ、及び第4ステップを1回ずつ、あるいは複数回行うことは、チャンバー内の成膜雰囲気制御できるため好ましい。例えば、第3ステップで、酸化剤として O_3 、及び O_2 を導入することで、チャンバー内を酸素雰囲気とすることができる。チャンバー内を酸素雰囲気として、成膜することで、形成される膜中の酸素濃度を高くでき、好ましい。さらに、当該膜の下地となる絶縁体及び酸化物にも酸素を供給できる。このような方法を用いて形成された半導体装置は、良好な特性を有し、高い信頼性を得ることができる。また、例えば、第3ステップで、酸化剤として水を導入することで、被形成面に親水基を形成させることができる。これにより、プリカーサの吸着性をより向上させることができる。

[0199]

また、第1ステップ、及び第2ステップの後に、第3ステップにおける第2の原料ガスの導入と、第4ステップにおける真空排気または不活性ガスの導入を複数回繰り返す行ってもよい。つまり、

第1ステップ、第2ステップ、第3ステップ、第4ステップ、第3ステップ、第4ステップ、と第3ステップと第4ステップを繰り返し行った後に、第1ステップ、及び第2ステップを行ってもよい。

[0200]

例えば、第3ステップで酸化剤として O_3 、及び O_2 を導入し、第4ステップで不活性ガスの導入を行い、この工程を複数回繰り返してもよい。また、第3ステップと第4ステップを繰り返す場合、必ずしも同じ種類の原料ガスの導入を繰り返す必要はない。例えば、1回目の第3ステップで酸化剤として H_2O を用い、2回目以降の第3ステップで酸化剤として O_3 を用いてもよい。

[0201]

このようにして、チャンバー内で酸化剤の導入と不活性ガスの導入（または真空排気）を短時間で複数回繰り返すことで、基板表面に吸着したプリカーサから、余分な水素原子、炭素原子などをより確実に取り除き、チャンバーの外に排除することができる。また、酸化剤の種類を2種類に増やすことにより、基板表面に吸着したプリカーサから、余分な水素原子などをより多く取り除くことができる。このように、成膜中に水素原子が膜中に取り込まれないようにすることにより形成した膜に含まれる水、水素などを低減することができる。

[0202]

このような方法を用いることにより、TDS分析にて 100°C 以上 700°C 以下または 100°C 以上 500°C 以下の表面温度の範囲で、水分子の脱離量が $1.0 \times 10^{13} \text{ molecule/cm}^2$ 以上 $1.0 \times 10^{16} \text{ molecule/cm}^2$ 以下、好ましくは $1.0 \times 10^{13} \text{ molecule/cm}^2$ 以上 $3.0 \times 10^{15} \text{ molecule/cm}^2$ 以下となる膜を形成することができる。

[0203]

ALD法は、熱エネルギーを用いてプリカーサ、及びリアクタントを反応させて行う成膜方法である。プリカーサ、及びリアクタントの反応に必要な温度は、それらの温度特性、蒸気圧、分解温度などによって決まるが、 100°C 以上 600°C 以下、好ましくは、 200°C 以上 600°C 以下、より好ましくは 300°C 以上 600°C 以下である。

[0204]

さらに、上記のプリカーサ、及びリアクタントの反応に加え、第3の原料ガスとして、プラズマ励起されたリアクタントをチャンバーに導入することで処理を行うALD法をプラズマALD法と呼ぶことがある。この場合、第3の原料ガスの導入部には、プラズマ生成装置が設けられる。プラズマの生成には、誘導結合プラズマ（Inductively Coupled Plasma：ICP）を用いることができる。またこれに対して、プリカーサ及びリアクタントの反応を熱エネルギーで行うALD法を熱ALD法と呼ぶことがある。

[0205]

プラズマALD法では、第3ステップにおいてプラズマ励起されたリアクタントを導入して成膜を行う。あるいは、第1ステップ乃至第4ステップを繰り返す行くと同時に、プラズマ励起されたリアクタント（第2のリアクタント）を導入することで、成膜が行われる。この場合、第3ステップで導入されるリアクタントを第1のリアクタントと呼ぶ。プラズマALD法において、第3の原料ガスに用いる第2のリアクタントは、上記酸化剤と同様の材料を用いることができる。すなわち、第2のリアクタントとして、プラズマ励起されたオゾン、酸素、及び水を用いることができる。また、第2のリアクタントとして、酸化剤の他に、窒化剤を用いてもよい。窒化剤としては、窒素

(N₂) またはアンモニア (NH₃) を用いることができる。また、窒素 (N₂) と水素 (H₂) の混合ガスを窒化剤として用いることができる。例えば、窒素 (N₂) 5%、水素 (H₂) 95%の混合ガスを窒化剤として用いることができる。プラズマ励起された窒素またはアンモニアを導入しながら成膜を行うことで、金属窒化膜などの窒化膜を形成することができる。

[0206]

また、第2のリアクタントのキャリアガスとして、アルゴン (Ar)、ヘリウム (He) または窒素 (N₂) を用いてもよい。アルゴン、ヘリウム、または窒素などのキャリアガスを用いることで、プラズマの放電が容易になり、プラズマ励起された第2のリアクタントが容易に生成されるため、好ましい。なお、プラズマALD法を用いて金属酸化膜などの酸化膜を形成する場合、キャリアガスに窒素を用いると、膜中に窒素が混入し、所望の膜質が得られない場合がある。この場合キャリアガスとして、アルゴンまたはヘリウムを用いることが好ましい。

[0207]

ALD法は、極めて薄い膜を均一な膜厚で成膜することができる。また、凹凸を有する面に対しても、表面被覆率が高い。

[0208]

また、プラズマALD法により成膜することで、熱ALD法に比べてさらに低温での成膜が可能となる。プラズマALD法は、例えば、100℃以下でも成膜速度を低下させずに成膜することができる場合がある。

[0209]

また、プラズマALD法を行う場合には、誘導結合型プラズマ (ICP) または電子サイクロトロン共鳴プラズマ (ECR) などのプラズマ源を基板から離してプラズマを発生させることにより、プラズマダメージを抑えることができる。

[0210]

<金属酸化物の結晶中の原子配列>

ここで、層状の結晶構造の金属酸化物が、In-M-Zn酸化物である場合の、結晶中の原子配列について、図2A乃至図2D及び図3A乃至図3Dを用いて説明する。なお、図2B、図2D、図3B、及び図3Dでは、原子を球(丸)で表し、金属原子と酸素原子の結合を線で表している。図2B、図2D、図3B、及び図3Dにおいて、In-M-Zn酸化物の結晶構造におけるc軸方向は、図中の矢印で表す(c-axis)。また、In-M-Zn酸化物の結晶構造におけるa-b面方向は、図2B、図2D、図3B、及び図3D中の矢印で表すc軸方向と垂直の方向である。

[0211]

図2Aは、構造体50に形成されたIn-M-Zn酸化物を有する酸化物60を示す図である。ここで、構造体とは、トランジスタなどの半導体装置を構成する要素を指す。構造体50として、基板、ゲート電極、ソース電極、及びドレイン電極などの導電体、ゲート絶縁膜、層間絶縁膜、下地絶縁膜等の絶縁体、金属酸化物またはシリコンなどの半導体、などが含まれる。図2Aでは、構造体50の被成膜面が基板(図示しない)に対して平行に配置される場合を示している。

[0212]

図2Bは、図2Aにおける酸化物60の一部である領域53における、結晶中の原子配列を示す拡大図である。ここで、図2A及び図2Bに示す酸化物60の、組成はIn:M:Zn=1:1:1 [原子数比] であり、結晶構造はYbFe₂O₄型構造とする。また、元素Mは、+3価の金属元素

とする。

[0213]

図2Bに示すように、酸化物60が有する結晶は、インジウム(In)と酸素とを有する層21、元素Mと酸素とを有する層31、亜鉛(Zn)と酸素とを有する層41が順に、繰り返し積層されている。層21、層31、及び層41は、構造体50の被成膜面に平行または概略平行に配置されている。すなわち、酸化物60のa-b面は、構造体50の被成膜面に対して平行または概略平行であり、酸化物60のc軸は、構造体50の被成膜面の法線方向と平行または概略平行である。

[0214]

図2Bに示すように、上記結晶が有する、層21、層31、層41のそれぞれが、一の金属元素と、酸素とで構成されることで、良好な結晶性で配列され、当該金属酸化物の移動度を高くすることができる。

[0215]

なお、 $In:M:Zn=1:1:1$ [原子数比] のIn-M-Zn酸化物は、図2Bに示す構造に限られるものではない。層21、層31、層41の積層順が変更されてもよい。例えば、層21、層41、層31の順に、繰り返し積層されてもよい。または、層21、層31、層41、層21、層41、層31の順に、繰り返し積層されてもよい。また、層31の元素Mの一部が亜鉛に置換され、層41の亜鉛の一部が元素Mに置換されてもよい。

[0216]

上記においては、組成が $In:M:Zn=1:1:1$ [原子数比] のIn-M-Zn酸化物を形成する例を示したが、組成式が $In_{(1+\alpha)}M_{(1-\alpha)}O_3(ZnO)_m$ (α は0より大きく1より小さい実数、 m は正の数) で表される、結晶性のIn-M-Zn酸化物は、同様に層状の結晶構造をとることができる。例として、図2C及び図2Dを用いて、組成が $In:M:Zn=1:3:4$ [原子数比] のIn-M-Zn酸化物について示す。

[0217]

図2Cは、構造体50に形成されたIn-M-Zn酸化物を有する酸化物62を示す図である。図2Dは、図2Cにおける酸化物62の一部である領域54における、結晶中の原子配列を示す拡大図である。

[0218]

図2Dに示すように、酸化物62が有する結晶は、インジウム(In)と元素Mと酸素とを有する層23、亜鉛(Zn)と酸素とを有する層41、及び元素Mと酸素とを有する層31を有する。酸化物62において、複数の層は、層23、層41、層31、層41、の順に、繰り返し積層されている。層23、層31、及び層41は、構造体50の被成膜面に平行または概略平行に配置されている。すなわち、酸化物62のa-b面は、構造体50の被成膜面に対して平行または概略平行であり、酸化物62のc軸は、構造体50の被成膜面の法線方向と平行または概略平行である。

[0219]

なお、 $In:M:Zn=1:3:4$ [原子数比] のIn-M-Zn酸化物は、図2Dに示す構造に限られるものではなく、 $In:M:Zn=1:3:4$ [原子数比] に従う範囲で、構造が変化してもよい。例えば、層23、層31、層41の積層順が変更されてもよい。また、層31の元素Mの一部が亜鉛に置換され、層41の亜鉛の一部が元素Mに置換されてもよい。また、層23に代わって、層21または層31が形成されてもよい。

[0220]

また、図3Aに示すように、構造体50の上に酸化物62を形成し、その上に酸化物60を形成する、積層構造にしてもよい。ここで、図3Bは、図3Aにおける酸化物62及び酸化物60の一部である領域56における、結晶中の原子配列を示す拡大図である。

[0221]

上記の通り、酸化物62は、 $I_n : M : Z_n = 1 : 3 : 4$ [原子数比] の $I_n - M - Z_n$ 酸化物であり、酸化物60は、 $I_n : M : Z_n = 1 : 1 : 1$ [原子数比] の $I_n - M - Z_n$ 酸化物である。つまり、図3Aに示す酸化物は、膜の途中で原子数比が変化している、酸化膜である。また、図3Bに示すように、酸化物62を層状の結晶構造にすることで、酸化物62上の酸化物60の結晶性を良好にすることができる。

[0222]

なお、酸化物62及び酸化物60は、図3Bに示す構造に限られるものではなく、前述のように、酸化物62及び酸化物60の構造を変化させてもよい。また、図3Bにおいて、酸化物62と酸化物60の境界に層21を配置しているがこれに限られるものではない。例えば、酸化物62と酸化物60の境界に層23が形成されていてもよい。

[0223]

前述したとおり、ALD法では、アスペクト比の高い構造への成膜が可能であり、構造体の側面に対しても被覆性に優れた成膜が可能である。ALD法を用いることで、被成膜面の向きによらず、容易にCAAC構造などの結晶性の金属酸化物を形成することができる。例えば、構造体が凸型形状、または凹型形状を有しているとしても、構造体の上面、底面、側面、及び傾斜を有する面に対して被覆性よく金属酸化物を形成することができる。すなわち、それぞれの被成膜面において、法線方向に概略一定の膜厚を有する金属酸化物を形成することができる。構造体の上面、底面、側面、及び傾斜を有する面それぞれに形成された金属酸化物において、最大膜厚に対する最小膜厚の比を0.5以上1以下、好ましくは0.7以上1以下、より好ましくは、0.9以上1以下とすることができる。このとき、金属酸化物が結晶構造を有する場合、そのc軸は、それぞれの被成膜面の法線方向と概略平行な方向に配向する。すなわち、c軸は、それぞれの被成膜面に対して垂直に配向する。

[0224]

ここで、図3Cでは、構造体50の被成膜面が基板（図示しない）に対して垂直に配置され、構造体50の表面に酸化物64が形成される場合を示している。図3Dは、図3Cにおける酸化物64の一部である領域58の拡大図である。図3Dでは、構造体50の側面にインジウム（In）を含む層21と、元素Mを含む層31と、亜鉛（Zn）を含む層41とが、被成膜面に対して積層されている様子を示している。インジウムを含む層21は、構造体50の被成膜面に平行または概略平行に配置され、その上に元素Mを含む層31が、構造体50の被成膜面に平行または概略平行に配置され、さらにその上に亜鉛を含む層41が、構造体50の被成膜面に平行または概略平行に配置されている。すなわち、酸化物60のa-b面は、構造体50の被成膜面に対して平行または概略平行であり、酸化物60のc軸は、構造体50の被成膜面の法線方向と平行または概略平行である。なお、図3C及び図3Dにおいては、 $I_n : M : Z_n = 1 : 1 : 1$ [原子数比] の $I_n - M - Z_n$ 酸化物の例について示したが、異なる原子数比の酸化物についても同様に、被成膜面が基板に対して垂直に配置された構造体50の表面に形成することができる。

[0225]

また、上記において、 $I_n : M : Z_n = 1 : 1 : 1$ [原子数比]、及び $I_n : M : Z_n = 1 : 3 : 4$ [原子数比] の金属酸化物の例を示したが、本発明はこれに限られるものではない。

[0226]

以下に、図4A、図4B、及び図4Cを用いて、本発明の一態様に示す酸化物に用いることができる金属酸化物が有するインジウム、元素M及び亜鉛の原子数比の好ましい範囲について説明する。なお、図4A、図4B、及び図4Cには、酸素の原子数比については記載しない。また、金属酸化物が有するインジウム、元素M、及び亜鉛の原子数比のそれぞれの項を $[I_n]$ 、 $[M]$ 、及び $[Z_n]$ とする。

[0227]

図4A、図4B、及び図4Cにおいて、破線は、 $[I_n] : [M] : [Z_n] = (1 + \alpha) : (1 - \alpha) : 1$ の原子数比 ($-1 \leq \alpha \leq 1$) となるライン、 $[I_n] : [M] : [Z_n] = (1 + \alpha) : (1 - \alpha) : 2$ の原子数比となるライン、 $[I_n] : [M] : [Z_n] = (1 + \alpha) : (1 - \alpha) : 3$ の原子数比となるライン、及び $[I_n] : [M] : [Z_n] = (1 + \alpha) : (1 - \alpha) : 4$ の原子数比となるラインを表す。

[0228]

また、一点鎖線は、 $[I_n] : [M] : [Z_n] = 5 : 1 : \beta$ の原子数比 ($\beta \geq 0$) となるライン、 $[I_n] : [M] : [Z_n] = 2 : 1 : \beta$ の原子数比となるライン、 $[I_n] : [M] : [Z_n] = 1 : 1 : \beta$ の原子数比となるライン、 $[I_n] : [M] : [Z_n] = 1 : 2 : \beta$ の原子数比となるライン、 $[I_n] : [M] : [Z_n] = 1 : 3 : \beta$ の原子数比となるライン、及び $[I_n] : [M] : [Z_n] = 1 : 4 : \beta$ の原子数比となるラインを表す。

[0229]

また、図4A、図4B、及び図4Cに示す、 $[I_n] : [M] : [Z_n] = 0 : 2 : 1$ の原子数比、及びその近傍値の金属酸化物は、スピネル型の結晶構造をとりやすい。

[0230]

また、金属酸化物中に複数の相が共存する場合がある (二相共存、三相共存など)。例えば、原子数比が $[I_n] : [M] : [Z_n] = 0 : 2 : 1$ の近傍値である場合、スピネル型の結晶構造と層状の結晶構造との二相が共存しやすい。また、原子数比が $[I_n] : [M] : [Z_n] = 1 : 0 : 0$ の近傍値である場合、ピクスパイト型の結晶構造と層状の結晶構造との二相が共存しやすい。金属酸化物中に複数の相が共存する場合、異なる結晶構造の間において、結晶粒界が形成される場合がある。

[0231]

図4Aに示す領域Aは、金属酸化物が有する、インジウム、元素M、及び亜鉛の原子数比の好ましい範囲の一例について示している。

[0232]

金属酸化物は、インジウムの含有率を高くすることで、金属酸化物のキャリア移動度 (電子移動度) を高くすることができる。従って、インジウムの含有率が高い金属酸化物はインジウムの含有率が低い金属酸化物と比較してキャリア移動度が高くなる。

[0233]

一方、金属酸化物中のインジウム及び亜鉛の含有率が低くなると、キャリア移動度が低くなる。従って、原子数比が $[In] : [M] : [Zn] = 0 : 1 : 0$ 、及びその近傍値である場合（例えば図4Cに示す領域C）は、絶縁性が高くなる。なお、領域Cは、前述のスピネル型の結晶構造をとりやすい領域を含むため、スピネル型の結晶構造をとりやすい領域を避ける組成にすることが好ましい。

[0234]

例えば、チャンネル形成領域、及び低抵抗領域に用いる金属酸化物は、キャリア移動度が高い、図4Aの領域Aで示される原子数比を有することが好ましい。チャンネル形成領域、及び低抵抗領域に用いる金属酸化物は、例えば $In : Ga : Zn = 4 : 2 : 3$ から 4.1 、及びその近傍値程度になるようにすればよい。また、例えば $In : Ga : Zn = 1 : 1 : 1$ 、及びその近傍値程度になるようにすればよい。一方、チャンネル形成領域、及び低抵抗領域を取り囲むように金属酸化物を設ける場合、絶縁性が比較的高い、図4Cの領域Cで示される原子数比を有することが好ましい。チャンネル形成領域、及び低抵抗領域を取り囲むように設けられる金属酸化物は、例えば $In : Ga : Zn = 1 : 3 : 4$ 、及びその近傍値程度、あるいは $In : Ga : Zn = 1 : 3 : 2$ 、及びその近傍値程度になるようにすればよい。または、チャンネル形成領域、及び低抵抗領域を取り囲むように設けられる金属酸化物は、チャンネル形成領域、及び低抵抗領域に用いる金属酸化物と同等の金属酸化物を用いてもよい。

[0235]

特に、図4Bに示す領域Bでは、領域Aの中でも、キャリア移動度が高く、信頼性が高い優れた金属酸化物が得られる。

[0236]

なお、領域Bは、 $[In] : [M] : [Zn] = 4 : 2 : 3$ から 4.1 、及びその近傍値を含む。近傍値には、例えば、 $[In] : [M] : [Zn] = 5 : 3 : 4$ が含まれる。また、領域Bは、 $[In] : [M] : [Zn] = 5 : 1 : 6$ 、及びその近傍値、及び $[In] : [M] : [Zn] = 5 : 1 : 7$ 、及びその近傍値を含む。また、領域Bは、 $[In] : [M] : [Zn] = 1 : 1 : 1$ 、及びその近傍値を含む。

[0237]

以上のように、原子数比によって、当該金属酸化物の電気伝導特性は大きく異なる。上記のようにALD法を用いて金属酸化物を成膜することにより、各原子数比に応じた、層状の結晶構造を有する金属酸化物を成膜することができる。よって、ALD法を用いることで、求められる特性に応じた金属酸化物を成膜することができる。

[0238]

<成膜方法2>

次に、図2A及び図2Bに示す $In-M-Zn$ 酸化物を有する酸化物60の形成方法の詳細を、図5A乃至図5D、及び、図6A乃至図6Cを用いて示す。

[0239]

まず、図5Aに示すように、インジウムを有するプリカーサを含む原料ガスをチャンバーに導入し、構造体50の表面に当該プリカーサを吸着させる。

[0240]

インジウムを有するプリカーサのアルミニウムの含有量は、 0.001 ppm 以上、 0.01 pp

m以上、または0.1 ppm以上であることが好ましく、かつ、1000 ppm以下であることが好ましく、500 ppm以下がより好ましく、100 ppm以下がより好ましく、50 ppm以下がより好ましく、10 ppm以下がより好ましく、1 ppm以下がさらに好ましい。また、インジウムを有するプリカーサのアルミニウムの含有量は、0.001 ppm以下であってもよい。

[0241]

また、本実施の形態で用いるプリカーサとしては、2回以上の蒸留（精留ともいう）を行うことで精製されたプリカーサを用いることが好ましい。このようなプリカーサを用いることで、不純物の少ない金属酸化物を成膜することが容易となり好ましい。蒸留を複数回行うことで、プリカーサの製造に用いる出発材料に起因した不純物がプリカーサに残存することをより抑制でき、好ましい。なお、本発明は上記に限定されず、蒸留回数が1回、すなわち単蒸留により精製されたプリカーサを用いてもよい。単蒸留とすることで、製造コストを低減させることができ、好ましい。

[0242]

ここで、プリカーサを含む原料ガスには、プリカーサの他に、アルゴン、ヘリウム、または窒素などのキャリアガスが含まれる。

[0243]

インジウムを有するプリカーサとしては、例えば、トリメチルインジウム（下記構造式（101））、トリエチルインジウム（下記構造式（102））、エチルジメチルインジウム、トリス（1-メチルエチル）インジウム、トリス（2, 2, 6, 6-テトラメチル-3, 5-ヘプタンジオン酸）インジウム、シクロペンタジエニルインジウム、インジウム（III）アセチルアセトナート、（ジエチルホスフィノ）ジメチルインジウム、クロロジメチルインジウム、ブロモジメチルインジウム、ジメチル（2-プロパノラト）インジウム、トリフルオロインジウム（フッ化インジウム（III））、塩化インジウム（III）、臭化インジウム（III）、及び、ヨウ化インジウム（III）が挙げられる。

[0244]

次に、上記原料ガスの導入を止めて、チャンバー内をパージして、余剰なプリカーサ及び反応生成物などをチャンバーから排出する。

[0245]

次に、図5Bに示すように、リアクタントとして、酸素を有する酸化剤をチャンバーに導入し、吸着したプリカーサと反応させて、インジウムを基板に吸着させたままインジウム以外の成分を脱離させることで、インジウムと酸素とが結合した層21を形成する。

[0246]

酸化剤として、オゾン（ O_3 ）、酸素（ O_2 ）、水（ H_2O ）、二酸化窒素（ N_2O ）、過酸化水素（ H_2O_2 ）、及びこれらのプラズマ、ラジカル、イオンを用いることができる。

[0247]

酸化剤を供給する際、ガス中のオゾンの割合を、10%以上とすることが好ましく、20%以上がより好ましく、30%以上がより好ましく、40%以上がより好ましく、50%以上がより好ましく、60%以上がより好ましく、70%以上がより好ましく、80%以上がより好ましく、90%以上がより好ましく、100%が特に好ましい。オゾンの割合が大きいほど、金属の酸化を促進し、かつ、金属酸化物中の炭素濃度を低減でき、好ましい。

[0248]

次に、上記酸化剤の導入を止めて、チャンバー内をパージして、余分なリアクタント及び反応生成物などをチャンバーから排出する。

[0249]

次に、図5Cに示すように、元素Mを有するプリカーサを含む原料ガスをチャンバーに導入し、層21上に当該プリカーサを吸着させる。ここで、元素Mとしては、ガリウム、またはスズを用いることが好ましい。

[0250]

元素Mを有するプリカーサのアルミニウムの含有量は、0.001ppm以上、0.01ppm以上、または0.1ppm以上であることが好ましく、かつ、1000ppm以下であることが好ましく、500ppm以下がより好ましく、100ppm以下がより好ましく、50ppm以下がより好ましく、10ppm以下がより好ましく、1ppm以下がさらに好ましい。また、元素Mを有するプリカーサのアルミニウムの含有量は、0.001ppm以下であってもよい。

[0251]

ガリウムを有するプリカーサとしては、例えば、トリメチルガリウム、トリエチルガリウム（下記構造式(103)）、トリス（ジメチルアミド）ガリウム（下記構造式(104)）、トリフェニルガリウム、ジエチル（3-メチル-2,4-シクロプロパンジエン-1-イル）ガリウム、[4-(1,1-ジメチル)フェニル]ジメチルガリウム、ジメチル（4-メチルフェニル）ガリウム、ジメチルフェニルガリウム、メチルジフェニルガリウム、エチルジメチルガリウム、ジメチルメチレンガリウム、ガリウム（III）アセチルアセトナート、トリス（2,2,6,6-テトラメチル-3,5-ヘプタンジオン酸）ガリウム、ジメチル（2-メチル-2-プロパノラト）ガリウム、メトキシジメチルガリウム、ヒドロキシジメチルガリウム、（メタンチオラト）ジメチルガリウム、クロロジメチルガリウム、クロロジエチルガリウム、クロロジプロピルガリウム、ブロモジメチルガリウム、ブロモジエチルガリウム、ジメチルヨードガリウム、クロロビス（2,2-ジメチルプロピル）ガリウム、フッ化ガリウム（III）、塩化ガリウム（III）、臭化ガリウム（III）、及び、ヨウ化ガリウム（III）が挙げられる。

[0252]

スズを有するプリカーサとしては、例えば、テトラメチルスズ、テトラエチルスズ、テトラエチニルスズ、テトラアリルスズ、トリブチルビニルスズ、アリルトリブチルスズ、トリブチルスタニルアセチレン、トリブチルフェニルスズ、クロロトリメチルスズ、クロロトリエチルスズ、フッ化スズ（IV）、塩化スズ（IV）、臭化スズ（IV）、及び、ヨウ化スズ（IV）が挙げられる。

[0253]

次に、上記原料ガスの導入を止めて、チャンバー内をパージして、余剰なプリカーサ及び反応生成物などをチャンバーから排出する。

[0254]

次に、図5Dに示すように、リアクタントとして、酸化剤をチャンバーに導入し、吸着したプリカーサと反応させて、元素Mを基板に吸着させたまま元素M以外の成分を脱離させることで、元素Mと酸素とが結合した層31を形成する。このとき、層31の上に吸着した酸素の一部が、後述する層41を構成する場合がある。

[0255]

次に、上記酸化剤の導入を止めて、チャンバー内をパージして、余分なリアクタント及び反応生成

物などをチャンバーから排出する。

[0256]

次に、図6Aに示すように、亜鉛を有するプリカーサを含む原料ガスをチャンバーに導入し、層31上に当該プリカーサを吸着させる。このとき、亜鉛と酸素とが結合した層41の一部が形成される場合がある。

[0257]

亜鉛を有するプリカーサのアルミニウムの含有量は、0.001ppm以上、0.01ppm以上、または0.1ppm以上であることが好ましく、かつ、1000ppm以下であることが好ましく、500ppm以下がより好ましく、100ppm以下がより好ましく、50ppm以下がより好ましく、10ppm以下がより好ましく、1ppm以下がさらに好ましい。また、亜鉛を有するプリカーサのアルミニウムの含有量は、0.001ppm以下であってもよい。

[0258]

亜鉛を含むプリカーサとしては、例えば、ジメチル亜鉛、ジエチル亜鉛（下記構造式(105)）、ビス(1-メチルエチル)亜鉛、ビス(1,1-ジメチルエチル)亜鉛、ジブチル亜鉛、ジエチニル亜鉛、ジシクロヘキシル亜鉛、ビス(2,2,6,6-テトラメチルー3,5-ヘプタンジオン酸)亜鉛、フッ化亜鉛、塩化亜鉛、クロロメチル亜鉛、臭化亜鉛、ブロモメチル亜鉛、及び、ヨウ化亜鉛が挙げられる。

[0259]

次に、上記原料ガスの導入を止めて、チャンバー内をパージして、余剰なプリカーサ及び反応生成物などをチャンバーから排出する。

[0260]

次に、図6Bに示すように、リアクタントとして、酸化剤をチャンバーに導入し、吸着したプリカーサと反応させて、亜鉛を基板に吸着させたまま亜鉛以外の成分を脱離させることで、亜鉛と酸素が結合した層41を形成する。

[0261]

ここで、図5B、図5D、及び図6Bに示す3つの工程における酸化剤を供給する時間の合計は、10秒以上が好ましく、30秒以上がより好ましく、60秒以上がより好ましく、90秒以上がより好ましく、120秒以上がさらに好ましく、かつ、150秒以下、200秒以下、250秒以下、または300秒以下が好ましい。

[0262]

酸化剤を供給する時間が長いほど、酸化物60中の炭素濃度を低減でき、好ましい。一方で、酸化剤を供給する時間が短いほど、酸化物60を成膜するために要する時間が短くなり、好ましい。

[0263]

次に、上記酸化剤の導入を止めて、チャンバー内をパージして、余分なリアクタント及び反応生成物などをチャンバーから排出する。

[0264]

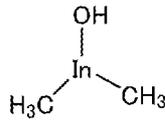
次に、層41上に再度、前述した方法で層21を形成する(図6C)。以上の方法を繰り返すことで、基板、あるいは構造体上に酸化物60を形成することができる。

[0265]

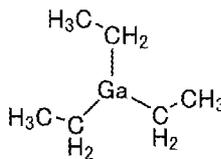
ここで、先に列挙したプリカーサの一例を、以下に示す。

[0 2 6 6]

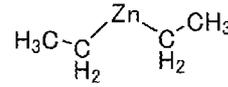
[化 1]



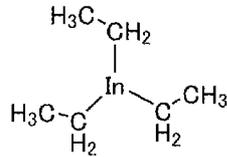
(101)



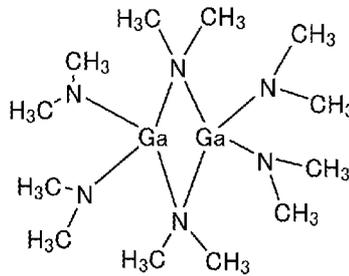
(103)



(105)



(102)



(104)

[0 2 6 7]

なお、先に列挙したプリカーサには、金属元素の他に、炭素及び塩素の一方または両方を含むものがある。炭素を含むプリカーサを用いて形成された膜には炭素が含まれる場合がある。また、塩素などのハロゲンを含むプリカーサを用いて形成された膜には塩素などのハロゲンが含まれる場合がある。

[0 2 6 8]

図5 A乃至図5 D、及び、図6 A乃至図6 Cに示す工程は、基板を加熱しながら行うことが好ましい。例えば、基板温度を150℃以上、200℃以上、または、250℃以上とすることが好ましい。また、600℃以下、500℃以下、450℃以下、400℃以下、または、プリカーサの分解温度以下とすることが好ましい。また、酸化剤としてオゾンを用いる場合は、オゾンの分解温度以下とすることが好ましい。このような温度範囲で基板加熱しながら上記の成膜を行うことで、図5 A乃至図6 Cの各過程において、プリカーサまたはリアクタントなどに含まれる、水素、または炭素などの不純物を、金属酸化物中から除去することができる。例えば、金属酸化物中の炭素をCO₂及びCOとして放出させ、金属酸化物中の水素をH₂Oとして放出させることができる。さらに、上記の不純物の除去と同時に、金属原子及び酸素原子の再配列が行われ、各酸化物の層を秩序性高く配列させることができる。よって、結晶部を有する金属酸化物を形成することができる。また、結晶性の高い、層状の結晶構造の金属酸化物、例えば、CAAC構造の金属酸化物を形成することができる。

[0 2 6 9]

なお、酸化物60の成膜中に、前述の不純物除去処理を間欠的に行うことが好ましい。例えば、層21、層31、及び層41の3層構造をn回（nは、1以上50以下の整数、好ましくは、2以上30以下の整数、より好ましくは5以上10以下の整数）形成する毎に、前述の不純物除去処理を行うことが好ましい。また、酸化物60の成膜後にも、不純物除去処理を行うことが好ましい。

[0 2 7 0]

不純物除去処理を行うことで、金属酸化物に含まれる水素、または炭素などの不純物を除去するこ

とができる。例えば、金属酸化物中の炭素を CO_2 及び CO として放出させ、金属酸化物中の水素を H_2O として放出させることができる。さらに、上記の不純物の除去と同時に、金属原子及び酸素原子の再配列が行われ、結晶性の向上を図ることができる。よって、結晶部を有する金属酸化物を形成することができる。また、結晶性の高い、層状の結晶構造の金属酸化物、特に上記のCAAC構造の金属酸化物を形成することができる。

[0271]

以上のように、ALD法を用いて酸化物60を形成することで、被成膜面の法線方向と概略平行にc軸が配向したCAAC構造の金属酸化物を形成することができる。

[0272]

なお、図5A乃至図5D及び図6A乃至図6Cでは、インジウムを含む層として層21を形成し、その上に元素Mを含む層として層31を形成し、さらにその上に亜鉛を含む層として層41を形成する例を示すが、本実施の形態はこれに限らない。層31及び層41の一方を形成し、その上に層21を形成し、さらにその上に層31及び層41の他方を形成してもよい。または、層31及び層41の一方を形成し、その上に層31及び層41の他方を形成し、さらにその上に層21を形成してもよい。

[0273]

また、 $\text{In}:\text{M}:\text{Zn}=1:1:1$ [原子数比]とは異なる原子数比の金属酸化物を形成する場合は、原子数比に合わせて、上記層21、層31、層41、を適宜形成すればよい。例えば、図6Aに示す、層31の形成前後に、層41の形成を複数回繰り返すことで、2つの層21の間に、所望の原子数、層数、及び厚さを有する、層31と層41との積層を形成すればよい。

[0274]

なお、各種半導体装置を作製する際には、本発明の一態様の金属酸化物と、他の金属酸化物と、の双方を用いてもよい。例えば、本発明の一態様の金属酸化物は、インジウム及び亜鉛の少なくとも一方と、アルミニウムと、を有する金属酸化物（さらに、ガリウム及びスズの少なくとも一方を含んでいてもよい。）と組み合わせて用いられてもよい。

[0275]

インジウム及び亜鉛の少なくとも一方と、アルミニウムと、を有する金属酸化物としては、例えば、インジウムガリウムアルミニウム酸化物（In-Ga-Al酸化物）、アルミニウム亜鉛酸化物（Al-Zn酸化物、AZOとも記す）、インジウムアルミニウム亜鉛酸化物（In-Al-Zn酸化物、IAZOとも記す）、インジウムガリウムアルミニウム亜鉛酸化物（In-Ga-Al-Zn酸化物、IGAZO、IGZAO、またはIAGZOとも記す）が挙げられる。

[0276]

アルミニウムを有するプリカーサとしては、例えば、トリメチルアルミニウム、トリエチルアルミニウム、クロロジメチルアルミニウム、ジクロロメチルアルミニウム、ブロモジメチルアルミニウム、ヨードジメチルアルミニウム、アルミニウムアセチルアセトナート、トリス（2，2，6，6-テトラメチル-3，5-ヘプタンジオン酸）アルミニウム、ジメチルクロロアルミニウム、ジエチルクロロアルミニウム、塩化アルミニウム（III）、臭化アルミニウム（III）、及び、ヨウ化アルミニウム（III）が挙げられる。

[0277]

<成膜装置>

ALD法を用いて成膜することが可能な装置の一例として、成膜装置4000の構成について、図7乃至図10を用いて説明する。図7は、マルチチャンバー型の成膜装置4000の模式図であり、図8乃至図10は、成膜装置4000に用いることができるALD装置の断面図である。

[0278]

図7に示す成膜装置4000は、搬入搬出室4002と、搬入搬出室4004と、搬送室4006と、成膜室4008と、成膜室4009と、処理室4011と、搬送アーム4014と、を有する。ここで、搬入搬出室4002、搬入搬出室4004、成膜室4008、成膜室4009、及び処理室4011は、搬送室4006とそれぞれゲートバルブを介して独立に接続されている。これにより、成膜室4008、成膜室4009、及び処理室4011において大気に曝すことなく、連続処理を行うことができ、膜中に不純物が混入するのを防ぐことができる。また、基板と膜の界面、及び各膜の界面の汚染は低減され、清浄な界面が得られる。

[0279]

なお、搬入搬出室4002、搬入搬出室4004、搬送室4006、成膜室4008、成膜室4009、及び処理室4011は、水分の付着などを防ぐため、露点が管理された不活性ガス（窒素ガス等）を充填させておくことが好ましく、減圧を維持させることが望ましい。

[0280]

成膜室4008及び成膜室4009には、ALD装置を用いることができる。また、成膜室4008及び成膜室4009のいずれかにALD装置以外の成膜装置を用いる構成としてもよい。成膜室4008及び成膜室4009に用いることができる成膜装置としては、例えば、スパッタリング装置、プラズマCVD（PECVD：Plasma Enhanced CVD）装置、熱CVD（TCVD：Thermal CVD）装置、光CVD（Photo CVD）装置、金属CVD（MCVD：Metal CVD）装置、有機金属CVD（MOCVD：Metal Organic CVD）装置などがある。

[0281]

また、処理室4011には、加熱装置（代表的には、真空加熱装置）、プラズマ発生装置（代表的には、マイクロ波処理装置）などの、成膜装置以外の機能を有する装置を用いることが好ましい。

[0282]

例えば、成膜室4008をALD装置とし、成膜室4009をスパッタリング装置とし、処理室4011を加熱装置とした場合、成膜室4009で下地絶縁膜を成膜し、成膜室4008で活性層として機能する酸化物半導体膜を成膜し、処理室4011で酸化物半導体膜成膜後の加熱処理を行うことができる。このとき、下地絶縁膜の成膜、酸化物半導体膜の成膜、及び加熱処理を、大気に曝すことなく、連続して処理することができる。よって、金属酸化物の成膜後に、膜中の水素、または炭素などの不純物を増加させずに、加熱処理を行うことができる。

[0283]

また、成膜装置4000は、搬入搬出室4002、搬入搬出室4004、成膜室4008、成膜室4009、及び処理室4011を有する構成としているが、本発明はこれに限られるものではない。成膜装置4000の成膜室を1個、または3個以上にする構成としてもよい。また、成膜装置4000の処理室を2個以上にする構成としてもよい。また、成膜装置4000は枚葉式としてもよいし、複数の基板を一括で成膜するバッチ式にしてもよい。

[0284]

<ALD装置>

次に、成膜装置4000に用いることができる熱ALD装置の構成について、図8Aを用いて説明する。熱ALD装置は、成膜室（チャンバー4520）と、原料供給部4521（原料供給部4521a乃至原料供給部4521c）と、原料供給部4531と、導入量制御器である高速バルブ4522a乃至高速バルブ4522dと、ガス供給部4532と、原料導入口4523と、原料排出口4524と、排気装置4525を有する。チャンバー4520内に設置される原料導入口4523は供給管及びバルブを介して原料供給部4521a、原料供給部4521b、原料供給部4521c、原料供給部4531及びガス供給部4532とそれぞれ接続されており、原料排出口4524は、例えば、排出管、バルブ、及び圧力調整器を介して排気装置4525と接続されている。

[0285]

チャンバー4520内部には基板ホルダ4526があり、その基板ホルダ4526上に基板4530を配置する。基板ホルダ4526は回転機構を有していてもよい。また、チャンバー4520外壁には、ヒータ4527が設けられており、チャンバー4520内部、基板ホルダ4526、及び基板4530表面などの温度を制御することができる。ヒータ4527は、基板4530表面の温度を100℃以上600℃以下、好ましくは300℃以上500℃以下、より好ましくは400℃以上450℃以下に制御できることが好ましい。例えば、ヒータ4527自体の温度は100℃以上600℃以下に設定できることが好ましい。このような温度範囲で基板を加熱しながら成膜を行うことで、プリカーサまたはリアクタントなどに含まれる、水素、または炭素などの不純物が、金属酸化物中に残存することを抑制できる。さらに、これらの不純物の除去と同時に、金属原子及び酸素原子の再配列が行われ、各酸化物の層を秩序性高く配列させることができる。よって、結晶性の高い、層状の結晶構造の金属酸化物を形成することができる。また、ヒータ4527を用いて、金属酸化物成膜後の熱処理を行ってもよい。

[0286]

原料供給部4521a、原料供給部4521b、原料供給部4521c、及び原料供給部4531では、気化器または加熱手段などによって固体の原料または液体の原料から原料ガスを形成する。または、原料供給部4521a、原料供給部4521b、原料供給部4521c、及び原料供給部4531は、気体の原料ガスを供給する構成としてもよい。

[0287]

図8Aに示す成膜装置では、原料供給部4521、及び原料供給部4531で用いる原料（揮発性有機金属化合物など）を適宜選択してチャンバー4520に導入することにより、金属酸化物を形成することができる。前述のように、金属酸化物として、インジウム、ガリウム、亜鉛を含むIn-Ga-Zn酸化物を形成する場合、図8Aに示すように、少なくとも3つの原料供給部4521a乃至原料供給部4521cと、少なくとも1つの原料供給部4531が設けられた成膜装置を用いることが好ましい。

[0288]

例えば、原料供給部4521aからインジウムを有するプリカーサが供給され、原料供給部4521bからガリウムを有するプリカーサが供給され、原料供給部4521cから亜鉛を有するプリカーサが供給される。インジウムを有するプリカーサ、ガリウムを有するプリカーサ、及び亜鉛を有するプリカーサとして、それぞれ前述したプリカーサを用いることができる。

[0289]

また、原料供給部4531からは、リアクタントが供給される。リアクタントとして、オゾン、酸素、水の少なくとも1つを含む酸化剤を用いることができる。

[0290]

また、ガス供給部4532からは、キャリアガスが供給される。キャリアガスとして、アルゴン(Ar)、ヘリウム(He)、または窒素(N₂)などの不活性ガスを用いることができる。原料供給部4521のプリカーサ、及び原料供給部4531のリアクタントは、当該キャリアガスと混合されて、チャンバー4520に導入される。

[0291]

また、原料供給部4521a、原料供給部4521b、原料供給部4521c、原料供給部4531、及びガス供給部4532と、チャンバー4520との間の、配管またはバルブなどを覆って、配管ヒータ4534aが設けられる。また、排気装置4525とチャンバー4520との間の、配管またはバルブなどを覆って、配管ヒータ4534bが設けられる。配管ヒータ4534a及び配管ヒータ4534bの温度は、例えば室温以上300℃以下の範囲で適宜設定すればよい。このような配管ヒータを設けることで、原料供給部4521から供給されたプリカーサなどが、ガス導入系及びガス排気系の配管などの内壁に凝固するのを防ぐことができる。また、配管ヒータ4534a、配管ヒータ4534b、及びヒータ4527の温度は、それぞれ独立に制御できると好ましい。または、配管ヒータ4534a、配管ヒータ4534b、及びヒータ4527の温度制御は、一括して調整できてもよい。

[0292]

高速バルブ4522a乃至高速バルブ4522dは時間で精密に制御することができる。これにより、原料供給部4521a、原料供給部4521b、原料供給部4521c、及び原料供給部4531から供給される原料ガスを制御してチャンバー4520に導入することができる構成となっている。

[0293]

例えば、原料供給部4521a、原料供給部4521b、及び原料供給部4521cに含まれるプリカーサを供給する場合は、高速バルブ4522a乃至高速バルブ4522cのうち対応する高速バルブを開く。また、原料供給部4531に含まれるリアクタントを供給する場合は、高速バルブ4522dを開く。また、チャンバー4520をパージする場合は、高速バルブ4522a乃至高速バルブ4522dを閉じて、ガス供給部4532に含まれるキャリアガスだけをチャンバー4520に導入する。

[0294]

また、図8Aでは、原料供給部4521を3個、原料供給部4531を1個設けている例を示しているが本実施の形態はこれに限定されない。原料供給部4521を1個、2個、または4個以上設けてもよい。また原料供給部4531を2個以上設けてもよい。

[0295]

また、図8Aにおいて、ヒータ4527、原料導入口4523、及び原料排出口4524が、チャンバー4520下部に配置されているが、これに限られることなく、これらの配置を適宜設定することができる。また、図8Aにおいて、原料供給部4521a、原料供給部4521b、原料供給部4521c、原料供給部4531及びガス供給部4532の導入口は、原料導入口4523にまとめられているが、これに限られることはなく、それぞれ異なる導入口を設ける構成にしてもよい。

[0296]

次に、成膜装置4000に用いることができるプラズマALD装置の構成について、図8Bを用いて説明する。プラズマALD装置は、成膜室（チャンバー4020）と、原料供給部4021（原料供給部4021a乃至原料供給部4021c）と、原料供給部4031と、導入量制御器である高速バルブ4022a乃至高速バルブ4022dと、ガス供給部4032と、原料導入口4023と、原料導入口4033と、原料排出口4024と、排気装置4025を有する。チャンバー4020内に設置される原料導入口4023、及び原料導入口4033は、供給管及びバルブを介して原料供給部4021a、原料供給部4021b、原料供給部4021c、原料供給部4031及びガス供給部4032とそれぞれ接続されており、原料排出口4024は、排出管、バルブ、及び圧力調整器を介して排気装置4025と接続されている。また、チャンバー4020内部には基板ホルダ4026があり、その基板ホルダ4026上に基板4030を配置する。また、チャンバー外壁には、ヒータ4027が設けられており、チャンバーに接続される配管などを覆って、配管ヒータ4034a及び配管ヒータ4034bが設けられている。

[0297]

ここで、チャンバー4020はチャンバー4520と、原料供給部4021は原料供給部4521と、原料供給部4031は原料供給部4531と、高速バルブ4022a乃至高速バルブ4022dは高速バルブ4522a乃至高速バルブ4522dと、ガス供給部4032はガス供給部4532と、原料導入口4023は原料導入口4523と、原料排出口4024は原料排出口4524と、排気装置4025は排気装置4525と、基板ホルダ4026は基板ホルダ4526と、基板4030は基板4530と、ヒータ4027はヒータ4527と、配管ヒータ4034aは配管ヒータ4534aと、配管ヒータ4034bは配管ヒータ4534bと、対応しており、詳細な構成は前述の記載を参照できる。

[0298]

プラズマALD装置は、図8Bに示すようにチャンバー4020にプラズマ発生装置4028を接続することにより、熱ALD法に加えて、プラズマALD法で成膜を行うことができる。プラズマ発生装置4028は、高周波電源に接続されたコイル4029を用いるICP型のプラズマ発生装置とするのが好ましい。高周波電源は、10kHz以上100MHz以下、好ましくは1MHz以上60MHz以下、より好ましくは2MHz以上60MHz以下の周波数を持った電力を出力することができる。例えば、13.56MHzの周波数を持った電力を出力することができる。プラズマALD法では、低温でも成膜レートを落とさず成膜ができるため、成膜効率の低い枚葉式の成膜装置で用いるとよい。

[0299]

原料供給部4031から排出されたリアクタントは、プラズマ発生装置4028を通過して、プラズマ状態となる。プラズマ状態となったリアクタントは、原料導入口4033からチャンバー4020に導入される。なお、図8Bでは図示していないが、原料供給部4031から排出されたリアクタントがキャリアガスと混合される構成にしてもよい。

[0300]

また、基板ホルダ4526には、一定の電位、または高周波が印加される機構が設けられていてもよい。または、基板ホルダ4526は、フローティングでもよいし、接地されていてもよい。

[0301]

なお、図8Bにおいて、原料導入口4033がチャンバー4520上部に配置され、ヒータ4027及び原料導入口4023がチャンバー4520側面に配置され、原料排出口4524が、チャンバー4520下部に配置されているが、これに限られることなく、これらの配置を適宜設定することができる。

[0302]

図9A乃至図9Cを用いて、成膜装置4000に用いることができるALD装置の異なる構成について説明する。なお、以下では、図8Bに示したALD装置と同様の構成、及びその機能については詳細な説明を省略する場合がある。

[0303]

図9AはプラズマALD装置の一態様を示す模式図である。プラズマALD装置4100は、反応室4120と、反応室4120上部に、プラズマ生成室4111とが設けられている。反応室4120は、チャンバーと呼ぶことができる。または、反応室4120とプラズマ生成室4111を合わせてチャンバーと呼ぶことができる。反応室4120は、原料導入口4123と、原料排出口4124を有し、プラズマ生成室4111は、原料導入口4133を有する。また、プラズマ生成装置4128によりRF等の高周波、または、マイクロ波を、プラズマ生成室4111に導入されたガスに印加し、プラズマ生成室4111内にプラズマ4131を生成することができる。マイクロ波を用いてプラズマ4131を生成する場合、代表的には周波数2.45GHzのマイクロ波が用いられる。また、このようなマイクロ波と、磁場を印加して生成されたプラズマをECR (Electron Cyclotron Resonance) プラズマと呼ぶ場合がある。

[0304]

また、反応室4120は、基板ホルダ4126を有し、その上に基板4130が配置される。原料導入口4123から導入された原料ガスは、反応室4120に設けられたヒータからの熱により分解され、基板4130上に堆積する。また、原料導入口4133から導入された原料ガスは、プラズマ生成装置4128によりプラズマ状態となる。プラズマ状態となった原料ガスは、基板4130表面に到達するまでに電子または他の分子と再結合し、ラジカル状態となり基板4130に到達する。このように、ラジカルを利用して成膜を行うALD装置を、ラジカルALD (Radical-Enhanced ALD) 装置と呼ぶ場合もある。また、プラズマALD装置4100では、プラズマ生成室4111を反応室4120の上部に設ける構成を示しているが、本実施の形態はこれに限定されない。プラズマ生成室4111を反応室4120の側面に隣接して設けてもよい。

[0305]

図9BはプラズマALD装置の一態様を示す模式図である。プラズマALD装置4200は、チャンバー4220を有する。チャンバー4220は、電極4213、原料排出口4224、及び基板ホルダ4226を有し、基板ホルダ4226の上に基板4230が配置される。電極4213は、原料導入口4223と、導入された原料ガスをチャンバー4220内に供給するシャワーヘッド4214とを有する。また、電極4213には、コンデンサ4217を介して高周波を印加できる電源4215が接続されている。基板ホルダ4226には、一定の電位、または高周波が印加される機構が設けられていてもよい。または、基板ホルダ4226は、フローティングでもよいし、接地されていてもよい。電極4213、及び基板ホルダ4226は、それぞれプラズマ4231を生成するための上部電極、及び下部電極として機能する。原料導入口4223から導入された原料ガスは、チャンバー4220に設けられたヒータからの熱により分解され、基板4230上に堆積する。

または、原料導入口4223から導入された原料ガスは、電極4213、及び基板ホルダ4226の間でプラズマ状態となる。プラズマ状態となった原料ガスは、プラズマ4231と基板4230の間に生じる電位差（イオンシースともいう）により基板4230に入射する。

[0306]

図9Cは、図9Bとは異なるプラズマALD装置の一態様を示す模式図である。プラズマALD装置4300は、チャンバー4320を有する。チャンバー4320は、電極4313、原料排出口4324、及び基板ホルダ4326を有し、基板ホルダ4326の上に基板4330が配置される。電極4313は、原料導入口4323と、導入された原料ガスをチャンバー4320内に供給するシャワーヘッド4314とを有する。また、電極4313には、コンデンサ4317を介して高周波を印加できる電源4315が接続されている。基板ホルダ4326には、一定の電位、または高周波が印加される機構が設けられていてもよい。または、基板ホルダ4326は、フローティングでもよいし、接地されていてもよい。電極4313、及び基板ホルダ4326は、それぞれプラズマ4331を生成するための上部電極、及び下部電極として機能する。プラズマALD装置4300は、電極4313と基板ホルダ4326の間に、コンデンサ4322を介して高周波を印加できる電源4321が接続されたメッシュ4319を有している点で、プラズマALD装置4200と異なる。メッシュ4319を設けることで、基板4130からプラズマ4231を離すことができる。原料導入口4323から導入された原料ガスは、チャンバー4320に設けられたヒータからの熱により分解され、基板4330上に堆積する。または、原料導入口4323から導入された原料ガスは、電極4313、及び基板ホルダ4326の間でプラズマ状態となる。プラズマ状態となった原料ガスは、メッシュ4319により電荷が除去され、ラジカルなどの電氣的に中性な状態で基板4130に到達する。このため、イオンの入射及びプラズマによる損傷が抑制された成膜を行うことができる。

[0307]

例えば、図8B、図9A乃至図9Cに示す、プラズマALD装置を用いて、不純物除去処理として、プラズマ処理またはマイクロ波処理を行ってもよい。この場合、不純物除去処理のために、成膜用のチャンバーから他のチャンバーに移動させる必要がないため、好ましい。

[0308]

また、図8B、図9A乃至図9Cに示す、プラズマALD装置を用いて、金属酸化物成膜後のプラズマ処理またはマイクロ波処理を行う構成にしてもよい。

[0309]

次に、図10A及び図10Bを用いて成膜装置4000に用いることができるALD装置の異なる構成について説明する。

[0310]

図10Aに示すALD装置4400は、外側チャンバー4410の内部に、チャンバー4420及びヒータ4427を有し、チャンバー4420の内部に、基板ホルダ4426を有する。チャンバー4420には、原料導入口4423から、原料供給口4414を介して、プリカーサ、酸化剤、及び、キャリアガスが供給される。また、チャンバー4420から、原料排出口4424を介して、排気が行われる。

[0311]

基板ホルダ4426の上に基板4430が配置される。図10Aに示すように、プリカーサ及び酸

化剤は、それぞれ、チャンバー4420の上側から供給され、基板4430の上面に膜が形成される。プリカーサ及び酸化剤は、チャンバー4420の下側から排気される前に、基板4430の下面にも吸着するため、基板4430の下面にも膜が形成される。

[0312]

したがって、フェイスアップ方式でALD装置4400を用いる場合、図10Bに示すように、基板4430のおもて面4430aに、膜4431aが形成され、裏面4430bに、膜4431bが形成される。言い換えると、ALD装置4400を用いることで、基板4430の両面に膜を形成できる。

[0313]

なお、膜4431aと膜4431bは、同一または概略同一の厚さとなる。また、プリカーサ及び酸化剤の種類等によって、膜4431aと膜4431bは、互いに等しいまたは概略等しい組成となる場合もあり、互いに異なる組成となる場合もある。

[0314]

例えば、吸着しやすい元素は、おもて面に形成された膜における濃度が、裏面に形成された膜における濃度よりも高い場合がある。一例として、実施例で後述するように、トリエチルインジウムに不純物として含まれるアルミニウムは、基板のおもて面に成膜された膜4431aにおける濃度が、裏面に成膜された膜4431bにおける濃度よりも高いことが確認されている。

[0315]

ALD装置4400を用いる場合、基板のおもて面を上向きにした状態で成膜する、いわゆるフェイスアップ方式で成膜してもよく、基板のおもて面を下向きにした状態（基板を反転した状態）で成膜する、いわゆるフェイスダウン方式で成膜してもよい。所望の組成の膜が形成できる方式を適宜選択することができる。

[0316]

<成膜シーケンス>

次に、図11乃至図13を用いて、図8Aに示すALD装置を用いた金属酸化物の成膜シーケンスについて、説明する。図11乃至図13において、第1の原料ガス乃至第4の原料ガスの導入をそれぞれONで示し、原料ガスが導入されていない期間をOFFで示している。

[0317]

図11Aに、図8Aに示すALD装置を用いた成膜シーケンスを示す。まず、チャンバー4520内の基板ホルダ4526に基板4530をセットする（ステップS101）。次に、ヒータ4527の温度調節を行う（ステップS102）。このとき、配管ヒータ4534a及び配管ヒータ4534bの温度調節も行くとよい。次に、基板4530の温度が基板面内で一樣になるように基板4530を基板ホルダ4526上で保持する（ステップS103）。次に、前述の第1ステップ乃至第4ステップに従って、金属酸化物の成膜を行う（ステップS104）。なお、基板4530のセット（ステップS101）後に、ヒータ4527の温度調節が不要な場合はステップS102を省略してもよい。

[0318]

ステップS104においては、チャンバー4520に第1の原料ガス（プリカーサを有する原料ガス）、及び第2の原料ガス（リアクタントを有する原料ガス）を交互に導入し、基板4530上に成膜を行う。第1の原料ガス、及び第2の原料ガスの導入は、それぞれパルス状に行われる。第1

の原料ガス、及び第2の原料ガスが、いずれも導入されていない期間では、チャンバー4520内がパージされている。ALD法による成膜は、第1の原料ガスの導入（上記第1ステップ）、第1の原料ガスのパージ（上記第2ステップ）、第2の原料ガスの導入（上記第3ステップ）、第2の原料ガスのパージ（上記第4ステップ）を1サイクル（1 cycle）とし、これを繰り返すことで、所望の膜厚を有する膜が形成される。なお、ここでは、間欠的に行う不純物除去処理については言及していないが、サイクルを複数回繰り返す毎に、チャンバー4520または別のチャンバーにて、不純物除去処理を行ってもよい。

[0319]

また、ステップS103とステップS104の間に、チャンバー4020内部にリアクタントを有する第2の原料ガスを導入してもよい。第2の原料ガスとして、酸化剤として機能する、オゾン（ O_3 ）、酸素（ O_2 ）、及び水（ H_2O ）から選ばれた一、または複数を導入するのが好ましい。第2の原料ガスとして、水を導入することで、基板4530上に親水基を形成することができるため、プリカーサの吸着性をより向上させることができる。第2の原料ガスとして、オゾン及び酸素を導入することで、チャンバー内を酸素雰囲気にし、基板4530に形成された下地絶縁膜などに酸素を供給することができる。これにより、当該下地絶縁膜上に形成される金属酸化物膜に酸素を供給し、膜中酸素濃度を増やすことができる。このとき、第2の原料ガスは、ステップS104に示す方法と同様にパルス状に導入されることが好ましいが、本発明はこれに限らない。第2の原料ガスは、連続的に導入されてもよい。第2の原料ガスが導入されていない期間では、チャンバー4520内を排気する。

[0320]

上記の第1の原料ガスを用いた1サイクルで第1の酸化物層を形成し、第1の原料ガスとは異なる第3の原料ガスを用いた1サイクルで第2の酸化物層を形成し、第1の原料ガスとは異なる第4の原料ガスを用いた1サイクルで第3の酸化物層を形成することで、複数の異なる酸化物層を有する、層状の結晶性酸化物を成膜することができる。以下では、一例として、図5及び図6に示すIn-Ga-Zn酸化物の成膜過程に対応させた成膜シーケンスを、図11Bを用いて説明する。

[0321]

図11Bでは、成膜シーケンスのステップS104において、それぞれ異なるプリカーサを有する第1の原料ガス乃至第3の原料ガスを用いて成膜する例を示す。なお、ステップS101乃至ステップS103については、前述の通りである。ここで、第1の原料ガスはインジウムを有するプリカーサを含み、第3の原料ガスはガリウムを有するプリカーサを含み、第4の原料ガスは亜鉛を有するプリカーサを含むものとする。

[0322]

図11Bに示すように、まず、第1の原料ガスを導入し、インジウムを有するプリカーサを基板4530上に吸着させる（図5Aに対応）。それから、第1の原料ガスの導入を停止し、チャンバー内の余剰な第1の原料ガスをパージする。

[0323]

次に、第2の原料ガスを導入し、吸着したインジウムを有するプリカーサと酸化剤を反応させて、インジウム酸化物の層を形成する（図5Bに対応）。それから、第2の原料ガスの導入を停止し、チャンバー内の余剰な第2の原料ガスをパージする。

[0324]

次に、第3の原料ガスを導入し、ガリウムを有するプリカーサをインジウム酸化物の層の上に吸着させる（図5Cに対応）。それから、第3の原料ガスの導入を停止し、チャンバー内の余剰な第3の原料ガスをパージする。

[0325]

次に、第2の原料ガスを導入し、吸着したガリウムを有するプリカーサと酸化剤を反応させて、ガリウム酸化物の層を形成する（図5Dに対応）。それから、第2の原料ガスの導入を停止し、チャンバー内の余剰な第2の原料ガスをパージする。

[0326]

次に、第4の原料ガスを導入し、亜鉛を有するプリカーサをガリウム酸化物の層の上に吸着させる（図6Aに対応）。それから、第4の原料ガスの導入を停止し、チャンバー内の余剰な第4の原料ガスをパージする。

[0327]

次に、第2の原料ガスを導入し、吸着した亜鉛を有するプリカーサと酸化剤を反応させて、亜鉛酸化物の層を形成する（図6Bに対応）。それから、第2の原料ガスの導入を停止し、チャンバー内の余剰な第2の原料ガスをパージする。さらに上記の方法を用いて、亜鉛酸化物の上にインジウムを有するプリカーサを吸着させる（図6Cに対応）。

[0328]

以上の、酸化インジウム、酸化ガリウム、及び酸化亜鉛を形成する工程を1サイクルとして、サイクルを繰り返すことで、所望の膜厚の $In : Ga : Zn = 1 : 1 : 1$ [原子数比] の $In-Ga-Zn$ 酸化物を形成することができる。

[0329]

なお、第1の原料ガス乃至第4の原料ガスの導入は、それぞれパルス状に行われる。チャンバー4520に第1の原料ガス、第3の原料ガス、及び第4の原料ガスを導入するパルス時間は、0.05秒以上1秒以下、好ましくは、0.1秒以上0.5秒以下とするのが好ましい。また、第1の原料ガス、第3の原料ガス、及び第4の原料ガスをチャンバー4520から排気する時間は、0.1秒以上1.5秒以下、好ましくは、0.5秒以上1.0秒以下とする。チャンバー4520に第2の原料ガスを導入するパルス時間は、0.05秒以上3.0秒以下、好ましくは、0.1秒以上1.5秒以下とするのが好ましい。また、第2の原料ガスをチャンバー4520から排気する時間は、0.1秒以上1.5秒以下、好ましくは、0.1秒以上5秒以下とする。

[0330]

なお、図11Bに示すシーケンスにおいて、第1の原料ガス、第3の原料ガス、及び第4の原料ガスの導入順序は、これに限定されない。例えば、亜鉛を有するプリカーサを含む第4のガスを最初に導入してもよい。酸化亜鉛は、酸化インジウム及び酸化ガリウムよりも結晶構造を形成しやすいため、最下層に安定な酸化亜鉛の結晶を形成することができる。これにより、酸化亜鉛の上に、酸化インジウム及び酸化ガリウムの層を比較的容易に形成することができる。

[0331]

上記においては、 $In : Ga : Zn = 1 : 1 : 1$ [原子数比] の $In-Ga-Zn$ 酸化物の成膜について説明したが、本発明はこれに限られるものではない。同様の方法を用いて、原子数比の異なる $In-Ga-Zn$ 酸化物を形成することができる。求める $In-Ga-Zn$ 酸化物の原子数比に合わせて、1サイクルにおける、プリカーサを含む原料ガスのパルス回数、またはパルス時間を設

定することが好ましい。

[0332]

例えば、図11Bに示すシーケンスにおいては、 $I n : G a : Z n = 1 : 1 : 1$ [原子数比] の $I n - G a - Z n$ 酸化物を成膜するために、1サイクル中の、インジウムを含む第1の原料ガスと、ガリウムを含む第3の原料ガスと、亜鉛を含む第4の原料ガスのパルス回数を1回ずつとした。このとき、それぞれのプリカーサのパルス時間は同じものとする。

[0333]

図12Aに、 $I n : G a : Z n = 1 : 3 : 4$ [原子数比] の $I n - G a - Z n$ 酸化物の成膜シーケンスの例を示す。図12Aでは、1サイクル中の、インジウムを含む第1の原料ガスのパルス回数が1回、ガリウムを含む第3の原料ガスのパルス回数が3回、亜鉛を含む第4の原料ガスのパルス回数が4回となっている。つまり、プリカーサを含む原料ガスのパルス回数が、 $I n : G a : Z n = 1 : 3 : 4$ [原子数比] に対応している。このように成膜を行うことで、図2Dに係る層状の結晶構造の金属酸化物を形成することができる。

[0334]

また、前述のように、基板加熱を行いながらALD法による成膜を行うことにより、各酸化物層の再配列を促すことができる。これにより、図12Aに示すシーケンスに従って成膜しても、図2Dに示す層23のように、一つの酸化物層に二種類の金属元素（インジウム及びガリウム）を有する層を形成することもできる。

[0335]

なお、上記においては、リアクタントを含む原料ガスの導入を挟みながら、異なる種類のプリカーサを導入しているが、本発明はこれに限られるものではない。例えば、リアクタントを含む原料ガスの導入を挟みながら、連続して同じ種類のプリカーサを有する原料ガスを導入してもよい。このとき、1サイクルにおける、プリカーサを含む原料ガスのパルス回数は、求める $I n - G a - Z n$ 酸化物の原子数比と同じであることが好ましい。

[0336]

また、上記においては、第2の原料ガスで酸化を行うインターバルの間に、1種のプリカーサを含む原料ガスしか導入しない構成を示したが、本発明はこれに限られるものではない。第2の原料ガスで酸化を行うインターバルの間に、プリカーサを含む原料ガスを2種以上導入する構成にしてもよい。このとき、プリカーサを含む原料ガスを2種以上同時に導入する構成にしてもよい。また、第2の原料ガスで酸化を行うインターバルの間に、同じ種類のプリカーサを2回連続で導入する構成にしてもよい。

[0337]

例えば、 $I n : G a : Z n = 1 : 3 : 4$ [原子数比] の $I n - G a - Z n$ 酸化物を成膜する際に、図12Bに示すようなシーケンスで成膜してもよい。図12Bでは、図2Dに示す、層23、層41、層31、層41の順に積層される結晶構造に合わせて、第1の原料ガス及び第3の原料ガス、第4の原料ガス、第3の原料ガス、第4の原料ガスの順に導入している。ただし、最初の第1の原料ガスと第3の原料ガスの導入は、間に第2の原料ガスの導入を挟まず行っている。つまり、第1の原料ガスに含まれるインジウムを有するプリカーサと、第3の原料ガスに含まれるガリウムを有するプリカーサが吸着されてから、酸化剤を導入している。これにより、図2Dに示す層23のように、一つの酸化物層に二種類の金属元素（インジウム及びガリウム）を有する層を形成すること

ができる。このとき、第1の原料ガスと第3の原料ガスのパルス時間は第4の原料ガスのパルス時間の半分ほどにすることが好ましい。これにより、図12Bに示すように、1サイクル中の、インジウムを含む第1の原料ガスのパルス時間と、ガリウムを含む第3の原料ガスのパルス時間と、亜鉛を含む第4の原料ガスのパルス時間の比を、原子数比と同じ1：3：4にすることができる。

[0338]

上記においては、原子数比が一定の酸化物の成膜について説明したが、本発明はこれに限られるものではない。同様の方法を用いて、原子数比の異なる2種類以上の酸化物を連続して成膜することができる。この場合、原子数比が異なる積層酸化物において、それぞれの酸化物の原子数比に合わせて、1サイクルにおける、プリカーサを含む原料ガスのパルス回数、またはパルス時間を設定することが好ましい。このように成膜することで、原子数比が異なる積層酸化物を、単一のチャンバーで成膜することができる。よって、それぞれの酸化物を成膜するインターバルにおいて、水素、または炭素などの不純物が入り込むのを防ぐことができる。

[0339]

図13に、 $In : Ga : Zn = 1 : 3 : 4$ [原子数比]の酸化物の上に、 $In : Ga : Zn = 1 : 1 : 1$ [原子数比]の酸化物を積層するときの成膜シーケンスの例を示す。ステップ104aは $In : Ga : Zn = 1 : 3 : 4$ [原子数比]の酸化物に対応しており、図12Aに示すシーケンスと同様である。また、ステップ104bは $In : Ga : Zn = 1 : 1 : 1$ [原子数比]の酸化物に対応しており、図11Bに示すシーケンスと同様である。このように、前半は1サイクルのパルス回数を第1の原料ガス：第3の原料ガス：第4の原料ガス=1：3：4で行い、後半は1サイクルのパルス回数を第1の原料ガス：第3の原料ガス：第4の原料ガス=1：1：1で行うことで、図3Bに示す酸化物62と酸化物60の積層構造の金属酸化物を成膜することができる。つまり、前半は $In : Ga : Zn = 1 : 3 : 4$ [原子数比]に対応したパルス回数で成膜し、後半は $In : Ga : Zn = 1 : 1 : 1$ [原子数比]に対応したパルス回数で成膜している。

[0340]

なお、上記においては、 $In-Ga-Zn$ 酸化物を例に挙げて成膜方法について説明したが、本発明はこれに限られるものではない。求める金属酸化物に含まれる金属元素に合わせて、適宜プリカーサを設定すればよい。また、上記においては、プリカーサの数を1種または3種としたが、これに限られることなく、2種または4種以上にしてもよい。

[0341]

また、上記において、1種類の金属元素を有するプリカーサを用いて成膜を行う例を示したが、本発明はこれに限られるものではない。2種以上の金属元素を有するプリカーサを用いてもよい。例えば、インジウムとガリウムを含むプリカーサ、またはガリウムと亜鉛を含むプリカーサなどを用いてもよい。この場合、図8Aなどに示す原料供給部4521の数を減らすことができる。

[0342]

<CAAC構造を有する金属酸化物>

以下では、CAAC構造を有する金属酸化物の詳細について、説明を行う。

[0343]

CAAC構造は、複数の結晶を有し、当該複数の結晶はc軸が特定の方向に配向している。なお、特定の方向とは、CAAC構造を有する金属酸化物の厚さ方向、CAAC構造を有する金属酸化物の被形成面の法線方向、またはCAAC構造を有する金属酸化物の表面の法線方向である。なお、

結晶領域と表記する場合、当該結晶領域は、CAAC構造が有する結晶そのもの、または、CAAC構造が有する結晶及びその近傍の領域のことを指す。よって、CAAC構造が有する結晶を、CAAC構造が有する結晶領域と表記することがある。

[0344]

結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、CAAC構造は、a-b面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、CAAC構造を有する金属酸化物は、c軸配向し、a-b面方向には明らかな配向をしていない金属酸化物である。

[0345]

なお、上記複数の結晶領域のそれぞれは、1つまたは複数の微小な結晶（最大径が10nm未満である結晶）で構成される。結晶領域が1つの微小な結晶で構成されている場合、当該結晶領域の最大径は10nm未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十nm程度となる場合がある。

[0346]

また、In-M-Zn酸化物（元素Mは、ガリウム、イットリウム、ズズ、チタンなどから選ばれた一種、または複数種）において、CAAC構造は、インジウム（In）、及び酸素を有する層と、元素M、亜鉛（Zn）、及び酸素を有する層とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウム、及び酸素を有する層には元素Mまたは亜鉛が含まれる場合がある。また、元素M、亜鉛、及び酸素を有する層にはインジウムが含まれる場合がある。当該層状構造は、例えば、高分解能TEM像において、格子像として観察される。

[0347]

CAAC構造を有する金属酸化物に対し、例えば、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、c軸配向を示すピークが $2\theta = 31^\circ$ またはその近傍に検出される。なお、c軸配向を示すピークの位置（ 2θ の値）は、金属酸化物を構成する金属元素の種類、組成などにより変動する場合がある。

[0348]

また、例えば、CAAC構造を有する金属酸化物の電子線回折パターンにおいて、複数の輝点（スポット）が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット（ダイレクトスポットともいう）を対称中心として、点対称の位置に観測される。

[0349]

なお、TEM像にFFT（Fast Fourier Transform）解析を行うことで、電子線回折パターンと同様の逆格子空間情報を反映したパターンを有するFFT像を得ることができる。つまり、FFT解析を用いて、結晶構造（例えば、CAAC構造）の確認及び評価を行うこともできる。例えば、CAAC構造を有する金属酸化物をc軸に垂直な方向から撮影した断面TEM像の場合、FFT像には強い強度の2点のスポットが見られる場合がある。この2点のスポットの強度がCAAC構造を有する金属酸化物の結晶化度を表し、この2点のスポットを結んだ線分の角度がCAAC構造を有する金属酸化物の結晶の配向性を表す。

[0350]

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形などの格子配列を有する場合がある。なお、CAAC構造を有する金属酸化物において、歪み近傍においても、明確な結晶粒界を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC構造を有する金属酸化物が、 $a-b$ 面方向において酸素原子の配列が稠密でないこと、または金属原子が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

[0351]

CAAC構造を有する金属酸化物は、結晶性が高く、明確な結晶粒界が確認されない金属酸化物である。つまり、CAACを有する金属酸化物は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。よって、CAAC構造を有する金属酸化物は、物理的性質が安定する。そのため、CAAC構造を有する金属酸化物は熱に強く、信頼性が高い。したがって、CAAC構造を有する金属酸化物は、トランジスタの半導体層に最適な結晶構造を有する結晶性の酸化物の一つである。

[0352]

以上のように、アルミニウムの含有量が少ないプリカーサを用いて、アルミニウムを主成分に含まない金属酸化物を作製することで、成膜した金属酸化物中のアルミニウムの濃度が高くなることを抑制できる。このような金属酸化物をトランジスタの半導体層に用いることで、オン電流が高いトランジスタを作製できる。また、マイクロ波処理などの不純物除去処理を行うことで、金属酸化物の結晶性を高めることができ、トランジスタの信頼性を高めることができる。

[0353]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。また、本明細書において、1つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

[0354]

(実施の形態2)

本実施の形態では、本発明の一態様のトランジスタ、半導体装置、及び、記憶装置について図14乃至図32を用いて説明する。本発明の一態様の半導体装置は、トランジスタを有する。本発明の一態様の記憶装置は、メモリセルを有する。また、当該メモリセルは、トランジスタ及び容量素子を有する。

[0355]

<半導体装置の構成例1>

図14A乃至図14Dに、本発明の一態様の半導体装置の一例を示す。

[0356]

図14Aに示すトランジスタ200Aは、導電体120、酸化物半導体230、絶縁体250、導電体240、及び、導電体260を有する。導電体120、酸化物半導体230、絶縁体250、導電体240、及び、導電体260は、それぞれ、単層構造であってもよく、2層以上の積層構造であってもよい。

[0357]

導電体120は、絶縁体130上に設けられている。導電体120は、ソースまたはドレインの一方として機能する。

[0358]

導電体120上には、絶縁体280が設けられており、絶縁体280上には、導電体240が設けられている。絶縁体280及び導電体240には、導電体120に達する開口が設けられている。導電体240は、ソースまたはドレインの他方として機能する。

[0359]

酸化物半導体230は、絶縁体280及び導電体240に設けられた開口に沿って設けられ、開口の内側で導電体120の上面と接する。また、酸化物半導体230は、開口の内側で、絶縁体280の側面とも接する。さらに、酸化物半導体230は、導電体240と接する部分を有する。酸化物半導体230は、チャンネル形成領域として機能する領域を有する。

[0360]

酸化物半導体230は、導電体240の上面、側面、及び底面（下面とも記す）の少なくとも一つと接する。トランジスタ200Aは、絶縁体280上で、酸化物半導体230の下面が導電体240の上面と接する、いわゆるボトムコンタクト構造である。また、酸化物半導体230上に導電体240を設け、酸化物半導体230の上面が導電体240の下面と接する、いわゆるトップコンタクト構造としてもよい。

[0361]

絶縁体250は、酸化物半導体230上に設けられている。導電体260は、絶縁体250上に位置し、絶縁体250を介して酸化物半導体230と重なる。導電体260は、ゲートとして機能する。

[0362]

トランジスタ200Aは、チャンネル形成領域がゲートを取り囲む構造を有する。したがって、トランジスタ200Aは、CAA（Channel-All-Around）構造のトランジスタといえる。

[0363]

図14Aに示すトランジスタ200Aでは、絶縁体280及び導電体240の開口における面が導電体120の上面に対して傾斜している。つまり、開口部の側壁がテーパ形状を有するといえる。

[0364]

開口部の側壁がテーパ形状であると、開口部に沿って設けられる酸化物半導体230、絶縁体250などの被覆性が向上するため、好ましい。また、本発明の一態様の金属酸化物の成膜方法を適用することで、被覆性良く酸化物半導体230を形成することができる。

[0365]

一方、図14Bに示すトランジスタ200Bは、絶縁体280及び導電体240の開口における面が導電体120の上面に対して垂直である。トランジスタ200Bは、それ以外はトランジスタ200Aと同様の構成を有する。

[0366]

開口部の側壁が導電体120の上面に対して垂直であると、テーパ形状である場合に比べて、トランジスタのチャンネル長を短くすることができる。また、本発明の一態様の金属酸化物の成膜方法を適用することで、開口部の側壁が導電体120の上面に対して垂直であっても、被覆性良く酸化物半導体230を形成することができる。

[0367]

図14Cに示すトランジスタ200Cは、導電体120、酸化物半導体230、絶縁体250、導電体240、及び、導電体260を有する。

[0368]

導電体120は、絶縁体130上に設けられている。導電体120は、ソースまたはドレインの一方として機能する。

[0369]

導電体120上には、絶縁体280が設けられており、絶縁体280上には、導電体260が設けられており、導電体260上には絶縁体272が設けられている。絶縁体280、導電体260、及び、絶縁体272には、導電体120に達する開口が設けられている。導電体260は、ゲートとして機能する。

[0370]

絶縁体250は、絶縁体280、導電体260、及び、絶縁体272に設けられた開口に沿って設けられ、かつ、導電体120に達する開口を有する。同様に、酸化物半導体230は、絶縁体280、導電体260、及び、絶縁体272に設けられた開口に沿って設けられる。酸化物半導体230は、絶縁体250を介して導電体260と重なる。また、酸化物半導体230は、絶縁体250に設けられた開口を介して、導電体120の上面と接する。

[0371]

絶縁体275は、酸化物半導体230の凹部を埋め込むように設けられる。なお、酸化物半導体230が凹部を有さない場合、絶縁体275を設けなくてもよい。

[0372]

導電体240は、酸化物半導体230上に設けられている。導電体240は、ソースまたはドレインの他方として機能する。

[0373]

トランジスタ200Cは、チャンネル形成領域をゲートで取り囲む構造を有する。したがって、トランジスタ200Cは、GAA (Gate-All-Around) 構造のトランジスタといえる。

[0374]

図14Cに示すトランジスタ200Cでは、絶縁体280、導電体260、及び、絶縁体272の開口における面が導電体120の上面に対して傾斜している。つまり、開口部の側壁がテーパ形状を有するといえる。

[0375]

開口部の側壁がテーパ形状であると、開口部に沿って設けられる絶縁体250、酸化物半導体230などの被覆性が向上するため、好ましい。また、本発明の一態様の金属酸化物の成膜方法を適用することで、被覆性良く酸化物半導体230を形成することができる。

[0376]

一方、図14Dに示すトランジスタ200Dは、絶縁体280、導電体260、及び、絶縁体272の開口における面が導電体120の上面に対して垂直である。トランジスタ200Dは、それ以外はトランジスタ200Cと同様の構成を有する。

[0377]

開口部の側壁が導電体120の上面に対して垂直であると、テーパ形状である場合に比べて、トランジスタのチャンネル長を短くすることができる。また、本発明の一態様の金属酸化物の成膜方法を

適用することで、開口部の側壁が導電体120の上面に対して垂直であっても、被覆性良く酸化物半導体230を形成することができる。

[0378]

図14A乃至図14Dに示す各トランジスタにおいて、酸化物半導体230は、導電体120の上面と接する第1の部分と、絶縁体280の側面と接する第2の部分と、導電体240と接する第3の部分と、を有する。

[0379]

第1の部分と第2の部分は、絶縁体280に設けられた開口の内側に位置する。

[0380]

酸化物半導体230は、導電体240の上面、側面、及び、底面（下面とも記す）のいずれか一つまたは複数と接することができる。図14A及び図14Bでは、酸化物半導体230が導電体240の上面と側面に接する例を示す。また、図14C及び図14Dでは、酸化物半導体230が導電体240の底面に接する例を示す。

[0381]

ここで、酸化物半導体230の形成方法としては、実施の形態1で示した本発明の一態様の金属酸化物の成膜方法が好適である。

[0382]

ALD法を用いて酸化物半導体230を形成することで、構造体の上面、底面、側面、及び傾斜を有する面に対して被覆性よく金属酸化物を形成することができる。すなわち、それぞれの被成膜面において、法線方向に概略一定の膜厚を有する金属酸化物を形成することができる。構造体の上面、底面、側面、及び傾斜を有する面それぞれに形成された金属酸化物において、最大膜厚に対する最小膜厚の比を0.5以上1以下、好ましくは0.7以上1以下、より好ましくは0.8以上1以下、より好ましくは、0.9以上1以下とすることができる。

[0383]

例えば、導電体120と接する第1の部分の厚さに対する絶縁体280の側面と接する第2の部分の厚さの比は、0.7以上1.3以下であることが好ましく、0.8以上1.2以下がより好ましく、0.9以上1.1以下がさらに好ましい。

[0384]

また、酸化物半導体230のチャンネル形成領域におけるアルミニウムの濃度は、0.01 atomic %以上であることが好ましく、かつ、10 atomic %以下であることが好ましく、5 atomic %以下がより好ましく、3 atomic %以下がより好ましく、1 atomic %以下がより好ましく、0.1 atomic %以下がさらに好ましい。または、0.01 atomic %以下であってもよい。実施の形態1で詳述した通り、酸化物半導体中のアルミニウムの濃度を低くすることで、トランジスタの信頼性と電気特性の双方を良好にすることができる。また、アルミニウムの濃度を極めて低くすることで、トランジスタのオン電流をより高くすることができる。

[0385]

また、酸化物半導体230のチャンネル形成領域における炭素の濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。酸化物半導体

230中の炭素濃度を低くすることで、欠陥準位の形成を抑制し、トランジスタの信頼性を高めることができる。

[0386]

図14A乃至図14Dに示すトランジスタは、ソース電極とドレイン電極とが、異なる高さに位置しているため、酸化物半導体230を流れる電流は、上から下、または下から上に流れることとなる。すなわち、チャネル長方向が高さ方向（縦方向）の成分を有するといえるため、本発明の一態様のトランジスタは、縦型トランジスタ、縦型チャネルトランジスタ、縦チャネル型トランジスタなどとも呼ぶことができる。

[0387]

本発明の一態様のトランジスタは、ソース電極、半導体層、及びドレイン電極を、重ねて設けることができるため、半導体層を平面状に配置した、いわゆるプレーナ型のトランジスタと比較して、占有面積を大幅に縮小できる。

[0388]

<記憶装置の構成例1>

図15を用いて、トランジスタ及び容量素子を有する記憶装置の構成を説明する。図15A乃至図15Cは、トランジスタ200及び容量素子100を有する記憶装置の平面図及び断面図である。図15Aは、当該記憶装置の平面図である。また、図15B及び図15Cは、当該記憶装置の断面図である。ここで、図15Bは、図15AにA1-A2の一点鎖線で示す部位の断面図である。また、図15Cは、図15AにA3-A4の一点鎖線で示す部位の断面図である。なお、図15Aの平面図では、図の明瞭化のために一部の要素を省いている。

[0389]

なお、本明細書に係る図面等において、X方向、Y方向、及びZ方向を示す矢印を付す場合がある。なお、本明細書等において、「X方向」とはX軸に沿う方向であり、明示する場合を除き順方向と逆方向を区別しない場合がある。「Y方向」及び「Z方向」についても同様である。また、X方向、Y方向、及びZ方向は、それぞれが互いに交差する方向である。例えば、X方向、Y方向、及びZ方向は、それぞれが互いに直交する方向である。本明細書等では、X方向、Y方向、またはZ方向の1つを「第1方向」または「第1の方向」と呼ぶ場合がある。また、他の1つを「第2方向」または「第2の方向」と呼ぶ場合がある。また、残りの1つを「第3方向」または「第3の方向」と呼ぶ場合がある。

[0390]

図15A乃至図15Cに示す記憶装置は、基板（図示せず）上の絶縁体140と、絶縁体140上の導電体110と、導電体110上のメモリセル150と、導電体110上の絶縁体180と、絶縁体280と、メモリセル150上の絶縁体283と、を有する。絶縁体140、絶縁体180、絶縁体280、及び絶縁体283は、層間膜として機能する。導電体110は、配線として機能する。

[0391]

メモリセル150は、導電体110上の容量素子100と、容量素子100上のトランジスタ200と、を有する。

[0392]

容量素子100は、導電体110上の導電体115と、導電体115上の絶縁体130と、絶縁体

130上の導電体120と、を有する。導電体120は一对の電極の一方（上部電極と呼ぶ場合がある）として機能し、導電体115は一对の電極の他方（下部電極と呼ぶ場合がある）として機能し、絶縁体130は誘電体として機能する。つまり、容量素子100は、MIM（Metal-Insulator-Metal）容量を構成している。

[0393]

図15B及び図15Cに示すように、絶縁体180には、導電体110に達する開口部190が設けられている。導電体115の少なくとも一部は、開口部190に配置されている。なお、導電体115は、開口部190において導電体110の上面に接する領域と、開口部190において絶縁体180の側面に接する領域と、絶縁体180の上面の少なくとも一部に接する領域と、を有する。絶縁体130は、少なくとも一部が開口部190に位置するように配置されている。導電体120は、少なくとも一部が開口部190に位置するように配置されている。なお、導電体120は、図15B及び図15Cに示すように、開口部190を埋め込むように設けることが好ましい。なお、開口部190の内部に設ける膜は、それぞれ、ALD法を用いて形成することが好ましい。これにより、当該膜の被覆性が良好となる。例えば、導電体115、絶縁体130、及び、導電体120は、それぞれ、ALD法を用いて形成することが好ましい。

[0394]

容量素子100は、開口部190において、底面だけでなく、側面においても上部電極と下部電極とが誘電体を挟んで対向する構成となっており、単位面積当たりの静電容量を大きくすることができる。よって、開口部190の深さを深くするほど、容量素子100の静電容量を大きくすることができる。このように容量素子100の単位面積当たりの静電容量を大きくすることにより、記憶装置の読み出し動作を安定にすることができる。また、記憶装置の微細化または高集積化を推し進めることができる。

[0395]

図15B及び図15Cでは、開口部190の側壁が、導電体110の上面に対して垂直である例を示す。このとき、開口部190は円筒形状を有する。このような構成にすることで、記憶装置の微細化または高集積化を図ることができる。

[0396]

開口部190の側壁及び導電体110の上面に沿って導電体115及び絶縁体130が積層して設けられている。また、開口部190を埋めるように、絶縁体130上に導電体120が設けられている。このような構成を有する容量素子100は、トレンチ型容量またはトレンチ容量と呼称してもよい。

[0397]

容量素子100上に、絶縁体280が配置されている。つまり、導電体115、絶縁体130、及び導電体120の上に、絶縁体280が配置されている。別言すると、絶縁体280の下に、導電体120が配置されている。

[0398]

トランジスタ200は、導電体120と、絶縁体280上の導電体240と、酸化物半導体230と、酸化物半導体230上の絶縁体250と、絶縁体250上の導電体260と、を有する。酸化物半導体230は半導体層として機能し、導電体260はゲート電極として機能し、絶縁体250はゲート絶縁体として機能し、導電体120はソース電極及びドレイン電極の一方として機能し、

導電体240はソース電極及びドレイン電極の他方として機能する。なお、トランジスタ200の代わりに、図14A乃至図14Dに示したトランジスタ200A乃至200Dを適用してもよい。

[0399]

図15B及び図15Cに示すように、絶縁体280及び導電体240には、導電体120に達する開口部290が設けられている。酸化物半導体230の少なくとも一部は、開口部290に配置されている。なお、酸化物半導体230は、開口部290において導電体120の上面に接する領域と、開口部290において導電体240の側面に接する領域と、導電体240の上面の少なくとも一部に接する領域と、を有する。絶縁体250は、少なくとも一部が開口部290に位置するように配置されている。導電体260は、少なくとも一部が開口部290に位置するように配置されている。なお、導電体260は、図15B及び図15Cに示すように、開口部290を埋め込むように設けることが好ましい。なお、開口部290の内部に設ける膜は、それぞれ、ALD法を用いて形成することが好ましい。これにより、当該膜の被覆性が良好となる。例えば、酸化物半導体230、絶縁体250、及び導電体260は、それぞれ、ALD法を用いて形成することが好ましい。本発明の一態様の金属酸化物の成膜方法を適用することで、被覆性良く酸化物半導体230を形成することができる。

[0400]

酸化物半導体230は、開口部290における導電体240の側面と接する領域と、導電体240の上面の一部と接する領域と、を有する。このように、酸化物半導体230が導電体240の側面だけでなく上面にも接することで、酸化物半導体230と導電体240とが接する面積を大きくすることができる。

[0401]

図15A乃至図15Cに示すように、トランジスタ200は、容量素子100と重なるように設けられる。また、トランジスタ200の構造の一部が設けられる開口部290は、容量素子100の構造の一部が設けられる開口部190と重なる領域を有する。特に、導電体120は、トランジスタ200のソース電極及びドレイン電極の一方としての機能と、容量素子100の上部電極としての機能とを有するため、トランジスタ200と容量素子100は、構造の一部を共有することになる。このような構成にすることで、平面視において、占有面積を大きく増加させることなく、トランジスタ200及び容量素子100を設けることができる。これにより、メモリセル150の占有面積を低減できるため、メモリセル150を高密度に配置し、記憶装置の記憶容量を大きくすることができる。言い換えると、記憶装置を高集積化することができる。

[0402]

本実施の形態に示す記憶装置の回路図を図15Dに示す。図15Dに示すように、図15A乃至図15Cに示す構成は、記憶装置のメモリセルとして機能する。メモリセルは、トランジスタ T_r と容量素子 C とを有する。ここで、トランジスタ T_r はトランジスタ200に対応し、容量素子 C は容量素子100に対応する。

[0403]

トランジスタ T_r のソース及びドレインの一方は、容量素子 C の一对の電極の一方に接続される。トランジスタ T_r のソース及びドレインの他方は、配線 BL に接続される。トランジスタ T_r のゲートは、配線 WL に接続される。容量素子 C の一对の電極の他方は、配線 PL に接続される。

[0404]

ここで、配線BLは導電体240に対応し、配線WLは導電体260に対応し、配線PLは導電体110に対応する。図15A乃至図15Cに示すように、導電体260はY方向に延在して設けられ、導電体240はX方向に延在して設けられることが好ましい。このような構成にすることで、配線BLと、配線WLは互いに交差して設けられる。また、図15Aでは、配線PL（導電体110）が面状に設けられているが、本発明はこれに限られるものではない。例えば、配線PLは、配線WL（導電体260）に平行に設けられてもよいし、配線BL（導電体240）に平行に設けられてもよい。

[0405]

なお、メモリセルについては、後の実施の形態で詳細に説明する。

[0406]

[容量素子100]

容量素子100は、導電体115と、絶縁体130と、導電体120と、を有する。また、導電体115の下方に導電体110が設けられている。導電体115は、導電体110と接する領域を有する。

[0407]

導電体110は、絶縁体140上に設けられる。導電体110は、配線PLとして機能し、例えば、面状に設けることができる。導電体110としては、後述する[導電体]の項目に記載の導電体を、単層または積層で用いることができる。例えば、導電体110として、タングステンなどの、導電性が高い導電性材料を用いることができる。このように導電性が高い導電性材料を用いることで、導電体110の導電性を向上させ、配線PLとして十分に機能させることができる。

[0408]

また、導電体115は、酸化されにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料などを、単層または積層で用いることが好ましい。例えば、窒化チタン、またはシリコンを添加したインジウムスズ酸化物などを用いてもよい。または、例えば、タングステンの上に窒化チタンを積層した構造にしてもよい。または、例えば、第1の窒化チタンの上にタングステンを積層し、当該タングステンの上に第2の窒化チタンを積層した構造にしてもよい。このような構造にすることで、絶縁体130に酸化物絶縁体を用いる場合、絶縁体130によって導電体110が酸化されるのを抑制できる。また、絶縁体180に酸化物絶縁体を用いる場合、絶縁体180によって導電体110が酸化されるのを抑制できる。

[0409]

絶縁体130は、導電体115上に設けられる。絶縁体130は、導電体115の上面及び側面に接するように設けられる。つまり、絶縁体130は、導電体110の側端部を覆う構造にすることが好ましい。これにより、導電体115と導電体120がショートするのを防ぐことができる。

[0410]

また、絶縁体130の側端部と導電体115の側端部が一致する構造にしてもよい。このような構造にすることで、絶縁体130と導電体115を同一のマスクを用いて形成することができ、記憶装置の作製工程を簡略化することができる。

[0411]

絶縁体130として、後述する[絶縁体]の項目に記載の比誘電率が高い材料、所謂high-k材料を用いることが好ましい。絶縁体130としてhigh-k材料を用いることで、リーク電流

を抑制できる程度に絶縁体130を厚くし、且つ容量素子100の静電容量を十分確保することができる。

[0412]

また、絶縁体130は、high-k材料からなる絶縁体を積層して用いることが好ましく、比誘電率が高い(high-k)材料と、当該high-k材料より絶縁耐力が大きい材料との積層構造を用いることが好ましい。例えば、絶縁体130として、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウムの順番で積層された絶縁膜を用いることができる。また、例えば、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウム、酸化アルミニウムの順番で積層された絶縁膜を用いることができる。また、例えば、ハフニウムジルコニウム酸化物、酸化アルミニウム、ハフニウムジルコニウム酸化物、酸化アルミニウムの順番で積層された絶縁膜を用いることができる。酸化アルミニウムのような、比較的絶縁耐力が大きい絶縁体を積層して用いることで、絶縁耐力が向上し、容量素子100の静電破壊を抑制できる。

[0413]

また、絶縁体130として、強誘電性を有しうる材料を用いてもよい。強誘電性を有しうる材料としては、酸化ハフニウム、酸化ジルコニウム、 $HfZrO_x$ (Xは0よりも大きい実数とする)などの金属酸化物が挙げられる。また、強誘電性を有しうる材料としては、酸化ハフニウムに元素J1(ここでの元素J1は、ジルコニウム、シリコン、アルミニウム、ガドリニウム、イットリウム、ランタン、ストロンチウムなどから選ばれた一つまたは複数)を添加した材料が挙げられる。ここで、ハフニウム原子の数と元素J1の原子数の比は適宜設定することができ、例えば、ハフニウム原子の数と元素J1の原子数の比を1:1またはその近傍にすればよい。また、強誘電性を有しうる材料としては、酸化ジルコニウムに元素J2(ここでの元素J2は、ハフニウム、シリコン、アルミニウム、ガドリニウム、イットリウム、ランタン、ストロンチウムなどから選ばれた一つまたは複数)を添加した材料、などが挙げられる。また、ジルコニウム原子の数と元素J2の原子数の比は適宜設定することができ、例えば、ジルコニウム原子の数と元素J2の原子数の比を1:1またはその近傍にすればよい。また、強誘電性を有しうる材料として、チタン酸鉛($PbTiO_x$)、チタン酸バリウムストロンチウム(BST)、チタン酸ストロンチウム、チタン酸ジルコン酸鉛(PZT)、タンタル酸ビスマス酸ストロンチウム(SBT)、ビスマスフェライト(BFO)、チタン酸バリウム、などのペロブスカイト構造を有する圧電性セラミックスを用いてもよい。

[0414]

また、強誘電性を有しうる材料としては、元素M1と、元素M2と、窒素と、を有する金属窒化物が挙げられる。ここで、元素M1は、アルミニウム、ガリウム、インジウムなどから選ばれた一つまたは複数である。また、元素M2は、ホウ素、スカンジウム、イットリウム、ランタン、セリウム、ネオジム、ユーロピウム、チタン、ジルコニウム、ハフニウム、バナジウム、ニオブ、タンタル、クロムなどから選ばれた一つまたは複数である。なお、元素M1の原子数と元素M2の原子数の比は適宜設定することができる。また、元素M1と、窒素と、を有する金属酸化物は、元素M2を含まなくても、強誘電性を有する場合がある。また、強誘電性を有しうる材料としては、上記金属窒化物に元素M3が添加された材料が挙げられる。なお、元素M3は、マグネシウム、カルシウム、ストロンチウム、亜鉛、カドミウムなどから選ばれた一つまたは複数である。ここで、元素M1の原子数、元素M2の原子数、及び元素M3の原子数の比は適宜設定することができる。

[0415]

また、強誘電性を有する材料としては、 SrTaO_2N 、 BaTaO_2N などのペロブスカイト型酸窒化物、 κ アルミナ型構造の GaFeO_3 などが挙げられる。

[0416]

なお、上記の説明においては、金属酸化物、及び金属窒化物について例示したがこれに限定されない。例えば、上述の金属酸化物に窒素が添加された金属酸窒化物、または上述の金属窒化物に酸素が添加された金属窒酸化物などを用いてもよい。

[0417]

また、強誘電性を有する材料としては、例えば、上記に列挙した材料から選ばれた複数の材料からなる混合物または化合物を用いることができる。または、絶縁体130を、上記に列挙した材料から選ばれた複数の材料からなる積層構造とすることができる。ところで、上記に列挙した材料などは、成膜条件だけでなく、各種プロセスなどによっても結晶構造（特性）が変わり得る可能性があるため、本明細書等では強誘電性を発現する材料のみを強誘電体と呼ぶだけでなく、強誘電性を有する材料とも呼んでいる。

[0418]

ハフニウム及びジルコニウム的一方または両方を含む金属酸化物は、数nmといった薄膜に加工しても強誘電性を有することができるため、好ましい。ここで、絶縁体130の膜厚は、100nm以下、好ましくは50nm以下、より好ましくは20nm以下、さらに好ましくは10nm以下（代表的には、2nm以上9nm以下）にすることができる。例えば、膜厚を、8nm以上12nm以下にすることが好ましい。薄膜化することができる強誘電体層とすることで、容量素子100を、微細化されたトランジスタなどの半導体素子に組み合わせて半導体装置を形成することができる。なお、本明細書等において、強誘電性を有する材料を層状にしたものを指して、強誘電体層、金属酸化物膜、または金属窒化物膜と呼ぶ場合がある。また、このような、強誘電体層、金属酸化物膜、または金属窒化物膜を有する装置を、本明細書等において、強誘電体デバイスと呼ぶ場合がある。

[0419]

また、ハフニウム及びジルコニウム的一方または両方を含む金属酸化物は、微小な面積でも強誘電性を有することができるため、好ましい。例えば、強誘電体層の平面視における面積（占有面積）が、 $100\mu\text{m}^2$ 以下、 $10\mu\text{m}^2$ 以下、 $1\mu\text{m}^2$ 以下、または $0.1\mu\text{m}^2$ 以下であっても、強誘電性を有することができる。また、 10000nm^2 以下、または 1000nm^2 以下であっても、強誘電性を有する場合がある。面積が小さい強誘電体層とすることで、容量素子100の占有面積を小さくすることができる。

[0420]

強誘電体は、絶縁体であって、外部から電場を与えることによって内部に分極が生じ、かつ当該電場をゼロにしても分極が残る性質を有する。このため、当該材料を誘電体として用いた容量素子（以下、強誘電体キャパシタと呼ぶ場合がある）を用いて、不揮発性の記憶素子を形成することができる。強誘電体キャパシタを用いた、不揮発性の記憶素子は、FeRAM (Ferroelectric Random Access Memory)、強誘電体メモリなどと呼ばれることがある。例えば、強誘電体メモリは、トランジスタと、強誘電体キャパシタを有し、トランジスタのソース及びドレインの一方が、強誘電体キャパシタの一方の端子に電氣的に接続された構成を有する。よって、容量素子100として強誘電体キャパシタを用いる場合、本実施の形態で示す記憶装

置は、強誘電体メモリとして機能する。

[0421]

なお、強誘電性は、外部電場により強誘電体層に含まれる結晶の酸素または窒素が変位することで、発現するとされている。また、強誘電性の発現は、強誘電体層に含まれる結晶の結晶構造に依存すると推定される。よって、絶縁体130が強誘電性を発現するには、絶縁体130は結晶を含む必要がある。特に絶縁体130は、直方晶系の結晶構造を有する結晶を含むと、強誘電性が発現するため好ましい。なお、絶縁体130に含まれる結晶の結晶構造としては、立方晶系、正方晶系、直方晶系、単斜晶系、及び六方晶系の中から選ばれるいずれか一または複数であってもよい。また、絶縁体130は、アモルファス構造を有していてもよい。このとき、絶縁体130は、アモルファス構造と、結晶構造とを有する複合構造としてもよい。

[0422]

導電体120は、絶縁体130の上面の一部に接して設けられる。導電体120の側端部は、X方向及びY方向のいずれにおいても、導電体115の側端部よりも内側に位置することが好ましい。なお、絶縁体130が導電体115の側端部を覆う構造においては、導電体120の側端部は、導電体115の側端部よりも外側に位置してもよい。

[0423]

導電体120としては、後述する[導電体]の項目に記載の導電体を、単層または積層で用いることができる。導電体120として、酸化されにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料などを用いることが好ましい。例えば、窒化チタンまたは窒化タンタルなどを用いることができる。また、例えば、窒化チタンの上に窒化タンタルを積層した構造にしてもよい。この場合、窒化チタンが絶縁体130に接し、窒化タンタルが酸化物半導体230に接する。このような構造にすることで、酸化物半導体230によって導電体120が過剰に酸化されるのを抑制できる。また、絶縁体130に酸化物絶縁体を用いる場合、絶縁体130によって導電体120が過剰に酸化されるのを抑制できる。または、導電体120として、例えば、窒化チタンの上にタングステン積層した構造にしてもよい。

[0424]

また、導電体120は、酸化物半導体230と接する領域を有するため、後述する[導電体]の項目に記載の酸素を含む導電性材料を用いることが好ましい。導電体120として酸素を含む導電性材料を用いることで、導電体120が酸素を吸収しても導電性を維持することができる。また、絶縁体130として酸化ジルコニウムなどの酸素を含む絶縁体を用いる場合においても、導電体120は導電性を維持できるため好適である。導電体120として、例えば、インジウムスズ酸化物（ITOともいう）、シリコンを添加したインジウムスズ酸化物（ITSOともいう）、インジウム亜鉛酸化物（IZO（登録商標）ともいう）などを単層または積層で用いることができる。

[0425]

絶縁体180は層間膜として機能するため、比誘電率が低いことが好ましい。比誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減できる。絶縁体180としては、後述する[絶縁体]の項目に記載の、比誘電率が低い材料を含む絶縁体を、単層または積層で用いることができる。酸化シリコン、及び酸化窒化シリコンは、熱的に安定であるため好ましい。このとき、絶縁体180bは、少なくともシリコンと、酸素と、を有する。

[0426]

なお、図15B及び図15Cでは、絶縁体180を単層で示したが、本発明はこれに限られるものではない。絶縁体180は、2層の積層構造であってもよく、3層以上の積層構造であってもよい。例えば、図19A乃至図19D、図20A及び図20Bに示すように、絶縁体180は、絶縁体180aと、絶縁体180a上の絶縁体180bとの積層構造を有してもよい。

[0427]

絶縁体180bとしては、上述した絶縁体180に適用可能な絶縁性材料を用いるとよい。

[0428]

絶縁体180aには、後述する〔絶縁体〕の項目に記載の、酸素に対するバリア性を有する絶縁体を用いることが好ましい。絶縁体180bに含まれる酸素によって、導電体110が酸化され、抵抗が高くなってしまう場合がある。絶縁体180bと導電体110との間に絶縁体180aを設けることにより、導電体110が酸化され、抵抗が高くなることを抑制できる。

[0429]

絶縁体130に水素などの不純物が混入すると、上部電極と下部電極の間に生じるリーク電流が増加する場合がある。また、絶縁体130として強誘電性を有しうる材料を用いる場合、強誘電性を有しうる材料中に水素などの不純物が混入することで、強誘電性を有しうる材料の結晶性を低下させる恐れがある。そこで、絶縁体130に、水素などの不純物が混入するのを抑制することが好ましい。

[0430]

そこで、絶縁体180aには、後述する〔絶縁体〕の項目に記載の、水素に対するバリア性を有する絶縁体を用いることが好ましい。これにより、絶縁体180b及び導電体115を介して、絶縁体130に水素が拡散することを抑制できる。窒化シリコン、及び窒化酸化シリコンは、それぞれ、自身からの不純物（例えば、水及び水素）の放出が少なく、酸素及び水素が透過しにくい特徴を有するため、絶縁体180aに好適に用いることができる。このとき、絶縁体180aは、少なくともシリコンと、窒素と、を有する。

[0431]

また、絶縁体180aとして、後述する〔絶縁体〕の項目に記載の、水素を捕獲するまたは水素を固着する機能を有する絶縁体を用いることが好ましい。このような構成にすることで、絶縁体130の水素を捕獲または固着し、絶縁体130の水素濃度を低減できる。絶縁体180aとしては、酸化マグネシウム、酸化アルミニウム、または酸化ハフニウムなどを用いることができる。また、例えば、絶縁体180aとして、酸化アルミニウムと、当該酸化アルミニウム上の窒化シリコンの積層膜を用いてもよい。

[0432]

例えば、絶縁体180を3層積層構造とする場合、絶縁体180a及び絶縁体180bに加えて、導電体115及び絶縁体130と絶縁体180bとの間に絶縁体を設けるとよい。当該絶縁体として、絶縁体180aに適用可能な絶縁体を用いることができる。これにより、絶縁体180bを介して、絶縁体130に水素が拡散することを抑制できる。

[0433]

[トランジスタ200]

図15A乃至図15Cに示すように、トランジスタ200は、導電体120と、絶縁体280上の導電体240と、開口部290において露出している導電体120の上面、開口部290における

絶縁体 280 の側面、開口部 290 における導電体 240 の側面、及び導電体 240 の上面の少なくとも一部に接して設けられた酸化物半導体 230 と、酸化物半導体 230 の上面に接して設けられた絶縁体 250 と、絶縁体 250 の上面に接して設けられた導電体 260 と、を有する構成にすることができる。

[0434]

トランジスタ 200 の構成要素の少なくとも一部は、開口部 290 に配置される。ここで、開口部 290 の底部は、導電体 120 の上面であり、開口部 290 の側壁は、絶縁体 280 の側面、及び導電体 240 の側面である。

[0435]

図 15B 及び図 15C では、開口部 290 の側壁が、導電体 110 の上面に対して垂直である例を示す。このとき、開口部 290 は円筒形状を有する。このような構成にすることで、記憶装置の微細化または高集積化を図ることができる。

[0436]

また、本実施の形態では、平面視において開口部 290 が円形である例について示したが、本発明はこれに限られるものではない。例えば、平面視において開口部 290 が、楕円などの略円形状、四角形などの多角形状、四角形等の多角形の角部を丸めた形状になっていてもよい。このとき、開口部 290 の最大幅は、開口部 290 の最上部の形状に合わせて適宜算出するとよい。例えば、平面視において開口部が四角形である場合、開口部 290 の最大幅は、開口部 290 の最上部の対角線の長さとするといよい。

[0437]

酸化物半導体 230、絶縁体 250、及び導電体 260 の開口部 290 に配置される部分は、開口部 290 の形状を反映して設けられる。よって、開口部 290 の底部及び側壁を覆うように酸化物半導体 230 が設けられ、酸化物半導体 230 を覆うように絶縁体 250 が設けられ、開口部 290 の形状を反映した絶縁体 250 の凹部を埋め込むように導電体 260 が設けられる。

[0438]

ここで、図 15B における酸化物半導体 230 及びその近傍の拡大図を図 16A に示す。また、導電体 240 を含む XY 平面における断面図（一点鎖線 B1-B2 間の断面図ともいえる）を、図 16B に示す。

[0439]

図 16A に示すように、酸化物半導体 230 は、領域 230i と、領域 230i を挟むように設けられる領域 230na 及び領域 230nb と、を有する。

[0440]

領域 230na は、酸化物半導体 230 の導電体 120 と接する領域である。領域 230na の少なくとも一部は、トランジスタ 200 のソース領域及びドレイン領域の一方として機能する。領域 230nb は、酸化物半導体 230 の導電体 240 と接する領域である。領域 230nb の少なくとも一部は、トランジスタ 200 のソース領域及びドレイン領域の他方として機能する。図 16B に示すように、導電体 240 は酸化物半導体 230 の外周全体に接する。よって、トランジスタ 200 のソース領域及びドレイン領域の他方は、酸化物半導体 230 の、導電体 240 と同じ層に形成される部分の外周全体に形成されうる。

[0441]

領域230iは、酸化半導体230の、領域230naと領域230nbの間の領域である。領域230iの少なくとも一部が、トランジスタ200のチャネル形成領域として機能する。つまり、トランジスタ200のチャネル形成領域は、酸化半導体230の、導電体120と導電体240の間の領域に位置する。また、トランジスタ200のチャネル形成領域は、酸化半導体230の、絶縁体280と接する領域またはその近傍の領域に位置する、ということもできる。

[0442]

トランジスタ200のチャネル長は、ソース領域とドレイン領域の間の距離となる。つまり、トランジスタ200のチャネル長は、導電体120上の絶縁体280の厚さによって決定される、ということができる。図16Aは、トランジスタ200のチャネル長Lを破線の両矢印で示している。チャネル長Lは、断面視において、酸化半導体230と導電体120が接する領域の端部と、酸化半導体230と導電体240が接する領域の端部との距離となる。つまり、チャネル長Lは、断面視における絶縁体280の開口部290側の側面の長さに対応する。

[0443]

プレーナ型のトランジスタでは、チャネル長がフォトリソグラフィの露光限界で設定されていたが、本発明においては、絶縁体280の膜厚でチャネル長を設定することができる。よって、トランジスタ200のチャネル長を、フォトリソグラフィの露光限界以下の非常に微細な構造（例えば、60nm以下、50nm以下、40nm以下、30nm以下、20nm以下、または10nm以下であって、1nm以上、または5nm以上）にすることができる。これにより、トランジスタ200のオン電流が大きくなり、周波数特性の向上を図ることができる。よって、メモリセル150の読み出し速度及び書き込み速度を向上させることができるため、動作速度が速い記憶装置を提供できる。

[0444]

さらに、上記のように、開口部290に、チャネル形成領域、ソース領域、及びドレイン領域を形成することができる。これにより、チャネル形成領域、ソース領域、及びドレイン領域が、XY平面上に別々に設けられていた、従来のトランジスタと比較して、トランジスタ200の占有面積を低減できる。これにより、記憶装置を高集積化することができるため、単位面積当たりの記憶容量を大きくすることができる。

[0445]

また、酸化半導体230のチャネル形成領域を含むXY平面においても、図16Bと同様に、酸化半導体230、絶縁体250、及び導電体260は、同心円状に設けられる。よって、中心に設けられた導電体260の側面は、絶縁体250を介して、酸化半導体230の側面と対向する。つまり、平面視において、酸化半導体230の周全体がチャネル形成領域になる。このとき、例えば、酸化半導体230の外周の長さによって、トランジスタ200のチャネル幅が決まる。つまり、トランジスタ200のチャネル幅は、開口部290の最大幅（平面視において開口部290が円形である場合は最大径）の大きさによって決定される、ということができる。図16A及び図16Bは、開口部290の最大幅Dを二点鎖線の両矢印で示している。図16Bは、トランジスタ200のチャネル幅Wを一点鎖線の両矢印で示している。開口部290の最大幅Dの大きさを大きくすることで、単位面積当たりのチャネル幅を大きくし、オン電流を大きくすることができる。

[0446]

フォトリソグラフィ法を用いて開口部290を形成する場合、開口部290の最大幅Dはフォトリ

ソグラフィの露光限界で設定される。また、開口部290の最大幅Dは、開口部290に設ける、酸化半導体230、絶縁体250、及び導電体260それぞれの膜厚によって設定される。開口部290の最大幅Dは、例えば、5nm以上、10nm以上、または20nm以上であって、100nm以下、60nm以下、50nm以下、40nm以下、または30nm以下が好ましい。なお、平面視において開口部290が円形である場合、開口部290の最大幅Dは開口部290の直径に相当し、チャンネル幅Wは“ $D \times \pi$ ”と算出することができる。

[0447]

また、本発明の一態様の記憶装置においては、トランジスタ200のチャンネル長Lは、少なくともトランジスタ200のチャンネル幅Wよりも小さいことが好ましい。本発明の一態様に係るトランジスタ200のチャンネル長Lは、トランジスタ200のチャンネル幅Wに対し、0.1倍以上0.99倍以下、好ましくは0.5倍以上0.8倍以下である。このような構成にすることで、良好な電気特性及び高い信頼性を有するトランジスタを実現できる。

[0448]

また、平面視で円形になるように開口部290を形成することで、酸化半導体230、絶縁体250、及び導電体260は、同心円状に設けられる。これにより、導電体260と酸化半導体230の距離が概略均一になるため、酸化半導体230にゲート電界を概略均一に印加することができる。

[0449]

半導体層に酸化半導体を用いるトランジスタのチャンネル形成領域は、ソース領域及びドレイン領域よりも、酸素欠損が少ない、または水素、窒素、金属元素などの不純物濃度が低いことが好ましい。また、酸素欠損近傍の水素が、酸素欠損に水素が入った欠陥（以下、 V_OH と呼ぶ場合がある）を形成し、キャリアとなる電子を生成する可能性があるため、チャンネル形成領域においては、 V_OH も低減されていることが好ましい。このように、トランジスタのチャンネル形成領域は、キャリア濃度が低い高抵抗領域である。よってトランジスタのチャンネル形成領域は、i型（真性）または実質的にi型であるといえることができる。

[0450]

また、半導体層に酸化半導体を用いるトランジスタのソース領域及びドレイン領域は、チャンネル形成領域よりも、酸素欠損が多い、 V_OH が多い、または水素、窒素、金属元素などの不純物濃度が高い、ことでキャリア濃度が増加し、低抵抗化した領域である。すなわち、トランジスタのソース領域及びドレイン領域は、チャンネル形成領域と比較して、キャリア濃度が高く、低抵抗なn型の領域である。

[0451]

なお、図15B及び図15Cでは、開口部290の側壁が導電体110の上面に対して垂直となるように、開口部290を設けているが、本発明はこれに限られるものではない。例えば、開口部290の側壁は、テーパ形状を有していてもよい。開口部290の側壁がテーパ形状であると、開口部290に沿って設けられる酸化半導体230、絶縁体250などの被覆性が向上するため、好ましい。

[0452]

同様に、図15B及び図15Cでは、開口部190の側壁が導電体110の上面に対して垂直となるように、開口部190を設けているが、本発明はこれに限られるものではない。例えば、開口部

190の側壁は、テーパ形状または逆テーパ形状を有していてもよい。開口部190の側壁がテーパ形状であると、開口部190に沿って設けられる導電体115、絶縁体130などの被覆性が向上するため、好ましい。

[0453]

図17A及び図17Bに示す記憶装置は、開口部290の側壁がテーパ形状である構成を有する。なお、図17A及び図17Bに示す記憶装置の平面図は、図15Aを参照できる。

[0454]

開口部290の側壁をテーパ形状にすることで、酸化半導体230、または絶縁体250などの被覆性が向上し、鬆などの欠陥を低減できる。例えば、開口部290における絶縁体280の側面と、導電体110の上面とがなす角度（図17Aに示す角度 $\theta 1$ ）は、45度以上であって、90度未満であることが好ましい。または、45度以上であって、75度以下であることが好ましい。または、45度以上であって、65度以下であることが好ましい。

[0455]

図17A及び図17Bに示す開口部290の形状は、円錐台形状である。この場合、平面視において開口部290は円形であり、断面視において開口部290は台形になる。また、円錐台形状の上底面（例えば、導電体240に設けられた開口部）の面積は、円錐台形状の下底面（開口部290において露出している導電体120の上面）の面積よりも小さい。このとき、開口部290の最大径は、円錐台形状の上底面をもとに算出するとよい。

[0456]

開口部290の側壁がテーパ形状である場合、絶縁体280の膜厚と、開口部290における絶縁体280の側面と導電体110の上面とがなす角度 $\theta 1$ でチャンネル長を設定することができる。また、酸化半導体230の外周の長さは、例えば、導電体240と対向する領域、または絶縁体280の膜厚の半分の位置で求めればよい。なお、必要に応じて、開口部290の任意の位置の周の長さを、トランジスタ200のチャンネル幅としてもよい。例えば、開口部290の最下部の周の長さをチャンネル幅としてもよいし、開口部290の最上部の周の長さをチャンネル幅としてもよい。

[0457]

図17A及び図17Bでは、開口部290における導電体240の側面と、開口部290における絶縁体280の側面とが一致する構成を示しているが、本発明はこれに限られない。例えば、開口部290における導電体240の側面と、開口部290における絶縁体280の側面とが不連続になってもよい。また、開口部290における導電体240の側面の傾きと、開口部290における絶縁体280の側面の傾きとが互いに異なってもよい。また例えば、開口部290における導電体240の側面と、導電体110の上面とがなす角度は、角度 $\theta 1$ よりも小さいことが好ましい。このような構成にすることで、開口部290における導電体240の側面への、酸化半導体230の被覆性が向上し、鬆などの欠陥を低減できる。

[0458]

図17A及び図17Bに示すように、開口部290に位置する導電体260の底部は、平坦な領域を有する。なお、開口部290の最大幅（平面視において開口部290が円形である場合は最大径）の大きさ、絶縁体280の膜厚（開口部290の深さに相当）、酸化半導体230の膜厚、及び絶縁体250の膜厚などによっては、開口部290に位置する導電体260の底部は平坦な領域を有さない場合がある。例えば、図17C及び図17Dに示すように、開口部290に位置する導電

体260の底部の形状は、針状となることがある。なお、図17C及び図17Dに示す記憶装置の平面図は、図15Aを参照できる。

[0459]

ここで、針状とは、先端になるほど（開口部290に位置する導電体260の底部に近づくほど）細くなる形状を指す。なお、針状の先端は、鋭角であってもよいし、下に凸の曲面形状であってもよい。なお、針状のうち、先端が鋭角である形状を、V字形状と呼んでもよい。

[0460]

開口部290に位置する導電体260のうち、絶縁体250を介して酸化半導体230と対向する領域はゲート電極として機能する。よって、開口部290を埋め込み、底部の形状が針状である導電体260を、針状ゲートと呼称してもよい。また、図17A及び図17Bに示すように、導電体260の底部が平坦な領域を有する形状であっても、針状ゲートと呼称してもよい場合がある。

[0461]

また、開口部190の側壁をテーパ形状にすることで、導電体115、または絶縁体130などの被覆性が向上し、鬆などの欠陥を低減できる。例えば、開口部190における絶縁体180の側面と、導電体110の上面とがなす角度（図17Aに示す角度 $\theta 2$ ）は、45度以上であって、90度未満であることが好ましい。または、45度以上であって、75度以下であることが好ましい。または、45度以上であって、65度以下であることが好ましい。

[0462]

図17A及び図17Bに示すように、開口部190に位置する導電体120の底部は、平坦な領域を有する。なお、開口部190の最大幅（平面視において開口部190が円形である場合は最大径）の大きさ、絶縁体180の膜厚（開口部190の深さに相当）、導電体115の膜厚、及び絶縁体130の膜厚などによっては、開口部190に位置する導電体120の底部は平坦な領域を有さない場合がある。例えば、図17C及び図17Dに示すように、開口部190に位置する導電体120の底部の形状は、針状となることがある。なお、図17C及び図17Dに示す記憶装置の平面図は、図15Aを参照できる。

[0463]

また、絶縁体180及び絶縁体280が互いに同じ材料を用いる場合、角度 $\theta 1$ と角度 $\theta 2$ は、一致または概略一致する。なお、絶縁体180及び絶縁体280のそれぞれに用いる材料、開口部190及び開口部290のそれぞれの形成方法などによっては、角度 $\theta 1$ と角度 $\theta 2$ とは異なってもよい。例えば、角度 $\theta 1$ が、角度 $\theta 2$ よりも大きいてもよいし、角度 $\theta 2$ よりも小さくてもよい。また、角度 $\theta 1$ 及び角度 $\theta 2$ の一方が90度またはその近傍値であってもよい。

[0464]

図15B及び図15Cに示すように、酸化半導体230の一部は、開口部290の外、つまり、導電体240の上に位置する。また、図15B及び図15Cでは、酸化半導体230の側端部が、導電体240の側端部より内側に位置する構成を示している。なお、本発明はこれに限られるものではない。例えば、X方向またはY方向において、酸化半導体230の側端部と導電体240の側端部が一致する構造にしてもよい。または、酸化半導体230の側端部が、導電体240の側端部より外側に位置する構造にしてもよい。

[0465]

酸化半導体230として用いる金属酸化物のバンドギャップは、2 eV以上が好ましく、2.5

e V以上がより好ましい。酸化物半導体230としてバンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減できる。オフ電流が小さいトランジスタをメモリセルに用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、または、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減できる。なお、一般的なDRAMにおいては、リフレッシュ動作の頻度を約1回/60 msecとする必要があるが、本発明の一態様の記憶装置においては、リフレッシュ動作の頻度を約1回/10 secと、10倍以上または100倍以上のリフレッシュ動作の頻度とすることができる。なお、本発明の一態様の記憶装置とすることで、リフレッシュ動作は、1 sec以上100 sec以下、好ましくは、5 sec以上50 sec以下に1回の頻度とすることができる。

[0466]

なお、酸化物半導体230としては、実施の形態1で説明した金属酸化物を、単層または積層で用いることができる。

[0467]

酸化物半導体230として、具体的には、 $I_n : M : Z_n = 1 : 3 : 2$ [原子数比] もしくはその近傍の組成、 $I_n : M : Z_n = 1 : 3 : 4$ [原子数比] もしくはその近傍の組成、 $I_n : M : Z_n = 1 : 1 : 0.5$ [原子数比] もしくはその近傍の組成、 $I_n : M : Z_n = 1 : 1 : 1$ [原子数比] もしくはその近傍の組成、 $I_n : M : Z_n = 1 : 1 : 1.2$ [原子数比] もしくはその近傍の組成、 $I_n : M : Z_n = 1 : 1 : 2$ [原子数比] もしくはその近傍の組成、または $I_n : M : Z_n = 4 : 2 : 3$ [原子数比] もしくはその近傍の組成の金属酸化物を用いればよい。なお、近傍の組成とは、所望の原子数比の±30%の範囲を含む。また、元素Mとして、ガリウムを用いることが好ましい。

[0468]

酸化物半導体230にインジウムの含有率が高い材料を用いることで、トランジスタのオン電流、または電界効果移動度などを高めることができる。さらに、元素Mを有することで、酸素欠損(V_o)の生成を抑制することができる。元素Mの含有率(含有される全ての金属元素の原子数の和に対する元素Mの原子数の割合)は、0.1%以上10%以下が好ましく、0.1%以上3%以下がより好ましく、0.1%以上2%以下がさらに好ましい。これにより、電気特性が良好なトランジスタとすることができる。例えば、 $I_n : M : Z_n = 40 : X : 10$ (Xは、1以上5以下) [原子数比]、及びその近傍の組成の金属酸化物を用いることが好ましい。元素Mは、上記元素のいずれか一種または複数種であることが好ましく、ガリウム、スズ、及びイットリウムから選ばれた一種または複数種であることがより好ましい。具体的には、 $I_n : S_n : Z_n = 40 : 1 : 10$ 、及びその近傍の組成の金属酸化物を好適に用いることができる。

[0469]

なお、金属酸化物をスパッタリング法により成膜する場合、上記の原子数比は、成膜された金属酸化物の原子数比に限られず、金属酸化物の成膜に用いるスパッタリングターゲットの原子数比であってもよい。

[0470]

酸化物半導体230に用いる金属酸化物の組成の分析には、例えば、エネルギー分散型X線分光法(EDX: Energy Dispersive X-ray Spectrometry)、X線光電子分光法(XPS: X-ray Photoelectron Spectrometry)、誘導結合プラズマ質量分析法(ICP-MS: Inductively Coupled

Plasma-Mass Spectrometry)、または誘導結合高周波プラズマ発光分光法(ICP-AES: Inductively Coupled Plasma-Atomic Emission Spectrometry)を用いることができる。または、これらの手法を複数組み合わせる分析を行ってもよい。なお、含有率が低い元素は、分析精度の影響により、実際の含有率と分析によって得られた含有率が異なる場合がある。例えば、元素Mの含有率が低い場合、分析によって得られた元素Mの含有率が、実際の含有率より低くなる場合がある。

[0471]

金属酸化物の形成には、原子層堆積(ALD: Atomic Layer Deposition)法を好適に用いることができる。

[0472]

または、金属酸化物の形成には、スパッタリング法またはCVD法を用いてもよい。なお、金属酸化物をスパッタリング法で形成する場合、形成後の金属酸化物の組成はスパッタリングターゲットの組成と異なる場合がある。特に、亜鉛は、形成後の金属酸化物における含有率が、スパッタリングターゲットと比較して50%程度にまで減少する場合がある。

[0473]

酸化物半導体230は、結晶性を有する(結晶部を有する、とも記す)ことが好ましい。結晶性を有する酸化物半導体(結晶性の酸化物半導体、とも記す)として、CAAC-OS(c-axis aligned crystalline oxide semiconductor)、nc-OS(nanocrystalline oxide semiconductor)、多結晶酸化物半導体、単結晶酸化物半導体等が挙げられる。酸化物半導体230として、CAAC-OSまたはnc-OSを用いることが好ましく、CAAC-OSを用いることが特に好ましい。

[0474]

CAAC-OSは、複数の層状の結晶領域を有し、c軸が被形成面の法線方向に配向していることが好ましい。例えば、酸化物半導体230は、開口部290の側壁、特に絶縁体280の側面に対して、概略平行な層状の結晶を有することが好ましい。このような構成にすることで、トランジスタ200のチャンネル長方向に対して、酸化物半導体230の層状の結晶が概略平行に形成されるため、トランジスタのオン電流を大きくすることができる。

[0475]

CAAC-OSは、結晶性の高い、緻密な構造を有しており、不純物及び欠陥(例えば、酸素欠損など)が少ない金属酸化物である。特に、金属酸化物の形成後に、金属酸化物が多結晶化しない程度の温度(例えば、400°C以上600°C以下)で加熱処理することで、CAAC-OSをより結晶性の高い、緻密な構造にすることができる。このようにして、CAAC-OSの密度をより高めることで、当該CAAC-OS中の不純物または酸素の拡散をより低減することができる。

[0476]

また、酸化物半導体230としてCAAC-OSなどの結晶性を有する酸化物を用いることで、ソース電極またはドレイン電極による、酸化物半導体230からの酸素の引き抜きを抑制できる。これにより、熱処理を行っても、酸化物半導体230から酸素が引き抜かれることを抑制できるため、トランジスタ200は、製造工程における高い温度(所謂サーマルバジェット)に対して安定である。

[0477]

酸化物半導体 230 の結晶性は、例えば、X線回折 (XRD: XRay Diffraction)、透過型電子顕微鏡 (TEM: Transmission Electron Microscope)、または電子線回折 (ED: Electron Diffraction) により解析できる。または、これらの手法を複数組み合わせることで分析を行ってもよい。

[0478]

酸化物半導体 230 は、化学組成が異なる複数の酸化物層の積層構造を有してもよい。例えば、上記金属酸化物から選ばれる複数種を適宜積層する構造にしてもよい。

[0479]

例えば、図 18A 及び図 18B に示すように、酸化物半導体 230 は、酸化物半導体 230a と、酸化物半導体 230a 上の酸化物半導体 230b との積層構造を有してもよい。酸化物半導体 230a 及び酸化物半導体 230b のうち少なくとも一方を、本発明の一態様の金属酸化物の成膜方法を用いて、形成することが好ましい。

[0480]

酸化物半導体 230a に用いる材料の導電率は、酸化物半導体 230b に用いる材料の導電率と異なることが好ましい。

[0481]

例えば、酸化物半導体 230a には、酸化物半導体 230b より導電率の高い材料を用いることができる。ソース電極またはドレイン電極として機能する導電体 120 及び導電体 240 と接する酸化物半導体 230a に導電率の高い材料を用いることにより、酸化物半導体 230 と導電体 120 との接触抵抗、及び酸化物半導体 230 と導電体 240 との接触抵抗を低くすることができ、オン電流が大きいトランジスタとすることができる。

[0482]

ここで、ゲート電極として機能する導電体 260 側に設けられる酸化物半導体 230b に導電率の高い材料を用いる場合、トランジスタのしきい値電圧がシフトし、ゲート電圧が 0V 時に流れるドレイン電流 (以下、カットオフ電流とも記す) が大きくなってしまう場合がある。具体的には、トランジスタ 200 が n チャネル型のトランジスタである場合、しきい値電圧が低くなってしまいう場合がある。したがって、酸化物半導体 230b には、酸化物半導体 230a より導電率の低い材料を用いることが好ましい。これにより、トランジスタ 200 が n チャネル型のトランジスタである場合はしきい値電圧を高くすることができ、カットオフ電流が小さいトランジスタとすることができる。なお、カットオフ電流が小さいことをノーマリオフと記す場合がある。

[0483]

前述したように酸化物半導体 230 を積層構造とし、酸化物半導体 230a には、酸化物半導体 230b より導電率の高い材料を用いることにより、ノーマリオフ、かつオン電流が大きいトランジスタとすることができる。したがって、低い消費電力と高い性能が両立した記憶装置とすることができる。

[0484]

なお、酸化物半導体 230a のキャリア濃度は、酸化物半導体 230b のキャリア濃度より高いことが好ましい。酸化物半導体 230a のキャリア濃度を高くすることにより導電率が高くなり、酸化物半導体 230 と導電体 120 との接触抵抗、及び酸化物半導体 230 と導電体 240 との接触抵抗を低くすることができ、オン電流が大きいトランジスタとすることができる。酸化物半導体 2

30bのキャリア濃度を低くすることにより導電率が低くなり、ノーマリオフのトランジスタとすることができる。

[0485]

ここでは、酸化物半導体230aに酸化物半導体230bより導電率の高い材料を用いる例を示したが、本発明の一態様はこれに限られない。酸化物半導体230aに、酸化物半導体230bより導電率の低い材料を用いてもよい。酸化物半導体230aのキャリア濃度が、酸化物半導体230bのキャリア濃度より低い構成とすることができる。

[0486]

酸化物半導体230aに用いる第1の金属酸化物のバンドギャップは、酸化物半導体230bに用いる第2の金属酸化物のバンドギャップと異なることが好ましい。例えば、第1の金属酸化物のバンドギャップと第2の金属酸化物のバンドギャップの差は、0.1eV以上が好ましく、さらには0.2eV以上が好ましく、さらには0.3eV以上が好ましい。

[0487]

酸化物半導体230aに用いる第1の金属酸化物のバンドギャップは、酸化物半導体230bに用いる第2の金属酸化物のバンドギャップより小さい構成とすることができる。これにより、酸化物半導体230と導電体120との接触抵抗、及び酸化物半導体230と導電体240との接触抵抗を低くすることができ、オン電流が大きいトランジスタとすることができる。また、トランジスタ200がnチャネル型のトランジスタである場合はしきい値電圧を高くすることができ、ノーマリオフのトランジスタとすることができる。

[0488]

ここでは、第1の金属酸化物のバンドギャップが、第2の金属酸化物のバンドギャップより小さい例を示したが、本発明の一態様はこれに限られない。第1の金属酸化物のバンドギャップが、第2の金属酸化物のバンドギャップより大きい構成とすることができる。

[0489]

前述したように、酸化物半導体230aに用いる第1の金属酸化物のバンドギャップは、酸化物半導体230bに用いる第2の金属酸化物のバンドギャップより小さい構成とすることができる。第1の金属酸化物の組成は、第2の金属酸化物の組成と異なることが好ましい。第1の金属酸化物と第2の金属酸化物の組成を異ならせることで、バンドギャップを制御できる。例えば、第1の金属酸化物の元素Mの含有率は、第2の金属酸化物の元素Mの含有率より低いことが好ましい。具体的には、第1の金属酸化物及び第2の金属酸化物を $In-M-Zn$ 酸化物とする場合、第1の金属酸化物は $In:M:Zn=1:1:1$ [原子数比] またはその近傍の組成、第2の金属酸化物は $In:M:Zn=1:3:2$ [原子数比] またはその近傍とすることができる。元素Mとして、ガリウム、及びスズの一方または双方を用いることが特に好ましい。

[0490]

第1の金属酸化物が元素Mを含まない構成としてもよい。例えば、酸化物半導体230aに用いる第1の金属酸化物を $In-Zn$ 酸化物とし、酸化物半導体230bに用いる第2の金属酸化物を $In-M-Zn$ 酸化物とすることができる。具体的には、第1の金属酸化物を $In-Zn$ 酸化物とし、第2の金属酸化物を $In-Ga-Zn$ 酸化物とすることができる。さらに具体的には、第1の金属酸化物は $In:Zn=1:1$ [原子数比] またはその近傍の組成、もしくは $In:Zn=4:1$ [原子数比] またはその近傍の組成とし、第2の金属酸化物は $In:Ga:Zn=1:1:1$ [原

子数比] またはその近傍の組成とすることができる。

[0491]

ここでは、第1の金属酸化物の元素Mの含有率は、第2の金属酸化物の元素Mの含有率より低い例を示したが、本発明の一態様はこれに限られない。第1の金属酸化物の元素Mの含有率は、第2の金属酸化物の元素Mの含有率より高い構成としてもよい。なお、第1の金属酸化物と第2の金属酸化物で組成が異なればよく、元素M以外の元素の含有率が異なってもよい。

[0492]

酸化物半導体230の膜厚は、1nm以上、3nm以上、または5nm以上であって、20nm以下、15nm以下、12nm以下、または10nm以下であることが好ましい。

[0493]

酸化物半導体230を構成する各層（ここでは、酸化物半導体230a及び酸化物半導体230b）の膜厚は、酸化物半導体230の膜厚が前述の範囲となるように決めればよい。酸化物半導体230aと導電体120との接触抵抗、及び酸化物半導体230aと導電体240との接触抵抗が求められる範囲になるように、酸化物半導体230aの膜厚を決めることができる。また、トランジスタのしきい値電圧が求められる範囲になるように、酸化物半導体230bの膜厚を決めることができる。なお、酸化物半導体230aの膜厚は、酸化物半導体230bの膜厚と同じであってもよく、異なってもよい。

[0494]

図18A及び図18Bには、酸化物半導体230が、酸化物半導体230aと酸化物半導体230bの2層の積層構造である構成を示しているが、本発明はこれに限られるものではない。酸化物半導体230は、3層以上の積層構造としてもよい。

[0495]

酸化物半導体230を3層積層構造とする場合、例えば、導電体120側から順に、In:Ga:Zn=1:1:1 [原子数比] またはその近傍の組成である金属酸化物、In:Zn=1:1 [原子数比] またはその近傍の組成、もしくはIn:Zn=4:1 [原子数比] またはその近傍の組成である金属酸化物、In:Ga:Zn=1:1:1 [原子数比] またはその近傍の組成である金属酸化物が設けられた構成としてもよい。このような構成にすることで、トランジスタ200のオン電流を大きくし、且つ、ばらつきが少なく信頼性の高いトランジスタ構造とすることができる。

[0496]

絶縁体250としては、後述する [絶縁体] の項目に記載の絶縁体を、単層または積層で用いることができる。例えば、絶縁体250として、酸化シリコンまたは酸化窒化シリコンを用いることができる。酸化シリコン、及び酸化窒化シリコンは熱に対し安定であるため好ましい。

[0497]

また、絶縁体250として、後述する [絶縁体] の項目に記載の比誘電率が高い材料、所謂high-k材料を用いてもよい。例えば、酸化ハフニウムまたは酸化アルミニウムなどを用いてもよい。

[0498]

絶縁体250の膜厚は、0.5nm以上15nm以下とすることが好ましく、0.5nm以上12nm以下とすることがより好ましく、0.5nm以上10nm以下とすることがさらに好ましい。絶縁体250は、少なくとも一部において、上記のような膜厚の領域を有していればよい。

[0499]

絶縁体 250 中の水、水素などの不純物濃度は低減されていることが好ましい。これにより、酸化物半導体 230 のチャネル形成領域への、水、水素などの不純物の混入を抑制できる。

[0500]

図 15B 及び図 15C に示すように、絶縁体 250 の一部は、開口部 290 の外、つまり、導電体 240 及び絶縁体 280 の上に位置する。このとき、絶縁体 250 は、酸化物半導体 230 の側端部を覆うことが好ましい。これにより、導電体 260 と酸化物半導体 230 がショートするのを防ぐことができる。また、絶縁体 250 は、導電体 240 の側端部を覆うことが好ましい。これにより、導電体 260 と導電体 240 がショートするのを防ぐことができる。

[0501]

図 18A 及び図 18B に示すように、絶縁体 250 は、絶縁体 250a と、絶縁体 250a 上の絶縁体 250b と、絶縁体 250b 上の絶縁体 250c との積層構造を有してもよい。

[0502]

絶縁体 250b は、後述する [絶縁体] の項目に記載の比誘電率が低い材料を用いることが好ましい。特に、酸化シリコン、及び酸化窒化シリコンは熱に対し安定であるため好ましい。この場合、絶縁体 250b は、少なくとも酸素と、シリコンと、を有する。このような構成にすることで、導電体 260 と導電体 240 の間に生じる寄生容量を低減できる。また、絶縁体 250b 中の、水、水素などの不純物の濃度は低減されていることが好ましい。

[0503]

絶縁体 250a は、後述する [絶縁体] の項目に記載の酸素に対するバリア性を有する絶縁体を用いることが好ましい。絶縁体 250a は、酸化物半導体 230 と接する領域を有する。絶縁体 250a が酸素に対するバリア性を有することで、熱処理などを行った際に、酸化物半導体 230 から酸素が脱離することを抑制できる。よって、酸化物半導体 230 に酸素欠損が形成されることを抑制できる。これにより、トランジスタ 200 の電気特性を良好にし、信頼性を向上させることができる。絶縁体 250a として、例えば、酸化アルミニウムを用いるとよい。この場合、絶縁体 250a は、少なくとも酸素と、アルミニウムと、を有する。

[0504]

絶縁体 250c は、後述する [絶縁体] の項目に記載の水素に対するバリア性を有する絶縁体を用いることが好ましい。これにより、導電体 260 に含まれる不純物の、酸化物半導体 230 への拡散を抑制できる。窒化シリコンは水素バリア性が高いため、絶縁体 250c として好適である。この場合、絶縁体 250c は、少なくとも窒素と、シリコンと、を有する。

[0505]

絶縁体 250c は、さらに酸素に対するバリア性を有してもよい。絶縁体 250c は、絶縁体 250b と導電体 260 の間に設けられている。したがって、絶縁体 250b に含まれる酸素の導電体 260 への拡散を防ぎ、導電体 260 の酸化を抑制できる。また、領域 230i へ供給する酸素量の減少を抑制できる。

[0506]

また、絶縁体 250b と絶縁体 250c の間に絶縁体を設けてもよい。当該絶縁体は、後述する [絶縁体] の項目に記載の水素を捕獲するまたは固着する機能を有する絶縁体を用いることが好ましい。当該絶縁体を設けることで、酸化物半導体 230 に含まれる水素を、より効果的に捕獲させるまたは固着させることができる。よって、酸化物半導体 230 中の水素濃度を低減できる。当該

絶縁体として、例えば、酸化ハフニウムを用いるとよい。この場合、当該絶縁体は、少なくとも酸素と、ハフニウムと、を有する。また、当該絶縁体は、アモルファス構造を有してもよい。

[0507]

トランジスタ200の微細化を図るにあたって、絶縁体250a乃至絶縁体250cの膜厚は薄いことが好ましく、前述の範囲内にすることが好ましい。代表的には、絶縁体250a、絶縁体250b、水素を捕獲するまたは固着する機能を有する絶縁体、及び絶縁体250cの膜厚をそれぞれ、1nm、2nm、2nm、及び1nmとする。このような構成にすることで、トランジスタ200を微細化または高集積化しても良好な電気特性を有することができる。

[0508]

図18A及び図18Bには、絶縁体250が、絶縁体250a乃至絶縁体250cの3層の積層構造である構成を示しているが、本発明はこれに限られるものではない。絶縁体250は、2層、または4層以上の積層構造としてもよい。このとき、絶縁体250に含まれる各層は、絶縁体250a乃至絶縁体250c及び水素を捕獲するまたは固着する機能を有する絶縁体から適宜選択するとよい。

[0509]

導電体260としては、後述する[導電体]の項目に記載の導電体を、単層または積層で用いることができる。例えば、導電体260として、タングステンなどの導電性が高い導電性材料を用いることができる。

[0510]

また、導電体260として、酸化されにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料などを用いることが好ましい。当該導電性材料として、窒素を含む導電性材料（例えば、窒化チタンまたは窒化タンタルなど）、及び酸素を含む導電性材料（例えば、酸化ルテニウムなど）などが挙げられる。これにより、導電体260の導電率が低下するのを抑制できる。

[0511]

図18A及び図18Bに示すように、導電体260は、導電体260aと、導電体260a上の導電体260bとの積層構造を有してもよい。このとき、例えば、導電体260aとして窒化チタンを用い、導電体260bとしてタングステンを用いてもよい。このようにタングステンを積層して設けることで、導電体260の導電性を向上させ、配線WLとして十分に機能させることができる。

[0512]

図15B及び図15Cでは、導電体260が開口部290を埋め込むように設けられているが、本発明はこれに限られるものではない。例えば、導電体260の中央部に、開口部290の形状を反映した凹部が形成され、当該凹部の一部が開口部290に位置する場合がある。このとき、当該凹部を無機絶縁材料などで充填する構成にしてもよい。

[0513]

また、図15B及び図15Cに示すように、導電体260の一部は、開口部290の外、つまり、導電体240及び絶縁体280の上に位置する。このとき、図15Bに示すように、導電体260の側端部は、酸化物半導体230の側端部より内側に位置することが好ましい。これにより、導電体260と酸化物半導体230がショートするのを防ぐことができる。なお、導電体260の側端部は、酸化物半導体230の側端部と一致してもよいし、酸化物半導体230の側端部より外側に位置してもよい。

[0514]

導電体120は、[容量素子100]の項目で説明した通りに設ければよい。

[0515]

また、図15B及び図15Cでは、導電体120の上面が平坦である構成を示しているが、本発明はこれに限られるものではない。例えば、導電体120の上面に、開口部290と重なる凹部が形成される構成にしてもよい。当該凹部を埋め込むように、酸化物半導体230、絶縁体250、及び導電体260の少なくとも一部が形成される構成にすることで、酸化物半導体230の導電体120近傍まで、導電体260のゲート電界を印加しやすくすることができる。

[0516]

導電体240としては、後述する[導電体]の項目に記載の導電体を、単層または積層で用いることができる。例えば、導電体240として、タングステンなどの、導電性が高い導電性材料を用いることができる。

[0517]

導電体240も導電体260と同様に、酸化されにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料などを用いることが好ましい。例えば、窒化チタンまたは窒化タンタルなどを用いることができる。このような構成にすることで、酸化物半導体230によって導電体240が過剰に酸化されるのを抑制できる。

[0518]

また、例えば、窒化チタンの上にタングステンを積層した構造にしてもよい。このようにタングステンを積層して設けることで、導電体240の導電性を向上させ、配線BLとして十分に機能させることができる。

[0519]

また、導電体240を第1の導電体と第2の導電体とを積層する構成とする場合、例えば、第1の導電体を導電性が高い導電性材料を用いて形成し、第2の導電体を酸素を含む導電性材料を用いて形成してもよい。絶縁体250と接する導電体240の第2の導電体として酸素を含む導電性材料を用いることで、絶縁体250中の酸素が導電体240の第1の導電体に拡散するのを抑制できる。例えば、導電体240の第1の導電体としてタングステンを用い、導電体240の第2の導電体としてシリコンを添加したインジウムスズ酸化物を用いるとよい。

[0520]

酸化物半導体230と導電体120とが接することで、金属化合物、または酸素欠損が形成され、酸化物半導体230の領域230naが低抵抗化する。導電体120と接する酸化物半導体230が低抵抗化することで、酸化物半導体230と導電体120との接触抵抗を低減できる。同様に、酸化物半導体230と導電体240とが接することで、酸化物半導体230の領域230nbが低抵抗化する。したがって、酸化物半導体230と導電体240との接触抵抗を低減できる。

[0521]

絶縁体140及び絶縁体280は層間膜として機能するため、比誘電率が低いことが好ましい。比誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減できる。絶縁体140及び絶縁体280としては、後述する[絶縁体]の項目に記載の、比誘電率が低い材料を含む絶縁体を、単層または積層で用いることができる。酸化シリコン、及び酸化窒化シリコンは、熱的に安定であるため好ましい。

[0522]

また、絶縁体140及び絶縁体280中の水、水素などの不純物濃度は低減されていることが好ましい。これにより、酸化物半導体230のチャンネル形成領域への、水、水素などの不純物の混入を抑制できる。

[0523]

また、チャンネル形成領域近傍に配置される絶縁体280は、加熱により脱離する酸素（以下、過剰酸素と呼ぶ場合がある）を含む絶縁体を用いることが好ましい。過剰酸素を含む絶縁体280に熱処理を行うことで、絶縁体280から酸化物半導体230のチャンネル形成領域に酸素を供給し、酸素欠損及び V_{O} 、 H の低減を図ることができる。これにより、トランジスタ200の電気特性を安定にし、信頼性の向上を図ることができる。

[0524]

また、絶縁体280として、後述する[絶縁体]の項目に記載の、水素を捕獲するまたは水素を固着する機能を有する絶縁体を用いてもよい。このような構成にすることで、酸化物半導体230の水素を捕獲または固着し、酸化物半導体230の水素濃度を低減できる。絶縁体280としては、酸化マグネシウム、または酸化アルミニウムなどを用いることができる。

[0525]

絶縁体280は、単層構造であっても、2層以上の積層構造であってもよい。例えば、図19A及び図19Bに示すように、絶縁体280は、絶縁体280aと、絶縁体280a上の絶縁体280bと、絶縁体280b上の絶縁体280cとの積層構造を有してもよい。

[0526]

絶縁体280bには、酸素を含む絶縁体を用いることが好ましい。絶縁体280bは、絶縁体280a及び絶縁体280cの少なくとも一つと比べて、酸素の含有量が多い領域を有することが好ましい。特に、絶縁体280bは、絶縁体280a及び絶縁体280cのそれぞれと比べて、酸素の含有量が多い領域を有することが好ましい。絶縁体280bの酸素の含有量を多くすることにより、酸化物半導体230における絶縁体280bと接する領域とその近傍に、i型の領域を形成することが容易となる。

[0527]

絶縁体280bには、加熱により酸素を放出する膜を用いるとより好ましい。トランジスタ200の作製工程中にかかる熱により、絶縁体280bが酸素を放出することで、酸化物半導体230に酸素を供給することができる。絶縁体280bから酸化物半導体230、特に酸化物半導体230のチャンネル形成領域に酸素を供給することで、酸化物半導体230中の酸素欠損及び V_{O} 、 H の低減を図ることができ、良好な電気特性を示し、かつ信頼性の高いトランジスタとすることができる。

[0528]

例えば、酸素を含む雰囲気下における加熱処理、または、酸素を含む雰囲気下におけるプラズマ処理を行うことで、絶縁体280bに酸素を供給することができる。また、絶縁体280bの上面に、スパッタリング法により、酸素雰囲気下で酸化物膜を成膜することで酸素を供給してもよい。その後、当該酸化物膜を除去してもよい。

[0529]

絶縁体280bは、スパッタリング法、またはプラズマ化学気相堆積（PECVD：Plasma Enhanced Chemical Vapor Deposition）法などの成膜方法で

形成することが好ましい。特に、スパッタリング法を用いると、成膜ガスに水素ガスをいなくしてよいので、水素の含有量の極めて少ない膜とすることができる。そのため、酸化物半導体230に水素が供給されることを抑制し、トランジスタ200の電気特性の安定化を図ることができる。

[0530]

トランジスタ200のチャンネル長が小さい場合、チャンネル形成領域の酸素欠損及びV_oHの電気特性及び信頼性への影響が特に大きくなる。絶縁体280bから酸化物半導体230に酸素を供給することにより、少なくとも酸化物半導体230の絶縁体280bと接する領域で酸素欠損及びV_oHが増加することを抑制できる。したがって、良好な電気特性及び高い信頼性を有するチャンネル長の小さいトランジスタを実現できる。

[0531]

絶縁体280a及び絶縁体280cにはそれぞれ、後述する[絶縁体]の項目に記載の、酸素に対するバリア性を有する絶縁体を用いることが好ましい。これにより、絶縁体280bに含まれる酸素が、加熱により絶縁体280aを介して基板側に拡散すること、及び、絶縁体280cを介して絶縁体250側に拡散することを抑制できる。言い換えると、酸素が拡散しにくい絶縁体280a及び絶縁体280cで絶縁体280bの上下を挟持することで、絶縁体280bに含まれる酸素を閉じ込めることができる。これにより、酸化物半導体230に効果的に酸素を供給することができる。

[0532]

また、絶縁体280bに含まれる酸素によって、導電体120、及び導電体240が酸化され、抵抗が高くなってしまう場合がある。絶縁体280bと導電体120との間に絶縁体280aを設けることにより、導電体120が酸化され、抵抗が高くなることを抑制できる。また、絶縁体280bと導電体240との間に絶縁体280cを設けることにより、導電体240が酸化され、抵抗が高くなることを抑制できる。それとともに、絶縁体280bから酸化物半導体230へ供給される酸素の量が増え、酸化物半導体230中の酸素欠損を低減できる。

[0533]

また、酸化物半導体230の、絶縁体280aに接する領域、及び絶縁体280cに接する領域は、絶縁体280bに接する領域と比較して、供給される酸素の量が少ない。よって、酸化物半導体230の、絶縁体280aに接する領域、及び絶縁体280cに接する領域は、低抵抗化する場合がある。つまり、絶縁体280aの膜厚を調整することで、ソース領域及びドレイン領域の一方として機能する領域230naの範囲を制御できる。同様に、絶縁体280cの膜厚を調整することで、ソース領域及びドレイン領域の他方として機能する領域230nbの範囲を制御できる。

[0534]

上述のように、ソース領域及びドレイン領域は、絶縁体280a及び絶縁体280cの膜厚で制御可能であるため、絶縁体280a及び絶縁体280cの膜厚は、トランジスタ200に求める特性に合わせて、適宜設定すればよい。

[0535]

例えば、図19A及び図19Bに示すように、絶縁体280cの膜厚と、絶縁体280aの膜厚とは、概略同じであってもよい。または、例えば、図19C及び図19Dに示すように、絶縁体280cの膜厚が、絶縁体280aの膜厚よりも小さくてもよい。図19C及び図19Dに示す構成にすることで、領域230naを、開口部290における導電体260の底部に近づけることができ

る。このとき、領域230iの範囲が狭まる構成ともいえる。これにより、トランジスタ200のオン電流を向上させることができる。

[0536]

また、図19C及び図19Dでは、平坦化された絶縁体280b上に、絶縁体280cを設ける構成を示しているが、本発明はこれに限られるものではない。例えば、絶縁体280bの平坦化処理を行うことなく、絶縁体280cを成膜してもよい。平坦化処理を行わないことにより、製造コストを低くできるとともに、生産歩留まりを高めることができる。また、絶縁体280a、絶縁体280b、及び絶縁体280cを、大気環境に曝さずに連続して成膜することができる。大気開放せずに成膜することで、絶縁体280a乃至絶縁体280c上に大気環境からの不純物または水分が付着することを防ぐことができ、絶縁体280aと絶縁体280bとの界面近傍、及び絶縁体280bと絶縁体280cとの界面近傍を清浄に保つことができる。

[0537]

絶縁体280a及び絶縁体280cにはそれぞれ、後述する[絶縁体]の項目に記載の、水素に対するバリア性を有する絶縁体を用いることが好ましい。これにより、トランジスタの外から絶縁体280aまたは絶縁体280cを介して、酸化物半導体230に水素が拡散することを抑制できる。窒化シリコン膜、及び窒化酸化シリコン膜は、それぞれ、自身からの不純物（例えば、水及び水素）の放出が少なく、酸素及び水素が透過しにくい特徴を有するため、絶縁体280a及び絶縁体280cに好適に用いることができる。なお、絶縁体280a及び絶縁体280cは、互いに同じ材料を用いてもよく、異なる材料を用いてもよい。

[0538]

また、絶縁体280aとして、後述する[絶縁体]の項目に記載の、水素を捕獲するまたは水素を固着する機能を有する絶縁体を用いることが好ましい。このような構成にすることで、絶縁体280aの下方から酸化物半導体230に水素が拡散することを抑制し、さらに酸化物半導体230の水素を捕獲または固着し、酸化物半導体230の水素濃度を低減できる。また、絶縁体280aの上方から絶縁体130に水素が拡散することを抑制し、さらに絶縁体130の水素を捕獲または固着し、絶縁体130の水素濃度を低減できる。絶縁体280aとしては、酸化マグネシウム、酸化アルミニウム、または酸化ハフニウムなどを用いることができる。また、例えば、絶縁体280aとして、酸化アルミニウムと、当該酸化アルミニウム上の窒化シリコンの積層膜を用いてもよい。

[0539]

絶縁体280aの膜厚は、絶縁体280bの膜厚より小さいことが好ましい。また、絶縁体280cの膜厚は、絶縁体280bの膜厚より小さいことが好ましい。絶縁体280a及び絶縁体280cの膜厚はそれぞれ、1nm以上15nm以下が好ましく、2nm以上10nm以下がより好ましく、3nm以上7nm以下がより好ましく、さらには3nm以上5nm以下が好ましい。絶縁体280bの膜厚は、3nm以上30nm以下が好ましく、5nm以上20nm以下がより好ましく、7nm以上15nm以下がより好ましい。絶縁体280a乃至絶縁体280cの膜厚を前述の範囲とすることで、酸化物半導体230中、特にチャンネル形成領域の酸素欠損を低減できる。

[0540]

例えば、絶縁体280a及び絶縁体280cに窒化シリコンを用い、絶縁体280bに酸化シリコンを用いることが好ましい。このとき、絶縁体280a及び絶縁体280cのそれぞれは、少なくともシリコンと、窒素と、を有する。また、絶縁体280bは、少なくともシリコンと、酸素と、

を有する。

[0541]

なお、図20A及び図20Bでは絶縁体280が3層の積層構造である構成を示しているが、本発明の一態様はこれに限られない。絶縁体280は、2層、または4層以上の積層構造であってもよい。

[0542]

絶縁体283には、後述する〔絶縁体〕の項目に記載の、水素に対するバリア性を有する絶縁体を用いることが好ましい。これにより、トランジスタの外から絶縁体250を介して、酸化物半導体230に水素が拡散することを抑制できる。窒化シリコン膜、及び窒化酸化シリコン膜は、それぞれ、自身からの不純物（例えば、水及び水素）の放出が少なく、酸素及び水素が透過しにくい特徴を有するため、絶縁体283に好適に用いることができる。

[0543]

また、絶縁体283として、後述する〔絶縁体〕の項目に記載の、水素を捕獲するまたは水素を固着する機能を有する絶縁体を用いることが好ましい。このような構成にすることで、絶縁体283の上方から酸化物半導体230に水素が拡散することを抑制し、さらに酸化物半導体230の水素を捕獲または固着し、酸化物半導体230の水素濃度を低減できる。絶縁体283としては、酸化マグネシウム、酸化アルミニウム、または酸化ハフニウムなどを用いることができる。また、例えば、絶縁体283として、酸化アルミニウムと、当該酸化アルミニウム上の窒化シリコンの積層膜を用いてもよい。

[0544]

図15B及び図15Cには、導電体120の上面と酸化物半導体230の下面とが接する領域を有する構成を示しているが、本発明はこれに限られるものではない。例えば、導電体120と酸化物半導体230との間に導電体を設けてもよい。

[0545]

例えば、図20A及び図20Bに示すように、導電体120と酸化物半導体230との間に導電体125を設ける構成にしてもよい。導電体125として、後述する〔導電体〕の項目に記載の酸素を含む導電性材料を用いることが好ましい。導電体125として酸素を含む導電性材料を用いることで、導電体125が酸素を吸収しても導電性を維持することができる。また、酸化物半導体230中の酸素が導電体120に拡散するのを抑制できる。導電体125として、例えば、インジウムスズ酸化物、シリコンを添加したインジウムスズ酸化物、インジウム亜鉛酸化物などを単層または積層で用いることができる。

[0546]

図15B及び図15Cでは、導電体240が、絶縁体280上に設けられる構成を示している。また、絶縁体250の導電体240と重ならない領域が、絶縁体280の上面と接する領域を有する構成を示している。なお、本発明はこれに限られるものではない。

[0547]

例えば、導電体240は、絶縁体に埋め込まれるように設ける構成にしてもよい。このとき、導電体240の上面の高さは、絶縁体の上面の高さと一致することが好ましい。このような構成にすることで、導電体260から導電体240（特に導電体240の側端部）までの物理距離を大きくでき、導電体260と導電体240のショートを防ぐことができる。

[0548]

ここで、図15A乃至図15Cに示すメモリセル150の作製方法の一例を説明する。まず、導電体110上に絶縁体180を形成し、絶縁体180を加工することで、導電体110に達する開口部190を形成する。次に、開口部190にて絶縁体180の側面と接する導電体115を形成し、導電体115上に絶縁体130を形成し、絶縁体130上に導電体120を形成し、導電体120上に絶縁体280を形成し、絶縁体280上に導電体240を形成する。そして、導電体240と、絶縁体280と、をそれぞれ加工することで、導電体120に達する開口部290を形成する。次に、開口部290にて、導電体120の上面、絶縁体280の側面、及び、導電体240の上面及び側面と接する酸化物半導体230を形成し、酸化物半導体230上に、絶縁体250を形成し、絶縁体250上に導電体260を形成する。以上により、メモリセル150を形成することができる。ここで、酸化物半導体230の形成には、実施の形態1で説明した、金属酸化物の成膜方法を用いることが好ましい。

[0549]

<半導体装置及び記憶装置の構成材料>

以下では、半導体装置及び記憶装置に用いることができる構成材料について説明する。なお、酸化物半導体230に用いることができる金属酸化物については、実施の形態1を参照できる。

[0550]

[基板]

トランジスタ200及び容量素子100を形成する基板としては、例えば、絶縁体基板、半導体基板、または導電体基板を用いることができる。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、及び、樹脂基板が挙げられる。また、半導体基板としては、例えば、シリコン、またはゲルマニウムを材料とした半導体基板、及び、炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、または酸化ガリウムからなる化合物半導体基板が挙げられる。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、SOI (Silicon On Insulator) 基板などが挙げられる。導電体基板としては、例えば、黒鉛基板、金属基板、合金基板、導電性樹脂基板が挙げられる。また、基板としては、例えば、金属の窒化物を有する基板、金属の酸化物を有する基板、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、及び、導電体基板に半導体または絶縁体が設けられた基板が挙げられる。または、これらの基板に1つまたは複数の素子が設けられたものを用いてもよい。基板に設けられる素子としては、例えば、容量素子、抵抗素子、スイッチ素子、発光素子、及び、記憶素子が挙げられる。

[0551]

[絶縁体]

絶縁体としては、例えば、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、及び、金属窒化酸化物が挙げられる。

[0552]

例えば、トランジスタの微細化、及び高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、high-k材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。また、ゲート絶

縁体として機能する絶縁体の等価酸化膜厚（EOT）の薄膜化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減できる。したがって、絶縁体の機能に応じて、材料を選択するとよい。なお、比誘電率が低い材料は、絶縁耐力が大きい材料でもある。

[0553]

比誘電率が高い（high-k）材料としては、例えば、酸化アルミニウム、酸化ガリウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、ハフニウムジルコニウム酸化物、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、並びに、シリコン及びハフニウムを有する窒化物などが挙げられる。

[0554]

比誘電率が低い材料としては、例えば、酸化シリコン、酸化窒化シリコン、及び窒化酸化シリコンなどの無機絶縁材料、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、及びアクリルなどの樹脂が挙げられる。また、比誘電率が低い他の無機絶縁材料として、例えば、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素及び窒素を添加した酸化シリコン、及び、空孔を有する酸化シリコンが挙げられる。なお、これらの酸化シリコンは、窒素を含んでもよい。

[0555]

また、金属酸化物を用いたトランジスタは、水素などの不純物及び酸素の透過を抑制する機能を有する絶縁体で囲むことによって、トランジスタの電気特性を安定にすることができる。水素などの不純物及び酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、及び、タンタルのうち一つまたは複数を含む絶縁体を、単層で、または積層で用いることができる。具体的には、水素などの不純物及び酸素の透過を抑制する機能を有する絶縁体として、例えば、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどの金属酸化物、及び、窒化アルミニウム、窒化酸化シリコン、窒化シリコンなどの金属窒化物が挙げられる。

[0556]

また、ゲート絶縁体などの、半導体と接する絶縁体、または半導体層の近傍に設ける絶縁体は、過剰酸素を含む領域を有する絶縁体であることが好ましい。例えば、過剰酸素を含む領域を有する絶縁体を半導体層と接する、または半導体層の近傍に設ける構造とすることで、半導体層が有する酸素欠損を低減することができる。過剰酸素を含む領域を形成しやすい絶縁体として、酸化シリコン、酸化窒化シリコン、または空孔を有する酸化シリコンなどが挙げられる。

[0557]

また、酸素に対するバリア性を有する絶縁体としては、アルミニウム及びハフニウムの一方または両方を含む酸化物、ハフニウム及びシリコンを含む酸化物（ハフニウムシリケート）、酸化マグネシウム、または酸化ガリウム、ガリウム亜鉛酸化物、窒化シリコン、並びに、窒化酸化シリコンなどが挙げられる。また、アルミニウム及びハフニウムの一方または双方を含む酸化物として、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネ

ート)、などが挙げられる。

[0558]

また、水素に対するバリア性を有する絶縁体としては、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコンまたは窒化酸化シリコン等が挙げられる。

[0559]

酸素に対するバリア性を有する絶縁体、及び水素に対するバリア性を有する絶縁体は、酸素及び水素の一方または両方に対するバリア性を有する絶縁体といえる。

[0560]

また、水素を捕獲するまたは固着する機能を有する絶縁体として、マグネシウムを含む酸化物、またはアルミニウム及びハフニウムの一方または両方を含む酸化物が挙げられる。また、これらの酸化物は、アモルファス構造を有することがより好ましい。アモルファス構造を有する酸化物では、酸素原子がダングリングボンドを有しており、当該ダングリングボンドで水素を捕獲するまたは固着する性質を有する場合がある。なお、これらの金属酸化物は、アモルファス構造であることが好ましいが、一部に結晶領域が形成されていてもよい。

[0561]

なお、本明細書等において、バリア性とは、対応する物質が拡散し難い性質（対応する物質が透過し難い性質、対応する物質の透過性が低い性質、または、対応する物質の拡散を抑制する機能ともいう）とする。なお、対応する物質を捕獲するまたは固着する（ゲッターリングともいう）機能を、バリア性と言い換えることができる。なお、対応する物質として記載される場合の水素は、例えば、水素原子、水素分子、並びに、水分子及びOH⁻などの水素と結合した物質などの少なくとも一を指す。また、対応する物質として記載される場合の不純物は、特段の明示が無い限り、チャンネル形成領域または半導体層における不純物を指し、例えば、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（N₂O、NO、NO₂など）、銅原子などの少なくとも一を指す。また、対応する物質として記載される場合の酸素は、例えば、酸素原子、酸素分子などの少なくとも一を指す。具体的には、酸素に対するバリア性とは、酸素原子、酸素分子等の少なくとも一が拡散し難い性質を指す。

[0562]

[導電体]

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素、または前述した金属元素を成分とする合金か、前述した金属元素を組み合わせた合金等を用いることが好ましい。前述した金属元素を成分とする合金として、当該合金の窒化物、または当該合金の酸化物を用いてもよい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0563]

また、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、ルテニウムを含む窒化物、タンタル及びアルミニウムを含む窒化物、またはチタン及びアルミニウムを含む窒化物などの窒素を含む導電性材料、酸化ルテニウム、ストロンチウム及びルテニウムを含む酸化物、またはランタン及びニッケルを含む酸化物などの酸素を含む導電性材料、チタン、タンタル、またはルテニウムなどの金属元素を含む材料は、酸化されにくい導電性材料、酸素の拡散を抑制する機能を有する導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。なお、酸素を含む導電性材料として、酸化タングステンを含むインジウム酸化物、酸化チタンを含むインジウム酸化物、インジウムスズ酸化物、酸化チタンを含むインジウムスズ酸化物、シリコンを添加したインジウムスズ酸化物、インジウム亜鉛酸化物、及び、酸化タングステンを含むインジウム亜鉛酸化物などが挙げられる。本明細書等では、酸素を含む導電性材料を用いて成膜される導電膜を、酸化物導電膜と呼ぶことがある。

[0564]

また、タングステン、銅、またはアルミニウムを主成分とする導電性材料は、導電性が高いため、好ましい。

[0565]

また、上記の材料で形成される導電体を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

[0566]

なお、トランジスタのチャネル形成領域に金属酸化物を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から脱離した酸素がチャネル形成領域に供給されやすくなる。

[0567]

特に、ゲート電極として機能する導電体として、チャネルが形成される金属酸化物に含まれる金属元素及び酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素及び窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウムスズ酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウムスズ酸化物、インジウム亜鉛酸化物、及び、シリコンを添加したインジウムスズ酸化物のうち一つまたは複数を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

[0568]

[その他の半導体材料]

酸化物半導体230は、トランジスタのチャネル形成領域を含む半導体層と言い換えることができ

る。半導体層に用いることができる半導体材料は、上述の金属酸化物に限られない。半導体として、バンドギャップを有する半導体材料（ゼロギャップ半導体ではない半導体材料）を用いてもよい。例えば、単体元素の半導体、化合物半導体、または層状物質（原子層物質、2次元材料などともいう）などを半導体材料に用いることが好ましい。

[0569]

ここで、本明細書等において、層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合またはイオン結合によって形成される層が、ファンデルワールス結合のような、共有結合またはイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2次元電気伝導性が高い。半導体として機能し、かつ、2次元電気伝導性の高い材料をチャネル形成領域に用いることで、オン電流の大きいトランジスタを提供できる。

[0570]

半導体材料に用いることができる単体元素の半導体として、シリコン、及びゲルマニウムなどが挙げられる。半導体層に用いることができるシリコンとして、単結晶シリコン、多結晶シリコン、微結晶シリコン、及び非晶質シリコンが挙げられる。多結晶シリコンとして、例えば、低温ポリシリコン（LTPS: Low Temperature Poly Silicon）が挙げられる。

[0571]

半導体材料に用いることができる化合物半導体として、炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、窒化ホウ素、及びヒ化ホウ素などが挙げられる。半導体層に用いることができる窒化ホウ素は、アモルファス構造を含むことが好ましい。半導体層に用いることができるヒ化ホウ素は、立方晶構造の結晶を含むことが好ましい。

[0572]

層状物質として、グラフェン、シリセン、炭窒化ホウ素、カルコゲン化合物などがある。層状物質としての炭窒化ホウ素は、炭素原子、窒素原子、及びホウ素原子が平面上に六角形格子構造で配列している。カルコゲン化合物は、カルコゲンを含む化合物である。また、カルコゲンは、第16族に属する元素の総称であり、酸素、硫黄、セレン、テルル、ポロニウム、リバモリウムが含まれる。また、カルコゲン化合物として、遷移金属カルコゲナイド、13族カルコゲナイドなどが挙げられる。

[0573]

半導体層として、例えば、半導体として機能する遷移金属カルコゲナイドを用いることが好ましい。半導体層として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的には MoS_2 ）、セレン化モリブデン（代表的には MoSe_2 ）、モリブデンテルル（代表的には MoTe_2 ）、硫化タングステン（代表的には WS_2 ）、セレン化タングステン（代表的には WSe_2 ）、タングステンテルル（代表的には WTe_2 ）、硫化ハフニウム（代表的には HfS_2 ）、セレン化ハフニウム（代表的には HfSe_2 ）、硫化ジルコニウム（代表的には ZrS_2 ）、セレン化ジルコニウム（代表的には ZrSe_2 ）などが挙げられる。上述の遷移金属カルコゲナイドを、半導体層に適用することで、オン電流が大きい記憶装置を提供できる。

[0574]

<半導体装置の構成例2>

次に、本発明の一態様の半導体装置の一例について、図21及び図22を用いて説明する。図21及び図22に示す半導体装置は、前述のトランジスタ200、200A乃至200Dとは異なる構

成の、トランジスタ 200E を有する。

[0575]

図 21A に、本発明の一態様の半導体装置の平面図を示す。図 21B に、図 21A における一点鎖線 A1-A2 間の断面図を示す。図 21B は、トランジスタ 200E のチャンネル長方向の断面図でもある。図 21C に、図 21A における一点鎖線 A3-A4 間の断面図を示す。図 21C は、トランジスタ 200E のチャンネル幅方向の断面図でもある。図 21D に、図 21A における一点鎖線 A5-A6 間の断面図を示す。図 21D は、トランジスタ 200E のチャンネル幅方向の断面図でもある。なお、図 21A の平面図では、図の明瞭化のために一部の要素を省いている。また、図 22A 及び図 22B に、トランジスタ 200E のチャンネル長方向の断面拡大図を示す。

[0576]

トランジスタ 200E は、絶縁体 216 に埋め込まれるように設けられた導電体 205（導電体 205a 及び導電体 205b）と、絶縁体 216 及び導電体 205 上の絶縁体 221 と、絶縁体 221 上の絶縁体 222 と、絶縁体 222 上の絶縁体 224 と、絶縁体 224 上の酸化物 220（酸化物 220a 及び酸化物 220b）と、酸化物 220 上の、導電体 242a（導電体 242a1 及び導電体 242a2）及び導電体 242b（導電体 242b1 及び導電体 242b2）と、導電体 242a 上の絶縁体 271a と、導電体 242b 上の絶縁体 271b と、酸化物 220 上の絶縁体 250 と、絶縁体 250 上の導電体 260（導電体 260a 及び導電体 260b）と、を有する。

[0577]

絶縁体 271a、271b 上には、絶縁体 275 が設けられ、絶縁体 275 上には絶縁体 285 が設けられている。絶縁体 255、絶縁体 250、及び導電体 260 は、絶縁体 285 及び絶縁体 275 に設けられた開口の内部に配置されている。また、絶縁体 285 上及び導電体 260 上に絶縁体 282 が設けられている。また、絶縁体 282 上に絶縁体 283 が設けられている。また、絶縁体 216 及び導電体 205 の下に絶縁体 215 が設けられている。また、導電体 242a2、導電体 242b2、絶縁体 271a、絶縁体 271b、絶縁体 275、及び絶縁体 285 と、絶縁体 250 の間に、絶縁体 255 が設けられている。

[0578]

なお、絶縁体 215、絶縁体 216、導電体 205、絶縁体 221、絶縁体 222、絶縁体 224、酸化物 220、導電体 242a、導電体 242b、絶縁体 271a、絶縁体 271b、絶縁体 275、絶縁体 285、絶縁体 255、絶縁体 250、導電体 260、絶縁体 282、及び、絶縁体 283 は、それぞれ、単層構造であってもよく、積層構造であってもよい。

[0579]

酸化物 220 は、トランジスタ 200E のチャンネル形成領域として機能する領域を有する。また、導電体 260 は、トランジスタ 200E の第 1 のゲート電極（上側のゲート電極）として機能する領域を有する。絶縁体 250 は、トランジスタ 200E の第 1 のゲート絶縁体として機能する領域を有する。また、導電体 205 は、トランジスタ 200E の第 2 のゲート電極（下側のゲート電極）として機能する領域を有する。絶縁体 224、絶縁体 222、及び絶縁体 221 は、それぞれ、トランジスタ 200E の第 2 のゲート絶縁体として機能する領域を有する。

[0580]

導電体 242a は、トランジスタ 200E のソース電極またはドレイン電極の一方として機能する領域を有する。導電体 242b は、トランジスタ 200E のソース電極またはドレイン電極の他方

として機能する領域を有する。

[0581]

酸化物220は、絶縁体224上の酸化物220aと、酸化物220a上の酸化物220bと、を有することが好ましい。酸化物220b下に酸化物220aを有することで、酸化物220aよりも下方に形成された構造物から、酸化物220bへの不純物の拡散を抑制できる。

[0582]

なお、酸化物220は、酸化物220a及び酸化物220bの2層構造に限定されない。酸化物220は、例えば、酸化物220bの単層構造であってもよく、3層以上の積層構造としてもよい。

[0583]

酸化物220bには、トランジスタ200Eにおける、チャネル形成領域と、チャネル形成領域を挟むように設けられるソース領域及びドレイン領域と、が形成される。チャネル形成領域の少なくとも一部は、導電体260と重なる。ソース領域は導電体242aと重なり、ドレイン領域は導電体242bと重なる。なお、ソース領域とドレイン領域は互いに入れ替えることができる。

[0584]

チャネル形成領域は、ソース領域及びドレイン領域よりも、酸素欠損が少ない、または不純物濃度が低いため、キャリア濃度が低い高抵抗領域である。よって、チャネル形成領域は、i型（真性）または実質的にi型であるといえることができる。

[0585]

また、ソース領域及びドレイン領域は、酸素欠損が多い、または水素、窒素、金属元素などの不純物濃度が高いため、キャリア濃度が高い低抵抗領域である。すなわち、ソース領域及びドレイン領域は、チャネル形成領域と比較してキャリア濃度が高い、n型の領域（低抵抗領域）である。

[0586]

なお、チャネル形成領域、ソース領域、及び、ドレイン領域は、それぞれ、酸化物220bだけでなく、酸化物220aまで形成されていてもよい。

[0587]

また、酸化物220において、各領域の境界を明確に検出することが困難な場合がある。各領域内で検出される金属元素、並びに、水素、及び窒素などの不純物元素の濃度は、領域ごとの段階的な変化に限らず、各領域内でも連続的に変化していてもよい。つまり、チャネル形成領域に近い領域であるほど、金属元素、並びに、水素、及び窒素などの不純物元素の濃度が減少していてもよい。

[0588]

酸化物220（酸化物220a及び酸化物220b）には、半導体として機能する金属酸化物（以下、酸化物半導体ともいう）を用いることが好ましい。

[0589]

酸化物220の少なくとも1層を、本発明の一態様の金属酸化物の成膜方法を用いて形成することが好ましい。特に、チャネル形成領域を含む酸化物220bを、本発明の一態様の金属酸化物の成膜方法を用いて形成することが好ましい。

[0590]

例えば、酸化物220aと酸化物220bの双方をALD法で形成することが好ましい。または、酸化物220aをスパッタリング法で形成し、酸化物220bをALD法で形成することが好ましい。

[0591]

また、酸化物220のチャネル形成領域におけるアルミニウムの濃度、及び、炭素の濃度の好ましい範囲は、酸化物半導体230と同様である。

[0592]

酸化物220は、化学組成が異なる複数の酸化物層の積層構造を有することが好ましい。例えば、酸化物220aに用いる金属酸化物において、主成分である金属元素に対する元素Mの原子数比が、酸化物220bに用いる金属酸化物における、主成分である金属元素に対する元素Mの原子数比より、大きいことが好ましい。また、酸化物220aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物220bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。当該構成にすることで、酸化物220aよりも下方に形成された構造物からの、酸化物220bに対する、不純物及び酸素の拡散を抑制できる。

[0593]

また、酸化物220bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物220aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。当該構成することで、トランジスタ200Eは大きいオン電流、及び高い周波数特性を得ることができる。

[0594]

また、酸化物220a及び酸化物220bが、酸素以外に共通の元素を主成分として有することで、酸化物220a及び酸化物220bの界面における欠陥準位密度を低減できる。酸化物220a及び酸化物220bの界面における欠陥準位密度を低減できる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ200Eは大きいオン電流、及び高い周波数特性を得ることができる。

[0595]

具体的には、酸化物220aとして、 $In:M:Zn=1:3:2$ [原子数比] もしくはその近傍の組成、 $In:M:Zn=1:3:4$ [原子数比] もしくはその近傍の組成、または $In:M:Zn=1:1:0.5$ [原子数比] もしくはその近傍の組成の金属酸化物を用いることができる。また、酸化物220bとして、 $In:M:Zn=1:1:1$ [原子数比] もしくはその近傍の組成、 $In:M:Zn=1:1:1.2$ [原子数比] もしくはその近傍の組成、 $In:M:Zn=1:1:2$ [原子数比] もしくはその近傍の組成、または $In:M:Zn=4:2:3$ [原子数比] もしくはその近傍の組成の金属酸化物を用いることができる。なお、近傍の組成とは、所望の原子数比の $\pm 30\%$ の範囲を含む。また、元素Mとして、ガリウムを用いることが好ましい。また、酸化物220として酸化物220bの単層を設ける場合、酸化物220bとして、酸化物220aに用いることができる金属酸化物を適用してもよい。また、酸化物220a、及び酸化物220bに用いることのできる金属酸化物の組成については、上記に限定されない。例えば、酸化物220aに用いることのできる金属酸化物の組成は、酸化物220bに適用してもよい。同様に、酸化物220bに用いることのできる金属酸化物の組成は、酸化物220aに適用してもよい。

[0596]

なお、金属酸化物をスパッタリング法により成膜する場合、上記の原子数比は、成膜された金属酸化物の原子数比に限られず、金属酸化物の成膜に用いるスパッタリングターゲットの原子数比であってもよい。

[0597]

酸化物220bは、結晶性を有することが好ましい。特に、酸化物220bとして、CAAC-O-Sを用いることが好ましい。

[0598]

酸化物220bとしてCAAC-O-Sなどの結晶性を有する酸化物を用いることで、ソース電極またはドレイン電極による、酸化物220bからの酸素の引き抜きを抑制できる。これにより、熱処理を行っても、酸化物220bから酸素が引き抜かれることを低減できるため、トランジスタ200Eは、製造工程における高い温度（所謂サーマルバジェット）に対して安定である。

[0599]

図21A乃至図21Dに示す半導体装置を構成する各絶縁体及び各導電体を用いることができる材料としては、前述した〔絶縁体〕及び〔導電体〕の項目に挙げた各種材料が挙げられる。以下では、代表例について説明する。

[0600]

導電体242aは、導電体242a1と、導電体242a1上の導電体242a2の積層構造であり、導電体242bは、導電体242b1と、導電体242b1上の導電体242b2の積層構造である。酸化物220bに接する導電体242a1及び導電体242b1は、金属窒化物などの酸化されにくい導電体であることが好ましい。これにより、酸化物220bに含まれる酸素によって、導電体242a及び導電体242bが過剰に酸化されるのを防ぐことができる。また、導電体242a2及び導電体242b2は、導電体242a1及び導電体242b1より導電性が高い、金属層などの導電体であることが好ましい。これにより、導電体242a及び導電体242bを、導電性が高い配線または電極として機能させることができる。

[0601]

例えば、導電体242a1及び導電体242b1として、窒化タンタルまたは窒化チタンを用い、導電体242a2及び導電体242b2として、タングステンをを用いることができる。

[0602]

図22Bに示すように、トランジスタ200Eのチャンネル長方向の断面視において、導電体242a1と導電体242b1の間の距離L2は、導電体242a2と導電体242b2の間の距離L1より小さい。具体的には、L1とL2の差は、絶縁体255の膜厚の2倍と一致または概略一致する。ここで、絶縁体255の膜厚とは、絶縁体255の少なくとも一部における、A1-A2方向の膜厚を指す。

[0603]

導電体242a1と導電体242b1の間の距離L2は、トランジスタ200Eのチャンネル長に反映されるため、微細であることが好ましい。例えば、距離L2が、60nm以下、50nm以下、40nm以下、30nm以下、20nm以下、または10nm以下であって、1nm以上、または5nm以上であることが好ましい。例えば、距離L2は、2nm以上20nm以下程度にすることがより好ましい。このような構成にすることで、ソースとドレインの間の距離をより短くし、それに応じてチャンネル長を短くすることが可能になる。よって、トランジスタ200Eの周波数特性を向上させることができる。このように、半導体装置の微細化を図ることで、動作速度の向上した半導体装置を提供することができる。

[0604]

絶縁体 285 及び絶縁体 275 に設けられた開口は、導電体 242a2 と導電体 242b2 の間の領域と重畳する。上面視において、絶縁体 285 の開口の側面は、導電体 242a2 の側面、及び導電体 242b2 の側面と一致または概略一致する。また、導電体 242a1 及び導電体 242b1 の一部は、上記開口内に突出するように形成されている。ここで、導電体 242a1 の上面の一部が、導電体 242a2 に接し、導電体 242b1 の上面の一部が、導電体 242b2 に接する。よって、絶縁体 255 は、上記開口内で、導電体 242a1 の上面の他の一部、導電体 242b1 の上面の他の一部、導電体 242a2 の側面、及び導電体 242b2 の側面に接する。また、絶縁体 250 は、酸化物 220 の上面、導電体 242a1 の側面、導電体 242b1 の側面、及び絶縁体 255 の側面に接する。

[0605]

絶縁体 255 は、窒化物などの酸化しにくい絶縁体であることが好ましい。絶縁体 255 は異方性エッチングを用いて、絶縁体 285 などに設けられた開口の側壁（ここで、開口の側壁とは、例えば、絶縁体 285 等の側面に対応する。）に接して、サイドウォール状に形成される。絶縁体 255 は、導電体 242a2 の側面、及び導電体 242b2 の側面に接して形成されており、導電体 242a2、及び導電体 242b2 を保護する機能を有する。酸化物 220b に酸素を供給するため、導電体 242a1 と導電体 242b1 を分断した後で、絶縁体 250 を成膜する前に、酸素を含む雰囲気中で熱処理を行うことが好ましい。このとき、絶縁体 255 が、導電体 242a2 の側面、及び導電体 242b2 の側面に接して形成されていることで、導電体 242a2 及び導電体 242b2 が過剰に酸化されるのを防ぐことができる。例えば、絶縁体 255 として、窒化シリコンを用いることができる。

[0606]

酸化物半導体の近傍に、加熱により脱離する酸素（以下、過剰酸素と呼ぶ場合がある）を含む絶縁体を設け、熱処理を行うことで、当該絶縁体から酸化物半導体に酸素を供給し、酸素欠損、及び V_{OH} を低減することができる。ただし、ソース領域またはドレイン領域に過剰な量の酸素が供給されると、トランジスタ 200E のオン電流の低下、または電界効果移動度の低下を引き起こすおそれがある。さらに、ソース領域またはドレイン領域に供給される酸素の量が基板面内でばらつくことで、トランジスタを有する半導体装置の特性にばらつきが出ることになる。また、当該絶縁体から酸化物半導体に供給する酸素が、ゲート電極、ソース電極、及びドレイン電極などの導電体に拡散すると、当該導電体が酸化してしまい、導電性が損なわれることなどにより、トランジスタの電気特性及び信頼性に悪影響を及ぼす場合がある。

[0607]

よって、酸化物半導体中において、チャンネル形成領域は、キャリア濃度が低減され、i 型または実質的に i 型であることが好ましいが、ソース領域及びドレイン領域は、キャリア濃度が高く、n 型であることが好ましい。つまり、酸化物半導体のチャンネル形成領域の酸素欠損、及び V_{OH} を低減することが好ましい。また、ソース領域及びドレイン領域には過剰な量の酸素が供給されないようにすること、及びソース領域及びドレイン領域の V_{OH} の量が過剰に低減しないようにすることが好ましい。また、導電体 260、導電体 242a、及び導電体 242b などの導電率が低下しにくい構成にすることが好ましい。例えば、導電体 260、導電体 242a、及び導電体 242b などの酸化を抑制する構成にすることが好ましい。なお、酸化物半導体中の水素は V_{OH} を形成しうるため、 V_{OH} の量を低減するには、水素濃度を低減する必要がある。

[0608]

トランジスタ200Eでは、チャネル形成領域の水素濃度を低減し、かつ、導電体242a、導電体242b、及び導電体260の酸化を抑制し、かつ、ソース領域及びドレイン領域中の水素濃度が低減することを抑制する構成とする。

[0609]

酸化物220bにおけるチャネル形成領域と接する絶縁体250は、水素を捕獲または水素を固着する機能を有することが好ましい。これにより、酸化物220bのチャネル形成領域中の水素濃度を低減できる。よって、チャネル形成領域中の V_{OH} を低減し、チャネル形成領域をi型または実質的にi型とすることができる。

[0610]

ここで、図22Aに示すように、絶縁体250は、酸化物220に接する絶縁体250aと、絶縁体250a上の絶縁体250bと、絶縁体250b上の絶縁体250cの積層構造とすることが好ましい。

[0611]

絶縁体250aが水素を捕獲または水素を固着する機能を有することが好ましい。また、絶縁体250aに、高誘電率(high-k)材料を用いることが好ましい。例えば、絶縁体250aとして、アルミニウム及びハフニウム的一方または双方を含む酸化物を用いることが好ましく、アモルファス構造を有し、アルミニウム及びハフニウム的一方または双方を含む酸化物を用いることがより好ましい。本実施の形態では、絶縁体250aとして、アモルファス構造を有する酸化アルミニウム膜を用いる。酸化アルミニウムは、ALD法を用いて、アモルファス化した膜を比較的容易に成膜することができる。

[0612]

絶縁体250bは、酸化シリコンまたは酸化窒化シリコンなどの、熱に対し安定な絶縁体を用いることが好ましい。

[0613]

導電体242a、導電体242b、及び導電体260の酸化を抑制するために、導電体242a、導電体242b、及び導電体260それぞれの近傍に酸素に対するバリア性を有する絶縁体を設けることが好ましい。当該絶縁体は、例えば、絶縁体250a、絶縁体250c、絶縁体255、及び絶縁体275である。

[0614]

絶縁体250a及び絶縁体255は、酸素に対するバリア性を有することが好ましい。絶縁体250a及び絶縁体255は、少なくとも絶縁体285よりも酸素を透過しにくいことが好ましい。絶縁体250aは、導電体242a1の側面、及び導電体242b1の側面と接する領域を有する。絶縁体255は、導電体242a1の上面、導電体242b1の上面、導電体242a2の側面、及び導電体242b2の側面と接する領域を有する。また、絶縁体250aは、絶縁体255の側面に接する。絶縁体250a及び絶縁体255が酸素に対するバリア性を有することで、導電体242a及び導電体242bの側面が酸化され、当該側面に酸化膜が形成されることを抑制できる。これにより、トランジスタ200Eのオン電流の低下、または電界効果移動度の低下を起こすことを抑制できる。

[0615]

また、絶縁体250aは、酸化物220bの上面及び側面、酸化物220aの側面、絶縁体224の側面、及び絶縁体222の上面に接して設けられる。絶縁体250aが酸素に対するバリア性を有することで、熱処理などを行った際に、酸化物220bのチャンネル形成領域から酸素が脱離することを抑制できる。よって、酸化物220a及び酸化物220bに酸素欠損が形成されることを低減できる。

[0616]

また、絶縁体250a及び絶縁体255を設けることにより、絶縁体285に過剰な量の酸素が含まれていても、当該酸素が酸化物220a及び酸化物220bに過剰に供給されることを抑制し、適量の酸素を酸化物220a及び酸化物220bに供給することができる。よって、ソース領域及びドレイン領域が過剰に酸化され、トランジスタ200Eのオン電流の低下、または電界効果移動度の低下を起こすことを抑制できる。

[0617]

また、絶縁体255は、水素に対するバリア性を有することが好ましい。これにより、導電体242a2、242b2に含まれる水素などの不純物が、酸化物220bに拡散することを防ぐことができる。

[0618]

絶縁体250cも、酸素に対するバリア性を有することが好ましい。絶縁体250cは酸化物220のチャンネル形成領域と導電体260との間、及び絶縁体285と導電体260との間に設けられている。当該構成にすることで、酸化物220のチャンネル形成領域に含まれる酸素が導電体260へ拡散し、酸化物220のチャンネル形成領域に酸素欠損が形成されることを抑制できる。また、酸化物220に含まれる酸素及び絶縁体285に含まれる酸素が導電体260へ拡散し、導電体260が酸化することを抑制できる。絶縁体250cは、少なくとも絶縁体285よりも酸素を透過しにくいことが好ましい。例えば、絶縁体250cとして、窒化シリコン膜を用いることが好ましい。

[0619]

また、絶縁体250cは、水素に対するバリア性を有することが好ましい。これにより、導電体260に含まれる水素などの不純物が、酸化物220bに拡散することを防ぐことができる。

[0620]

絶縁体275も、酸素に対するバリア性を有することが好ましい。絶縁体275は、絶縁体285と導電体242aとの間、及び、絶縁体285と導電体242bとの間に設けられている。当該構成にすることで、絶縁体285に含まれる酸素が導電体242a及び導電体242bに拡散することを抑制できる。したがって、絶縁体285に含まれる酸素によって、導電体242a及び導電体242bが酸化されて抵抗率が増大し、オン電流が低減することを抑制できる。絶縁体275は、少なくとも絶縁体285よりも酸素を透過しにくいことが好ましい。例えば、絶縁体275として、窒化シリコンを用いることが好ましい。

[0621]

また、絶縁体275は、水素に対するバリア性を有することが好ましい。酸化物220におけるソース領域及びドレイン領域それぞれの近傍に水素に対するバリア性を有する絶縁体を設けることで、ソース領域及びドレイン領域の水素が外部に拡散するのを低減でき、ソース領域及びドレイン領域の水素濃度が低減することを抑制できる。したがって、ソース領域及びドレイン領域をn型とすることができる。

[0622]

上記構成にすることで、チャンネル形成領域を i 型または実質的に i 型とし、ソース領域及びドレイン領域を n 型とすることができ、良好な電気特性を有する半導体装置を提供できる。また、上記構成にすることで、半導体装置を微細化または高集積化しても良好な電気特性を有することができる。また、トランジスタ 200E を微細化することで高周波特性を向上することができる。具体的には、遮断周波数を向上することができる。

[0623]

絶縁体 250 は、ゲート絶縁体として機能する。絶縁体 250 は、絶縁体 255 及び導電体 260 とともに、絶縁体 285 に形成された開口に設ける。トランジスタ 200E の微細化を図るにあたって、絶縁体 250 の膜厚は薄いことが好ましい。絶縁体 250 を構成する層の膜厚は、それぞれ、0.1 nm 以上 10 nm 以下が好ましく、0.1 nm 以上 5.0 nm 以下がより好ましく、0.5 nm 以上 5.0 nm 以下がより好ましく、1.0 nm 以上 5.0 nm 未満がより好ましく、1.0 nm 以上 3.0 nm 以下がさらに好ましい。なお、絶縁体 250 を構成する各層は、少なくとも一部において、上記のような膜厚の領域を有していればよい。

[0624]

絶縁体 250 の膜厚を薄くするためには、ALD 法を用いて成膜することが好ましい。また、絶縁体 285 等の開口内に、絶縁体 250 及び絶縁体 255 を設けるには、ALD 法を用いて成膜することが好ましい。ALD 法は、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱 ALD (Thermal ALD) 法、プラズマ励起されたリアクタントを用いる PEALD (Plasma Enhanced ALD) 法などがある。PEALD 法では、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。

[0625]

絶縁体 255 の膜厚は、0.5 nm 以上 20 nm 以下が好ましく、0.5 nm 以上 10 nm 以下がより好ましく、0.5 nm 以上 3 nm 以下がより好ましい。絶縁体 255 を上記のような膜厚にすることで、導電体 242a 2 及び導電体 242b 2 が過剰に酸化されることを抑制できる。なお、絶縁体 255 は、少なくとも一部において、上記のような膜厚の領域を有していればよい。絶縁体 255 の膜厚を過剰に厚くすると、ALD 法による絶縁体 255 の成膜時間が長くなり、生産性が低下するため、絶縁体 255 の膜厚は上記の範囲程度にすることが好ましい。

[0626]

また、図 21A 等に示す半導体装置は、水素がトランジスタ 200E 等に混入することを抑制する構成とすることが好ましい。例えば、水素の拡散を抑制する機能を有する絶縁体を、トランジスタ 200E 等の上下の一方または双方を覆うように設けることが好ましい。したがって、絶縁体 215、絶縁体 221、絶縁体 222、絶縁体 282、及び絶縁体 283 は、それぞれ、水、水素などの不純物、及び酸素の拡散を抑制する機能を有する絶縁体を有することが好ましい。例えば、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、酸化ジルコニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）、ハフニウム及びジルコニウムを含む酸化物（ハフニウムジルコニウム酸化物）、酸化ガリウム、窒化シリコン、または窒化酸化シリコンなどを用いることができる。例えば、絶縁体 283 及び絶縁体 221 は、より水素バリア性が高い、窒化シリコンなどを用いることが好ましい。また、例えば、絶縁体 282 は、水素を捕獲または水素を固着する能力が高い、酸化アルミニウムなどを用いることが好ましい。また、例えば、絶縁体 222 は、

水素を捕獲または水素を固着する能力が高く、高誘電率（high-k）材料である、酸化ハフニウムなどを用いることが好ましい。このように、トランジスタ200Eの上下を、水、水素などの不純物、及び酸素の拡散を抑制する機能を有する絶縁体で取り囲む構造にすることで、酸化物半導体に過剰な酸素及び水素が拡散するのを低減することができる。これにより、半導体装置の電気特性、及び信頼性の向上を図ることができる。

[0627]

ここで、絶縁体275の酸化物220と重畳してない領域が絶縁体222に接し、絶縁体275の側端部が絶縁体255に接し、絶縁体255の上端部、及び絶縁体250a乃至絶縁体250cの上端部が絶縁体282に接することが好ましい。上記のような構成にすることで、絶縁体283と絶縁体221に挟まれた領域において、絶縁体285が、絶縁体275によって酸化物220と離隔され、絶縁体285が、絶縁体255及び絶縁体250aによって絶縁体250bと離隔され、導電体260が、絶縁体250cによって絶縁体250bと離隔され、導電体242a2及び導電体242b2が、絶縁体255及び絶縁体250aによって絶縁体250bと離隔される。

[0628]

これにより、絶縁体285に含まれる水、水素などの不純物が、酸化物220及び絶縁体250bに拡散することを抑制できる。また、導電体260に含まれる水、水素などの不純物が、絶縁体250bを介して酸化物220に拡散することを抑制できる。また、導電体242a2及び導電体242b2に含まれる水、水素などの不純物が、絶縁体250bを介して酸化物220に拡散することを抑制できる。例えば、導電体242a2及び導電体242b2の上面に接して、コンタクトプラグを形成し、当該コンタクトプラグを介して、導電体242a2及び導電体242b2に水、水素などの不純物が拡散しても、水、水素などの不純物が酸化物220に拡散するのを低減することができる。また、絶縁体250a、及び絶縁体250bに含まれる水素を、絶縁体282に、捕獲及び固着することができる。このような構成にすることで、酸化物半導体に水素が拡散するのをさらに低減することができる。これにより、半導体装置の電気特性、及び信頼性の向上を図ることができる。

[0629]

トランジスタ200Eにおいて、導電体205は、酸化物220及び導電体260と重なるように配置する。ここで、導電体205は、絶縁体216に形成された開口部に埋め込まれて設けることが好ましい。また、導電体205は、図21A及び図21Cに示すように、チャネル幅方向に延在して設けられることが好ましい。このような構成にすることで、複数のトランジスタを設ける場合に、導電体205は配線として機能する。

[0630]

図21B及び図21Cに示すように、導電体205は、導電体205a及び導電体205bを有することが好ましい。導電体205aは、上記開口部の底面及び側壁に接して設けられる。導電体205bは、上記開口部に沿って形成された導電体205a凹部を埋め込むように設けられる。ここで、導電体205の上面の高さは、絶縁体216の上面の高さと一致または概略一致する。

[0631]

導電体205aに、水素の拡散を低減する機能を有する導電性材料を用いることにより、導電体205bに含まれる水素などの不純物が、絶縁体216等を介して、酸化物220に拡散することを防ぐことができる。また、導電体205aに、酸素の拡散を抑制する機能を有する導電性材料を用

いることにより、導電体 205 b が酸化して導電率が低下することを抑制できる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、及び、酸化ルテニウムが挙げられる。導電体 205 a は、上記導電性材料の単層構造または積層構造とすることができる。例えば、導電体 205 a は、窒化チタンを有することが好ましい。

[0632]

また、導電体 205 b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。例えば、導電体 205 b は、タングステンを有することが好ましい。

[0633]

導電体 205 は、第 2 のゲート電極として機能することができる。その場合、導電体 205 に印加する電位を、導電体 260 に印加する電位と連動させず、独立して変化させることで、トランジスタ 200 E のしきい値電圧 (V_{th}) を制御することができる。特に、導電体 205 に負の電位を印加することにより、トランジスタ 200 E の V_{th} をより大きくし、オフ電流を低減することが可能となる。したがって、導電体 205 に負の電位を印加したほうが、印加しない場合よりも、導電体 260 に印加する電位が 0 V のときのドレイン電流を小さくすることができる。

[0634]

また、導電体 205 の電気抵抗率は、上記の導電体 205 に印加する電位を考慮して設計され、導電体 205 の膜厚は当該電気抵抗率に合わせて設定される。また、絶縁体 216 の膜厚は、導電体 205 とほぼ同じになる。ここで、導電体 205 の設計が許す範囲で導電体 205 及び絶縁体 216 の膜厚を薄くすることが好ましい。絶縁体 216 の膜厚を薄くすることで、絶縁体 216 中に含まれる水素などの不純物の絶対量を低減することができるため、当該不純物が酸化物 220 に拡散することを抑制することができる。

[0635]

酸化物 220 と接する絶縁体 224 は、例えば、酸化シリコンまたは酸化窒化シリコンを有することが好ましい。これにより、絶縁体 224 から酸化物 220 に酸素を供給し、酸素欠損を低減することができる。

[0636]

絶縁体 224 は、酸化物 220 と同様に、島状に加工することが好ましい。これにより、複数のトランジスタ 200 E を設ける場合、1 個のトランジスタ 200 E に対して、ほぼ同程度の大きさの絶縁体 224 が設けられることになる。これにより、各トランジスタ 200 E において、絶縁体 224 から酸化物 220 に供給される酸素の量が、同程度になる。よって、基板面内でトランジスタ 200 E の電気特性のばらつきを抑制できる。ただし、これに限られず、絶縁体 222 と同様に、絶縁体 224 をパターン形成しない構成にすることもできる。

[0637]

導電体 242 a、導電体 242 b、及び導電体 260 として、それぞれ、酸化されにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料を用いることが好ましい。当該導電性材料として、例えば、窒素を含む導電性材料、及び酸素を含む導電性材料が挙げられる。これにより、導電体 242 a、導電体 242 b、及び導電体 260 の導電率が低下することを抑制できる。

[0638]

絶縁体 271 a 及び絶縁体 271 b は、導電体 242 a 2 及び導電体 242 b 2 の加工時にエッチ

ングストップパとして機能し、導電体242a2及び導電体242b2を保護する無機絶縁体である。また、絶縁体271a及び絶縁体271bは、導電体242a2及び導電体242b2に接するため、導電体242a、242bを酸化させにくい、無機絶縁体であることが好ましい。よって、図22Aに示すように、絶縁体271aを、絶縁体271a1と、絶縁体271a1上の絶縁体271a2の積層構造にし、絶縁体271bを、絶縁体271b1と、絶縁体271b1上の絶縁体271b2の積層構造にすることが好ましい。ここで、絶縁体271a1、271b1は、導電体242a2、242b2を酸化させにくいように、絶縁体250cに用いることができる窒化物絶縁体を用いることが好ましい。また、絶縁体271a2、271b2は、エッチングストップパとして機能するように、絶縁体250bに用いることができる酸化物絶縁体を用いることが好ましい。例えば、絶縁体271a1及び絶縁体271b1として、窒化シリコンを用い、絶縁体271a2及び絶縁体271b2として、酸化シリコンを用いることができる。

[0639]

なお、本明細書等において、少なくとも第1のゲート電極の電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構造を、surrounded channel (S-channel) 構造とよぶ。また、本明細書等で開示するS-channel構造は、Fin型構造及びブレイナ型構造とは異なる構造を有する。一方で、本明細書等で開示するS-channel構造は、Fin型構造の一種として捉えることも可能である。なお、本明細書等において、Fin型構造とは、ゲート電極が少なくともチャネルの2面以上（具体的には、2面、3面、または4面等）を包むように配置される構造を示す。Fin型構造、及びS-channel構造を採用することで、短チャネル効果に対する耐性を高める、別言すると短チャネル効果が発生し難いトランジスタとすることができる。

[0640]

トランジスタ200Eを、上記のS-channel構造とすることで、チャネル形成領域を電気的に取り囲むことができる。なお、S-channel構造は、チャネル形成領域を電気的に取り囲んでいる構造であるため、実質的にGAA (Gate All Around) 構造、またはLGAA (Lateral Gate All Around) 構造と、同等の構造であるともいえる。トランジスタ200EをS-channel構造、GAA構造、又はLGAA構造とすることで、酸化物220とゲート絶縁体との界面又は界面近傍に形成されるチャネル形成領域を、酸化物220のバルク全体とすることができる。したがって、トランジスタに流れる電流密度を向上させることが可能となるため、トランジスタのオン電流の向上、またはトランジスタの電界効果移動度を高めることが期待できる。

[0641]

本実施の形態では、絶縁体224を島状に設ける構成にする。よって、図21Cに示すように、導電体260の下面の少なくとも一部を、酸化物220bの下面、より下に設けることができる。これにより、酸化物220bの上面及び側面に対向して、導電体260を設けることができるため、導電体260の電界を酸化物220bの上面及び側面に作用させることができる。このように、絶縁体224を島状に設ける構成にすることで、トランジスタ200EをS-channel構造にすることができる。

[0642]

導電体260は、導電体260aと、導電体260aの上に配置された導電体260bと、を有す

ることが好ましい。例えば、導電体260aは、導電体260bの底面及び側面を包むように配置されることが好ましい。このとき、導電体260aとして、酸化されにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料を用いることが好ましい。導電体260aが酸素の拡散を抑制する機能を有することにより、絶縁体285などに含まれる酸素により、導電体260bが酸化して導電率が低下することを抑制できる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。

[0643]

導電体260bは、導電性が高い導電体を用いることが好ましい。例えば、導電体260bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体260bは積層構造としてもよく、例えば、チタン、または窒化チタンと上記導電性材料との積層構造としてもよい。

[0644]

絶縁体216及び絶縁体285は、それぞれ、絶縁体222よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減できる。

[0645]

<半導体装置の構成例3>

次に、本発明の一態様の半導体装置の一例について、図23乃至図25を用いて説明する。図23乃至図25に示す半導体装置は、前述のトランジスタ200、200A乃至200Eとは異なる構成の、トランジスタ201a、201bを有する。

[0646]

なお、トランジスタ201a、201bにおいて、トランジスタ200Eと同様の構成要素については、前述の記載を参照できる。

[0647]

図23A乃至図23Dは、基板（図示せず）上にトランジスタ201a、及びトランジスタ201bを有する、半導体装置の平面図及び断面図である。なお、トランジスタ201bは、トランジスタ201aと同様の構造を有するため、構成要素にトランジスタ201aと同じハッチングパターンを付し、特に符号を付さない。また、以下において、トランジスタ201aとトランジスタ201bをまとめてトランジスタ201と記載する場合がある。なお、本実施の形態に示す半導体装置は、トランジスタ201aと電氣的に接続する容量素子、及びトランジスタ201bと電氣的に接続する容量素子を設けることで、2個の1T（トランジスタ）1C（容量）型のメモリセルとして機能させることができ、記憶装置に用いることもできる。

[0648]

図23Aは、上記半導体装置の平面図である。また、図23B乃至図23Dは、当該半導体装置の断面図である。ここで、図23Bは、図23Aにおける一点鎖線A1-A2間の断面図であり、トランジスタ201aのチャネル長方向の断面図でもある。また、図23Cは、図23Aにおける一点鎖線A3-A4間の断面図であり、トランジスタ201a及びトランジスタ201bのチャネル幅方向の断面図でもある。また、図23Dは、図23Aにおける一点鎖線A5-A6間の断面図であり、トランジスタ201a及びトランジスタ201bのチャネル幅方向の断面図でもある。ここで、一点鎖線A1-A2は、一点鎖線A3-A4、及び一点鎖線A5-A6と直交しており、一点

鎖線 A 3 - A 4 と一点鎖線 A 5 - A 6 は互いに平行である。なお、図 2 3 A の平面図では、図の明瞭化のために一部の要素を省いている。また、図 2 4 A に、図 2 3 B の導電体 2 6 0 とその近傍の拡大図を示す。また、図 2 4 B に、図 2 3 C の絶縁体 2 2 5 とその近傍の拡大図を示す。また、図 2 5 A に、図 2 3 B の導電体 2 4 2 a とその近傍の拡大図を示す。また、図 2 5 B に、図 2 3 D の絶縁体 2 2 5 とその近傍の拡大図を示す。

[0649]

図 2 3 A 乃至図 2 3 D に示す半導体装置は、絶縁体 2 1 5、絶縁体 2 1 6、絶縁体 2 2 2 を積層して有し、さらに、絶縁体 2 2 2 上の絶縁体 2 2 5 と、絶縁体 2 2 5 及び絶縁体 2 2 2 上の酸化物 2 2 0 (酸化物 2 2 0 a 及び酸化物 2 2 0 b) と、酸化物 2 2 0 上の導電体 2 4 2 (導電体 2 4 2 a 及び導電体 2 4 2 b) と、酸化物 2 2 0 上の絶縁体 2 5 0 と、絶縁体 2 5 0 上の導電体 2 6 0 (導電体 2 6 0 a 及び導電体 2 6 0 b) と、を有する。

[0650]

導電体 2 4 2 上には、絶縁体 2 7 5 が設けられ、絶縁体 2 7 5 上には絶縁体 2 8 5 が設けられている。絶縁体 2 5 0、及び導電体 2 6 0 は、絶縁体 2 8 5 及び絶縁体 2 7 5 に設けられた開口の内部に配置されている。また、絶縁体 2 8 5 上及び導電体 2 6 0 上に絶縁体 2 8 2 が設けられている。また、絶縁体 2 8 2 上に絶縁体 2 8 3 が設けられている。

[0651]

絶縁体 2 8 5 などの開口の内壁に接して絶縁体 2 4 1 a が設けられ、絶縁体 2 4 1 a に接して導電体 2 3 9 a が設けられている。導電体 2 3 9 a は、導電体 2 4 2 a に接している。また、絶縁体 2 8 5 などの開口の内壁に接して絶縁体 2 4 1 b が設けられ、絶縁体 2 4 1 b に接して導電体 2 3 9 b が設けられている。導電体 2 3 9 b は、導電体 2 4 2 b に接している。なお、以下において、導電体 2 3 9 a と導電体 2 3 9 b をまとめて導電体 2 3 9 と記載する場合がある。また、絶縁体 2 4 1 a と絶縁体 2 4 1 b をまとめて絶縁体 2 4 1 と記載する場合がある。

[0652]

なお、絶縁体 2 1 5、絶縁体 2 1 6、絶縁体 2 2 2、絶縁体 2 2 5、酸化物 2 2 0、導電体 2 4 2 a、導電体 2 4 2 b、絶縁体 2 7 5、絶縁体 2 8 5、絶縁体 2 5 0、導電体 2 6 0、絶縁体 2 4 1、導電体 2 3 9、絶縁体 2 8 2、及び、絶縁体 2 8 3 は、それぞれ、単層構造であってもよく、積層構造であってもよい。

[0653]

酸化物 2 2 0 は、トランジスタ 2 0 1 のチャネル形成領域として機能する領域を有する。また、導電体 2 6 0 は、トランジスタ 2 0 1 の第 1 のゲート電極 (上側のゲート電極) として機能する領域を有する。絶縁体 2 5 0 は、トランジスタ 2 0 1 の第 1 のゲート絶縁体として機能する領域を有する。

[0654]

なお、本実施の形態では、トランジスタ 2 0 1 a、2 0 1 b として、それぞれ、バックゲートを有さないシングルゲート構造のトランジスタを例に示すが、本発明はこれに限られない。トランジスタ 2 0 0 a、2 0 0 b は、それぞれ、バックゲートを有する、デュアルゲート構造のトランジスタであってもよい。例えば、前述のトランジスタ 2 0 0 E と同様に、トランジスタ 2 0 1 は、絶縁体 2 1 6 に埋め込まれるように設けられた導電体 2 0 5 (導電体 2 0 5 a 及び導電体 2 0 5 b) を有していてもよい。さらに、絶縁体 2 2 1 を有していてもよい。このとき、導電体 2 0 5 は、トラン

ジスタ 201 の第 2 のゲート電極（下側のゲート電極）として機能する領域を有する。絶縁体 222、及び絶縁体 221 は、それぞれ、トランジスタ 201 の第 2 のゲート絶縁体として機能する領域を有する。

[0655]

ここで、図 24B に示すように、トランジスタ 201 において、酸化物 220 は、絶縁体 225 を介して二つ折りの構造になっている。よって、酸化物 220 に対して、絶縁体 225 を挟んで対向する位置の導電体 260 の一部が第 2 のゲート電極として機能する場合がある。

[0656]

導電体 242a は、トランジスタ 201 のソース電極またはドレイン電極の一方として機能する領域を有する。導電体 242b は、トランジスタ 201 のソース電極またはドレイン電極の他方として機能する領域を有する。導電体 239a は、導電体 242a に接続するプラグとして機能する。導電体 239b は、導電体 242b に接続するプラグとして機能する。

[0657]

酸化物 220 は、絶縁体 225 を覆う酸化物 220a と、酸化物 220a 上の酸化物 220b と、を有することが好ましい。ここで、酸化物 220a は、絶縁体 225 の上面及び側面、ならびに絶縁体 222 の上面に接する。酸化物 220a 及び酸化物 220b は、図 24B などに示すように、アスペクト比が高い絶縁体 225 を覆うように設けられる。よって、酸化物 220a 及び酸化物 220b は、ALD 法などの被覆性の良好な成膜法を用いて成膜することが好ましい。ここで、図 24B に示すように、チャンネル幅方向の断面では、絶縁体 225 を介して、二つ折りの状態になるように、酸化物 220a 及び酸化物 220b が形成される。このような構成にすることで、絶縁体 225 の、上部、A3 側の側面、及び A4 側の側面にトランジスタ 201 のチャンネル形成領域を形成することができるため、単位面積当たりのチャンネル幅を大きくすることができる。

[0658]

酸化物 220b 下に酸化物 220a を有することで、酸化物 220a よりも下方に形成された構造物から、酸化物 220b への不純物の拡散を抑制することができる。

[0659]

なお、酸化物 220 は、酸化物 220a 及び酸化物 220b の 2 層構造に限定されない。酸化物 220 は、例えば、酸化物 220b の単層構造であってもよく、3 層以上の積層構造としてもよい。

[0660]

酸化物 220b には、トランジスタ 201 における、チャンネル形成領域と、チャンネル形成領域を挟むように設けられるソース領域及びドレイン領域と、が形成される。チャンネル形成領域の少なくとも一部は、導電体 260 と重なる。ソース領域は導電体 242a と重なり、ドレイン領域は導電体 242b と重なる。なお、ソース領域とドレイン領域は互いに入れ替えることができる。

[0661]

酸化物 220（酸化物 220a 及び酸化物 220b）には、半導体として機能する金属酸化物（以下、酸化物半導体ともいう）を用いることが好ましい。

[0662]

酸化物 220 の少なくとも 1 層を、本発明の一態様の金属酸化物の成膜方法を用いて形成することが好ましい。特に、チャンネル形成領域を含む酸化物 220b を、本発明の一態様の金属酸化物の成膜方法を用いて形成することが好ましい。

[0663]

ALD法を用いて酸化物220の少なくとも1層を形成することで、構造体の上面、底面、側面、及び傾斜を有する面に対して被覆性よく金属酸化物を形成することができる。すなわち、それぞれの被成膜面において、法線方向に概略一定の膜厚を有する金属酸化物を形成することができる。構造体の上面、底面、側面、及び傾斜を有する面それぞれに形成された金属酸化物において、最大膜厚に対する最小膜厚の比を0.5以上1以下、好ましくは0.7以上1以下、より好ましくは0.8以上1以下、より好ましくは、0.9以上1以下とすることができる。

[0664]

例えば、図24Bに示す酸化物220において、絶縁体222の上面に沿って設けられた第1の部分の厚さに対する、絶縁体225の側面に沿って設けられた第2の部分の厚さの比は、0.7以上1.3以下であることが好ましく、0.8以上1.2以下がより好ましく、0.9以上1.1以下がさらに好ましい。

[0665]

また、酸化物220のチャンネル形成領域におけるアルミニウムの濃度、及び、炭素の濃度の好ましい範囲は、前述の通りである。

[0666]

例えば、酸化物220aと酸化物220bの双方をALD法で形成することが好ましい。または、酸化物220aをスパッタリング法で形成し、酸化物220bをALD法で形成することが好ましい。

[0667]

図23A乃至図23Dに示す半導体装置を構成する各絶縁体及び各導電体に用いることができる材料としては、前述した〔絶縁体〕及び〔導電体〕の項目に挙げた各種材料が挙げられる。また、前述した<半導体装置の構成例2>で説明した内容も参照できる。以下では、前述の構成とは異なる点について主に説明する。

[0668]

図24Aに示すように、絶縁体250は、4層構造としてもよい。図24Aに示す絶縁体250は、酸化物220に接する絶縁体250aと、絶縁体250a上の絶縁体250bと、絶縁体250b上の絶縁体250cと、絶縁体250c上の絶縁体250dの積層構造とすることが好ましい。この場合、絶縁体250a及び絶縁体250cが水素を捕獲または水素を固着する機能を有することが好ましい。

[0669]

絶縁体250a及び絶縁体250cとして、例えば、酸化マグネシウム、またはアルミニウム及びハフニウム的一方または双方を含む酸化物などの金属酸化物を用いることが好ましい。このようなアモルファス構造を有する金属酸化物では、酸素原子がダングリングボンドを有しており、当該ダングリングボンドで水素を捕獲または固着する性質を有する場合がある。つまり、アモルファス構造を有する金属酸化物は、水素を捕獲または固着する能力が高いといえる。

[0670]

また、絶縁体250a及び絶縁体250cに、高誘電率(high-k)材料を用いることが好ましい。なお、high-k材料の一例として、アルミニウム及びハフニウム的一方または双方を含む酸化物がある。絶縁体250a及び絶縁体250cとしてhigh-k材料を用いることで、ゲ

ート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚（EOT）の薄膜化が可能となる。

[0671]

絶縁体250a及び絶縁体250cとして、アルミニウム及びハフニウム的一方または双方を含む酸化物を用いることが好ましく、アモルファス構造を有し、アルミニウム及びハフニウム的一方または双方を含む酸化物を用いることがより好ましい。

[0672]

本実施の形態では、図24Aに示す絶縁体250aとして、酸化アルミニウムを用いる。また、当該酸化アルミニウムは、アモルファス構造を有することが好ましい。ここで、酸化物220bに接して、絶縁体250aを設けることにより、酸化物220bなどに含まれる水素を、より効果的に捕獲及び固着させることができる。

[0673]

本実施の形態では、図24Aに示す絶縁体250cとして、酸化ハフニウムを用いる。ここで、絶縁体250bと絶縁体250dの間に、絶縁体250cを設けることにより、絶縁体250bなどに含まれる水素を、より効果的に捕獲及び固着させることができる。

[0674]

絶縁体250bは、酸化シリコンまたは酸化窒化シリコンなどの、熱に対し安定な絶縁体を用いることが好ましい。

[0675]

導電体242a、導電体242b、及び導電体260の酸化を抑制するために、導電体242a、導電体242b、及び導電体260それぞれの近傍に酸素に対するバリア絶縁体を設けることが好ましい。当該絶縁体は、例えば、絶縁体250a、絶縁体250d、絶縁体250c、及び絶縁体275である。

[0676]

絶縁体250dも、酸素に対するバリア性を有することが好ましい。絶縁体250dは酸化物220のチャンネル形成領域と導電体260との間、及び絶縁体285と導電体260との間に設けられている。当該構成にすることで、酸化物220のチャンネル形成領域に含まれる酸素が導電体260へ拡散し、酸化物220のチャンネル形成領域に酸素欠損が形成されることを抑制できる。また、酸化物220に含まれる酸素及び絶縁体285に含まれる酸素が導電体260へ拡散し、導電体260が酸化することを抑制できる。絶縁体250dは、少なくとも絶縁体285よりも酸素を透過しにくいことが好ましい。例えば、絶縁体250dとして、窒化シリコン膜を用いることが好ましい。この場合、絶縁体250dは、少なくとも窒素と、シリコンと、を有する絶縁体となる。

[0677]

また、絶縁体250dは、水素に対するバリア性を有することが好ましい。これにより、導電体260に含まれる水素などの不純物が、酸化物220bに拡散することを防ぐことができる。

[0678]

絶縁体250a乃至絶縁体250dは、ゲート絶縁体の一部として機能する。絶縁体250a乃至絶縁体250dは、導電体260とともに、絶縁体285に形成された開口に設ける。トランジスタ201の微細化を図るにあたって、絶縁体250a乃至絶縁体250dの膜厚はそれぞれ薄いこ

とが好ましい。絶縁体250a乃至絶縁体250dの膜厚は、それぞれ、0.1nm以上10nm以下が好ましく、0.1nm以上5.0nm以下がより好ましく、0.5nm以上5.0nm以下がより好ましく、1.0nm以上5.0nm未満がより好ましく、1.0nm以上3.0nm以下がさらに好ましい。なお、絶縁体250a乃至絶縁体250dは、それぞれ、少なくとも一部において、上記のような膜厚の領域を有していればよい。

[0679]

なお、上記において、絶縁体250が、絶縁体250a乃至絶縁体250dの4層構造となる構成について説明したが、本発明はこれに限られるものではない。絶縁体250は、絶縁体250a乃至絶縁体250dのうち、少なくとも一つを有する構成にすることができる。絶縁体250を、絶縁体250a乃至絶縁体250dのうち、1層、2層または3層で構成することで、半導体装置の作製工程を簡略化し、生産性の向上を図ることができる。

[0680]

絶縁体225は、絶縁体222の上に接して形成される。絶縁体225は、図24B及び図25Bに示すように、チャネル幅方向の断面視において、高いアスペクト比の形状を有する。ここで、チャネル幅方向の断面視における、絶縁体225のアスペクト比は、絶縁体225のA3-A4方向の長さL（絶縁体225の幅Lということもできる。）と、絶縁体225の被形成面（例えば絶縁体222）に垂直な方向の長さH（絶縁体225の高さHということもできる。）の比のことを指す。絶縁体225において、絶縁体225の高さHは、少なくとも絶縁体225の幅Lより長くなる。絶縁体225の高さHは、絶縁体225の幅Lの1倍より大きく、好ましくは2倍以上、より好ましくは5倍以上、さらに好ましくは10倍以上にすればよい。また、絶縁体225の高さHは、絶縁体225の幅Lの20倍以下が好ましい。

[0681]

このような高アスペクト比の絶縁体225を覆って、酸化物220a、酸化物220b、及び導電体242が設けられる。トランジスタ201においては、図24Bに示すように、絶縁体225を挟んで二つ折りの状態になるように酸化物220a及び酸化物220bが設けられ、さらに酸化物220bを覆って絶縁体250、及び導電体260が設けられる。これにより、チャネル幅方向の断面視において、絶縁体225の上部、A3側の側面、及びA4側の側面それぞれにおいて、酸化物220と導電体260が、絶縁体250を挟んで対向して設けられる。つまり、絶縁体225の上部、A3側の側面、及びA4側の側面それぞれがチャネル形成領域として機能する。よって、絶縁体225を設けない場合と比較して、絶縁体225のA3側の側面、及びA4側の側面の分だけ、トランジスタ201のチャネル幅が大きくなっている。

[0682]

上記のようにチャネル幅が大きくなることで、トランジスタ201のオン電流、電界効果移動度、周波数特性などを良好にすることができる。これにより、動作速度が速い半導体装置を提供することができる。また、当該半導体装置を用いた記憶装置の動作速度を速くすることができる。また、上記の構造では、絶縁体225を設けることにより、トランジスタ201の占有面積を広げることなく、チャネル幅を大きくすることができる。これにより、半導体装置の微細化または高集積化を図ることができる。また、当該半導体装置を用いた記憶装置の記憶容量を大きくすることができる。

[0683]

絶縁体225には、絶縁体222、絶縁体285、絶縁体250などに用いることができる絶縁性

材料を用いることができる。また、絶縁体 225 は、高アスペクト比の形状を有するため、犠牲層（作製工程中に用いる構造体）の側面にサイドウォール状に形成することが好ましい。よって、絶縁体 225 は被覆性の良好な ALD 法を用いて形成することが好ましい。例えば、絶縁体 225 は、熱 ALD 法で成膜した酸化ハフニウムを用いることができる。

[0684]

このように、犠牲層の側面に接してサイドウォール状に絶縁体 225 を形成することで、図 23A などに示すように、トランジスタ 201a の絶縁体 225 と、トランジスタ 201b の絶縁体 225 と、を同時に形成することができる。このように、2 個の絶縁体 225 を形成することで、犠牲層の大きさに合わせて、2 個の絶縁体 225 の距離を設定することができる。よって、絶縁体 225 の距離を小さくし、トランジスタ 201a、及びトランジスタ 201b の占有面積を低減し、半導体装置の高集積化を図ることができる。

[0685]

ただし、絶縁体 225 は、厳密な意味で絶縁性材料のみに限定されるものではない。例えば、比較的絶縁性が高い金属酸化物などを用いることもできる。例えば、上記酸化物 220a に用いることが可能な金属酸化物などを用いてもよい。

[0686]

また、絶縁体 225 の上部は、湾曲形状を有していてもよい。このような湾曲形状を有することで、絶縁体 225 の上部近傍において、酸化物 220a、酸化物 220b、及び導電体 242 に鬆などの欠陥が形成されるのを防ぐことができる。なお、図 24B 及び図 25B などにおいては、絶縁体 225 上部の A3 側（A5 側）と、A4 側（A6 側）の両方に、湾曲形状が設けられる、対称の構造にしているが、本発明はこれに限られるものではない。例えば、絶縁体 225 上部の A3 側（A5 側）だけに、湾曲形状が設けられた、非対称の構造になる場合もある。

[0687]

導電体 242a と導電体 242b は互いに離隔して配置され、酸化物 220b 上に接して設けられる。導電体 242 は、図 25A 及び図 25B などに示すように、アスペクト比が高い絶縁体 225 を覆うように設けられる。よって、導電体 242 は、ALD 法または CVD 法などの被覆性の良好な成膜法を用いて成膜することが好ましい。

[0688]

ここで、トランジスタ 201a のソースまたはドレイン近傍においては、図 25B に示すように、絶縁体 225 を挟んで二つ折りの状態になるように、酸化物 220a、酸化物 220b、及び導電体 242a が設けられる。これにより、チャンネル幅方向の断面視において、絶縁体 225 の上部、A5 側の側面、及び A6 側の側面それぞれにおいて、導電体 242a が、酸化物 220b に接する。よって、絶縁体 225 を設けない場合と比較して、絶縁体 225 の A5 側の側面、及び A6 側の側面の分だけ、導電体 242a と酸化物 220b の接触面積が大きくなっている。なお、図 25B においては、導電体 242a の近傍を示したが、導電体 242b についても同様である。つまり、上述の導電体 242a と酸化物 220b と同様に、導電体 242b と酸化物 220b の接触面積が大きくなっている。

[0689]

上記のように導電体 242 と酸化物 220b の接触面積が大きくなることで、トランジスタ 201 の占有面積を広げることなく、トランジスタ 201 のオン電流、周波数特性などを良好にすること

ができる。これにより、動作速度が速い半導体装置を提供することができる。また、当該半導体装置を用いた記憶装置の動作速度を速くすることができる。また、これにより、半導体装置の微細化または高集積化を図ることができる。また、当該半導体装置を用いた記憶装置の記憶容量を大きくすることができる。

[0690]

導電体260は、図23B及び図23Cに示すように、絶縁体285、絶縁体275、導電体242a、及び導電体242bに形成された開口内に配置される。導電体260は、当該開口内において、絶縁体250を介して、絶縁体222の上面、酸化物220aの側面、酸化物220bの側面、及び酸化物220bの上面を覆うように設けられる。また、導電体260の上面は、絶縁体250の最上部、及び絶縁体285の上面と高さが一致または概略一致するように配置される。

[0691]

なお、導電体260及び絶縁体250が配置された、上記開口において、当該開口の側壁は、絶縁体222の上面に対して垂直または概略垂直であってもよく、テーパ形状であってもよい。側壁をテーパ形状にすることで、絶縁体285の開口に設けられる、絶縁体250などの被覆性が向上し、鬆などの欠陥を低減できる。

[0692]

導電体260は、トランジスタ201の第1のゲート電極として機能する。ここで、導電体260は、図23A、及び図23Cに示すように、チャネル幅方向に延在して設けられることが好ましい。このような構成にすることで、複数のトランジスタを設ける場合に、導電体260は配線として機能する。

[0693]

図23Bなどでは、導電体260を2層構造で示す。ここで、導電体260は、導電体260aと、導電体260aの上に配置された導電体260bと、を有することが好ましい。例えば、導電体260aは、導電体260bの底面及び側面を包むように配置されることが好ましい。このとき、導電体260aとして、酸化されにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0694]

また、トランジスタ201では、導電体260は、絶縁体285などに形成されている開口を埋めるように自己整合的に形成される。ここで、上記開口における絶縁体285の側面は、導電体242aの側面、及び導電体242bの側面と一致、または概略一致する。よって、位置合わせをしなくても、導電体242aと導電体242bとの間の領域に重畳して、導電体260を配置することができる。

[0695]

導電体239a及び導電体239bは、それぞれ絶縁体275、絶縁体285、絶縁体282、及び絶縁体283の開口内に形成されている。導電体239aの下面は、導電体242aの上面に接し、導電体239bの下面は、導電体242bの上面に接している。ここで、導電体239の上面の高さと、絶縁体283の上面の高さは、同程度になる。

[0696]

導電体239は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体239は、導電体239は、第1の導電体が絶縁体241の側面に接し

て設けられ、さらに内側に第2の導電体が設けられる、積層構造としてもよい。この場合、第2の導電体として、上記の導電性材料を用いることができる。

[0697]

また、導電体239を積層構造とする場合、絶縁体283、絶縁体282、絶縁体285、及び、絶縁体275の近傍に配置される第1の導電体には、水、水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、酸化ルテニウムなどを用いることが好ましい。また、水、水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。このような構成にすることで、絶縁体283より上層に含まれる水、水素などの不純物が、導電体239a及び導電体239bを通じて酸化物220に混入するのを抑制することができる。

[0698]

絶縁体241a、及び絶縁体241bは、それぞれ絶縁体275、絶縁体285、絶縁体282、及び絶縁体283の開口の内壁に接して形成されている。絶縁体241aの内側の側面は、導電体239aに接し、絶縁体241bの内側の側面は、導電体239bに接する。

[0699]

絶縁体241としては、絶縁体275などに用いることができるバリア絶縁膜を用いればよい。例えば、絶縁体241として、窒化シリコン、酸化アルミニウム、窒化酸化シリコンなどの絶縁体を用いればよい。絶縁体241を設けることで、絶縁体285などに含まれる水、水素などの不純物が、導電体239a及び導電体239bを通じて酸化物220に混入するのを抑制することができる。特に、窒化シリコンは水素に対するブロッキング性が高いので好適である。また、絶縁体285に含まれる酸素が導電体239a及び導電体239bに吸収されるのを防ぐことができる。

[0700]

絶縁体241を、図23Bに示すように積層構造にする場合、絶縁体285などの開口の内壁に接する第1の絶縁体と、その内側の第2の絶縁体は、酸素に対するバリア絶縁膜と、水素に対するバリア絶縁膜を組み合わせ用いることが好ましい。

[0701]

例えば、第1の絶縁体として、熱ALD法で成膜された酸化アルミニウムを用い、第2の絶縁体として、PEALD法で成膜された窒化シリコンを用いればよい。このような構成にすることで、導電体239の酸化を抑制し、さらに、導電体239に水素が混入するのを低減することができる。

[0702]

なお、上記において、絶縁体241が2層の積層構造である構成について示しているが、本発明はこれに限られるものではない。例えば、絶縁体241を単層、または3層以上の積層構造として設ける構成にしてもよい。また、上記において、導電体239が2層の積層構造である構成について示しているが、本発明はこれに限られるものではない。例えば、導電体239を単層、または3層以上の積層構造として設ける構成にしてもよい。

[0703]

また、図25Bなどにおいて、導電体239aが、絶縁体225の上端部より上だけで、導電体242aと接する構成について示したが、本発明はこれに限られるものではない。例えば、図25Cに示すように、導電体239aが、絶縁体225と、絶縁体225を挟んで二つ折りの状態になっている酸化物220a、酸化物220b、及び導電体242aと、を覆う構成にしてもよい。これ

により、チャネル幅方向の断面視において、絶縁体 2 2 5 の上部、A 5 側の側面、及び A 6 側の側面それぞれにおいて、導電体 2 3 9 a が、導電体 2 4 2 a に接する。よって、絶縁体 2 2 5 を設けない場合と比較して、絶縁体 2 2 5 の A 5 側の側面、及び A 6 側の側面の分だけ、導電体 2 3 9 a と導電体 2 4 2 a の接触面積が大きくなっている。なお、図 2 5 C においては、導電体 2 3 9 a 及び導電体 2 4 2 a の近傍を示したが、導電体 2 3 9 b 及び導電体 2 4 2 b についても同様である。つまり、上述の導電体 2 3 9 a と導電体 2 4 2 a と同様に、導電体 2 3 9 b と導電体 2 4 2 b の接触面積が大きくなっている。

[0704]

上記のように導電体 2 3 9 と導電体 2 4 2 の接触面積が大きくなることで、トランジスタ 2 0 1 の占有面積を大きく広げることなく、トランジスタ 2 0 1 のオン電流、周波数特性などを良好にすることができる。これにより、動作速度が速い半導体装置を提供することができる。また、当該半導体装置を用いた記憶装置の動作速度を速くすることができる。また、これにより、半導体装置の微細化または高集積化を図ることができる。また、当該半導体装置を用いた記憶装置の記憶容量を大きくすることができる。

[0705]

<記憶装置の構成例 2 >

記憶装置に、トランジスタ 2 0 0 E のようなプレーナ型のトランジスタを用いる場合においても、トランジスタと容量素子とが重なる構成を適用することができる。

[0706]

図 2 6 A 乃至図 2 6 D にプレーナ型トランジスタと容量素子で構成されるメモリセルの一例を示す。

[0707]

図 2 6 A は、プレーナ型トランジスタを用いた場合におけるトランジスタ 2 0 0 p と、トランジスタ 2 0 0 p の下方に設けられる容量素子 1 0 0 のセル内における配置の概略を示す平面図である。また、図 2 6 B は、図 2 6 A に示す一点鎖線 B 1 - B 2 に対応する断面図である。

[0708]

図 2 6 A 及び図 2 6 B に示すように、トランジスタ 2 0 0 p の下方に容量素子 1 0 0 を設ける場合は、トランジスタ 2 0 0 p のソース電極またはドレイン電極と容量素子 1 0 0 の一方の電極（上部電極）とを接続する配線及びプラグ等の要素 C A が設けられる。

[0709]

図 2 6 C は、トランジスタ 2 0 0 p と、トランジスタ 2 0 0 p の上方に設けられる容量素子 1 0 0 のメモリセル内における配置の概略を示す平面図である。また、図 2 6 C は、図 2 6 D に示す一点鎖線 B 1 - B 2 に対応する断面図である。

[0710]

図 2 6 C 及び図 2 6 D に示すように、トランジスタ 2 0 0 p の上方に容量素子 1 0 0 を設ける場合は、トランジスタ 2 0 0 p のソース電極またはドレイン電極と容量素子 1 0 0 の一方の電極（下部電極）とを接続する配線及びプラグ等の要素 C A が設けられる。図 2 6 C 及び図 2 6 D では、トランジスタ 2 0 0 p と容量素子 1 0 0 とが重なっている領域に、要素 C A を配置することができる。したがって、トランジスタ 2 0 0 p の下方に容量素子 1 0 0 を設ける場合よりも微細化には優位である。

[0711]

<記憶装置の構成例3>

本実施の形態に示す、トランジスタ200及び容量素子100を有するメモリセル150は、記憶装置のメモリセルとして用いることができる。トランジスタ200は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ200は、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、または、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減できる。また、トランジスタ200の周波数特性が高いため、記憶装置の読み出し、及び書き込みを高速に行うことができる。

[0712]

2個のメモリセル150（以下、メモリセル150a及びメモリセル150bと呼ぶ）を共通の配線に接続する記憶装置の例について、図27A及び図27Bを用いて説明する。図27Aは、記憶装置の平面図である。また、図27Bは、図27AにA1-A2の一点鎖線で示す部位の断面図である。なお、図27Aの平面図では、図の明瞭化のために一部の要素を省いている。

[0713]

ここで、図27A及び図27Bに示すメモリセル150a及びメモリセル150bのそれぞれは、メモリセル150と同様の構成を有する。メモリセル150aは、容量素子100a及びトランジスタ200aを有し、メモリセル150bは、容量素子100b及びトランジスタ200bを有する。よって、図27A及び図27Bに示す記憶装置において、図15に示した記憶装置を構成する構造と同機能を有する構造には、同符号を付記する。なお、本項目においても、記憶装置の構成材料については<記憶装置の構成例>で詳細に説明した材料を用いることができる。

[0714]

図27A及び図27Bに示すように、配線WLとして機能する導電体260は、メモリセル150a及びメモリセル150bに、それぞれ設けられる。また、配線BLの一部として機能する導電体240は、メモリセル150a及びメモリセル150bに、共通に設けられる。つまり、導電体240は、メモリセル150aの酸化物半導体230と、メモリセル150bの酸化物半導体230に接する。

[0715]

ここで、図27A及び図27Bに示す記憶装置は、メモリセル150a及びメモリセル150bと電氣的に接続してプラグ（接続電極とよぶこともできる）として機能する、導電体245及び導電体246を有する。導電体245は、絶縁体180、絶縁体280、及び絶縁体140に形成された開口内に配置され、導電体240の下面に接する。また、導電体246は、絶縁体287、絶縁体283、及び絶縁体250に形成された開口内に配置され、導電体240の上面に接する。なお、導電体245及び導電体246は、導電体240に適用可能な導電性材料などを用いることができる。

[0716]

絶縁体287は、層間膜として機能するため、比誘電率が低いことが好ましい。比誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減できる。絶縁体287としては、前述した〔絶縁体〕の項目に記載の、比誘電率が低い材料含む絶縁体を、単層または積層で用いることができる。

[0717]

また、絶縁体 287 中の水、水素などの不純物濃度は低減されていることが好ましい。これにより、酸化物半導体 230 のチャネル形成領域に、水、水素などの不純物が混入するのを抑制できる。

[0718]

導電体 245 及び導電体 246 は、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、及びダイオードなどの回路素子、配線、電極、または、端子と、メモリセル 150 a 及びメモリセル 150 b を電気的に接続するためのプラグまたは配線として機能する。例えば、導電体 245 が、図 27 に示す記憶装置の下に設けられたセンスアンプ（図示せず）に電気的に接続され、導電体 246 が、図 27 に示す記憶装置の上に設けられた同様の記憶装置（図示せず）と電気的に接続される構成にすることができる。この場合、導電体 245 及び導電体 246 は、配線 BL の一部として機能する。このように、図 27 に示す記憶装置の上または下に記憶装置などを設けることで、単位面積当たりの記憶容量を大きくすることができる。

[0719]

また、メモリセル 150 a とメモリセル 150 b は、一点鎖線 A1-A2 の垂直二等分線を対称軸とした線対称の構成となっている。よって、トランジスタ 200 a とトランジスタ 200 b も、導電体 245 及び導電体 246 を挟んで、対称の位置に配置される。ここで、導電体 240 は、トランジスタ 200 a のソース電極及びドレイン電極の他方としての機能と、トランジスタ 200 b のソース電極及びドレイン電極の他方としての機能とを有する。また、トランジスタ 200 a 及びトランジスタ 200 b は、プラグとして機能する導電体 245 及び導電体 246 を共有する。このように、2 つのトランジスタと、プラグとの接続を上述の構成とすることで、微細化または高集積化が可能な記憶装置を提供できる。

[0720]

なお、配線 PL として機能する導電体 110 は、メモリセル 150 a 及びメモリセル 150 b に、それぞれ設けてもよいし、メモリセル 150 a 及びメモリセル 150 b に、共通に設けてもよい。ただし、図 27 B に示すように、導電体 110 は、導電体 245 と離隔して設け、導電体 110 と導電体 245 がショートしないようにする。

[0721]

また、メモリセル 150 を 3 次元的にマトリクス状に配置することで、メモリセルアレイを構成することができる。メモリセルアレイの一例として、図 28 A 及び図 28 B に、X 方向、Y 方向、及び Z 方向に、4 個×2 個×4 個のメモリセル 150 を配置した記憶装置の例を示す。図 28 A は、記憶装置の平面図である。また、図 28 B は、図 28 A に A1-A2 の一点鎖線で示す部位の断面図である。なお、図 28 A の平面図では、図の明瞭化のために一部の要素を省いている。

[0722]

ここで、図 28 A 及び図 28 B に示すメモリセル 150 a 乃至メモリセル 150 d のそれぞれは、メモリセル 150 と同様の構成を有する。メモリセル 150 a は、容量素子 100 a 及びトランジスタ 200 a を有し、メモリセル 150 b は、容量素子 100 b 及びトランジスタ 200 b を有し、メモリセル 150 c は、容量素子 100 c 及びトランジスタ 200 c を有し、メモリセル 150 d は、容量素子 100 d 及びトランジスタ 200 d を有する。よって、図 28 A 及び図 28 B に示す記憶装置において、図 15 に示した記憶装置を構成する構造と同機能を有する構造には、同符号を付記する。なお、本項目においても、記憶装置の構成材料については<記憶装置の構成例>で詳細に説明した材料を用いることができる。

[0723]

以下において、メモリセル150a乃至メモリセル150dからなる記憶装置をメモリユニットと呼ぶ。図28A及び図28Bに示す記憶装置は、メモリユニット160[1, 1]乃至メモリユニット160[2, 4]を有する。なお、以下において、メモリユニット160[1, 1]乃至メモリユニット160[2, 4]をまとめて、メモリユニット160と呼ぶ場合がある。メモリユニット160[1, 2]は、メモリユニット160[1, 1]上に設けられ、メモリユニット160[1, 3]は、メモリユニット160[1, 2]上に設けられ、メモリユニット160[1, 4]は、メモリユニット160[1, 3]上に設けられる。メモリユニット160[2, 1]は、メモリユニット160[1, 1]のY方向に隣接して設けられる。メモリユニット160[2, 2]は、メモリユニット160[2, 1]の上に設けられ、メモリユニット160[2, 3]は、メモリユニット160[2, 2]の上に設けられ、メモリユニット160[2, 4]は、メモリユニット160[2, 3]の上に設けられる。

[0724]

メモリユニット160は、図28Bに示すように、導電体245を中心にして、メモリセル150aの外側にメモリセル150cが配置され、メモリセル150bの外側にメモリセル150dが配置されている。つまり、図27に示す記憶装置において、メモリセル150aに隣接してメモリセル150cを設け、メモリセル150bに隣接してメモリセル150dを設けた、記憶装置ともいえる。

[0725]

図28A及び図28Bに示すように、配線WLとして機能する導電体260は、Y方向に隣接するメモリセル150同士で共有されている。また、配線BLの一部として機能する導電体240は、同一メモリユニット内で共有されている。つまり、導電体240は、メモリセル150a乃至メモリセル150dの、それぞれの酸化物半導体230に接する。

[0726]

Z方向に隣接するメモリユニットが有する導電体240の間に導電体245が設けられる。例えば、図28Bに示すように、導電体245は、メモリユニット160[1, 1]の導電体240の上面と、メモリユニット160[1, 2]の導電体240の下面に接して設けられる。このように、各メモリユニット160に設けられた、導電体240と導電体245によって、配線BLが形成される。導電体245は、図28に示す記憶装置の下に設けられたセンスアンプ(図示せず)に電氣的に接続される。このように、図28に示す記憶装置において、複数のメモリユニットを積層することで、単位面積当たりの記憶容量を大きくすることができる。

[0727]

また、メモリセル150a及びメモリセル150cと、メモリセル150b及びメモリセル150dとは、一点鎖線A1-A2の垂直二等分線を対称軸とした線対称の構成となっている。よって、トランジスタ200a及びトランジスタ200cと、トランジスタ200b及びトランジスタ200dも、導電体245を挟んで、対称の位置に配置される。ここで、導電体240は、トランジスタ200a乃至トランジスタ200dそれぞれのソース電極及びドレイン電極の他方としての機能を有する。また、トランジスタ200a乃至トランジスタ200dは、プラグとして機能する導電体245を共有する。このように、4つのトランジスタと、プラグとの接続を上述の構成とすることで、微細化または高集積化が可能な記憶装置を提供できる。

[0728]

図28に示すように、複数のメモリセルを積層することにより、メモリセルアレイの占有面積を増やすことなく、セルを集積して配置することができる。つまり、3Dメモリセルアレイを構成することができる。なお、図28では、2つのメモリユニットを有する層を4層積層する構成を例示したが、本発明はこれに限られるものではない。記憶装置は、少なくとも一つのメモリセル150を有する層を1層有してもよいし、2層以上積層してもよい。

[0729]

図28では、プラグとして機能する導電体245がメモリセル150間に配置される構成を示している。別言すると、プラグとして機能する導電体245がメモリユニット160の内側に配置される構成を示している。なお、本発明はこれに限られるものではない。導電体245は、メモリユニットの外側に配置されてもよい。

[0730]

メモリセルアレイの一例として、図29A及び図29Bに、X方向、Y方向、及びZ方向に、3個×3個×4個のメモリセル150を配置した記憶装置の例を示す。図29Aは、記憶装置の平面図である。また、図29Bは、図29AにA1-A2の一点鎖線で示す部位の断面図である。なお、図29Aの平面図では、図の明瞭化のために一部の要素を省いている。

[0731]

図29A及び図29Bに示す記憶装置は、メモリセル150を含む層が m (m は2以上の整数である)層積層された構成を有する。ここで、1層目(一番下)に設けられた上記層を層170[1]とし、2層目に設けられた上記層を層170[2]とし、 $(m-1)$ 層目に設けられた上記層を層170[$m-1$]とし、 m 層目(一番上)に設けられた上記層を層170[m]として、図29Bに図示している。つまり、本発明の一態様の記憶装置は、メモリセル150を含む層を複数有し、複数の層が積層されている構成を有してもよい。

[0732]

図29A及び図29Bに示すように、導電体245は、メモリユニットの外側に設けられてもよい。また、導電体245は、当該導電体245を含む層の上層に設けられた配線と電氣的に接続されてもよい。例えば、層170[1]に設けられている導電体245は、層170[2]に設けられている配線と電氣的に接続されている。なお、層170[2]に設けられている当該配線は、層170[2]に含まれるメモリセル150の下部電極(導電体110)と同じ層に設けられている。つまり、当該配線は、導電体110と同じ工程で形成することができる。

[0733]

なお、図29では、導電体245が、当該導電体245を含む層の上層に設けられた配線と電氣的に接続される構成を示しているが、本発明はこれに限られるものではない。例えば、導電体245は、当該導電体245を含む層に設けられた配線と電氣的に接続されてもよい。例えば、層170[1]に設けられている導電体245は、層170[1]に設けられている配線と電氣的に接続されてもよい。なお、層170[1]に設けられている当該配線は、層170[1]に含まれるメモリセル150の下部電極(導電体110)と同じ層に設けられている。つまり、当該配線は、導電体110と同じ工程で形成することができる。

[0734]

ここで、図29Aに示す記憶装置の平面レイアウトを図30Aに示す。具体的には、図30Aの平

面レイアウトでは、4個×4個のメモリセル150を含む領域を示している。また、配線WLとして機能する導電体260、配線BLとして機能する導電体240、及び開口部290を図示している。なお、導電体260、導電体240、及び開口部290が重なる領域にメモリセル150が設けられている。別言すると、開口部290は、導電体240の、導電体240と導電体260とが交差する領域に設けられる。

[0735]

図30Aでは、メモリセル150がマトリクス状に配置されている構成を示している。また、開口部290がマトリクス状に配置されている構成を示している。また、導電体260がY方向（列方向ともいう）に延在して設けられ、導電体240がX方向（行方向ともいう）に延在して設けられている構成を示している。別言すると、導電体260と導電体240とが直交する構成を示している。また、導電体260が延在する方向と垂直な方向（X方向）における導電体260の幅が一樣であり、導電体240が延在する方向と垂直な方向（Y方向）における導電体240の幅が一樣である構成を示している。なお、本発明はこれに限られるものではない。

[0736]

図30Bは、記憶装置の平面レイアウトの別の一例である。図30Bの平面レイアウトでは、図30Aと同様に、導電体260、導電体240、メモリセル150、及び開口部290を図示している。図30Bに示す記憶装置は、メモリセル150の配置、開口部290の配置、導電体240の形状、及び、導電体260が延在する方向が、図30Aに示す記憶装置と主に異なる。

[0737]

図30Bに示すように、メモリセル150は、奇数行と偶数行とで、メモリセル150の繰り返し単位の半分だけずれて配列されている。また、メモリセル150は、奇数列と偶数列とで、当該繰り返し単位の半分だけずれて配列されている。同様に、図30Bに示す開口部290は、奇数行と偶数行とで、開口部290の繰り返し単位の半分だけずれて配列されている。また、開口部290は、奇数列と偶数列とで、当該繰り返し単位の半分だけずれて配列されている。

[0738]

図30Bにおいて、第1のメモリセルとX方向に隣接するメモリセルを第2のメモリセルとし、第1のメモリセルと導電体260の延伸方向に隣接するメモリセルのうち、第2のメモリセルと近い方のメモリセルを第3のメモリセルとする。このとき、第1のメモリセルと第2のメモリセルの間を通り、Y方向に平行な直線上に、第3のメモリセルの中心が位置するとよい。X方向において、第3のメモリセルは、第1のメモリセル及び第2のメモリセルのそれぞれに対して、X方向に繰り返し単位の半分だけずれた場所に位置するともいえる。

[0739]

図30Bでは、導電体260の延伸方向が、Y方向に対して傾けて配置されている。一方、導電体240はX方向に延在して設けられている。つまり、メモリセル150（または開口部290）の配置によっては、導電体260の延伸方向は、導電体240の延伸方向と直交しない場合がある。別言すると、導電体260は、導電体240と直交する必要はなく、導電体260と導電体240とは交差するように配置される。

[0740]

また、図30Bに示すように、導電体240は、第1の領域と、第2の領域と、を有する。第1の領域は、開口部290及びその近傍の領域であり、第1の領域におけるY方向の幅を第1の幅とす

る。平面視において第1の領域は、四角形の角部を丸めた形状といえる。また、第2の領域は、1つの導電体240において隣接する開口部290の間の領域（隣接する2つの第1の領域の間の領域ともいえる）であり、第2の領域におけるY方向の幅を第2の幅とする。このとき、第2の幅は、第1の幅よりも小さいことが好ましい。このような構成にすることで、メモリセル150（または開口部290）を、行及び列ごとに、繰り返し単位の半分ずらして配列する場合に、導電体240間の物理距離を小さくすることができる。よって、記憶装置の微細化及び高集積化を図ることができる。

[0741]

図30Cは、記憶装置の平面レイアウトの別の一例である。図30Cの平面レイアウトでは、図30Bと同様に、導電体260、導電体240、メモリセル150、及び開口部290を図示している。図30Cに示す記憶装置は、導電体240の第1の領域の形状が、図30Bに示す記憶装置と主に異なる。

[0742]

図30Bに示す導電体240の第1の領域は、平面視において四角形の角部を丸めた形状であり、当該四角形の一辺がX方向またはY方向に平行となっている。一方、図30Cに示す導電体240の第1の領域は、平面視において四角形の角部を丸めた形状であり、当該四角形の対角線がX方向またはY方向に平行となっている。このような構成であっても、メモリセル150（または開口部290）を、行及び列によって、繰り返し単位の半分ずらして配列する場合に、導電体240間の物理距離を小さくすることができる。よって、記憶装置の微細化及び高集積化を図ることができる。

[0743]

図30B及び図30Cでは、導電体240の第1の領域が、平面視において四角形の角部を丸めた形状である例を示しているが、本発明はこれに限られるものではない。

[0744]

図31Aは、記憶装置の平面レイアウトの別の一例である。図31Aの平面レイアウトでは、図30Bと同様に、導電体260、導電体240、メモリセル150、及び開口部290を図示している。図31Aに示す記憶装置は、導電体240の第1の領域の形状が、図30Bまたは図30Cに示す記憶装置と主に異なる。

[0745]

図31Bに示す導電体240の第1の領域は、平面視において円形状である。このような構成であっても、メモリセル150（または開口部290）を、行及び列によって、繰り返し単位の半分ずらして配列する場合に、導電体240間の物理距離を小さくすることができる。よって、記憶装置の微細化及び高集積化を図ることができる。

[0746]

なお、平面視における導電体240の第1の領域は、前述した形状に限定されない。例えば、平面視における導電体240の第1の領域は、楕円などの略円形状、四角形などの多角形状、四角形等の多角形の角部を丸めた形状になってもよい。

[0747]

また、図31Aでは、導電体260が延在する方向と垂直な方向における導電体260の幅が一様である構成を示しているが、本発明はこれに限られるものではない。

[0748]

図31Bは、記憶装置の平面レイアウトの別の一例である。図31Bの平面レイアウトでは、図31Aと同様に、導電体260、導電体240、メモリセル150、及び開口部290を図示している。図31Bに示す記憶装置は、導電体260の形状が、図31Aに示す記憶装置と主に異なる。

[0749]

図31Bに示す導電体260は、導電体240と同様に、第1の領域と、第2の領域と、を有する。第1の領域は、開口部290及びその近傍の領域であり、平面視において円形状である。また、第2の領域は、1つの導電体260において隣接する開口部290の間の領域（隣接する2つの第1の領域の間の領域ともいえる）である。なお、導電体260の第1の領域は、導電体240の第1の領域と重なる。このような構成にすることで、メモリセル150（または開口部290）を、行及び列によって、繰り返し単位の半分ずらして配列する場合に、導電体260間の物理距離を小さくすることができる。よって、記憶装置の微細化及び高集積化を図ることができる。

[0750]

図31Cは、記憶装置の平面レイアウトの別の一例である。図31Cの平面レイアウトでは、図31Aと同様に、導電体260、導電体240、メモリセル150、及び開口部290を図示している。図31Cに示す記憶装置は、導電体260の形状及び延伸方向が、図31Aに示す記憶装置と主に異なる。

[0751]

図31Cに示す導電体260は、平面視において三角波のような蛇行形状であり、Y方向に延在して設けられている。このような構成にすることで、メモリセル150（または開口部290）を、行及び列によって、繰り返し単位の半分ずらして配列する場合に、導電体260間の物理距離を小さくすることができる。よって、記憶装置の微細化及び高集積化を図ることができる。なお、平面視における導電体260は上記に限られず、ミアンダ形状などであってもよい。

[0752]

上記の構成にすることで、導電体260間の物理距離、及び導電体240間の物理距離の一方または両方を小さくし、記憶装置の微細化及び高集積化を図ることができる。

[0753]

図32に、センスアンプを含む駆動回路が設けられる層上に、メモリセルを有する層が積層して設けられた記憶装置の断面構成例を示す。

[0754]

図32では、トランジスタ300の上方に容量素子100が設けられ、トランジスタ300及び容量素子100の上方にトランジスタ200が設けられている。

[0755]

トランジスタ300は、センスアンプが有するトランジスタの一つである。

[0756]

図32に示すメモリセル150（トランジスタ200及び容量素子100）の構成は、上述の通りである。

[0757]

図32に示すように、メモリセル150と重なるように、センスアンプを設ける構成にすることで、ビット線を短くすることができる。これにより、ビット線容量を小さくでき、記憶装置の高速駆動が可能となる。

[0758]

また、トランジスタ200を容量素子100の上方に設けることで、トランジスタ200は、容量素子100の作製時の熱履歴を受けない。したがって、トランジスタ200において、しきい値電圧の変動、及び寄生抵抗の増大などの電気特性の劣化、並びに電気特性の劣化に伴う電気特性のばらつきを増大などを抑制できる。

[0759]

図32に示す記憶装置は、実施の形態3で説明する記憶装置80と対応させることができる。具体的には、トランジスタ300は、記憶装置80におけるセンスアンプ46が有するトランジスタに相当する。また、メモリセル150は、メモリセル32と対応し、トランジスタ200は、トランジスタ37に相当し、容量素子100は、容量素子38に相当する。

[0760]

トランジスタ300は、基板311上に設けられ、ゲートとして機能する導電体316と、ゲート絶縁体として機能する絶縁体315と、基板311の一部からなる半導体領域313と、ソース領域またはドレイン領域として機能する低抵抗領域314a及び低抵抗領域314bと、を有する。トランジスタ300は、pチャネル型またはnチャネル型のいずれでもよい。

[0761]

ここで、図32に示すトランジスタ300はチャンネルが形成される半導体領域313（基板311の一部）が凸形状を有する。また、半導体領域313の側面及び上面を、絶縁体315を介して、導電体316が覆うように設けられている。なお、導電体316は仕事関数を調整する材料を用いてもよい。このようなトランジスタ300は半導体基板の凸部を利用していることからFIN型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を有する半導体膜を形成してもよい。

[0762]

なお、図32に示すトランジスタ300は一例であり、その構造に限定されず、回路構成または駆動方法に応じて適切なトランジスタを用いることができる。

[0763]

各構造体の間には、層間膜、配線、及びプラグ等が設けられた配線層が設けられていてもよい。また、配線層は、設計に応じて複数層設けることができる。ここで、プラグまたは配線として機能する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電気的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

[0764]

例えば、トランジスタ300上には、層間膜として、絶縁体320、絶縁体322、絶縁体324、及び絶縁体326が順に積層して設けられている。また、絶縁体320及び絶縁体322には導電体328が埋め込まれ、絶縁体324及び絶縁体326には導電体330が埋め込まれている。なお、導電体328及び導電体330はプラグ、または配線として機能する。

[0765]

また、層間膜として機能する絶縁体は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。例えば、絶縁体322の上面は、平坦性を高めるためにCMP法等を用いた平坦化処理によ

り平坦化されていてもよい。

[0766]

絶縁体326及び導電体330上に、配線層を設けてもよい。例えば、図32において、絶縁体350、絶縁体352、及び絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、及び絶縁体354には、導電体356が形成されている。導電体356は、プラグ、または配線として機能する。

[0767]

層間膜として機能する、絶縁体352、及び絶縁体354等は、前述の、記憶装置に用いることができる絶縁体を用いることができる。

[0768]

プラグ、または配線として機能する導電体、例えば、導電体328、導電体330、及び導電体356等としては、先の[導電体]に記載した導電体を用いることができる。耐熱性と導電性を両立するタングステン、モリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウム、銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0769]

トランジスタ200が有する導電体240は、導電体643、導電体642、導電体644、導電体645、導電体646、導電体356、導電体330、及び、導電体328を介して、トランジスタ300のソース領域またはドレイン領域として機能する低抵抗領域314bと、電氣的に接続されている。

[0770]

導電体643は、絶縁体280に埋め込まれている。導電体642は、絶縁体130上に設けられ、絶縁体641に埋め込まれている。導電体642は、導電体120と同一の材料、及び、同一の工程で作製することができる。導電体644は、絶縁体180及び絶縁体130に埋め込まれている。導電体645は、絶縁体647に埋め込まれている。導電体645は、導電体110と同一の材料、及び、同一の工程で作製することができる。導電体646は、絶縁体648に埋め込まれている。絶縁体648によって、トランジスタ300と、導電体110と、が電氣的に絶縁されている。

[0771]

本発明の一態様により、新規のトランジスタ、半導体装置、及び記憶装置を提供できる。または、微細化または高集積化が可能なトランジスタ、半導体装置、及び、記憶装置を提供できる。または、信頼性の高いトランジスタ、半導体装置、及び、記憶装置を提供できる。または、オン電流が大きいトランジスタと、当該トランジスタを有する半導体装置、及び、記憶装置を提供できる。または、トランジスタ特性のばらつきが少ない半導体装置及び記憶装置を提供できる。または、電気特性が良好なトランジスタと、当該トランジスタを有する半導体装置及び記憶装置を提供できる。または、消費電力の低い半導体装置及び記憶装置を提供できる。または、周波数特性が良好な記憶装置を提供できる。または、動作速度が速い記憶装置を提供できる。

[0772]

本実施の形態は、他の実施の形態及び実施例と適宜組み合わせることができる。

[0773]

(実施の形態3)

本実施の形態では、本発明の一態様の記憶装置について図 3 3 乃至図 3 6 を用いて説明する。本実施の形態では、センスアンプを含む駆動回路が設けられる層上に、メモリセルを有する層が積層して設けられた記憶装置の構成例について説明する。

[0774]

<記憶装置の構成例 4>

図 3 3 に、本発明の一態様に係る記憶装置 8 0 の構成例を示すブロック図を示す。図 3 3 に示す記憶装置 8 0 は、層 2 0 と、積層された層 7 0 と、を有する。

[0775]

層 2 0 は、S i トランジスタを有する層である。積層された層 7 0 では、素子層 3 0 [1] 乃至 3 0 [m] (m は 2 以上の整数。) が積層して設けられる。素子層 3 0 [1] 乃至 3 0 [m] は、O S トランジスタを有する層である。O S トランジスタを有する層が積層して設けられる層 7 0 は、層 2 0 上に積層して設けることができる。

[0776]

素子層 3 0 [1] 乃至 3 0 [m] が有する O S トランジスタ及び容量素子といった素子は、メモリセルを構成する。図 3 3 では、素子層 3 0 [1] 乃至 3 0 [m] において、m 行 n 列 (n は 2 以上の整数) のマトリクス状に配置された複数のメモリセル 3 2 を有する例を示している。

[0777]

図 3 3 では、1 行 1 列目のメモリセル 3 2 をメモリセル 3 2 [1, 1] と示し、m 行 n 列目のメモリセル 3 2 をメモリセル 3 2 [m, n] と示している。また、本実施の形態などでは、任意の行を示す場合に i 行と記す場合がある。また、任意の列を示す場合に j 列と記す場合がある。よって、i は 1 以上 m 以下の整数であり、j は 1 以上 n 以下の整数である。また、本実施の形態などでは、i 行 j 列目のメモリセル 3 2 をメモリセル 3 2 [i, j] と示している。なお、本実施の形態などにおいて、「i + α 」(α は正または負の整数) と示す場合は、「i + α 」は 1 を下回らず、m を超えない。同様に、「j + α 」と示す場合は、「j + α 」は 1 を下回らず、n を超えない。

[0778]

また図 3 3 では、一例として、行方向に延在する m 本の配線 W L と、行方向に延在する m 本の配線 P L と、列方向に延在する n 本の配線 B L と、を図示している。本実施の形態などでは、1 本目 (1 行目) に設けられた配線 W L を配線 W L [1] と示し、m 本目 (m 行目) に設けられた配線 W L を配線 W L [m] と示す。同様に、1 本目 (1 行目) に設けられた配線 P L を配線 P L [1] と示し、m 本目 (m 行目) に設けられた配線 P L を配線 P L [m] と示す。同様に、1 本目 (1 列目) に設けられた配線 B L を配線 B L [1] と示し、n 本目 (n 列目) に設けられた配線 B L を配線 B L [n] と示す。なお素子層 3 0 [1] 乃至 3 0 [m] の層数と、配線 W L (及び配線 P L) の本数は、同じでなくてもよい。

[0779]

i 行目に設けられた複数のメモリセル 3 2 は、i 行目の配線 W L (配線 W L [i]) と i 行目の配線 P L (配線 P L [i]) に電氣的に接続される。j 列目に設けられた複数のメモリセル 3 2 は、j 列目の配線 B L (配線 B L [j]) と電氣的に接続される。

[0780]

配線 B L は、データの書き込み及び読み出しを行うためのビット線として機能する。配線 W L は、スイッチとして機能するアクセストランジスタのオンまたはオフ (導通状態または非導通状態) を

制御するためのワード線として機能する。配線PLは、キャパシタに接続される定電位線としての機能を有する。なおバックゲート電位を伝える配線としては、配線CL（図示せず）を別途設けることができる。

[0781]

素子層30 [1]乃至30 [m]がそれぞれ有するメモリセル32は、配線BLを介してセンスアンプ46に接続される。配線BLは、層20が設けられる基板表面の水平方向及び垂直方向に配置することができる。素子層30 [1]乃至30 [m]が有するメモリセル32から延びて設けられる配線BLを、基板表面の水平方向に配置される配線に加え、垂直方向に配置される配線で構成することで、素子層30とセンスアンプ46との間の配線の長さを短くできる。メモリセルとセンスアンプとの間の信号伝搬距離を短くでき、ビット線の抵抗及び寄生容量が大幅に削減されるため、消費電力及び信号遅延の低減が実現できる。そのため、記憶装置80の消費電力及び信号遅延の低減が実現できる。またメモリセル32が有するキャパシタの容量を小さくしても動作させることが可能となる。そのため、記憶装置80の小型化が実現できる。

[0782]

層20は、パワースイッチ71 (PSW)、パワースイッチ72、及び周辺回路22を有する。周辺回路22は、駆動回路40、コントロール回路73、及び電圧生成回路74を有する。なお層20が有する各回路は、Siトランジスタを有する回路である。

[0783]

記憶装置80において、各回路、各信号及び各電圧は、必要に応じて、適宜取捨することができる。あるいは、他の回路または他の信号を追加してもよい。信号BW、信号CE、信号GW、信号CLK、信号WAKE、信号ADDR、信号WDA、信号PON1、信号PON2は外部からの入力信号であり、信号RDAは外部への出力信号である。信号CLKはクロック信号である。

[0784]

また、信号BW、信号CE、及び信号GWは制御信号である。信号CEはチップイネーブル信号であり、信号GWはグローバル書き込みイネーブル信号であり、信号BWはバイト書き込みイネーブル信号である。信号ADDRはアドレス信号である。信号WDAは書き込みデータであり、信号RDAは読み出しデータである。信号PON1、信号PON2は、パワーゲーティング制御用信号である。なお、信号PON1、信号PON2は、コントロール回路73で生成してもよい。

[0785]

コントロール回路73は、記憶装置80の動作全般を制御する機能を有するロジック回路である。例えば、コントロール回路は、信号CE、信号GW及び信号BWを論理演算して、記憶装置80の動作モード（例えば、書き込み動作、読み出し動作）を決定する。または、コントロール回路73は、この動作モードが実行されるように、駆動回路40の制御信号を生成する。

[0786]

電圧生成回路74は負電圧を生成する機能を有する。信号WAKEは、信号CLKの電圧生成回路74への入力を制御する機能を有する。例えば、信号WAKEにHレベルの信号が与えられると、信号CLKが電圧生成回路74へ入力され、電圧生成回路74は負電圧を生成する。

[0787]

駆動回路40は、メモリセル32に対するデータの書き込み及び読み出しをするための回路である。駆動回路40は、行デコーダ42、列デコーダ44、行ドライバ43、列ドライバ45、入力回路

47、出力回路48に加え、前述したセンスアンプ46を有する。

[0788]

行デコーダ42及び列デコーダ44は、信号ADDRをデコードする機能を有する。行デコーダ42は、アクセスする行を指定するための回路であり、列デコーダ44は、アクセスする列を指定するための回路である。行ドライバ43は、行デコーダ42が指定する配線WLを選択する機能を有する。列ドライバ45は、データをメモリセル32に書き込む機能、メモリセル32からデータを読み出す機能、読み出したデータを保持する機能等を有する。

[0789]

入力回路47は、信号WDAを保持する機能を有する。入力回路47が保持するデータは、列ドライバ45に出力される。入力回路47の出力データが、メモリセル32に書き込むデータ(Din)である。列ドライバ45がメモリセル32から読み出したデータ(Out)は、出力回路48に出力される。出力回路48は、Outを保持する機能を有する。また、出力回路48は、Outを記憶装置80の外部に出力する機能を有する。出力回路48から出力されるデータが信号RDAである。

[0790]

パワースイッチ71は周辺回路22へのVDDの供給を制御する機能を有する。パワースイッチ72は、行ドライバ43へのVHMの供給を制御する機能を有する。ここでは、記憶装置80の高電源電圧がVDDであり、低電源電圧はGND(接地電位)である。また、VHMは、ワード線を高レベルにするために用いられる高電源電圧であり、VDDよりも高い。信号PON1によってパワースイッチ71のオン・オフが制御され、信号PON2によってパワースイッチ72のオン・オフが制御される。図33では、周辺回路22において、VDDが供給される電源ドメインの数を1としているが、複数にすることもできる。この場合、各電源ドメインに対してパワースイッチを設ければよい。

[0791]

素子層30[1]乃至30[m]は、層20上に重ねて設けることができる。図34Aに、層20上に5層(m=5)の素子層30[1]乃至30[5]を重ねて設けられる様子を示す記憶装置80の斜視図を示している。

[0792]

図34Aでは、1層目に設けられた素子層30を素子層30[1]と示し、2層目に設けられた素子層30を素子層30[2]と示し、5層目に設けられた素子層30を素子層30[5]と示している。また図34Aにおいて、X方向に延びて設けられる配線WL、及び配線PLと、Y方向及びZ方向(駆動回路が設けられる基板表面に垂直な方向)に延びて設けられる配線BL及び配線BLBと、を図示している。配線BLBは、反転ビット線である。なお、図面を見やすくするため、素子層30それぞれが有する配線WL及び配線PLの記載を一部省略している。

[0793]

図34Bに、図34Aで図示した配線BL及び配線BLBに接続されたセンスアンプ46、及び配線BL及び配線BLBに接続された素子層30[1]乃至30[5]が有するメモリセル32の構成例を説明する模式図を示す。なお、1つの配線BL及び配線BLBに複数のメモリセル(メモリセル32)が電氣的に接続される構成を「メモリストリング」ともいう。

[0794]

図34Bでは、配線BLBに接続されるメモリセル32の回路構成の一例を図示している。メモリセル32は、トランジスタ37及び容量素子38を有する。トランジスタ37、容量素子38、及び各配線(BL、及びWLなど)についても、例えば配線BL[1]及び配線WL[1]を配線BL及び配線WLなどのようにいう場合がある。メモリセル32には、例えば、先の実施の形態で例示したメモリセル150を適用することができる。つまり、トランジスタ37として、トランジスタ200を用い、容量素子38として、容量素子100を用いることができる。また、センスアンプ46が有するトランジスタとしては、トランジスタ300(図32参照)を用いることができる。

[0795]

メモリセル32において、トランジスタ37のソースまたはドレインの一方は配線BLに接続される。トランジスタ37のソースまたはドレインの他方は容量素子38の一方の電極に接続される。容量素子38の他方の電極は、配線PLに接続される。トランジスタ37のゲートは配線WLに接続される。

[0796]

配線PLは、容量素子38の電位を保持するための定電位を与える配線である。複数の配線PL同士は、1つの配線として接続して設けることで配線数を削減することができる。

[0797]

本発明の一形態では、OSトランジスタは積層して設けるとともに、ビット線として機能する配線を、層20が設けられる基板表面の垂直方向に配置する。加えて、メモリセル32が有するトランジスタ37及び容量素子38を、層20が設けられる基板表面の垂直方向に並べて配置する。各素子及び各配線を基板表面の垂直方向に設けることで、素子層間の配線の長さを短くできるとともに、単位面積当たりに設けられる素子の密度を高めることができる。そのため、記憶容量及び消費電力の低減に優れた記憶装置とすることができる。

[0798]

[メモリセル32、センスアンプ46の構成例]

図35A及び図35Bには、上述したメモリセル32に対応する回路図、及び当該回路図に対応する回路ブロックを説明する図を示す。図35A及び図35Bに図示するように、メモリセル32は図面等においてブロックとして表す場合がある。なお図35A及び図35Bに図示する配線BLは、配線BLBに置き換えた場合も同様に表すことができる。

[0799]

また、図35C及び図35Dには、上述したセンスアンプ46に対応する回路図、及び当該回路図に対応する回路ブロックを説明する図を示す。センスアンプ46は、スイッチ回路82、プリチャージ回路83、プリチャージ回路84、増幅回路85を図示している。また、配線BL、配線BLBの他、読み出される信号を出力する配線SA_OUT、配線SA_OUTBを図示している。

[0800]

スイッチ回路82は、図35Cに図示するように、例えばnチャンネル型のトランジスタ82_1、82_2を有する。トランジスタ82_1、82_2は、信号CSELに応じて、配線SA_OUT、配線SA_OUTBの配線対と、配線BL、配線BLBの配線対と、の導通状態を切り替える。

[0801]

プリチャージ回路83は、図35Cに図示するように、nチャンネル型のトランジスタ83_1乃至83_3で構成される。プリチャージ回路83は、信号EQに応じて、配線BL及び配線BLBを

電位VDD/2に相当する中間電位VPREにプリチャージするための回路である。

[0802]

プリチャージ回路84は、図35Cに図示するように、pチャネル型のトランジスタ84__1乃至84__3で構成される。プリチャージ回路84は、信号EQBに応じて、配線BL及び配線BLBを電位VDD/2に相当する中間電位VPREにプリチャージするための回路である。

[0803]

増幅回路85は、図35Cに図示するように、配線SAPまたは配線SANに接続された、pチャネル型のトランジスタ85__1、85__2及びnチャネル型のトランジスタ85__3、85__4で構成される。配線SAPまたは配線SANは、VDDまたはVSSを与える機能を有する配線である。トランジスタ85__1乃至85__4は、インバータループを構成するトランジスタである。

[0804]

また、図35Dには図35C等で説明したセンスアンプ46に対応する回路ブロックを説明する図を示す。図35Dに図示するように、センスアンプ46は図面等においてブロックとして表す場合がある。

[0805]

図36は、図33の記憶装置80の回路図である。図36では、図35A乃至図35Dで説明した回路ブロックを用いて図示している。

[0806]

図36に図示するように素子層30[m]を含む層70は、メモリセル32を有する。図36に図示するメモリセル32は、一例として、対になる配線BL[1]及び配線BLB[1]、または配線BL[2]及び配線BLB[2]に接続される。配線BLに接続されるメモリセル32は、データの書き込みまたは読み出しがされるメモリセルである。

[0807]

配線BL[1]及び配線BLB[1]は、センスアンプ46[1]に接続され、配線BL[2]及び配線BLB[2]は、センスアンプ46[2]に接続される。センスアンプ46[1]及びセンスアンプ46[2]は、図35Cで説明した各種信号に応じてデータの読み出しを行うことができる。

[0808]

本実施の形態は、他の実施の形態及び実施例と適宜組み合わせることができる。

[0809]

(実施の形態4)

本実施の形態では、本発明の一態様の半導体装置の応用例について図37乃至図40を用いて説明する。本発明の一態様の半導体装置は、例えば、電子部品、電子機器、大型計算機、宇宙用機器、及びデータセンター(Data Center: DCとも呼称する)に用いることができる。本発明の一態様の半導体装置を用いた、電子部品、電子機器、大型計算機、宇宙用機器、及びデータセンターは、低消費電力化といった高性能化に有効である。

[0810]

[電子部品]

電子部品700が実装された基板(実装基板704)の斜視図を、図37Aに示す。図37Aに示す電子部品700は、モールド711内に半導体装置710を有している。図37Aは、電子部品

700の内部を示すために、一部の記載を省略している。電子部品700は、モールド711の外側にランド712を有する。ランド712は電極パッド713と電氣的に接続され、電極パッド713は半導体装置710とワイヤ714を介して電氣的に接続されている。電子部品700は、例えばプリント基板702に実装される。このような電子部品が複数組み合わせられて、それぞれがプリント基板702上で電氣的に接続されることで実装基板704が完成する。

[0811]

また、半導体装置710は、駆動回路層715と、記憶層716と、を有する。なお、記憶層716は、複数のメモリセルアレイが積層された構成である。駆動回路層715と、記憶層716と、が積層された構成は、モノリシックに積層することができる。モノリシックに積層する構成では、TSV(Through Silicon Via)などの貫通電極技術、及び、Cu-Cu直接接合などの接合技術、を用いることなく、各層間を接続することができる。駆動回路層715と、記憶層716と、をモノリシックに積層することで、例えば、プロセッサ上にメモリが直接形成される、いわゆるオンチップメモリの構成とすることができる。オンチップメモリの構成とすることで、プロセッサと、メモリとのインターフェース部分の動作を高速にすることが可能となる。

[0812]

また、オンチップメモリの構成とすることで、TSVなどの貫通電極を用いる技術と比較し、接続配線などのサイズを小さくできるため、接続ピン数を増加させることも可能となる。接続ピン数を増加させることで、並列動作が可能となるため、メモリのバンド幅(メモリバンド幅ともいう)を向上させることが可能となる。

[0813]

また、記憶層716が有する、複数のメモリセルアレイを、OSトランジスタを用いて形成し、当該複数のメモリセルアレイをモノリシックで積層することが好ましい。複数のメモリセルアレイをモノリシックに積層することで、メモリのバンド幅、及びメモリのアクセスレイテンシの一方または双方を向上させることができる。なお、バンド幅とは、単位時間あたりのデータ転送量であり、アクセスレイテンシとは、アクセスしてからデータのやり取りが始まるまでの時間である。なお、記憶層716にSiトランジスタを用いる構成の場合、OSトランジスタと比較し、モノリシックに積層することが困難である。そのため、モノリシックに積層する構成において、OSトランジスタは、Siトランジスタよりも優れた構造であるといえる。

[0814]

また、半導体装置710を、ダイと呼称してもよい。なお、本明細書等において、ダイとは、半導体チップの製造工程で、例えば円盤状の基板(ウエハともいう)などに回路パターンを形成し、さいの目状に切り分けて得られたチップ片を表す。なお、ダイに用いることのできる半導体材料として、例えば、シリコン(Si)、炭化ケイ素(SiC)、または窒化ガリウム(GaN)などが挙げられる。例えば、シリコン基板(シリコンウエハともいう)から得られたダイを、シリコンダイという場合がある。

[0815]

次に、電子部品730の斜視図を図37Bに示す。電子部品730は、SiP(System in Package)またはMCM(Multi Chip Module)の一例である。電子部品730は、パッケージ基板732(プリント基板)上にインターポーザ731が設けられ、インターポーザ731上に半導体装置735、及び複数の半導体装置710が設けられている。

[0816]

電子部品730では、半導体装置710を広帯域メモリ(HBM:High Bandwidth Memory)として用いる例を示している。また、半導体装置735は、CPU(Central Processing Unit)、GPU(Graphics Processing Unit)、またはFPGA(Field Programmable Gate Array)等の集積回路に用いることができる。

[0817]

パッケージ基板732は、例えば、セラミックス基板、プラスチック基板、または、ガラスエポキシ基板を用いることができる。インターポーザ731は、例えば、シリコンインターポーザ、または樹脂インターポーザを用いることができる。

[0818]

インターポーザ731は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ731は、インターポーザ731上に設けられた集積回路をパッケージ基板732に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼ぶ場合がある。また、インターポーザ731に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板732を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、TSVを用いることもできる。

[0819]

HBMでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBMを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、HBMを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

[0820]

また、シリコンインターポーザを用いた、SiP及びMCM等では、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する2.5Dパッケージ(2.5次元実装)では、シリコンインターポーザを用いることが好ましい。

[0821]

一方で、シリコンインターポーザ、及びTSVなどを用いて端子ピッチの異なる複数の集積回路を電氣的に接続する場合、当該端子ピッチの幅などのスペースが必要となる。そのため、電子部品730のサイズを小さくしようとした場合、上記の端子ピッチの幅が問題になり、広いメモリバンド幅を実現するために必要な多くの配線を設けることが、困難になる場合がある。そこで、前述したように、OSトランジスタを用いてモノリシックに積層する構成が好適である。TSVを用いて積層したメモリセルアレイと、モノリシックに積層したメモリセルアレイと、を組み合わせた複合化構造としてもよい。

[0822]

また、電子部品730と重ねてヒートシンク(放熱板)を設けてもよい。ヒートシンクを設ける場合は、インターポーザ731上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品730では、半導体装置710と半導体装置735の高さを揃えることが好

ましい。

[0823]

電子部品730を他の基板に実装するため、パッケージ基板732の底部に電極733を設けてもよい。図37Bでは、電極733を半田ボールで形成する例を示している。パッケージ基板732の底部に半田ボールをマトリクス状に設けることで、BGA (Ball Grid Array) 実装を実現できる。また、電極733を導電性のピンで形成してもよい。パッケージ基板732の底部に導電性のピンをマトリクス状に設けることで、PGA (Pin Grid Array) 実装を実現できる。

[0824]

電子部品730は、BGA及びPGAに限らず様々な実装方法を用いて他の基板に実装することができる。実装方法としては、例えば、SPGA (Staggered Pin Grid Array)、LGA (Land Grid Array)、QFP (Quad Flat Package)、QFJ (Quad Flat J-leaded package)、及び、QFN (Quad Flat Non-leaded package) が挙げられる。

[0825]

[電子機器]

次に、電子機器6500の斜視図を図38Aに示す。図38Aに示す電子機器6500は、スマートフォンとして用いることのできる携帯情報端末機である。電子機器6500は、筐体6501、表示部6502、電源ボタン6503、ボタン6504、スピーカ6505、マイク6506、カメラ6507、光源6508、及び制御装置6509などを有する。なお、制御装置6509としては、例えば、CPU、GPU、及び記憶装置の中から選ばれるいずれか一または複数を含む。本発明の一態様の半導体装置は、表示部6502、制御装置6509などに適用することができる。

[0826]

図38Bに示す電子機器6600は、ノート型パーソナルコンピュータとして用いることのできる情報端末機である。電子機器6600は、筐体6611、キーボード6612、ポインティングデバイス6613、外部接続ポート6614、表示部6615、制御装置6616などを有する。なお、制御装置6616としては、例えば、CPU、GPU、及び記憶装置の中から選ばれるいずれか一または複数を含む。本発明の一態様の半導体装置は、表示部6615、制御装置6616などに適用することができる。なお、本発明の一態様の半導体装置を、前述の制御装置6509、及び制御装置6616に用いることで、消費電力を低減させることができるため好適である。

[0827]

[大型計算機]

次に、大型計算機5600の斜視図を図38Cに示す。図38Cに示す大型計算機5600には、ラック5610にラックマウント型の計算機5620が複数格納されている。なお、大型計算機5600を、スーパーコンピュータと呼称してもよい。

[0828]

計算機5620は、例えば、図38Dに示す斜視図の構成とすることができる。図38Dにおいて、計算機5620は、マザーボード5630を有し、マザーボード5630は、複数のスロット5631、複数の接続端子を有する。スロット5631には、PCカード5621が挿入されている。加えて、PCカード5621は、接続端子5623、接続端子5624、接続端子5625を有し、

それぞれ、マザーボード5630に接続されている。

[0829]

図38Eに示すPCカード5621は、CPU、GPU、記憶装置などを備えた処理ボードの一例である。PCカード5621は、ボード5622を有する。また、ボード5622は、接続端子5623と、接続端子5624と、接続端子5625と、半導体装置5626と、半導体装置5627と、半導体装置5628と、接続端子5629と、を有する。なお、図38Eには、半導体装置5626、半導体装置5627、及び半導体装置5628以外の半導体装置を図示しているが、それらの半導体装置については、以下に記載する半導体装置5626、半導体装置5627、及び半導体装置5628の説明を参照できる。

[0830]

接続端子5629は、マザーボード5630のスロット5631に挿入することができる形状を有しており、接続端子5629は、PCカード5621とマザーボード5630とを接続するためのインターフェースとして機能する。接続端子5629の規格としては、例えば、PCIeなどが挙げられる。

[0831]

接続端子5623、接続端子5624、接続端子5625は、例えば、PCカード5621に対して電力供給、信号入力などを行うためのインターフェースとすることができる。また、例えば、PCカード5621によって計算された信号の出力などを行うためのインターフェースとすることができる。接続端子5623、接続端子5624、接続端子5625のそれぞれの規格としては、例えば、USB (Universal Serial Bus)、SATA (Serial ATA)、SCSI (Small Computer System Interface) などが挙げられる。また、接続端子5623、接続端子5624、接続端子5625から映像信号を出力する場合、それぞれの規格としては、HDMI (登録商標) などが挙げられる。

[0832]

半導体装置5626は、信号の入出力を行う端子 (図示しない) を有しており、当該端子をボード5622が備えるソケット (図示しない) に対して差し込むことで、半導体装置5626とボード5622を電氣的に接続することができる。

[0833]

半導体装置5627は、複数の端子を有しており、当該端子をボード5622が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置5627とボード5622を電氣的に接続することができる。半導体装置5627としては、例えば、FPGA、GPU、CPUなどが挙げられる。半導体装置5627として、例えば、電子部品730を用いることができる。

[0834]

半導体装置5628は、複数の端子を有しており、当該端子をボード5622が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置5628とボード5622を電氣的に接続することができる。半導体装置5628としては、例えば、記憶装置などが挙げられる。半導体装置5628として、例えば、電子部品700を用いることができる。

[0835]

大型計算機5600は並列計算機としても機能できる。大型計算機5600を並列計算機として用いることで、例えば、人工知能の学習、及び推論に必要な大規模の計算を行うことができる。

[0836]

[宇宙用機器]

本発明の一態様の半導体装置は、宇宙用機器に好適に用いることができる。

[0837]

本発明の一態様の半導体装置は、OSトランジスタを含む。OSトランジスタは、放射線照射による電気特性の変動が小さい。つまり放射線に対する耐性が高いため、放射線が入射しうる環境において好適に用いることができる。例えば、OSトランジスタは、宇宙空間にて使用する場合に好適に用いることができる。具体的には、OSトランジスタを、スペースシャトル、人工衛星、または、宇宙探査機に設けられる半導体装置を構成するトランジスタに用いることができる。放射線として、例えば、X線、及び中性子線が挙げられる。なお、宇宙空間とは、例えば、高度100km以上を指すが、本明細書に記載の宇宙空間は、熱圏、中間圏、及び成層圏のうち一つまたは複数を含んでもよい。

[0838]

図39には、宇宙用機器の一例として、人工衛星6800を示している。人工衛星6800は、機体6801と、ソーラーパネル6802と、アンテナ6803と、二次電池6805と、制御装置6807と、を有する。なお、図39においては、宇宙空間に惑星6804を例示している。

[0839]

また、図39には、図示していないが、二次電池6805に、バッテリマネジメントシステム(BMSともいう)、またはバッテリ制御回路を設けてもよい。前述のバッテリマネジメントシステム、またはバッテリ制御回路に、OSトランジスタを用いると、消費電力が低く、且つ宇宙空間においても高い信頼性を有するため好適である。

[0840]

また、宇宙空間は、地上に比べて100倍以上、放射線量の高い環境である。なお、放射線として、例えば、X線、及びガンマ線に代表される電磁波(電磁放射線)、並びにアルファ線、ベータ線、中性子線、陽子線、重イオン線、中間子線などに代表される粒子放射線が挙げられる。

[0841]

ソーラーパネル6802に太陽光が照射されることにより、人工衛星6800が動作するために必要な電力が生成される。しかしながら、例えばソーラーパネルに太陽光が照射されない状況、またはソーラーパネルに照射される太陽光の光量が少ない状況では、生成される電力が少なくなる。よって、人工衛星6800が動作するために必要な電力が生成されない可能性がある。生成される電力が少ない状況下であっても人工衛星6800を動作させるために、人工衛星6800に二次電池6805を設けるとよい。なお、ソーラーパネルは、太陽電池モジュールと呼ばれる場合がある。

[0842]

人工衛星6800は、信号を生成することができる。当該信号は、アンテナ6803を介して送信され、例えば地上に設けられた受信機、または他の人工衛星が当該信号を受信することができる。人工衛星6800が送信した信号を受信することにより、当該信号を受信した受信機の位置を測定することができる。以上より、人工衛星6800は、衛星測位システムを構成することができる。

[0843]

また、制御装置6807は、人工衛星6800を制御する機能を有する。制御装置6807としては、例えば、CPU、GPU、及び記憶装置の中から選ばれるいずれか一または複数を用いて構成

される。なお、制御装置6807には、本発明の一態様であるOSトランジスタを含む半導体装置を用いると好適である。OSトランジスタは、Siトランジスタと比較し、放射線照射による電気特性の変動が小さい。つまり放射線が入射しうる環境においても信頼性が高く、好適に用いることができる。

[0844]

また、人工衛星6800は、センサを有する構成とすることができる。例えば、可視光センサを有する構成とすることにより、人工衛星6800は、地上に設けられている物体に当たって反射された太陽光を検出する機能を有することができる。または、熱赤外センサを有する構成とすることにより、人工衛星6800は、地表から放出される熱赤外線を検出する機能を有することができる。以上より、人工衛星6800は、例えば地球観測衛星としての機能を有することができる。

[0845]

なお、本実施の形態においては、宇宙用機器の一例として、人工衛星について例示したがこれに限定されない。例えば、本発明の一態様の半導体装置は、宇宙船、宇宙カプセル、宇宙探査機などの宇宙用機器に好適に用いることができる。

[0846]

以上の説明の通り、OSトランジスタは、Siトランジスタと比較し、広いメモリバンド幅の実現が可能なこと、放射線耐性が高いこと、といった優れた効果を有する。

[0847]

[データセンター]

本発明の一態様の半導体装置は、例えば、データセンターなどに適用されるストレージシステムに好適に用いることができる。データセンターは、データの不変性を保障するなど、データの長期的な管理を行うことが求められる。長期的なデータを管理する場合、膨大なデータを記憶するためのストレージ及びサーバの設置、データを保持するための安定した電源の確保、あるいはデータの保持に要する冷却設備の確保、など建屋の大型化が必要となる。

[0848]

データセンターに適用されるストレージシステムに本発明の一態様の半導体装置を用いることにより、データの保持に要する電力の低減、データを保持する半導体装置の小型化を図ることができる。そのため、ストレージシステムの小型化、データを保持するための電源の小型化、冷却設備の小規模化、などを図ることができる。そのため、データセンターの省スペース化を図ることができる。

[0849]

また、本発明の一態様の半導体装置は、消費電力が少ないため、回路からの発熱を低減することができる。よって、当該発熱によるその回路自体、周辺回路、及びモジュールへの悪影響を低減できる。また、本発明の一態様の半導体装置を用いることにより、高温環境下においても動作が安定したデータセンターを実現できる。よってデータセンターの信頼性を高めることができる。

[0850]

図40にデータセンターに適用可能なストレージシステムを示す。図40に示すストレージシステム7000は、ホスト7001(Host Computerと図示)として複数のサーバ7001sbを有する。また、ストレージ7003(Storageと図示)として複数の記憶装置7003mdを有する。ホスト7001とストレージ7003とは、ストレージエリアネットワーク7004(SAN:Storage Area Networkと図示)及びストレージ制御回路7

002 (Storage Controllerと図示) を介して接続されている形態を図示している。

[0851]

ホスト7001は、ストレージ7003に記憶されたデータにアクセスするコンピュータに相当する。ホスト7001同士は、ネットワークで互いに接続されていてもよい。

[0852]

ストレージ7003は、フラッシュメモリを用いることで、データのアクセススピード、つまりデータの記憶及び出力に要する時間を短くしているものの、当該時間は、ストレージ内のキャッシュメモリとして用いることのできるDRAMが要する時間に比べて格段に長い。ストレージシステムでは、ストレージ7003のアクセススピードの長さの問題を解決するために、通常ストレージ内にキャッシュメモリを設けてデータの記憶及び出力に要する時間を短くしている。

[0853]

前述のキャッシュメモリは、ストレージ制御回路7002及びストレージ7003内に用いられる。ホスト7001とストレージ7003との間でやり取りされるデータは、ストレージ制御回路7002及びストレージ7003内の当該キャッシュメモリに記憶されたのち、ホスト7001またはストレージ7003に出力される。

[0854]

前述のキャッシュメモリのデータを記憶するためのトランジスタとして、OSトランジスタを用いてデータに応じた電位を保持する構成とすることで、リフレッシュする頻度を減らし、消費電力を小さくすることができる。またメモリセルアレイを積層する構成とすることで小型化が可能である。

[0855]

なお、本発明の一態様の半導体装置を、電子部品、電子機器、大型計算機、宇宙用機器、及びデータセンターの中から選ばれるいずれか一または複数に適用することで、消費電力を低減させる効果が期待される。そのため、半導体装置の高性能化、または高集積化に伴うエネルギー需要の増加が見込まれる中、本発明の一態様の半導体装置を用いることで、二酸化炭素(CO₂)に代表される、温室効果ガスの排出量を低減させることも可能となる。また、本発明の一態様の半導体装置は、低消費電力であるため地球温暖化対策としても有効である。

[0856]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

[実施例1]

[0857]

本実施例では、本発明の一態様の酸化半導体膜、及び、本発明の一態様の半導体装置を作製し、評価した結果について説明する。

[0858]

[XPS]

まず、本発明の一態様の酸化半導体膜を形成し、XPS分析を行った。

[0859]

試料は、シリコン基板に対して、塩化水素(HCl)雰囲気中で熱処理することで、下地膜として膜厚約100nmの酸化シリコン(SiO_x)膜を形成し、さらに、酸化半導体膜として、ALD法を用いて、膜厚約20nmのIGZO膜を形成することで作製した。

[0860]

なお、 SiO_x 膜とIGZO膜は、基板の両面に形成した。本実施例では、図10A及び図10Bに示すように、基板の両面（基板4430のおもて面4430aと裏面4430bに相当）にIGZO膜（膜4431aと膜4431bに相当）が形成される、成膜装置を用いた。

[0861]

IGZO膜の具体的な形成方法には、以下に示す<IGZO膜の形成条件>を適用した。

[0862]

<IGZO膜の形成条件>

IGZO膜の形成に用いたプリカーサは、トリエチルインジウム（TEI）、トリエチルガリウム（TEG）、及び、ジエチル亜鉛（DEZ）である。また、酸化剤として、オゾン（ O_3 ）と酸素（ O_2 ）を用いた。 O_3 ガスと O_2 ガスを合わせたガス流量は1000 sccmであり、オゾン濃度は19wt%とした。キャリアガスとしては、 N_2 ガスを用い、ガス流量は150 sccmとした。

[0863]

IGZO膜は、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] の組成となるように形成した（以下、IGZO（111）膜と記す場合がある）。具体的な1サイクルの成膜方法としては、チャンバーに、TEIを有するガスを0.1秒間導入し、3秒間パージしたあと、 O_3 ガスと O_2 ガスを45秒間導入し、3秒間パージした。次に、チャンバーに、TEGを有するガスを0.1秒間導入し、10秒間パージしたあと、 O_3 ガスと O_2 ガスを45秒間導入し、3秒間パージした。次に、チャンバーに、DEZを有するガスを0.1秒間導入し、3秒間パージしたあと、 O_3 ガスと O_2 ガスを9秒間導入し、3秒間パージした。なお、成膜時の基板温度は、200°Cとした。

[0864]

作製した試料のIGZO膜の表面近傍をXPS分析した。XPS分析は、試料のおもて側に形成されたIGZO膜に対して行った。得られた $\text{Al}2p$ のスペクトルを図41に示す。図41において、横軸は、結合エネルギー（Binding Energy）[eV]を表し、縦軸は、光電子の強度（Intensity）（任意単位）を表す。

[0865]

IGZO膜のXPS分析をしたところ、アルミニウム（Al）由来のピークが検出された。74.2 eV以上74.8 eV以下の範囲にピーク位置を有する場合は、Alが酸化状態で存在しているといえることができる。図41に示すように、約74.3 eVの位置にピークを有することから、IGZO膜中のAlは、 Al_2O_3 などの状態で存在していることがわかった。

[0866]

なお、本明細書等において、XPS分析したときのある元素の結合エネルギーのピーク位置とは、その元素の結合エネルギーに該当する範囲で、エネルギースペクトルの強度が極大となる結合エネルギーの値をいうこととする。

[0867]

XPSのスペクトルから得られた、Alの定量値は、約4.0 atomic%であった。なお、Alの検出下限は、1.0 atomic%程度である。

[0868]

[ホール効果測定]

次に、ホール効果測定を用いて、酸化物半導体膜のキャリア濃度と抵抗率を測定した。

[0869]

試料は、石英基板上に、ALD法を用いて、膜厚約35nmのIGZO(111)膜を形成することで作製した。

[0870]

ホール効果測定用の試料としては、試料A、B、Cの3種類を作製した。3種類の試料は、それぞれ、酸化剤の導入時間が異なり、それ以外は、同様に作製した。

[0871]

試料Cには、前述の<IGZO膜の形成条件>を適用した。つまり、TEIを有するガスを導入した後の、酸化剤(O₃ガスとO₂ガス)の導入時間を45秒間とし、TEGを有するガスを導入した後の、酸化剤の導入時間を45秒間とし、DEZを有するガスを導入した後の、酸化剤の導入時間を9秒間とした。さらに、超乾燥空気の雰囲気下で、450℃、1時間の加熱処理を行った後、減圧雰囲気下で、1時間の加熱処理を行った。減圧雰囲気下での加熱温度は、150℃、200℃、250℃、300℃、350℃、400℃の6条件とした。

[0872]

試料Bは、TEIを有するガスを導入した後の、酸化剤の導入時間を30秒間とし、TEGを有するガスを導入した後の、酸化剤の導入時間を30秒間とし、DEZを有するガスを導入した後の、酸化剤の導入時間を6秒間とした。それ以外は、試料Cと同様に作製した。

[0873]

試料Aは、TEIを有するガスを導入した後の、酸化剤の導入時間を15秒間とし、TEGを有するガスを導入した後の、酸化剤の導入時間を15秒間とし、DEZを有するガスを導入した後の、酸化剤の導入時間を3秒間とした。それ以外は、試料Cと同様に作製した。また、減圧雰囲気下での加熱温度は、試料B、Cと同様の6条件に加えて、100℃の条件でも行った。

[0874]

図42Aに、3つの試料の、裏面に形成されたIGZO膜の抵抗率を示す。図42Aにおいて、横軸は、減圧雰囲気下での加熱温度[℃]を表し、縦軸は、抵抗率[Ω・cm]を表す。

[0875]

図42Bに、3つの試料の、裏面に形成されたIGZO膜のキャリア濃度を示す。図42Bにおいて、横軸は、減圧雰囲気下での加熱温度[℃]を表し、縦軸は、キャリア濃度[1/cm³]を表す。

[0876]

図42A及び図42Bに示すように、減圧雰囲気下での加熱処理を行うことで、抵抗率の低下、及び、キャリア濃度の増加が確認された。特に、加熱温度が高いほど、抵抗率がより低下する、また、キャリア濃度がより増加することがわかった。

[0877]

試料A、Bに比べて、酸化剤の導入時間が長い試料Cは、加熱温度が低い条件(例えば150℃)で、試料A、Bに比べて、抵抗率が高く、キャリア濃度が低い傾向が見られたが、加熱温度が高い条件(例えば200℃以上)では、抵抗率及びキャリア濃度ともに、試料A、Bと同等の結果が得られた。

[0878]

一方で、各試料のおもて面に形成されたIGZO膜は、裏面に形成されたIGZO膜に比べて、抵抗率が高く、キャリア濃度が低い傾向が確認された。特に、加熱温度が高いほど(例えば、20

0℃以上) 抵抗率が高く、キャリア濃度が低い傾向が確認された。

[0879]

[断面STEM-EDX測定]

次に、断面STEM-EDX測定を用いて、酸化膜中のAlの検出量を評価した。

[0880]

試料は、シリコン基板に対して、HCl雰囲気中で熱処理することで、下地膜として膜厚約100nmのSiO₂膜を形成し、さらに、ALD法を用いて、酸化膜を形成することで作製した。酸化膜として、InO_x膜、GaO_x膜、ZnO_x膜、及び、IGZO(111)膜の4種類を作製した。

[0881]

IGZO膜は、膜厚約35nmとなるように形成した。IGZO膜の形成方法は、前述の試料Aと同様である。つまり、TEIを有するガスを導入した後の、酸化剤(O₃ガスとO₂ガス)の導入時間を15秒間とし、TEGを有するガスを導入した後の、酸化剤の導入時間を15秒間とし、DEZを有するガスを導入した後の、酸化剤の導入時間を3秒間とした。また、成膜時の基板温度は、200℃とし、成膜後に、超乾燥空気中の雰囲気下で、450℃、1時間の加熱処理を行った後、減圧雰囲気下で、400℃、1時間の加熱処理を行った。

[0882]

InO_x膜、GaO_x膜、及び、ZnO_x膜は、それぞれ、上記IGZO膜を形成するために用いたプリカーサを用いて、膜厚約10nmとなるように形成した。

[0883]

InO_x膜における、具体的な1サイクルの成膜方法としては、チャンバーに、TEIを有するガスを0.1秒間導入し、3秒間パージしたあと、O₃ガスとO₂ガスを30秒間導入し、3秒間パージした。

[0884]

GaO_x膜における、具体的な1サイクルの成膜方法としては、チャンバーに、TEGを有するガスを0.1秒間導入し、10秒間パージしたあと、O₃ガスとO₂ガスを30秒間導入し、3秒間パージした。

[0885]

ZnO_x膜における、具体的な1サイクルの成膜方法としては、チャンバーに、DEZを有するガスを0.1秒間導入し、3秒間パージしたあと、O₃ガスとO₂ガスを6秒間導入し、3秒間パージした。

[0886]

InO_x膜、GaO_x膜、及び、ZnO_x膜は、いずれも、成膜時の基板温度は、200℃とし、成膜後に、超乾燥空気中の雰囲気下で、450℃、1時間の加熱処理を行った。

[0887]

断面STEM(Scanning Transmission Electron Microscopy)観察には、日立ハイテク製HD-2300を用い、加速電圧200kV、倍率精度±10%、ビーム径0.5nmφとした。

[0888]

EDX分析の結果を表1に示す。

[0889]

[表 1]

| 膜種 | 膜中のAl検出量 (STEM-EDX) | |
|---------------|---------------------|---------------|
| | おもて面 | 裏面 |
| ALD-InOx | 7.7 atomic% | 1.2 atomic% |
| ALD-GaOx | 0.2 atomic%以下 | 0.1 atomic%以下 |
| ALD-ZnOx | 0.1 atomic%以下 | 0.3 atomic%以下 |
| ALD-IGZO(111) | 2.38 atomic% | 0.62 atomic% |

[0890]

InOx膜において、EDX分析により検出されたAlの割合は、試料のおもて面では、7.7 atomic%であり、裏面では、1.2 atomic%であった。

[0891]

GaOx膜において、EDX分析により検出されたAlの割合は、表裏ともに検出下限以下であり、試料のおもて面では、0.2 atomic%以下であり、裏面では、0.1 atomic%以下であった。

[0892]

ZnOx膜において、EDX分析により検出されたAlの割合は、表裏ともに検出下限以下であり、試料のおもて面では、0.1 atomic%以下であり、裏面では、0.3 atomic%以下であった。

[0893]

上記の通り、InOxでは、GaOx、ZnOxに比べて、明確にAlが検出された。したがって、ALD法を用いたIGZO膜の成膜において、InOx成膜サイクルが主なAlの混入源であることがわかった。InOxの成膜に用いるプリカーサ (TEI) の合成の出発原料にAlが用いられている。そのため、プリカーサ内に残留したAlが成膜時に混入した可能性が示唆された。また、試料のおもて面に比べて、裏面では、Alの含有量が少ないことがわかった。

[0894]

IGZO膜において、EDX分析により検出されたAlの割合は、試料のおもて面では、2.4 atomic%であり、裏面では、0.6 atomic%であった。このことから、InOx単膜に比べて、IGZO膜で検出されるAlの量は少ないことがわかった。また、試料のおもて面に比べて、裏面では、Alの含有量が少ないことがわかった。

[0895]

ホール効果測定とEDX分析の結果から、基板のおもて面に形成されたIGZO膜はAlを多く含むため、減圧雰囲気下での加熱処理の温度が高いと、絶縁体である酸化アルミニウムが形成されやすい。このことから、抵抗率の上昇、及びキャリア濃度の低下が生じたと考えられる。一方で、基板の裏面に形成されたIGZO膜は、表面に比べてAlの割合が少ないため、減圧雰囲気下での加熱処理の温度が高くても、Al (酸化アルミニウムの形成) の影響が少なく、IGZO中の酸素欠損 (Vo) が多くなることで、キャリア濃度が増加し、低抵抗化すると考えられる。

[0896]

[SIMS分析1]

次に、SIMS測定を用いて、酸化物半導体膜中の水素濃度、炭素濃度、及び、窒素濃度を測定した。

[0897]

試料は、シリコン基板に対して、HCl雰囲気中で熱処理することで、下地膜として膜厚約100nmのSiO_x膜を形成し、さらに、ALD法を用いて、膜厚約20nmのIGZO膜を形成することで作製した。

[0898]

SIMS測定用の試料としては、試料D1、D2、E1、E2、F1、F2の6種類を作製した。試料D、E、Fは、それぞれ、酸化剤の導入時間が異なり、それ以外は、同様に作製した。

[0899]

試料D1には、前述の<IGZO膜の形成条件>を適用した。つまり、TEIを有するガスを導入した後の、酸化剤(O₃ガスとO₂ガス)の導入時間を45秒間とし、TEGを有するガスを導入した後の、酸化剤の導入時間を45秒間とし、DEZを有するガスを導入した後の、酸化剤の導入時間を9秒間とした。試料D2には、さらに、超乾燥空気の雰囲気下で、450℃、1時間の加熱処理を行った。試料D1及び試料D2は、IGZOを1層形成する工程中に、酸化剤を供給する時間を99秒有するといえる。当該時間を、以下、1レイヤーのオゾン供給時間とも記す。

[0900]

試料E1は、DEZを有するガスを導入した後の、酸化剤の導入時間を45秒間とした。それ以外は、試料D1と同様に作製した。試料E2には、さらに、超乾燥空気の雰囲気下で、450℃、1時間の加熱処理を行った。試料E1及び試料E2における、1レイヤーのオゾン供給時間は135秒である。

[0901]

試料F1には、TEIを有するガスを導入した後の、酸化剤の導入時間を60秒間とし、TEGを有するガスを導入した後の、酸化剤の導入時間を60秒間とし、DEZを有するガスを導入した後の、酸化剤の導入時間を60秒間とした。試料F2には、さらに、超乾燥空気の雰囲気下で、450℃、1時間の加熱処理を行った。試料F1及び試料F2における、1レイヤーのオゾン供給時間は180秒である。

[0902]

各試料における、裏面に形成されたIGZO膜の、水素濃度(H濃度)、炭素濃度(C濃度)、及び、窒素濃度(N濃度)について、SIMS分析結果を図43乃至図45に示す。横軸は試料表面からの深さを示しており、左端の深さ0nmの位置が試料表面(IGZO膜の表面)に相当する。

[0903]

図43に示すように、H濃度は、オゾン供給時間によらず、試料D1、E1、F1では、約 $5 \times 10^{20} \text{ atoms/cm}^3$ であった。また、450℃での加熱処理を行った試料D2、E2、F2では、約 $5.5 \times 10^{18} \text{ atoms/cm}^3$ に低減することができた。

[0904]

図44に示すように、C濃度は、オゾン供給時間を長くすることで低減できることが確認された。オゾン供給時間が180秒(sec)の試料F1、F2では、約 $5 \times 10^{18} \text{ atoms/cm}^3$ に低減することができた。オゾン供給時間を長くすることで、プリカーサが有するエチル基由来の炭

素を除去できたと考えられる。

[0905]

図45に示すように、N濃度は、オゾン供給時間、及び、加熱処理の有無によらず、検出下限以下 ($3.7 \times 10^{17} \text{ atoms/cm}^3$ 以下) と低かった。

[0906]

以上のことから、450℃の加熱処理により、IGZO膜中の水素濃度を低減できることがわかった。また、オゾン供給時間を長くすることで、IGZO膜中の炭素濃度を低減できることがわかった。

[0907]

[SIMS分析2]

次に、SIMS測定を用いて、酸化物半導体膜中のアルミニウム濃度を測定した。

[0908]

試料は、シリコン基板に、熱酸化法により、下地膜として膜厚約100nmの酸化シリコン (SiOx) 膜を形成し、さらに、ALD法を用いて、膜厚約20nmの酸化膜を形成することで作製した。酸化膜として、InOx膜、GaOx膜、ZnOx膜、及び、IGZO(111)膜の4種類を作製した。

[0909]

なお、SiOx膜とIGZO膜は、基板の両面に形成した。本実施例では、図10A及び図10Bに示すように、基板の両面 (おもて面4430aと裏面4430b) に酸化膜が形成される、ALD装置を用いた。

[0910]

IGZO膜の形成には、前述の<IGZO膜の形成条件>を適用した。つまり、TEIを有するガスを導入した後の、酸化剤 (O₃ガスとO₂ガス) の導入時間を45秒間とし、TEGを有するガスを導入した後の、酸化剤の導入時間を45秒間とし、DEZを有するガスを導入した後の、酸化剤の導入時間を9秒間とした。また、成膜時の基板温度は、200℃とした。

[0911]

InOx膜、GaOx膜、及び、ZnOx膜は、それぞれ、上記IGZO膜を形成するために用いたプリカーサを用いて形成した。酸化剤の導入時間は、InOx膜及びGaOx膜では15秒間とし、ZnOx膜では3秒間とした。

[0912]

IGZO膜の、アルミニウム濃度 (Al濃度) について、SIMS分析結果を図46A及び図46Bに示す。横軸は試料表面からの深さを示しており、左端の深さ0nmの位置が試料表面 (IGZO膜の表面) に相当する。

[0913]

図46A及び図46Bは、同じ試料をそれぞれ異なる装置で測定した結果である。図46A及び図46Bから、測定装置によらず、同程度の定量ができており、おもて面に形成されたIGZO膜のAl濃度は、図46Aでは、約 $7.7 \times 10^{21} \text{ atoms/cm}^3$ であり、図46Bでは、約 $4.1 \times 10^{21} \text{ atoms/cm}^3$ であった。一方、裏面に形成されたIGZO膜のAl濃度は、図46Aでは、約 $4.4 \times 10^{20} \text{ atoms/cm}^3$ であり、図46Bでは、約 $6.8 \times 10^{20} \text{ atoms/cm}^3$ であった。以上のように、SIMS分析の結果から、おもて面に形成されたIG

ZO膜に比べて、裏面に形成されたIGZO膜は、Al濃度が低いことがわかった。

[0914]

図10Aに示すように、本実施例で用いた成膜装置では、プリカーサは、基板の上側から供給され、基板のおもて面に吸着する。また、プリカーサは、裏面にも吸着する。例えば、プリカーサに含まれる不純物(Al)が、おもて面に優先的に吸着することが考えられる。これにより、裏面に形成されたIGZO膜は、おもて面に形成されたIGZO膜に比べて、Al濃度が低くなった可能性がある。

[0915]

基板のおもて面に成膜された、InOx膜、GaOx膜、及び、ZnOx膜の、アルミニウム濃度(Al濃度)について、SIMS分析結果を図47に示す。横軸は試料表面からの深さを示しており、左端の深さ0nmの位置が試料表面(InOx膜、GaOx膜、または、ZnOx膜の表面)に相当する。

[0916]

おもて面に形成されたInOx膜のAl濃度は、約 $7 \times 10^{21} \text{ atoms/cm}^3$ であった。おもて面に形成されたGaOx膜のAl濃度、及びZnOx膜のAl濃度は、それぞれ、検出下限以下であり、約 $9 \times 10^{15} \text{ atoms/cm}^3$ であった。

[0917]

EDX分析と同様に、SIMS分析においても、InOxは、GaOx、ZnOxに比べて、Al濃度が高い結果が得られた。

[0918]

また、上記のEDX分析及びSIMS分析の結果から、基板のおもて面に形成されたIGZO膜は、裏面に形成されたIGZO膜に比べて、Al濃度が高いことがわかった。また、XPS分析から、Alは、IGZO膜中で Al_2O_3 などの状態で存在していることがわかった。ホール効果測定で、基板のおもて面に形成されたIGZO膜は、裏面に形成されたIGZO膜に比べて、抵抗率が高く、キャリア濃度が低い傾向が確認された。おもて面に形成されたIGZO膜は、裏面に形成されたIGZO膜に比べて、Alを多く含み、また、当該Alが酸化状態で存在していることから、抵抗が高くなったと考えられる。

[0919]

[トランジスタの電気特性]

次に、図21A乃至図21Dに示す構造のトランジスタを作製し、電気特性を評価した。

[0920]

絶縁体215として、スパッタリング法を用いて、厚さ約60nmの窒化シリコンと、厚さ約40nmの酸化アルミニウムと、を形成した。絶縁体216として、スパッタリング法を用いて、厚さ約130nmの酸化シリコンを形成した。導電体205として、金属CVD法を用いて、窒化チタンと、タングステンと、窒化チタンと、の3層積層構造を、総厚約130nmとなるように形成した。

[0921]

絶縁体221として、PEALD法を用いて、厚さ約5nmの窒化シリコンを形成し、絶縁体222として、ALD法を用いて、厚さ約15nmの酸化ハフニウムを形成した。また、絶縁体224として、スパッタリング法を用いて、厚さ約20nmの酸化シリコンを形成した。

[0922]

酸化物220aとして、スパッタリング法を用いて、厚さ約10nmのIGZOを形成した。酸化物220aは、In:Ga:Zn=1:3:2 [原子数比] の組成となるように形成した(IGZO(132))。また、酸化物220bとして、ALD法を用いて、厚さ約15nmのIGZO(111)を形成した。IGZO(111)の形成条件には、前述の<IGZO膜の形成条件>を適用した。また、本実施例で形成したIGZO(111)は、前述の基板の裏面に成膜されたIGZOに相当する。

[0923]

導電体242a1、242b1として、スパッタリング法を用いて、厚さ約5nmの窒化タンタルを形成し、導電体242a2、242b2として、スパッタリング法を用いて、厚さ約15nmのタングステン形成した。絶縁体271a、271bとして、スパッタリング法を用いて、厚さ約5nmの窒化シリコンと、厚さ約10nmの酸化シリコンと、を積層して形成した。絶縁体275として、PEALD法を用いて、厚さ約5nmの窒化シリコンを形成した。

[0924]

絶縁体280として、スパッタリング法を用いて、厚さ約125nmの酸化シリコンと、厚さ約120nmの窒化シリコンと、を積層して形成した後、CMP処理により平坦化した。

[0925]

絶縁体255として、PEALD法を用いて、厚さ約10nmの窒化シリコンを形成した。また、絶縁体250として、PEALD法を用いて、厚さ約1.5nmの酸化シリコンを形成し、さらに、ALD法を用いて、厚さ約1nmの酸化ハフニウムを形成し、さらに、ALD法を用いて、厚さ約1nmの窒化シリコンを形成した。また、導電体260として、金属CVD法を用いて、厚さ約5nmの窒化チタンと、厚さ約150nmのタングステンと、を形成した。また、導電体260上には、スパッタリング法を用いて、厚さ約10nmの酸化アルミニウムと、厚さ約20nmの窒化シリコンと、厚さ約50nmの酸化シリコンを形成した(絶縁体282、283に相当)。

[0926]

作製工程中にトランジスタにかかる最高温度は450℃とした。

[0927]

本実施例で作製したトランジスタは、nチャネル型のトランジスタであり、チャネル長(L)とチャネル幅(W)がそれぞれ20nmとなるように作製した。

[0928]

以上により作製したトランジスタの電気特性を評価した。ここでは、電気特性として、 I_d-V_g 特性を測定した。 I_d-V_g 特性の測定は、ドレイン電圧 V_d を1.2Vとし、ソース電圧 V_s を0Vとし、ゲート電圧 V_g を-4Vから+4Vまで、0.1Vステップで掃引した。また、当該測定は、室温環境下で行った。

[0929]

図48に、作製した試料に含まれるトランジスタの I_d-V_g 特性を示す。図48において、縦軸はドレイン電流 I_d [A]を表し、横軸はゲート-ソース間電圧(V_g) [V]を表す。

[0930]

図48に示すように、本発明の一態様の酸化物半導体を用いて、良好なスイッチング特性を示すトランジスタを作製することができた。

[0931]

[マイクロ波処理]

次に、前述の<IGZO膜の形成条件>を適用して作製した膜厚約3nmのIGZO膜に対して、マイクロ波処理を行い、断面STEM観察を行った。ここでは、基板のおもて面に成膜されたIGZO膜の断面観察を行った。

[0932]

マイクロ波処理は、処理ガスとしてArガス150sccm及びO₂ガス50sccmを用い、圧力を400Paとし、電力を4000Wとし、処理温度を250℃とした。処理時間は、10分、30分、60分の3種類とした。また、マイクロ波処理を行わない試料も作製した。

[0933]

作製した試料について、日立ハイテクノロジーズ製「HD-2700」を用いて、断面STEM像の撮影を行った。図49A乃至図49Dに撮影した断面TEM像を示す。

[0934]

図49Aは、マイクロ波処理を行わずに作製した、IGZO膜を含む試料の断面STEM像である。

[0935]

図49B乃至図49Dは、マイクロ波処理を行った試料の断面STEM像である。処理時間は、図49Bでは10分、図49Cでは30分、図49Dでは60分である。

[0936]

図49B乃至図49Dに示すように、マイクロ波処理を行った試料では、IGZO膜に層状の結晶構造が確認できた（二点鎖線で囲った領域参照）。図49Bでは、IGZO膜の一部に層状の結晶構造が確認できた。また、図49Bに比べて、処理時間が長い試料の断面STEM像である、図49C及び図49Dでは、IGZO膜の、下地との界面から表層部に至る全面において、層状の結晶構造が確認できた。一方で、図47Aでは、IGZO膜に層状の結晶構造は確認されなかった。

[0937]

このことから、マイクロ波処理を行うことで、結晶性の高い、層状の結晶構造の金属酸化物を形成できることがわかった。

[実施例2]

[0938]

本実施例では、本発明の一態様の酸化物半導体膜を作製し、評価した結果について説明する。

[0939]

[SIMS分析3]

本実施例では、実施例1で用いたInプリカーサと比べて、アルミニウムの含有量が少ないInプリカーサを用いて、IGZO膜を形成し、SIMS測定を行った。

[0940]

試料は、シリコン基板に対して、塩化水素(HCl)雰囲気中で熱処理することで、下地膜として膜厚約100nmの酸化シリコン(SiO_x)膜を形成し、さらに、酸化物半導体膜として、ALD法を用いて、膜厚約20nmのIGZO膜を形成することで作製した。

[0941]

なお、SiO_x膜とIGZO膜は、基板の両面に形成した。本実施例では、図10A及び図10Bに示すように、基板の両面（基板4430のおもて面4430aと裏面4430bに相当）にIG

ZO膜（膜4431aと膜4431bに相当）が形成される、成膜装置を用いた。

[0942]

IGZO膜の形成に用いたプリカーサは、トリエチルインジウム（TEI）、トリエチルガリウム（TEG）、及び、ジエチル亜鉛（DEZ）である。また、酸化剤として、オゾン（O₃）と酸素（O₂）を用いた。O₃ガスとO₂ガスを合わせたガス流量は1000 sccmであり、オゾン濃度は19 wt%とした。キャリアガスとしては、N₂ガスを用い、ガス流量は150 sccmとした。

[0943]

IGZO膜は、In : Ga : Zn = 1 : 1 : 1 [原子数比] の組成となるように形成した（以下、IGZO (111) 膜と記す場合がある）。具体的な1サイクルの成膜方法としては、チャンバーに、TEIを有するガスを0.1秒間導入し、3秒間パージしたあと、O₃ガスとO₂ガスを60秒間導入し、3秒間パージした。次に、チャンバーに、TEGを有するガスを0.1秒間導入し、10秒間パージしたあと、O₃ガスとO₂ガスを60秒間導入し、3秒間パージした。次に、チャンバーに、DEZを有するガスを0.1秒間導入し、3秒間パージしたあと、O₃ガスとO₂ガスを60秒間導入し、3秒間パージした。なお、成膜時の基板温度は、200℃とした。以上の方法で作製した試料を試料G1と呼ぶ。また、さらに、超乾燥空気雰囲気下で、450℃、1時間の加熱処理を行った試料を試料G2と呼ぶ。

[0944]

試料G1における、おもて面に形成されたIGZO膜の、アルミニウム濃度（Al濃度）と、各試料における、おもて面に形成されたIGZO膜の、水素濃度（H濃度）、炭素濃度（C濃度）、及び、窒素濃度（N濃度）について、SIMS分析結果を図50A乃至図50Dに示す。横軸は試料表面からの深さを示しており、左端の深さ0 nmの位置が試料表面（IGZO膜の表面）に相当する。また、バックグラウンド（BG、測定下限）を破線で示している。

[0945]

図50Aに示すように、IGZO膜中のAl濃度は、測定下限（ 5.1×10^{15} atoms/cm³）以下であった。実施例1では、裏面に形成されたIGZO膜に比べて、おもて面に形成されたIGZO膜は、Al濃度が高い傾向が得られていた。前述の通り、本実施例では、実施例1で用いたInプリカーサと比べて、アルミニウムの含有量が少ないInプリカーサを用いた。そのため、おもて面に形成されたIGZO膜のAl濃度を十分に低下させられたと考えられる。

[0946]

図50Bに示すように、加熱処理を行った試料G2は、加熱処理を行っていない試料G1に比べて、H濃度が低くなることが確認された。

[0947]

図50C及び図50Dに示すように、加熱処理の有無によらず、C濃度とN濃度は、十分に低いことが確認された。

[0948]

以上のことから、アルミニウムの含有量が少ないプリカーサを用いて、アルミニウムを主成分に含まない金属酸化物を作製することで、成膜した金属酸化物中のアルミニウムの濃度が高くなることを抑制できることがわかった。

[符号の説明]

[0949]

ADDR : 信号、BL : 配線、BLB : 配線、BW : 信号、CA : 要素、CE : 信号、CL : 配線、CLK : 信号、CSEL : 信号、EQ : 信号、EQB : 信号、GW : 信号、PL : 配線、RDA : 信号、SA_OUT : 配線、SA_OUTB : 配線、SAN : 配線、SAP : 配線、Tr : トランジスタ、WAKE : 信号、WDA : 信号、WL : 配線、10 : 基板、11a : プリカーサ、11b : プリカーサ、12a : リアクタント、12b : リアクタント、13a : 酸化物、13b : 酸化物、13c : 酸化物、14 : 積層構造、20 : 層、21 : 層、22 : 周辺回路、23 : 層、30 : 素子層、31 : 層、32 : メモリセル、37 : トランジスタ、38 : 容量素子、40 : 駆動回路、41 : 層、42 : 行デコーダ、43 : 行ドライバ、44 : 列デコーダ、45 : 列ドライバ、46 : センスアンプ、47 : 入力回路、48 : 出力回路、50 : 構造体、53 : 領域、54 : 領域、56 : 領域、58 : 領域、60 : 酸化物、62 : 酸化物、64 : 酸化物、70 : 層、71 : パワースイッチ、72 : パワースイッチ、73 : コントロール回路、74 : 電圧生成回路、80 : 記憶装置、82_1 : トランジスタ、82_2 : トランジスタ、82 : スイッチ回路、83_1 : トランジスタ、83_3 : トランジスタ、83 : プリチャージ回路、84_1 : トランジスタ、84_3 : トランジスタ、84 : プリチャージ回路、85_1 : トランジスタ、85_2 : トランジスタ、85_3 : トランジスタ、85_4 : トランジスタ、85 : 増幅回路、100a : 容量素子、100b : 容量素子、100c : 容量素子、100d : 容量素子、100 : 容量素子、110 : 導電体、115 : 導電体、120 : 導電体、125 : 導電体、130 : 絶縁体、140 : 絶縁体、150a : メモリセル、150b : メモリセル、150c : メモリセル、150d : メモリセル、150 : メモリセル、160 : メモリユニット、170 [1] : 層、170 [2] : 層、170 [m-1] : 層、170 [m] : 層、180a : 絶縁体、180b : 絶縁体、180 : 絶縁体、190 : 開口部、200A : トランジスタ、200B : トランジスタ、200C : トランジスタ、200D : トランジスタ、200E : トランジスタ、200a : トランジスタ、200b : トランジスタ、200c : トランジスタ、200d : トランジスタ、200p : トランジスタ、200 : トランジスタ、201a : トランジスタ、201b : トランジスタ、201 : トランジスタ、205a : 導電体、205b : 導電体、205 : 導電体、215 : 絶縁体、216 : 絶縁体、220a : 酸化物、220b : 酸化物、220 : 酸化物、221 : 絶縁体、222 : 絶縁体、224 : 絶縁体、225 : 絶縁体、230a : 酸化物半導体、230b : 酸化物半導体、230i : 領域、230na : 領域、230nb : 領域、230 : 酸化物半導体、239a : 導電体、239b : 導電体、240 : 導電体、241a : 絶縁体、241b : 絶縁体、242a : 導電体、242b : 導電体、245 : 導電体、246 : 導電体、250a : 絶縁体、250b : 絶縁体、250c : 絶縁体、250d : 絶縁体、250 : 絶縁体、255 : 絶縁体、260a : 導電体、260b : 導電体、260 : 導電体、271a : 絶縁体、271b : 絶縁体、272 : 絶縁体、275 : 絶縁体、280a : 絶縁体、280b : 絶縁体、280c : 絶縁体、280 : 絶縁体、282 : 絶縁体、283 : 絶縁体、285 : 絶縁体、287 : 絶縁体、290 : 開口部、300 : トランジスタ、311 : 基板、313 : 半導体領域、314a : 低抵抗領域、314b : 低抵抗領域、315 : 絶縁体、316 : 導電体、320 : 絶縁体、322 : 絶縁体、324 : 絶縁体、326 : 絶縁体、328 : 導電体、330 : 導電体、350 : 絶縁体、352 : 絶縁体、354 : 絶縁体、356 : 導電体、641 : 絶縁体、642 : 導電体、643 : 導電体、644 : 導電体、645 : 導電体、646 : 導電体、647 : 絶縁体、648 : 絶縁体、700 : 電子部品、702 : プリント基板、704 : 実装基板、710 : 半導体装置、711 : モールド、712 : ランド、713 : 電極パッド、714 : ワイヤ、

715 : 駆動回路層、716 : 記憶層、730 : 電子部品、731 : インターポーザ、732 : パッケージ基板、733 : 電極、735 : 半導体装置、4000 : 成膜装置、4002 : 搬入搬出室、4004 : 搬入搬出室、4006 : 搬送室、4008 : 成膜室、4009 : 成膜室、4011 : 処理室、4014 : 搬送アーム、4020 : チャンバー、4021a : 原料供給部、4021b : 原料供給部、4021c : 原料供給部、4021 : 原料供給部、4022a : 高速バルブ、4022d : 高速バルブ、4023 : 原料導入口、4024 : 原料排出口、4025 : 排気装置、4026 : 基板ホルダ、4027 : ヒータ、4028 : プラズマ発生装置、4029 : コイル、4030 : 基板、4031 : 原料供給部、4032 : ガス供給部、4033 : 原料導入口、4034a : 配管ヒータ、4034b : 配管ヒータ、4111 : プラズマ生成室、4120 : 反応室、4123 : 原料導入口、4124 : 原料排出口、4126 : 基板ホルダ、4128 : プラズマ生成装置、4130 : 基板、4131 : プラズマ、4133 : 原料導入口、4213 : 電極、4214 : シャワーヘッド、4215 : 電源、4217 : コンデンサ、4220 : チャンバー、4223 : 原料導入口、4224 : 原料排出口、4226 : 基板ホルダ、4230 : 基板、4231 : プラズマ、4313 : 電極、4314 : シャワーヘッド、4315 : 電源、4317 : コンデンサ、4319 : メッシュ、4320 : チャンバー、4321 : 電源、4322 : コンデンサ、4323 : 原料導入口、4324 : 原料排出口、4326 : 基板ホルダ、4330 : 基板、4331 : プラズマ、4400 : ALD装置、4410 : 外側チャンバー、4414 : 原料供給口、4420 : チャンバー、4423 : 原料導入口、4424 : 原料排出口、4426 : 基板ホルダ、4427 : ヒータ、4430a : おもて面、4430b : 裏面、4430 : 基板、4431a : 膜、4431b : 膜、4520 : チャンバー、4521a : 原料供給部、4521b : 原料供給部、4521c : 原料供給部、4521 : 原料供給部、4522a : 高速バルブ、4522c : 高速バルブ、4522d : 高速バルブ、4523 : 原料導入口、4524 : 原料排出口、4525 : 排気装置、4526 : 基板ホルダ、4527 : ヒータ、4530 : 基板、4531 : 原料供給部、4532 : ガス供給部、4534a : 配管ヒータ、4534b : 配管ヒータ、5600 : 大型計算機、5610 : ラック、5620 : 計算機、5621 : PCカード、5622 : ボード、5623 : 接続端子、5624 : 接続端子、5625 : 接続端子、5626 : 半導体装置、5627 : 半導体装置、5628 : 半導体装置、5629 : 接続端子、5630 : マザーボード、5631 : スロット、6500 : 電子機器、6501 : 筐体、6502 : 表示部、6503 : 電源ボタン、6504 : ボタン、6505 : スピーカ、6506 : マイク、6507 : カメラ、6508 : 光源、6509 : 制御装置、6600 : 電子機器、6611 : 筐体、6612 : キーボード、6613 : ポインティングデバイス、6614 : 外部接続ポート、6615 : 表示部、6616 : 制御装置、6800 : 人工衛星、6801 : 機体、6802 : ソーラーパネル、6803 : アンテナ、6804 : 惑星、6805 : 二次電池、6807 : 制御装置、7000 : ストレージシステム、7001sb : サーバ、7001 : ホスト、7002 : ストレージ制御回路、7003md : 記憶装置、7003 : ストレージ

請求の範囲

[請求項1]

酸化物半導体、第1の導電体、第2の導電体、第3の導電体、及び、第1の絶縁体を有し、
前記第1の導電体及び前記第2の導電体は、それぞれ、前記酸化物半導体と接する部分を有し、
前記第3の導電体は、前記第1の絶縁体を介して、前記酸化物半導体と重なり、
前記酸化物半導体は、第1の面に沿って設けられた第1の部分と、前記第1の面に対して傾斜している第2の面に沿って設けられた第2の部分と、を有し、
前記第1の部分の厚さに対する前記第2の部分の厚さの比は、0.8以上1.2以下であり、
前記酸化物半導体は、インジウムと、ガリウム、スズ、及び亜鉛の中から選ばれるいずれか一または複数と、を有し、
前記酸化物半導体のアルミニウム濃度は、0.01 atomic %以上10 atomic %以下である、半導体装置。

[請求項2]

酸化物半導体、第1の導電体、第2の導電体、第3の導電体、第1の絶縁体、及び、第2の絶縁体を有し、
前記第1の絶縁体は、前記第1の導電体の上面と接し、
前記第2の導電体は、前記第1の絶縁体上に位置し、
前記酸化物半導体は、前記第1の導電体の上面と接する第1の部分、前記第1の絶縁体の側面と接する第2の部分、及び、前記第2の導電体と接する第3の部分を有し、
前記第2の絶縁体は、前記酸化物半導体上に位置し、
前記第3の導電体は、前記第2の絶縁体上に位置し、かつ、前記第2の絶縁体を介して前記酸化物半導体と重なり、
前記第1の部分の厚さに対する前記第2の部分の厚さの比は、0.8以上1.2以下であり、
前記酸化物半導体は、インジウムと、ガリウム、スズ、及び亜鉛の中から選ばれるいずれか一または複数と、を有し、
前記酸化物半導体のアルミニウム濃度は、0.01 atomic %以上10 atomic %以下である、半導体装置。

[請求項3]

酸化物半導体、第1の導電体、第2の導電体、第3の導電体、第1の絶縁体、及び、第2の絶縁体を有し、
前記第1の絶縁体は、前記第1の導電体の上面と接し、
前記第2の導電体は、前記第1の絶縁体上に位置し、
前記第1の絶縁体及び前記第2の導電体は、前記第1の導電体に達する第1の開口部を有し、
前記酸化物半導体は、前記第1の開口部の内側に、前記第1の導電体の上面と接する第1の部分と、前記第1の絶縁体の側面と接する第2の部分と、を有し、かつ、前記第2の導電体と接する第3の部分を有し、
前記第2の絶縁体は、前記酸化物半導体上に位置し、
前記第3の導電体は、前記第2の絶縁体上に位置し、かつ、前記第1の開口部と重なる位置で、前記第2の絶縁体を介して前記酸化物半導体と重なり、
前記第1の部分の厚さに対する前記第2の部分の厚さの比は、0.8以上1.2以下であり、

前記酸化物半導体は、インジウムと、ガリウム、スズ、及び亜鉛の中から選ばれるいずれか一または複数と、を有し、

前記酸化物半導体のアルミニウム濃度は、0.01 atomic%以上10 atomic%以下である、半導体装置。

[請求項4]

第1の絶縁体と、

前記第1の絶縁体を覆う酸化物半導体と、

前記酸化物半導体上の第1の導電体及び第2の導電体と、

前記第1の導電体、及び前記第2の導電体上に配置され、前記第1の導電体と前記第2の導電体の間の領域と重畳する開口を有する、第2の絶縁体と、

前記開口内に配置され、前記酸化物半導体上に配置される第3の絶縁体と、

前記開口内に配置され、前記第3の絶縁体上に配置される、第3の導電体と、を有し、

チャンネル幅方向の断面視において、前記第1の絶縁体の高さは、前記第1の絶縁体の幅より長く、前記酸化物半導体は、第1の面に沿って設けられた第1の部分と、前記第1の面に対して傾斜している第2の面に沿って設けられた第2の部分と、を有し、

前記第1の部分の厚さに対する前記第2の部分の厚さの比は、0.8以上1.2以下であり、

前記酸化物半導体は、インジウムと、ガリウム、スズ、及び亜鉛の中から選ばれるいずれか一または複数と、を有し、

前記酸化物半導体のアルミニウム濃度は、0.01 atomic%以上10 atomic%以下である、半導体装置。

[請求項5]

請求項4において、

平面視において、前記第2の絶縁体の開口の側面は、前記第1の導電体の側面、及び前記第2の導電体の側面と一致または概略一致する、半導体装置。

[請求項6]

請求項4において、

前記第1の導電体は、トランジスタのソース電極及びドレイン電極の一方として機能し、

前記第2の導電体は、前記トランジスタのソース電極及びドレイン電極の他方として機能し、

前記第3の導電体は、前記トランジスタのゲート電極として機能する、半導体装置。

[請求項7]

請求項6において、

前記トランジスタのチャンネル幅方向の断面視において、

前記第1の絶縁体の一方の側面において、前記酸化物半導体と前記第3の導電体が前記第3の絶縁体を挟んで対向し、

前記第1の絶縁体の他方の側面において、前記酸化物半導体と前記第3の導電体が前記第3の絶縁体を挟んで対向する、

半導体装置。

[請求項8]

請求項6において、

前記トランジスタのチャンネル幅方向の断面視において、

前記第1の導電体は、前記第1の絶縁体の一方の側面側、及び他方の側面側において、前記酸化物半導体と接し、

前記第2の導電体は、前記第1の絶縁体の一方の側面側、及び他方の側面側において、前記酸化物半導体と接する、

半導体装置。

[請求項9]

請求項6において、

前記トランジスタのチャネル幅方向の断面視において、

前記第1の絶縁体の高さは、前記第1の絶縁体の幅の2倍以上20倍以下である、半導体装置。

[請求項10]

請求項1乃至9のいずれか一において、

前記酸化物半導体のアルミニウム濃度は、0.01 atomic %以上5 atomic %以下である、半導体装置。

[請求項11]

請求項1乃至9のいずれか一において、

前記酸化物半導体の炭素濃度は、 $1 \times 10^{17} \text{ atoms/cm}^3$ 以上 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下である、半導体装置。

[請求項12]

請求項3に記載の半導体装置と、第4の導電体と、第3の絶縁体と、容量素子と、を有し、

前記容量素子は、第5の導電体と、前記第5の導電体上の第4の絶縁体と、前記第4の絶縁体上の前記第1の導電体と、を有し、

前記第3の絶縁体には、前記第4の導電体に達する第2の開口部が設けられ、

前記第5の導電体の少なくとも一部、前記第4の絶縁体の少なくとも一部、及び、前記第1の導電体の少なくとも一部は、前記第2の開口部に配置される、記憶装置。

[請求項13]

請求項4乃至9のいずれか一に記載の半導体装置と、容量素子と、を有し、

前記容量素子の一方の電極が、前記半導体装置の前記第1の導電体と電氣的に接続される、記憶装置。

[請求項14]

請求項13において、

前記容量素子は、前記第3の導電体上に配置され、

前記容量素子の少なくとも一部は、前記酸化物半導体、及び前記第3の導電体と重畳する、記憶装置。

[請求項15]

インジウムを含む第1の化合物をチャンバー内に供給し、その後、酸化剤を前記チャンバー内に供給する第1の工程と、

第2の化合物を前記チャンバー内に供給し、その後、前記酸化剤を前記チャンバー内に供給する第2の工程と、を有し、

前記第1の化合物のアルミニウムの含有量は、0.01 ppm以上500 ppm以下であり、

前記第2の化合物のアルミニウムの含有量は、前記第1の化合物のアルミニウムの含有量よりも

少なく、

前記第2の化合物は、ガリウム、スズ、または亜鉛を含む、金属酸化物の成膜方法。

[請求項16]

インジウムを含む第1の化合物をチャンバー内に供給し、その後、酸化剤を前記チャンバー内に供給する第1の工程と、

第2の化合物を前記チャンバー内に供給し、その後、前記酸化剤を前記チャンバー内に供給する第2の工程と、を有し、

前記第1の化合物のアルミニウムの含有量は、0.01ppm以上500ppm以下であり、

前記第2の化合物のアルミニウムの含有量は、前記第1の化合物のアルミニウムの含有量よりも少なく、

前記第1の工程における前記酸化剤を供給する時間と、前記第2の工程における前記酸化剤を供給する時間との和は、90秒以上である、金属酸化物の成膜方法。

[請求項17]

請求項16において、

前記第2の化合物は、ガリウムまたは亜鉛を含む、金属酸化物の成膜方法。

[請求項18]

請求項15または16において、

前記第1の工程及び前記第2の工程をそれぞれ1回以上行い、その後、酸素を含む雰囲気下で、マイクロ波処理を行う、金属酸化物の成膜方法。

[請求項19]

請求項15または16において、

前記第1の工程及び前記第2の工程をそれぞれ1回以上行い、その後、酸素を含む雰囲気下で、マイクロ波処理を行うことを第1のサイクルとし、

前記第1のサイクルを複数回繰り返す、金属酸化物の成膜方法。

図1A

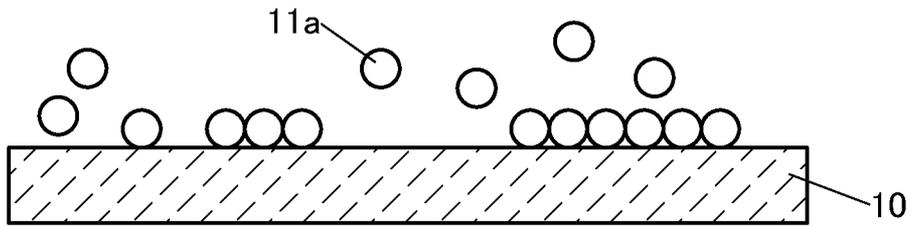


図1B

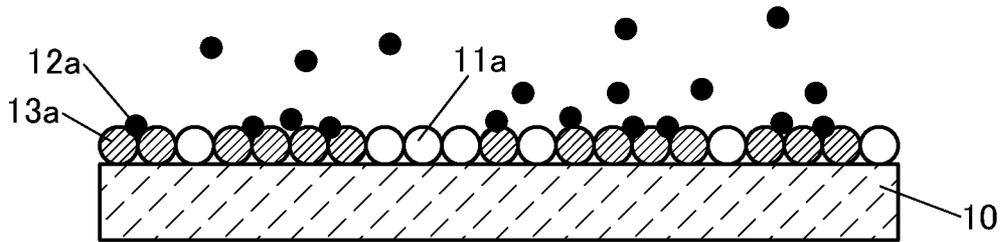


図1C

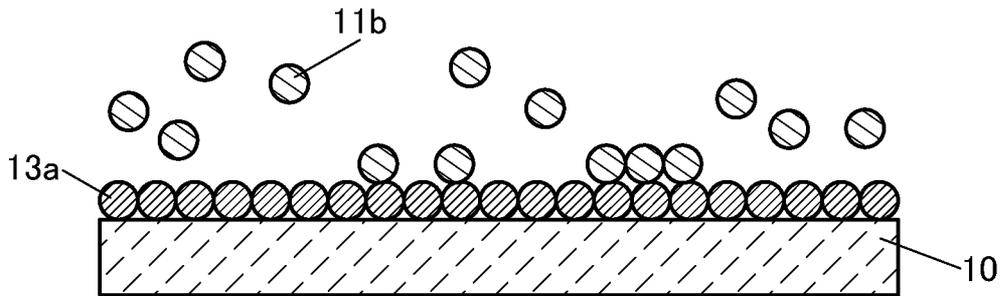


図1D

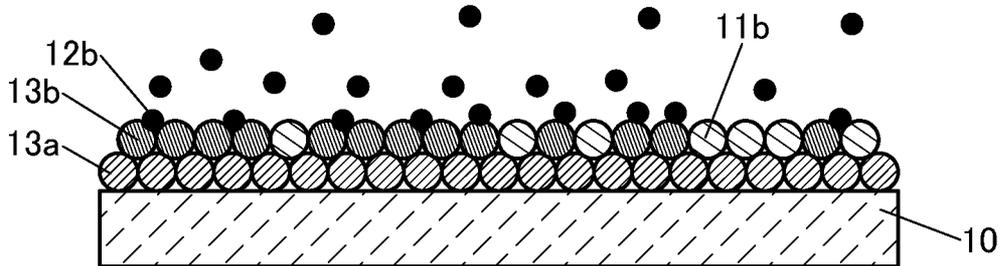


図1E

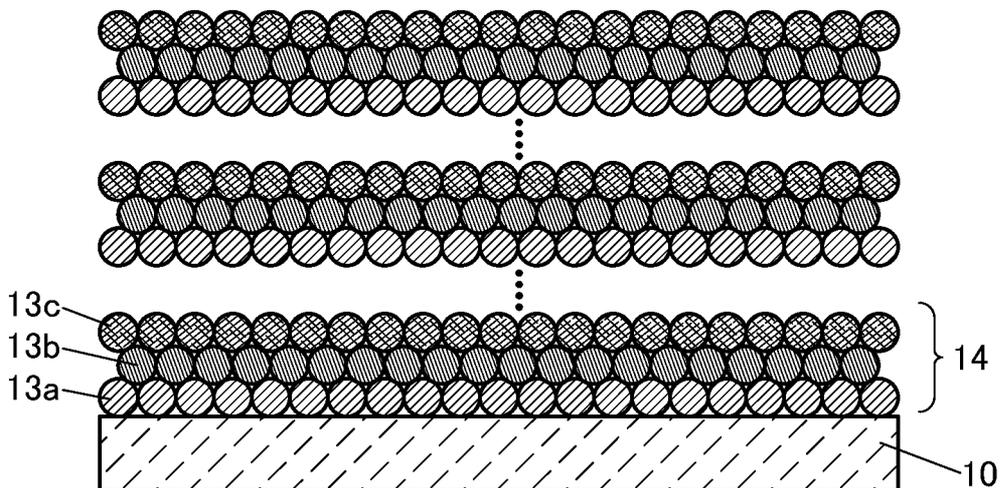


図2A

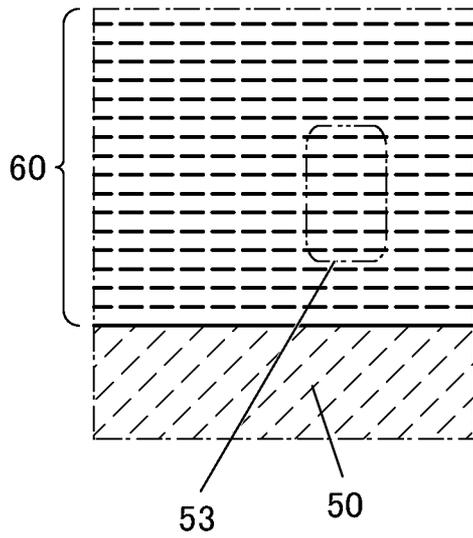


図2B

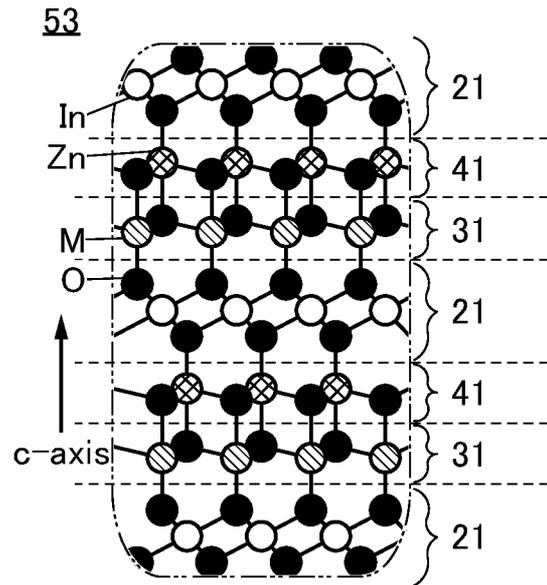


図2C

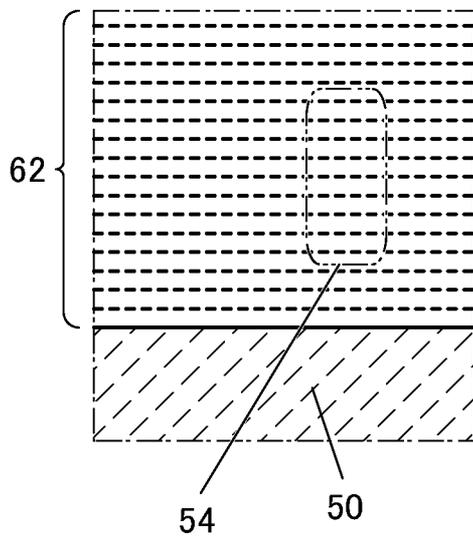


図2D

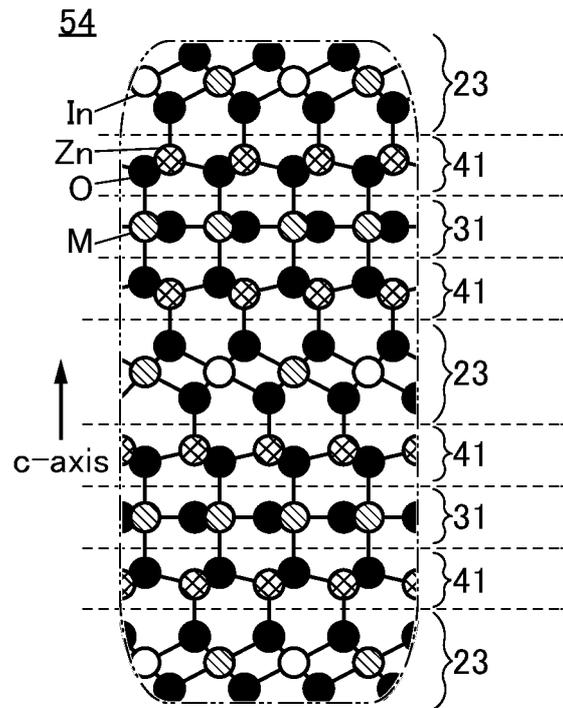


図3A

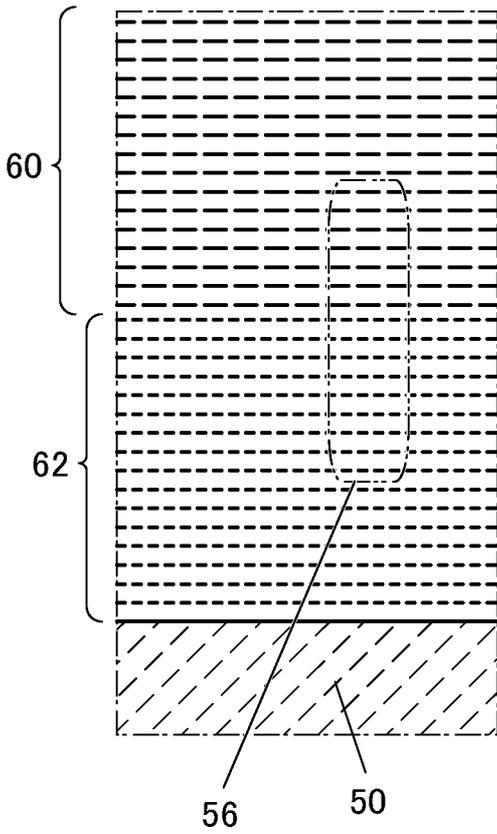


図3B

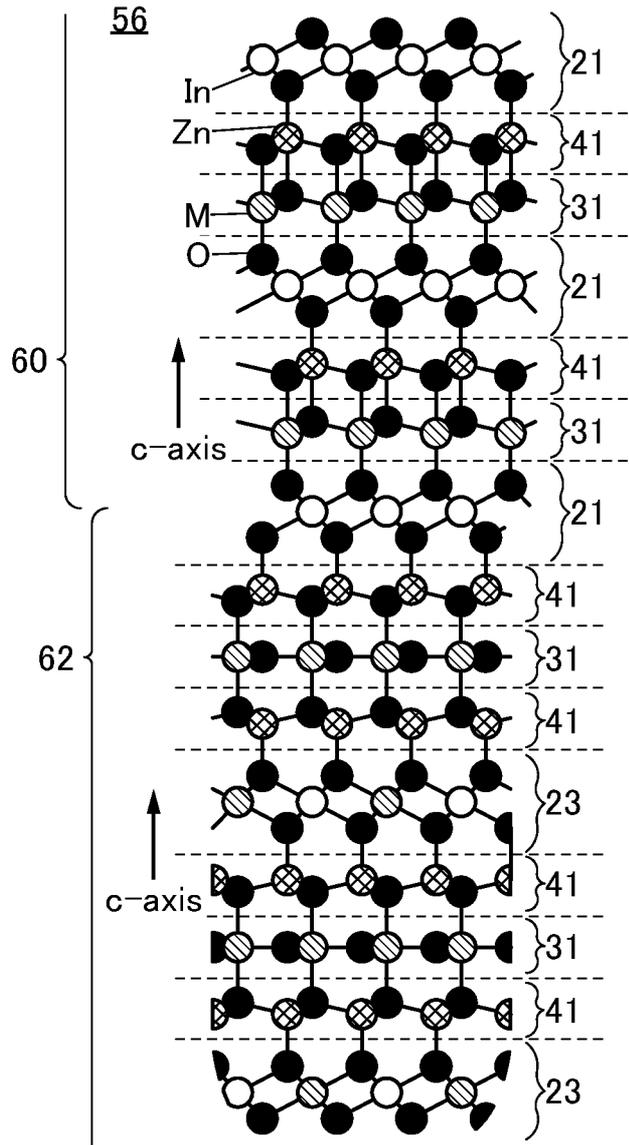


図3C

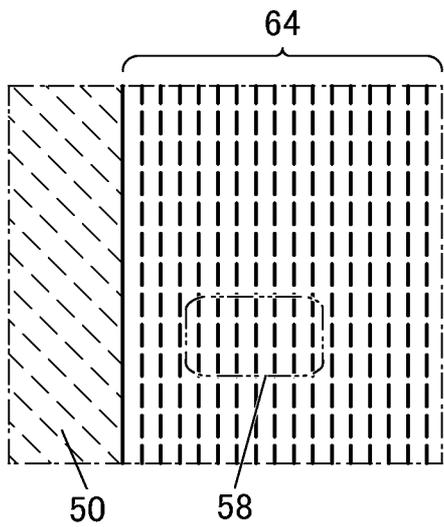


図3D

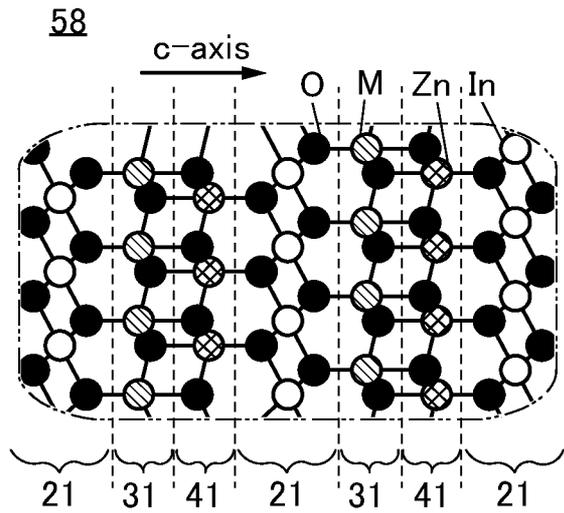


図4A

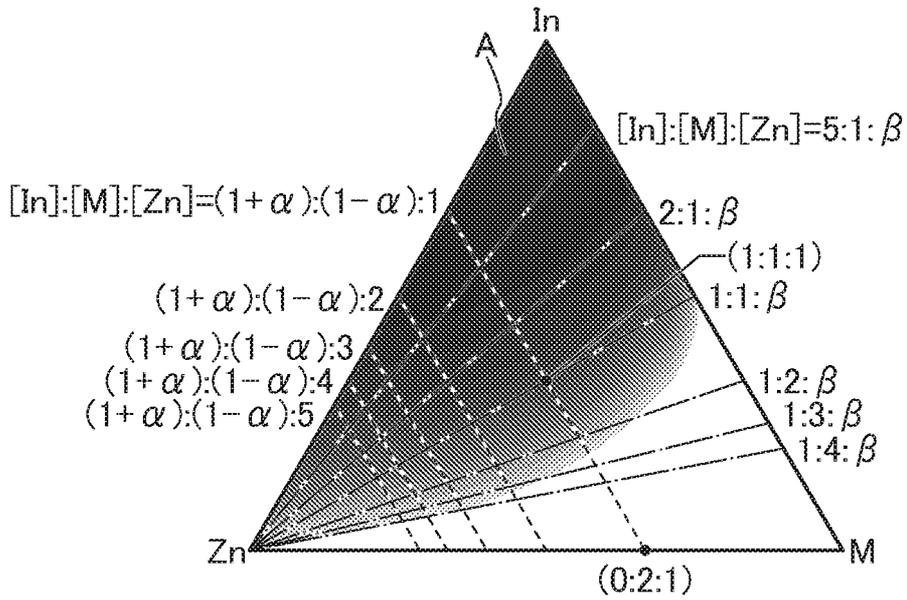


図4B

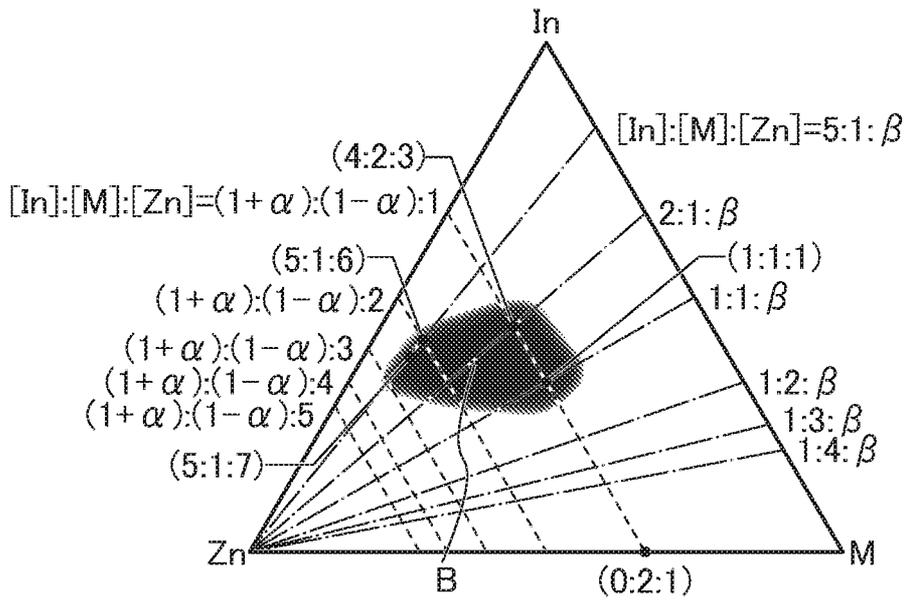


図4C

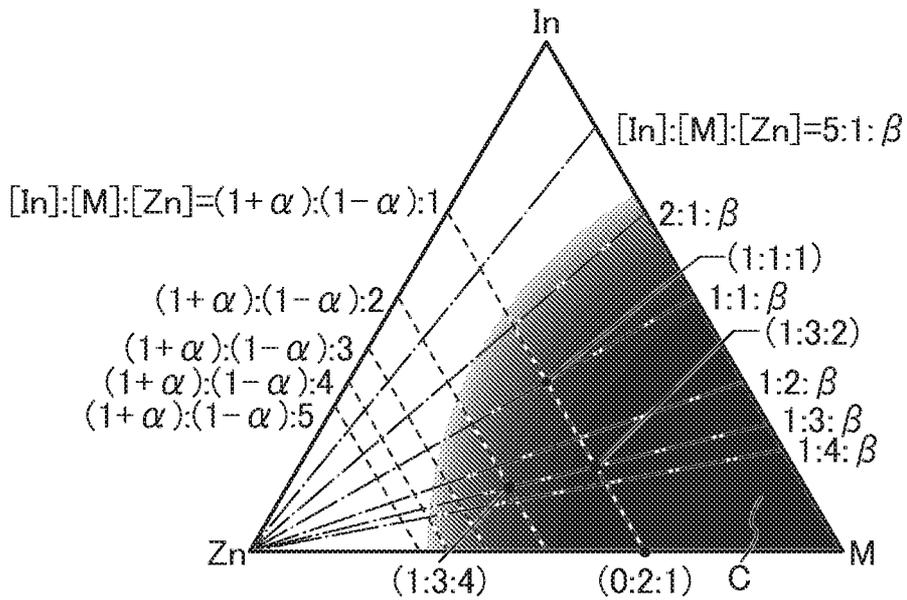


図5A

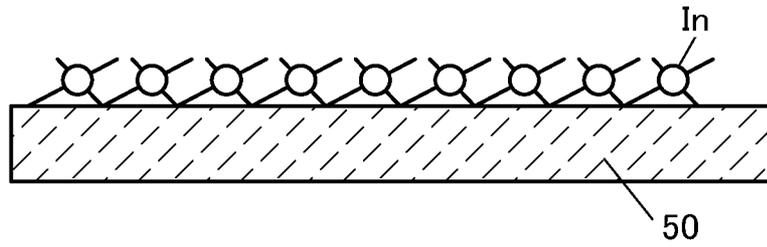


図5B

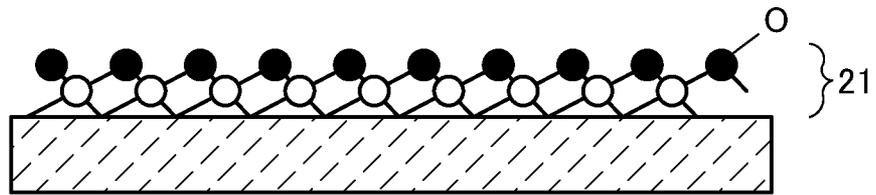


図5C

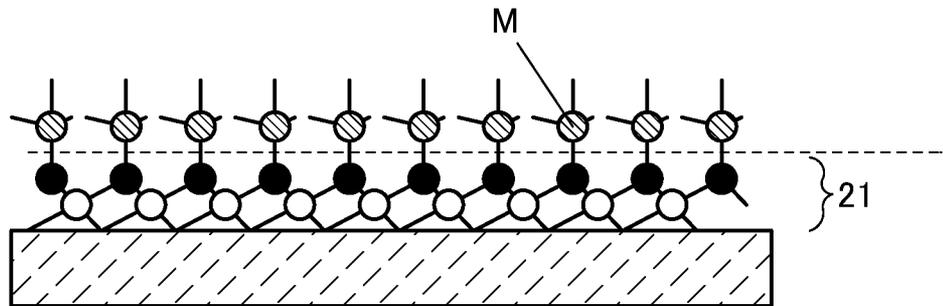


図5D

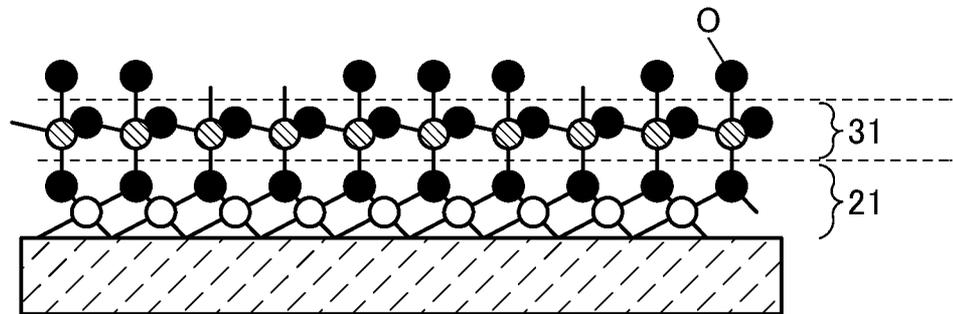


図6A

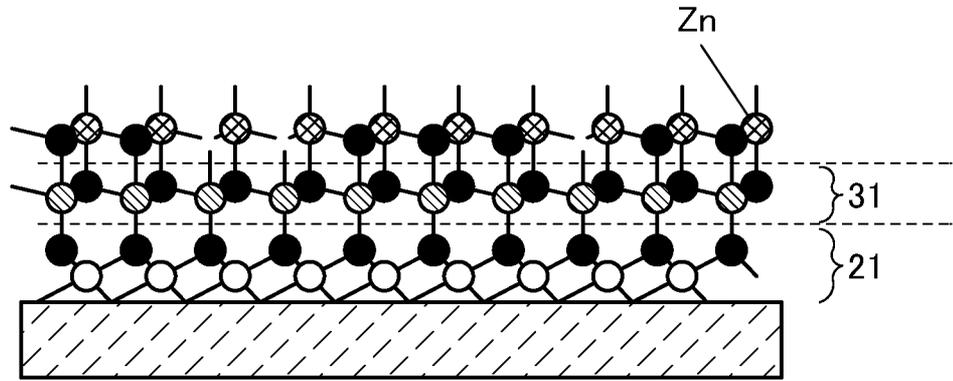


図6B

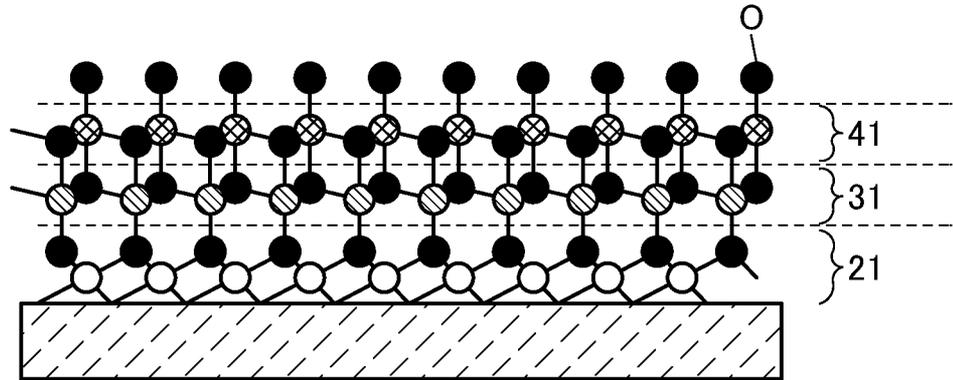
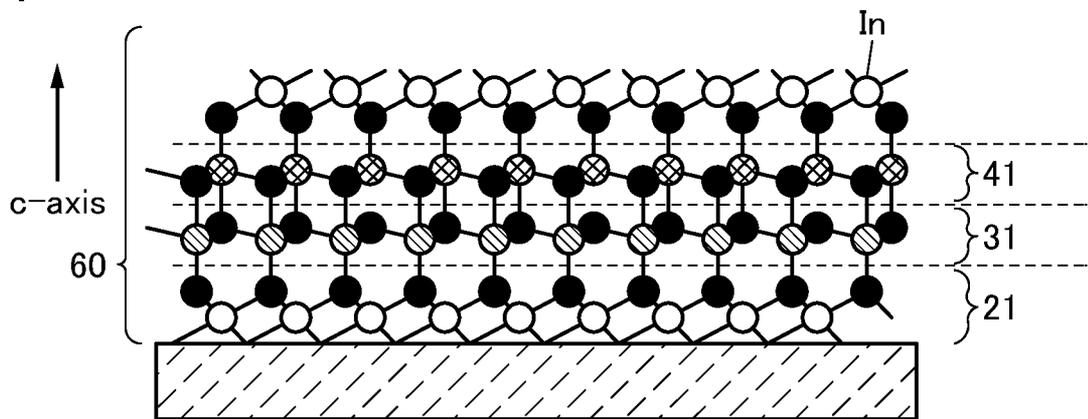


図6C



4000

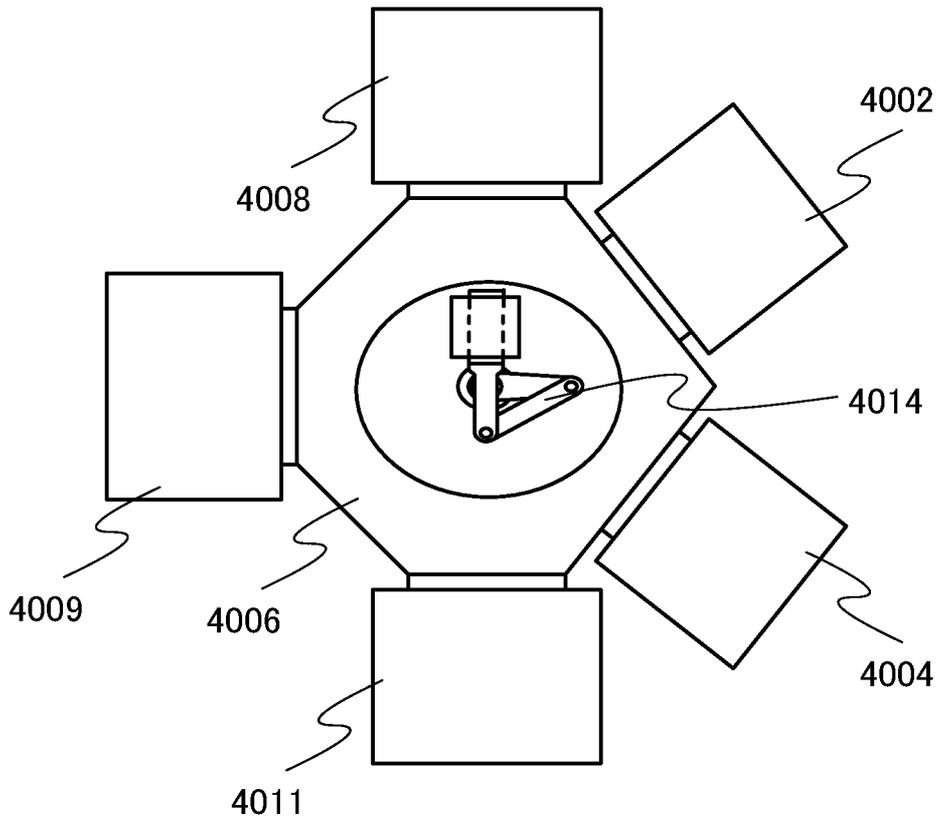


図8A

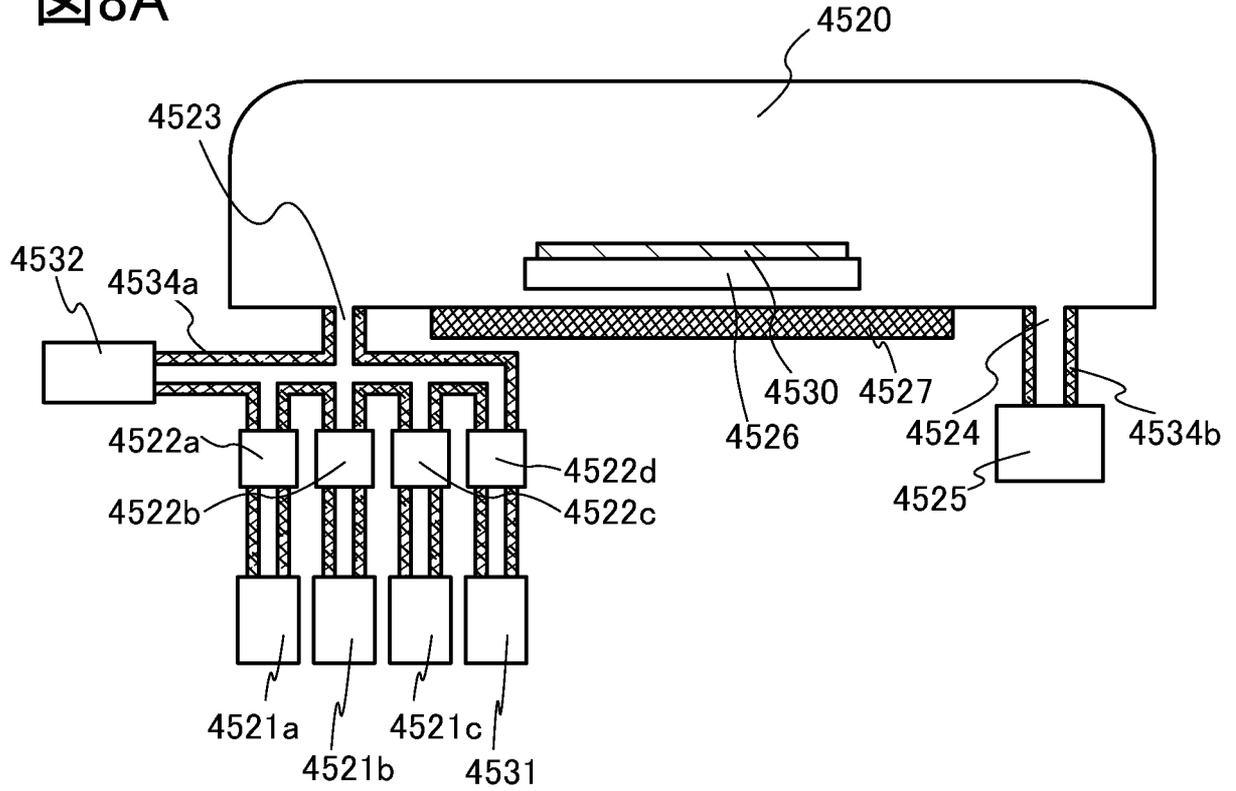


図8B

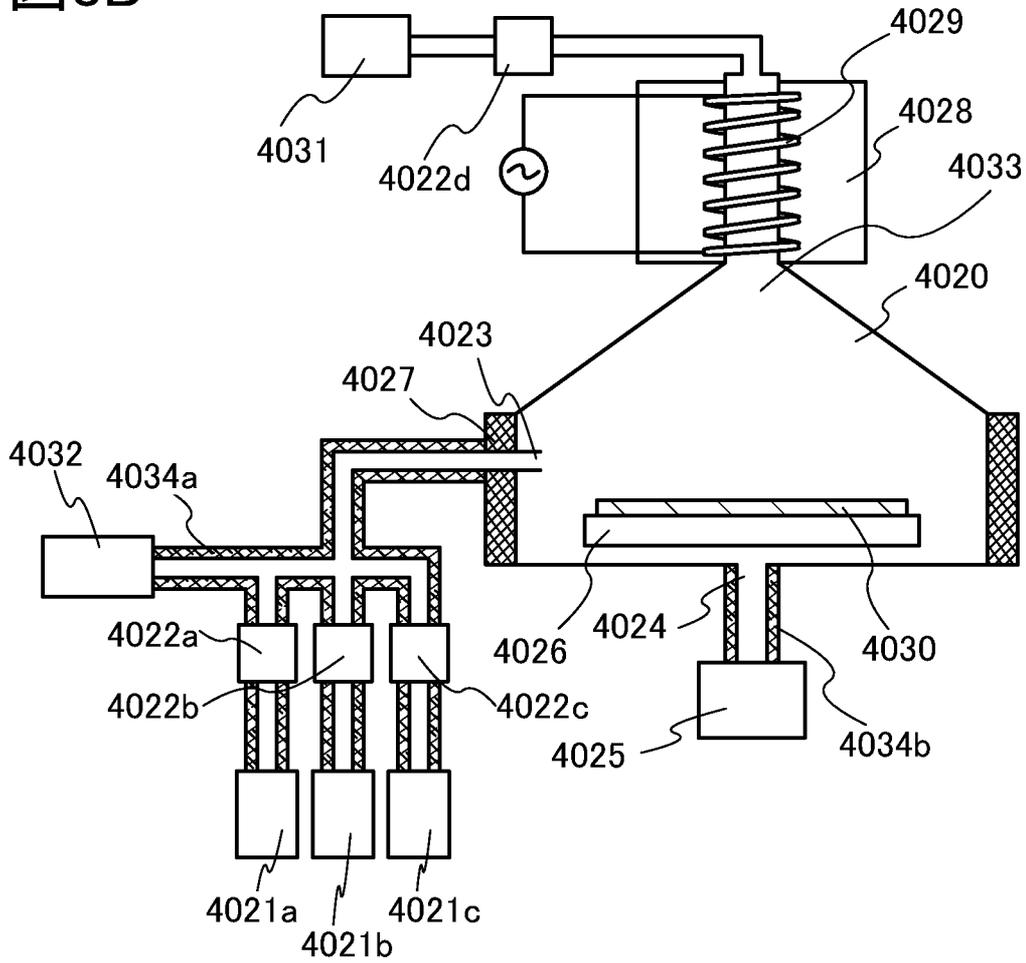


图9A

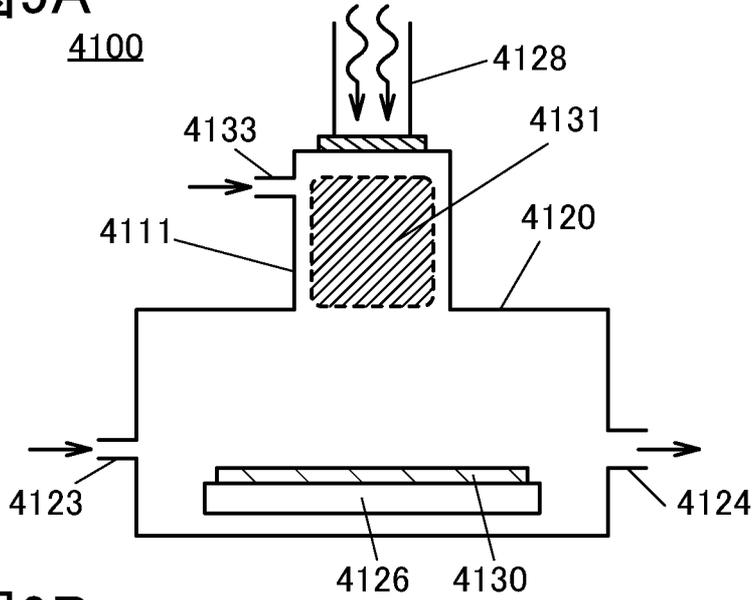


图9B

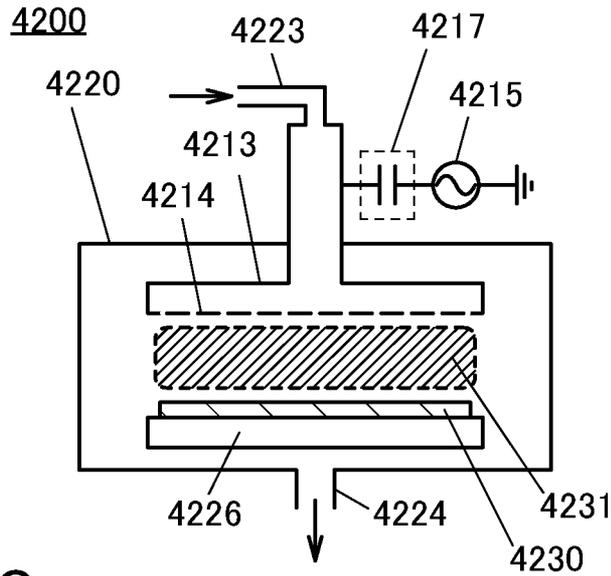
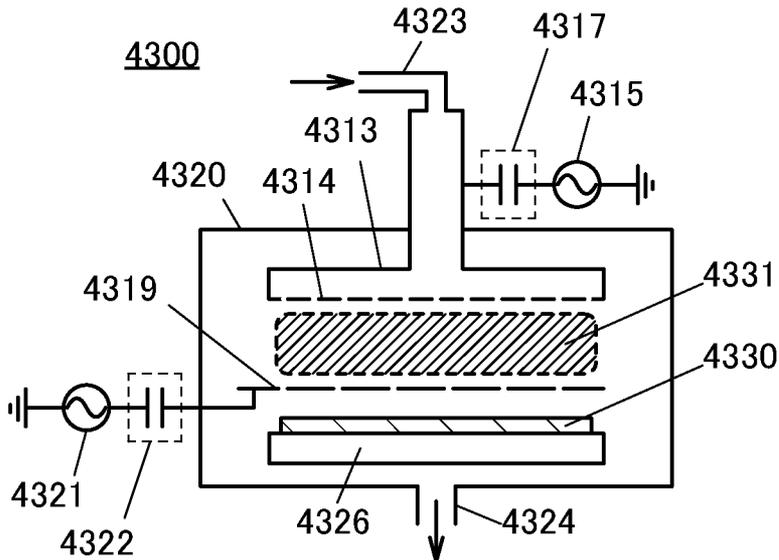
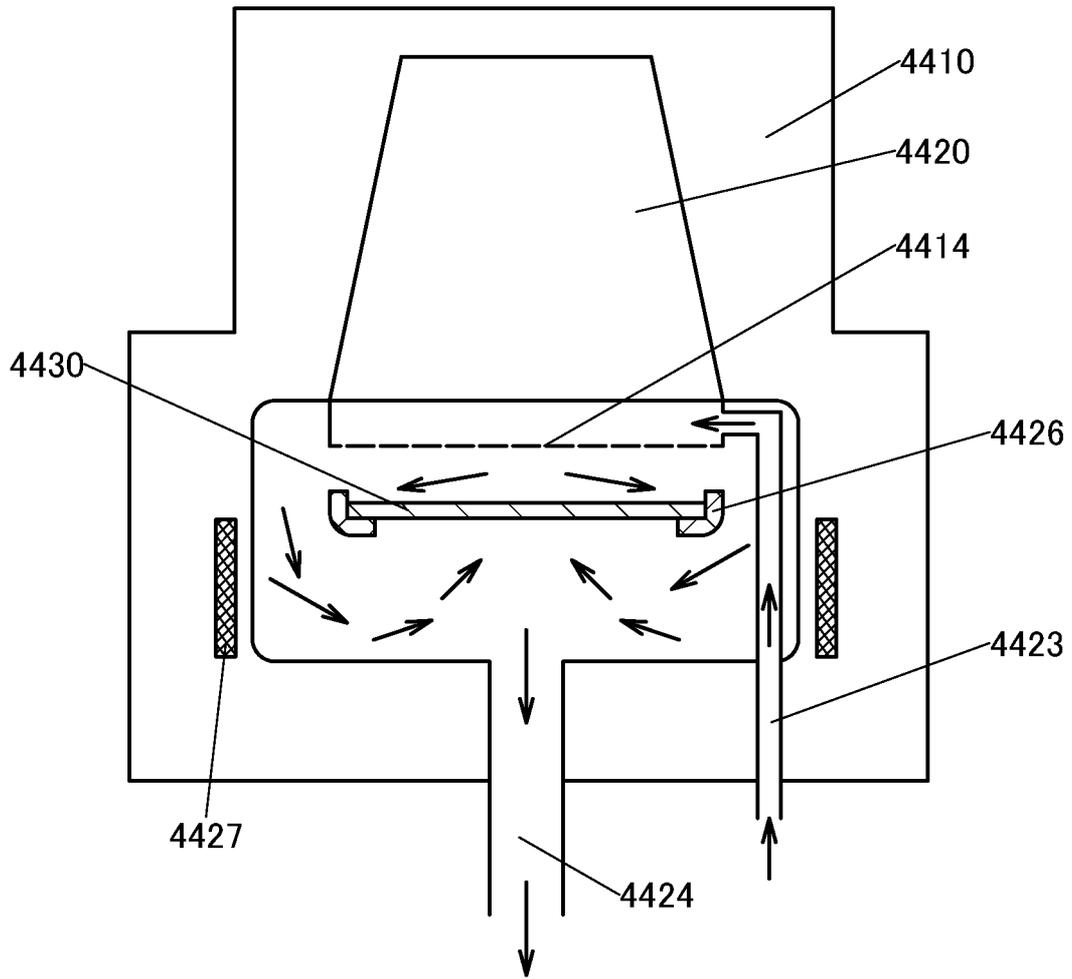


图9C



10A

4400



10B

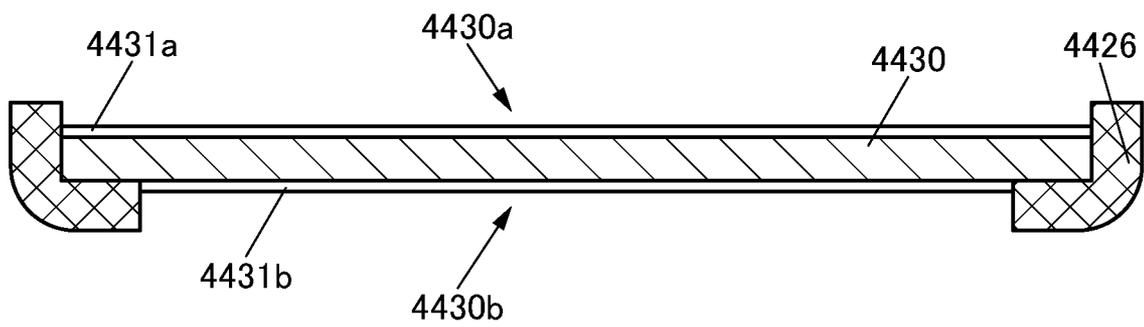


図11A

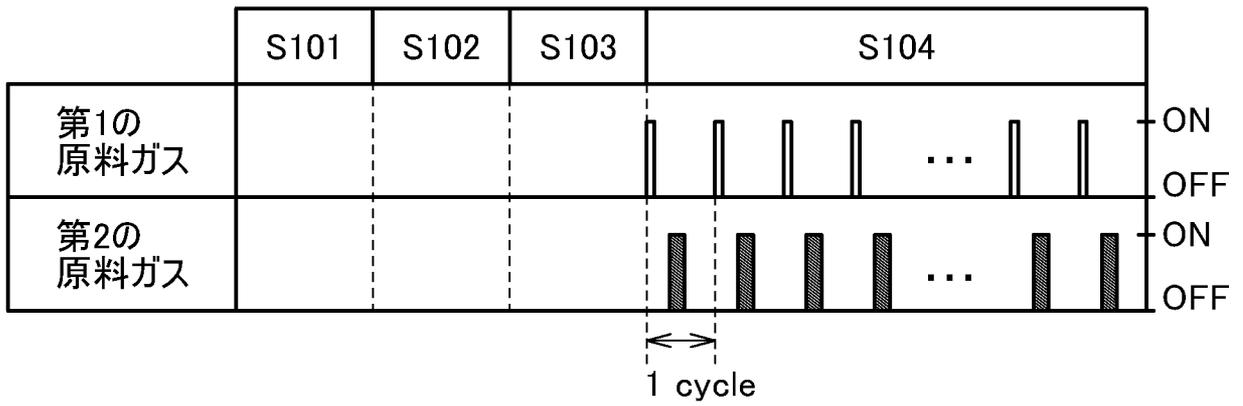


図11B

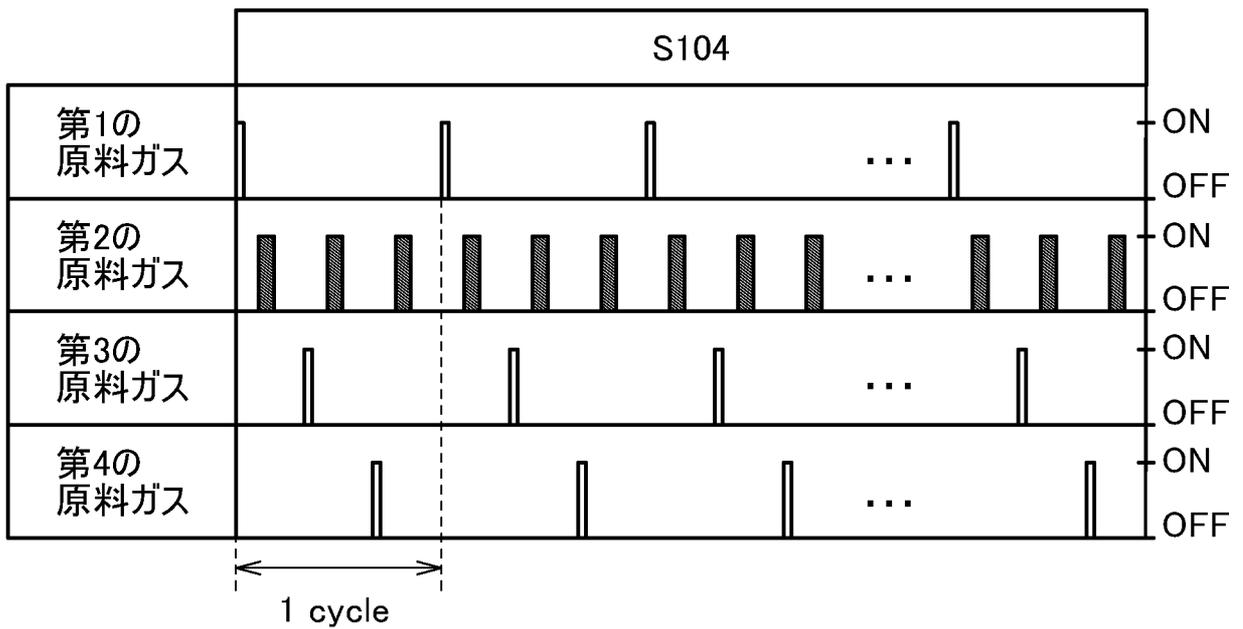


図12A

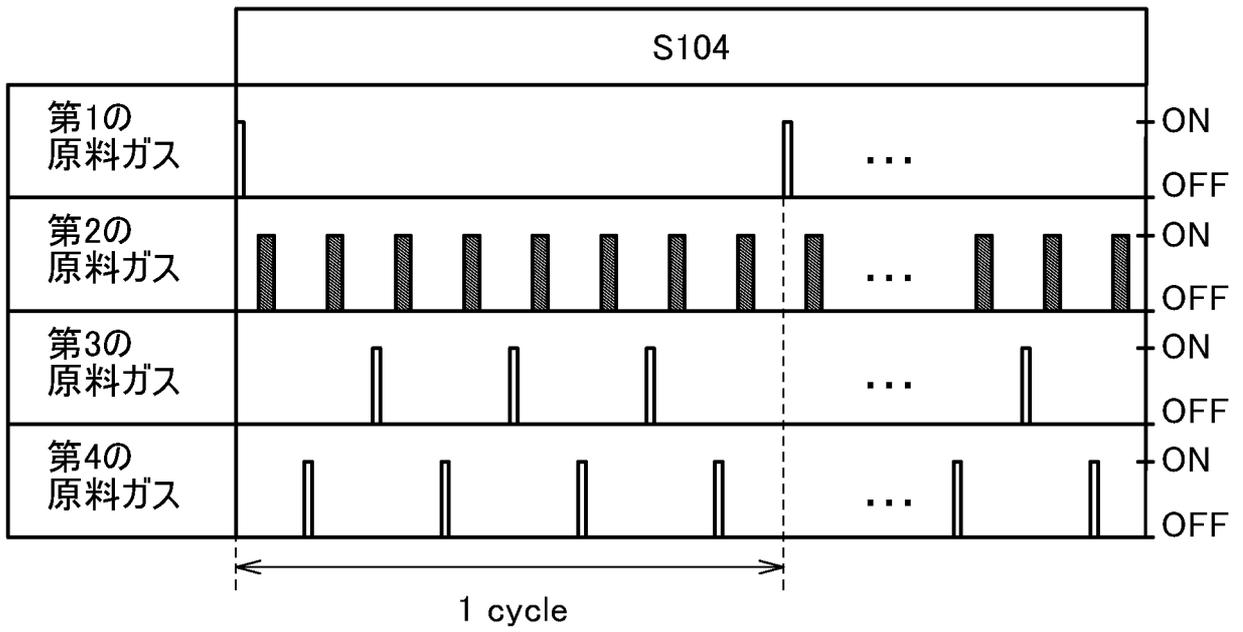


図12B

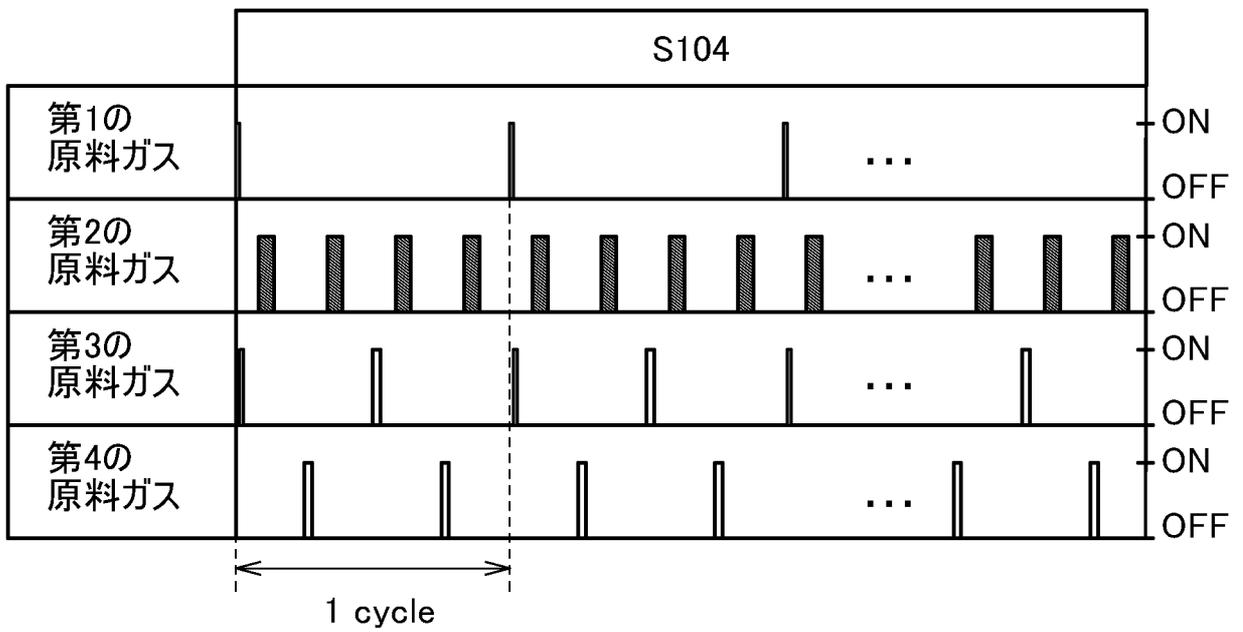


図13

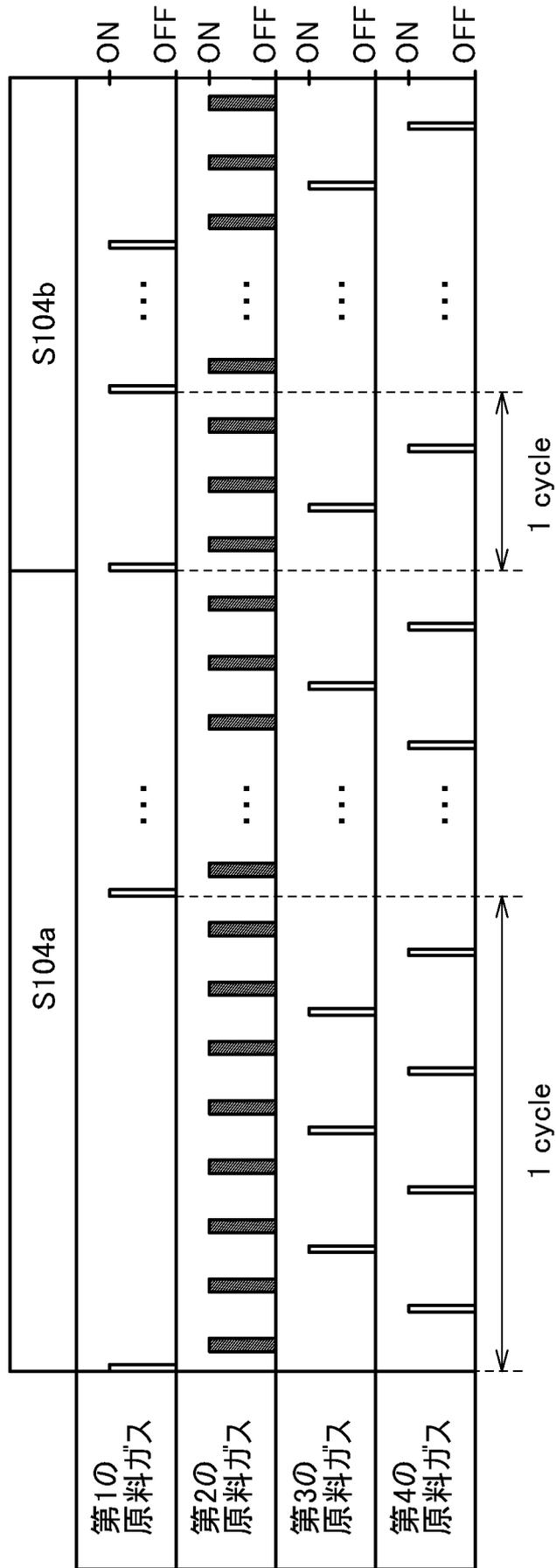


图 14A

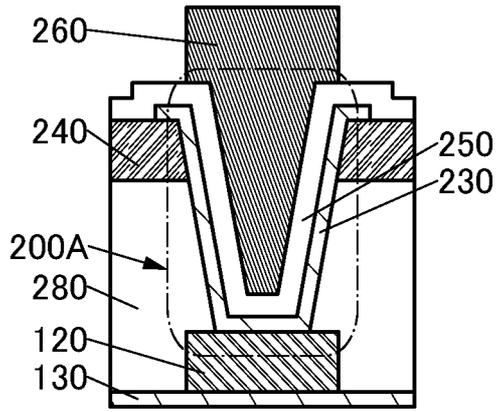


图 14B

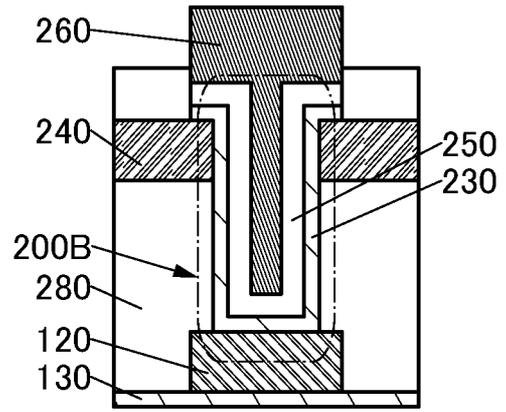


图 14C

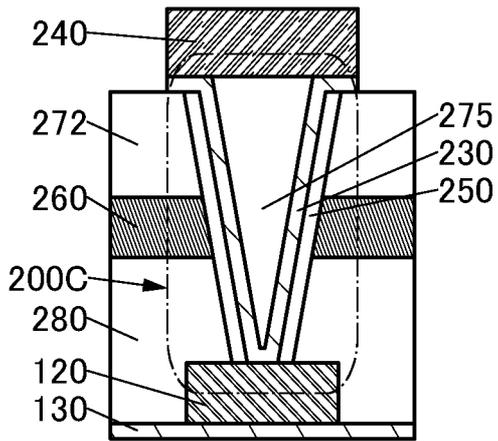


图 14D

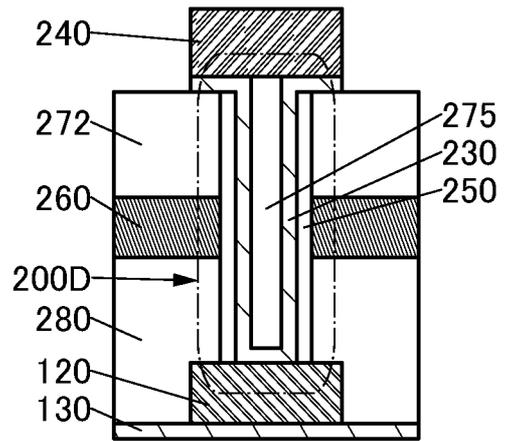


図15A

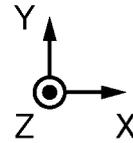
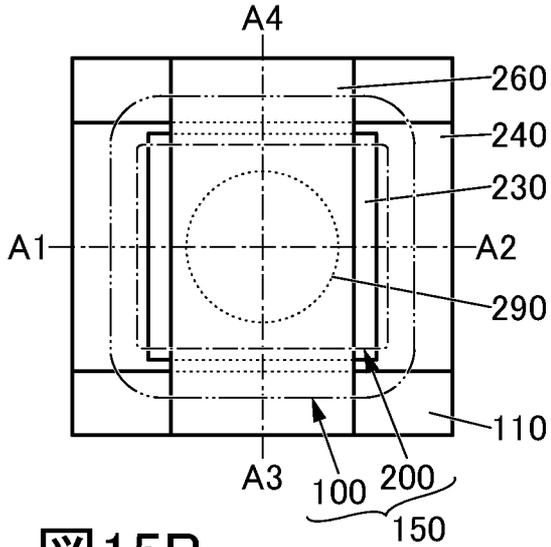


図15B

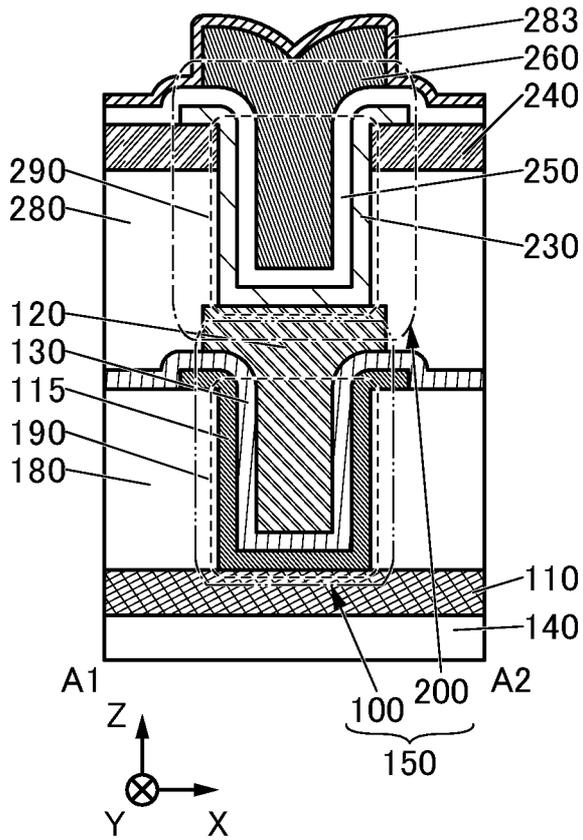


図15C

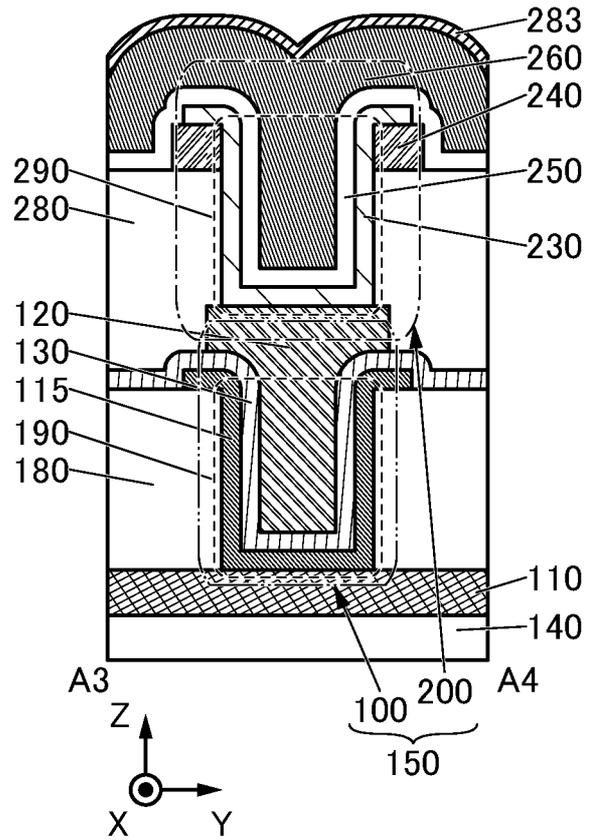


図15D

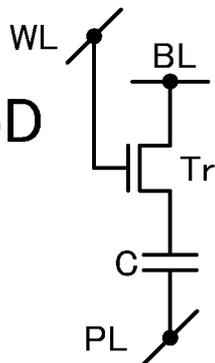


図16A

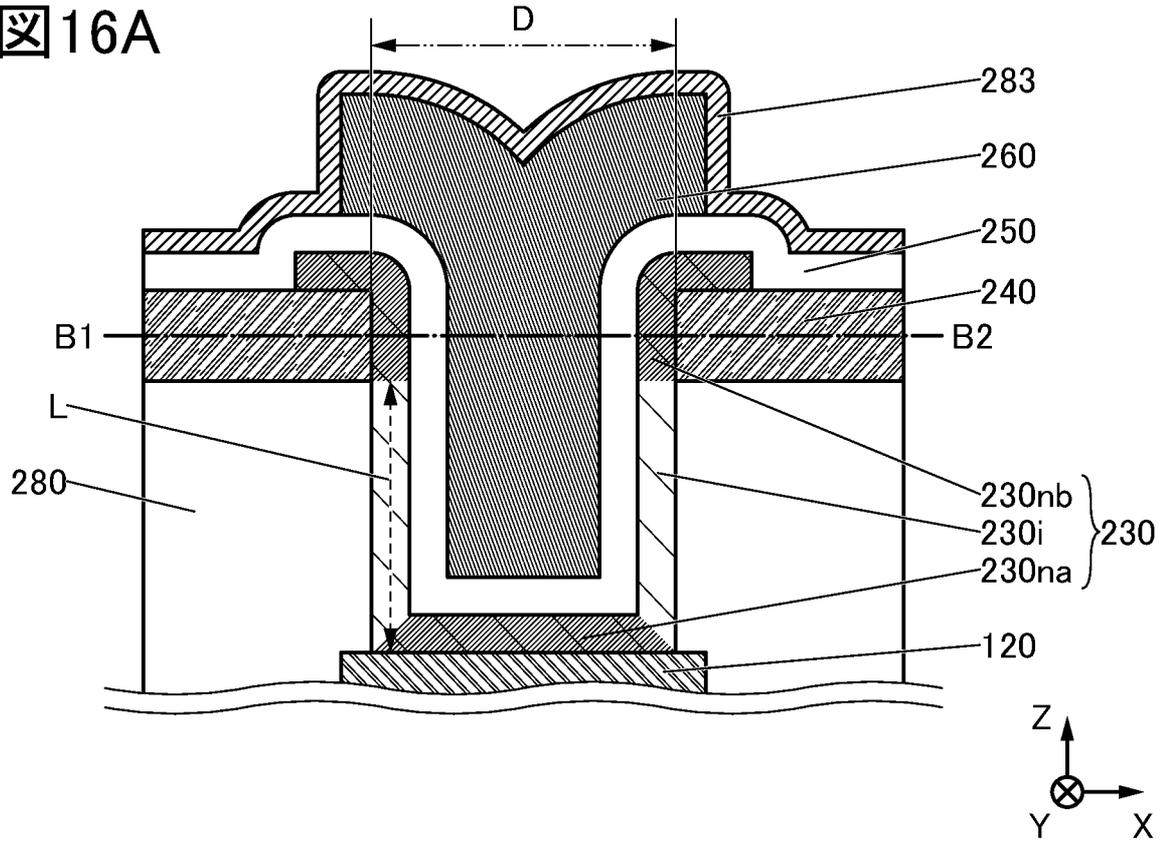


図16B

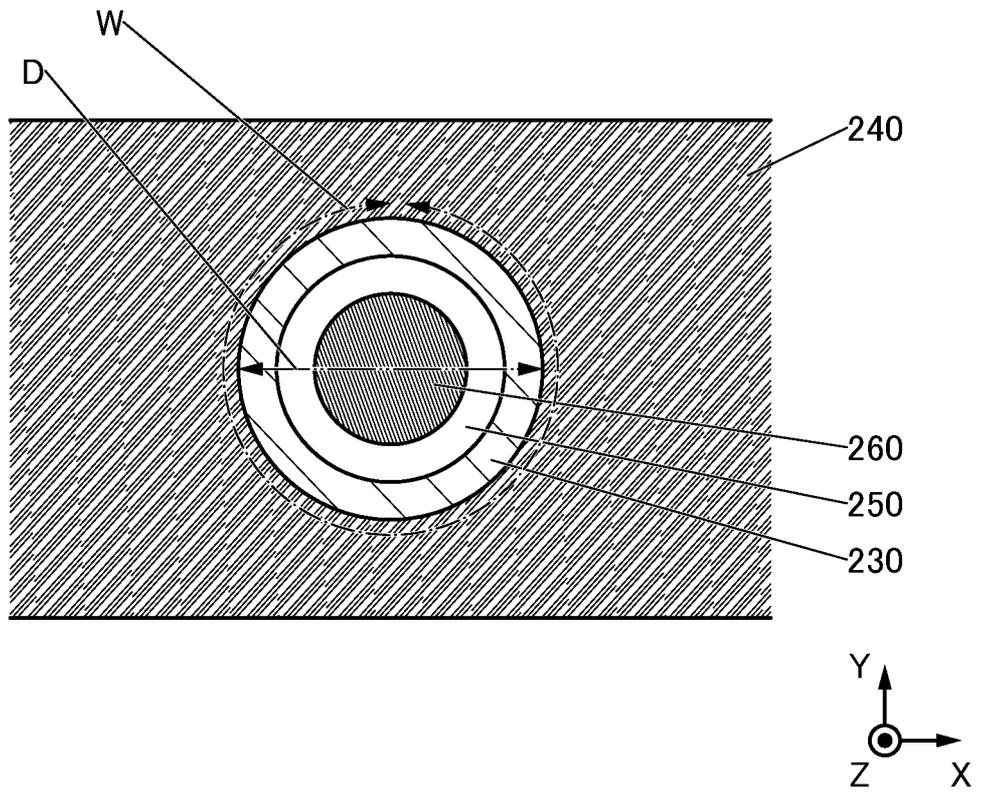


図17A

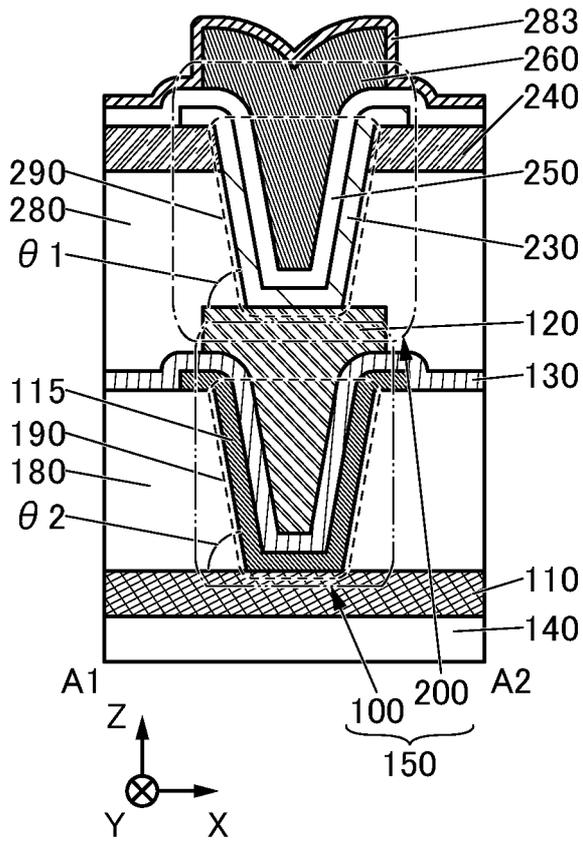


図17B

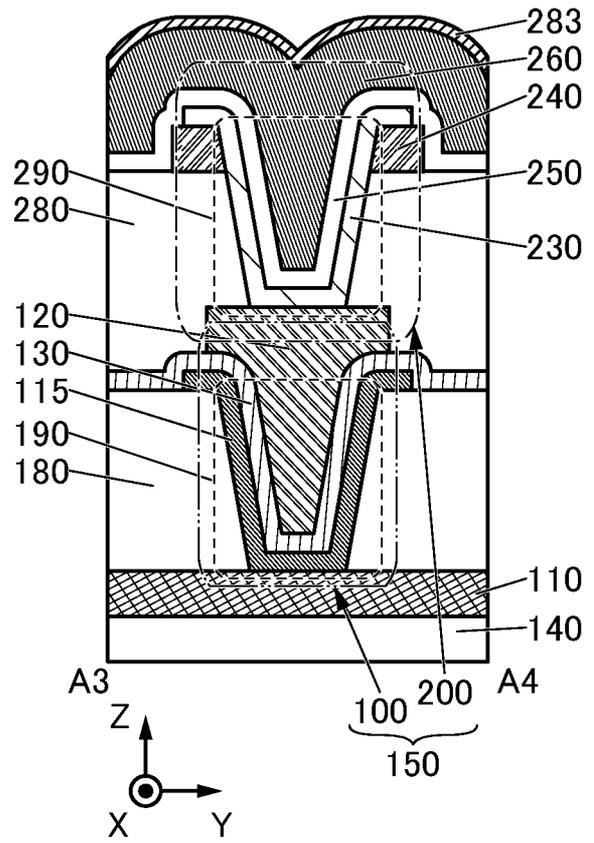


図17C

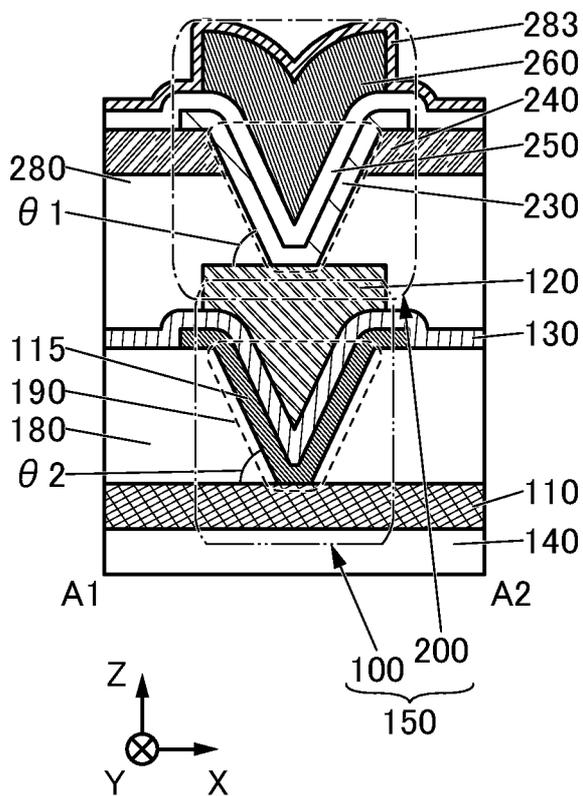


図17D

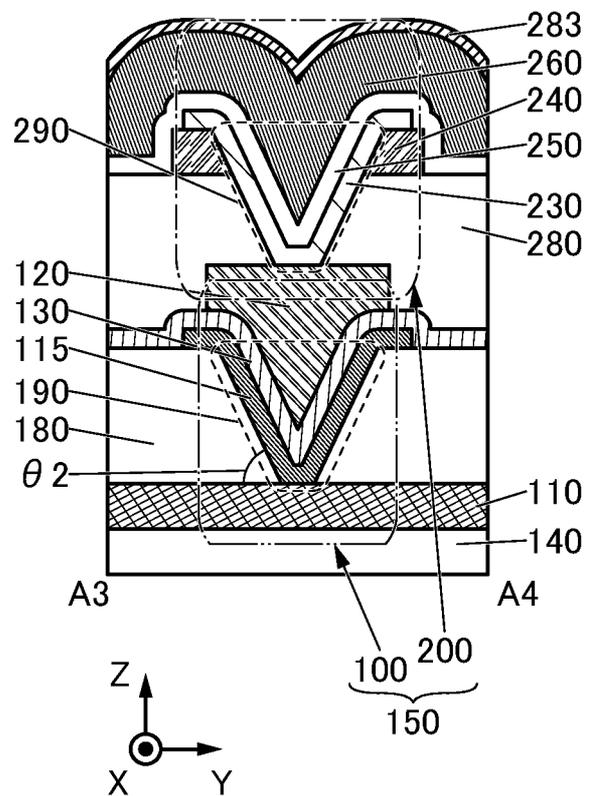
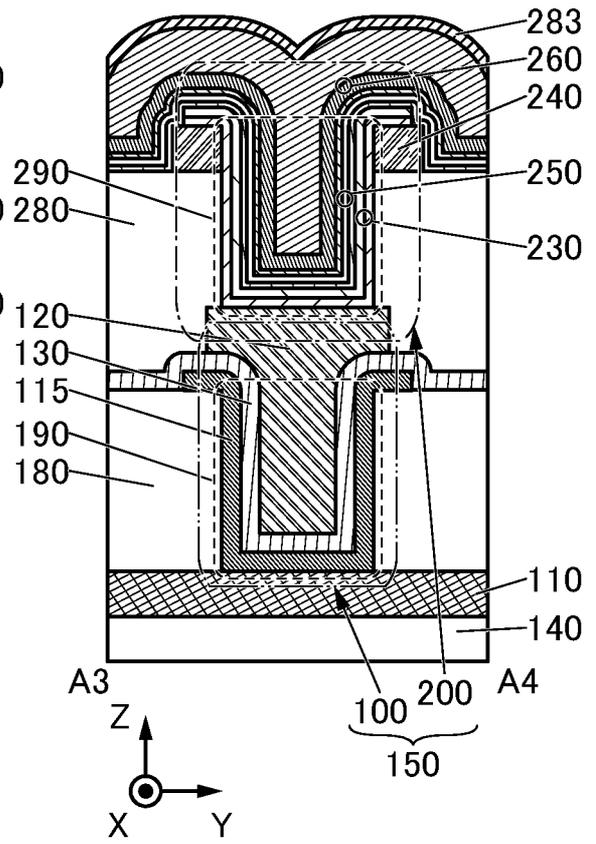
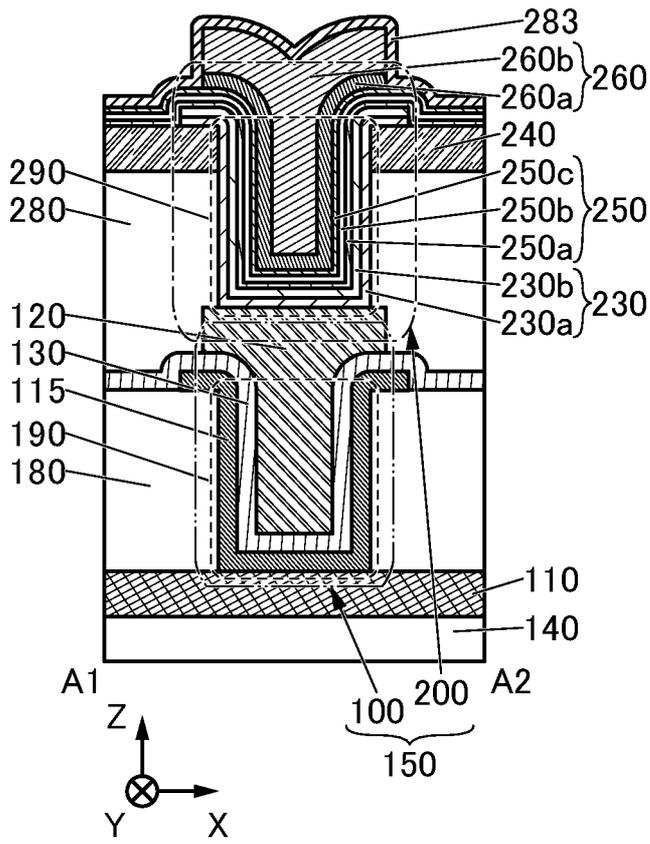


図18A

図18B



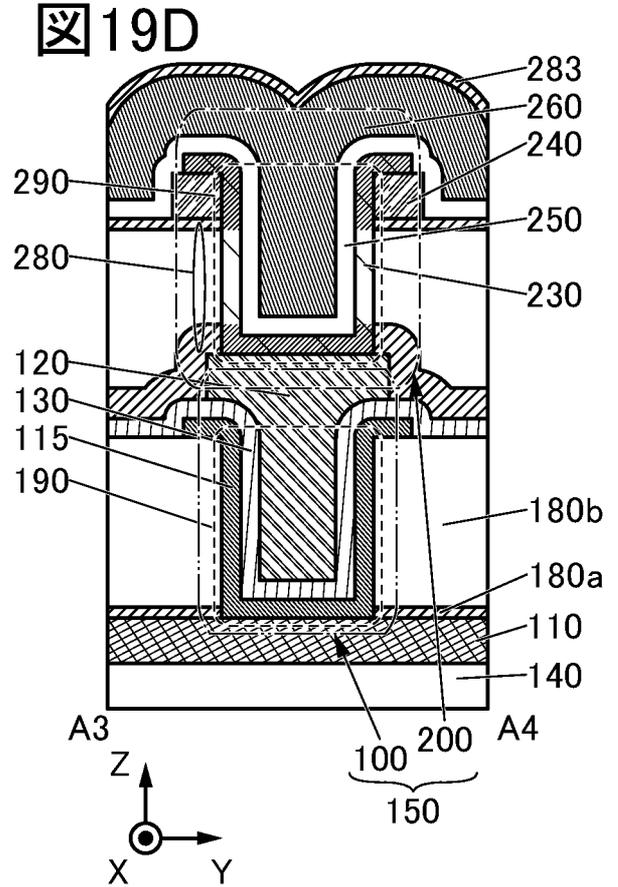
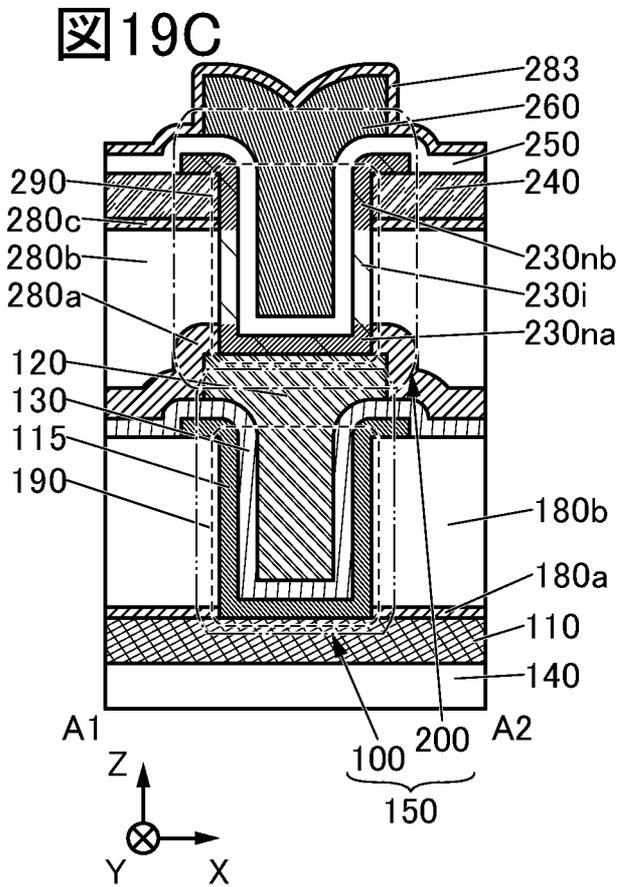
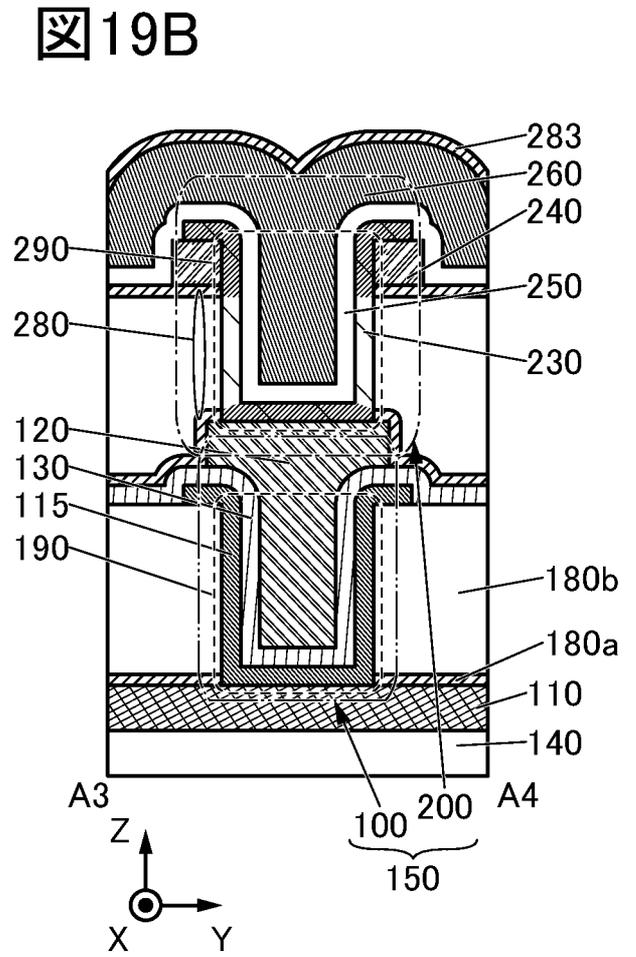
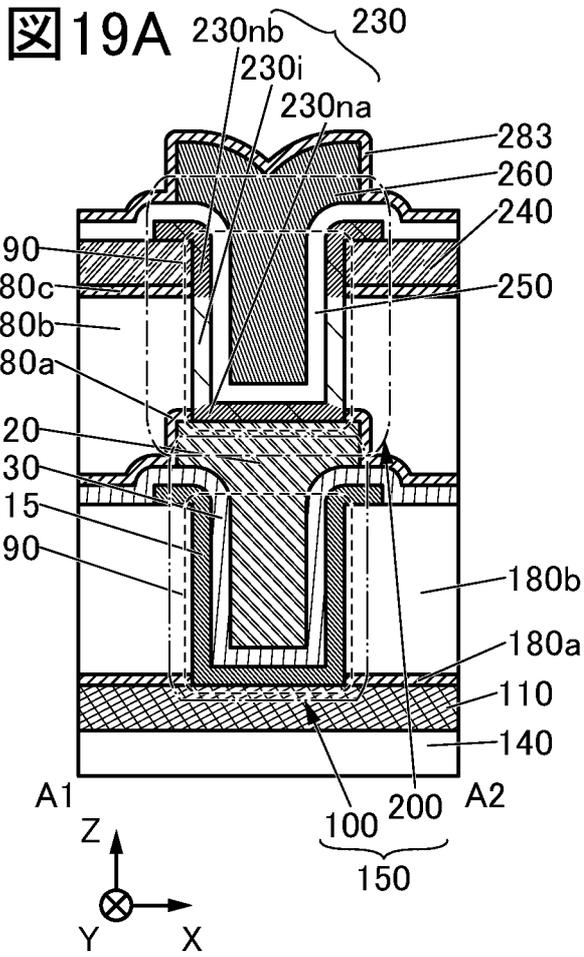


図20A

図20B

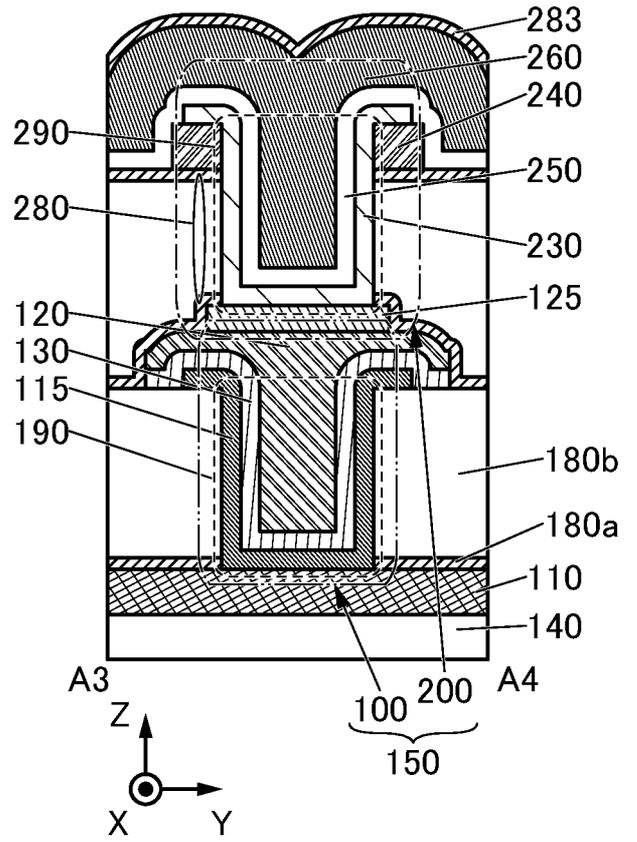
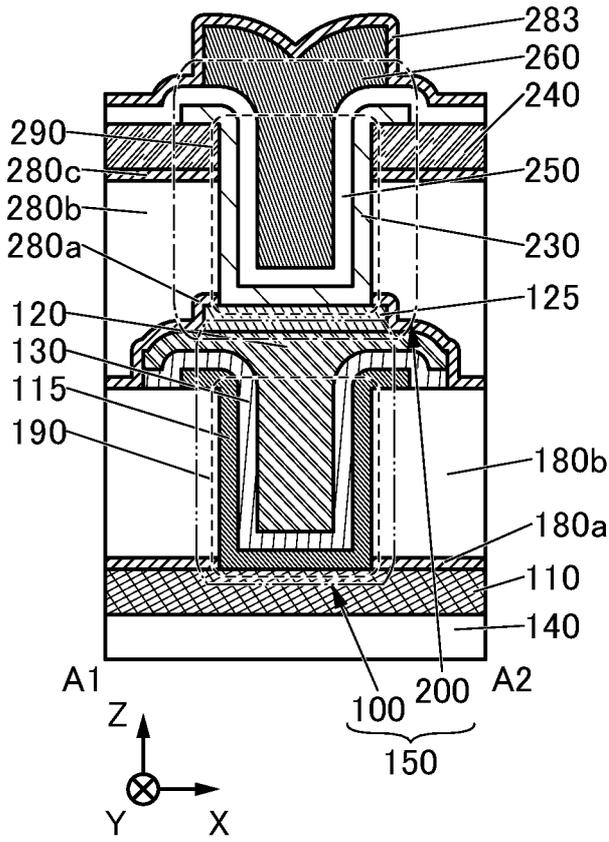


図21A

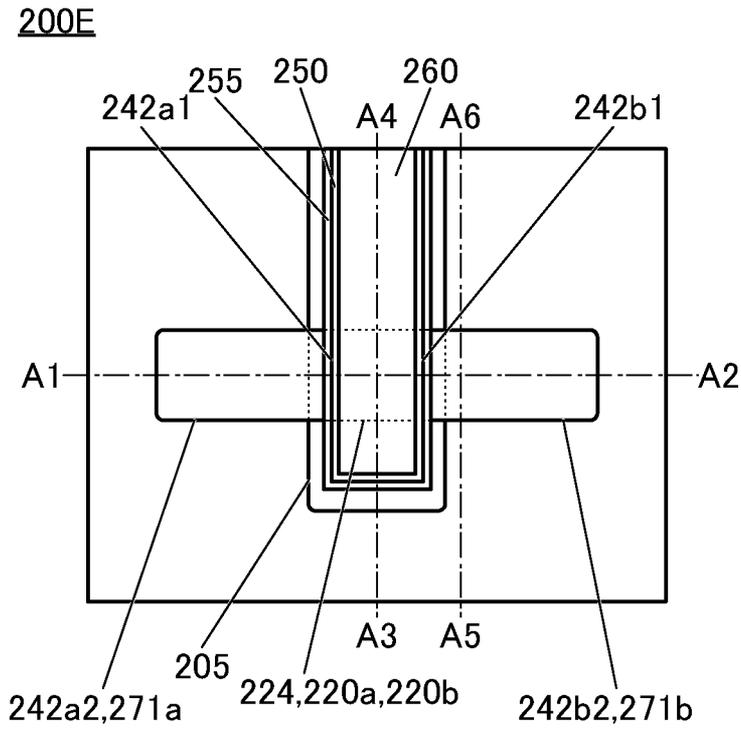


図21C

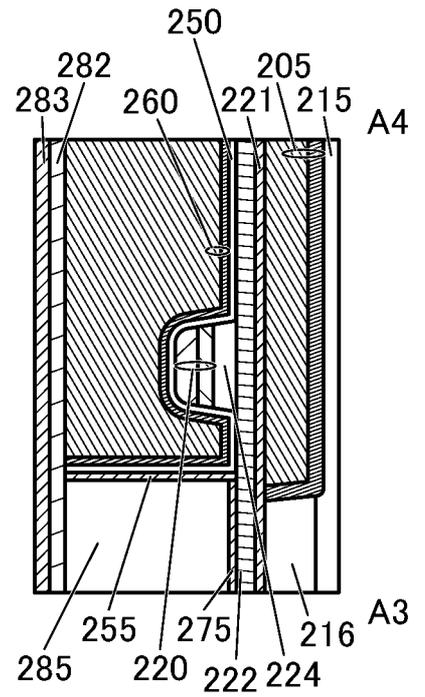


図21B

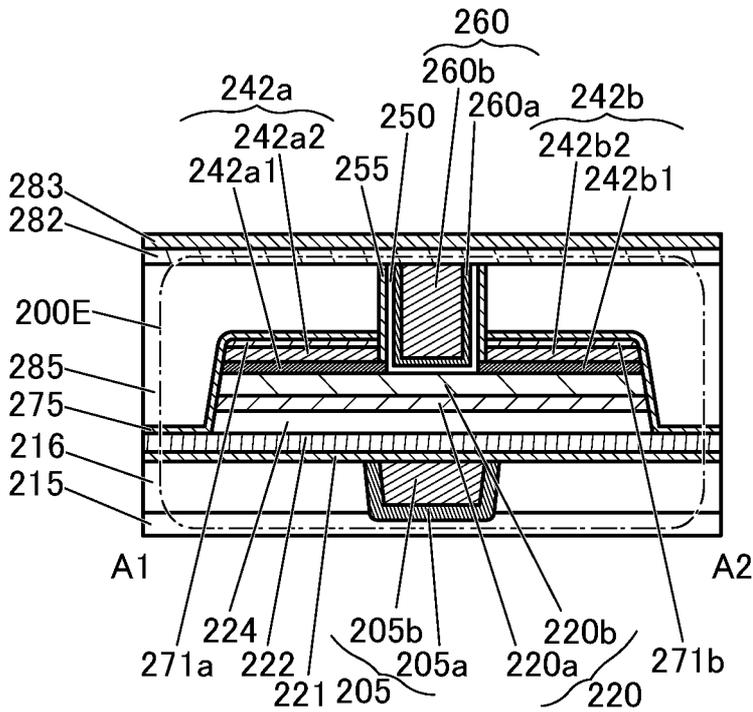


図21D

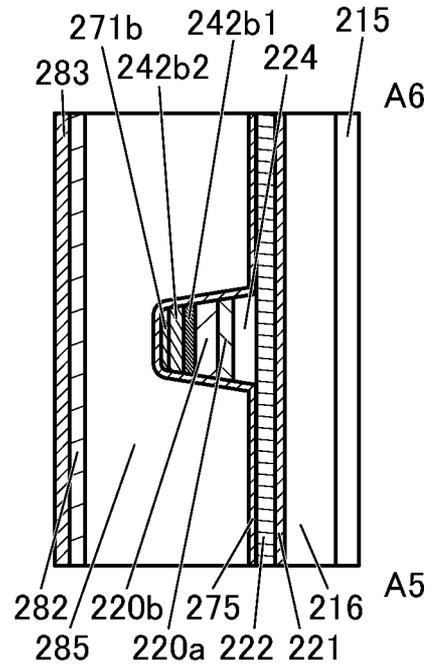


図 22A

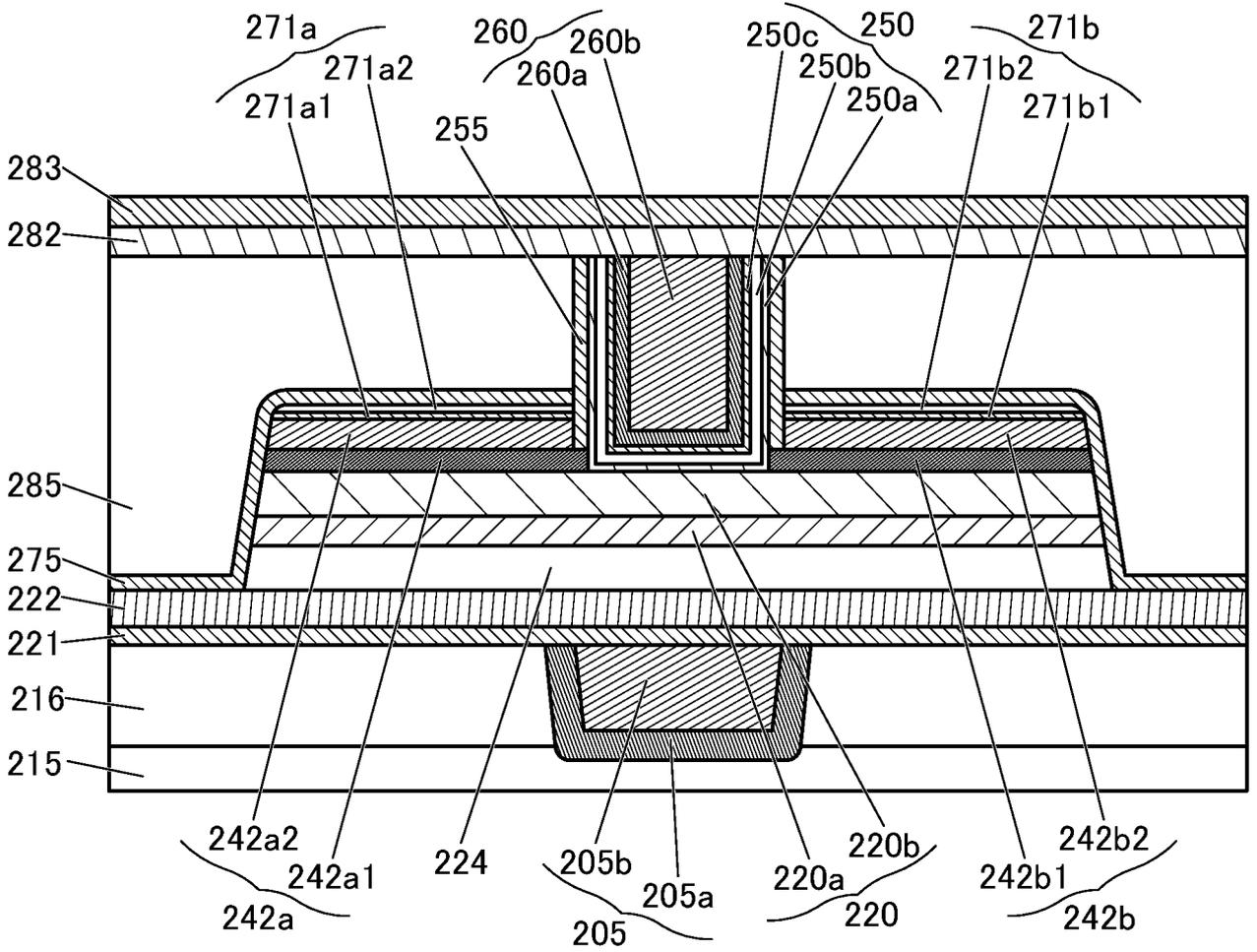


図 22B

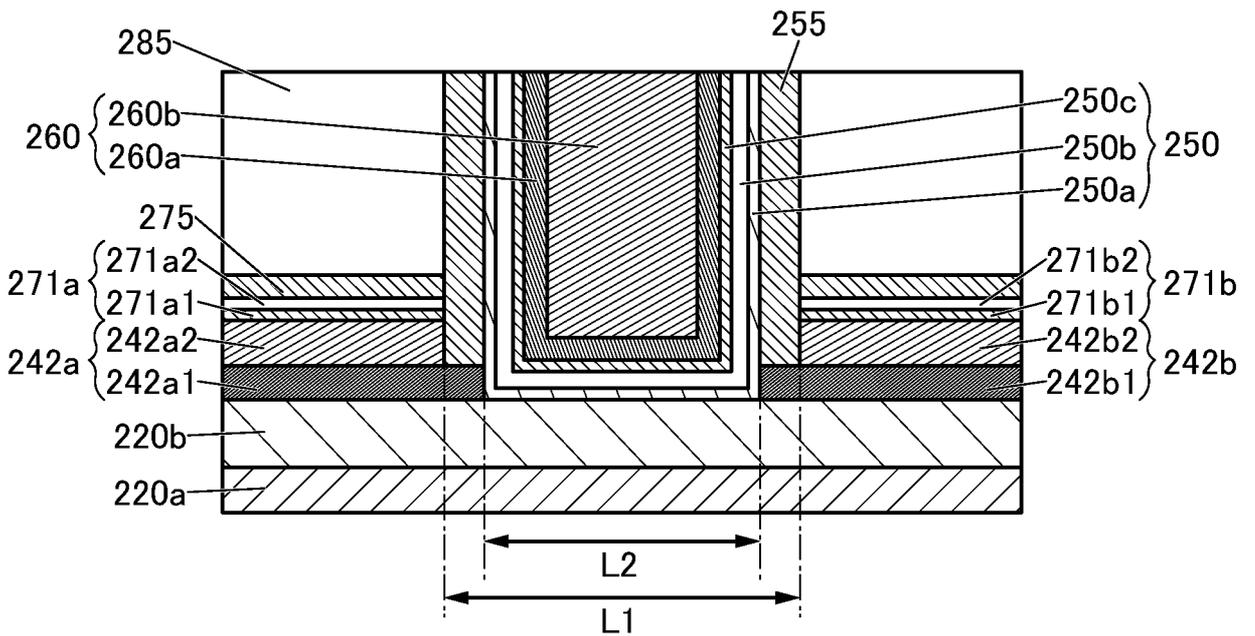


図23A

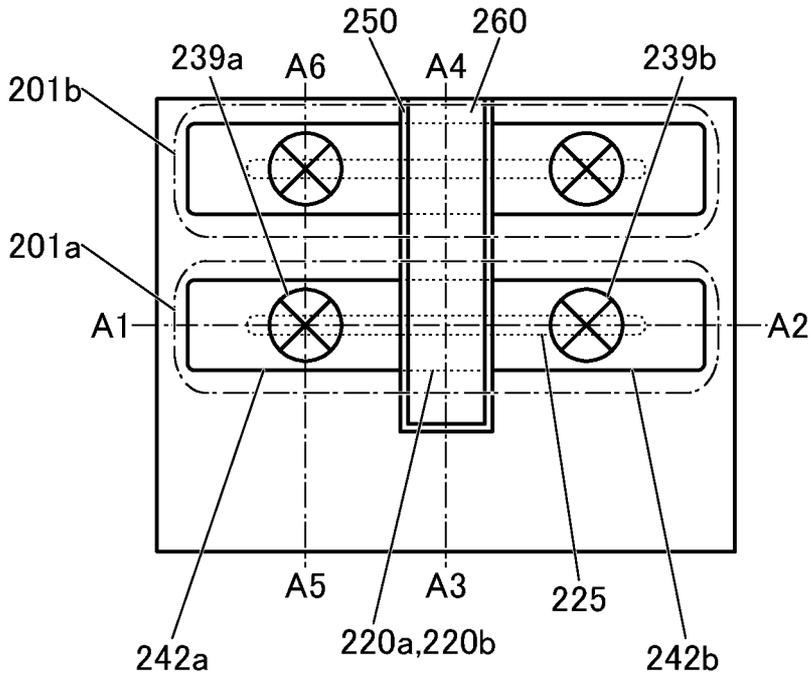


図23C

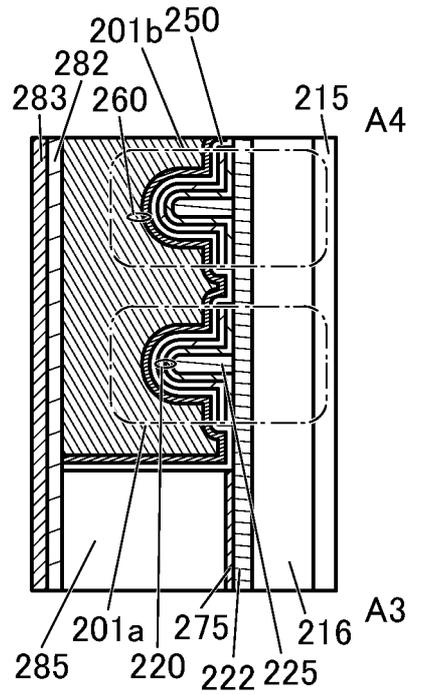


図23B

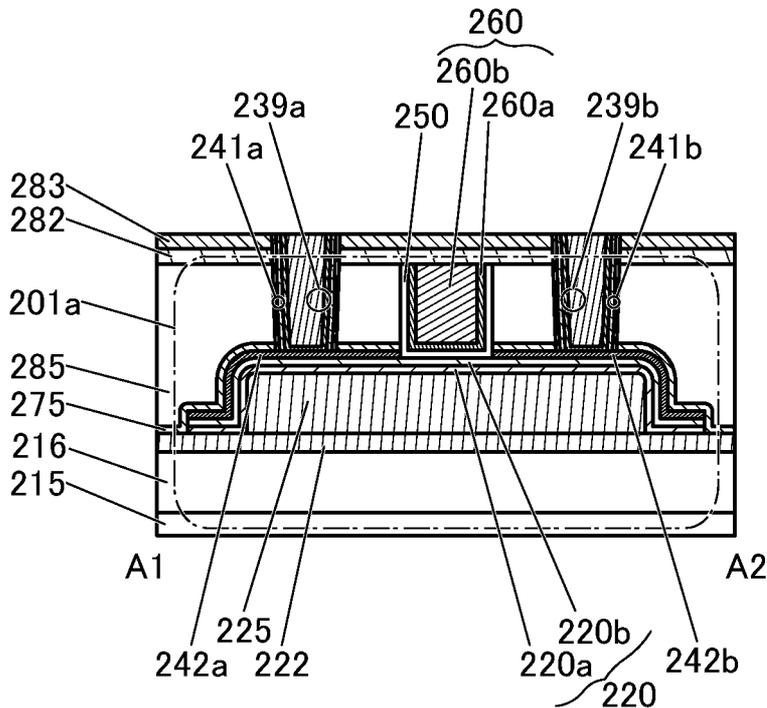


図23D

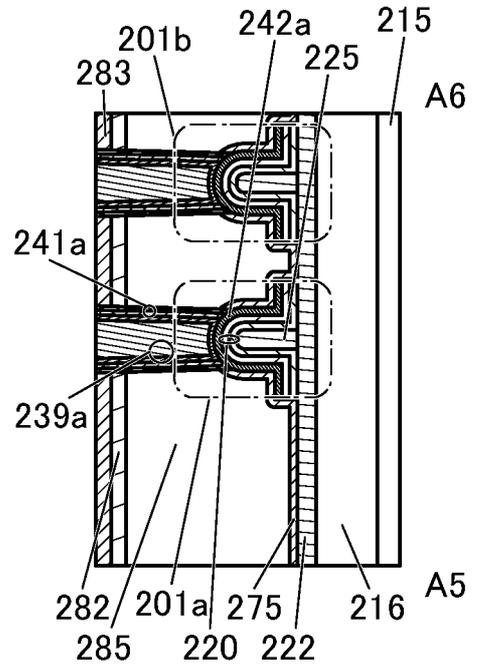


図24A

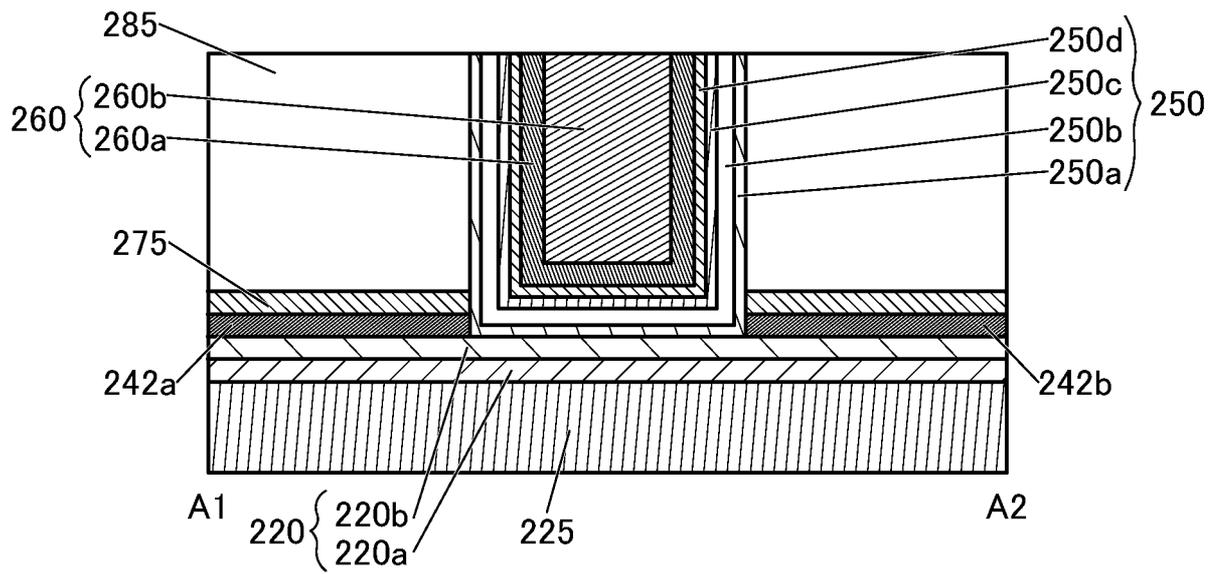
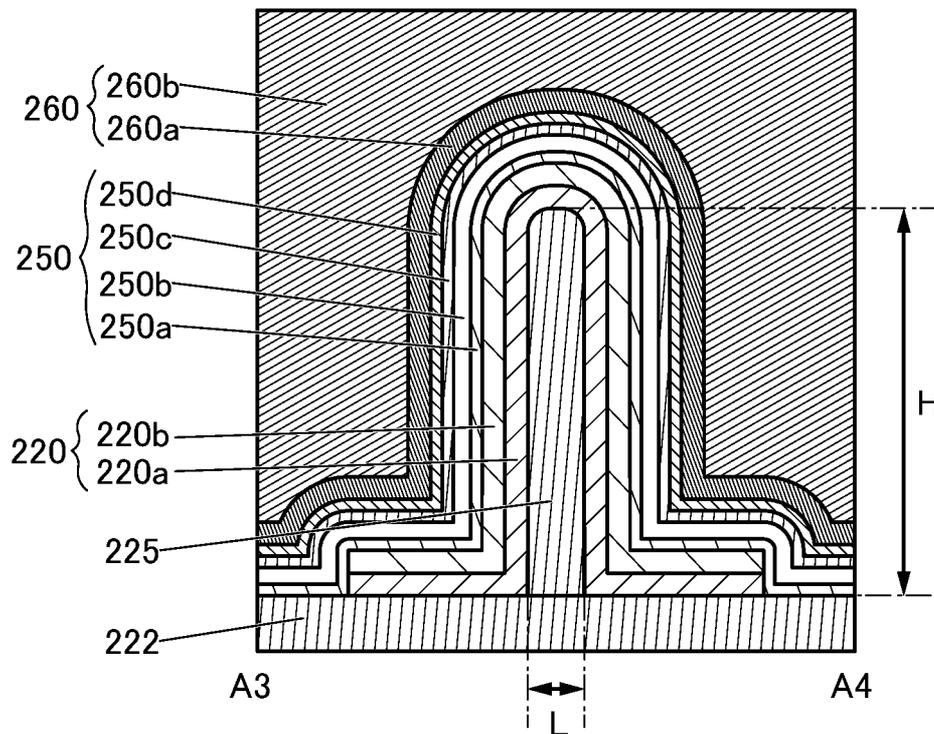
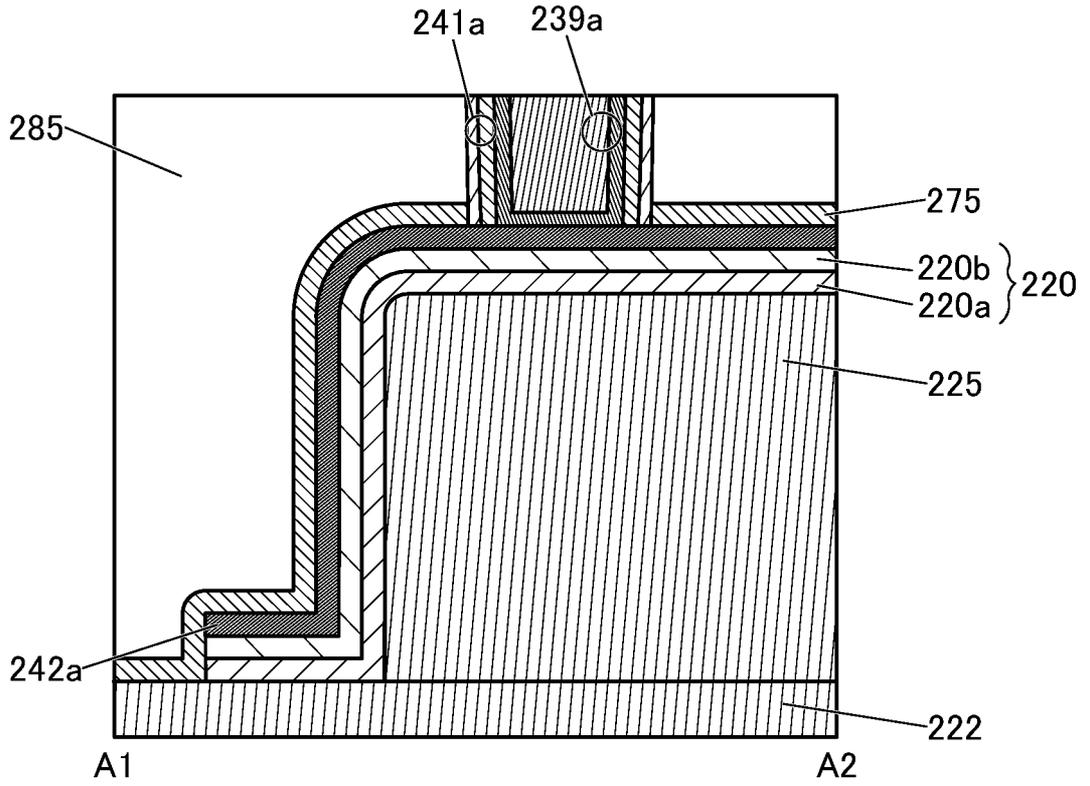


図24B



25A



25B

25C

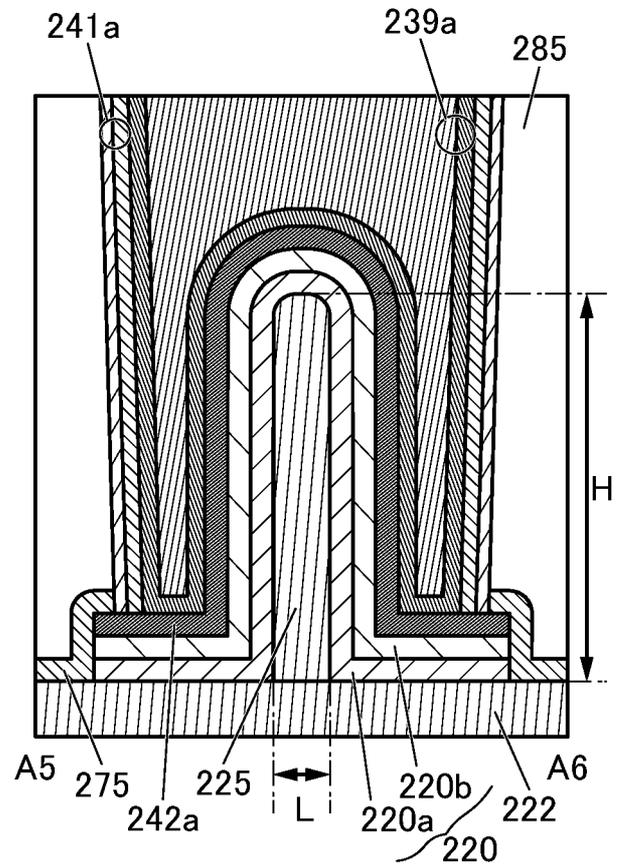
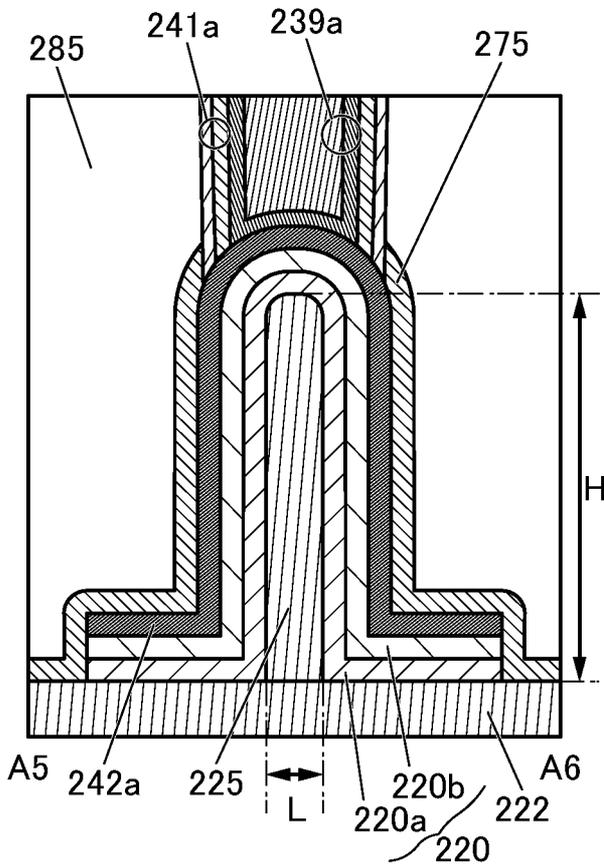


図26A

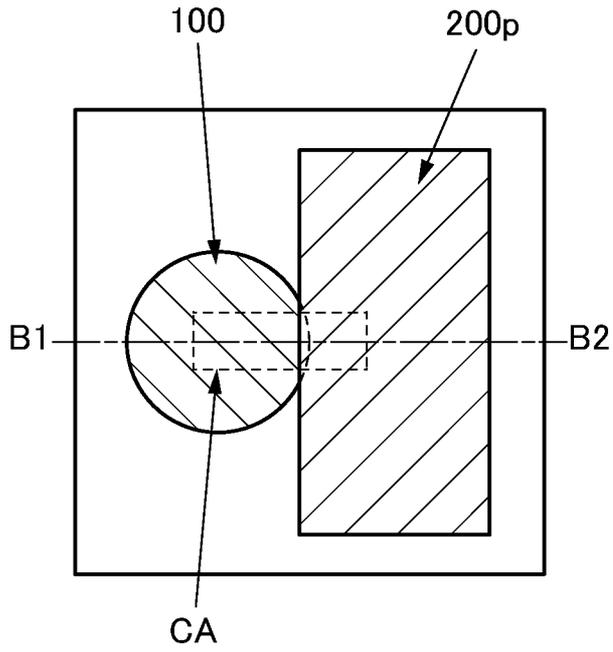


図26B

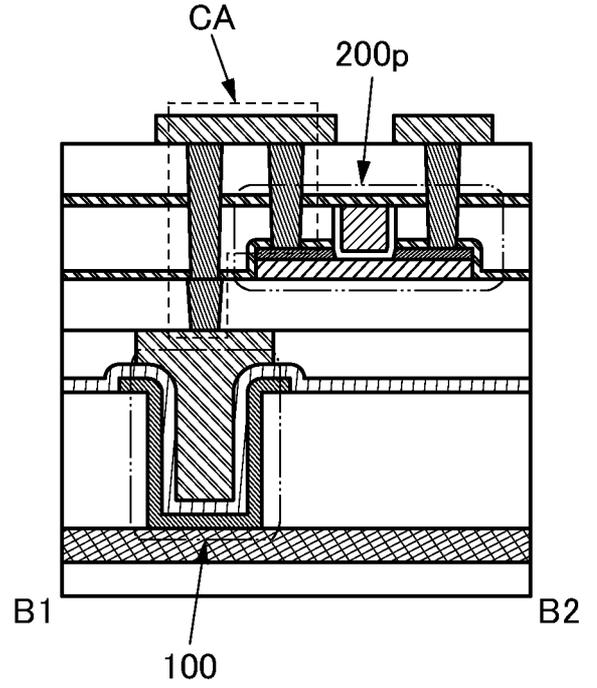


図26C

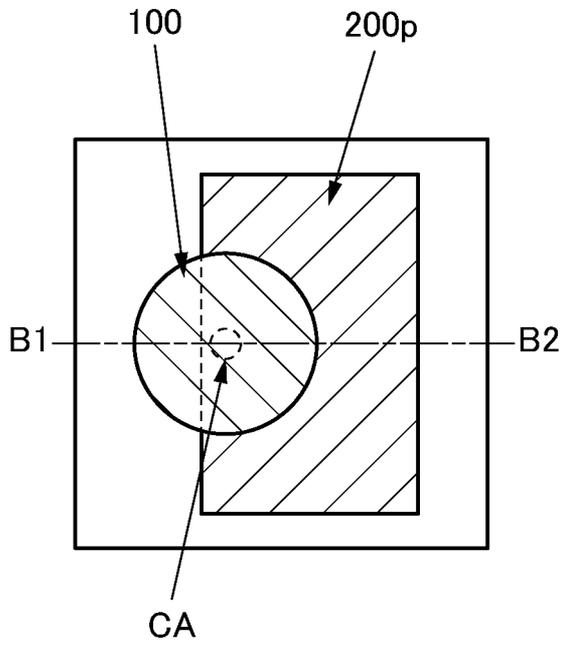


図26D

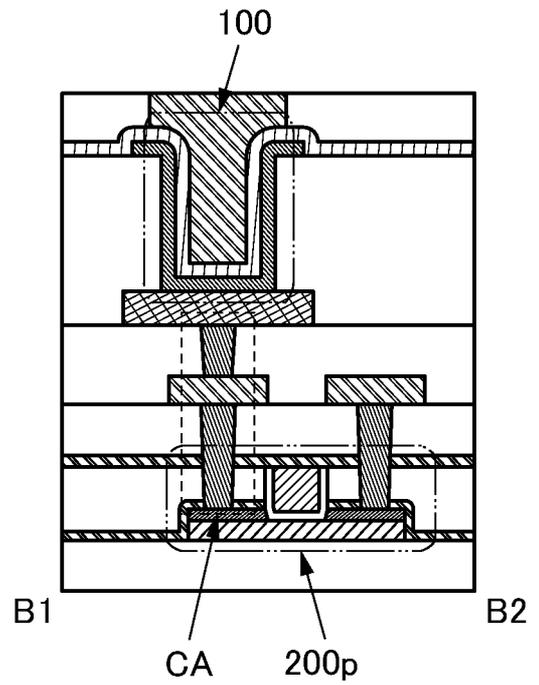


図27A

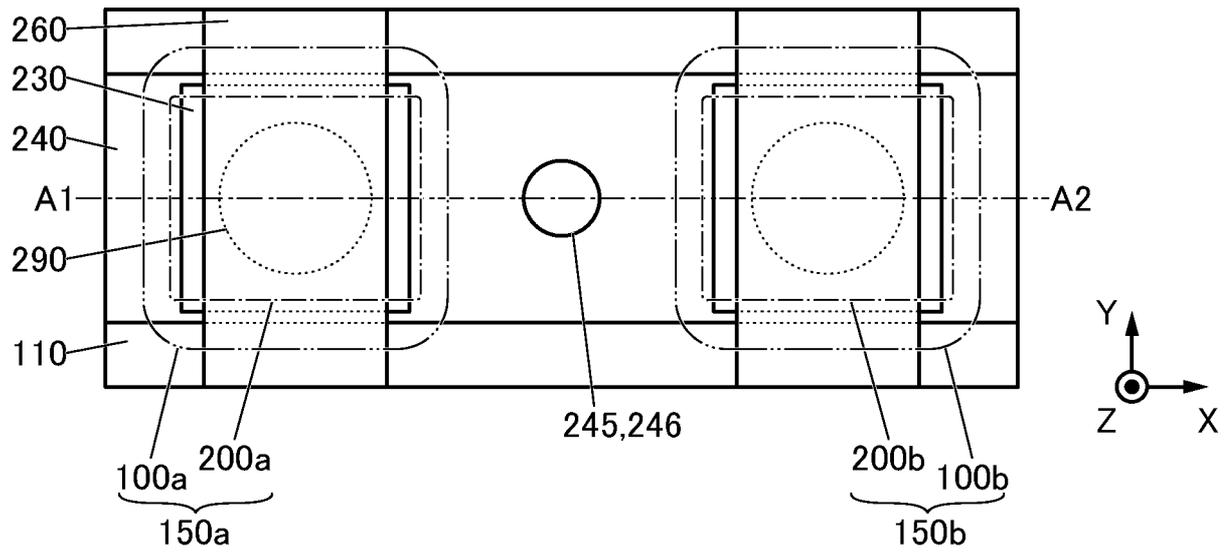
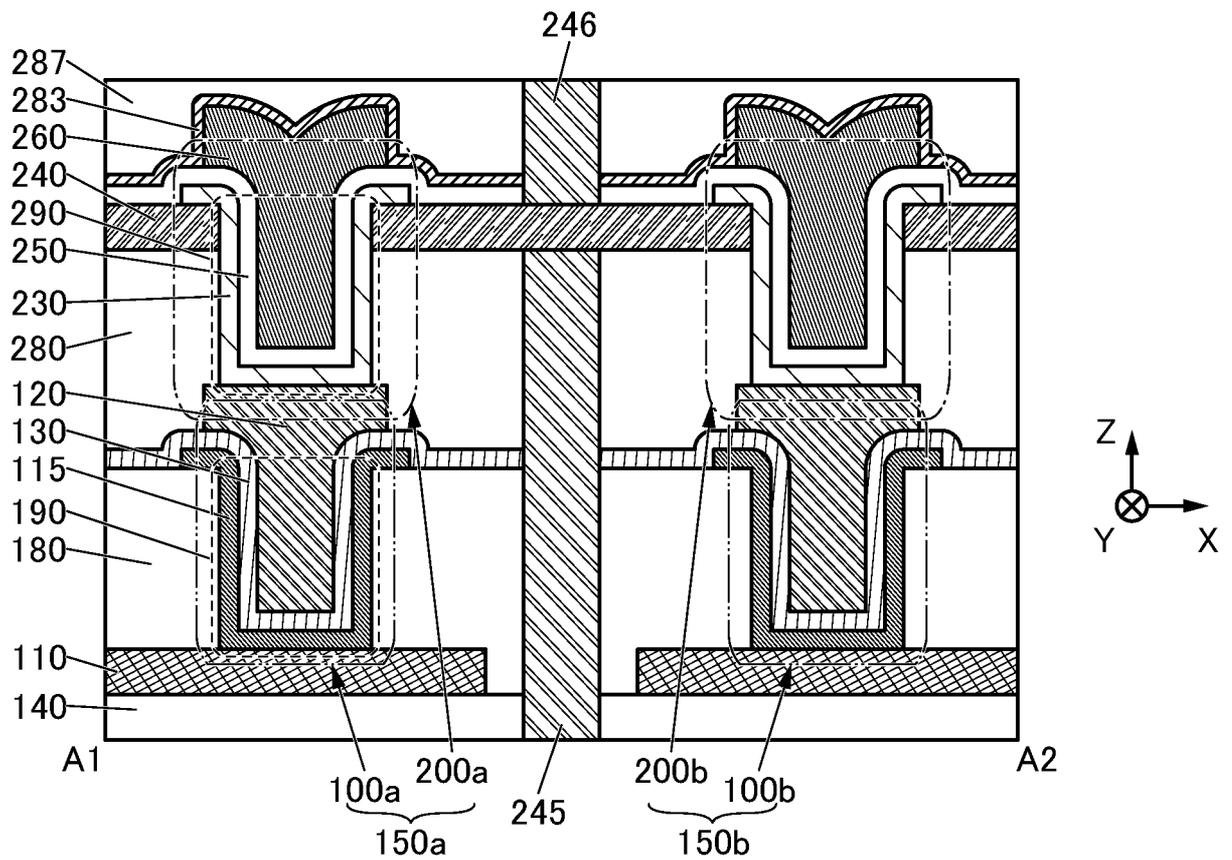
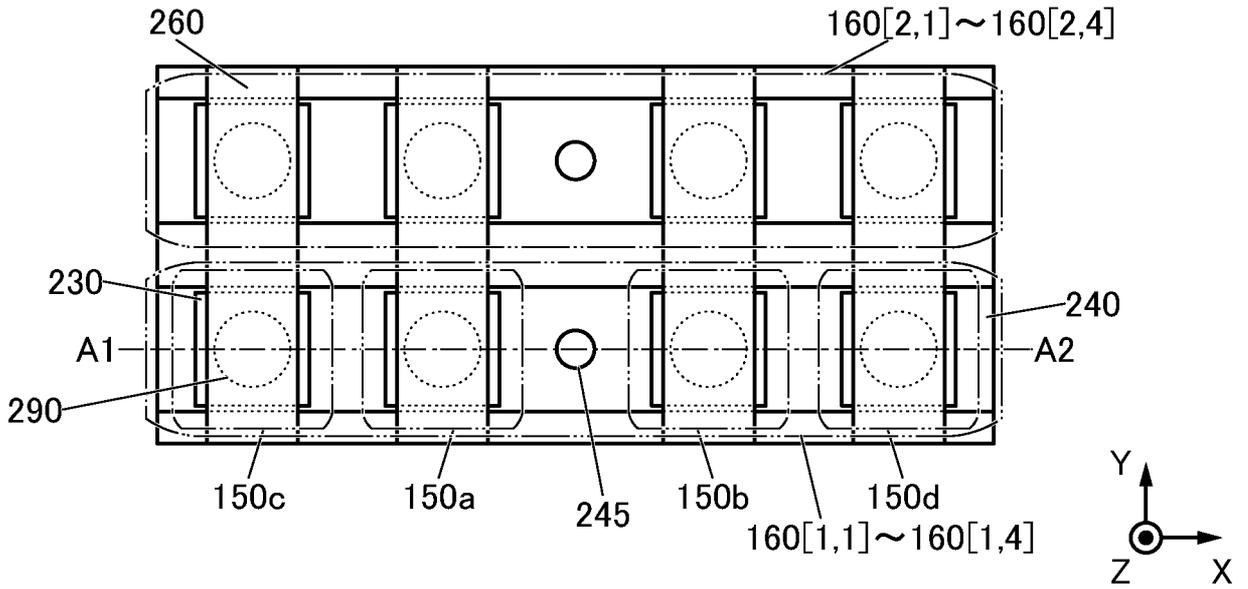


図27B



28A



28B

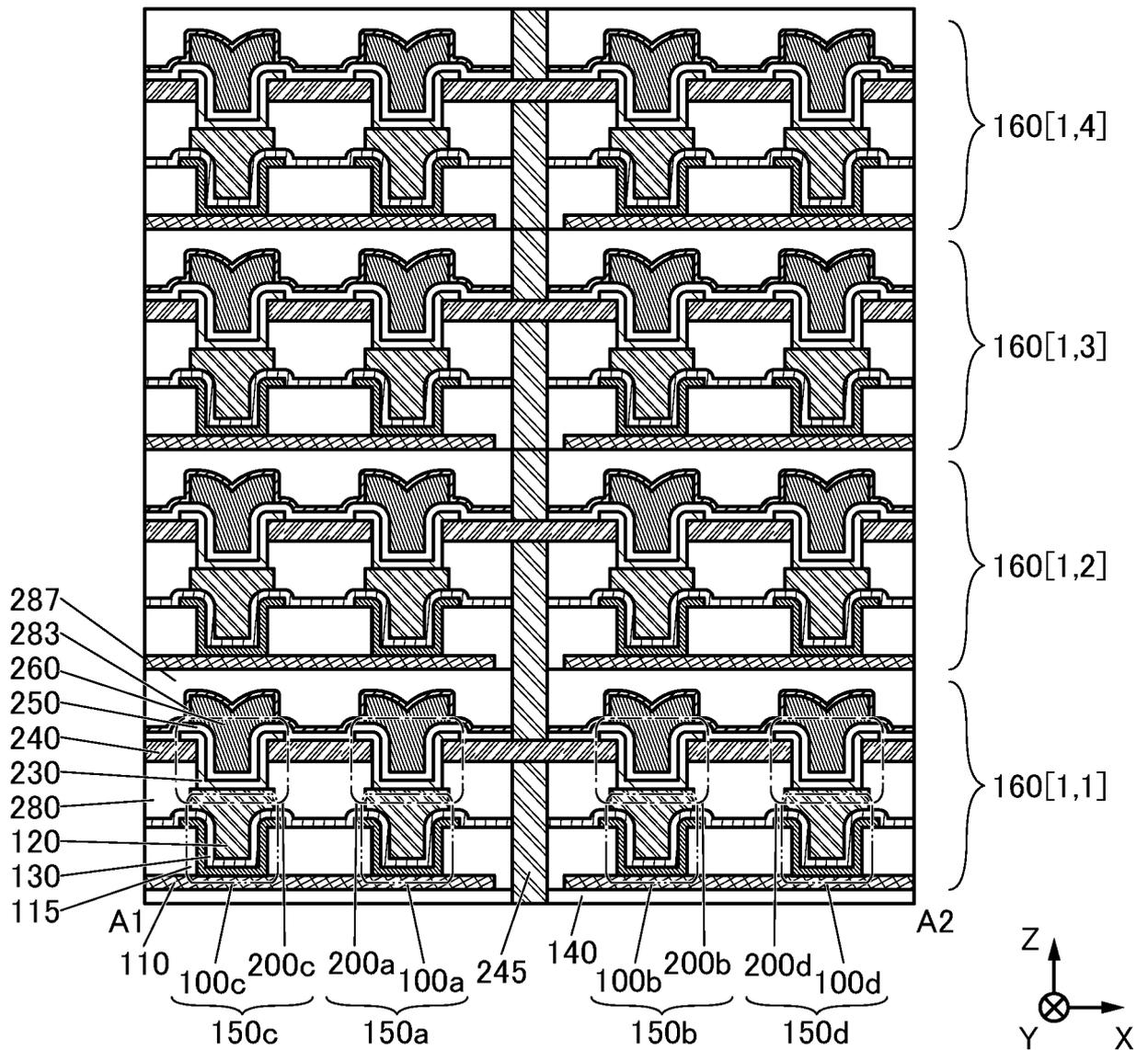


図29A

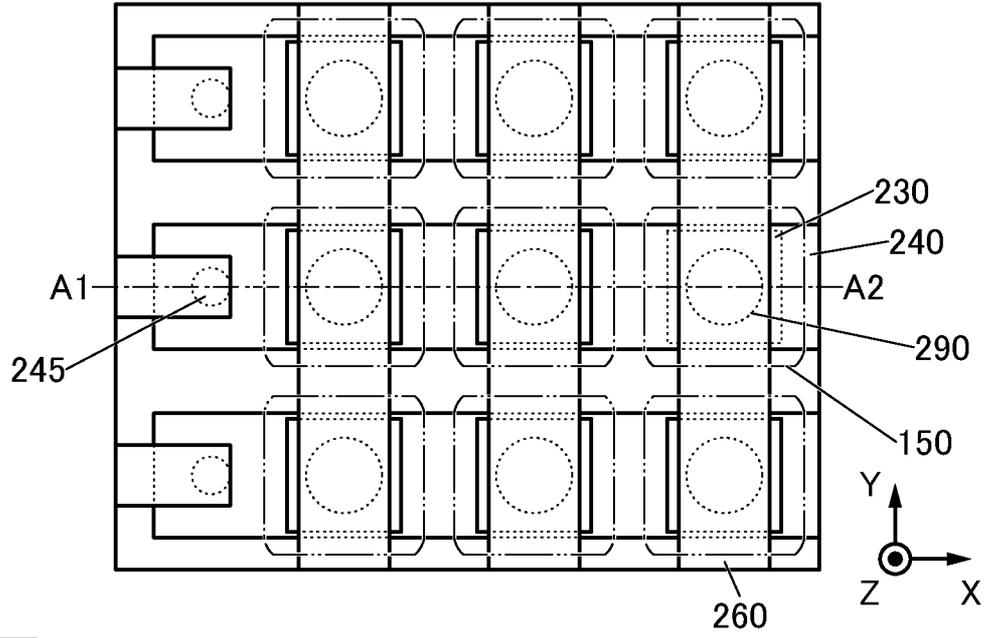


図29B

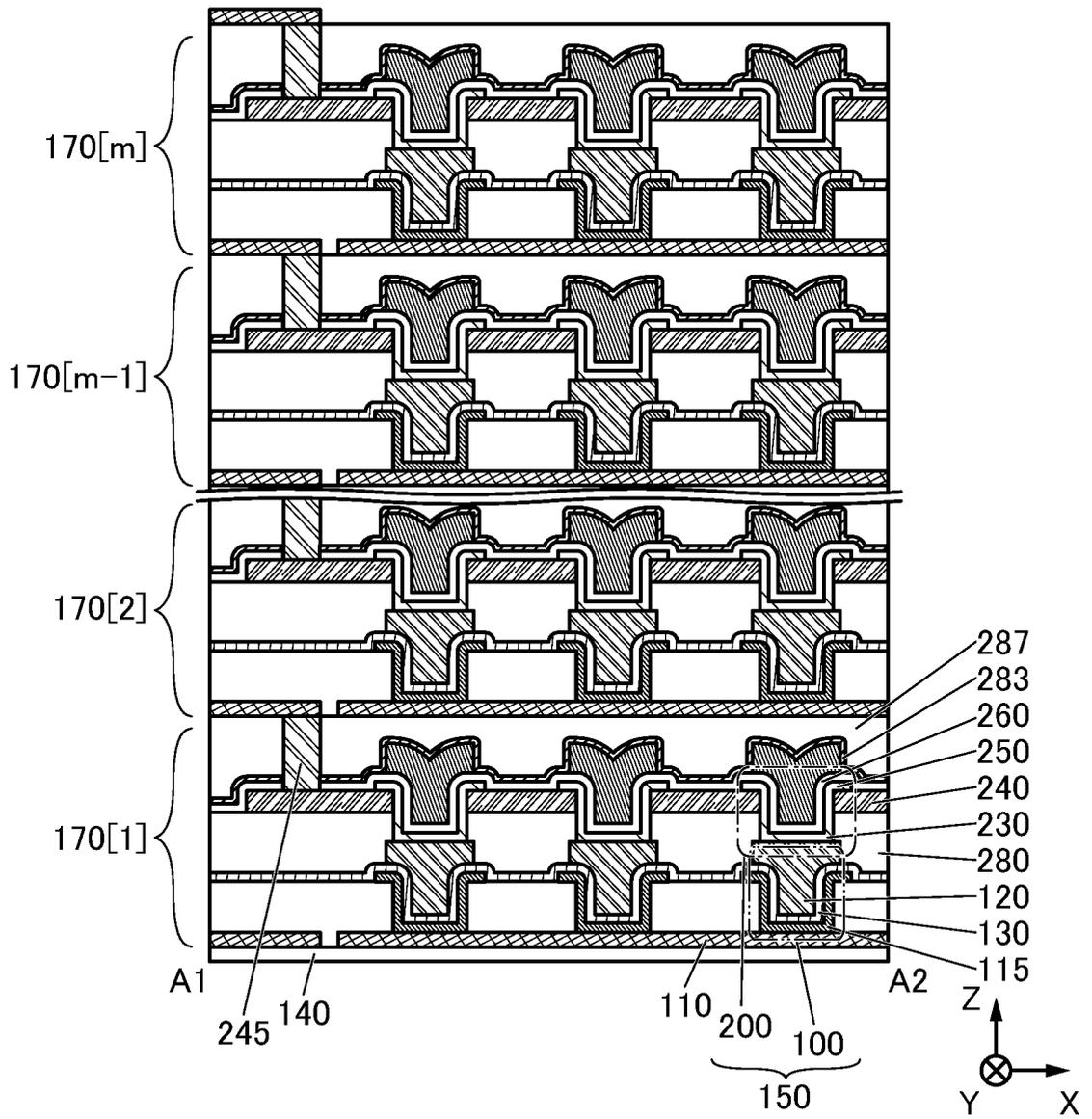


图30A

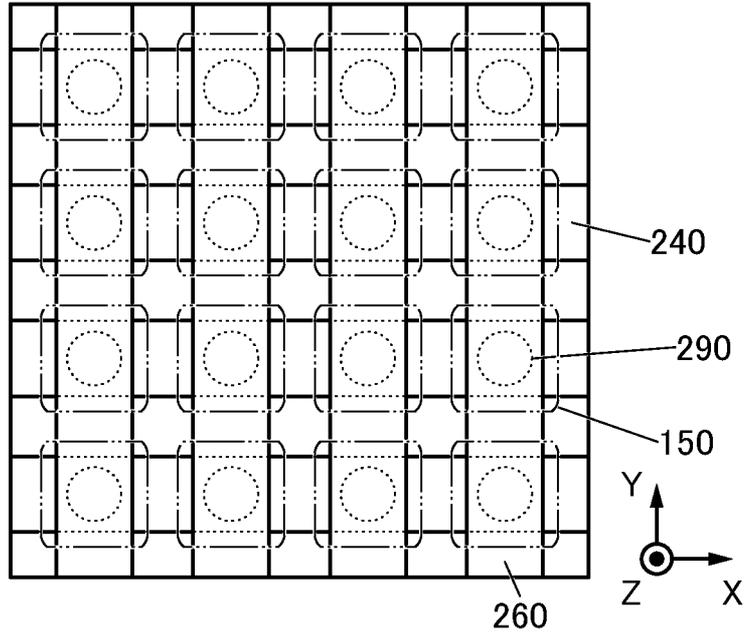


图30B

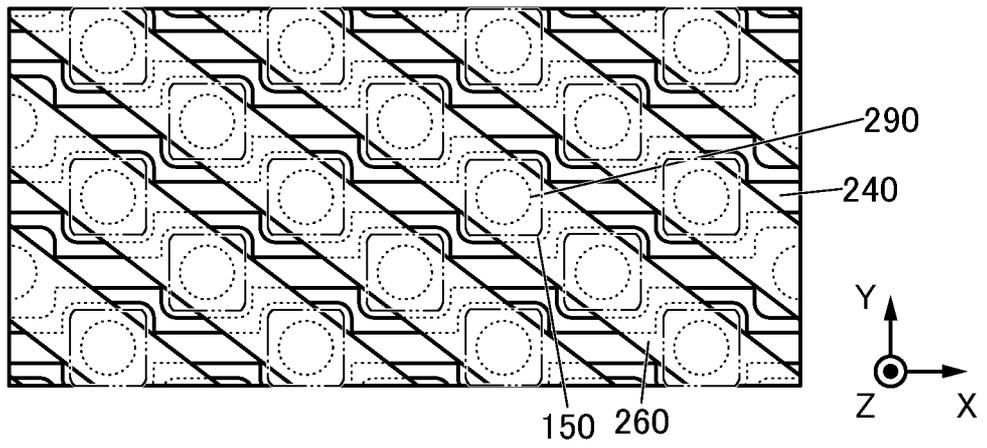


图30C

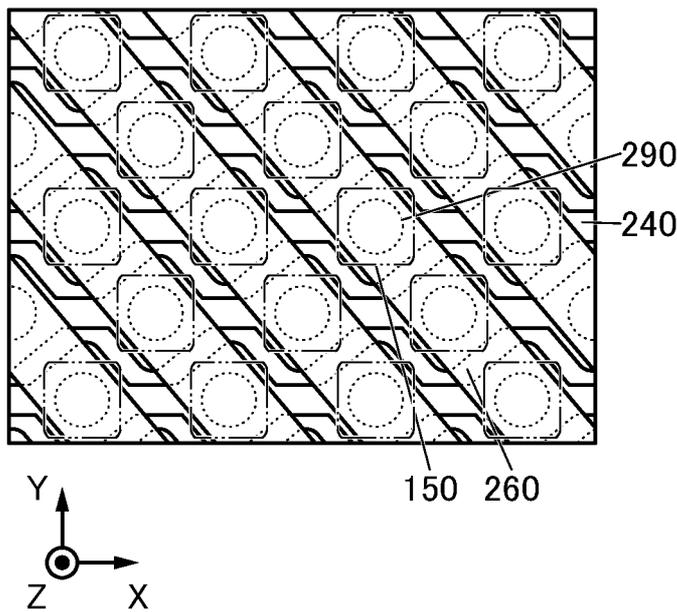


图31A

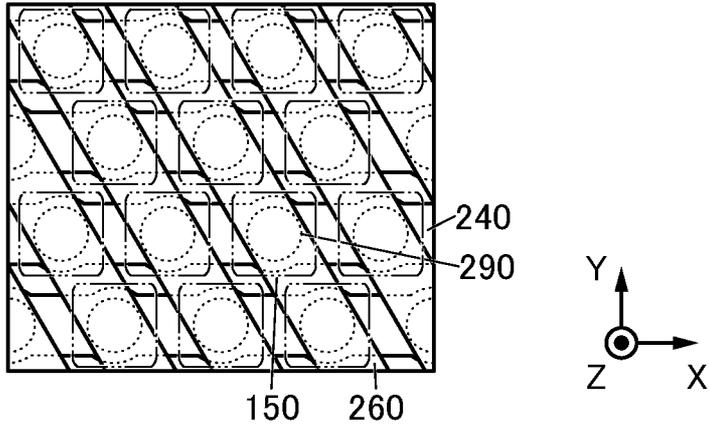


图31B

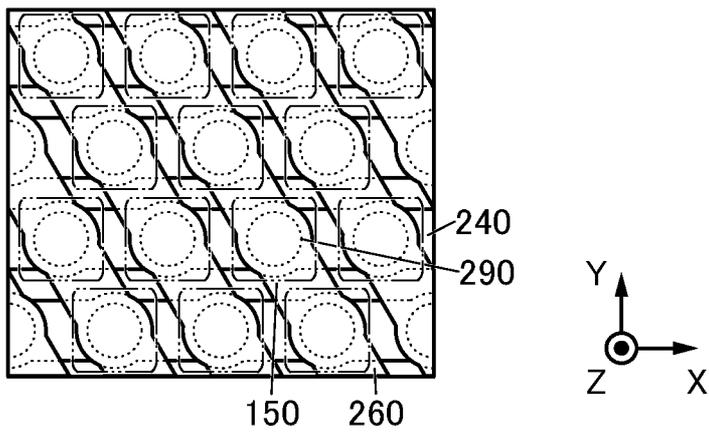
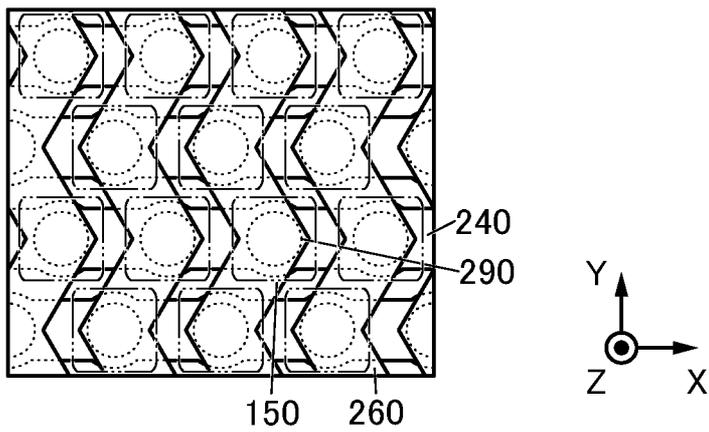


图31C



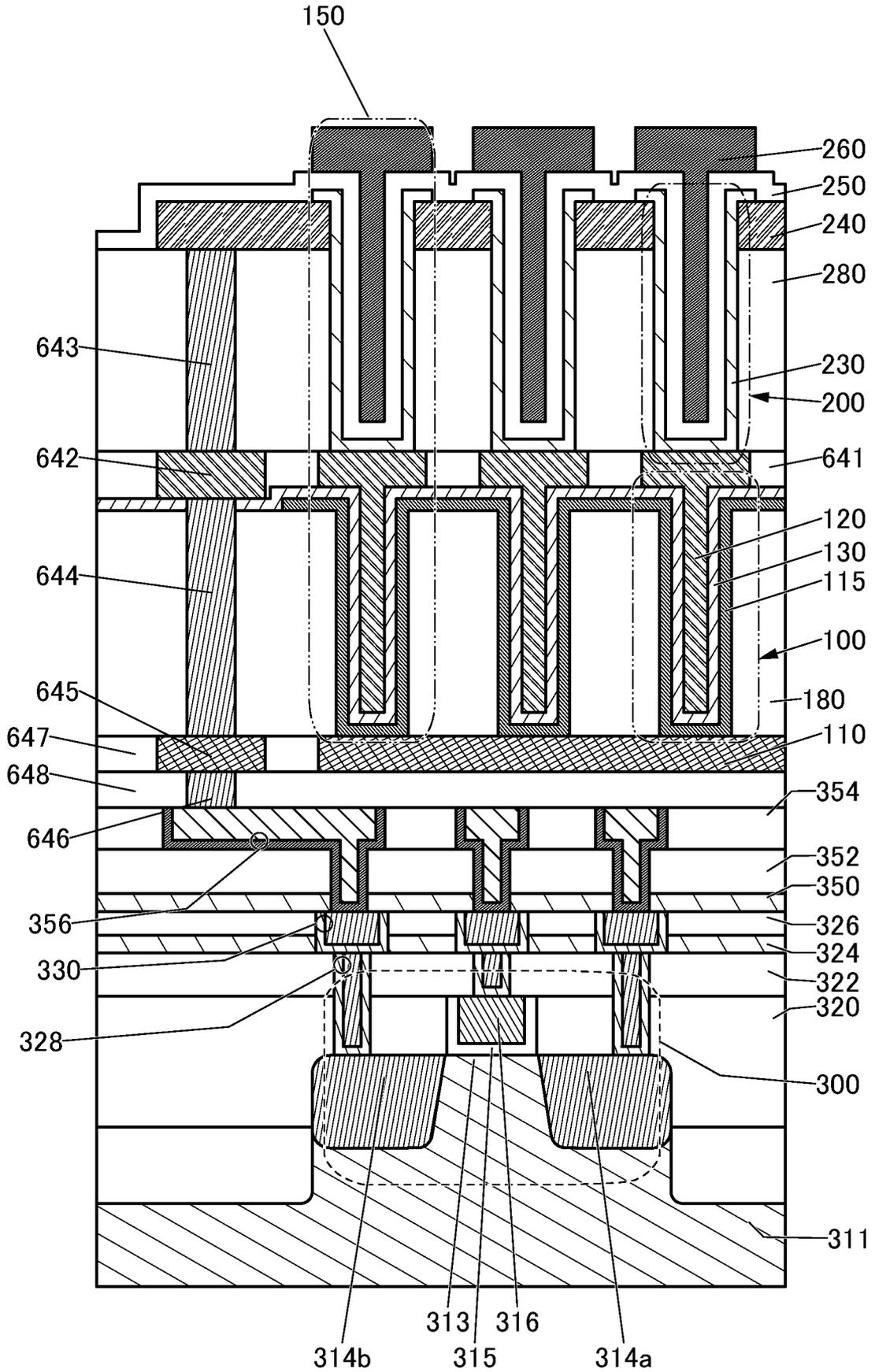


図34A

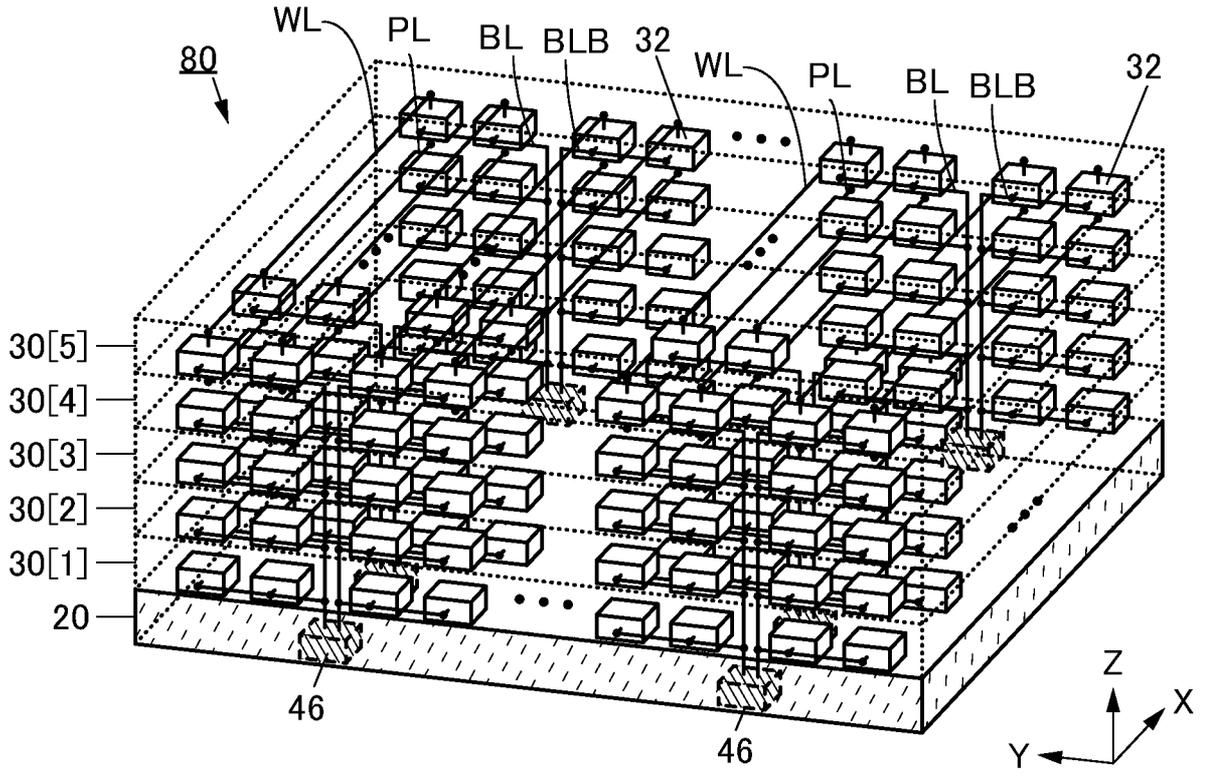


図34B

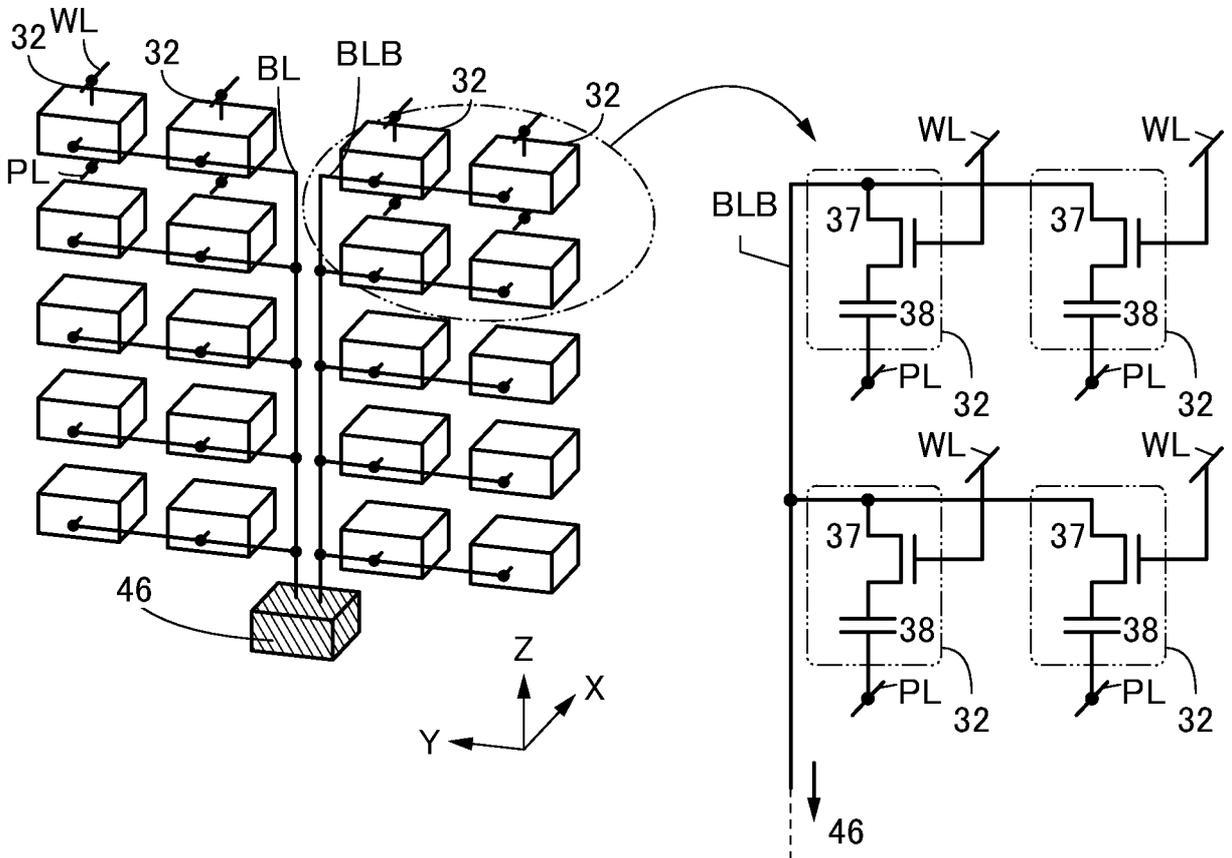


図35A

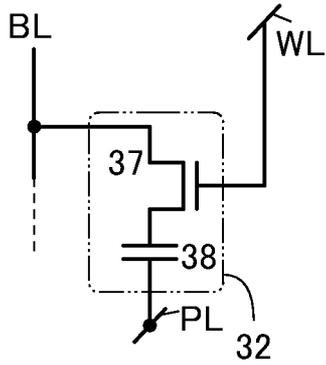


図35B

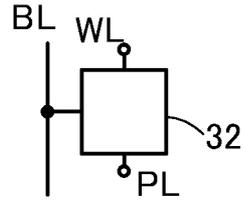


図35C

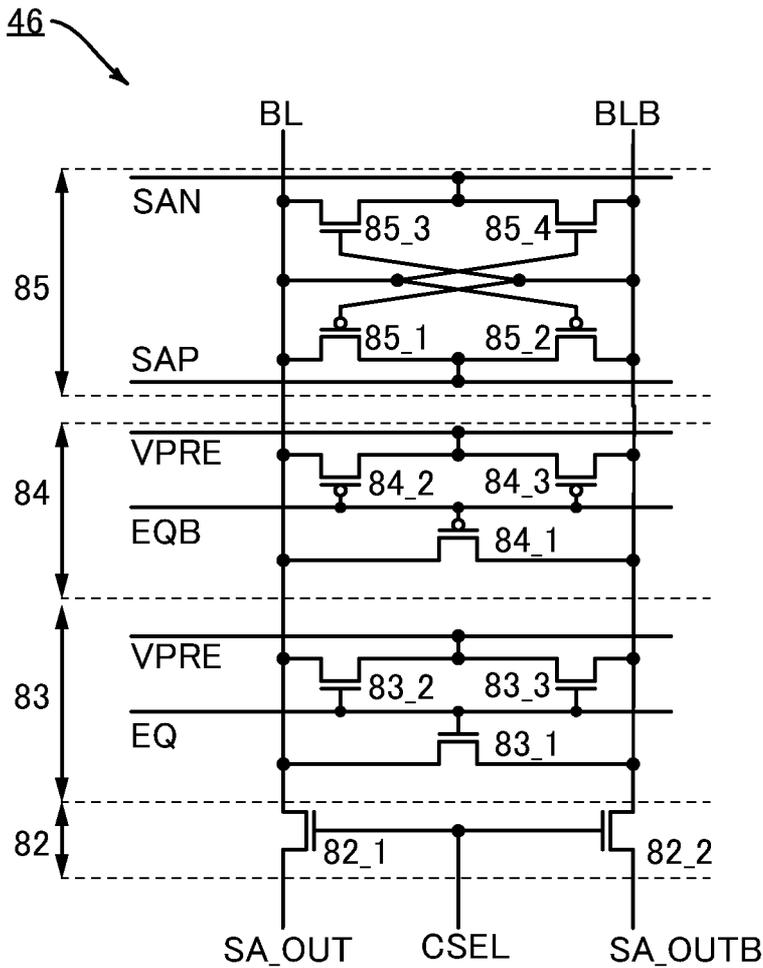
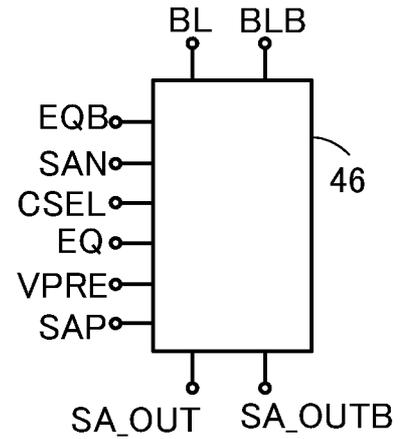


図35D



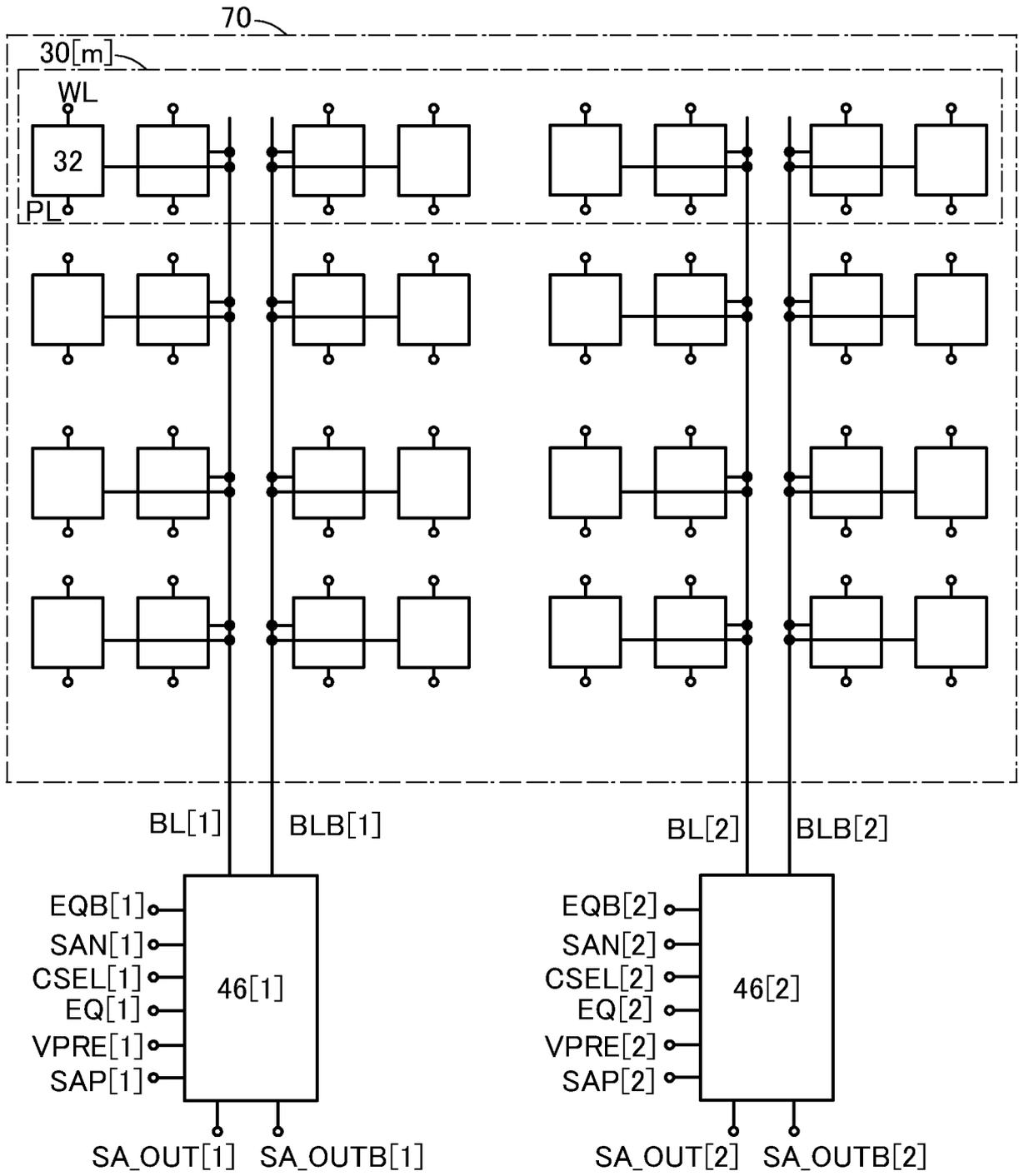


図37A

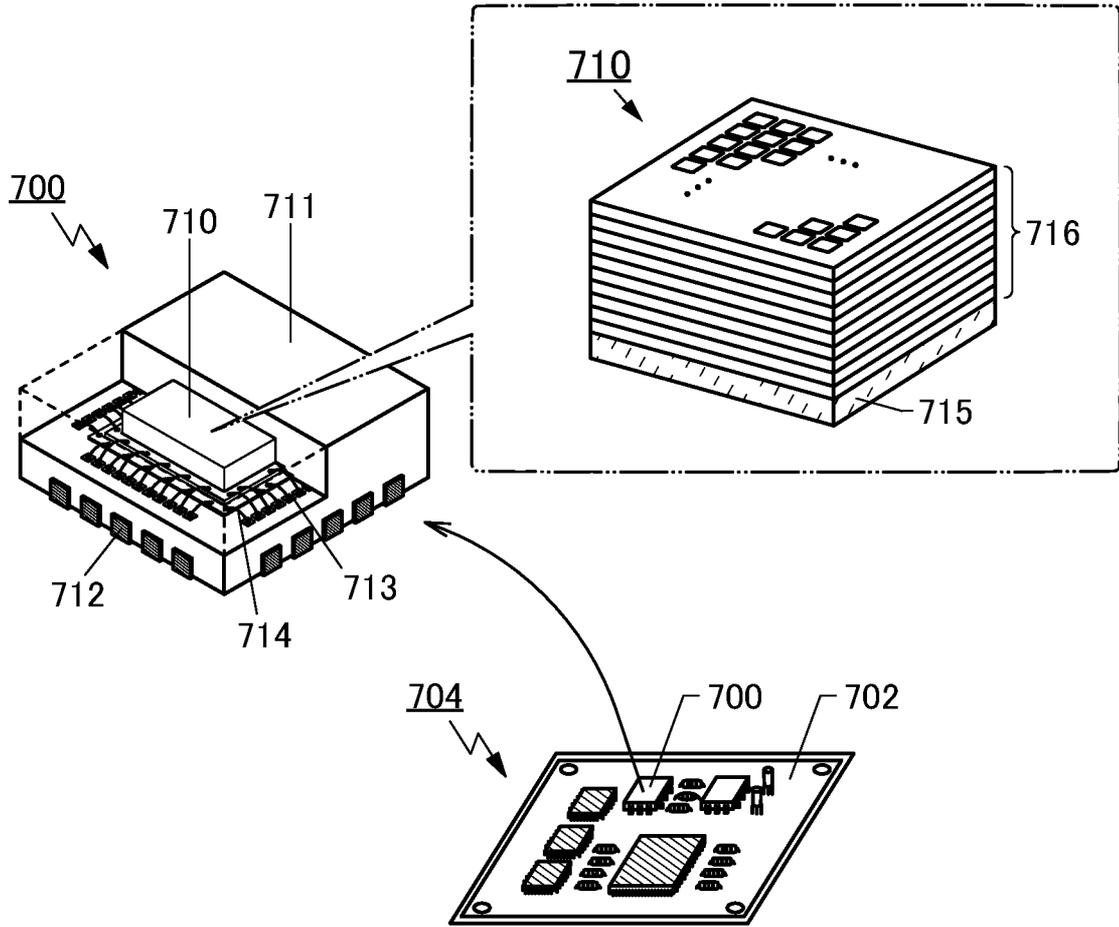


図37B

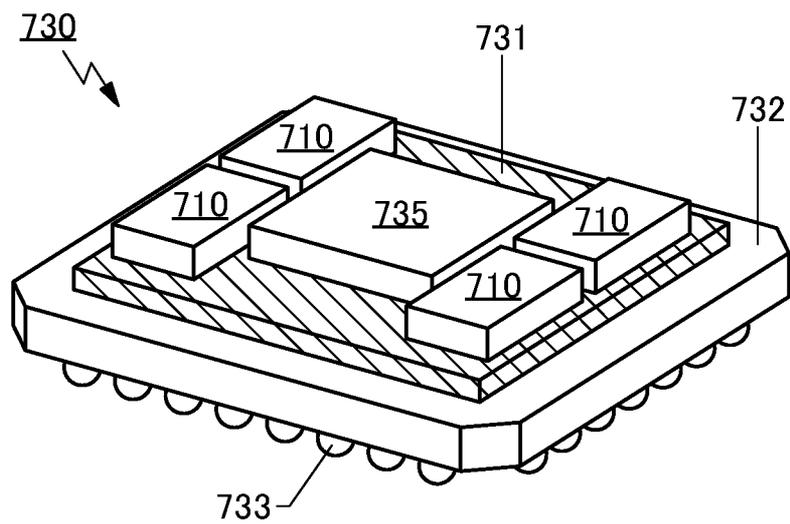


図38A

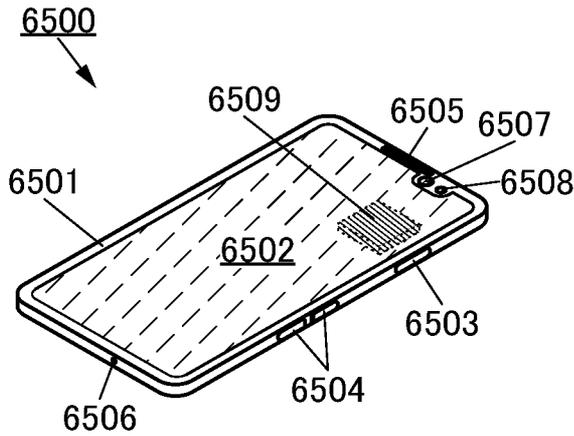


図38B

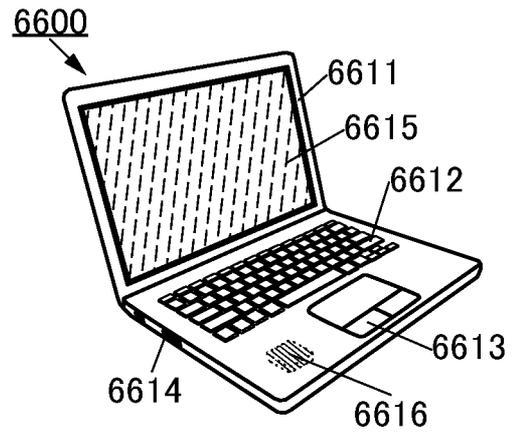


図38C

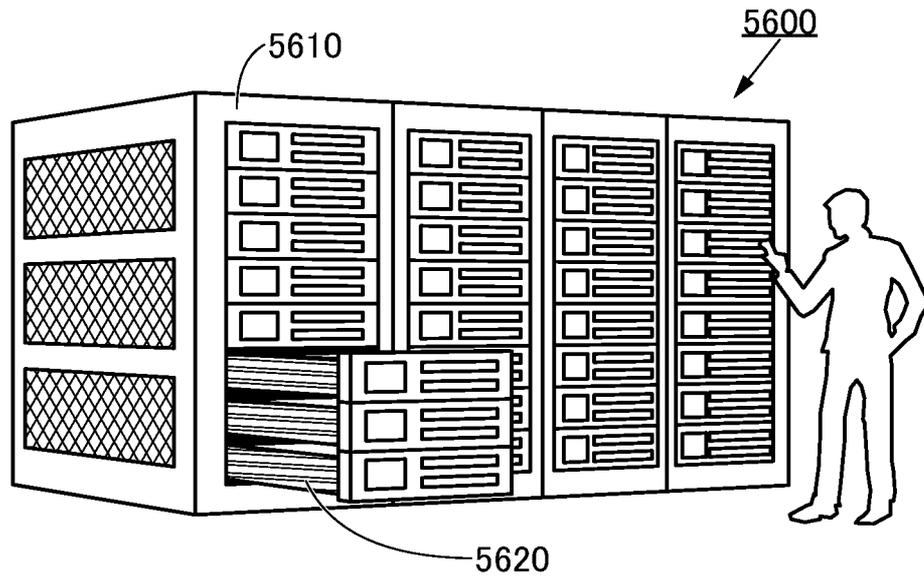


図38D

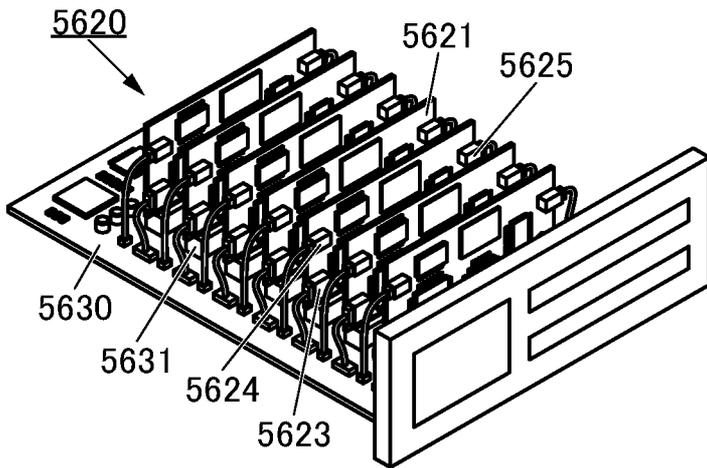
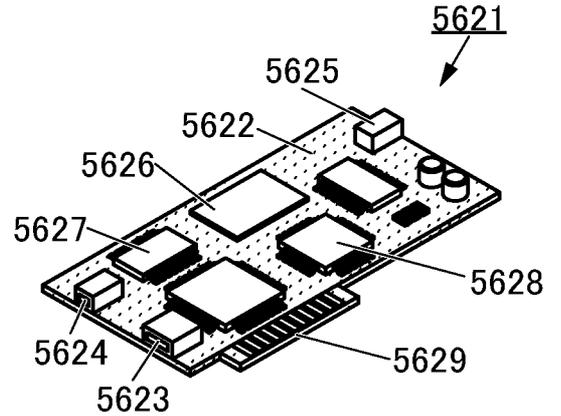
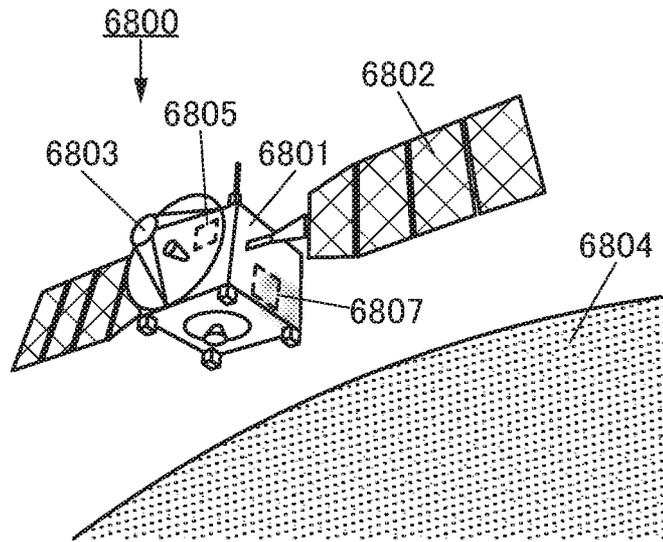
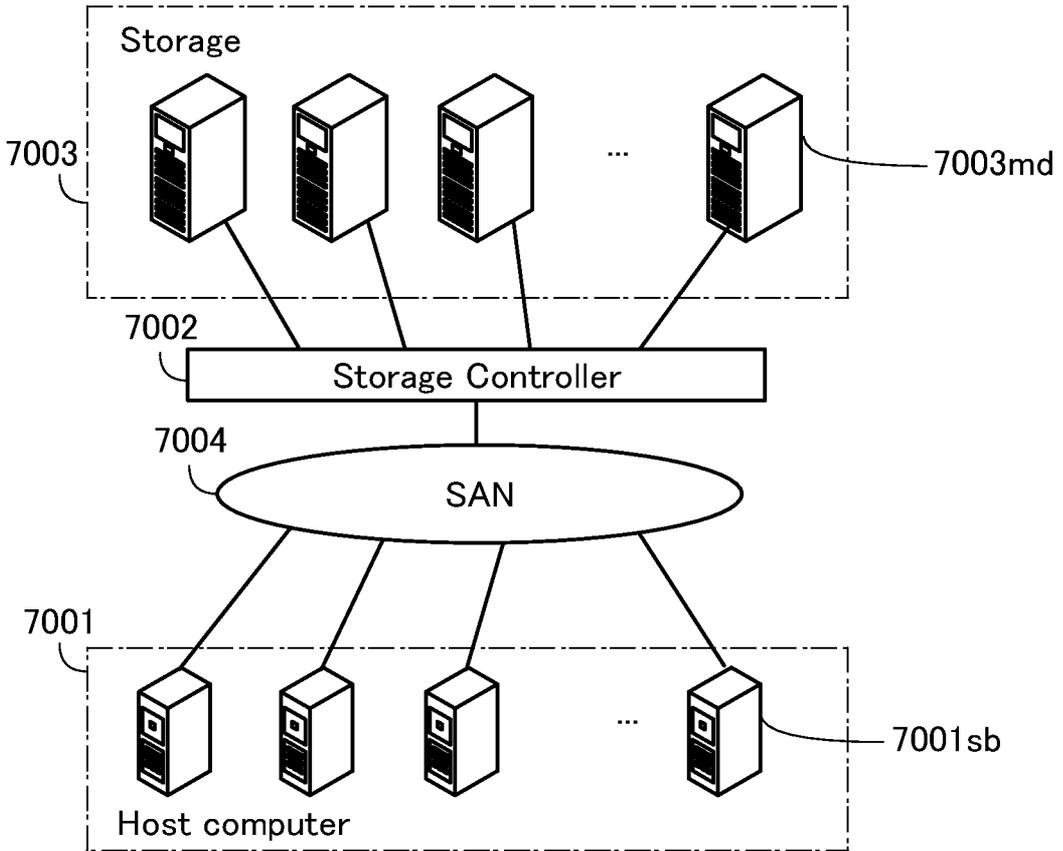


図38E





7000



Al 2p

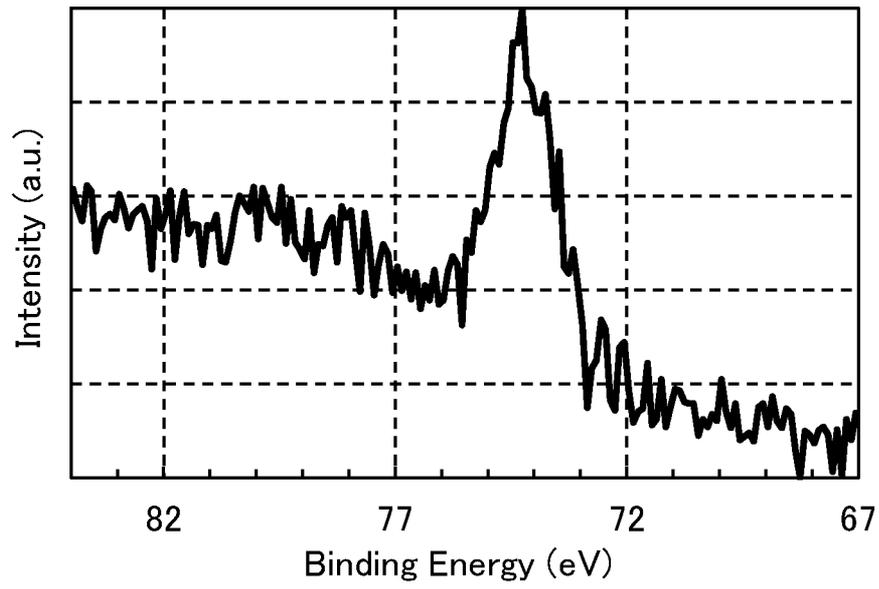


図42A

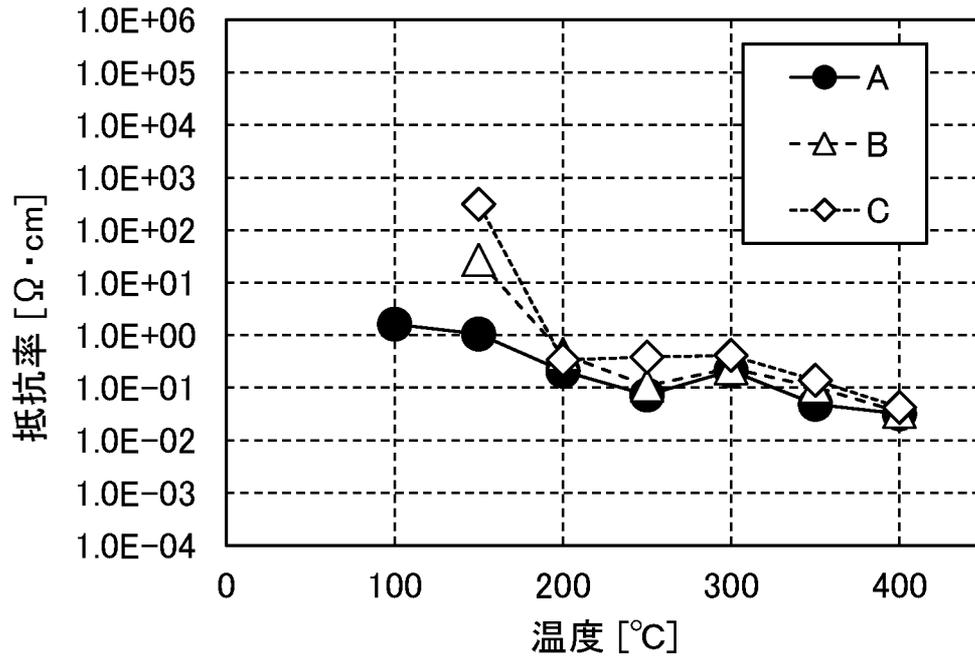


図42B

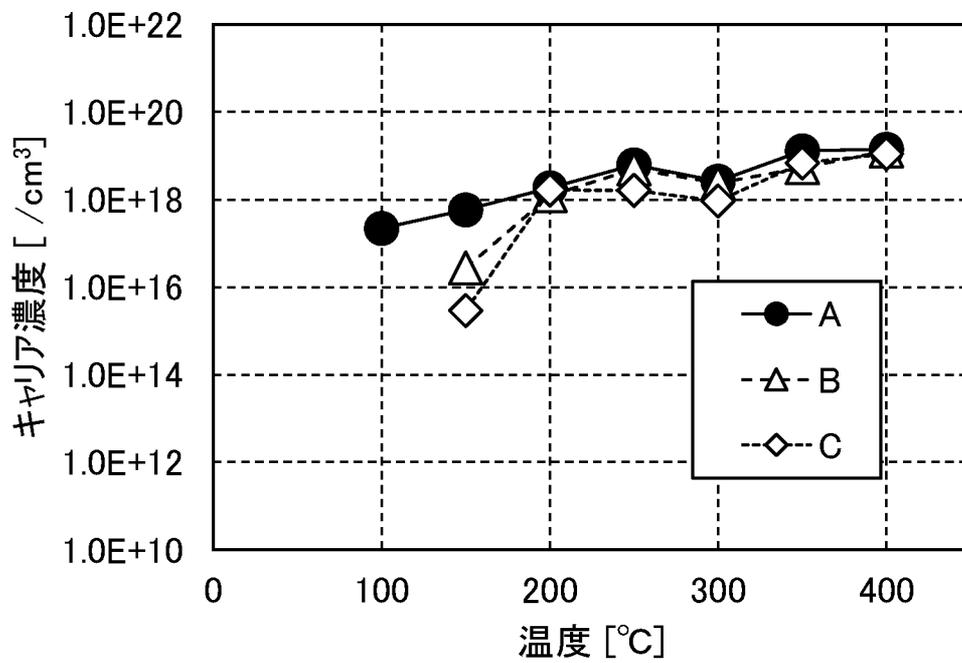


図43

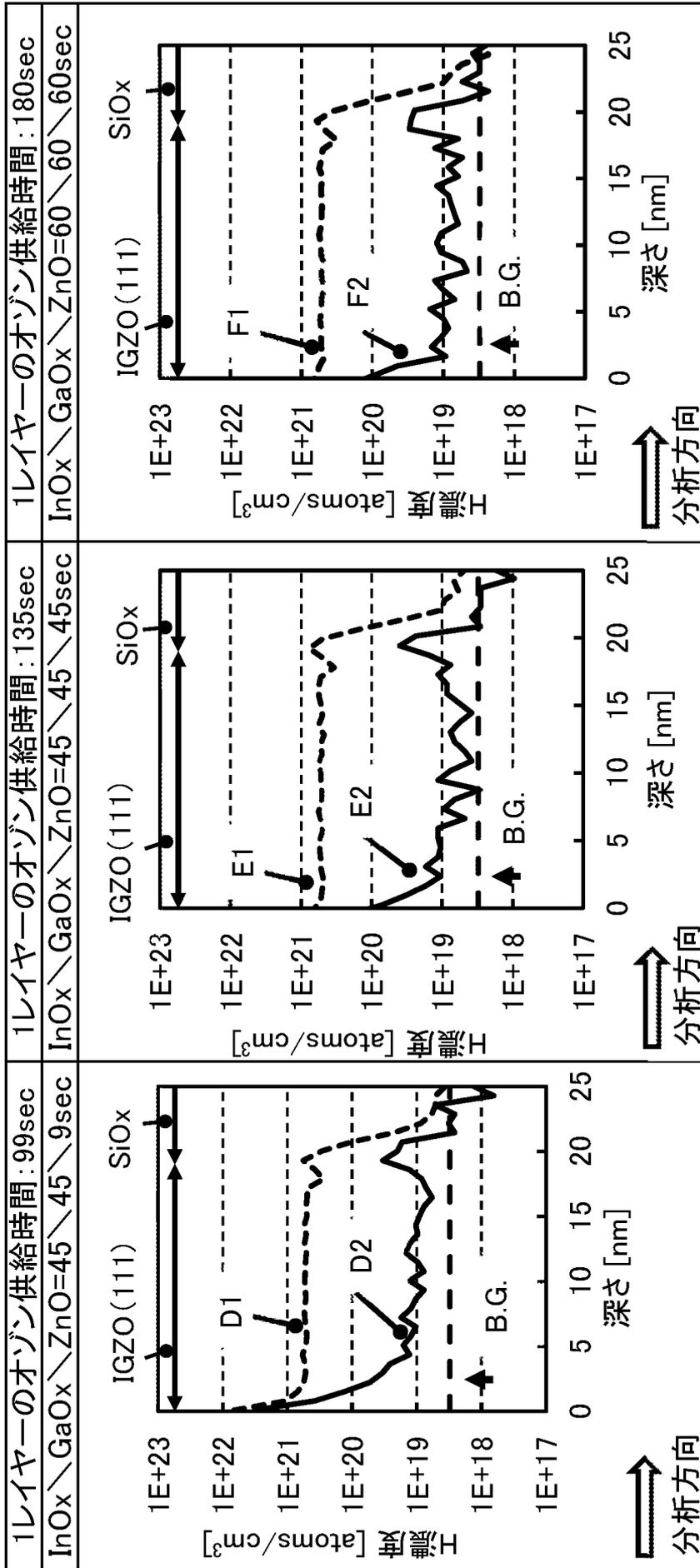


図44

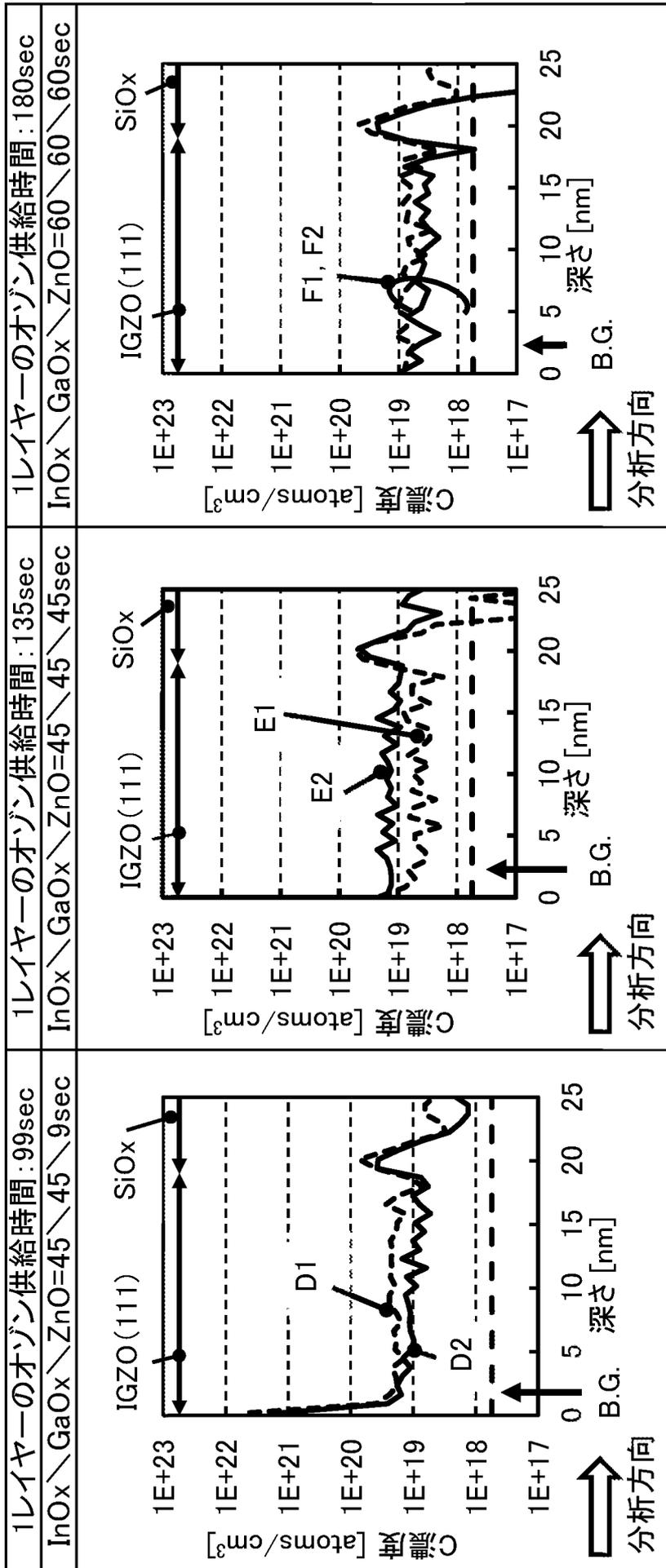


図45

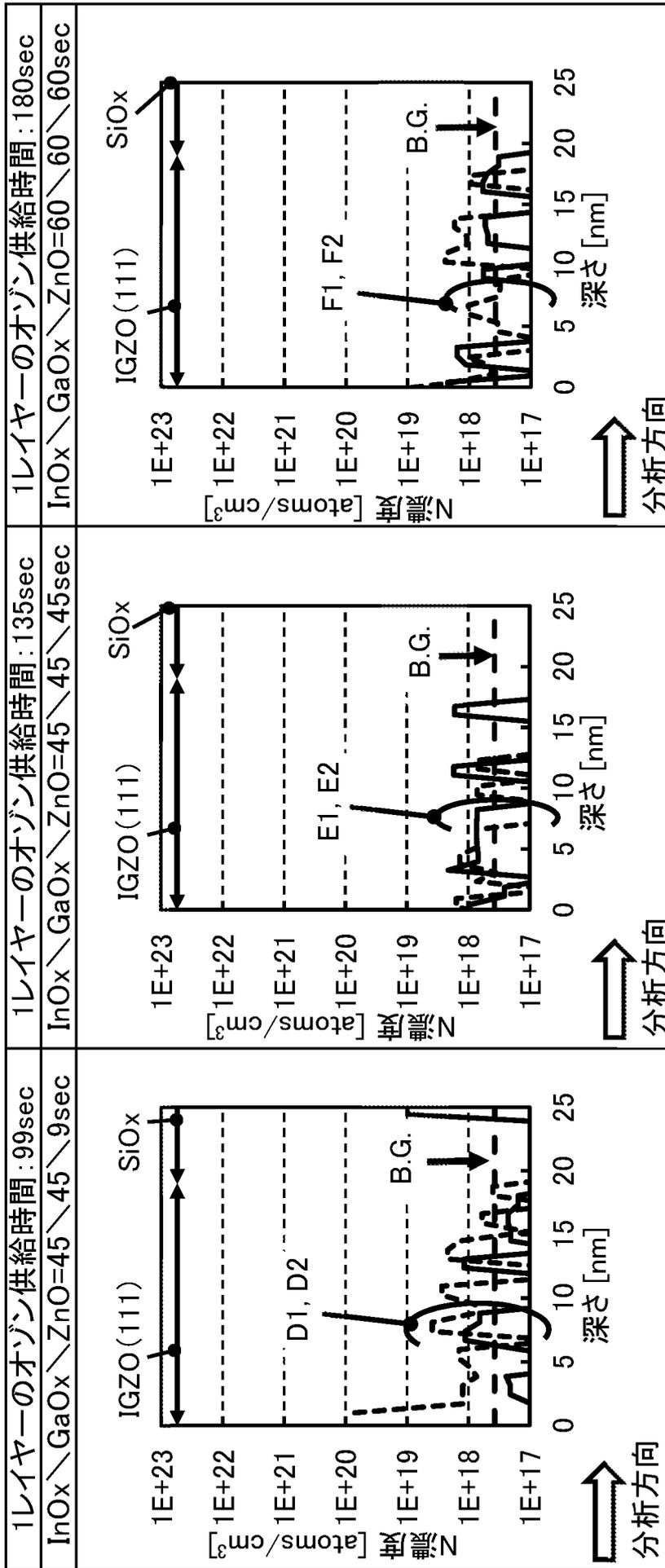


図46B

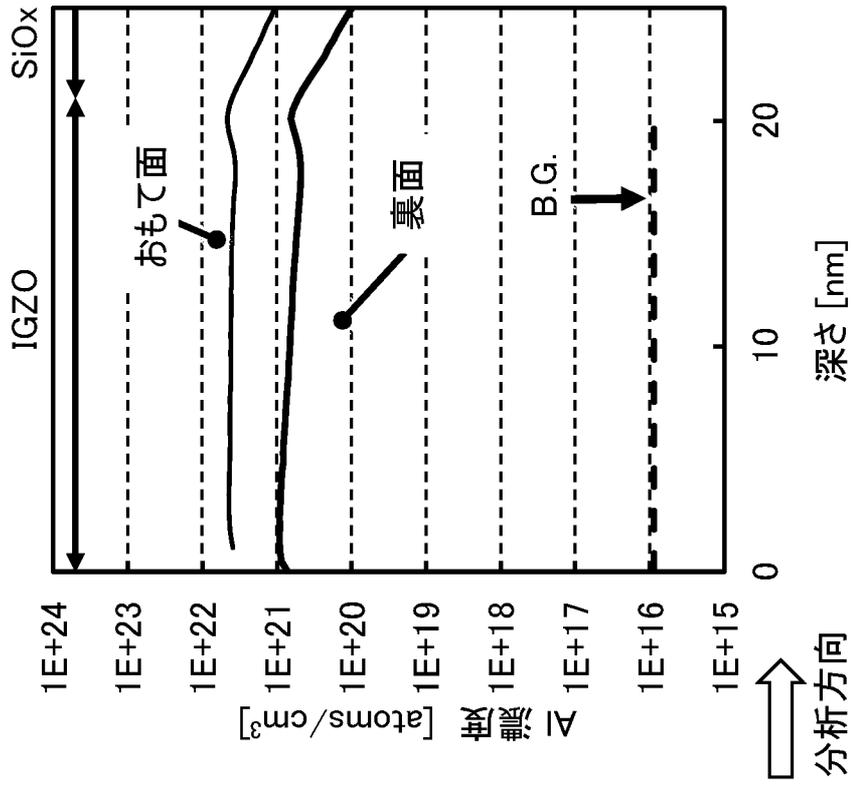
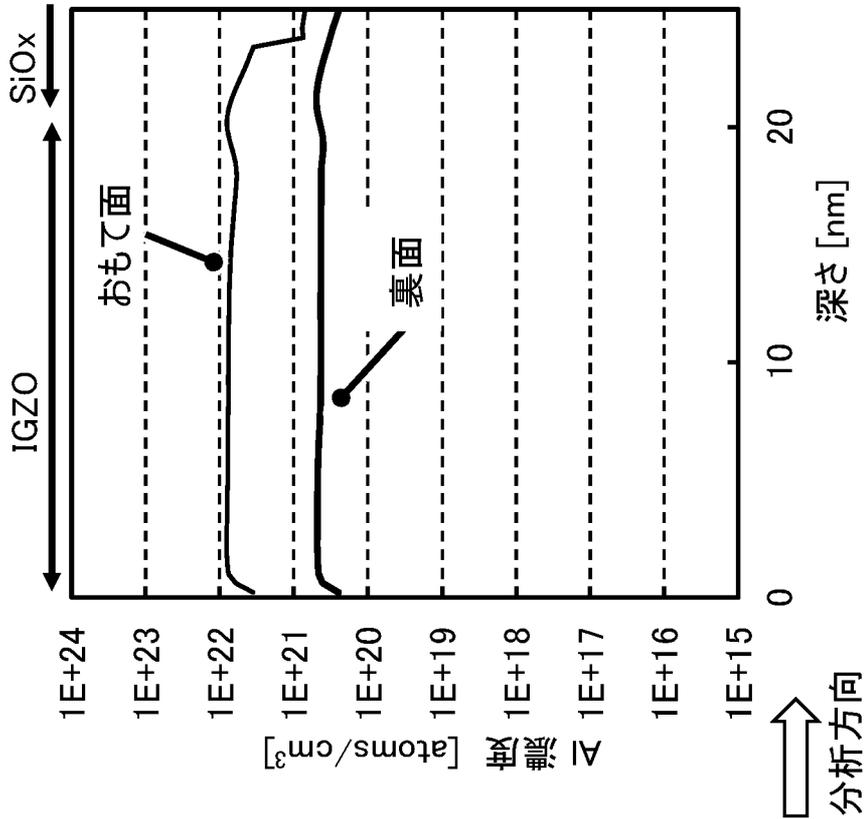
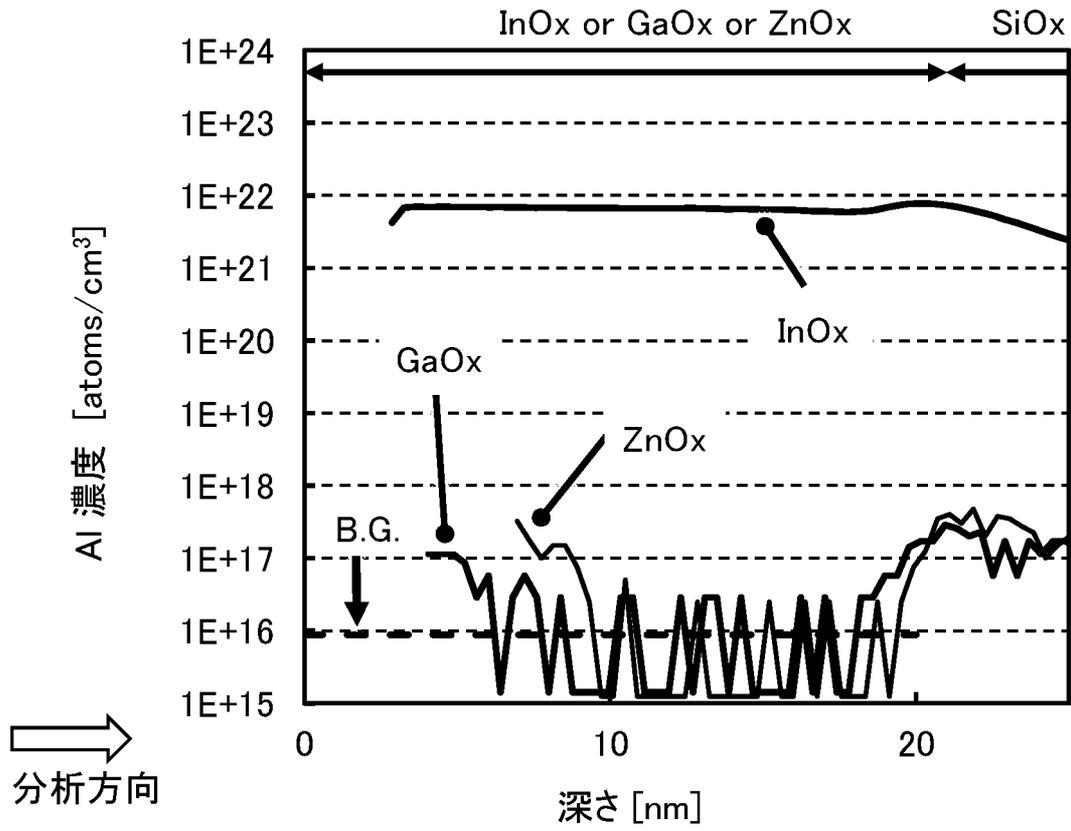


図46A





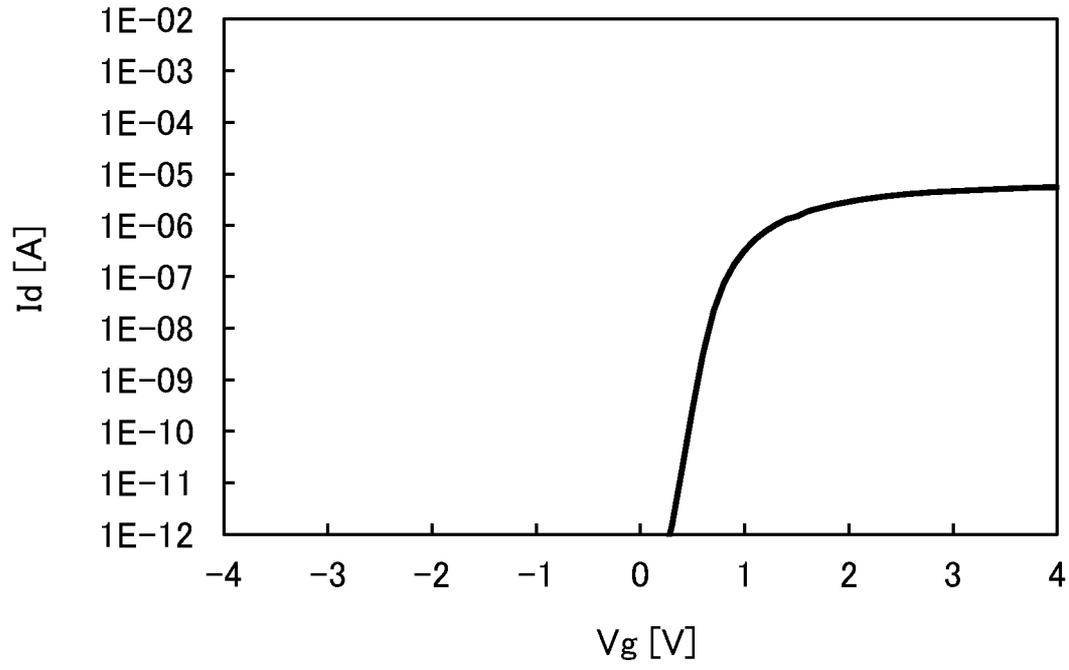


図49A

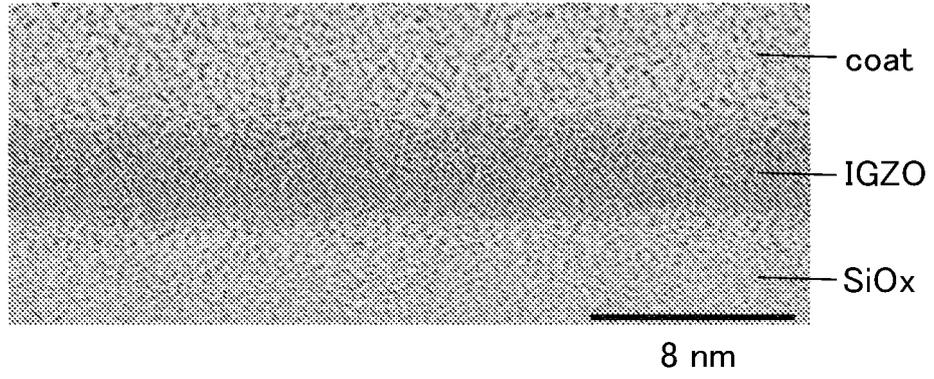


図49B

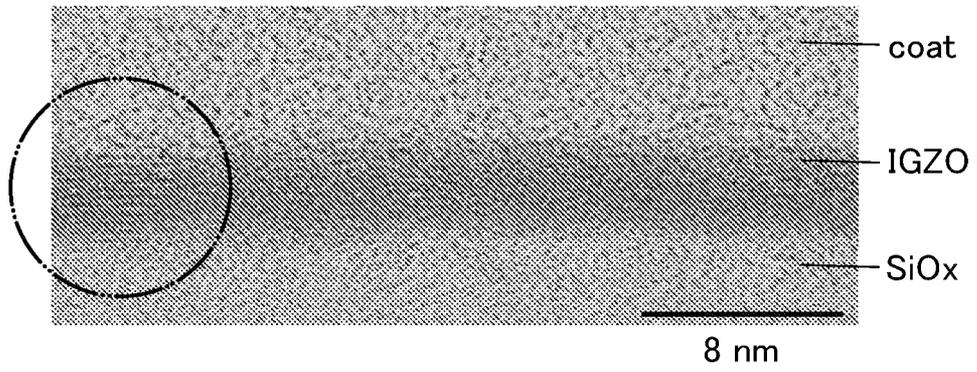


図49C

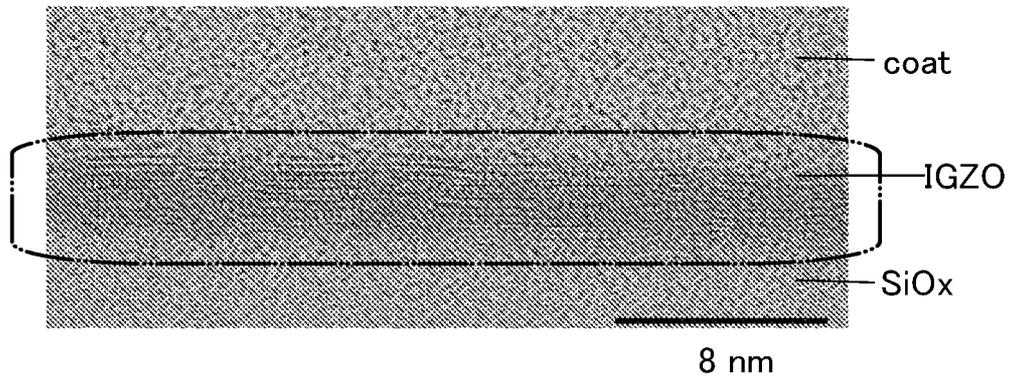


図49D

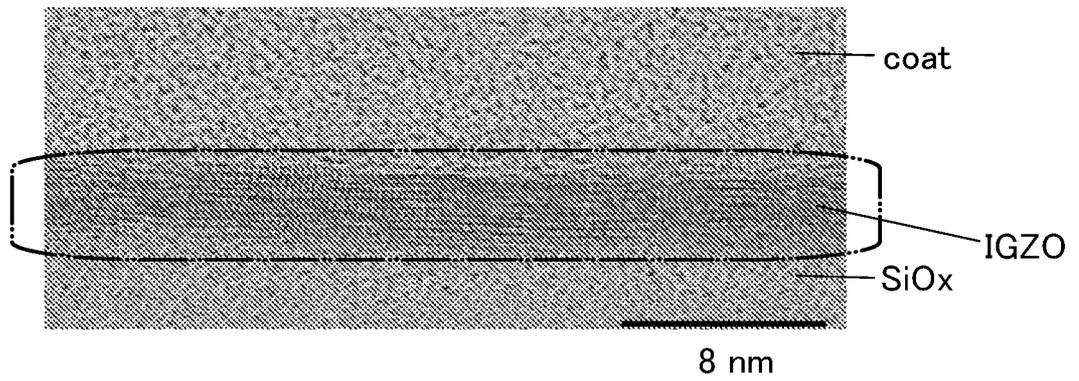


図50A

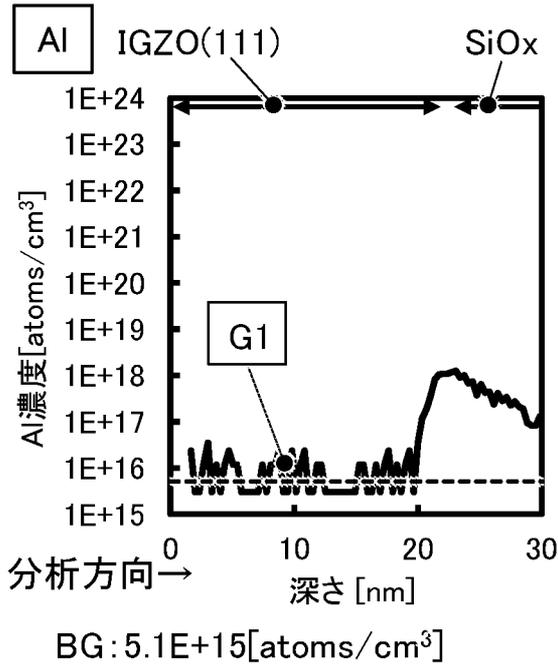


図50B

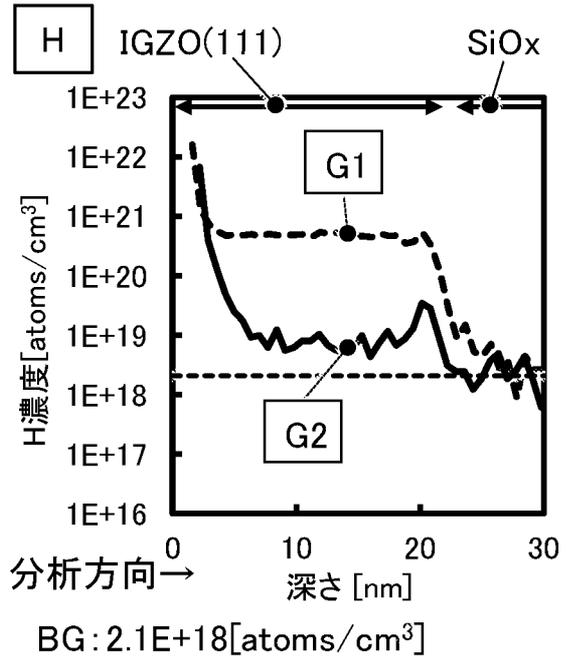


図50C

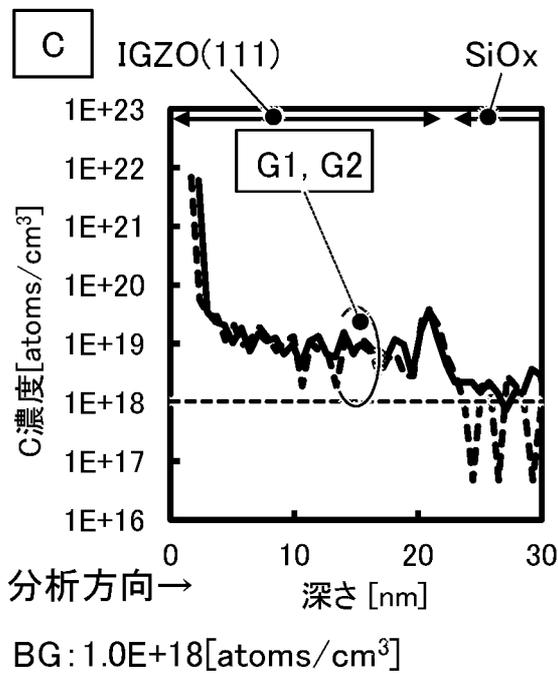
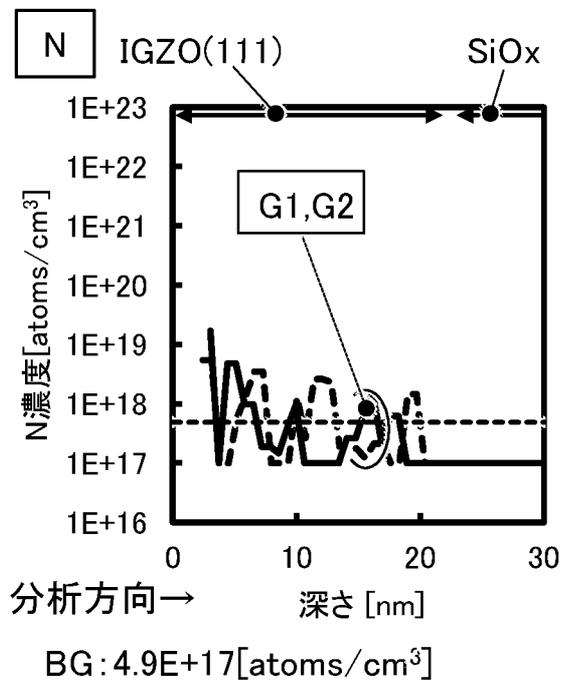


図50D



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2023/060395

| A. CLASSIFICATION OF SUBJECT MATTER | | |
|---|--|--|
| <p>H01L 29/786(2006.01)i; H01L 21/205(2006.01)i; H01L 21/268(2006.01)i; H01L 21/336(2006.01)i; H01L 21/822(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/04(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 29/788(2006.01)i; H01L 29/792(2006.01)i; H10B 12/00(2023.01)i; H10B 53/30(2023.01)i</p> <p>FI: H01L29/78 626C; H01L29/78 618F; H01L29/78 618B; H01L29/78 618C; H01L29/78 626A; H01L29/78 613B; H01L29/78 618A; H01L21/268 Z; H01L27/04 C; H01L27/088 E; H01L27/088 H; H01L27/088 B; H01L27/088 331E; H01L27/06 102A; H01L21/205; H10B12/00 621C; H10B12/00 671A; H10B12/00 671Z; H01L29/78 371; H10B12/00 671B; H10B53/30</p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p> | | |
| B. FIELDS SEARCHED | | |
| Minimum documentation searched (classification system followed by classification symbols) | | |
| H01L29/786; H01L21/205; H01L21/268; H01L21/336; H01L21/822; H01L21/8234; H01L27/04; H01L27/06; H01L27/088; H01L29/788; H01L29/792; H10B12/00; H10B53/30 | | |
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched | | |
| <p>Published examined utility model applications of Japan 1922-1996</p> <p>Published unexamined utility model applications of Japan 1971-2024</p> <p>Registered utility model specifications of Japan 1996-2024</p> <p>Published registered utility model applications of Japan 1994-2024</p> | | |
| Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) | | |
| C. DOCUMENTS CONSIDERED TO BE RELEVANT | | |
| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| A | US 2022/0189957 A1 (INTEL CORPORATION) 16 June 2022 (2022-06-16) | 1-19 |
| A | WO 2021/171136 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 02 September 2021 (2021-09-02) | 1-19 |
| A | WO 2021/140407 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 15 July 2021 (2021-07-15) | 1-19 |
| A | WO 2019/234561 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 12 December 2019 (2019-12-12) | 1-19 |
| A | JP 2019-134077 A (TOSHIBA MEMORY CORPORATION) 08 August 2019 (2019-08-08) | 1-19 |
| <input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex. | | |
| <p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“D” document cited by the applicant in the international application</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p> | | |
| Date of the actual completion of the international search | | Date of mailing of the international search report |
| 05 January 2024 | | 23 January 2024 |
| Name and mailing address of the ISA/JP | | Authorized officer |
| Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan | | Telephone No. |

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2023/060395

| C. DOCUMENTS CONSIDERED TO BE RELEVANT | | |
|--|--|-----------------------|
| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| A | JP 2016-149552 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 18 August 2016 (2016-08-18) | 1-19 |
| A | JP 2016-146422 A (JAPAN DISPLAY INC.) 12 August 2016 (2016-08-12) | 1-19 |
| A | JP 2015-73039 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 16 April 2015 (2015-04-16) | 1-19 |
| A | JP 2013-165260 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 22 August 2013 (2013-08-22) | 1-19 |

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/IB2023/060395

| Patent document cited in search report | | | Publication date (day/month/year) | Patent family member(s) | | | Publication date (day/month/year) |
|--|--------------|----|-----------------------------------|-------------------------|-----------------|----|-----------------------------------|
| US | 2022/0189957 | A1 | 16 June 2022 | EP | 4012767 | A1 | |
| WO | 2021/171136 | A1 | 02 September 2021 | US | 2023/0110947 | A1 | |
| | | | | DE | 112021001315 | T5 | |
| | | | | CN | 115152006 | A | |
| | | | | KR | 10-2022-0147634 | A | |
| WO | 2021/140407 | A1 | 15 July 2021 | US | 2023/0027402 | A1 | |
| | | | | CN | 114930547 | A | |
| | | | | KR | 10-2022-0124700 | A | |
| WO | 2019/234561 | A1 | 12 December 2019 | US | 2021/0233769 | A1 | |
| | | | | DE | 112019002901 | T5 | |
| | | | | CN | 112292752 | A | |
| | | | | KR | 10-2021-0019013 | A | |
| JP | 2019-134077 | A | 08 August 2019 | US | 2019/0237581 | A1 | |
| JP | 2016-149552 | A | 18 August 2016 | US | 2016/0233343 | A1 | |
| | | | | WO | 2016/128859 | A1 | |
| | | | | TW | 201640683 | A | |
| JP | 2016-146422 | A | 12 August 2016 | US | 2016/0233251 | A1 | |
| | | | | CN | 105870125 | A | |
| JP | 2015-73039 | A | 16 April 2015 | (Family: none) | | | |
| JP | 2013-165260 | A | 22 August 2013 | US | 2013/0175530 | A1 | |
| | | | | KR | 10-2013-0082068 | A | |

| <p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 29/786(2006.01)i; H01L 21/205(2006.01)i; H01L 21/268(2006.01)i; H01L 21/336(2006.01)i; H01L 21/822(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/04(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 29/788(2006.01)i; H01L 29/792(2006.01)i; H10B 12/00(2023.01)i; H10B 53/30(2023.01)i FI: H01L29/78 626C; H01L29/78 618F; H01L29/78 618B; H01L29/78 618C; H01L29/78 626A; H01L29/78 613B; H01L29/78 618A; H01L21/268 Z; H01L27/04 C; H01L27/088 E; H01L27/088 H; H01L27/088 B; H01L27/088 331E; H01L27/06 102A; H01L21/205; H10B12/00 621C; H10B12/00 671A; H10B12/00 671Z; H01L29/78 371; H10B12/00 671B; H10B53/30</p> | | | | | | | | | | | | | | | | | | | | | | | |
|--|---|----------------|----------------|-----------------------------------|----------------|------------|--|------------|-------------|---|------|---|---|------|---|---|------|---|--|------|---|--|------|
| <p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01L29/786; H01L21/205; H01L21/268; H01L21/336; H01L21/822; H01L21/8234; H01L27/04; H01L27/06; H01L27/088; H01L29/788; H01L29/792; H10B12/00; H10B53/30</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2024年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2024年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2024年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p> | | | 日本国実用新案公報 | 1922-1996年 | 日本国公開実用新案公報 | 1971-2024年 | 日本国実用新案登録公報 | 1996-2024年 | 日本国登録実用新案公報 | 1994-2024年 | | | | | | | | | | | | | |
| 日本国実用新案公報 | 1922-1996年 | | | | | | | | | | | | | | | | | | | | | | |
| 日本国公開実用新案公報 | 1971-2024年 | | | | | | | | | | | | | | | | | | | | | | |
| 日本国実用新案登録公報 | 1996-2024年 | | | | | | | | | | | | | | | | | | | | | | |
| 日本国登録実用新案公報 | 1994-2024年 | | | | | | | | | | | | | | | | | | | | | | |
| <p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリ*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>US 2022/0189957 A1 (INTEL CORPORATION) 16.06.2022 (2022-06-16)</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>WO 2021/171136 A1 (株式会社半導体エネルギー研究所) 02.09.2021 (2021-09-02)</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>WO 2021/140407 A1 (株式会社半導体エネルギー研究所) 15.07.2021 (2021-07-15)</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>WO 2019/234561 A1 (株式会社半導体エネルギー研究所) 12.12.2019 (2019-12-12)</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>JP 2019-134077 A (東芝メモリ株式会社) 08.08.2019 (2019-08-08)</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>JP 2016-149552 A (株式会社半導体エネルギー研究所) 18.08.2016 (2016-08-18)</td> <td>1-19</td> </tr> </tbody> </table> <p><input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <p>* 引用文献のカテゴリ “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献</p> | | | 引用文献の カテゴリ* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 | A | US 2022/0189957 A1 (INTEL CORPORATION) 16.06.2022 (2022-06-16) | 1-19 | A | WO 2021/171136 A1 (株式会社半導体エネルギー研究所) 02.09.2021 (2021-09-02) | 1-19 | A | WO 2021/140407 A1 (株式会社半導体エネルギー研究所) 15.07.2021 (2021-07-15) | 1-19 | A | WO 2019/234561 A1 (株式会社半導体エネルギー研究所) 12.12.2019 (2019-12-12) | 1-19 | A | JP 2019-134077 A (東芝メモリ株式会社) 08.08.2019 (2019-08-08) | 1-19 | A | JP 2016-149552 A (株式会社半導体エネルギー研究所) 18.08.2016 (2016-08-18) | 1-19 |
| 引用文献の カテゴリ* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 | | | | | | | | | | | | | | | | | | | | | |
| A | US 2022/0189957 A1 (INTEL CORPORATION) 16.06.2022 (2022-06-16) | 1-19 | | | | | | | | | | | | | | | | | | | | | |
| A | WO 2021/171136 A1 (株式会社半導体エネルギー研究所) 02.09.2021 (2021-09-02) | 1-19 | | | | | | | | | | | | | | | | | | | | | |
| A | WO 2021/140407 A1 (株式会社半導体エネルギー研究所) 15.07.2021 (2021-07-15) | 1-19 | | | | | | | | | | | | | | | | | | | | | |
| A | WO 2019/234561 A1 (株式会社半導体エネルギー研究所) 12.12.2019 (2019-12-12) | 1-19 | | | | | | | | | | | | | | | | | | | | | |
| A | JP 2019-134077 A (東芝メモリ株式会社) 08.08.2019 (2019-08-08) | 1-19 | | | | | | | | | | | | | | | | | | | | | |
| A | JP 2016-149552 A (株式会社半導体エネルギー研究所) 18.08.2016 (2016-08-18) | 1-19 | | | | | | | | | | | | | | | | | | | | | |
| <p>国際調査を完了した日</p> <p>05.01.2024</p> | <p>国際調査報告の発送日</p> <p>23.01.2024</p> | | | | | | | | | | | | | | | | | | | | | | |
| <p>名称及びあて先</p> <p>日本国特許庁 (ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p> | <p>権限のある職員（特許庁審査官）</p> <p>岩本 勉 5F 9355</p> <p>電話番号 03-3581-1101 内線 3516</p> | | | | | | | | | | | | | | | | | | | | | | |

| C. 関連すると認められる文献 | | |
|-----------------|--|----------------|
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
| A | JP 2016-146422 A (株式会社ジャパンディスプレイ) 12.08.2016 (2016 - 08 - 12) | 1-19 |
| A | JP 2015-73039 A (株式会社半導体エネルギー研究所) 16.04.2015 (2015 - 04 - 16) | 1-19 |
| A | JP 2013-165260 A (株式会社半導体エネルギー研究所) 22.08.2013 (2013 - 08 - 22) | 1-19 |

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/IB2023/060395

| 引用文献 | | | 公表日 | パテントファミリー文献 | | | 公表日 |
|------|--------------|----|------------|-------------|-----------------|----|-----|
| US | 2022/0189957 | A1 | 16.06.2022 | EP | 4012767 | A1 | |
| WO | 2021/171136 | A1 | 02.09.2021 | US | 2023/0110947 | A1 | |
| | | | | DE | 112021001315 | T5 | |
| | | | | CN | 115152006 | A | |
| | | | | KR | 10-2022-0147634 | A | |
| WO | 2021/140407 | A1 | 15.07.2021 | US | 2023/0027402 | A1 | |
| | | | | CN | 114930547 | A | |
| | | | | KR | 10-2022-0124700 | A | |
| WO | 2019/234561 | A1 | 12.12.2019 | US | 2021/0233769 | A1 | |
| | | | | DE | 112019002901 | T5 | |
| | | | | CN | 112292752 | A | |
| | | | | KR | 10-2021-0019013 | A | |
| JP | 2019-134077 | A | 08.08.2019 | US | 2019/0237581 | A1 | |
| JP | 2016-149552 | A | 18.08.2016 | US | 2016/0233343 | A1 | |
| | | | | WO | 2016/128859 | A1 | |
| | | | | TW | 201640683 | A | |
| JP | 2016-146422 | A | 12.08.2016 | US | 2016/0233251 | A1 | |
| | | | | CN | 105870125 | A | |
| JP | 2015-73039 | A | 16.04.2015 | (ファミリーなし) | | | |
| JP | 2013-165260 | A | 22.08.2013 | US | 2013/0175530 | A1 | |
| | | | | KR | 10-2013-0082068 | A | |