

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 16/04 (2006.01)

G11C 16/06 (2006.01)



[12] 发明专利申请公开说明书

[21] 申请号 200480019272.0

[43] 公开日 2006 年 8 月 9 日

[11] 公开号 CN 1816883A

[22] 申请日 2004.7.13

[21] 申请号 200480019272.0

[30] 优先权

[32] 2003.7.31 [33] US [31] 10/631,142

[86] 国际申请 PCT/US2004/022436 2004.7.13

[87] 国际公布 WO2005/013281 英 2005.2.10

[85] 进入国家阶段日期 2006.1.5

[71] 申请人 飞思卡尔半导体公司

地址 美国得克萨斯

[72] 发明人 欧文·J·普林兹

[74] 专利代理机构 中国国际贸易促进委员会专利商

标事务所

代理人 康建峰

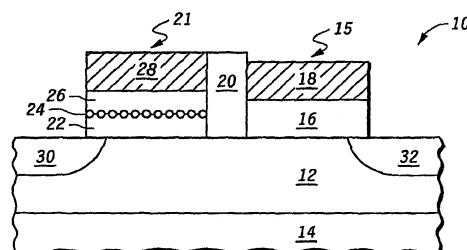
权利要求书 3 页 说明书 10 页 附图 2 页

[54] 发明名称

非易失性存储器及其制造方法

[57] 摘要

本发明公开一种对非易失性存储器的晶体管(10)的电荷存储位置进行放电的方法,包括分别对该晶体管的控制门(28)和阱区域(12)施加第一和第二电压。将第一电压施加到该晶体管的控制门,其中控制门具有与该晶体管的选择门(18)相邻的至少一部分。该晶体管包括电荷存储位置(24),其具有位于控制门之下的该晶体管的一个结构的电介质材料(22、26)之内的纳米簇(24)。最后,将第二电压施加到位于控制门之下的阱区域(12)。施加的第一电压和第二电压在该结构的两端产生电压差,以便从电荷存储位置的纳米簇释放电子。



1. 一种对晶体管的电荷存储位置进行放电的方法，该方法包括：

将第一电压施加到晶体管的控制门，该控制门具有与该晶体管的选择门相邻的至少一部分，其中该晶体管包括电荷存储位置，该电荷存储位置包括设置在位于该控制门之下的在该晶体管的一个结构的电介质材料之内的纳米簇；以及

将第二电压施加到位于该控制门之下的阱区域，其中施加的第一电压和施加的第二电压在该结构的两端产生电压差，以便从该电荷存储位置的纳米簇释放电子。

2. 如权利要求 1 所述的方法，其中该晶体管包括位于控制门和选择门之间的电介质材料、以及设置在位于控制门和选择门之间的电介质材料之内的纳米簇。

3. 如权利要求 1 所述的方法，还包括：

在将第一电压施加到控制门的同时，将第三电压施加到选择门，其中第三电压大约处于从等于第二电压到等于 0 伏特的范围内。

4. 如权利要求 1 所述的方法，其中该晶体管还包括第二控制门，其位于选择门的相对于前述控制门的相反侧，该晶体管还包括包含有位于晶体管的第二结构的电介质材料中的纳米簇的第二电荷存储位置，并且包括位于第二控制门和选择门之间的电介质材料，其中对存储在第二电荷存储位置中的电荷进行放电包括：

将第三电压施加到第二控制门；以及

将第四电压施加到位于第二控制门之下的阱区域，其中施加的第三电压和施加的第四电压在第二结构的两端产生电压差，以便从第二电荷存储位置的纳米簇释放电子。

5. 一种包括多个存储器单元的存储器阵列，其中每个存储器单元包括晶体管，其包括：

控制门，位于衬底之上；

选择门，位于衬底之上，控制门包括与选择门相邻的至少一部分；

电荷存储位置,包括设置在位于控制门和衬底之间的电介质材料中的纳米簇;

位于控制门和选择门之间的电介质材料;

衬底中的第一电流端区域;

衬底中的第二电流端区域; 以及

衬底中的沟道区域,位于第一电流端区域和第二电流端区域之间,其中控制门位于沟道区域的至少第一部分之上,并且选择门位于沟道区域的至少第二部分之上。

6. 如权利要求 5 所述的存储器阵列,其中该多个存储器单元中的每个存储器单元的晶体管还包括:

第二控制门,位于衬底之上且位于选择门的相对于前述控制门的相反侧;

第二电荷存储位置,包括设置在位于第二控制门和衬底之间的电介质材料中的纳米簇; 以及

位于第二控制门和选择门之间的电介质材料,

其中第二控制门位于沟道区域的至少第三部分之上。

7. 如权利要求 5 所述的存储器阵列,其中该多个存储器单元中的每个存储器单元的晶体管还包括:

设置在位于控制门和选择门之间的电介质材料中的纳米簇。

8. 一种对位于存储器阵列的一行中的多个存储器单元的晶体管的电荷存储位置进行放电的方法,该方法包括:

将第一电压施加到字线,其中位于存储器阵列的一行中的多个存储器单元的每个存储器单元包括具有电荷存储位置的晶体管,该电荷存储位置包括设置在位于该晶体管的控制门和衬底之间的电介质材料中的纳米簇,其中该多个存储器单元中的每个存储器单元的晶体管的控制门耦接到字线并且位于衬底之上,其中该多个存储器单元中的每个存储器单元的晶体管的控制门的至少一部分与该晶体管的选择门相邻,其中电介质材料位于控制门和选择门之间; 以及

将第二电压施加到衬底中的阱区域,其中对于多个存储器单元中

的每个存储器单元的晶体管，施加的第一电压和施加的第二电压在具有位于其中的电荷存储位置的纳米簇的电介质材料两端产生电压差，以便从电荷存储位置的纳米簇释放电子。

9. 如权利要求 8 所述的方法，还包括：

在将第一电压施加到第一字线的同时，将第三电压施加到第二字线，其中第二字线耦接到该多个存储器单元中的每个存储器单元的晶体管的选择门，其中第三电压大约处于从等于第二电压到等于 0 伏特的范围内。

10. 如权利要求 8 所述的方法，其中该多个存储器单元中的每个存储器单元的晶体管还包括第二控制门，其位于选择门的相对于前述控制门的相反侧，该多个存储器单元中的每个存储器单元的晶体管还包括第二电荷存储位置，其包括设置在位于该晶体管的第二控制门和衬底之间的电介质材料中的纳米簇，并且该晶体管包括位于第二控制门和选择门之间的电介质材料，其中该多个存储器单元中的每个存储器单元的晶体管的第二控制门耦接到第二字线，其中对存储在该多个存储器单元中的每个存储器单元的晶体管的第二电荷存储位置中的电荷进行放电包括：

将第三电压施加到第二字线；以及

将第四电压施加到衬底中的阱区域，其中对于该多个存储器单元中的每个存储器单元的晶体管，施加的第三电压和施加的第四电压在具有位于其中的第二电荷存储位置的纳米簇的电介质材料的两端产生电压差，以便从第二电荷存储位置的纳米簇释放电子。

非易失性存储器及其制造方法

技术领域

本公开内容一般涉及存储器设备，特别涉及一种非易失性存储器设备及其制造方法。

背景技术

已经披露了可以使用热载流子注入(HCI 注入)、采用反向阱/源偏压的 HCI 注入、或 Fowler-Nordheim(FN)隧道化来通过电子对具有带内嵌硅纳米晶体的电介质的非易失性存储器单晶体管位单元(bitcell)进行充电。可以通过相对于纳米晶体的顶部或底部电介质、利用 Fowler-Nordheim 隧道化对纳米晶体进行放电。单晶体管位单元的 FN 隧道化编程/擦除或 HCI 编程/FN 擦除的阵列体系结构考虑也被理解。虽然垂直 FN 编程是极低电流操作，但是它导致长的编程时间(例如，1-10 毫秒左右)和低效的位单元，其中每个位单元具有两个晶体管，或者在位线方向上具有两个平行导体。HCI 编程以高编程电流(例如，100-200 微安左右)为代价，导致高效的位单元和快速编程(例如，1-10 微秒左右)。

还已经披露了与氧化物-氮化物-氧化物(ONO)存储层相组合的在分裂门(split-gate)位单元中的源侧注入可以与热空穴擦除或者与通过 SONOS 器件的薄顶部氧化物的擦除一起使用。然而，热空穴擦除导致氧化物降解，从而引起读取干扰，并且 ONO 层的薄顶部氧化物擦除对于 100 毫秒到 1 秒左右的擦除时间导致对读取干扰的易感性。

因此，需要组合高可靠性编程/擦除操作和低写入功率的位单元。

附图说明

本发明通过示例进行描述并且不受附图的限制，其中相同的附图

标记表示类似的单元，并且其中：

图1是根据本公开内容的一个实施例的具有分裂门的非易失性存储器设备的横截面图，其中该分裂门具有内嵌在电介质层中的纳米簇(nanocluster)，以便进行电荷存储；

图2是根据本公开内容的另一实施例的具有分裂门的非易失性存储器设备的横截面图，其中该分裂门具有内嵌在电介质层中并且位于多晶硅隔离物下面的纳米簇；

图3是根据本公开内容的另一实施例的非易失性存储器设备的示意图；以及

图4是根据本公开内容的另一实施例的包括浅植入物的非易失性存储器设备的横截面图。

本领域的技术人员应当理解，附图中的单元是为了简单和清楚而示出的，并且不一定是按比例绘制的。例如，附图中某些单元的尺寸可能相对于其它单元被放大，以便帮助提高对本公开内容的实施例的理解。

具体实施方式

图1是根据本公开内容的一个实施例的具有分裂门的非易失性存储器设备10的横截面图，其中该分裂门具有内嵌在电介质层中的纳米簇，以便进行电荷存储。存储器设备10包括衬底，其具有第一传导性类型的位单元阱12，位单元阱12覆盖在与第一传导性类型相反的第二传导性类型的深阱14上。在一个实施例中，第一传导性类型包括p类型并且第二传导性类型包括n类型掺杂物。

存储器设备10还包括选择门晶体管15，该选择门晶体管包括门电介质16和门电极18。存储器设备10还包括控制门晶体管21，该控制门晶体管至少包括第一电介质22、纳米簇层24、第二电介质26、以及门电极28。在一个实施例中，第一电介质22、纳米簇层24、以及第二电介质26的结构形成电荷存储结构，该纳米簇用于电荷存储。另外，第一电介质22包括顶部氧化物/纳米簇表面并且形成F/N隧道

化电介质。第二电介质 26 包括底部氧化物/纳米簇表面并且形成底部电介质。在一个实施例中，纳米簇包括硅纳米晶体。

选择门晶体管 15 通过窄电介质 20 与控制门晶体管 21 分离。窄电介质 20 在选择门和控制门晶体管之间具有大约小于 200 埃(<20nm) 的尺寸。窄电介质 20 可以包括例如窄氧化物侧壁电介质。存储器设备 10 还包括源/漏区域 30 和 32。如这里所述的存储器设备 10 的各个层和掺杂区域可以分别使用本技术领域的公知技术进行制造。

在一个实施例中，存储器设备 10 包括分裂门器件，其中纳米簇层被内嵌在第一和第二电介质层之间，其中分裂门器件用于非易失性电荷存储。也就是，分裂门器件具有控制门晶体管 and 选择门晶体管，其中控制门晶体管具有内嵌在底部和顶部电介质之间的纳米簇，并且选择门晶体管具有门电介质。第一和第二电介质层包括具有 35-70Å 左右的厚度的电介质。另外，分裂门器件的多个晶体管由窄电介质区分离，使得源侧注入是可能的。

在表 1 和表 2 中提供了采用被施加到存储器设备 10 的 1 位存储单元上的偏压的源侧注入的例子。也就是，表 1 提供了各种位单元工作电压，其用于执行通过存储器设备 10 的 1 位存储单元的顶部电介质 26、利用 Fowler-Nordheim 隧道化而执行的擦除操作。另外，表 2 提供了各种位单元工作电压，其用于执行通过存储器设备 10 的 1 位存储单元的底部电介质 22、利用 Fowler-Nordheim 隧道化而执行的擦除操作。读电流在与写电流相反的方向上流动。

在图 1 的实施例中，位单元工作电压如下。存储器设备 10 的位单元阱 12 包括位单元阱电压 V_{pw} 的 p 型阱。选择门 18 包括多晶硅选择门，其中选择门电压 V_{sg} 被施加到其上。控制门 28 包括多晶硅控制门，其中控制门电压 V_{cg} 被施加到其上。源和漏区域(30, 32)处于各自的源/漏电压 V_{source}/V_{drain} 。在这些表中， V_{dd} 代表正电源电压， $b/c V_t$ 代表位单元阈值电压，以及“浮动(float)”代表没有耦接到电压或地。

表 1: 针对 1 位存储用于通过顶部氧化物的擦除的位单元工作电压

端子	源	选择门	控制门	漏	位单元 P 阱	深 N 阱
编程, 所选位单元	5V	1V	5V	0V	0V	Vdd
编程, 未选位单元	5V	0V	0V 或 5V	5V	0V	Vdd
擦除, 所选扇区	-6V 或浮动	-6V 或 0V	6V	-6V 或浮动	-6V	0V
擦除, 未选扇区	0V 或浮动	0V	0V	0V 或浮动	0V	0V
读取, 所选位单元	0V	Vdd	Vdd 或 0V, 但 $> b/c V_t$	1V	0V	Vdd
读取, 未选位单元	0V	0V	Vdd 或 0V, 但 $> b/c V_t$	0V	0V	Vdd

表 2: 针对 1 位存储用于通过底部氧化物的擦除的位单元工作电压

端子	源	选择门	控制门	漏	位单元 P 阱	深 N 阱
编程, 所选位单元	5V	1V	5V	0V	0V	Vdd
编程, 未选位单元	5V	0V	0V 或 5V	5V	0V	Vdd
擦除, 所选扇区	6V 或 浮动	0V	-6V	6V 或 浮动	6V	6V
擦除, 未选扇区	0V 或 浮动	0V	0V	0V 或 浮动	0V	0V
读取, 所选位单元	0V	Vdd	Vdd 或 0V, 但 >b/c Vt	1V	0V	Vdd
读取, 未选位单元	0V	0V	Vdd 或 0V, 但 >b/c Vt	0V	0V	Vdd

图 2 是根据本公开内容的另一实施例的具有分裂门的非易失性存储器设备 40 的横截面图, 其中该分裂门具有内嵌在电介质层中并且位于多晶硅隔离物(spacer)下面的纳米簇。在图 2 的实施例中, 设备 40 采用由聚乙烯隔离物(poly spacer)形成的控制门 52 构成。因此, 可以存储两个位, 在选择门 44 的每侧上有一位。

在一个实施例中, 图 2 的设备 40 的写操作具有 1-10 μ A 左右的低编程电流和 1-10 μ s 左右的快速编程时间。擦除操作以低擦除电流和 10-100ms 左右的擦除时间对位单元块进行操作。在典型的非易失性存储器设备中, 选择门使用 50-100 $\text{\AA}$ 氧化物左右的薄门氧化物, 其中该薄门氧化物类似于低电压晶体管氧化物。然而, 在本公开内容的设备 40 中, 选择门 44 包括具有 70-90 $\text{\AA}$ 左右的厚度的高电压氧化物。这种

高电压氧化物类似于输入/输出晶体管(I/O)氧化物。如果位单元阱 12 被施加+6V 或-6V 的偏压,则需要 90Å 厚度的氧化物,以便使得能够分裂位单元阱 12 和对应控制门之间的擦除电压。

在另一实施例中,设备 40 包括:基于纳米簇的存储器器件,具有选择门晶体管 58;薄膜存储栈,由具有 50-70Å 左右的厚度的底部氧化物 46、大约 20-25%的表面覆盖度的纳米簇层 48、以及具有大约 50Å 的厚度的高温氧化物(HTO)的顶部氧化物 50 组成;以及侧壁隔离物控制门 52,位于选择门 44 的两侧,并且位于薄膜存储(TFS)栈的上面。由于 HTO 是沉积氧化物,因此顶部氧化物 50 包括 HTO,并且与在低温氧化物(例如,TEOS)中的大量电子或空穴陷阱场地相比,最小化在沉积氧化物中的电子或空穴陷阱场地的数目。因此,薄膜存储栈在位于相应的门电极 52 下面的区域中且包括顶部氧化物 50、纳米簇 48、以及底部氧化物 46。另外,存储器设备 40 被配置成用于源侧注入编程和通过顶部氧化物 50 的 Fowler-Nordheim 隧道化擦除。如这里所述的设备 40 的各个层和掺杂区域可以分别使用本技术领域的公知技术进行制造。

在表 3 和表 4 中提供了采用被施加到存储器设备 40 的 2 位存储单元上的偏压的源侧注入的例子。也就是,图 3 提供了各种位单元工作电压,其用于执行通过存储器设备 40 的 2 位存储单元的顶部电介质 50、利用 Fowler-Nordheim 隧道化而执行的擦除操作。另外,表 4 提供了各种位单元工作电压,其用于执行通过存储器设备 40 的 2 位存储单元的底部电介质 46、利用 Fowler-Nordheim 隧道化而执行的擦除操作。读电流在与写电流相反的方向上流动。

在图 2 的实施例中,位单元工作电压如下。存储器设备 10 的位单元阱 12 包括位单元阱电压 V_{pw} 的 p 型阱。选择门 44 包括多晶硅选择门,其中选择门电压 V_{sg} 被施加到其上。控制门 52 包括多晶硅控制门,其中第一和第二控制门电压 V_{cg1} 、 V_{cg2} 分别被施加到其上。源和漏区域(30, 32)分别处于源/漏电压 V_{source}/V_{drain} 。在这些表中, V_{dd} 代表正电源电压, $b/c V_t$ 代表位单元阈值电压, V_o 代表编程阈值

电压，其中用一个或多个电子对纳米晶体进行充电，以及“浮动”代表没有耦接到电压或地。

表 3: 针对 2 位存储用于通过顶部氧化物的擦除的位单元工作电压

端子	源	选择门	控制门 1	控制门 2	漏	位单元 P 阱	深 N 阱
编程， 所选位单元， 左位	5V	1V	5V	5V 或 0V	0V	0V	Vdd
编程， 所选位单元， 右位	0V	1V	5V 或 0V	5V	5V	0V	Vdd
编程， 未选位单元	5V	0V	0V 或 5V	0V 或 5V	5V	0V	Vdd
擦除， 所选扇区	-6V 或 浮动	-6V 或 0V	6V	6V	-6V 或 浮动	-6V	0V
擦除， 未选扇区	0V 或 浮动	0V	0V	0V	0V 或 浮动	0V	0V
读取， 所选位单元	0V	Vdd	Vdd 或 0V，但 >b/c Vt	(Vdd+Vo) 或 Vo	1V	0V	Vdd
读取， 未选位单元	0V	0V	(Vdd+Vo) 或 Vo	Vdd 或 0V，但 >b/c Vt	0V	0V	Vdd

表 4: 针对 2 位存储用于通过底部氧化物的擦除的位单元工作电压

端子	源	选择门	控制门 1	控制门 2	漏	位单元 P 阱	深 N 阱
编程, 所选位单元, 左位	5V	1V	5V	5V 或 0V	0V	0V	Vdd
编程, 所选位单元, 右位	0V	1V	5V 或 0V	5V	5V	0V	Vdd
编程, 未选位单元	5V	0V	0V 或 5V	0V 或 5V	5V	0V	Vdd
擦除, 所选扇区	6V 或 浮动	0V	-6V	-6V	6V 或 浮动	6V	6V
擦除, 未选扇区	0V 或 浮动	0V	0V	0V	0V 或 浮动	0V	0V
读取, 所选位单元, 左位	0V	Vdd	Vdd 或 0V, 但 >b/c Vt	(Vdd+Vo) 或 Vo	1V	0V	Vdd
读取, 所选位单元, 右位	0V	Vdd	(Vdd+Vo) 或 Vo	Vdd 或 0V, 但 >b/c Vt	1V	0V	Vdd
读取, 未选位单元	0V	0V	Vdd 或 0V, 但 >b/c Vt	Vdd 或 0V, 但 >b/c Vt	0V	0V	Vdd

图 3 是根据本公开内容的另一实施例的非易失性存储器设备 70 的示意图。存储器设备 70 包括在多行和多列中排列的位单元阵列, 包括根据这里公开的各个实施例的位单元, 例如以标号 72、74、76 和 78 表示。存储器设备 70 还包括行解码器 80、列解码器 82、读出放大器 84、以及用于控制行解码器 80 和列解码器 82 的控制电路 88。行解

码器 80 通过地址输入端 90 接收地址信息。列解码器 82 通过地址输入端 92 接收地址信息。读出放大器从列解码器 82 接收信号信息，并且在数据输出端 94 上输出放大的信息或数据。行解码器 80 对在地址输入端 90 上所接收的地址信息进行解码，并且在适当的字线 96、98 上输出信息。列解码器 82 对在地址输入端 92 上所接收的地址信息进行解码，并且通过位线 100、102、104 接收信息。

在一个实施例中，位单元 72 包括具有选择门晶体管 112 和侧壁晶体管 114、116 的存储器器件，其中侧壁晶体管 114、116 位于门晶体管 112 的对立侧上。侧壁晶体管 114 和 116 分别包括电介质纳米簇薄膜存储存储器栈 118 和 120。电介质纳米簇薄膜存储存储器栈 118 和 120 包括类似于图 1、2 或 4 的栈。位单元 72 还包括分别耦接到对应位线 102 和 104 的源/漏区域 122 和 124。另外，位单元 72 还包括耦接到电压电位 V_{well} 的深阱区域，如由附图标记 126 所表示。

图 4 是根据本公开内容的另一实施例的包括浅植入物 (implant)(132、134) 的非易失性存储器设备 130 的横截面图。对于控制门晶体管(54、56)的隔离物器件的电荷中性(charge-neutral)控制门阈值电压，未作假定。使用在选择门形成(44)之后执行的浅锑或砷植入物(132、134)，相应隔离物器件的阈值电压 V_t 可以在零伏(0V)之下，从而减轻在读操作期间对控制门施加偏压的需要。换句话说，使用砷(As)或锑(Sb)的自对齐(self-aligned)反掺杂(counter doped)植入物在相应的隔离物器件下通过可选择的低沟道渗杂来制造存储器设备 40。选择 As 和 Sb 的反掺杂物(counter dopant)是由于在后继的处理步骤中它们基本上不扩散的能力。另外，隔离物器件具有大约 200-1000 埃的沟道区域，即短沟道器件。从而，降低了隔离物器件的阈值电压而不降低短沟道隔离物器件的性能特性。

虽然针对特定传导性类型或电位极性对本发明进行了描述，但是本领域的技术人员应当理解，传导性类型和电位极性可以相反。

在前面说明书中，参照特定实施例描述了本发明。然而，本领域的普通技术人员应当理解，在不脱离如所附权利要求所述的本发明的

范围的情况下，可以进行各种修改和改变。从而，说明书和附图被认为是说明性而非限制性的，并且所有这些修改都旨在包括在本发明的范围内。

上面关于特定实施例而描述了好处、其它优点和对问题的解决方案。然而，这些好处、优点和对问题的解决方案、以及可以产生任何好处、优点和解决方案或者使其变得更加明显的任何单元不应当被解释为是任何或所有权利要求的关键、必需或基本特征或单元。这里所使用的术语“包括(**comprises**、**comprising**)”或者任何其变体旨在涵盖非排除性包括，使得包括单元列表的处理、方法、产品或设备不仅仅包括那些单元，而是可以包括未明确列出或对于该处理、方法、产品或设备是内在的其它单元。

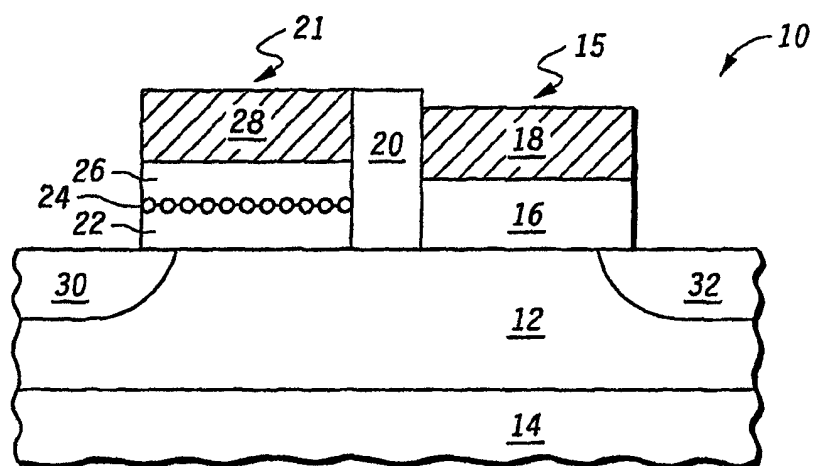


图 1

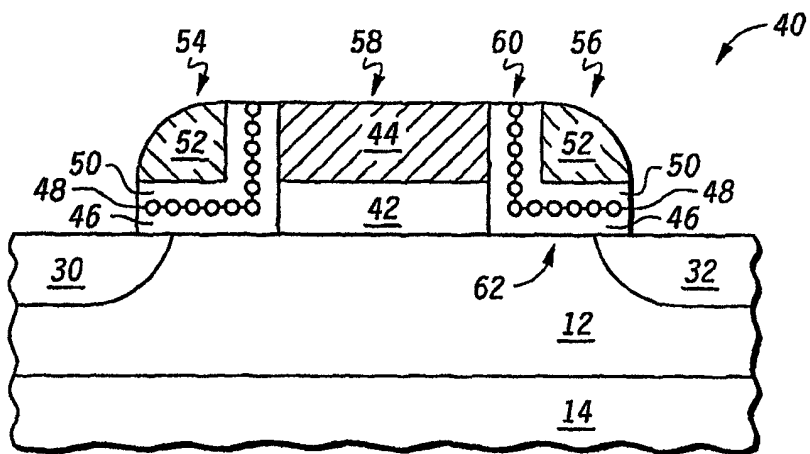


图 2

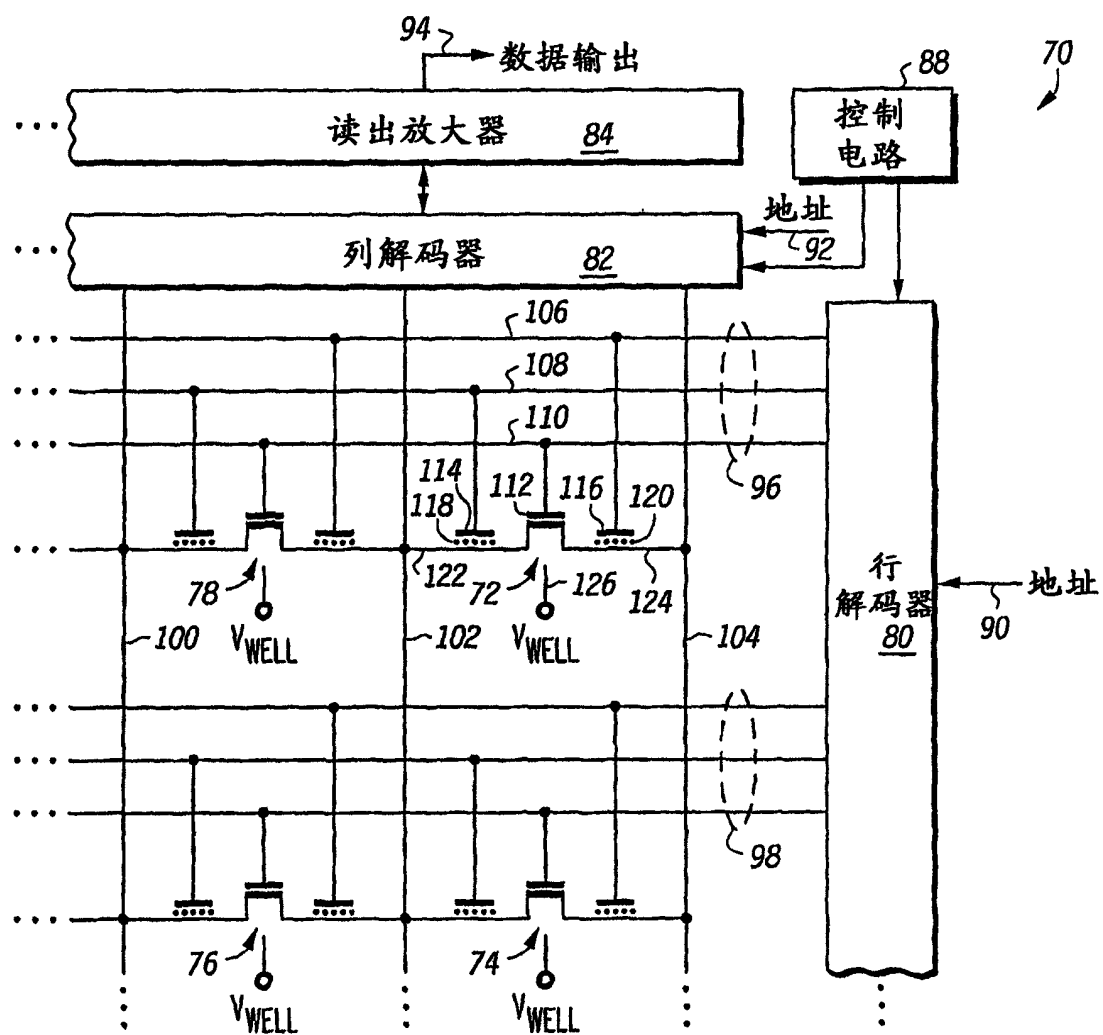


图 3

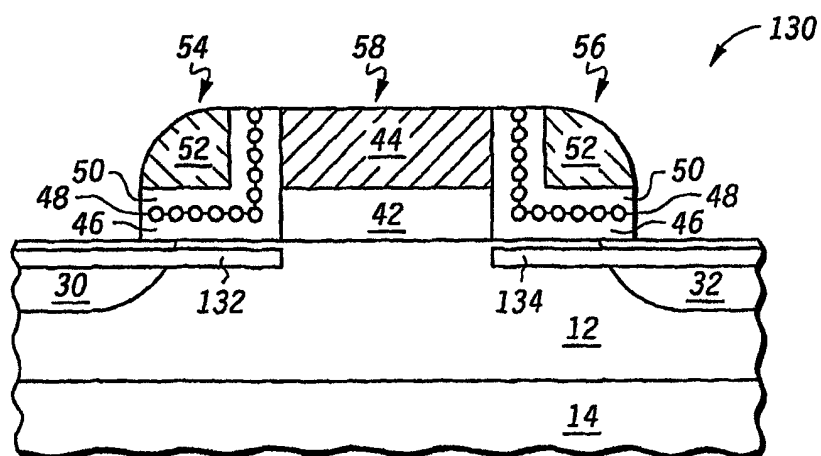


图 4