

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ G11C 7/00	(11) 공개번호 특 1997-0067335
	(43) 공개일자 1997년 10월 13일
(21) 출원번호	특 1997-0007574
(22) 출원일자	1997년 03월 07일
(30) 우선권주장	96-052087 1996년 03월 08일 일본(JP)
(71) 출원인	가부시기가이샤 도시바 니시무로 타이조
(72) 발명자	일본국 가나가와켄 가와사키시 사이와이쿠 호리가와 쇼오 72 다나카 야스노리
(74) 대리인	일본국 가나가와켄 가와사키시 사이와이쿠 호리가와 쇼오 580-1, 가부시기가이샤 도시바 반도체 시스템 엔지니어링 센터 내 야마모토 이쿠에 일본국 가나가와켄 가와사키시 사이와이쿠 호리가와 쇼오 580-1, 가부시기가이샤 도시바 반도체 시스템 엔지니어링 센터 내 이상섭, 나영환

심사청구 : 있음

(54) 반도체 출력 회로

요약

특별한 공정 기술없이도, 고속으로 고구동력을 갖는 고/저 레벨 동시 대응 반도체 출력 회로를 제공한다. 외부 회로에 의해 고레벨 전압을 인가할 수 있는 출력 패드와 저레벨 전원 사이에 접속되어 프리버퍼의 출력에 따라 온/오프 동작하는 풀업용 트랜지스터를 갖는 출력단을 구비한다. 이 회로에 있어서, 상기 프리버퍼를 접지레벨에서 고레벨 범위의 전압을 출력하는 구성으로 하고, 상기 출력단은 게이트 전극에 상기 프리버퍼의 출력이 인가되어 상기 풀업용 트랜지스터로서 기능하는 풀업용 N채널 MOS형 트랜지스터와, 저레벨 전원과 상기 풀업용 N채널 MOS형 트랜지스터와의 사이에 접속되어 출력 패드에 고레벨의 전압이 인가된 때, 저레벨 전원으로서의 전류의 역류를 차단하는 역류 방지 회로를 구비한다.

대표도

도 1

명세서

[발명의 명칭]
반도체 출력 회로

[도면의 간단한 설명]

제1도는 본 발명의 제1 실시 형태에 따른 반도체 출력 회로의 구성도.

본 건은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

입력 전압을 증폭하는 프리버퍼(1)와, 외부 회로에 의해 고레벨의 전압을 인가할 수 있는 출력 패드(VDD)와 상기 고레벨보다 낮은 레벨의 저레벨 전원(VCC) 사이에 접속되어 상기 프리버퍼의 출력에 따라 온/오프 동작하는 풀업용 트랜지스터(3)를 갖는 출력단을 구비한 반도체 출력 회로에 있어서, 상기 프리버퍼를 접지레벨에서 상기 고레벨 범위의 전압을 출력하는 구성으로 하고, 상기 출력단은 제1전극이 상기 출력 패드에 직접 접속되며, 게이트 전극에 상기 프리버퍼의 출력이 인가되어 상기 풀업용 트랜지스터로서 기능하는 풀업용 N채널 MOS형 트랜지스터(3)와, 상기 저레벨 전원과 상기 풀업용 N채널 MOS형 트랜지스터의 제2전극 사이에 접속되며, 상기 출력 패드에 상기 고레벨의 전압이 인가되는 경우 상기 저레벨 전원으로서의 전류 역류를 차단하는 역류방지회로(2)를 구비한 것을 특징으로 하는 반도체 출력 회로.

청구항 2

제1항에 있어서, 상기 역류방지회로는 상기 저레벨 전원과 상기 풀업용 N채널 MOS형 트랜지스터의 제2전극에 각각 제1 및 제2전극이 접속된 P채널 MOS형 트랜지스터(2a)와, 상기 P채널 MOS형 트랜지스터의 게이트 전극과 접지 사이에 접속된 풀다운 회로(26)와, 게이트 전극과 제1전극이 상기 출력 패드에 접속되어 제2전극이 상기 P채널 MOS형 트랜지스터의 게이트 전극에 접속된 N채널 MOS형 트랜지스터(2c)로 구성된 것을 특징으로 하는 반도체 출력 회로.

청구항 3

외부회로에 의해 고레벨의 전압을 인가할 수 있는 출력 패드(VDD)와 상기 고레벨 보다 낮은 저레벨의 전압원이 저레벨 전원(VCC)과의 사이에 접속되어 입력 전압에 따라 온/오프 동작하는 풀업용 P채널 MOS형 트랜지스터(22)를 갖는 반도체 출력회로에 있어서, 상기 출력 패드의 전위가 소정의 레벨보다 높은 경우에, 상기 전위를 상기 풀업용 P채널 MOS형 트랜지스터의 게이트 전극에 전달하는 제1전위 전달 회로(23)와, 적어도 상기 풀업용 P채널 MOS형 트랜지스터의 기판을, 상기 출력패드의 전위가 상기 저레벨보다 낮은 경우에 상기 저레벨로 바이어스하고, 상기 출력 패드의 전위가 상기 저레벨보다도 높은 경우에 플로팅 상태로 하는 스위치드·필로팅·N웰 회로(25)를 구비한 것을 특징으로 하는 반도체 출력 회로.

청구항 4

제3항에 있어서, 제1신호에 따라 동작이 인에이블 상태 또는 디스에이블 상태로 되고, 인에이블 상태인 때에는 접지레벨에서 상기 저레벨의 범위의 전압을 상기 풀업용 P채널 MOS형 트랜지스터의 게이트 전극으로 출력하는 프리버퍼(21)와, 상기 출력 패드의 전위가 상기 소정의 레벨보다 높은 경우에 상기 프리버퍼를 디스에이블 상태로, 상기 출력패드의 전위가 상기 소정의 레벨보다도 낮은 경우에는 상기 프리버퍼를 인에이블 상태로 하도록 상기 제1신호를 출력하는 제2전위 전달 회로(24)를 구비한 것을 특징으로 하는 반도체 출력 회로.

청구항 5

제3항에 있어서, 상기 저레벨 전원과 출력 노드 사이에 접속되어 입력전압에 의해 온/오프 동작하는 제1 P채널 MOS형 트랜지스터(41a)와 상기 출력노드와 접지 사이에 접속되어, 상기 입력전압에 의해 상기 제1 P출력 MOS형 트랜지스터에 대해 상보적으로 온/오프 동작하는 제1 N채널 MOS형 트랜지스터(41b)와, 상기 출력 노드와 접지 사이에 상기 제1 N채널 MOS형 트랜지스터와 직렬접속되고, 제1신호에 따라 오프하는 제2 N채널 MOD형 트랜지스터(41c)를 가지는 제1프리버퍼(41)와, 제1전극이 상기 출력 노드에 접속됨과 동시에 제2전극 및 게이트 전극이 상기 풀업용 P채널 MOS형 트랜지스터의 게이트 전극에 접속된 제2 P채널 MOS형 트랜지스터(42a)와, 제1 및 제2전극이 각각 상기 풀업용 P채널 MOS형 트랜지스터의 게이트 전극 및 상기 출력 노드에 접속됨과 동시에 게이트 전극이 상기 저레벨 전원에 접속된 제3 N채널 MOS형 트랜지스터(42b)를 갖는 제2프리버퍼(42)와, 상기 출력 패드의 전위가 상기 소정의 레벨보다 높은 경우에 상기 제1신호를 출력하는 제2전위 전달 회로(24)를 구비한 것을 특징으로 하는 반도체 출력 회로.

청구항 6

외부회로에 의해 고레벨의 전압을 인가할 수 있는 출력 패드(VDD)와 상기 고레벨보다도 낮은 저레벨의 전압원이 저레벨 전원(VCC)과의 사이에 접속되며, 입력 전압에 따라 온/오프 동작하는 풀업용 P채널 MOS형 트랜지스터(53)를 갖는 반도체 출력회로에 있어서, 상기 출력 패드의 전위가 소정의 레벨보다 높은 경우에 제1신호를 출력하는 전위 전달 회로(56)와, 상기 풀업용 P채널 MOS형 트랜지스터와 상기 출력 패드 사이에 접속되고, 상기 제1신호에 의해 오프하는 역류방지용 P채널 MOS형 트랜지스터(54)와, 적어도 상기 역류방지용 P채널 MOS형 트랜지스터의 기판을 상기 출력 패드의 전위가 상기 저레벨보다도 낮은 경우에 상기 저레벨로 바이어스 하고, 상기 출력 패드의 전위가 상기 저레벨보다 높은 경우에 플로팅 상태로 하는 스위치드·필로팅·N웰 회로(25)를 구비한 것을 특징으로 하는 반도체 출력 회로.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면1

