

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2014년 7월 3일 (03.07.2014)



(10) 국제공개번호
WO 2014/104602 A1

- (51) 국제특허분류:
H01L 21/20 (2006.01) H01L 33/22 (2010.01)
H01L 33/12 (2010.01)
- (21) 국제출원번호: PCT/KR2013/011080
- (22) 국제출원일: 2013년 12월 3일 (03.12.2013)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2012-0155486 2012년 12월 27일 (27.12.2012) KR
- (71) 출원인: 서울바이오시스 주식회사 (SEOUL VIOSYS CO., LTD.) [KR/KR]; 425-851 경기도 안산시 단원구 원시동 727-5 1B-36, Gyeonggi-do (KR).
- (72) 발명자: 인치현 (IN, Chi Hyun); 425-851 경기도 안산시 단원구 원시동 727-5 1B-36, Gyeonggi-do (KR). 이규호 (LEE, Kyu Ho); 425-851 경기도 안산시 단원구 원시동 727-5 1B-36, Gyeonggi-do (KR). 장종민 (JANG, Jong Min); 425-851 경기도 안산시 단원구 원시동 727-5 1B-36, Gyeonggi-do (KR). 김창훈 (KIM, Chang Hoon); 425-851 경기도 안산시 단원구 원시동 727-5 1B-36, Gyeonggi-do (KR). 박대석 (PARK, Dae Seok); 425-851 경기도 안산시 단원구 원시동 727-5 1B-36, Gyeonggi-do (KR).

(74) 대리인: 특허법인에이아이피 (AIP PATENT & LAW FIRM); 135-933 서울시 강남구 역삼동 823-14 신원빌딩 8층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

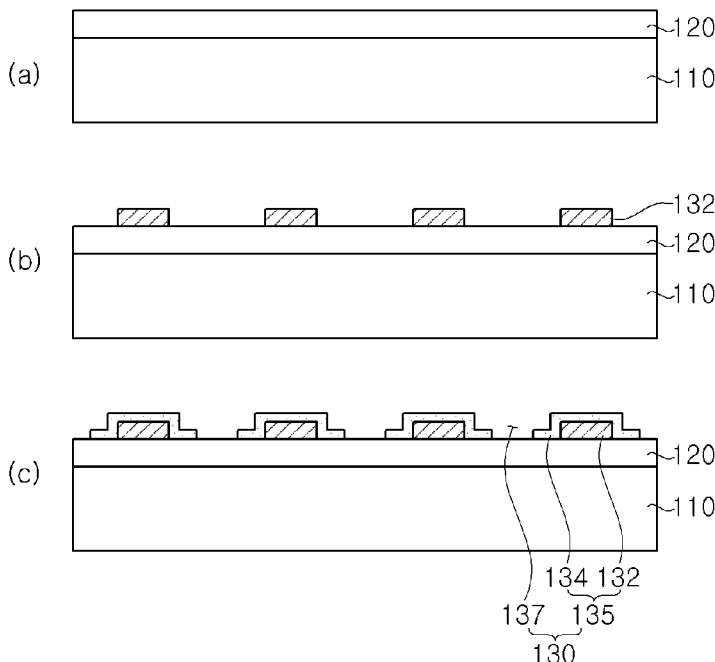
(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

(54) Title: SUBSTRATE SEPARATION METHOD AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE USING MASK PATTERN

(54) 발명의 명칭: 마스크 패턴을 이용한 기판 분리 방법 및 반도체 소자 제조 방법



(57) Abstract: According to the present invention, a substrate separation method includes preparing a substrate, forming a sacrificial layer on the substrate, forming a mask pattern having a masking area and opening area on the sacrificial layer, forming a microcavity in the sacrificial layer by partially etching the sacrificial layer, forming an epi layer which covers the mask pattern on the sacrificial layer, and separating the substrate from the epi layer. The masking area of the mask pattern has a first masking portion and a second masking portion, wherein the first masking portion and the second masking portion may contain different materials. Accordingly, the substrate can be separated from the epi layer with ease.

(57) 요약서: 본 발명에 따른 기판 분리 방법은, 기판을 준비하고, 상기 기판 상에 희생층을 형성하고, 상기 희생층 상에 마스크 영역과 오픈 영역을 갖는 마스크 패턴을 형성하고, 상기 희생층을 부분적으로 식각하여 상기 희생층 내에 미세 공동을 형성하고, 상기 희생층 상에 상기 마스크 패턴을 덮는 에피층을 형성하고; 상기 기판을 상기 에피층으로부터 분리하는 것을 포함하고, 상기 마스크 패턴의 마스크 영역은 제 1 마스크부 및 제 2 마스크부를 포함하며, 상기 제 1 마스크부 및 제 2 마스크부는 서로 다른 물질을 포함할 수 있다. 이에

따라, 기판을 에피층으로부터 분리하는 것이 용이해질 수 있다.

명세서

발명의 명칭: 마스크 패턴을 이용한 기판 분리 방법 및 반도체 소자 제조 방법

기술분야

- [1] 본 발명은 마스크 패턴을 이용한 기판 분리 방법 및 반도체 소자 제조 방법에 관한 것으로, 더욱 상세하게는, 마스크 영역에 두 개의 마스크부를 갖는 마스크 패턴을 이용한 기판 분리 방법 및 반도체 소자 제조 방법에 관한 것이다.

배경기술

- [2] 발광 다이오드는 전자와 정공의 재결합으로 발생하는 광을 발하는 무기 반도체 소자로서, 최근, 디스플레이, 자동차 램프, 일반 조명 등의 여러 분야에서 사용되고 있다.
- [3] 상기 발광 다이오드는 전극 형성위치에 따라서 수평형 발광 다이오드와 수직형 발광 다이오드로 분류될 수 있다.
- [4] 수평형 발광 다이오드는 제조 방법이 비교적 간단하나, 하부 반도체층의 전극을 형성하기 위하여 활성층의 일부를 제거하므로 발광 면적이 감소한다. 또한, 상기 수평형 발광 다이오드의 P형 전극과 N형 전극은 수평 배치되므로, 이에 기인한 전류솔림현상이 발생하여 발광 다이오드의 발광 효율이 감소된다. 뿐만 아니라, 수평형 발광 다이오드의 성장기판으로 열전도성이 낮은 사파이어 기판이 가장 폭 넓게 사용된다. 이러한 사파이어 기판을 갖는 수평형 발광 다이오드는 열방출이 어렵고, 이에 따라 발광 다이오드의 접합 온도가 높아져 상기 발광 다이오드의 내부 양자 효율이 저하된다.
- [5] 상기와 같은 수평형 발광 다이오드가 갖는 문제점을 해결하기 위하여, 수직형 발광 다이오드 또는 플립칩형 발광 다이오드가 개발되고 있다. 수직형 발광 다이오드는 전극이 상하 배치되고 사파이어 기판과 같은 성장기판이 분리되므로, 수평형 발광 다이오드가 갖는 문제를 해소할 수 있다. 또한, 플립칩형 발광 다이오드는 전극이 범프 등을 통해 2차 기판과 직접적으로 접촉되므로, 열 방출 효율이 수평형 발광 다이오드에 비해 월등히 높다.
- [6] 수직형 발광 다이오드는 전극이 상하 배치되므로, 제조시 성장 기판을 분리하는 공정이 추가로 요구되며, 또한, 플립칩형 발광 다이오드의 경우에도 성장 기판이 상부에 배치되므로, 성장 기판을 분리시켜 적용할 수도 있다.
- [7] 일반적으로, 성장 기판 분리를 위하여 주로 레이저 리프트 오프(Laser Lift-off; LLO) 기술이 사용된다. 그러나, 레이저 리프트 오프를 이용하여 성장 기판을 분리할 경우, 강한 에너지의 레이저로 인하여 반도체층에 크랙이 발생할 수 있는 문제점이 있다. 더욱이, 반도체층과 동종 물질의 성장 기판을 사용할 경우(예컨대, 질화갈륨 반도체층과 질화갈륨 기판)에는, 성장 기판과 반도체층 간의 에너지 밴드갭 차이가 작아 레이저 리프트 오프 방법을 적용하는 것이

어렵다.

- [8] 이와 같은 레이저 리프트 오프를 이용한 성장 기판 분리 방법의 문제점을 해결하고자, 최근, 화학적 리프트 오프(Chemical Lift-off; CLO) 기술, 응력 리프트 오프(stress Lift-off; SLO) 기술 등이 개발되고 있다. 상기 화학적 리프트 오프 기술은 반도체층과 성장 기판 사이에 형성된 채널(일반적으로, 공동)을 통해 식각 용액을 침투시켜 반도체층과 성장 기판을 분리하는 기술이다. 또한, 상기 응력 리프트 오프 기술은 반도체층과 성장 기판 사이의 결합을 약화시킨 후 응력을 가해 반도체층과 성장 기판을 분리하는 기술이다.
- [9] 화학적 리프트 오프 기술을 이용하여 성장 기판을 분리하기 위하여, 식각 용액이 성장 기판과 반도체층 사이로 침투할 수 있는 채널 형성 기술이 이용된다. 예를 들어, 반도체층과 성장 기판 사이에 위치하는 희생층을 형성하고, 상기 희생층 상에 마스크 패턴을 형성한다. 상기 희생층을 전기화학식각(Electro-chemical Etching; ECE)하여 그 일부분을 제거하면, 상기 희생층 내에 공동이 형성된다. 이때, 상기 공동은 마스크 패턴에 덮이지 않는 부분 아래의 희생층이 식각되어 형성된다. 여기서, 상기 공동은 상기 식각 용액의 이동 채널로 이용될 수 있다.
- [10] 그러나, 전기화학식각에 의하여 형성된 공동의 폭은 수 μm 에 불과하기 때문에, 공동을 채널로 한 식각 용액의 침투 속도는 매우 느리다. 뿐만 아니라, 반도체층을 상기 마스크 패턴 상에 형성하는 동안, 공동과 접하는 부분의 마스크 패턴에 미세하게 반도체층이 성장되어 있다. 상기 마스크 패턴에 성장된 반도체층은 식각 용액이 마스크 패턴을 식각하는 것을 방해한다. 따라서, 기판을 식각 용액을 이용하여 분리하기 위해서는 장시간이 소요되며, 상기 공동 형성 방법으로는 대면적 기판 분리가 어렵다.
- [11] 한편, 기판 분리 시간을 단축시키기 위하여 기판상의 반도체층들을 미리 소자 영역으로 분리하는 기술이 사용될 수 있다. 이 경우, 식각 용액이 채널을 통한 이동거리가 감소되므로, 기판 분리 시간이 단축될 수 있다. 그러나, 상기와 같이 반도체층들을 소자 영역으로 분리한 후 식각 용액을 공급하게 되면, 활성층의 측면이 식각 용액에 노출되어 손상될 수 있다. 또한, 성장기판의 분리과정에서 소자 영역의 모서리 부분 손상, 예컨대 칩핑(chipping)이 발생되어 발광 다이오드가 손상될 수 있다. 따라서, 반도체층이 손상된 발광 다이오드의 발광 효율 및 신뢰성이 매우 떨어지게 되며, 공정 수율이 저하된다.

발명의 상세한 설명

기술적 과제

- [12] 본 발명이 해결하고자 하는 과제는, 마스크 패턴 식각 시간이 단축되고, 대면적으로 기판 분리가 가능한 기판 분리 방법을 제공하는 것이다.
- [13] 본 발명이 해결하고자 하는 또 다른 과제는, 전기화학식각을 이용하지 않고 공동을 형성하여 마스크 패턴을 식각할 수 있는 기판 분리 방법을 제공하는

것이다.

- [14] 본 발명이 해결하고자 하는 또 다른 과제는, 상기 기판 분리 방법을 이용하여 대면적으로 기판을 분리할 수 있는 반도체 소자 제조 방법을 제공하는 것이다.

과제 해결 수단

- [15] 본 발명의 일 실시예에 따른 기판 분리 방법은, 기판을 준비하고; 상기 기판 상에 희생층을 형성하고; 상기 희생층 상에 마스크 영역과 오프닝 영역을 갖는 마스크 패턴을 형성하고; 상기 희생층을 부분적으로 식각하여 상기 희생층 내에 미세 공동을 형성하고; 상기 희생층 상에 상기 마스크 패턴을 덮는 에피층을 형성하고; 상기 기판을 상기 에피층으로부터 분리하는 것을 포함하고, 상기 마스크 패턴의 마스크 영역은 제1 마스크부 및 제2 마스크부를 포함하며, 상기 제1 마스크부 및 제2 마스크부는 서로 다른 물질을 포함할 수 있다.
- [16] 이에 따라, 마스크 패턴 제거 시에 제1 마스크부와 제2 마스크부를 각각 식각하여 제거할 수 있다.
- [17] 상기 마스크 패턴을 형성하는 것은, 상기 희생층 상에 부분적으로 제1 마스크부를 형성하고, 상기 제1 마스크부를 덮는 제2 마스크부를 형성하는 것을 포함할 수 있다.
- [18] 상기 제2 마스크부는 제1 마스크부의 상면 및 측면을 덮을 수 있다.
- [19] 나아가, 상기 제2 마스크부의 적어도 일부는 상기 제1 마스크부로부터 연장하여 상기 희생층 상면을 덮을 수 있다.
- [20] 또한, 상기 제1 마스크부는 상기 제2 마스크부에 의해 상기 에피층으로부터 이격될 수 있다.
- [21] 한편, 상기 제1 마스크부는 금속을 포함하고, 상기 제2 마스크부는 절연 물질을 포함할 수 있다. 상기 금속은 Ti 및 Cr 중 적어도 하나를 포함할 수 있고, 상기 절연 물질은 SiO_2 를 포함할 수 있다.
- [22] 상기 희생층을 부분적으로 식각하는 것은 전기화학식각(ECE)을 이용하는 것을 포함할 수 있다.
- [23] 몇몇 실시예들에 있어서, 상기 기판을 상기 에피층으로부터 분리하는 것은, 제1 식각 용액을 이용하여 제1 마스크부를 식각하고, 제2 식각 용액을 이용하여 제2 마스크부를 식각하는 것을 포함할 수 있다.
- [24] 또한, 상기 제1 식각 용액에 의한 상기 제1 마스크부의 식각률은 상기 제2 식각 용액에 의한 상기 제2 마스크부의 식각률보다 빠를 수 있다.
- [25] 따라서, 마스크 패턴을 화학 식각하여 제거하는 시간이 단축될 수 있고, 기판 분리 공정 시간이 단축될 수 있다. 나아가, 마스크 패턴의 제거가 용이하므로, 대면적으로 기판 분리가 가능하다.
- [26] 상기 제1 식각 용액은 HCl 및 H_2SO_4 중 적어도 하나를 포함할 수 있고, 상기 제2 식각 용액은 HF 및 BOE(Buffered Oxide Etchant) 중 적어도 하나를 포함할 수 있다.

- [27] 본 발명의 또 다른 실시예에 따른 기판 분리 방법은, 기판을 준비하고; 상기 기판 상에 마스크 영역과 오프닝 영역을 갖는 마스크 패턴을 형성하고; 상기 기판 상에 상기 마스크 패턴을 덮는 에피층을 형성하고; 상기 기판을 상기 에피층으로부터 분리하는 것을 포함하고, 상기 마스크 패턴의 마스크 영역은 제1 마스크부 및 제2 마스크부를 포함하며, 상기 제1 마스크부 및 제2 마스크부는 서로 다른 물질을 포함할 수 있다.
- [28] 상기 마스크 패턴을 형성하는 것은, 상기 기판 상에 부분적으로 제1 마스크부를 형성하고, 상기 제1 마스크부를 덮는 제2 마스크부를 형성하는 것을 포함할 수 있다.
- [29] 상기 제2 마스크부는 제1 마스크부의 상면 및 측면을 덮을 수 있다.
- [30] 한편, 상기 기판을 상기 에피층으로부터 분리하는 것은, 제1 식각 용액을 이용하여 제1 마스크부를 식각하고, 제2 식각 용액을 이용하여 제2 마스크부를 식각하는 것을 포함할 수 있다.,
- [31] 나아가, 상기 기판을 상기 에피층으로부터 분리하는 것은, 상기 마스크 패턴을 화학 식각한 후에, 상기 기판과 상기 에피층 사이에 응력을 가하는 것을 더 포함할 수 있다.
- [32] 상기 마스크 영역은 3 내지 $10\mu\text{m}$ 의 폭을 가질 수 있다. 또한, 상기 에피층은, 상기 오프닝 영역으로부터 수직 성장 및 측면 성장될 수 있고, 상기 수직 성장 속도와 상기 측면 성장 속도의 비율은 1:2 내지 1:1의 범위를 가질 수 있다.
- [33] 상기 오프닝 영역은 0.5 내지 $2\mu\text{m}$ 의 폭을 가질 수 있다.
- [34] 몇몇 실시예들에 있어서, 상기 마스크 패턴을 형성하기 전에, 상기 기판 상에 버퍼층을 형성하는 것을 더 포함할 수 있다.
- [35] 본 발명의 또 다른 실시예에 따른 반도체 소자 제조 방법은, 기판을 준비하고; 상기 기판 상에 마스크 영역과 오프닝 영역을 갖는 마스크 패턴을 형성하고; 상기 기판 상에 상기 마스크 패턴을 덮는 에피층을 형성하고; 상기 에피층 상에 지지 기판을 형성하고; 상기 기판을 상기 에피층으로부터 분리하는 것을 포함하고, 상기 마스크 패턴의 마스크 영역은 제1 마스크부 및 제2 마스크부를 포함하며, 상기 제1 마스크부 및 제2 마스크부는 서로 다른 물질을 포함할 수 있다.
- [36] 상기 마스크 패턴을 형성하는 것은, 상기 기판 상에 부분적으로 제1 마스크부를 형성하고, 상기 제1 마스크부를 덮는 제2 마스크부를 형성하는 것을 포함할 수 있다.
- [37] 상기 기판을 상기 에피층으로부터 분리하는 것은, 제1 식각 용액을 이용하여 제1 마스크부를 식각하고, 제2 식각 용액을 이용하여 제2 마스크부를 식각하는 것을 포함할 수 있다.
- [38] 나아가, 상기 제조 방법은, 상기 기판을 상기 에피층으로부터 분리하기 전에, 상기 에피층을 패터닝하여 적어도 하나의 영역 분리홈을 형성하는 것을 더 포함할 수 있고, 상기 에피층은 상기 적어도 하나의 영역 분리홈에 의해 복수의

반도체 구조체 영역으로 분할될 수 있다.

- [39] 또한, 상기 제조 방법은, 상기 기판을 상기 에피층으로부터 분리한 후에, 상기 복수의 반도체 구조체 영역을 패터닝하여 적어도 하나의 소자 영역 분리홈을 형성하는 것을 더 포함할 수 있고, 상기 반도체 구조체 영역은 상기 적어도 하나의 소자 영역 분리홈에 의해 적어도 하나의 소자 영역으로 분할될 수 있다.
- [40] 한편, 다른 실시예들에 있어서, 상기 기판을 상기 에피층으로부터 분리한 후에, 상기 에피층을 패터닝하여 적어도 하나의 소자 영역 분리홈을 형성하는 것을 더 포함할 수 있고, 상기 에피층은 상기 적어도 하나의 소자 영역 분리홈에 의해 적어도 하나의 소자 영역으로 분할될 수 있다.
- [41] 또한, 상기 제조 방법은, 상기 소자 영역 분리홈 아래 부분의 지지 기판을 분할하여 적어도 하나의 발광 다이오드 칩을 형성하는 것을 더 포함할 수 있다.

발명의 효과

- [42] 본 발명에 따르면, 제1 마스크부 및 제2 마스크부를 포함하는 마스크 패턴을 이용한 기판 분리 방법을 제공할 수 있다. 이에 따라, 마스크 패턴을 제거하는 시간이 단축되어 기판 분리 시간이 단축될 수 있고, 나아가, 대면적으로 기판을 에피층으로부터 분리할 수 있다.
- [43] 또한, 상기 마스크 패턴을 이용함으로써, 전기화학식각에 의해 희생층을 부분적으로 식각하지 않고도 상대적으로 크기가 증가된 공동을 용이하게 형성할 수 있다. 이에 따라, 기판 분리 시간이 단축되어 대면적으로 기판을 분리할 수 있으며, 공정의 재현성이 개선될 수 있다.
- [44] 또한, 상기 기판 분리 방법을 이용하여 반도체 소자 제조 방법을 제공할 수 있다. 이에 따르면, 기판 분리 전에 에피층을 소자 영역으로 미리 분할하는 공정이 생략될 수 있다. 따라서, 상기 반도체 소자 제조 방법 의해, 공정 수율이 개선될 수 있고, 상기 방법으로 제조된 반도체 소자의 신뢰성 및 효율 감소를 방지할 수 있다.

도면의 간단한 설명

- [45] 도 1 내지 도 5는 본 발명의 일 실시예에 따른 기판 분리 방법 및 반도체 소자 제조 방법을 설명하기 위한 단면도들이다.
- [46] 도 6 내지 도 10은 본 발명의 또 다른 실시예에 따른 기판 분리 방법 및 반도체 소자 제조 방법을 설명하기 위한 단면도들이다.
- [47] 도 11은 본 발명의 또 다른 실시예에 따른 반도체 소자 제조 방법을 설명하기 위한 평면도이다.

발명의 실시를 위한 형태

- [48] 이하, 첨부한 도면들을 참조하여 본 발명의 실시예들을 상세히 설명한다. 다음에 소개되는 실시예들은 본 발명이 속하는 기술분야의 통상의 기술자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 발명은 이하 설명되는 실시예들에 한정되지 않고 다른 형태로

구체화될 수도 있다. 그리고, 도면들에 있어서, 구성요소의 폭, 길이, 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 또한, 하나의 구성요소가 다른 구성요소의 "상부에" 또는 "상에" 있다고 기재된 경우 각 부분이 다른 부분의 "바로 상부" 또는 "바로 상에" 있는 경우뿐만 아니라 각 구성요소와 다른 구성요소 사이에 또 다른 구성요소가 있는 경우도 포함한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

- [49] 여기서 설명되는 본 발명의 실시예들은 기판 상에 질화물 반도체층들을 성장시킨 후, 상기 질화물 반도체층들로부터 기판을 분리하는 것을 개시한다. 특히, 본 발명의 실시예들은 레이저 리프트 오프 기술을 사용하지 않고, 화학적 리프트 오프 기술을 사용하여 기판을 분리하는 것을 중심으로 개시한다. 다만, 본 발명이 화학적 리프트 오프 기술을 이용한 기판 분리에만 한정되는 것은 아니고, 다른 다양한 방법에 의한 기판 분리에도 적용될 수 있다.
- [50] 도 1 내지 도 5는 본 발명의 일 실시예에 따른 기판 분리 방법 및 반도체 소자 제조 방법을 설명하기 위한 단면도들이다.
- [51] 도 1을 참조하면, 기판(110) 상에 희생층(120)과 마스크 패턴(130)을 형성한다.
- [52] 구체적으로, 도 1의 (a)를 참조하면, 기판(110)을 준비하고, 상기 기판(110) 상에 희생층(120)을 형성한다.
- [53] 기판(110)은 질화물 반도체층들(151, 153, 155)을 성장시킬 수 있는 기판이면 한정되지 않으며, 예를 들어, 사파이어 기판, 실리콘 카바이드 기판, 실리콘 기판, 질화물계 기판 등일 수 있다. 특히, 본 실시예에 있어서, 기판(110)은 질화갈륨 기판일 수 있다.
- [54] 희생층(120)은 기판(110) 상에 성장되어 형성될 수 있다. 이때 희생층(120)은 MOCVD(Metal Organic Chemical Vapor Deposition), MBE(Molecular Beam Epitaxy) 또는 HVPE(Hydride Vapor Phase Epitaxy) 등의 기술을 이용하여 성장될 수 있다.
- [55] 희생층(120)은 질화물 반도체를 포함하는 물질로 형성될 수 있다. 나아가, 희생층(120)은 고농도의 불순물을 포함할 수 있다. 예를 들어, 희생층(120)은 Si가 $3 \times 10^{18}/\text{cm}^3$ 이상의 농도로 도핑된 N형 질화갈륨 반도체층으로 형성될 수 있다. 이에 따라, 후술하여 설명하는 전기화학식각(Electro-Chemical Etching; ECE) 공정을 이용하여 미세 공동을 형성할 수 있다.
- [56] 이어서, 도 1의 (b)를 참조하면, 희생층(120) 상에 부분적으로 제1 마스크부(132)를 형성한다.
- [57] 제1 마스크부(132)는 금속을 포함할 수 있으며, 예를 들어, Ti 및 Cr 중 적어도 하나를 포함할 수 있다. 다만, 이에 한정되는 것은 아니다. 금속을 포함하는 제1 마스크부(132)는 리프트 오프 기술 등을 이용하여 다양한 패턴을 갖도록 형성될 수 있다. 예를 들어, 상기 제1 마스크부(132)는 스트라이프 패턴, 다각형 패턴 등의 형상을 갖도록 형성될 수 있다. 제1 마스크부(132)가 희생층(120) 상에 부분적으로 형성됨으로써, 희생층(120)의 상면이 부분적으로 노출될 수 있다.

후술하는 바와 같이, 상기 노출된 희생층(120) 상면 상에 마스크 패턴(130)의 오프닝 영역(137)이 형성될 수 있다.

[58] 도 1의 (c)를 참조하면, 제1 마스크부(132)를 덮는 제2 마스크부(134)를 형성할 수 있다.

[59] 상기 제2 마스크부(134)는 절연 물질을 포함할 수 있고, 예를 들어, SiO_2 를 포함할 수 있다. 다만, 이에 한정되는 것은 아니다. 제2 마스크부(134)는 전자빔증발(E-beam evaporation)과 같은 증착 및 패터닝 기술을 이용하여 제1 마스크부(132)를 덮도록 형성될 수 있다. 또한, 이에 한정되지 않고, 제2 마스크부(134)는 제1 마스크부(132)와 같이 리프트 오프 기술을 이용하여 형성될 수도 있다.

[60] 제2 마스크부(134)는 제1 마스크부(132)의 상면 및 측면을 덮도록 형성될 수 있으며, 나아가, 제2 마스크부(134)의 적어도 일부는 상기 제1 마스크부(132)로부터 연장하여 희생층(120) 상면을 부분적으로 더 덮을 수 있다. 이에 따라, 희생층(120)과 후술하여 설명되는 에피층(150)의 접촉 면적이 감소될 수 있고, 후속 기판 분리 공정에서 기판 분리가 더욱 용이해질 수 있다.

[61] 제2 마스크부(134)가 형성됨으로써, 마스크 패턴(130)이 형성될 수 있다. 마스크 패턴(130)은 마스크 영역(135)과 오프닝 영역(137)을 가질 수 있다. 상술한 바와 같이, 상기 마스크 영역(135)은 제1 마스크부(132)와 제2 마스크부(134)를 포함할 수 있다. 또한, 제1 마스크부(132)와 제2 마스크부(134)는 서로 다른 물질을 포함할 수 있으며, 특히, 제1 마스크부(132)는 금속을 포함하고, 제2 마스크부(134)는 절연 물질을 포함할 수 있다.

[62] 한편, 마스크 영역(135)의 폭과 높이는 다양하게 형성될 수 있고, 오프닝 영역(137)의 폭 역시 다양하게 형성될 수 있다. 다만, 에피층(150)을 성장시키기 위하여, 측면 성장의 정도를 고려하여 마스크 영역(135)의 폭을 결정하는 것이 바람직하다. 이에 대하여 뒤에서 상세하게 설명한다.

[63] 도 2를 참조하면, 희생층(120) 내에 미세 공동(140)을 형성하고, 상기 희생층(120) 상에 에피층(150)을 형성한 후, 에피층(150) 상에 지지 기판(180)을 형성한다.

[64] 상세하게, 도 2의 (a)를 참조하면, 희생층(120)은 전기화학식각(ECE) 공정을 이용하여 부분적으로 식각될 수 있고, 이에 따라 희생층(120) 내에 미세 공동(140)이 형성될 수 있다. 미세 공동(140)은 오프닝 영역(137) 아래에 주로 형성될 수 있다. 나아가, 상기 미세 공동(140)은 마스크 영역(135)의 제2 마스크부(134) 아래 영역에도 형성될 수 있다. 따라서, 마스크 패턴(130)의 형상에 따라 미세 공동(140) 형성 부분이 결정될 수 있다.

[65] 상기 전기화학식각 공정은 희생층(120)이 형성된 기판(110)과 음극 전극(예컨대, Pt 전극)을 용액에 담근 후, 희생층(120)에 양전압을 인가하고, 음극 전극에 음전압을 인가하여 수행될 수 있다. 이때, 상기 용액은 전해질 용액일 수 있고, 예를 들어 옥살산, HF 또는 NaOH를 포함하는 전해질 용액일 수 있다.

- [66] 상기 전기화학식각 공정에서 용액의 조성 및 농도, 전압 인가 시간, 인가 전압을 선택적으로 적용하여, 미세 공동(140)의 크기 및 형성 영역을 조절할 수 있다. 예를 들어, 10~60V 범위의 전압을 연속적으로 인가하여 희생층(120)을 부분적으로 식각하여 미세 공동(140)을 형성할 수 있다.
- [67] 또한, 두 단계의 전기화학식각 공정을 이용하여 미세 공동(140)을 형성할 수도 있다. 구체적으로, 제1 단계 전기화학식각 공정에서 상대적으로 낮은 전압을 인가하고, 이 후 제2 단계 전기화학식각 공정에서 상대적으로 높은 전압을 인가하여 미세 공동(140)을 형성할 수 있다. 도 2의 (a)를 참조하면, 미세 공동(140)은 제1 미세 공동(141) 및 제2 미세 공동(143)을 포함할 수 있고, 제1 미세 공동(141)과 제2 미세 공동(143)은 각각 상술한 1 단계 전기화학식각 공정과 제2 단계 전기화학식각 공정에 의해 형성될 수 있다. 그 결과, 상대적으로 작은 크기의 제1 미세 공동(141)이 먼저 형성되고, 상대적으로 큰 크기의 제2 미세 공동(143)이 형성된다.
- [68] 두 단계 전기화학식각 공정을 이용함으로써, 희생층(120)의 표면은 양호한 결정성을 유지할 수 있고, 아울러, 희생층(120)의 내부에 상대적으로 큰 미세 공동을 형성할 수 있어 후속 공정에 유리하다.
- [69] 도 2의 (b)를 참조하면, 제1 질화물 반도체층(151), 활성층(153) 및 제2 질화물 반도체층(155)을 포함하는 에피층(150)을 형성한다. 상기 반도체층들(151, 153, 155)은 희생층(120)을 시드로 하여 형성될 수 있다.
- [70] 상기 반도체 적층 구조(150)는 MOCVD, MBE 또는 HVPE 등의 기술을 이용하여 성장될 수 있다. 에피층(150)은 성장 시, 수직 성장뿐만 아니라 수평 성장을 동반할 수 있고, 이에 따라 마스크 패턴(130)을 덮는다. 한편, 제1 마스크부(132)는 제2 마스크부(134)에 의해 에피층(150)으로부터 이격될 수 있다.
- [71] 제1 질화물 반도체층(151)은 오프닝 영역(137) 아래의 희생층(120)으로부터 성장될 수 있다. 나아가, 제1 질화물 반도체층(151)은 수직 방향 성장에 더하여, 에피택시 측면 과성장(Epitaxy Lateral Overgrowth)을 동반하여 성장할 수 있다. 하나의 오프닝 영역(137)으로부터 성장된 질화물 반도체는 측면 성장을 동반하고, 따라서, 인접하는 다른 오프닝 영역(137)으로부터 성장된 질화물 반도체와 합쳐질(merge) 수 있다. 이에 따라, 제1 질화물 반도체층(151)은 마스크 패턴(130)의 마스크 영역(135)을 덮을 수 있다.
- [72] 마스크 영역(135)이 안정적으로 제1 질화물 반도체층(151)에 의해 덮이도록, 마스크 영역(135)의 높이 및 폭을 조절할 수 있다. 예를 들어, 마스크 영역(135)의 폭은 1 내지 50 μm 로 형성될 수 있고, 바람직하게는 3 내지 10 μm 로 형성될 수 있다. 또한, 마스크 영역(135)의 높이는 약 6 μm 로 형성될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [73] 나아가, 상기 마스크 영역(135)의 높이 및 폭에 따라, 에피층(150)의 측면 성장 속도와 수직 성장 속도의 비율이 조절될 수 있다. 예를 들어, 에피층(150)의 수직

성장 속도와 측면 성장 속도의 비율은 1:2 내지 2:1의 범위를 가질 수 있고, 바람직하게는 1:2 내지 1:1의 범위를 가질 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.

- [74] 반도체 적층 구조(150)의 각 반도체층들(151, 153, 155)은 예를 들어, (Al, Ga, In)N층을 포함할 수 있다. 본 실시예에 있어서, 제1 질화물 반도체층(151)은 P형 반도체층이고, 제2 질화물 반도체층(155)은 N형 반도체층이나, 그 반대일 수도 있다. 한편, 활성층(153)은 원하는 피크 파장의 광을 방출할 수 있도록 반도체층을 이루는 원소 및 그 조성이 조절될 수 있다.
- [75] 상기 제1 질화물 반도체층(151)은 언도프트(un-doped)층과 도핑층을 포함할 수 있다. 제1 질화물 반도체층(151) 형성시 언도프트층을 먼저 성장시키고, 이후 도핑층을 형성하여, 제1 질화물 반도체층(151)이 다중층을 포함하도록 할 수 있다. 이와 같이, 제1 질화물 반도체층(151)의 형성시 초기에 언도프트층을 먼저 성장시킴으로써, 제1 질화물 반도체층(151)의 결정 품질을 개선시킬 수 있다.
- [76] 이하, 질화물 반도체 물질을 포함하는 반도체층들(151, 153, 155)과 관련된 주지 기술내용의 설명은 생략한다.
- [77] 한편, 반도체 적층 구조(150) 형성 과정동안, 미세 공동(140)이 서로 합쳐지고 성장하여 공동(145)이 형성될 수 있다. 상기 공동(145)은 미세 공동(140)에 비해 큰 스케일을 가질 수 있다.
- [78] 도 2의 (c)를 참조하면, 에피층(150) 상에 금속층(160)을 형성한다.
- [79] 상기 금속층(160)은 반사 금속층 및 베리어 금속층(미도시)을 포함할 수 있다. 베리어 금속층은 반사 금속층을 덮도록 형성될 수 있다.
- [80] 금속층(160)은 증착 및 리프트 오프 기술 등을 통해서 형성될 수 있다. 반사 금속층은 광을 반사시키는 역할을 할 수 있고, 또한, 에피층(150)과 전기적으로 연결된 전극 역할을 할 수도 있다. 따라서, 반사 금속층은 높은 반사도를 가지면서 오믹 접촉을 형성할 수 있는 물질을 포함하는 것이 바람직하다. 반사 금속층은, 예를 들어, 상기 반사 금속층은 Ni, Pt, Pd, Rh, W, Ti, Al, Ag 및 Au 중 적어도 하나를 포함할 수 있다.
- [81] 한편, 베리어 금속층은 반사 금속층과 다른 물질의 상호 확산을 방지한다. 이에 따라, 반사 금속층의 손상에 의한 접촉 저항 증가 및 반사도 감소를 방지할 수 있다. 베리어 금속층은 Ni, Cr, 및 Ti 중 적어도 하나를 포함할 수 있으며, 다중층으로 형성될 수 있다.
- [82] 덧붙여, 금속층(160)을 형성하기 전에, 기판(110)의 테두리 부분의 반도체 적층 구조(150)를 제거하는 엣지(edge) 식각 공정을 더 포함할 수 있다. 기판(110)의 테두리 부분에서 성장된 반도체층들(151, 153, 155)의 일부분은 그 결정 구조가 불안정할 수 있어서, 결정질이 나쁘게 성장된다. 결정질이 상대적으로 조악한 테두리 부분의 반도체층들(151, 153, 155)은 기판 분리시 화학 식각 용액의 이동 채널을 막게 되어, 식각 용액의 이동을 방해할 수 있다. 그러나, 본 실시예에 따르면, 엣지 식각 공정을 이용하여 상기 테두리 부분의 반도체층들(151, 153,

- 155) 일부를 제거하므로, 위와 같은 채널 막힘 현상을 방지할 수 있다. 따라서, 기판 분리 공정 시간이 단축될 수 있다.
- [83] 이어서, 도 2의 (d)를 참조하면, 금속층(160) 상에 지지 기판(180)을 형성한다. 나아가, 지지 기판(180)과 금속층(160)을 접합하는 본딩층(170)을 더 형성할 수 있다.
- [84] 지지 기판(180)은 절연성 기판, 도전성 기판 또는 회로 기판일 수 있다. 예를 들어, 지지 기판(180)은 사파이어 기판, 질화갈륨 기판, 유리 기판, 실리콘카바이드 기판, 실리콘 기판, 금속 기판, 세라믹 기판 또는 PCB 기판일 수 있다.
- [85] 상기 본딩층(170)은 금속 물질을 포함할 수 있고, 예를 들어, AuSn을 포함할 수 있다. AuSn을 포함하는 본딩층(170)은 지지 기판(180)과 금속층(160) 공정 본딩(Eutectic Bonding)할 수 있다. 지지 기판(180)이 도전성 기판인 경우, 본딩층(170)은 금속층(160)과 지지 기판(180)을 전기적으로 연결할 수 있다.
- [86] 도 3을 참조하면, 마스크 패턴(130)을 화학 식각으로 적어도 일부 제거하여 기판(110)을 에피층(150)으로부터 분리한다. 상세하게는, 먼저, 제1 식각 용액을 이용하여 제1 마스크부(132)를 제거하고, 그 다음 제2 식각 용액을 이용하여 제2 마스크부(134)를 제거한다. 이때, 제1 식각 용액에 의한 제1 마스크부(132)의 식각률은 제2 식각 용액에 의한 제2 마스크부(134)의 식각률보다 빠를 수 있다. 이하, 도면을 참조하여 상세하게 설명한다.
- [87] 도 3의 (a)를 참조하면, 제1 식각 용액을 이용하여 제1 마스크부(132)를 제거한다. 제1 식각 용액은 공동(145)을 채널로 이용하며, 또한 제거된 제1 마스크부(132) 영역을 채널로 이용하여 기판(110)과 에피층(150) 사이로 침투할 수 있다. 제1 식각 용액은 HCl 및 H₂SO₄ 중 적어도 하나를 포함할 수 있고, 이 경우 제1 마스크부(132)는 금속을 포함할 수 있다. 제1 마스크부(132)가 금속을 포함하는 경우, 그 식각률은 상대적으로 매우 빠르다. 따라서, 제1 식각 용액의 이동 채널이 상대적으로 좁더라도, 제1 마스크부(132)의 식각은 매우 빠른 속도로 진행될 수 있다.
- [88] 제1 마스크부(132)가 제거되면, 그 다음, 도 3의 (b)와 같이 제2 마스크부(134)를 제거한다. 이때, 제2 마스크부(134)는 제2 식각 용액을 이용하여 제거할 수 있다. 제2 식각 용액은 공동(145) 및 제1 마스크부(132)가 제거된 영역을 채널로 이용하며, 또한 제거된 제2 마스크부(134) 영역을 채널로 이용하여 기판(110)과 에피층(150) 사이로 침투할 수 있다. 제2 식각 용액은 HF 및 BOE(Buffered Oxide Etchant) 중 적어도 하나를 포함할 수 있고, 이 경우, 제2 마스크부(134)는 SiO₂를 포함하는 절연 물질을 포함할 수 있다.
- [89] SiO₂를 포함하는 제2 마스크부(134)의 식각률은 상대적으로 매우 느리다. 특히, 종래의 경우에, 공동(145)과 마스크 패턴 자체만을 식각 용액의 이동 채널로 이용하므로, 마스크 패턴이 전체적으로 식각되기까지 장시간이 소요된다.
- [90] 반면, 본 실시예에 따르면, 공동(145)과 제2 마스크부(134)뿐만 아니라, 제1

마스킹부(132)가 제거된 공간까지 제2 식각 용액의 이동채널로 이용될 수 있다. 또한, 제1 마스킹부(132)가 제거된 공간의 스케일은 공동(145)의 스케일보다 현저히 클 수 있다. 따라서, 제2 식각 용액이 기판(110)과 에피층(150) 사이로 매우 빠르게 침투할 수 있어서, 제2 마스킹부(134)가 식각되어 제거되는 시간이 매우 단축될 수 있다.

- [91] 본 실시예는 제1 마스킹부(132) 식각 공정을 포함하지만, 상기 제1 마스킹부(132)를 식각하여 제거하는 시간은 상대적으로 매우 짧으므로, 전체적인 마스크 패턴(130)을 식각하여 제거하는 시간이 단축될 수 있다. 그러므로, 기판(110) 분리 공정 시간이 매우 단축될 수 있으며, 대면적 기판 분리가 가능하다. 이에 따라, 기판을 분리하기 전에 에피층(150)을 소자 영역으로 분할하지 않고도, 단시간 내에 기판(110)을 에피층(150)으로부터 분리할 수 있다.
- [92] 더욱이, 기판 분리 시 활성층(153)의 측면이 식각 용액에 노출되는 시간이 상대적으로 짧아지므로, 식각 용액에 의해 활성층(153)이 손상되는 것을 방지할 수 있다. 따라서, 본 실시예의 제조 방법을 통해 제조된 반도체 소자의 효율 및 신뢰성 감소를 방지할 수 있다.
- [93] 도 3의 (a) 및 (b)를 참조하여 설명한 바와 같이, 마스크 패턴(130)이 제거되면 기판(110)이 에피층(150)으로부터 분리된다. 덧붙여, 상기 기판(110)을 분리하는 것은, 마스크 패턴(130)을 식각하여 제거한 후, 응력을 가하는 것을 더 포함할 수 있다.
- [94] 마스크 패턴(130)이 제거되고 기판(110)이 분리됨에 따라, 제1 질화물 반도체층(151)의 표면에 잔류하는 희생층(120)이 남아있을 수 있다. 상기 잔류하는 희생층(120)은 건식 식각 등을 통해서 제거될 수 있다.
- [95] 나아가, 기판 분리 후, 기판(110)이 분리된 에피층(150)의 표면을 HCl 등으로 세정할 수 있다. 또한, 제1 질화물 반도체층(151)이 언도프트 층을 포함하는 경우, 상기 언도프트 층은 건식 식각 등으로 제거될 수 있다.
- [96] 다음, 도 4의 (a)를 참조하면, 제1 질화물 반도체층(151) 표면에 러프니스(R)를 형성한다. 또한, 제1 질화물 반도체층(151)은 오목부(151a)와 돌출부(151b)를 갖는 요철 패턴 포함할 수 있다. 도 4는 도 1 내지 도 3과는 달리, 지지 기판(180)이 하부에 위치하는 것으로 도시하였다.
- [97] 제1 질화물 반도체층(151)의 표면은 마스크 패턴(130)의 형태에 대응하는 요철 패턴을 포함할 수 있다. 특히, 상기 요철 패턴의 돌출부(151b)는 두 단계로 돌출된 형태를 가질 수 있다.
- [98] 한편, 제1 질화물 반도체층(151) 표면에 러프니스(R)를 형성함으로써, 상기 표면의 거칠기를 증가시킬 수 있다. 러프니스(R)는 광전 화학(PEC) 식각 등의 습식 식각을 이용하여 형성될 수 있다. 상기 러프니스(R)에 의하여 활성층(153)에서 방출된 광의 광 추출 효율이 개선될 수 있다.
- [99] 도 4의 (b)를 참조하면, 에피층(150)을 패터닝하여, 적어도 하나의 소자 영역 분리홈(210)을 형성한다. 이에 따라, 에피층(150)은 적어도 하나의 소자

영역(200)으로 분할될 수 있다.

- [100] 기판 분리 공정에서, 기판과 접하는 반도체층의 테두리 부분은 분리 시 스트레스가 집중되어 깨짐 등의 손상(chipping)이 발생할 수 있다. 특히, 종래에는 마스크 패턴의 식각 시간을 단축시키기 위하여 기판 분리 전에 에피층을 소자영역으로 분리하였다. 이에 따라, 소자영역의 반도체층에 손상이 생겨 이로부터 제조된 반도체 소자의 효율 및 신뢰성이 감소될 수 있었다.
- [101] 그러나, 본 실시예에 따르면, 에피층(150)을 소자영역으로 분할하지 않고도 상대적으로 단시간 내에 마스크 패턴(130)을 제거할 수 있으므로, 기판(110)을 분리한 후에 에피층(150)을 소자영역(200)으로 분리할 수 있다. 따라서, 기판 분리 시에 전체 에피층(150)의 테두리 부분에만 치핑과 같은 손상이 발생되고, 에피층(150)의 내측 부분에 위치하는 소자영역(200)들의 반도체층들(151, 153, 155)은 기판 분리 공정에서 손상되지 않는다. 그러므로, 상기 소자영역(200)으로부터 제조된 발광 다이오드 칩의 손상을 최소화할 수 있고, 효율 및 신뢰성 저하를 방지할 수 있다. 또한, 본 실시예에 따르면, 전체적인 공정 수율도 향상될 수 있다.
- [102] 이어서, 도 4의 (c)를 참조하면, 소자 영역(200)을 덮는 패시베이션층(195) 및 전극(190)을 형성한다.
- [103] 패시베이션층(195)은 소자 영역(200)을 외부로부터 보호한다. 패시베이션층(195)은 소자 영역(200)의 표면을 따라 형성될 수 있고, 나아가, 러프니스(R) 상에 형성된 패시베이션층(195) 부분은 러프니스(R)보다 완만한 형태로 형성될 수 있다.
- [104] 상기 패시베이션층(195)은 TiO_2 , Al_2O_3 , 또는 SiN_x 를 포함할 수 있으며, 또한, SiO_2 또는 SiN_x 를 포함하는 다층 구조로 형성될 수 있다. 또한, 소자 영역(200)의 측면에 위치하는 패시베이션층(195)은 SiO_2 와 TiO_2 를 반복하여 적층한 DBR(Distributed Bragg Reflector)로 형성될 수 있다. 이 경우, 상기 DBR에 의해 광이 반사될 수 있으며, 따라서 대부분의 광은 소자 영역(200)의 상면을 통해서 외부로 방출될 수 있다.
- [105] 한편, 전극(190)은 제1 절화물 반도체층(151) 상에 형성될 수 있다. 나아가, 전극(190)을 형성하기 전에, 패시베이션층(195)의 일부 영역을 제거하여 소자 영역(200)을 노출시켜 전극 형성 영역을 형성할 수 있다. 전극(190)은 전극 패드 및 전극 연장부를 포함할 수 있으며, 이에 따라 전류 분산 효과를 개선시킬 수 있다.
- [106] 도 5를 참조하면, 소자영역 분리홈(210) 아래에 위치하는 지지 기판(180), 금속층(160) 및 본딩층(170)의 부분을 분할하면, 적어도 하나의 발광 다이오드 칩(300)이 제공된다. 지지 기판(180), 금속층(160) 및 본딩층(170)은 레이저 스크라이빙 등을 이용하여 분할될 수 있다.
- [107] 도 6 내지 도 10은 본 발명의 또 다른 실시예에 따른 기판 분리 방법 및 반도체 소자 제조 방법을 설명하기 위한 단면도들이다.

- [108] 도 6 내지 도 10을 참조하여 설명하는 기판 분리 방법 및 반도체 소자 제조 방법(이하, 실시예 2)은, 도 1 내지 도 5를 참조하여 설명한 실시예(이하, 실시예 1)와 대체로 유사하다. 이하, 양 실시예에 있어서의 차이점을 중심으로 설명한다.
- [109] 도 6을 참조하면, 기판(110) 상에 마스크 영역(135)과 오프닝 영역(137)을 갖는 마스크 패턴(130)을 형성한다. 나아가, 상기 마스크 패턴(130)을 형성하기 전에, 기판(110) 상에 버퍼층(125)을 더 형성할 수 있다.
- [110] 본 실시예의 기판 분리 방법 및 반도체 소자 제조 방법은, 실시예 1과 달리 희생층(120)을 형성하는 것을 포함하지 않는다. 또한, 희생층(120)을 형성하지 않으므로, 희생층(120)을 부분적으로 식각하여 미세 공동을 형성하는 것 역시 포함하지 않는다.
- [111] 구체적으로, 도 6의 (a)를 참조하면, 기판(110) 상에 버퍼층(125)을 형성할 수 있다.
- [112] 상기 버퍼층(125)은 저온 버퍼층과 고온 버퍼층을 포함할 수 있다. 또한, 후술하는 에피층(150) 성장에 있어서, 버퍼층(125)은 시드층으로 이용될 수 있다.
- [113] 이어서, 도 6의 (b) 및 (c)를 참조하면, 제1 마스크부(132) 및 제2 마스크부(134)를 형성하여 마스크 패턴(130)을 형성한다. 마스크 패턴(130)의 형성 방법은 실시예 1에서 설명한 것과 대체로 동일하므로, 이하 상세한 설명은 생략한다.
- [114] 다만, 본 실시예 2는 공동(145)을 형성하지 않으므로, 오프닝 영역(137)의 폭(L)을 조절하여 에피층(150)의 형성 및 기판 분리를 더욱 용이하게 할 수 있다. 후속 공정에 있어서, 오프닝 영역(137)은 에피층(150) 성장의 시드로 역할할 수 있고, 또한, 마스크 패턴(130) 제거 후에 에피층(150)과 기판(110)을 접합하는 역할을 할 수 있다. 그러므로, 먼저, 오프닝 영역(137)은 에피층(150)이 성장되도록 시드로서 기능할 수 있는 정도의 폭을 갖는 것이 바람직하다. 이에 더하여, 마스크 패턴(130) 제거 후에, 기판(110)을 에피층(150)으로부터 용이하게 분리하기 위하여 접합 면적이 최소화되는 것이 바람직하다. 따라서, 오프닝 영역(137)의 폭(L)은 0.5 내지 2 μm 로 형성될 수 있으며, 나아가, 약 1 μm 로 형성될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [115] 도 7의 (a)를 참조하면, 버퍼층(125) 상에 마스크 패턴(130)을 덮는 에피층(150)을 형성한다. 상기 에피층(150)은 제1 질화물 반도체층(151), 활성층(153) 및 제2 질화물 반도체층(155)을 포함할 수 있다. 이어서, 도 7의 (b)를 참조하면, 에피층(150) 상에 금속층(160) 및 지지 기판(180)을 형성할 수 있고, 나아가, 금속층(160)과 지지 기판(180) 사이에 본딩층(170)을 더 형성할 수 있다.
- [116] 도 7의 과정은 도 2 및 도 3을 참조하여 설명한 것과 대체로 동일하므로, 상세한 설명은 생략한다.
- [117] 다음, 도 8의 (a) 및 (b)를 참조하면, 제1 식각 용액을 이용하여 제1 마스크부(132)를 제거하고, 이어서, 제2 식각 용액을 이용하여 제2 마스크부(134)를 제거한다. 이 후, 도 8의 (c)를 참조하면, 기판(110)을

에피층(150)으로부터 분리한다. 특히, 본 실시예는 희생층(120) 및 공동(145)을 포함하지 않으므로, 기판(110)을 에피층(150)으로부터 분리하는 것은, 기판(110)과 에피층(150) 사이에 응력을 가하는 것을 더 포함할 수 있다.

[118] 상기 마스크 패턴(130)을 화학 식각하여 제거하는 것은, 실시예 1에서 설명한 바와 대체로 동일하므로, 상세한 설명은 생략한다.

[119] 도 9 및 도 10을 참조하면, 기판이 분리된 에피층(150) 상에 러프니스(R)를 형성하고, 에피층(150)을 패터닝하여 소자 영역(200)으로 분할한다. 이 후, 소자 영역(200)을 덮는 패시베이션층(195) 및 전극(190)을 형성하고, 소자영역 분리홈(210) 아래에 위치하는 지지 기판(180), 금속층(160) 및 본딩층(170)의 부분을 분할한다. 이에 따라, 적어도 하나의 발광 다이오드 칩(300)이 제공된다. 상기 과정은 도 4 및 도 5를 참조하여 설명한 것과 대체로 동일하므로, 상세한 설명은 생략한다.

[120] 본 실시예에 따르면, 전기화학식각에 의해 희생층을 부분적으로 식각하지 않고도, 제1 마스크부(132) 및 제2 마스크부(134)를 포함하는 마스크 패턴(130)을 이용하여 상대적으로 크기가 증가된 공동을 용이하게 형성할 수 있다. 이에 따라, 기판 분리 시간이 단축되어 대면적으로 기판을 분리할 수 있다. 또한, 재현성이 떨어지는 전기화학식각 공정을 이용하지 않으므로, 공동 형성에 있어서 공정의 재현성이 개선될 수 있다.

[121] 이상, 도 1 내지 도 10를 참조하여 설명한 실시예들에서, 기판(110)을 에피층(150)으로부터 분리한 후, 에피층(150)을 패터닝하여 소자 영역(200)으로 분할하는 것으로 설명하였다. 다만, 본 발명은 이에 한정되지 않으며, 기판 분리 전에 에피층(150)을 패터닝하는 것을 더 포함할 수 있다.

[122] 예를 들어, 도 11에 도시된 바와 같이, 기판(110)을 분리하기 전에 에피층(150)을 패터닝하여 적어도 하나의 영역 분리홈(220)을 형성하는 것을 더 포함할 수 있다. 이에 따라, 에피층(150)은 복수의 반도체 구조체 영역(400)으로 분할될 수 있다.

[123] 영역 분리홈(220)의 스케일은 상기 공동(145)의 스케일에 비해 현저하게 크므로, 이후의 기판 분리 공정에서 식각 용액의 이동 채널이 추가로 확보될 수 있다. 따라서, 상기 영역 분리홈(220)을 통해 식각 용액이 용이하게 기판 전체로 침투될 수 있어서 기판 분리 공정이 용이해질 수 있다.

[124] 복수의 반도체 구조체 영역(400)은 다양한 형태로 형성될 수 있고, 또한 다양한 크기를 가질 수 있다. 예를 들어, 도 10의 (a) 및 (b)에 도시된 것과 같이, 영역 분리홈(220)이 복수로 서로 평행하게 형성될 수 있고, 또는 복수로 서로 교차하여 형성될 수도 있다. 다만, 복수의 반도체 구조체 영역(400)의 최소 크기는 이후 공정으로 형성되는 소자 영역(200)보다 큰 것이 바람직하다.

[125] 소자 영역(200)들은 반도체 구조체 영역(400)의 일부분이 제거됨으로써 형성되므로, 치핑 등의 손상이 생긴 부분은 소자 영역(200)으로 분할하는 패터닝 공정에 의하여 제거될 수 있다. 이에 따라, 소자 영역(200)의 반도체층들(151,

153, 155)은 손상되지 않아서 발광 다이오드 칩(300)의 불량을 최소화할 수 있다. 특히, 반도체 구조체 영역(400)의 내측 부분으로부터 형성된 소자 영역(200)들은 더욱 손상되지 않는다. 따라서, 본 실시예에 따르면, 발광 다이오드 칩 제조 공정 수율을 개선시킬 수 있다.

- [126] 이상에서, 본 발명의 다양한 실시예들에 대하여 설명하였지만, 상술한 다양한 실시예들 및 특징들에 본 발명이 한정되는 것은 아니고, 본 발명의 특허청구범위에 의한 기술적 사상을 벗어나지 않는 범위 내에서 다양한 변형과 변경이 가능하다.

청구범위

- [청구항 1] 기판을 준비하고;
 상기 기판 상에 희생층을 형성하고;
 상기 희생층 상에 마스크링 영역과 오프닝 영역을 갖는 마스크 패턴을 형성하고;
 상기 희생층을 부분적으로 식각하여 상기 희생층 내에 미세 공동을 형성하고;
 상기 희생층 상에 상기 마스크 패턴을 덮는 에피층을 형성하고;
 상기 기판을 상기 에피층으로부터 분리하는 것을 포함하고,
 상기 마스크 패턴의 마스크링 영역은 제1 마스크링부 및 제2 마스크링부를 포함하며, 상기 제1 마스크링부 및 제2 마스크링부는 서로 다른 물질을 포함하는 기판 분리 방법.
- [청구항 2] 청구항 1에 있어서,
 상기 마스크 패턴을 형성하는 것은,
 상기 희생층 상에 부분적으로 제1 마스크링부를 형성하고,
 상기 제1 마스크링부를 덮는 제2 마스크링부를 형성하는 것을 포함하는 기판 분리 방법.
- [청구항 3] 청구항 2에 있어서,
 상기 제2 마스크링부는 제1 마스크링부의 상면 및 측면을 덮는 기판 분리 방법.
- [청구항 4] 청구항 3에 있어서,
 상기 제2 마스크링부의 적어도 일부는 상기 제1 마스크링부로부터 연장하여 상기 희생층 상면을 덮는 기판 분리 방법.
- [청구항 5] 청구항 2에 있어서,
 상기 제1 마스크링부는 상기 제2 마스크링부에 의해 상기 에피층으로부터 이격된 기판 분리 방법.
- [청구항 6] 청구항 1에 있어서,
 상기 제1 마스크링부는 금속을 포함하고,
 상기 제2 마스크링부는 절연 물질을 포함하는 기판 분리 방법.
- [청구항 7] 청구항 6에 있어서,
 상기 금속은 Ti 및 Cr 중 적어도 하나를 포함하고,
 상기 절연 물질은 SiO_2 를 포함하는 기판 분리 방법.
- [청구항 8] 청구항 1에 있어서,
 상기 희생층을 부분적으로 식각하는 것은 전기화학식각(ECE)을 이용하는 것을 포함하는 기판 분리 방법.
- [청구항 9] 청구항 1에 있어서,
 상기 기판을 상기 에피층으로부터 분리하는 것은,

- 제1 식각 용액을 이용하여 제1 마스크부를 식각하고,
제2 식각 용액을 이용하여 제2 마스크부를 식각하는 것을
포함하는 기판 분리 방법.
- [청구항 10] 청구항 9에 있어서,
상기 제1 식각 용액에 의한 상기 제1 마스크부의 식각률은 상기
제2 식각 용액에 의한 상기 제2 마스크부의 식각률보다 빠른 기판
분리 방법.
- [청구항 11] 청구항 9에 있어서,
상기 제1 식각 용액은 HCl 및 H₂SO₄ 중 적어도 하나를 포함하고,
상기 제2 식각 용액은 HF 및 BOE(Buffered Oxide Etchant) 중
적어도 하나를 포함하는 기판 분리 방법.
- [청구항 12] 기판을 준비하고;
상기 기판 상에 마스크 영역과 오프닝 영역을 갖는 마스크 패턴을
형성하고;
상기 기판 상에 상기 마스크 패턴을 덮는 에피층을 형성하고;
상기 기판을 상기 에피층으로부터 분리하는 것을 포함하고,
상기 마스크 패턴의 마스크 영역은 제1 마스크부 및 제2
마스크부를 포함하며, 상기 제1 마스크부 및 제2 마스크부는 서로
다른 물질을 포함하는 기판 분리 방법.
- [청구항 13] 청구항 12에 있어서,
상기 마스크 패턴을 형성하는 것은,
상기 기판 상에 부분적으로 제1 마스크부를 형성하고,
상기 제1 마스크부를 덮는 제2 마스크부를 형성하는 것을
포함하는 기판 분리 방법.
- [청구항 14] 청구항 13에 있어서,
상기 제2 마스크부는 제1 마스크부의 상면 및 측면을 덮는 기판
분리 방법.
- [청구항 15] 청구항 13에 있어서,
상기 기판을 상기 에피층으로부터 분리하는 것은,
제1 식각 용액을 이용하여 제1 마스크부를 식각하고, 제2 식각
용액을 이용하여 제2 마스크부를 식각하는 것을 포함하는 기판
분리 방법.
- [청구항 16] 청구항 15에 있어서,
상기 기판을 상기 에피층으로부터 분리하는 것은,
상기 마스크 패턴을 화학 식각한 후에, 상기 기판과 상기 에피층
사이에 응력을 가하는 것을 더 포함하는 기판 분리 방법.
- [청구항 17] 청구항 12에 있어서,
상기 마스크 영역은 3 내지 10 μ m의 폭을 갖는 기판 분리 방법.

- [청구항 18] 청구항 17에 있어서,
상기 에피층은, 상기 오프닝 영역으로부터 수직 성장 및 측면 성장되고,
상기 수직 성장 속도와 상기 측면 성장 속도의 비율은 1:2 내지 1:1의 범위를 갖는 기판 분리 방법.
- [청구항 19] 청구항 12에 있어서,
상기 오프닝 영역은 0.5 내지 2 μ m의 폭을 갖는 기판 분리 방법.
- [청구항 20] 청구항 12에 있어서,
상기 마스크 패턴을 형성하기 전에, 상기 기판 상에 버퍼층을 형성하는 것을 더 포함하는 기판 분리 방법.
- [청구항 21] 기판을 준비하고;
상기 기판 상에 마스크 영역과 오프닝 영역을 갖는 마스크 패턴을 형성하고;
상기 기판 상에 상기 마스크 패턴을 덮는 에피층을 형성하고;
상기 에피층 상에 지지 기판을 형성하고;
상기 기판을 상기 에피층으로부터 분리하는 것을 포함하고,
상기 마스크 패턴의 마스크 영역은 제1 마스크부 및 제2 마스크부를 포함하며, 상기 제1 마스크부 및 제2 마스크부는 서로 다른 물질을 포함하는 반도체 소자 제조 방법.
- [청구항 22] 청구항 21에 있어서,
상기 마스크 패턴을 형성하는 것은,
상기 기판 상에 부분적으로 제1 마스크부를 형성하고,
상기 제1 마스크부를 덮는 제2 마스크부를 형성하는 것을 포함하는 반도체 소자 제조 방법.
- [청구항 23] 청구항 22에 있어서,
상기 기판을 상기 에피층으로부터 분리하는 것은,
제1 식각 용액을 이용하여 제1 마스크부를 식각하고,
제2 식각 용액을 이용하여 제2 마스크부를 식각하는 것을 포함하는 반도체 소자 제조 방법.
- [청구항 24] 청구항 23에 있어서,
상기 기판을 상기 에피층으로부터 분리하기 전에,
상기 에피층을 패터닝하여 적어도 하나의 영역 분리홈을 형성하는 것을 더 포함하고, 상기 에피층은 상기 적어도 하나의 영역 분리홈에 의해 복수의 반도체 구조체 영역으로 분할되는 반도체 소자 제조 방법.
- [청구항 25] 청구항 24에 있어서,
상기 기판을 상기 에피층으로부터 분리한 후에,
상기 복수의 반도체 구조체 영역을 패터닝하여 적어도 하나의

[청구항 26]

소자 영역 분리홈을 형성하는 것을 더 포함하고, 상기 반도체 구조체 영역은 상기 적어도 하나의 소자 영역 분리홈에 의해 적어도 하나의 소자 영역으로 분할되는 반도체 소자 제조 방법.

청구항 21에 있어서,

상기 기판을 상기 에피층으로부터 분리한 후에,

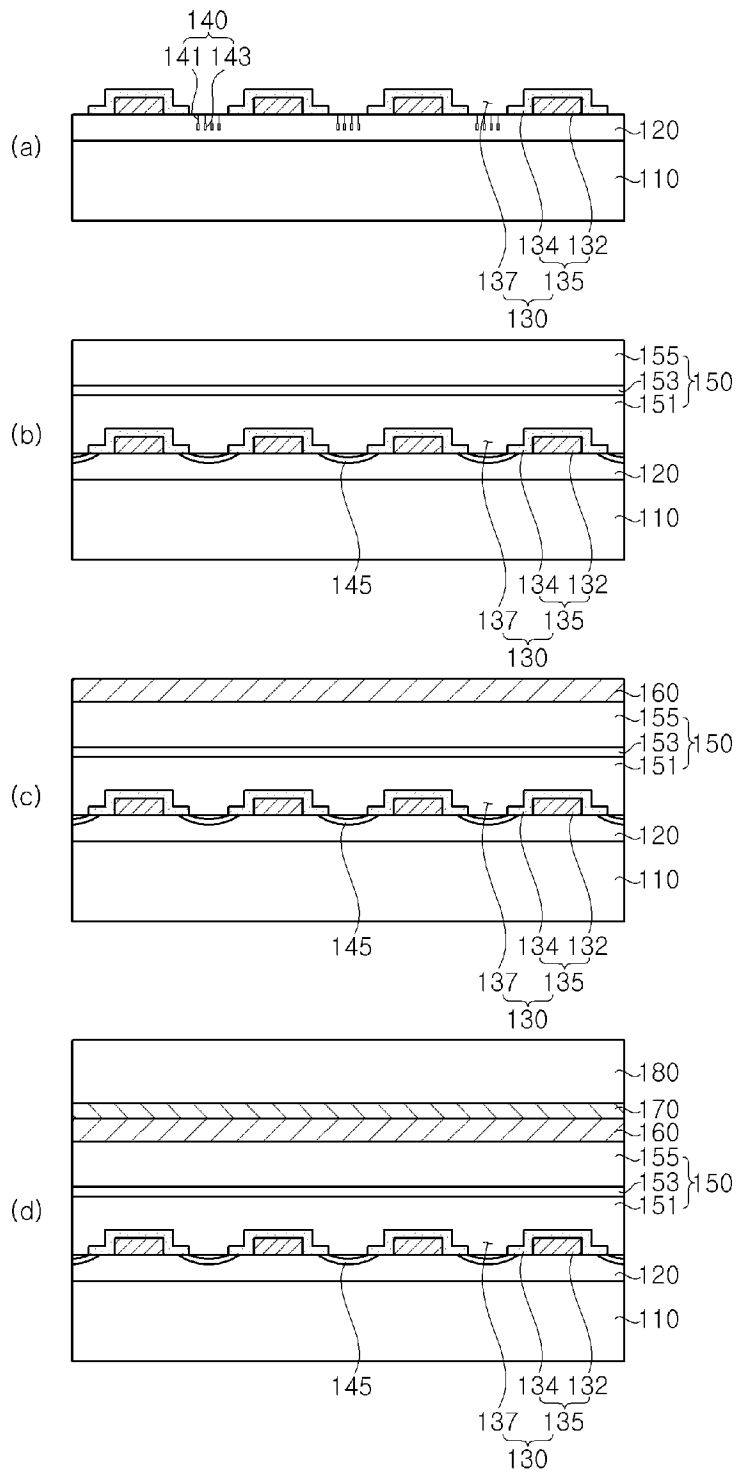
상기 에피층을 패터닝하여 적어도 하나의 소자 영역 분리홈을 형성하는 것을 더 포함하고, 상기 에피층은 상기 적어도 하나의 소자 영역 분리홈에 의해 적어도 하나의 소자 영역으로 분할되는 반도체 소자 제조 방법.

[청구항 27]

청구항 25 또는 청구항 26에 있어서,

상기 소자 영역 분리홈 아래 부분의 지지 기판을 분할하여 적어도 하나의 발광 다이오드 칩을 형성하는 것을 더 포함하는 반도체 소자 제조 방법.

[Fig. 2]



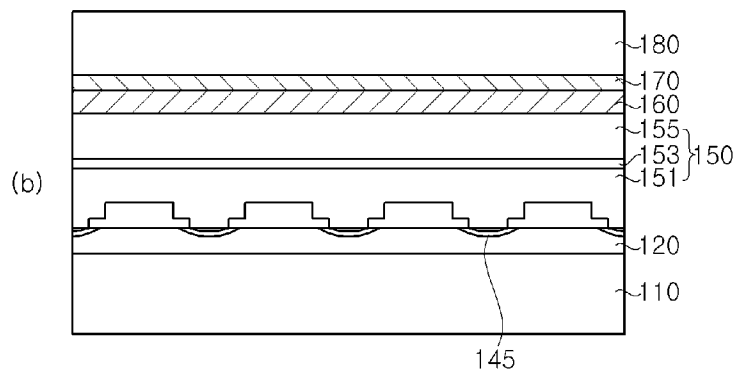
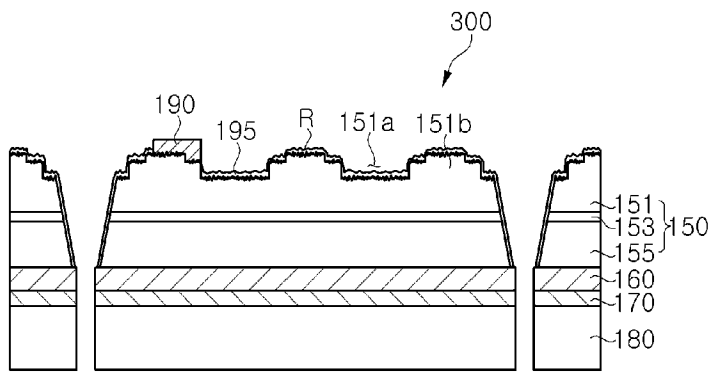


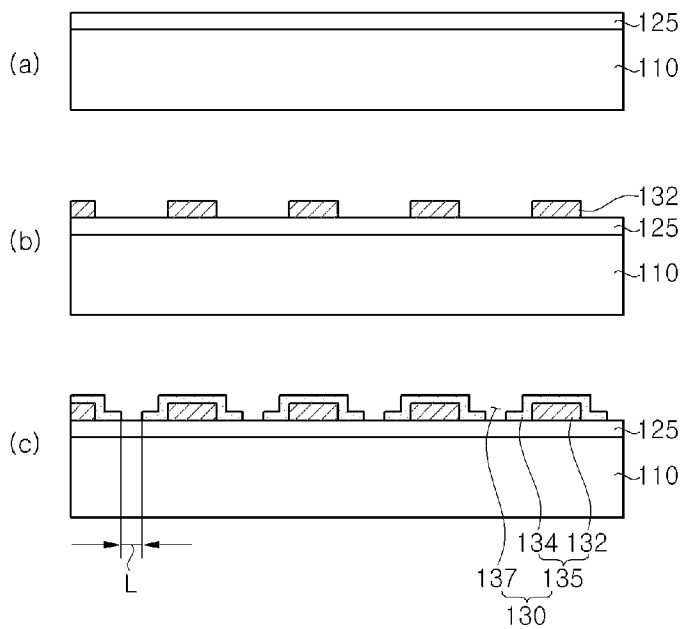
Figure 1 consists of three cross-sectional views of a semiconductor device, labeled (a), (b), and (c), showing the progression of a manufacturing process.

- View (a):** Shows a substrate 180 with a stack of layers 170, 160, 155, 153, and 151. A patterned layer 150 is formed on top of layer 151. The pattern 150 has a central region 151a and side regions 151b, separated by a gap 151. A recessed region 210 is formed in the pattern 150.
- View (b):** Shows the same structure as (a), but with a new layer 190 deposited on top of the pattern 150. The layer 190 is thicker in the recessed region 210 than in the raised regions 151a and 151b.
- View (c):** Shows the structure after the layer 190 has been etched back. The etched layer 190 forms a new pattern 195 on top of the pattern 150. The recessed region 210 is now filled with the layer 190. The central region 151a and side regions 151b are still present, and the gap 151 is also filled with the layer 190.

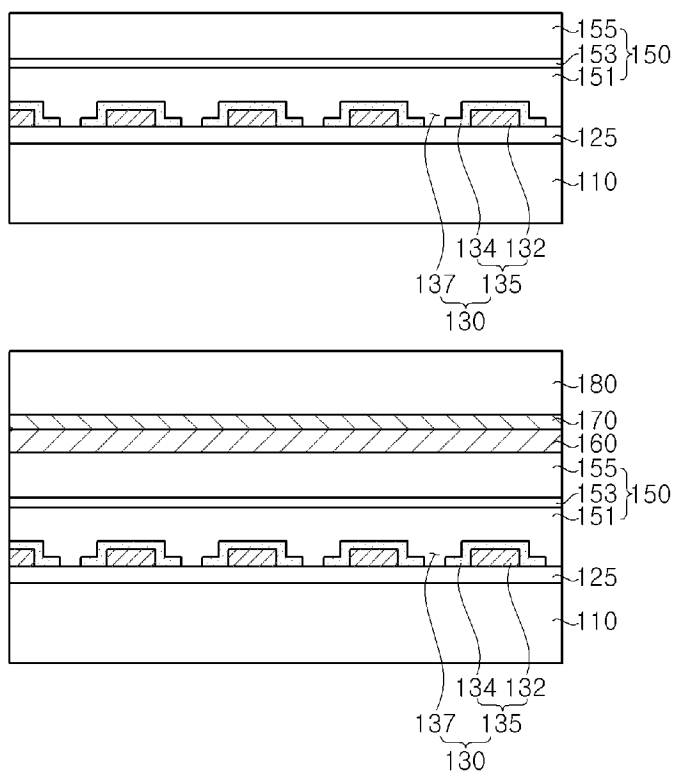
[Fig. 5]



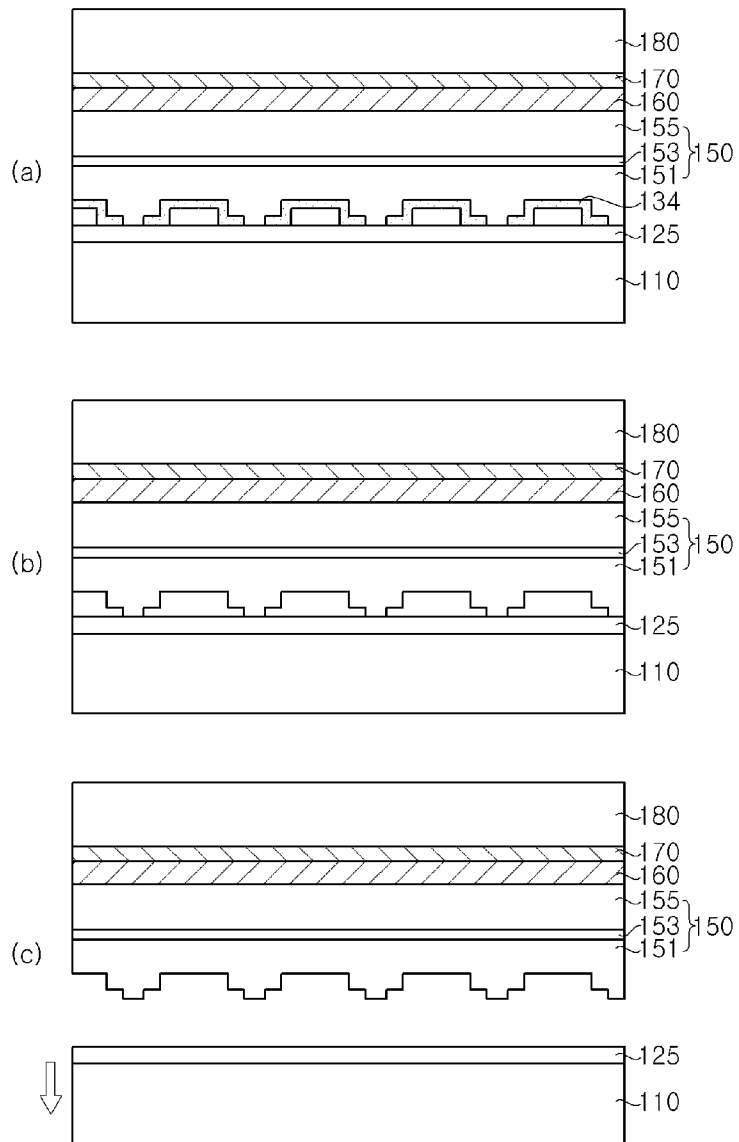
[Fig. 6]



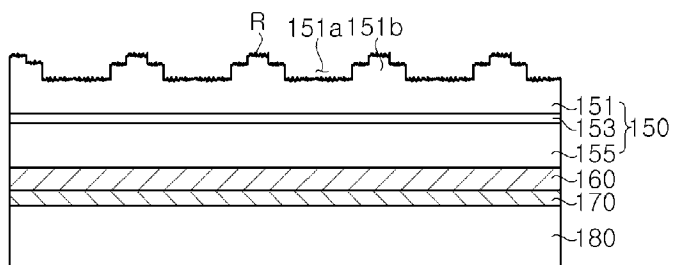
[Fig. 7]



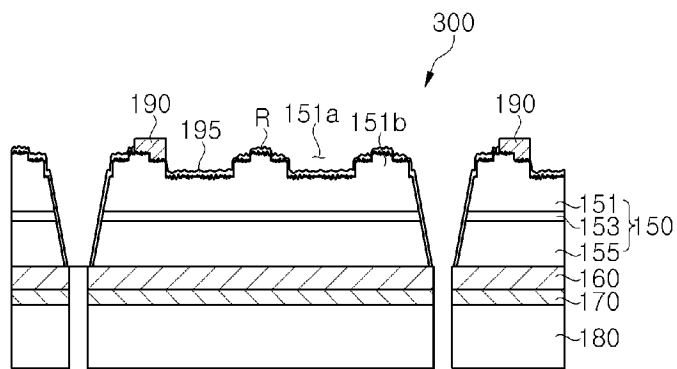
[Fig. 8]



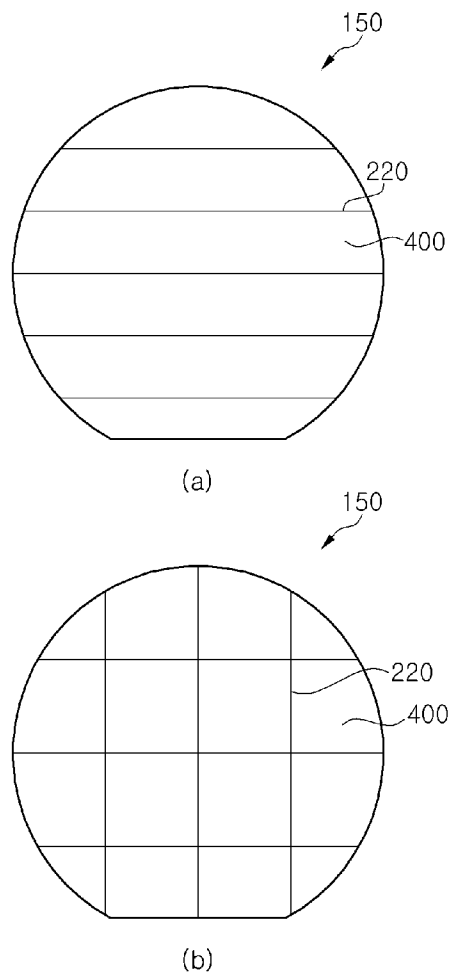
[Fig. 9]



[Fig. 10]



[Fig. 11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2013/011080**A. CLASSIFICATION OF SUBJECT MATTER*****H01L 21/20(2006.01)i, H01L 33/12(2010.01)i, H01L 33/22(2010.01)i***

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 21/20; H01L 21/56; H01L 21/50; H01L 21/30; H01L 29/78; H01L 27/15; H01L 33/00; H01L 31/18; H01L 33/12; H01L 33/22

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: substrate, sacrificial layer, masking, epitaxial layer, separation, second masking material, LED

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2010-0317132 A1 (ROGERS, John A. et al.) 16 December 2010 See abstract, paragraphs [0526]-[0530] and figures 84-88.	1-27
A	US 2010-0062551 A1 (CHEN, Ding-Yuan et al.) 11 March 2010 See abstract, paragraphs [0016]-[0037] and figures 1-6.	1-27
A	KR 10-2005-0107848 A (OPTICIS CO., LTD.) 16 November 2005 See abstract, pages 3-5 and claims 1-9.	1-27
A	US 2008-0108171 A1 (ROGERS, John A. et al.) 08 May 2008 See abstract, paragraphs [0092]-[0098] and figures 2A-3A.	1-27
A	US 2012-0261751 A1 (CHAO, Kou-Liang et al.) 18 October 2012 See abstract, paragraphs [0019]-[0037] and figures 2A-2P.	1-27



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

21 MARCH 2014 (21.03.2014)

Date of mailing of the international search report

24 MARCH 2014 (24.03.2014)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2013/011080

Patent document cited in search report	Publication date	Patent family member	Publication date
US 2010-0317132 A1	16/12/2010	EP 2430652 A1 KR 10-2012-0065273 A WO 2010-132552 A1	21/03/2012 20/06/2012 18/11/2010
US 2010-0062551 A1	11/03/2010	CN 101673800 A CN 101673800 B TW 201014000 A TW 1401823 B US 2012-0298956 A1 US 8236583 B2 US 8486730 B2	17/03/2010 18/04/2012 01/04/2010 11/07/2013 29/11/2012 07/08/2012 16/07/2013
KR 10-2005-0107848 A	16/11/2005	NONE	
US 2008-0108171 A1	08/05/2008	CN 101517700 A EP 2064734 A2 JP 2010-504649 A JP 5319533 B2 KR 10-2009-0078803 A TW 200832513 A US 2011-0171813 A1 US 2011-0316120 A1 US 7932123 B2 WO 2008-036837 A2 WO 2008-036837 A3	26/08/2009 03/06/2009 12/02/2010 16/10/2013 20/07/2009 01/08/2008 14/07/2011 29/12/2011 26/04/2011 27/03/2008 14/05/2009
US 2012-0261751 A1	18/10/2012	TW 201242035 A	16/10/2012

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 21/20(2006.01)i, H01L 33/12(2010.01)i, H01L 33/22(2010.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 21/20; H01L 21/56; H01L 21/50; H01L 21/30; H01L 29/78; H01L 27/15;
H01L 33/00; H01L 31/18; H01L 33/12; H01L 33/22

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보
일본등록실용신안공보 및 일본공개실용신안공보

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 기관, 회생증, 마스크, 에피층, 분리, 제2 마스크 물질, 엘이디

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	US 2010-0317132 A1 (JOHN A. ROGERS et al.) 2010.12.16 요약, 문단번호 [0526]-[0530] 및 도면 84-88 참조.	1-27
A	US 2010-0062551 A1 (DING-YUAN CHEN et al.) 2010.03.11 요약, 문단번호 [0016]-[0037] 및 도면 1-6 참조.	1-27
A	KR 10-2005-0107848 A (옵티시스 주식회사) 2005.11.16 요약, 페이지 3-5 및 청구항 1-9 참조.	1-27
A	US 2008-0108171 A1 (JOHN A. ROGERS et al.) 2008.05.08 요약, 문단번호 [0092]-[0098] 및 도면 2A-3A 참조.	1-27
A	US 2012-0261751 A1 (KOU-LIANG CHAO et al.) 2012.10.18 요약, 문단번호 [0019]-[0037] 및 도면 2A-2P 참조.	1-27

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2014년 03월 21일 (21.03.2014)

국제조사보고서 발송일

2014년 03월 24일 (24.03.2014)

ISA/KR의 명칭 및 우편주소

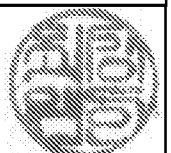
 대한민국 특허청
(302-701) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-472-7140

심사관

최상원

전화번호 +82-42-481-8291



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
US 2010-0317132 A1	2010/12/16	EP 2430652 A1 KR 10-2012-0065273 A WO 2010-132552 A1	2012/03/21 2012/06/20 2010/11/18
US 2010-0062551 A1	2010/03/11	CN 101673800 A CN 101673800 B TW 201014000 A TW I401823 B US 2012-0298956 A1 US 8236583 B2 US 8486730 B2	2010/03/17 2012/04/18 2010/04/01 2013/07/11 2012/11/29 2012/08/07 2013/07/16
KR 10-2005-0107848 A	2005/11/16	없음	
US 2008-0108171 A1	2008/05/08	CN 101517700 A EP 2064734 A2 JP 2010-504649 A JP 5319533 B2 KR 10-2009-0078803 A TW 200832513 A US 2011-0171813 A1 US 2011-0316120 A1 US 7932123 B2 WO 2008-036837 A2 WO 2008-036837 A3	2009/08/26 2009/06/03 2010/02/12 2013/10/16 2009/07/20 2008/08/01 2011/07/14 2011/12/29 2011/04/26 2008/03/27 2009/05/14
US 2012-0261751 A1	2012/10/18	TW 201242035 A	2012/10/16