(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3647712号
(P3647712)
(45)発行日　平成17年5月18日(2005.5.18)　(24)登録日　平成17年2月18日(2005.2.18)

(51)Int.Cl.[7]　F I
H01P 1/185　H01P 1/185
H03H 7/20　H03H 7/20 H

請求項の数 3　(全 6 頁)

(21)出願番号　特願2000-94375(P2000-94375)
(22)出願日　平成12年3月30日(2000.3.30)
(65)公開番号　特開2001-284904(P2001-284904A)
(43)公開日　平成13年10月12日(2001.10.12)
審査請求日　平成15年2月28日(2003.2.28)

(73)特許権者　000006013
三菱電機株式会社
東京都千代田区丸の内二丁目２番３号
(74)代理人　100057874
弁理士　曾我　道照
(74)代理人　100110423
弁理士　曾我　道治
(74)代理人　100071629
弁理士　池谷　豊
(74)代理人　100084010
弁理士　古川　秀利
(74)代理人　100094695
弁理士　鈴木　憲七
(74)代理人　100081916
弁理士　長谷　正久

最終頁に続く

(54)【発明の名称】移相器

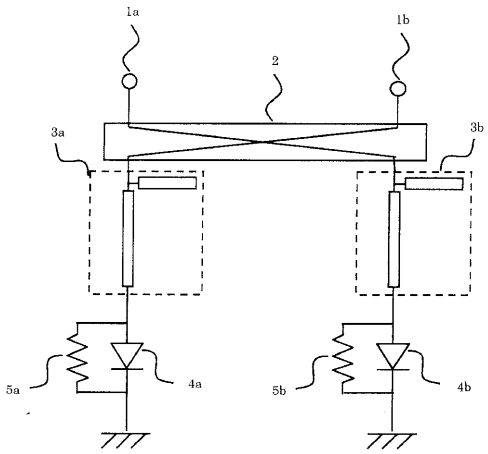
(57)【特許請求の範囲】
【請求項１】
ハイブリッドカプラと、
前記ハイブリッドカプラの第一の端子に接続された第一の半導体素子と、
前記ハイブリッドカプラの第一の端子に対してアイソレートされる第二の端子に接続された第二の半導体素子と
を備え、前記ハイブリッドカプラの半導体素子が接続されていない第三と第四の端子を入出力端子にした移相器において、
前記第一と第二の半導体素子に抵抗をそれぞれ並列接続したことを特徴とする移相器。
【請求項２】
前記抵抗にキャパシタを直列接続し、当該直列接続体を前記第一と第二の半導体素子にそれぞれ並列接続したことを特徴とする請求項１に記載の移相器。
【請求項３】
前記半導体素子として、ダイオードまたはＦＥＴを用いたことを特徴とする請求項１または２に記載の移相器。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は、マイクロ波帯、ミリ波帯で信号の位相を電気的に変化させる移相器に関するものである。

【０００２】
【従来の技術】
図５は例えば、昭和５１年電子通信学会総合大会予稿集pp．3-121に示された従来の移相器である。
図５において、１ａ、１ｂは入出力端子、２はハイブリッドカプラ、３ａ、３ｂは整合回路、４ａ、４ｂは半導体素子である。
また、図６は、例えば半導体素子４ａに順バイアスを印加したＯＮ時と逆バイアスを印加したＯＦＦ時の高周波等価回路である。なお、半導体素子４ａが接続されるハイブリッドカプラ２の端子とはアイソレーションされる端子に接続される半導体素子４ｂも同様な等価回路が形成される。
【０００３】
次に動作について説明する。
入出力端子１ａから入力した高周波信号は、３ｄＢハイブリッドカプラ２にて等振幅、９０度位相差で２分配される。２分配された一方の高周波信号は、整合回路３ａを介して半導体素子４ａに入力され、他方の高周波信号は、整合回路３ｂを介して半導体素子４ｂに入力される。
【０００４】
半導体素子４ａ、４ｂがＯＮの場合、半導体素子４ａ、４ｂは、図６（ａ）に示すように、小さい抵抗とみなすことができるため、整合回路３ａ、３ｂの先端は小さい抵抗で接地されている。
他方、半導体素子４ａ、４ｂがＯＦＦの場合、半導体素子４ａ、４ｂは、図６（ｂ）に示すように、容量とみなすことができるため、整合回路３ａ、３ｂの先端はキャパシタを介して接地されている。
半導体素子４ａ、４ｂをＯＮ／ＯＦＦすることにより、ハイブリッドカプラ２側から見た整合回路３ａ、３ｂのインピーダンスが異なり、反射位相が変化する。
【０００５】
整合回路３ａ、３ｂで反射した高周波信号は、ハイブリッドカプラ２に再度入力され、ハイブリッドカプラ２内で、整合回路３ａからの高周波信号と整合回路３ｂからの高周波信号は合成され、入出力端子１ｂから出力される。
このように、半導体素子４ａ、４ｂをＯＮ／ＯＦＦさせることにより、入出力端子１ｂから出力される高周波信号の位相を変化させることが出きる。
【０００６】
【発明が解決しようとする課題】
しかしながら、上述した従来の移相器においては、半導体素子４ａ、４ｂをＯＮにした場合の半導体素子４ａ、４ｂで発生する損失と、半導体素子４ａ、４ｂをＯＦＦにした場合の半導体素子４ａ、４ｂで発生する損失とが異なるために、移相切替時に振幅変化が大きいという問題点があった。
【０００７】
この発明は上記のような問題点を解決するためになされたもので、移相切替時の振幅変化を小さくすることができる移相器を得ることを目的とする。
【０００８】
【課題を解決するための手段】
この発明に係る移相器は、ハイブリッドカプラと、前記ハイブリッドカプラの第一の端子に接続された第一の半導体素子と、前記ハイブリッドカプラの第一の端子に対してアイソレートされる第二の端子に接続された第二の半導体素子とを備え、前記ハイブリッドカプラの半導体素子が接続されていない第三と第四の端子を入出力端子にした移相器において、前記第一と第二の半導体素子に抵抗をそれぞれ並列接続したことを特徴とするものである。
【０００９】
また、前記抵抗にキャパシタを直列接続し、当該直列接続体を前記第一と第二の半導体素

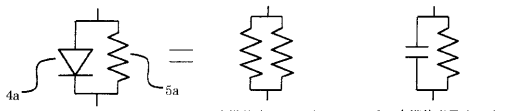
子にそれぞれ並列接続したことを特徴とするものである。
【００１０】
さらに、前記半導体素子として、ダイオードまたはＦＥＴを用いたことを特徴とするものである。
【００１１】
【発明の実施の形態】
実施の形態１.
図１は、この発明の実施の形態１に係る移相器を示す構成図である。
図１において、１ａ、１ｂは入出力端子、２はハイブリッドカプラ、３ａ、３ｂは整合回路、４ａ、４ｂは半導体素子、５ａ、５ｂは抵抗である。
また、図２は、例えば半導体素子４ａに順バイアスを印加したＯＮ時と逆バイアスを印加したＯＦＦ時の半導体素子４ａと抵抗５ａの高周波等価回路図である。なお、半導体素子４ａと抵抗５ａが接続されるハイブリッドカプラ２の端子とはアイソレーションされる端子に接続される半導体素子４ｂと抵抗５ｂも同様な等価回路が形成される。
【００１２】
次に動作について説明する。
入出力端子１ａから入力した高周波信号は、３ｄＢハイブリッドカプラ２にて等振幅、９０度位相差で２分配される。２分配された一方の高周波信号は、整合回路３ａを介して半導体素子４ａと抵抗５ａに入力され、他方は整合回路３ｂを介して半導体素子４ｂと抵抗５ｂに入力される。
【００１３】
半導体素子４ａ、４ｂがＯＮの場合、半導体素子４ａ、４ｂは、図２（ａ）に示すように、小さい抵抗とみなすことができるため、整合回路３ａ、３ｂの先端は小さい等化抵抗と半導体素子４ａ、４ｂに並列接続した抵抗５ａ、５ｂで接地されている。
他方、半導体素子４ａ、４ｂがＯＦＦの場合、半導体素子４ａ、４ｂは、図２（ｂ）に示すように、容量とみなすことができるため、整合回路３ａ、３ｂの先端はキャパシタと半導体素子４ａ、４ｂに並列接続した抵抗５ａ、５ｂを介して接地されている。
半導体素子４ａ、４ｂをＯＮ／ＯＦＦすることにより、ハイブリッドカプラ２側から見た整合回路３ａ、３ｂのインピーダンスが異なり、反射位相が変化する。
【００１４】
整合回路３ａ、３ｂで反射した高周波信号は、ハイブリッドカプラ２に再度入力され、ハイブリッドカプラ２内で、整合回路３ａからの高周波信号と整合回路３ｂからの高周波信号は合成され、入出力端子１ｂから出力される。
【００１５】
ここで、半導体素子４ａ、４ｂをＯＮ／ＯＦＦさせた場合、ハイブリッドカプラ２からみた整合回路３ａ、３ｂの反射位相が変化するために、入出力端子１ｂから出力される高周波信号の位相を変化させることができる。
また、半導体素子４ａ、４ｂがＯＮ状態での移相器の損失と、半導体素子４ａ、４ｂがＯＦＦ状態での移相器の損失とが等しくなるように、抵抗５ａ、５ｂの値を設定することにより、移相切り替え時の損失変動を低減することが可能になる。
【００１６】
実施の形態２.
上述した実施の形態１では、半導体素子４ａ、４ｂに並列に抵抗５ａ、５ｂを接続して、移相切り替え時の振幅差を低減するようにしたものであるが、半導体素子４ａ、４ｂのバイアス電圧が高い場合に、抵抗５ａ、５ｂに流れる電流により、消費電流が増加してしまう。このような場合に抵抗５ａ、５ｂに電流が流れないようにして、移相切り替え時の損失差を低減することができる実施の形態を示す。
【００１７】
図３は、このような場合の移相器の構成図である。
図３において、図１に示す実施の形態１と同一部分は同一符号を付してその説明は省略す

る。新たな符号として、６ａ、６ｂはキャパシタである。
【００１８】
ここで、半導体素子４ａ、４ｂをＯＮ／ＯＦＦさせた場合、ハイブリッドカプラ２からみた整合回路３ａ、３ｂの反射位相が変化するために、入出力端子１ｂから出力される高周波信号の位相を変化させることができる。また、半導体素子４ａ、４ｂがＯＮ状態での移相器の損失と、半導体素子４ａ、４ｂがＯＦＦ状態での移相器の損失とが等しくなるように、抵抗５ａ、５ｂの値を設定することにより、移相切り替え時の損失変動を低減することが可能になる。また、抵抗５ａ、５ｂと直列にキャパシタ６ａ、６ｂを接続したことにより、抵抗５ａ、５ｂに電流が流れることが無く、消費電力は増加しない。
【００１９】
実施の形態３.
上述した実施の形態１及び２では、半導体素子４ａ、４ｂとしてダイオードを用いたものであるが、ダイオード以外の半導体素子を用いても同様の効果を得ることができる。
【００２０】
図４は、半導体素子としてＦＥＴを用いた場合の実施の形態３に係る構成図である。
図４において、図３に示す実施の形態２と同一部分は同一符号を付してその説明は省略する。新たな符号として、７ａ、７ｂは半導体素子として用いられるＦＥＴであり、実施の形態２と同様な効果を奏する。
【００２１】
なお、上記各実施の形態では、ハイブリッドカプラ２、整合回路３ａ、３ｂ、半導体素子４ａ、４ｂまたは７ａ、７ｂ、抵抗５ａ、５ｂを個別に組み合わせた例について記しているが、上記のすべて、または一部を半導体基板上に一体化して作成しても同様の効果が得られる。
【００２２】
【発明の効果】
以上のように、この発明によれば、各半導体素子に抵抗をそれぞれ並列接続したので、位相切替時の損失変動を低減でき、振幅変化を小さくすることができる。
【００２３】
また、前記抵抗にキャパシタを直列接続した直列接続体を各半導体素子にそれぞれ並列接続したので、各半導体素子のバイアス電圧が高い場合に、抵抗に電流が流れないようにして、移相切り替え時の損失差を低減することができる。
【００２４】
さらに、前記半導体素子として、ダイオードまたはＦＥＴを用いて移相器を構成することができる。
【図面の簡単な説明】
【図１】　この発明の実施の形態１に係る移相器を示す構成図である。
【図２】　図１の例えば半導体素子４ａに順バイアスを印加したＯＮ時と逆バイアスを印加したＯＦＦ時の半導体素子４ａと抵抗５ａの高周波等価回路図である。
【図３】　この発明の実施の形態２に係る移相器を示す構成図である。
【図４】　この発明の実施の形態３に係る移相器を示す構成図である。
【図５】　従来例に係る移相器を示す構成図である。
【図６】　図５の例えば半導体素子４ａに順バイアスを印加したＯＮ時と逆バイアスを印加したＯＦＦ時の半導体素子４ａの高周波等価回路図である。
【符号の説明】
１ａ，１ｂ　入出力端子、２　ハイブリッドカプラ、３ａ，３ｂ　整合回路、４ａ，４ｂ　半導体素子（ダイオード）、５ａ，５ｂ　抵抗、６ａ，６ｂ　キャパシタ、７ａ，７ｂ　半導体素子（ＦＥＴ）。

【図１】

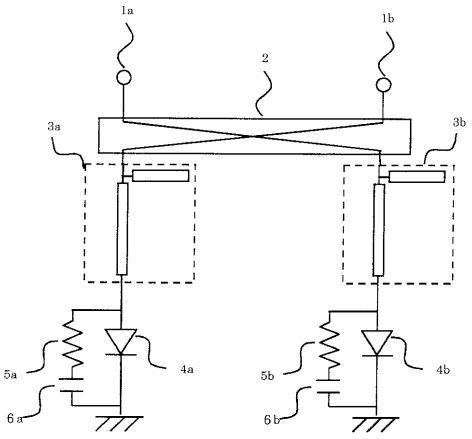


【図２】

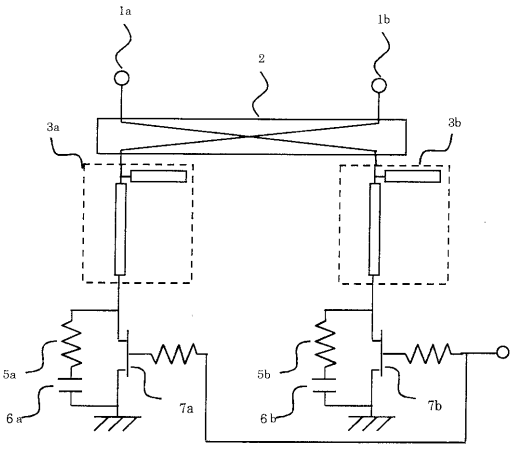


抵抗を並列に接続した
ダイオードの高周波等価回路

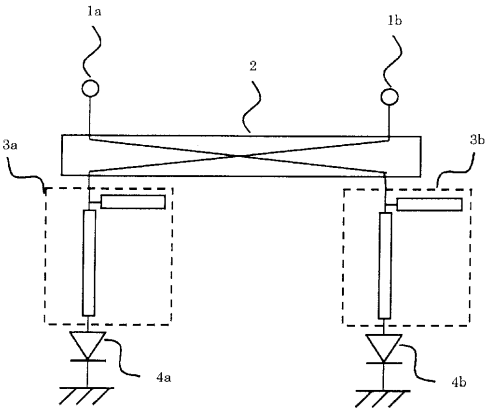
【図３】



【図４】



【図５】



【図６】



ダイオードの高周波等価回路

フロントページの続き

(74)代理人 100087985
弁理士 福井 宏司
(72)発明者 檜枝 護重
東京都千代田区丸の内二丁目２番３号 三菱電機株式会社内
(72)発明者 宮口 賢一
東京都千代田区丸の内二丁目２番３号 三菱電機株式会社内
(72)発明者 中原 和彦
東京都千代田区丸の内二丁目２番３号 三菱電機株式会社内
(72)発明者 高木 直
東京都千代田区丸の内二丁目２番３号 三菱電機株式会社内

審査官 新川 圭二

(56)参考文献 特開平０４－０２１２０１（ＪＰ，Ａ）
特開平０４－１４２８０７（ＪＰ，Ａ）
特開平０１－２１８１０２（ＪＰ，Ａ）
実開平０３－１２０１０３（ＪＰ，Ｕ）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
H01P 1/185
H03H 7/20