

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-155016

(P2014-155016A)

(43) 公開日 平成26年8月25日(2014.8.25)

(51) Int.Cl.
H03H 7/01 (2006.01)F I
H03H 7/01テーマコード (参考)
5 J 0 2 4

審査請求 未請求 請求項の数 11 O L (全 22 頁)

(21) 出願番号 特願2013-22604 (P2013-22604)
(22) 出願日 平成25年2月7日(2013.2.7)(71) 出願人 000004260
株式会社デンソー
愛知県刈谷市昭和町1丁目1番地
(71) 出願人 000004695
株式会社日本自動車部品総合研究所
愛知県西尾市下羽角町岩谷14番地
(74) 代理人 100106149
弁理士 矢作 和行
(74) 代理人 100121991
弁理士 野々部 泰平
(74) 代理人 100145595
弁理士 久保 貴則
(72) 発明者 十河 健司
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

最終頁に続く

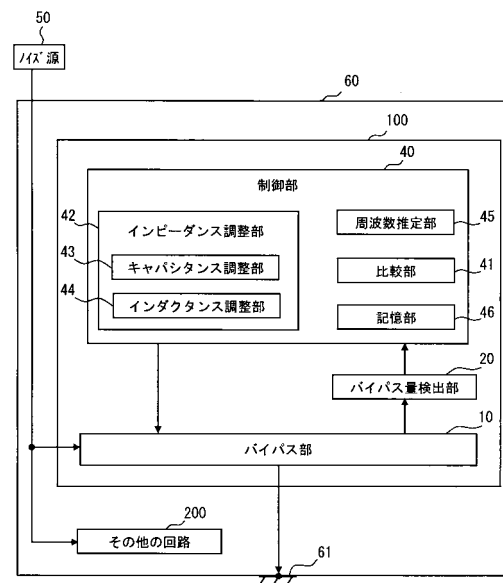
(54) 【発明の名称】 ノイズバイパス回路、プリント基板、および電子機器

(57) 【要約】

【課題】種々の周波数においてノイズバイパス効果の高いノイズバイパス回路を提供する。

【解決手段】ノイズバイパス回路(100)が備えるバイパス部(10)は、プリント基板と外部導体部分間のインピーダンスの周波数特性が変化するように回路に接続する素子を切り替えるスイッチ(SW)を備える。また、バイパス量検出部(20)はバイパス部を流れる電流(バイパス量)を逐次検出する。そして、前記スイッチは、バイパス量検出部で検出したバイパス量に基づいてバイパス量が増加するように切り替えられる。したがって、バイパス部のインピーダンスを、種々の周波数で存在するノイズに対応させることができる。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

電子機器の動作を制御する制御回路が実装されるプリント基板に備えられてあって、前記プリント基板に侵入したノイズを、前記プリント基板を収容する筐体の導体部へとバイパスするノイズバイパス回路（１００）であって、

少なくとも１つスイッチ（ＳＷ）を備え、前記スイッチの設定によって前記プリント基板と前記導体部間のインピーダンスの周波数特性が変化するバイパス部（１０）と、

前記バイパス部を流れる電流の量であるバイパス量を逐次検出するバイパス量検出部（２０）と、

前記バイパス量検出部で検出したバイパス量に基づいて前記バイパス量が増加するように前記スイッチの設定を変更するインピーダンス調整部（４２）と、を備えることを特徴とするノイズバイパス回路。

10

【請求項 2】

請求項 1 において、

前記バイパス量検出部で検出したバイパス量を、その時点での前記スイッチの設定と対応付けて記憶する記憶部（４６）と、

前記スイッチの設定が変更された後の前記バイパス量と、前記スイッチの設定を変更される前の前記バイパス量とを比較する比較部（４１）と、を備え、

前記インピーダンス調整部は、前記比較部で比較した結果に基づいて前記バイパス量が増加するように前記スイッチの設定を変更することを特徴とするノイズバイパス回路。

20

【請求項 3】

請求項 2 において、

前記インピーダンス調整部は、前記バイパス部においてノイズが流れる経路であるバイパス経路のインダクタンスが、前記スイッチの初期設定状態から増加するように前記スイッチを設定する第 1 のインダクタンス調整部（４４）と、

前記比較部で比較した結果、バイパス量が増加している場合には、さらに前記バイパス経路のインダクタンスが増加するように前記スイッチを設定し、一方、バイパス量が減少している場合には、前記スイッチの設定が変更される前の前記スイッチの設定に戻す第 2 のインダクタンス調整部（４４）と、を備えることを特徴とするノイズバイパス回路。

30

【請求項 4】

請求項 2 または 3 において、

前記インピーダンス調整部は、前記バイパス部においてノイズが流れる経路であるバイパス経路のキャパシタンスが、前記スイッチの初期設定状態から減少するように前記スイッチを設定する第 1 のキャパシタンス調整部（４３）と、

前記比較部で比較した結果、バイパス量が増加している場合には、さらに前記バイパス経路のキャパシタンスが減少するように前記スイッチを設定し、一方、バイパス量が減少している場合には、前記スイッチの設定が変更される前のスイッチの設定に戻す第 2 のキャパシタンス調整部（４３）と、を備えることを特徴とするノイズバイパス回路。

【請求項 5】

請求項 2 から 4 のいずれか 1 項において、

40

前記インピーダンス調整部は、前記バイパス部においてノイズが流れる経路であるバイパス経路のキャパシタンスが、前記スイッチの初期設定状態から増加するようにスイッチを設定する第 1 のキャパシタンス調整部（４３）と、

前記比較部で比較した結果、前記バイパス量が増加している場合には、さらに前記バイパス経路のキャパシタンスが増加するように前記スイッチを設定し、一方、前記バイパス量が減少している場合には、前記スイッチの設定が変更される前の前記スイッチの設定に戻す第 2 のキャパシタンス調整部（４３）と、を備えることを特徴とするノイズバイパス回路。

【請求項 6】

請求項 1 から 5 の何れか 1 項において、

50

前記バイパス部は、前記プリント基板から前記導体部分へとノイズが流れるバイパス経路（P）を複数備えていることを特徴とするノイズバイパス回路。

【請求項 7】

請求項 6 において、

前記バイパス部が備える複数の前記バイパス経路は、それぞれ異なるキャパシタンスをもつことを特徴とするノイズバイパス回路。

【請求項 8】

請求項 7 において、

前記インピーダンス調整部は、複数の前記バイパス経路に対してそれぞれ独立してインピーダンスを調整することを特徴とするノイズバイパス回路。

10

【請求項 9】

請求項 8 において、

前記バイパス量検出部は、複数の前記バイパス経路のそれぞれを流れるバイパス量を検出し、

ノイズバイパス回路は、各バイパス経路を流れるバイパス量の大きさの比較からノイズの周波数を推定するノイズ周波数推定部（45）を備え、

前記インピーダンス調整部は前記ノイズ周波数推定部が推定した周波数において前記バイパス部のインピーダンスが小さくなるように前記スイッチを設定することを特徴とするノイズバイパス回路。

【請求項 10】

20

請求項 1～9 のいずれか 1 項に記載のノイズバイパス回路を備えるプリント基板。

【請求項 11】

電子機器の動作を制御する制御回路と、請求項 1～9 のいずれか 1 項に記載のノイズバイパス回路と、を同一のプリント基板に備える電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子機器に侵入したノイズを接地に逃がす回路に関する。

【背景技術】

【0002】

30

近年の電子機器には、外部から到来する電磁波によって発生するノイズや、電子機器の付近に存在する他の電子機器などで発生するノイズによって、自身が誤動作してしまう可能性を低減するための回路（すなわちノイズバイパス回路）が備えられている。

【0003】

たとえば特許文献 1 には、コネクタのコンタクト部分に貫通コンデンサと、インダクタの役割を果たすフェライト板とを一体にしたフィルタを形成することで、コネクタへ入るノイズおよびコネクタから出るノイズを抑制する構成が開示されている。

【0004】

ところで、一般にコンデンサとインダクタを備える回路では、共振または反共振が発生する特定の周波数およびその近傍において、回路のインピーダンスが他の周波数のときよりも大きくなることが知られている。ノイズバイパス回路においてインピーダンスが大きくなった場合には、ノイズバイパス回路を外部へと逃がすノイズの量（すなわち、バイパス量）が減少してしまう。

40

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】実用新案登録公報第 2546590 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

50

特許文献 1 に記載の技術では、ノイズバイパス回路の機能を果たすコネクタのキャパシタンスとインダクタンスが固定されているため、特定の周波数においてノイズバイパス回路のインピーダンスが大きくなる。一方で、電子機器の周囲には、種々の周波数のノイズが存在する。そのため、上述したノイズバイパス回路のインピーダンスが大きくなってしまふ周波数で存在するノイズが、電子機器に侵入する可能性もあり、その場合には電子機器が誤作動を引き起こすおそれがある。

【 0 0 0 7 】

本発明は、この事情に基づいて成されたものであり、その目的とするところは、種々の周波数においてノイズバイパス効果の高いノイズバイパス回路を提供することにある。

【課題を解決するための手段】

10

【 0 0 0 8 】

その目的を達成するためのノイズバイパス回路の発明は、電子機器の動作を制御する制御回路が実装されるプリント基板に備えられてあって、前記プリント基板に侵入したノイズを、前記プリント基板を収容する筐体の導体部へとバイパスするノイズバイパス回路（ 1 0 0 ）であって、少なくとも 1 つスイッチ（ S W ）を備え、前記スイッチの設定によって前記プリント基板と前記導体部間のインピーダンスの周波数特性が変化するバイパス部（ 1 0 ）と、前記バイパス部を流れる電流の量であるバイパス量を逐次検出するバイパス量検出部（ 2 0 ）と、前記バイパス量検出部で検出したバイパス量に基づいて前記バイパス量が増加するように前記スイッチの設定を変更するインピーダンス調整部（ 4 2 ）と、を備えることを特徴とする。

20

【 0 0 0 9 】

また、プリント基板の発明は、前記ノイズバイパス回路を備えることを特徴とする。さらに、電子機器の発明は、前記ノイズバイパス回路と、電子機器の動作を制御する制御回路とを同一のプリント基板に備えていることを特徴とする。

【 0 0 1 0 】

以上の構成では、バイパス部が備えるスイッチの設定が変更されることによって、バイパス部のインピーダンスの周波数特性は変化する。そして、このバイパス部のスイッチは、バイパス量検出部が逐次検出するバイパス量に基づいて、そのバイパス量が大きくなるように設定が変更される。すなわち、バイパス部のインピーダンスを、種々の周波数で存在するノイズに対応させることができる。したがって、種々の周波数のノイズに対するバイパス効果を高めることができる。

30

【図面の簡単な説明】

【 0 0 1 1 】

【図 1】第 1 の実施形態におけるノイズバイパス回路の構成を示すブロック図である。

【図 2】本発明のノイズバイパス回路の配置箇所の一例を示す図である。

【図 3】ノイズの伝播する経路を説明するための概念図である。

【図 4】第 1 の実施形態の回路構成の模式図である。

【図 5】第 1 の実施形態において制御部 4 0 が実施する処理の流れを説明するためのフローチャートである。

【図 6】第 1 の実施形態の制御部 4 0 が実施するインピーダンス調整処理の流れを説明するためのフローチャートである。

40

【図 7】第 1 の実施形態において制御部 4 0 が実施する処理の流れを説明するためのフローチャートである。

【図 8】各コンデンサおよび全並列時のバイパス 1 0 のインピーダンスの周波数特性を示したグラフである。

【図 9】第 1 の実施形態のインピーダンス調整処理による効果を説明するためのグラフである。

【図 1 0】第 1 の実施形態のインピーダンス調整処理による効果を説明するためのグラフである。

【図 1 1】第 2 の実施形態におけるノイズバイパス回路の構成を示すブロック図である。

50

【図 1 2】第 2 の実施形態の回路構成の模式図である。

【図 1 3】第 2 の実施形態の制御部 4 0 が実施するインピーダンス調整処理の流れを説明するためのフローチャートである。

【図 1 4】第 2 の実施形態のインピーダンス調整処理による効果を説明するためのグラフである。

【図 1 5】第 2 の実施形態における変形例の回路構成の模式図である。

【図 1 6】第 2 の実施形態における変形例の回路構成の模式図である。

【図 1 7】第 3 の実施形態におけるノイズバイパス回路の構成を示すブロック図である。

【図 1 8】第 3 の実施形態の回路構成の模式図である。

【図 1 9】第 3 の実施形態の制御部 4 0 が実施するインピーダンス調整処理の流れを説明するためのフローチャートである。

10

【図 2 0】第 3 の実施形態における変形例の回路構成の模式図である。

【発明を実施するための形態】

【0 0 1 2】

(第 1 の実施形態)

以下、本発明の実施形態におけるノイズバイパス回路 1 0 0 を、車両に搭載される E C U (E l e c t r o n i c C o n t r o l U n i t) 6 0 に収容されるプリント基板 9 0 に適用した例を、図 1 ~ 1 0 に基づいて説明する。図 1 に示すように、本実施形態のノイズバイパス回路 1 0 0 は、バイパス部 1 0、バイパス量検出部 2 0、および制御部 4 0 を備えている。図 1 の 6 1 は、プリント基板 9 0 を収容する E C U 6 0 の筐体の金属部 (以降、金属筐体部) を示しており、5 0 はノイズ源を示している。ノイズ源 5 0 より E C U 6 0 内に侵入したノイズの大部分は、バイパス部 1 0 を通って金属筐体部 6 1 へバイパスされる。この金属筐体部 6 1 が請求項に記載の導体部に相当する。なお、E C U 6 0 内に侵入したノイズの一部は、ノイズバイパス回路 1 0 0 を除く、その他の回路 2 0 0 に流入する。

20

【0 0 1 3】

ノイズバイパス回路 1 0 0 は、図 2 に示すように、例えばプリント基板 9 0 上の、たとえば隅部に備えられており、このプリント基板 9 0 上には、たとえば、エンジンや電子機器の動作を制御するための制御回路 1 1 0 が配設されている。また、ノイズバイパス回路 1 0 0 はひとつのプリント基板 9 0 上に複数備えられていてもよく、たとえば、図 2 の 1 0 0 A ~ D はいずれも、ノイズバイパス回路 1 0 0 である。ただし、ノイズバイパス回路 1 0 0 は、E C U 6 0 のコネクタ 7 0 付近にあることが、より好ましい。

30

【0 0 1 4】

ノイズバイパス回路 1 0 0 が備えるバイパス部 1 0、バイパス量検出部 2 0、記憶部 4 6、および制御部 4 0 の概要は次の通りである (具体的な構成および作動については後述する)。バイパス部 1 0 は、プリント基板 9 0 に侵入したノイズを金属筐体部 6 1 にバイパスさせるための部分である。このバイパス部 1 0 は、ノイズをバイパスするための経路 (以降、バイパス経路) を複数備えていてもよく、各バイパス経路は、後述するように主として、コンデンサおよびチップインダクタと、それぞれの素子に接続するスイッチなどを備えている。そして、バイパス部 1 0 が備えるスイッチが切り替えられることによって、バイパス経路、およびバイパス部 1 0 のインピーダンスの周波数特性が変化する。その結果、ある周波数で存在しているノイズが、プリント基板 9 0 から金属筐体部 6 1 へとバイパスされる量も変化する。バイパス部 1 0 に備えられているスイッチは、いずれも制御部 4 0 によってそれぞれのオン / オフが切り替えられる。

40

【0 0 1 5】

バイパス量検出部 2 0 は、バイパス部 1 0 の各バイパス経路を流れる電流の大きさ (すなわち、バイパス量) を検出する。バイパス量検出部 2 0 が検出したバイパス量は、制御部 4 0 に入力される。

【0 0 1 6】

制御部 4 0 は、マイクロコンピュータを主として構成され、いずれも周知の C P U、R

50

OM・RAM・EEPROM等のメモリ、I/O、及びこれらを接続するバスを備えている。なお、ROM・RAM・EEPROM等のメモリが図1中の記憶部46に相当する。制御部40は、バイパス量検出部20より取得した各バイパス経路のバイパス量、およびそれらの総和である総バイパス量Iaを、そのときの各スイッチのオン/オフの状態(スイッチ状態)と対応付けて、記憶部46に記憶させる。制御部40は、さらに、比較部41およびインピーダンス調整部42を機能として備えている。

【0017】

比較部41は、現在のスイッチ状態での総バイパス量Iaと、記憶部46が記憶している前時刻でのスイッチ状態における総バイパス量Iaと、を比較する。インピーダンス調整部42は、比較部41の比較結果に基づいて、次時刻でのスイッチ状態を決定し、バイパス部10が備える各スイッチのオン/オフを切り替える制御信号を出力する。

10

【0018】

ここで、ノイズバイパス回路100のより具体的な構成の説明に入る前に、ノイズがプリント基板90に侵入する経路について図3を用いて説明する。図3の一点鎖線59は、ノイズの伝播する経路を示しており、50は種々のノイズ源を示している。ノイズ源50としては、たとえばバッテリー51、センサ52やアクチュエータ53などの、車両に搭載され、ECU60とワイヤーハーネス55などで接続されている各種機器が挙げられる。また、ECU60は、ワイヤーハーネス55で直接接続している機器以外からのノイズも受信する。たとえば、ノイズは、他ECUで発生したノイズによって生じる磁界が、ワイヤーハーネス55へ誘導することでも発生する。また、ワイヤーハーネス55と他のワイヤーハーネスが容量で結合し、他のワイヤーハーネスを流れるノイズが伝播してくることも考えられる。さらに、車両に搭載される各種機器に加え、車両外部(ラジオ放送用アンテナ54など)より到来する電磁波54aもまたワイヤーハーネスでノイズを誘起する。もちろん、車外からの電磁波に加えて、車両に搭載された各種機器からの放射電磁界もノイズを誘起する。

20

【0019】

ノイズ源50によるノイズがワイヤーハーネス55を伝播し、ECU60とワイヤーハーネス55とを接続するコネクタ70に到達する。コネクタ70よりECU60内に侵入したノイズはプリント基板90を流れ、電子機器などの動作を制御するための制御回路110へと到達する。

30

【0020】

次に、プリント基板90に侵入したノイズに対して、ノイズバイパス回路100によってノイズをプリント基板90からECU60の外部へ逃がす経路について述べる。プリント基板90に侵入したノイズは、ノイズバイパス回路100のバイパス部10を介してECU60の金属筐体部61へと流出する。金属筐体部61へと抜けたノイズは、金属筐体部61に接続するブラケット62(導体)を伝播し、車両のボディ63(導体)に流出する。なお、プリント基板90と金属筐体部61との間には浮遊容量が存在するため、プリント基板90に侵入したノイズの一部は、バイパス部10以外に、その浮遊容量を介して金属筐体部61に流出することが考えられる。しかしながら、バイパス部10のインピーダンスは浮遊容量に対して非常に小さい値とするため、プリント基板90に侵入したノイズのほとんどはバイパス部10を通して金属筐体部61に流出する。

40

【0021】

ここで、仮にプリント基板90とECU60の金属筐体部61(ひいてはボディ63)とを電氣的に短絡させた場合には、プリント基板90に侵入したノイズはそのまま金属筐体部61へと流れるため、ノイズバイパス回路100は不要となる。しかしながら、ボディ63の電位は、ボディ上の位置が異なれば、異なっている場合がある。また、現在の車両には、多数のECUが車両各部に搭載されていることが一般的である。各ECUに収容されるプリント基板とボディとを電氣的に短絡させた場合には、それぞれのECUが収容するプリント基板の基準電位同士に電位差が生じてしまい、ECUの動作が不安定になっ

50

たり回路が壊れてしまったりするおそれが生ずる。この懸念から、本実施形態のように、プリント基板 90 と ECU 60 の金属筐体部 61 とを短絡させずに、ノイズを金属筐体に逃がす回路が必要となる。

【0022】

以降では、図 4 を用いてノイズバイパス回路 100 の具体的な構成について説明する。図 4 中の V G 1 は、プリント基板 90 上のグラウンド（すなわち基準電位）を表し、V G 2 は、金属筐体部 61 の電位を表している。バイパス部 10 はバイパス経路を少なくとも 1 つ備えていれば良く、本実施形態では、図 4 の鎖線で囲まれる部分 P 1 ~ 4 の 4 つのバイパス経路を備えるものとする。すなわち、プリント基板 90 のグラウンド V G 1 と金属筐体部 61 とは、4 つのバイパス経路を備えるバイパス部 10 を介して接続されている。各バイパス経路 P 1 ~ 4 は、図 4 に示すように、スイッチ（本実施形態では n p n トランジスタとする）、コンデンサ、およびチップインダクタをそれぞれ備えている。以下では、バイパス経路 P 1 ~ 4 を構成する素子について、さらに説明をする。

10

【0023】

図 4 中の S W 1 0 ~ 1 3、S W 2 0 ~ 2 3、S W 3 0 ~ 3 3、S W 4 0 ~ 4 3 は、いずれも n p n トランジスタよりなり、各トランジスタのゲートは制御部 40 に接続され、スイッチとしての役割を果たす。すなわち、制御部 40 からの制御信号に基づいて、各スイッチのオン/オフはそれぞれ切り替えられる。一例としてスイッチ S W 1 0 は、制御部 40 からハイレベルの信号が入力されているときオンとなり、ローレベルの信号が入力されているときはオフとなる（その他のスイッチも同様である）。もちろん、これらのスイッチは、n p n トランジスタのほか、スイッチとして利用可能な公知の素子（高周波リレーや高周波特性のトランジスタ）を用いてもよい。

20

【0024】

C 1 0 ~ 1 1、C 2 0 ~ 2 1、C 3 0 ~ 3 1、C 4 0 ~ 4 1 はそれぞれ所定の容量をもつコンデンサを示す。本実施形態では、C 1 0 = 100 p F、C 2 0 = 1 n F、C 3 0 = 0.047 μ F、C 4 0 = 1 μ F とする。これら C 1 0、C 2 0、C 3 0、C 4 0 が、各バイパス経路のキャパシタンスを決定する上で主な役割を担うため、それぞれを各バイパス経路の主コンデンサと称する。また、C 1 1 = 1 n F、C 2 1 = 10 n F、C 3 1 = 0.47 μ F、C 4 1 = 10 μ F とする。なお、これらのコンデンサが備える容量は適宜設計されればよく、上述した値に限定しない。ただし、主コンデンサは、それぞれ容量の桁が異なるものとするのがより好ましく、また、C 1 1、C 2 1、C 3 1、C 4 1 は、各バイパス経路の主コンデンサの容量に対して小さく、かつ、無視できない程度の容量であることが好ましい。なお、コンデンサの代わりに、基板の浮きパターン、誘電体、および金属筐体を用いて所定のキャパシタンスを実現してもよい。

30

【0025】

L 1 2 ~ 1 3、L 2 2 ~ 2 3、L 3 2 ~ 3 3、L 4 2 ~ 4 3 は、いずれも所定のインダクタンスをもつ素子であり、本実施形態ではチップインダクタでそれぞれのインダクタンスを実現する。L 1 2、L 2 2、L 3 2、L 4 2 はいずれも 1 n H であり、L 1 3、L 2 3、L 3 3、L 4 3 はいずれも 2 n H である。なお、これらの所定のインダクタンスは、チップインダクタの代わりに、たとえばそれぞれ長さの異なる冗長な配線を追加することで実現してもよい。また、これらの素子が備えるインダクタンスは適宜設計されればよく、上述した値に限定しない。

40

【0026】

2 1 ~ 2 4 はいずれも図 1 のバイパス量検出部 20 に相当する。バイパス量検出部 2 1 ~ 2 4 はそれぞれ、各バイパス経路（P 1 ~ 4）を流れるバイパス量（I 1 ~ I 4）を逐次検出し、制御部 40 に入力している。バイパス量検出部 20 は、小型の電流プローブを用いて経路を流れる電流信号を取得し、公知の全波整流回路または半波交流回路を介して制御部 40 に入力する。なお、バイパス量検出部 20 は電流プローブのほかに、バイパス部 10 のインピーダンスの大きさよりも小さいシャント抵抗を用いた電流検出回路を用いてもよい。また、P A L A P（登録商標）のロゴスキー電流プローブを用いてもよい。

50

【 0 0 2 7 】

以上の構成の動作の概略を、バイパス経路 P 1 を例にとって説明する。まず、制御部 40 の制御信号に基づいてスイッチ S W 1 1 ~ 1 3 のオン / オフを切り替えることによって、プリント基板 9 0 から図 4 の A 点までのインダクタンスを変化させることができる。すなわち、スイッチ S W 1 1 をオンにすると、プリント基板 9 0 から A 点までショートされる。また、スイッチ S W 1 1 がオフの状態で、スイッチ S W 1 2 または S W 1 3 をオンにすると、チップインダクタ L 1 2 または L 1 3 (さらにはそれらが並列した) のインダクタンスが、プリント基板 9 0 から A 点までの間に付与される。これらのスイッチ S W 1 1 ~ 1 3 の制御は、インピーダンス調整部 4 2 が備えるインダクタンス調整部 4 4 が実施する。

10

【 0 0 2 8 】

次に、制御部 40 の制御信号に基づいてスイッチ S W 1 0 のオン / オフを切り替えることによって、図 4 の A 点から金属筐体部 6 1 までのキャパシタンスを変化させることができる。すなわち、制御部 40 の制御信号に基づいてスイッチ S W 1 0 をオンにすると、コンデンサ C 1 1 はショートされ、A 点から金属筐体部 6 1 までのキャパシタンスはコンデンサ C 1 0 による 1 0 0 p F となる。一方、スイッチ S W 1 0 をオフにすると、A 点から金属筐体部 6 1 までに、コンデンサ C 1 0 と C 1 1 とが直列に接続したキャパシタンスが生じる。コンデンサ C 1 0、C 1 1 を直列接続した合成容量 C 1 0 a は、 $C 1 0 a = (C 1 0 \times C 1 1) / (C 1 0 + C 1 1)$ で求めることができる。コンデンサ C 1 0 および C 1 1 の容量をそれぞれ代入すると、C 1 0 a はおよそ 9 1 p F となり、コンデンサ C 1 0 単体時の 1 0 0 p F より減少させることができる。このようにスイッチ S W 1 0 のオン / オフを切り替えてバイパス経路 P 1 のキャパシタンスを制御する処理は、インピーダンス調整部 4 2 が備えるキャパシタンス調整部 4 3 が実施する。

20

【 0 0 2 9 】

次に、車両の駆動系を制御する E C U にノイズバイパス回路 1 0 0 を適用した場合の、制御部 40 が実施する処理について、図 5 ~ 7 のフローチャートを用いて説明する。図 5 のフローチャートは、バッテリー 5 1 より 1 2 V の電源電圧が E C U 6 0 に印加され、かつ、駆動系が未起動の状態から、駆動系を起動状態に移行するときに開始される (ステップ S 2 に進む)。ここでの駆動系とは、車両がエンジン車の場合にはエンジンを指し、電気自動車の場合にはモータを指す。また、ハイブリッド車の場合には、エンジンおよびモータを指すものとする。この処理フロー開始時において、上述したスイッチ S W 1 0、S W 1 1、S W 2 0、S W 2 1、S W 3 0、S W 3 1、S W 4 0 および S W 4 1 はいずれもオンとなっている (これを初期設定状態とする)。なお、便宜上、上述したスイッチの状態を初期設定状態とするが、これに限らない。このフローが開始したときのスイッチの設定状態を初期設定状態とする。また、たとえば S W 1 2、S W 1 3 などのチップインダクタに直列なスイッチもオンとなっていて良いが、S W 1 0 などがオンとなっているため、ショートされて意味を成さない。

30

【 0 0 3 0 】

まず、ステップ S 2 では、バイパス量検出処理を実施してステップ S 4 に進む。バイパス量検出処理では、バイパス量検出部 2 0 が検出した各バイパス経路を流れるバイパス量 (I 1 ~ 4) を取得し、バイパス量 I 1 ~ 4 の総和である総バイパス量 I a を算出する。そしてバイパス量 I 1 ~ 4 および総バイパス量 I a を、現在のバイパス部 1 0 が備える各スイッチの状態 (スイッチ状態) とともに記憶部 4 6 に出力し、記憶部 4 6 はそれらのデータを記憶する。

40

【 0 0 3 1 】

ステップ S 4 では、ノイズ周波数推定処理を実施してステップ S 6 に進む。ステップ S 4 のノイズ周波数推定処理では、各バイパス経路を流れるバイパス量の大きさからノイズの周波数を推定する。ここで、各バイパス経路を流れるバイパス量の大きさからノイズの周波数を推定する方法について、図 8 を用いて具体的に説明する。

【 0 0 3 2 】

50

図 8 のグラフは、各バイパス経路のインピーダンスと周波数の関係（すなわち周波数特性）を示したものである。図 8 中の L 1 は、コンデンサ C 1 0 を備えるバイパス経路 P 1 の周波数特性を示し、L 2 はコンデンサ C 2 0 を備えるバイパス経路 P 2 の周波数特性を示している。また、L 3 は、コンデンサ C 3 0 を備えるバイパス経路 P 3 の周波数特性を示し、L 4 はコンデンサ C 4 0 を備えるバイパス経路 P 4 の周波数特性を示している。さらに、L 5 は、スイッチ状態が初期設定状態、すなわち、コンデンサ C 1 0、C 2 0、C 3 0、C 4 0 が並列した状態（これを全並列時とする）でのバイパス部 1 0 の周波数特性を示している。なお、各バイパス経路の周波数特性は、コンデンサのもつキャパシタンスのほかに、コンデンサや配線がもつ寄生インダクタンスを 1 nH 、寄生抵抗を 0.1Ω と想定して求めている。ただし、いずれのバイパス経路においてもスイッチ S W 1 1、S W 2 1、S W 3 1、S W 4 1 はいずれもオンとなっており、チップインダクタによるインダクタンスは無視される。また、各バイパス経路のキャパシタンスは、それぞれが備えるコンデンサ（C 1 0、C 2 0、C 3 0、C 4 0）によって定まるものとする。

10

20

30

40

50

【0033】

図 8 に示すように、それぞれキャパシタンスの異なるコンデンサ C 1 0 ~ 4 0 を備えるバイパス経路 P 1 ~ 4 の周波数特性は異なっている。全並列時には、ノイズは複数のバイパス経路に分散してノイズ流れるが、そのノイズが存在する周波数において、インピーダンスが小さいバイパス経路に、より多く流れる傾向がある。制御部 4 0 の周波数推定部 4 5 は、各バイパス量検出部 2 0 が検出したバイパス量 I 1 ~ 4 を比較し、最も多く流れているバイパス経路の備えるコンデンサの容量からノイズの周波数を推定することができる。たとえば、最もバイパス量が多いバイパス経路を、コンデンサ C 1 0 を備えるバイパス経路 P 1 とすると、他のコンデンサ C 2 0、C 3 0、C 4 0 を備えるバイパス経路 P 2 ~ 4 よりも 400 MHz 付近でインピーダンスが小さくなる。すなわち、バイパス経路 P 1 のバイパス量 I 1 が最も大きかった場合には、ノイズは 400 MHz 付近の周波数で存在していることが分かる。

【0034】

そして、推定されたノイズの周波数から、次に説明するインピーダンス調整処理で調整するスイッチの候補を決定する。本実施形態では、単純に、最もバイパス量が多いバイパス経路が備える全てのスイッチを、インピーダンス調整処理で調整するスイッチの候補とする。

【0035】

ステップ S 6 では、インピーダンス調整処理を実施してステップ S 8 に進む。このインピーダンス調整処理については、別途図 6 に示すフローチャートを用い、次の段落以降で詳細に説明する。ステップ S 8 では、駆動系（たとえばエンジン）を起動させ、本処理フローを抜ける。なお、このステップ S 8 完了時のスイッチ状態を起動スイッチ状態とする。

【0036】

インピーダンス調整処理の流れを示す図 6 のフローチャートは、図 5 のステップ S 6 または後述する図 7 のステップ S 1 6 に移ったときに開始される。以降では、図 5 のステップ S 4 において、I 1 ~ 4 のうち、I 1 が最も大きかった場合、すなわち、バイパス経路 P 1 に最もノイズが流れていた場合を例にとって、説明する。

【0037】

ステップ S 1 0 0 では、インダクタンス調整処理を実施してステップ S 1 0 2 に進む。ステップ S 1 0 0 のインダクタンス調整処理では、バイパス量が多かったバイパス経路（ここでは P 1）のスイッチ S W 1 1 ~ 1 3 のオン/オフを制御して、バイパス経路 P 1 のインダクタンスを調整する。たとえば、スイッチ S W 1 1 がオン、かつ、S W 1 2 および S W 1 3 がオフとなっている場合には、スイッチ S W 1 2 をオンにした後、スイッチ S W 1 1 をオフにする（S W 1 3 はオフのまま）。これによって、バイパス経路 P 1 のプリント基板 9 0 から A 点まで、ショートされている状態から、チップインダクタ L 1 2 によるインダクタンス（ 1 nH ）が追加されている状態となる。

【 0 0 3 8 】

また、スイッチ S W 1 2 がオン、かつ、S W 1 1 および S W 1 3 がオフのときは、S W 1 3 をオンにした後に S W 1 2 をオフに切り替える。これによって、バイパス経路 P 1 のプリント基板 9 0 から A 点までに存在するインダクタンスは、チップインダクタ L 1 2 による 1 n H からチップインダクタ L 1 3 による 2 n H となる。このステップ S 1 0 0 を実施するインダクタンス調整部 4 4 が、請求項に記載の第 1、第 2 のインダクタンス調整部に相当する。

【 0 0 3 9 】

さらに、他の実施形態として、スイッチ S W 1 2 および S W 1 3 をオン、S W 1 1 をオフに設定し、チップインダクタ L 1 2 および L 1 3 が並列したインダクタンス (0 . 6 6 n H) がプリント基板 9 0 から A 点までに存在するスイッチ状態をとってもよい。ただし、現在のインダクタンスからの変化量が小さい順となるように、スイッチを設定する。

【 0 0 4 0 】

ステップ S 1 0 2 では、バイパス量検出処理を実施して、ステップ S 1 0 4 に進む。このステップ S 1 0 2 のバイパス量検出処理は、図 5 のステップ S 2 と同様の処理であり、バイパス量検出部 2 1 ~ 2 4 のそれぞれが検出した電流の値 I 1 ~ 4 を取得し、総バイパス量 I a を算出する。そして、各バイパス量 I 1 ~ 4、総バイパス量 I a、および、このときのスイッチ状態を記憶部 4 6 に記憶させる。

【 0 0 4 1 】

ステップ S 1 0 4 では、現在のスイッチ状態での総バイパス量 I a と、その前のスイッチ状態での総バイパス量 I a とを比較し、総バイパス量 I a が増加したか否かを判定する。前ステップ S 1 0 0 でスイッチを切り替えることによって総バイパス量 I a が増加した場合には、ノイズの周波数においてバイパス経路 P 1 のインピーダンスが小さくなるように、前ステップ S 1 0 0 において各スイッチを設定したことになる。一方、総バイパス量 I a が減少した場合には、ノイズの周波数に対してバイパス経路 P 1 のインピーダンスが大きくなるように各スイッチを設定したことになる。

【 0 0 4 2 】

そしてステップ S 1 0 4 で、総バイパス量 I a が増加している場合は、ステップ S 1 0 4 が Y E S となって、ステップ S 1 0 6 に進む。また、比較の結果、総バイパス量 I a が減少している場合は、ステップ S 1 0 4 が N O となってステップ S 1 0 8 に進む。

【 0 0 4 3 】

ステップ S 1 0 6 では、バイパス経路 P 1 のスイッチ S W 1 1 ~ 1 3 の状態から、スイッチ S W 1 1 ~ 1 3 を制御してバイパス経路 P 1 のインダクタンスが最大となっているか否かを判定する。なお、本実施形態においてバイパス経路 P 1 のインダクタンスが最大となっている状態とは、スイッチ S W 1 3 がオン、S W 1 1 および S W 1 2 がオフの状態である。バイパス経路 P 1 のインダクタンスが最大となるスイッチ状態である場合にはステップ S 1 0 6 が Y E S となって、インピーダンス調整処理を抜け、このインピーダンス調整処理の呼び出し元に戻る。一方、まだバイパス経路 P 1 に付加できるインダクタンスが最大となっていない場合には、ステップ S 1 0 6 が N O となってステップ S 1 0 0 に戻る。

【 0 0 4 4 】

ステップ S 1 0 8 では、各スイッチの状態を、ステップ S 1 0 4 で総バイパス量 I a が減少したと判定されたスイッチ状態より 1 つ前のスイッチ状態 (すなわち、記憶部 4 6 が記憶している総バイパス量 I a が最も大きかったときのスイッチ状態) に戻してステップ S 1 1 0 に進む。

【 0 0 4 5 】

ステップ S 1 1 0 では、現在インピーダンス調整処理の対象となっているバイパス経路 (ここでは P 1) が備える各スイッチが、初期設定状態 (スイッチ S W 1 1 および S W 1 0 がオン) となっているか否かを判定する。バイパス経路 P 1 の各スイッチの状態が初期設定状態と同じであった場合には、ステップ S 1 1 0 は Y E S となってステップ S 1 1 2

10

20

30

40

50

に進む。一方、バイパス経路 P 1 の各スイッチの状態が初期設定状態とは異なっている場合には、ステップ S 1 1 0 が N O となって、インピーダンス調整処理を抜け、このインピーダンス調整処理の呼び出し元に戻る。

【 0 0 4 6 】

ステップ S 1 1 2 では、キャパシタンス調整処理を実施してステップ S 1 1 4 に進む。ステップ S 1 1 2 のキャパシタンス調整処理では、バイパス量が多かったバイパス経路（ここでは P 1 ）のスイッチ S W 1 0 のオン／オフを制御し、バイパス経路 P 1 のキャパシタンスを減少させる。すなわち、キャパシタンス調整部 4 3 は、スイッチ S W 1 0 がオンからオフに切り替えることによって、コンデンサ C 1 0 に、コンデンサ C 1 1 を直列に接続させる。これにより、バイパス経路 P 1 の A 点から金属筐体部 6 1 までのキャパシタンスは、コンデンサ C 1 0 単体の容量から、コンデンサ C 1 0 および C 1 1 による合成容量へ切り替えられる。すなわち、バイパス経路 P 1 のキャパシタンスは 1 0 0 p F から、合成容量の 9 1 p F となる。このステップ S 1 1 2 を実施するキャパシタンス調整部 4 3 が請求項に記載の第 1、第 2 のキャパシタンス調整部に相当する。

10

【 0 0 4 7 】

ステップ S 1 1 4 では、ステップ S 1 0 2 と同様にバイパス量検出処理を実施して、ステップ S 1 1 6 に進む。ステップ S 1 1 6 では、現在のスイッチ状態（スイッチ S W 1 0 = オフ）での総バイパス量 I a と、その前のスイッチ状態（スイッチ S W 1 0 = オン）でのノイズ量 I a とを比較し、総バイパス量 I a が増加したか否かを判定する。総バイパス量 I a が増加している場合はステップ S 1 1 6 が Y E S となって、インピーダンス調整処理を抜け、このインピーダンス調整処理の呼び出し元に戻る。また、比較の結果、総バイパス量 I a が減少している場合は、ステップ S 1 1 6 が N O となってステップ S 1 1 8 に進む。

20

【 0 0 4 8 】

ステップ S 1 1 8 では、スイッチ S W 1 0 をオフからオンに戻す。そして、インピーダンス調整処理を抜け、このインピーダンス調整処理の呼び出し元に戻る。なお、本実施形態では、コンデンサ C 1 0 に直列可能なコンデンサを C 1 1 の 1 つだけとしたが、インダクタンス調整処理と同様に、2 以上の容量の異なるコンデンサから選択して直列に接続できる構成としても良い。その場合は、その構成に応じた処理フローとなる。

【 0 0 4 9 】

30

図 7 のフローチャートは、駆動系が起動状態において、制御部 4 0 で逐次（たとえば 2 0 ミリ秒ごと）実施されている。また、この処理フロー開始時においてバイパス部 1 0 の備える各スイッチは、前述した起動スイッチ状態となっている。ステップ S 1 0 では、図 6 のステップ S 1 0 2 と同様に、バイパス量検出処理を実施して、ステップ S 1 2 に進む。

【 0 0 5 0 】

ステップ S 1 2 では、前ステップ S 1 0 で検出された総バイパス量 I a と前時刻の検出結果とを比較し、ノイズ（たとえばノイズの周波数や大きさ）が変化したか否かを判定する。ここで、ノイズが変化すると判定する条件としては、最もノイズがバイパスされているバイパス経路が変化した（たとえば、バイパス経路 P 1 から P 2 となった）場合や、総バイパス量 I a が所定の閾値（1 m A）以上となった場合などが挙げられる。また、各バイパス量検出部 2 1 ~ 2 4 が検出しているバイパス量が、所定の閾値（たとえば前時刻のバイパス量より 5 m A 以上変化した場合）に実施すればよい。ノイズが変化すると判定された場合は、ステップ S 1 2 が Y e s となってステップ S 1 4 に進む。また、インピーダンス再調整条件が満たされていない場合は、ステップ S 1 2 が N O となってステップ S 1 0 に戻る。

40

【 0 0 5 1 】

ステップ S 1 4 では、ノイズ周波数推定処理を実施し、ステップ S 1 6 に進む。このノイズ周波数推定処理は、図 5 のステップ S 4 と同様の処理である。そして、このステップ S 1 4 の推定結果を受けてステップ S 1 6 でインピーダンス調整処理を実施してステップ

50

S 1 0に戻る。このインピーダンス調整処理は図 6 を用いて前述したものと同様の処理である。

【 0 0 5 2 】

なお、以上ではバイパス量が最も大きいバイパス経路を P 1 であると仮定して本実施形態の作動を説明したが、その他のバイパス経路 (P 2 ~ 4) においても同様に作動するものである。

【 0 0 5 3 】

ここで、ステップ S 1 0 0 において、たとえばバイパス経路 P 1 にインダクタンス調整処理を実施した場合の効果を、図 9 を用いて説明する。図 9 の L 5 が図 8 の L 5 と同一のものであり、初期設定状態におけるバイパス部 1 0 全体のインピーダンスの周波数特性を示している。L 5 1 はバイパス経路 P 1 のスイッチ S W 1 2 をオン、S W 1 1 および S W 1 3 をオフに設定しているとき (すなわち、バイパス経路 P 1 に 1 n H を追加しているとき) のバイパス部 1 0 全体のインピーダンスの周波数特性を示している。

10

【 0 0 5 4 】

バイパス経路 P 1 上のスイッチ S W 1 1 ~ 1 3 を切り替えて、バイパス経路 P 1 に 1 n H を追加することによって、ピーク周波数 (インピーダンスが急激に大きくなっている周波数) f 1 を図の左側へ (すなわち、より低い周波数のほうへ) 移すことができる。したがって、ノイズが存在している周波数に対して適宜インダクタンスを調整することによって、バイパス部 1 0 のインピーダンスが小さくなるように調整することができる。

【 0 0 5 5 】

20

また、ステップ S 1 1 2 のキャパシタンス調整処理を実施し、たとえばバイパス経路 P 1 のスイッチ S W 1 1 をオフにした場合には、ピーク周波数 f 1 を図の右側へ (すなわち、より高い周波数のほうへ) 移すことができる。インダクタンス調整処理とキャパシタンス調整処理とを併用することで、周波数特性を周波数の低い方向と高い方向の両方へ移すことが可能となり、バイパス部 1 0 の取りうるインピーダンスの自由度をさらに高めることができる。

【 0 0 5 6 】

以上の構成によれば、バイパス部 1 0 が備える各スイッチの設定が変更されることによって、バイパス部 1 0 のインピーダンスの周波数特性は変化される。すなわち、インダクタンス調整部 4 4 によってインダクタンスを調整することでインピーダンスの周波数特性は周波数の低い方向へ移すことができる。また、キャパシタンス調整部 4 3 によってキャパシタンスを調整することでインピーダンスの周波数特性は周波数の高い方向へ移すことができる。そして、インピーダンスを調整した結果、バイパス量が増えた否かを考慮して各スイッチの設定を変更することで、ノイズの周波数に対して、より適切なインピーダンスに調整することができる。したがって、種々の周波数のノイズに対してバイパス効果を高め、ノイズによる影響を低減することができる。

30

【 0 0 5 7 】

また、本実施形態のバイパス部 1 0 は、複数のバイパス経路を備え、各バイパス経路のキャパシタンスを決定するコンデンサ C 1 0、C 2 0、C 3 0、C 4 0 はいずれも異なる容量をもつものとした。このため、各バイパス経路の周波数特性は異なり、流れやすいノイズの周波数は異なる。ところで、ノイズは一般に単一の周波数ではなく、様々な周波数のノイズが重畳して存在している。すなわち、バイパス部 1 0 に、本実施形態のように、異なる周波数特性をもつ複数のバイパス経路を備えさせることで、様々な周波数が重畳したノイズは、それぞれの周波数に適したバイパス経路を流れる。このため、バイパス部 1 0 としてのバイパス効果をさらに高めることができる。

40

【 0 0 5 8 】

さらに、本実施形態では、ノイズ周波数推定部 4 5 が複数のバイパス経路 P 1 ~ 4 を流れるバイパス量を比較することでノイズが存在する周波数を推定し、そのノイズの存在する周波数を考慮して、インピーダンス調整処理で操作するスイッチを備えるバイパス経路を決定した。このようにノイズの存在する周波数を考慮して操作するスイッチを選択する

50

ことにより、制御部 40 の処理負荷を軽減するとともに、ノイズに対する対応も迅速化することができる。また、バイパス量が最も多いバイパス経路は、ノイズの周波数に対して最もインピーダンスを小さくできる可能性が高い経路であるため、他のバイパス経路のスイッチの設定を変更するよりも効率的にインピーダンスを低減することができる。

【0059】

また、以上ではバイパス量が最も大きいバイパス経路に対してインピーダンス調整処理を実施する態様を説明したが、複数のバイパス経路に対して、それぞれ独立してインピーダンス調整処理を実施してもよい。たとえば、150MHz 付近のノイズと 400MHz 付近のノイズが同時に存在している場合には、400MHz 付近のノイズはバイパス経路 P1 に流入し、150MHz 付近のノイズはバイパス経路 P2 へと流入する。このとき、バイパス経路 P1 と P2 に対して、それぞれ独立してインピーダンス調整処理を実施することの効果、図 10 を用いて説明する。

【0060】

図 10 の L5 は、図 8 の L5 と同一のものであり、初期設定状態におけるバイパス部 10 のインピーダンスの周波数特性を示している。L52 は、バイパス経路 P1 において、スイッチ SW12 をオン、SW11 および SW13 をオフに設定し、かつ、バイパス経路 P2 において、スイッチ SW22 をオン、SW21 および SW23 をオフに設定したものである。その他のスイッチに関しては初期設定状態のままである。図 10 に示すように、異なるキャパシタンスをもつバイパス経路 (P1、P2) において、それぞれ独立してインダクタンス調整処理を実施することで、それぞれのピーク周波数 (f_1 、 f_2) を低くすることができる。もちろん、インダクタンス調整処理に代わってキャパシタンス調整処理を実施することで、バイパス部 10 のインピーダンスが急激に増加する周波数領域をそれぞれ高くすることもできる。

【0061】

すなわち、各バイパス経路が周波数ごとに分担してノイズをバイパスする構成において、それぞれのバイパス経路のインピーダンスを独立して調整することで、さらにバイパス部 10 が取りうるインピーダンスの自由度を高めることができる。なお、このような構成においてインピーダンス調整処理を実施するバイパス経路の候補としては、たとえば、バイパス量が所定の閾値 (1mA) 以上となっている全てのバイパス経路とすればよい。

【0062】

(第 2 の実施形態)

また、本発明に係るノイズバイパス回路 100 は、第 2 の実施形態として図 11 ~ 図 16 を用いて説明するような構成をとってもよい。図 11 は、図 1 に対応する図であり、第 2 の実施形態に係るノイズバイパス回路 100 の構成を示すブロック図である。なお、この第 2 の実施形態の説明において、それまでに使用した符号と同一番号の符号を有する要素は、特に言及する場合を除き、前述した実施形態における同一符号の要素と同一の要素である。

【0063】

この第 2 の実施形態におけるノイズバイパス回路 100 の回路構成の一例を図 12 に示す。スイッチ SW10、SW20、SW30、SW40 は、いずれも npn トランジスタよりなり、各トランジスタのゲートは制御部 40 に接続されている。

【0064】

スイッチとなる各トランジスタのコレクタは、プリント基板 90 のグラウンド VG1 に接続され、また、トランジスタのエミッタはそれぞれ所定容量のコンデンサ (C10、C20、C30、C40) を介してそれぞれ金属筐体部 61 に接続されている。また、SW10、SW20、SW30、SW40 を含むバイパス経路をそれぞれ順に、バイパス経路 P21、P22、P23、P24 とする。なお、これらのバイパス経路 (P21 ~ 24) がバイパス部 10 に相当する。

【0065】

この構成において制御部 40 が実施する処理の流れは、インピーダンス調整処理を除い

10

20

30

40

50

て、第 1 の実施形態における同様である。したがってここでは、第 2 の実施形態におけるインピーダンス調整処理について、図 6 に対応する図 13 を用いて説明する。図 13 に示すフローチャートは、図 5 のステップ S 6 または後述する図 7 のステップ S 16 に移ったときに開始され、ステップ S 200 より開始する。以降では、図 5 のステップ S 4 において、I 1 ~ 4 のうち、I 1 が最も大きかった場合、すなわち、バイパス経路 P 21 に最もノイズが流れていた場合を例として、説明する。また、初期のスイッチ状態（初期設定状態）として、スイッチ S W 10、S W 20、S W 30、および S W 40 はいずれもオンとなっているものとする。すなわち、初期設定状態において、全てのコンデンサが並列に接続している。

【0066】

ステップ S 200 では、キャパシタンス調整処理を実施してステップ S 202 に進む。ステップ S 200 のキャパシタンス調整処理では、バイパス量が多かったバイパス経路（ここでは P 1）のスイッチ S W 10 のオン/オフを制御して、バイパス部 10 のインピーダンスを変化させる。ここで、スイッチ S W 10 を操作することで、バイパス部 10 のインピーダンスが変化する一例を、図 14 を用いて説明する。図 14 はノイズなどの信号の周波数を横軸にとったときの、周波数ごとのバイパス部 10 のインピーダンス（すなわち周波数特性）を表したグラフである。グラフ中の L 6 は、初期設定状態でのバイパス部 10 の周波数特性を示している。また、L 7 は、S W 10 をオフとし、S W 20、S W 30、および S W 40 はオンとしたスイッチ状態でのバイパス部 10 のインピーダンスを示している。L 6 と L 7 と比較すると、400 MHz 近傍（図中 f 1）において、バイパス部 10 のインピーダンスを初期設定状態時に比べて最大 17 dB 低減することができる。一方、スイッチ S W 10 をオンとしているとき（すなわち初期設定状態時）には、f 3 においてバイパス部 10 のインピーダンスを大きく低減することができる。すなわち、各スイッチを切り替えてバイパス部 10 で並列しているコンデンサの数を変更し、コンデンサを並列させることによる長所および短所を適宜使い分けることができる。なお、他の実施形態として、コンデンサに対して直列に抵抗を挿入した構成としてもよい。抵抗を直列に挿入することで共振を鈍らすことができる。ただし、その場合、抵抗によって全体の周波数特性を悪化させる可能性があることに留意する。

【0067】

ステップ S 202 では、バイパス量検出処理を実施して、ステップ S 204 に進む。ステップ S 202 のバイパス量検出処理は、各バイパス量検出部 21 ~ 24 が検出した電流の値 I 1 ~ 4 を取得して総バイパス量 I a を算出し、このときのスイッチの状態とともに記憶部 46 に記憶させる。

【0068】

ステップ S 204 では、現在のスイッチ状態（ここでは S W 10 = オフ）での総バイパス量 I a と、その前のスイッチ状態（ここでは初期設定状態）での総バイパス量 I a とを比較する。そして、総バイパス量 I a が増加していると判定された場合はステップ S 204 が Y E S となって、インピーダンス調整処理を抜け、このインピーダンス調整処理の呼び出し元に戻る。また、比較の結果、総バイパス量 I a が減少していると判定された場合は、ステップ S 204 が N O となってステップ S 206 に進む。

【0069】

ステップ S 206 では、バイパス部 10 のキャパシタンスを適正化して、インピーダンス調整処理を抜け、呼び出し元に戻る。なお、ここでの、キャパシタンスの適正化とは、ステップ S 200 で操作したスイッチ（ここでは S W 10）をオフからオンに戻すことである。そして、インピーダンス調整処理を抜け、このインピーダンス調整処理の呼び出し元に戻る。

【0070】

以上の構成によれば、バイパス部 10 が備える各スイッチの設定が変更されることによって、バイパス部 10 のインピーダンスの周波数特性は変化される。すなわち、各スイッチを切り替えてバイパス部 10 の並列するコンデンサの数を変更することで、並列コンデ

10

20

30

40

50

ンサの共振・反共振によるインピーダンスの増減効果を適宜使い分けることができる。また、第2の実施形態では、第1の実施形態が備えるチップインダクタなどを必要としないため、より簡素な回路構成となり、コストを低減することができる。

【0071】

なお、バイパス経路は例えば図15に示すような構成としても良い。図15のC12は、所定の容量をもつコンデンサであり、この変形例においては例えば、コンデンサC10の容量より一桁小さい10 pFとする。このコンデンサC12をコンデンサC10に対して並列するように備えることで、バイパス経路P21のキャパシタンスを変更することができる。すなわち、スイッチSW11をオンとしているときには、コンデンサC10およびC12の合成容量110 pFがバイパス経路P21に生じる。一方、スイッチSW11をオフとしているときにはコンデンサC10単体の100 pFがバイパス経路P21に生じる。そして、スイッチSW11を制御してバイパス経路P21のキャパシタンスを100 pFから110 pFに変更することで、バイパス部10のインピーダンスの周波数特性は、たとえば図9のL5からL51のように、低い周波数の方向へ移すことができる。

【0072】

以上のように、バイパス経路が備える主コンデンサに並列するように、主コンデンサよりも容量が小さい副コンデンサを配置し、副コンデンサに直列なスイッチを切り替えることで、バイパス部10のインピーダンスを調整することができる。なお、ここでの主コンデンサとは、上段落で述べたコンデンサC10であり、副コンデンサとはコンデンサC12である。もちろんこれら主コンデンサと副コンデンサの容量は適宜設計されればよい。また、副コンデンサが主コンデンサよりも大きい容量であってもよい。主コンデンサに他の回路（副コンデンサ）を接続することで、周波数特性が変更される構成となっていればよい。

【0073】

また、前述した第2の実施形態では、図12に示したように、バイパス部10として4つのバイパス経路P21～24を備える構成としたが、これに限らない。バイパス経路の数は適宜設計者によって設計されればよい。

【0074】

また、バイパス経路は必ずしも複数とは限らず、図16に示すように、ノイズバイパス回路100が備えるバイパス経路はひとつでもよい。このとき、バイパス量検出部20は、金属筐体部61に配置する。このバイパス量検出部20として、特開2007-85741に開示の電流プローブを用いてもよい。

【0075】

ここで、図16中のC0は、プリント基板90と金属筐体部61間に存在する浮遊容量であり、スイッチSW10がオフの場合には、プリント基板90に侵入したノイズは、この浮遊容量C0を介して金属筐体部61に流れる。そして、制御部40は、SW10をオンとした場合と、オフとした場合の、それぞれのバイパス量I5を取得し、バイパス量I5が多いほうのスイッチ状態とすればよい。たとえば、SW10をオンとした場合とオフとした場合のどちらのバイパス量が大きいかを判定するため、一定周期ごとにスイッチSW10を切り替えてみる。仮に現在スイッチSW10がオンだとすると、短時間（バイパス量が検出できる程度の時間）だけ、SW10をオフに設定してバイパス量を検出する。その結果、バイパス量が増加したと判定された場合には、そのままスイッチSW10をオフに設定し、一方、バイパス量が減少したと判定された場合にはオンに戻す。ここでの一定周期とは、バイパス量が検出できる程度の時間よりも長いものとすればよい。

【0076】

このような構成とすることで、ノイズバイパス回路100が備える素子の数を、上述した実施形態よりもさらに低減し、コストを抑えることができる。

【0077】

（第3の実施形態）

さらに、本発明に係るノイズバイパス回路100は、第3の実施形態として図17～図

10

20

30

40

50

20を用いて説明するような構成としてもよい。図17は、図1に対応する図であり、第2の実施形態に係るノイズバイパス回路100の構成を示すブロック図である。なお、この第3の実施形態の説明において、これまでに使用した符号と同一番号の符号を有する要素は、特に言及する場合を除き、前述した実施形態における同一符号の要素と同一の要素である。

【0078】

この第3の実施形態におけるノイズバイパス回路100の回路構成の一例を図18に示す。この構成において制御部40が実施する処理の流れは、インピーダンス調整処理を除いて、第1の実施形態における同様である。したがってここでは、第3の実施形態におけるインピーダンス調整処理について、図6に対応する図19を用いて説明する。図19に示すフローチャートは、図5のステップS6または後述する図7のステップS16に移ったときに開始され、ステップS300より開始する。以降では、図5のステップS4において、I1~4のうち、I1が最も大きかった場合、すなわち、バイパス経路P31に最もノイズが流れていた場合を例として、説明する。なお、初期のスイッチ状態（すなわち初期設定状態）として、スイッチSW11、SW21、SW31、およびSW41はいずれもオンとなっており、その他のスイッチ（SW12など）はオフとなっているものとする。

10

【0079】

ステップS300では、インダクタンス調整処理を実施してステップS302に進む。このステップS300のインダクタンス調整処理は、図6のインダクタンス調整処理と同様の処理である。ステップS302では、バイパス量検出処理を実施して、ステップS304に進む。このステップS302のバイパス量検出処理では、各バイパス量検出部21~24が検出した電流の値I1~4を取得して総バイパス量Iaを算出し、このときの各スイッチの状態とともに記憶部46に記憶させる。

20

【0080】

ステップS304では、現在のスイッチ状態での総バイパス量Iaと、その前のスイッチ状態でのバイパス量Iaとを比較し、総バイパス量Iaが増加したか否かを判定する。比較の結果、総バイパス量Iaが増加している場合には、ステップS304がYESとなって、ステップS306に進む。また、比較の結果、総バイパス量Iaが減少している場合は、ステップS304がNOとなってステップS308に進む。

30

【0081】

ステップS306では、バイパス経路P31のスイッチSW11~13の状態から、スイッチSW11~13を制御してバイパス経路P31に付加できるインダクタンスが最大となっているか否かを判定する。本実施形態においてバイパス経路P31のインダクタンスが最大となっている状態とは、スイッチSW13がオン、SW11およびSW12がオフの状態である。バイパス経路P31に付加できるインダクタンスが最大となるスイッチ状態である場合にはステップS306がYESとなって、インピーダンス調整処理を抜け、インピーダンス調整処理の呼び出し元に戻る。また、まだバイパス経路P31に付加できるインダクタンスが最大となっていない場合には、ステップS306がNOとなってステップS300に戻る。

40

【0082】

ステップS308では、バイパス経路P31が備える各スイッチの状態を、総バイパス量Iaが減少する前のスイッチ状態（すなわち、記憶部46が記憶している総バイパス量Iaが最も大きかったときのスイッチ状態）に戻してインピーダンス調整処理を終了する。

【0083】

このような構成では、バイパス部10が備える各スイッチの設定が変更されることによって、バイパス部10のインピーダンスの周波数特性は変化される。すなわち、インダクタンス調整部44によってバイパス部10のインダクタンスを調整することで、バイパス部10のインピーダンスのピーク周波数を低い周波数の方向へ移すことができる。そして

50

、第3の実施形態では、第1の実施形態が備えるコンデンサC11、C21、C31、C41などを必要としないため、第1の実施形態より簡素な回路構成となり、コストを低減することができる。

【0084】

なお、この図1および図18に示す回路構成においては、たとえばスイッチSW11～13を全てオフにすることで、バイパス経路P31をバイパス部10から切り離し、バイパス部10のインピーダンスの周波数特性を変化させることができる。すなわち、スイッチSW11～13を全てオフにした場合には、第2の実施形態の図12において、SW10をオフにした場合と同様の効果が得られる。したがって、図1および図18の構成は、第2の実施形態のように、並列コンデンサによる共振・反共振の周波数特性の変化を適宜利用することができる。

10

【0085】

なお、以上で述べた第3の実施形態では、図13に示したように、バイパス部10として4つのバイパス経路P31～34を備える構成としたが、これに限らない。バイパス経路の数は適宜設計者によって設計されればよい。また、バイパス経路は必ずしも複数とは限らず、図15に示すように、ノイズバイパス回路100が備えるバイパス経路はP1のひとつでもよい。

【0086】

図15のスイッチSW11～15は、いずれもnpnトランジスタよりなり、各トランジスタのゲートは制御部40に接続されている。各トランジスタのコレクタは、プリント基板90のグラウンドVG1に接続されている。また、スイッチSW12～15として作動する各トランジスタのエミッタは、それぞれ異なるインダクタンスをもつチップインダクタ(L12～L15)に接続されている。本変形例においてL12は1nH、L13は2nH、L14は3nH、L15は4nHとする。図15の構成における制御部40が実施する制御は、バイパス経路が1つであるため周波数推定処理を実施しない点を除けば、上述した第3の実施形態での処理と同様である。

20

【0087】

このような構成では、バイパス量検出部20の数は1つでよい。したがって、前述した第3の実施形態に比べて、ノイズバイパス回路を構成する要素を少なくすることができる。特に、バイパス量検出部20を小型の電流プローブで実現する場合、1つのバイパス量検出部20にかかるコストは、他の要素(たとえばチップインダクタやトランジスタ)1つにかかるコストに比べて大きい。したがって、バイパス量検出部20の個数を1つとすることで、前述した実施形態に比べて、ノイズバイパス回路にかかるコストを低減することができる。

30

【0088】

また、チップインダクタ(L12～L15)およびそれに接続するスイッチの数を増やすことで、インダクタンス調整処理時に、スイッチの切り替えによって実現可能なインダクタンスの数値の種類を増やすことができる。このため、バイパス部10のとりうるインダクタンス、ひいてはインピーダンスの自由度を向上させることができる。なお、本変形例が備えるチップインダクタの数は、4つに限らず、1つであってもよい。

40

【0089】

また、各実施形態で備えていたコンデンサは、バリキャップダイオードを用いてもよく、制御部40はアナログ回路で実現してもよい。さらに、第1～第3の実施形態においては、ノイズが変化するたびにスイッチを切り替えて、バイパス量が減少した場合には、1つ手前のスイッチ状態となるように設定したが、これに限らない。たとえば、車両イミュニティ試験時に各周波数において、最適なスイッチ状態を求め、記憶部46に登録しておき、周波数推定部45で推定したノイズの周波数に応じて最適なスイッチ状態を記憶部46より読み出せばよい。

【0090】

また、以上では、本発明のノイズバイパス回路100を、車両に搭載されるECU内の

50

プリント基板 90 に適用した例を挙げたが、これに限らない。本発明は、比較的長いワイヤーハーネスや配線によって他の装置と接続している制御回路に適用でき、例えば、船や飛行機、鉄道などのほか、産業機器、家庭用電気機器、アミューズメント機器、複写機、エレベータなどの制御回路に適用できる。

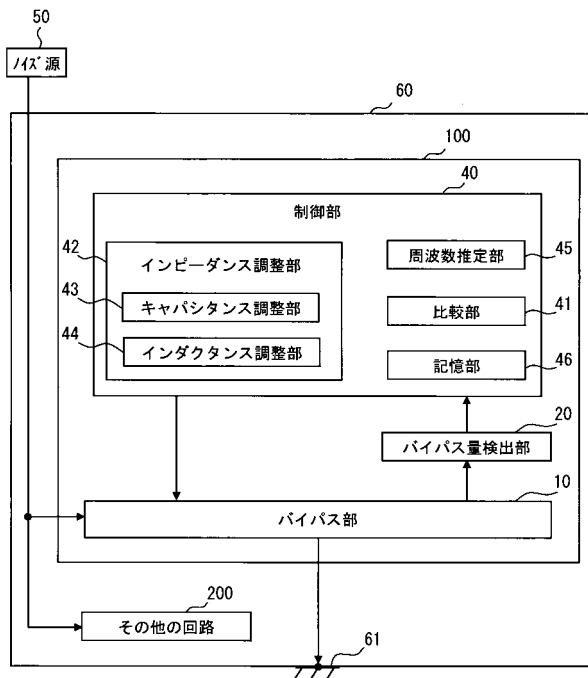
【符号の説明】

【0091】

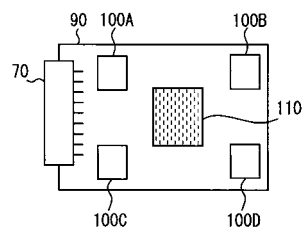
100、100A、100B、100C、100D ... ノイズバイパス回路、
90 ... プリント基板、10 ... バイパス部、
P1 ~ P4、P21 ~ P24、P31 ~ 35 ... バイパス経路、
20、21 ~ 24 ... バイパス量検出部、
46 ... 記憶部、40 ... 制御部、41 ... 比較部、42 ... インピーダンス調整部、
43 ... キャパシタンス調整部、44 ... インダクタンス調整部、45 ... 周波数推定部、
50 ... ノイズ源、61 ... 金属筐体部（導体部分）

10

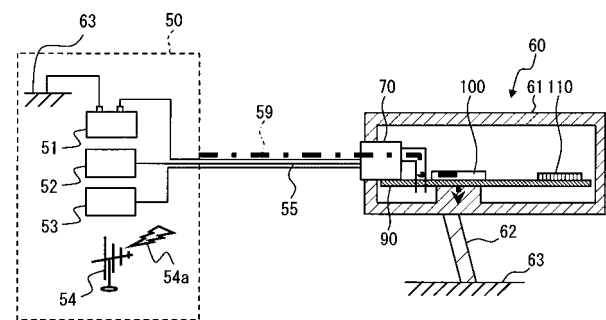
【図 1】



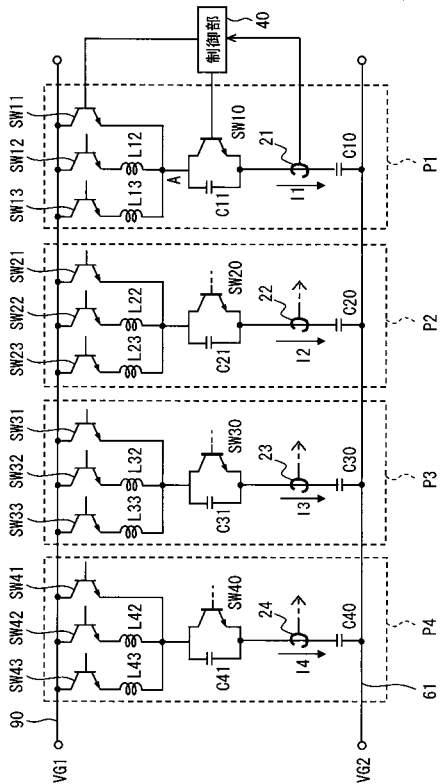
【図 2】



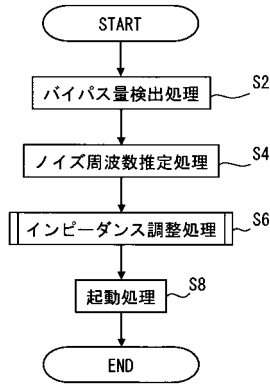
【図 3】



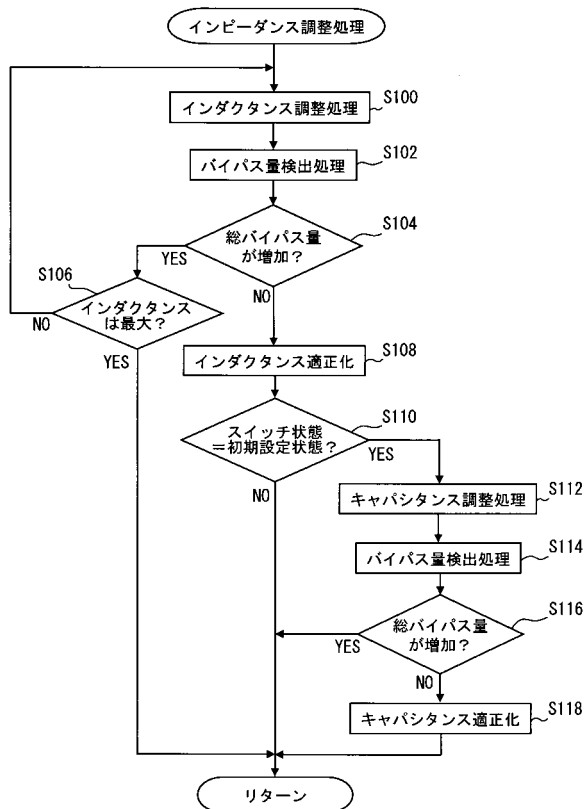
【図 4】



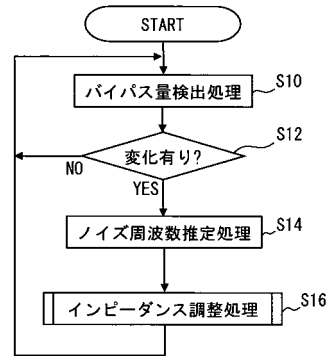
【図 5】



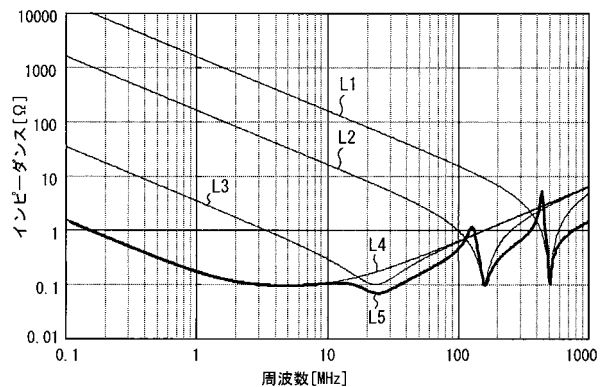
【図 6】



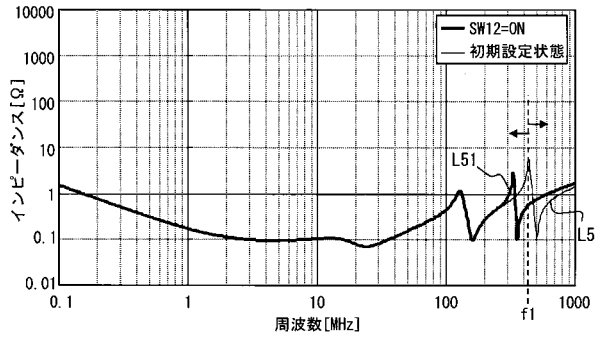
【図 7】



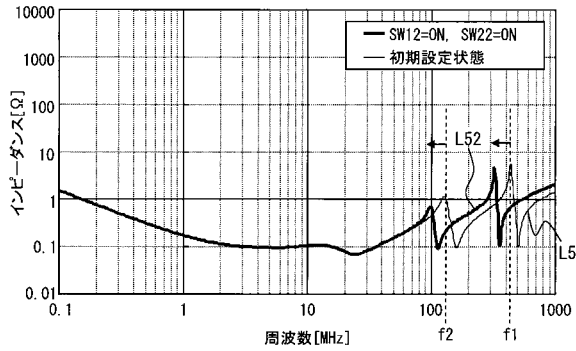
【図 8】



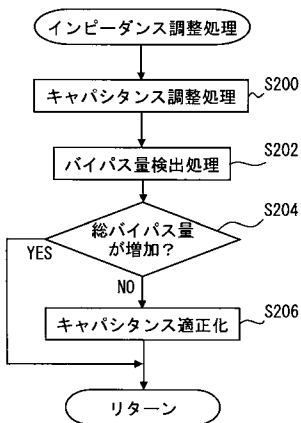
【図 9】



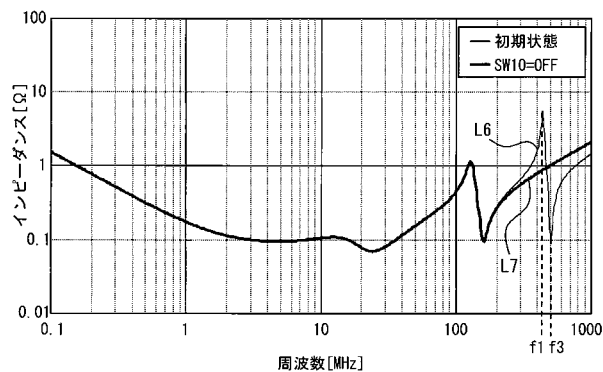
【図 10】



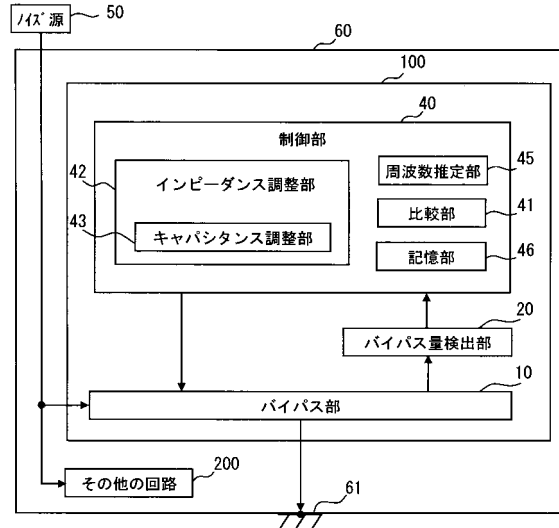
【図 13】



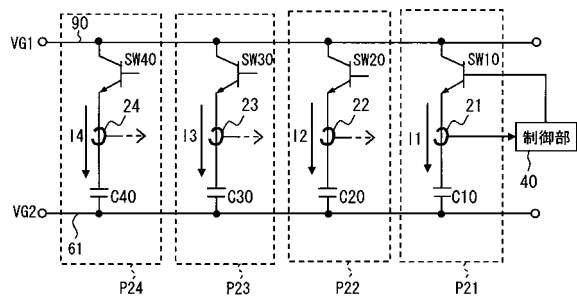
【図 14】



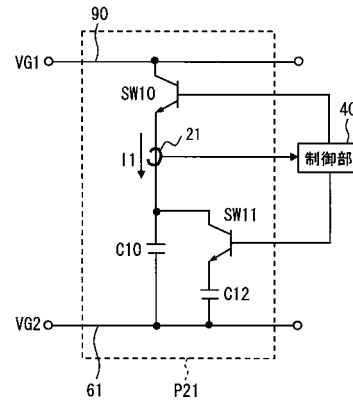
【図 11】



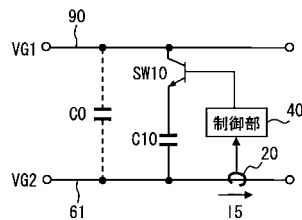
【図 12】



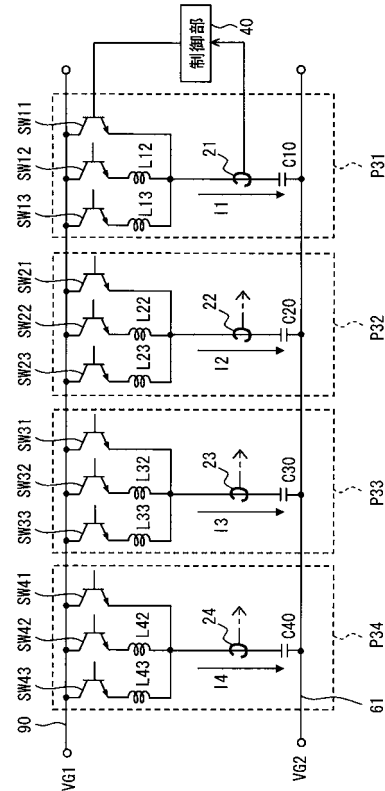
【図 15】



【図 16】



【 図 1 8 】



```

graph TD
    S300([インピーダンス調整処理]) --> S302[インダクタンス調整処理 S300]
    S302 --> S304[バイパス量検出処理 S302]
    S304 --> S306{総バイパス量が増加? S304}
    S306 -- YES --> S308{インダクタンスは最大? S306}
    S306 -- NO --> S308
    S308 -- YES --> S308
    S308 -- NO --> S300
    S308 --> S310([リターン])

```

Figure 1 is a block diagram of a power supply system. A power source 90 provides input voltage VG1 to a power supply unit 61. The unit 61 contains five parallel branches, each with a switch (SW15, SW14, SW13, SW12, SW11) and an inductor (L15, L14, L13, L12, L11). The outputs of these branches are connected to a common output line 20. A current I1 flows from the output line 20 through a capacitor C10 to ground. A control unit 40 is connected to the output line 20 and the capacitor C10. The output voltage is VG2.

フロントページの続き

(72)発明者 田中 誠

愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

(72)発明者 直井 孝

愛知県西尾市下羽角町岩谷 1 4 番地 株式会社日本自動車部品総合研究所内

F ターム(参考) 5J024 AA02 AA03 BA18 BA19 CA02 CA18 EA08