CH 651 951 A5

(19) SCHWEIZERISCHE EIDGENOSSENSCHAFT
BUNDESAMT FÜR GEISTIGES EIGENTUM

(11) CH 651 951 A5

(51) Int. Cl.⁴: G 06 F 13/14

Erfindungspatent für die Schweiz und Liechtenstein
Schweizerisch-liechtensteinischer Patentschutzvertrag vom 22. Dezember 1978

(12) PATENTSCHRIFT A5

(21) Gesuchsnummer: 7797/80

(22) Anmeldungsdatum: 20.10.1980

(24) Patent erteilt: 15.10.1985

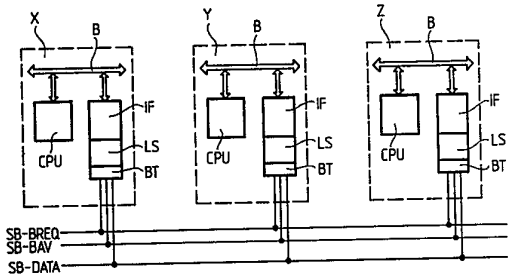
(45) Patentschrift veröffentlicht: 15.10.1985

(73) Inhaber:
Inventio Aktiengesellschaft, Hergiswil NW

(72) Erfinder:
Friedli, Paul, Dr. sc. tech., Zürich
Süss, Hans Gerhard, Udligenswil

(54) Einrichtung zur Steuerung des Zugriffes von Prozessoren auf eine Datenleitung.

(57) Mit dieser Einrichtung soll der Zugriff mehrerer Mikroprozessoren auf eine Datenleitung gesteuert werden. Zu diesem Zweck sind die Prozessoren (CPU) über Schnittstellenbausteine (IF), Logik-Schaltkreise (LS) und Bustreiber (BT) an zwei Leitern (SB-BREQ, SB-BAV) angeschlossen. Durch eine Zugriffsanforderung (BREQ) eines Prozessors wird ein Signalwechsel des ersten Leiters (SB-BREQ) hervorgerufen. Dieser Signalwechsel bewirkt die Umwandlung einer prozessorspezifischen Information in die Verzögerung eines Prioritätssignals, bei dessen Auftreten ein Signalwechsel des zweiten Leiters (SB-BAV) erfolgt. In Abhängigkeit davon tritt an einem Eingang des Schnittstellenbausteines (IF) ein die Verfügbarkeit des Datenleiters (SB-DATA) anzeigender Signalwechsel auf. Bei gleichzeitig eintreffenden Zugriffsanforderungen (BREQ) mehrerer Prozessoren wird der Signalwechsel des zweiten Leiters (SB-BAV) von demjenigen Prozessor verursacht, dessen Prioritätssignal die kleinste Verzögerung aufweist. Der Signalwechsel des zweiten Leiters (SB-BAV) verhindert das Auftreten der den übrigen Prozessoren zugeordneten Prioritätssignale mit grösseren Verzögerungen. Bei diesen Prozessoren kann daher auch kein die Verfügbarkeit des Datenleiters (SB-DATA) anzeigender Signalwechsel am Eingang des betreffenden Schnittstellenbausteines (IF) stattfinden.



PATENTANSPRÜCHE

1. Einrichtung zur Steuerung des Zugriffes von Prozessoren auf eine Datenleitung, wobei die Prozessoren (CPU) über Ein-Ausgabe-Schnittstellenbausteine (IF) an der Datenleitung angeschlossen sind und jeder Ein-Ausgabe-Schnittstellenbaustein (IF) einen eine Zugriffsanforderung (BREQ) eines Prozessors (CPU) lesenden Eingang aufweist, dadurch gekennzeichnet, dass der Ein-Ausgabe-Schnittstellenbaustein (IF) mit einem Logik-Schaltkreis (LS) verbunden ist, welcher einen die Zugriffsanforderung (BREQ) ausgebenden Ausgang (A1) und einen eine Priorität bezüglich des Zugriffes des jeweiligen Prozessors (CPU) signalisierenden Ausgang (A2) aufweist, wobei die Anforderungsausgänge (A1) der Logik-Schaltkreise (LS) über je einen ersten Bustreiber (BT1) an einem ersten Leiter (SB-BREQ) und die Prioritätsausgänge (A2) der Logik-Schaltkreise (LS) über je einen zweiten Bustreiber (BT2) mit einem zweiten Leiter (SB-BAV) verbunden sind, und wobei der Logik-Schaltkreis (LS) einen mit dem ersten Bustreiber (BT1) verbundenen und über diesen den Signalzustand des ersten Leiters (SB-BREQ) lesenden ersten Eingang (E1) und einen mit dem zweiten Bustreiber (BT2) verbundenen und über diesen den Signalzustand des zweiten Leiters (SB-BAV) lesenden zweiten Eingang (E2) aufweist.

2. Einrichtung nach Patentanspruch 1, dadurch gekennzeichnet, dass die Datenleitung aus einem Leiter (SB-DATA) besteht, der über einen dritten Bustreiber (BT3) an einem Dateneingang (E3) und einem Datenausgang (A3) des Logik-Schaltkreises (LS) angeschlossen ist, wobei der Dateneingang (E3) mit einem Eingang (IN) und der Datenausgang (A3) mit einem Ausgang (OUT) des Ein-Ausgabe-Schnittstellenbausteines (IF) in Form eines seriellen Schnittstellenbausteines verbunden sind.

3. Einrichtung nach Patentanspruch 1, dadurch gekennzeichnet, dass der Logik-Schaltkreis (LS) einen Zähler (C) aufweist, wobei die Priorität des jeweiligen Prozessors (CPU) durch eine Binärzahl dieses Zählers (C) ausgedrückt ist.

4. Einrichtung nach einem der Patentansprüche 1 bis 3, dadurch gekennzeichnet,

– dass der Logik-Schaltkreis (LS) eine erste Gatteranordnung (G1) aufweist, über welche der Anforderungsausgang (A1) mit einem die Zugriffsanforderung (BREQ) ausgebenden Anschluss ($\overline{\text{RTS}}$) des seriellen Schnittstellenbausteines (IF) und der erste Leseeingang (E1) mit einem Inkrementieranschluss (LOAD) des Zählers (C) verbunden sind, wobei bei Eintreffen einer oder gleichzeitig mehrerer Zugriffsanforderungen (BREQ) und des dadurch verursachten Signalwechsels des ersten Leiters (SB-BREQ) und der ersten Leseeingänge (E1) die betreffenden Zähler (C) gleichzeitig inkrementiert werden,

– dass der Logik-Schaltkreis (LS) eine zweite Gatteranordnung (G2) aufweist, über welche ein Übertragsanschluss (RC) des Zählers (C) mit dem Prioritätsausgang (A2) verbunden ist, wobei beim Übertrag des die grösste Binärzahl aufweisenden Zählers (C) ein Signalwechsel des mit dem betreffenden Zähler (C) verbundenen Prioritätsausganges (A2), des zweiten Leiters (SB-BAV) und der zweiten Leseeingänge (E2) stattfindet,

– dass der zweite Leseeingang (E2) über die erste Gatteranordnung (G1) mit dem Inkrementieranschluss (LOAD) des Zählers (C) verbunden ist, wobei beim Signalwechsel der zweiten Leseeingänge (E2) das Inkrementieren der die kleineren Binärzahlen aufweisenden Zähler (C) vor Erreichen des Übertrags unterbrochen wird, und

– dass der Übertragsanschluss (RC) des Zählers (C) über die zweite Gatteranordnung (G2) mit einem die Verfügbarkeit der Datenleitung (SB-DATA) signalisierenden Eingang ($\overline{\text{CTS}}$) des seriellen Schnittstellenbausteines (IF) verbunden ist, wobei bei einem durch eine Zugriffsanforderung (BREQ) hervorgerufenen Signalwechsel des ersten und zweiten Leiters (SB-BREQ, SB-BAV) der Zugriff zur Datenleitung (SB-DATA) über den Datenausgang (A3) frei gegeben wird.

Die Erfindung betrifft eine Einrichtung zur Steuerung des Zugriffes von Prozessoren auf eine Datenleitung, wobei die Prozessoren über Ein-Ausgabe-Schnittstellenbausteine an der Datenleitung angeschlossen sind und jeder Ein-Ausgabe-Schnittstellenbaustein einen eine Zugriffsanforderung eines Prozessors lesenden Eingang aufweist.

Bei derartigen Einrichtungen kann mittels standardisierter im Handel erhältlicher Ein-Ausgabe-Schnittstellenbausteine ein Datentransfer über eine Datenleitung zwischen einem Digitalrechner und einem externen Baustein, beispielsweise einem Fernschreiber bei Anwendung serieller Übertragungstechnik, verwirklicht werden, wobei vor dem Datentransfer durch eine Sequenz von Steuersignalen die Sende- und Empfangsbereitschaft zwischen den einzelnen Terminals abgeklärt wird. Soll jedoch zwischen mehreren, an einer gemeinsamen Datenleitung angeschlossen Computersystemen beziehungsweise Prozessoren oder zwischen diesen und mit der gemeinsamen Datenleitung verbundenen externen Bausteinen ein Datenaustausch stattfinden, so treten insbesondere bei gleichzeitigem Zugriff auf die Datenleitung Probleme auf, die mit standardisierten Ein- und Ausgabebausteinen nicht mehr ohne weiteres zu lösen sind.

Mit einer Einrichtung nach der DOS Nr. 28 24 557 für die direkte Ankopplung mehrerer Mikroprozessoren an einen gemeinsamen Systembus wird eine Lösung vorstehenden Problems vorgeschlagen. Hierbei besitzen die einen HOLD-Eingang und einen HOLDA-Ausgang aufweisenden Mikroprozessoren eine Logik, mittels welcher der Zugriff zum Systembus gesteuert werden kann. Bevor der Zugriff freigegeben wird, muss ein Bus-Anforderungszyklus in Form einer Signalsequenz durchgeführt werden, welche im wesentlichen aus einem Anforderungssignal BUSREQ an einen als Master arbeitenden Prozessor und einem Quittungssignal HOLDA dieses Masters an den Anforderer besteht. Erst wenn die Quittung vorliegt, darf der Anforderer den Bus für einen oder mehrere Zugriffe belegen. Um den Bus-Anforderungszyklus durchzuführen, sind die Mikroprozessoren nach dem Master-Slave-Prinzip derart zusammengeschaltet, dass die Anforderungsausgänge BUSREQ der Slave-Prozessoren über ein ODER-Glied mit dem HOLDEingang des Master-Prozessors und dessen Quittungsausgang HOLDA mit einem Quittungseingang BPRI des nächstfolgenden Slave-Prozessors verbunden ist. Die Slave-Prozessoren sind untereinander derart gekoppelt, dass jeweils ein Quittungsausgang BPRO eines vorangehenden mit einem Quittungseingang BPRI eines nachfolgenden Slave-Prozessors verbunden ist.

Mit dieser Einrichtung wird die Priorität der einzelnen Mikroprozessoren festgelegt, so dass bei gleichzeitigem Zugriff mehrerer Prozessoren jeweils der dem Master-Prozessor am nächsten liegende auf den Bus zugreifen kann. Die Nachteile vorstehender Einrichtung sind jedoch darin zu sehen, dass zusätzlich zu den Daten- und Steuerleitungen des Systembusses noch weitere Leiter für die Durchführung des Bus-Anforderungszyklus erforderlich sind, wobei mit zunehmender Anzahl Mikroprozessoren auch die Anzahl der Anforderungsleiter BUSREQ steigt. Als nachteilig kann ebenfalls angesehen werden, dass mit zunehmender Anzahl Prozessoren die Buszuteilung zu zeitaufwendig wird, da die einzelnen Prozessoren bei der Quittungsfortschaltung zeitlich nacheinander abgetastet werden, um festzustellen, welcher Prozessor der Anforderer ist.

Der Erfindung liegt die Aufgabe zugrunde, eine gegen-

über der vorstehend beschriebenen verbesserte Einrichtung zur Steuerung des Zugriffes von Mikroprozessoren auf eine Datenleitung vorzuschlagen, welche weniger Leiter aufweist und mittels welcher die Zugriffspriorität schneller ermittelbar ist. Diese Aufgabe wird dadurch gelöst, dass zur Durchführung des Bus-Anforderungszyklus zwei Leiter SB-BREQ, SB-BAV verwendet werden, wobei während einer ersten Phase der erste Leiter SB-BREQ demjenigen Prozessor zugeteilt wird, welcher als erster eine Zugriffsanforderung BREQ aussendet, und wobei während einer zweiten Phase eine prozessorspezifische Information in eine Verzögerung eines Prioritätssignals umgewandelt und dieses Signal auf den zweiten Leiter SB-BAV gebracht wird, so dass bei gleichzeitig eintreffenden Zugriffsanforderungen BREQ mehrerer Prozessoren der zweite Leiter SB-BAV demjenigen Prozessor zugeteilt wird, dessen Prioritätssignal die kleinste Verzögerung aufweist und der damit Priorität für den Zugriff auf die Datenleitung besitzt, wobei in einer dritten Phase der eigentliche Datentransfer durchgeführt wird.

Die mit der Erfindung erzielten Vorteile sind im wesentlichen darin zu sehen, dass bei Anwendung serieller Übertragungstechnik und beliebig vielen Teilnehmern insgesamt nur drei Leiter benötigt werden, und zwar zwei Leiter SB-BREQ, SB-BAV für die konfliktlose Steuerung des Buszugriffes und ein Leiter SB-DATA für den seriellen Datentransfer. Ein zusätzlicher Vorteil ergibt sich daraus, dass für die zur Steuerung des Zugriffes erforderliche zusätzliche Logik standardisierte serielle Schnittstellenbausteine verwendet werden, welche mit relativ kleinem Aufwand entsprechend modifiziert und ergänzt sind.

Auf beiliegender Zeichnung ist ein Ausführungsbeispiel der Erfindung dargestellt, das im folgenden näher erläutert wird. Es zeigen:

Fig. 1 ein Blockschema der erfindungsgemässen Einrichtung,

Fig. 2 einen Logik-Schaltkreis der Einrichtung gemäss Fig. 1,

Fig. 3 ein Diagramm des zeitlichen Verlaufes der Signale der Ein- und Ausgänge des Logik-Schaltkreises und der damit verbundenen Leiter während eines Anforderungszyklus,

Fig. 4 ein Diagramm des zeitlichen Verlaufes der Signale der Prioritätsein- und -ausgänge sowie des Prioritätsleiters bei zwei gleichzeitig auftretenden Zugriffsanforderungen.

In der Fig. 1 sind mit X, Y und Z drei voneinander unabhängige Mikrocomputersysteme bezeichnet. Die Mikroprozessoren CPU der Systeme X, Y und Z sind in bekannter Weise über einen aus Adressen-, Daten- und Steuerleitungen bestehenden Bus B mit nicht weiter dargestellten, dem jeweiligen System zugeordneten Schreib-Lesespeichern, Festwertspeichern und Ein-Ausgabe-Bausteinen verbunden. Jedes System X, Y, Z ist über eine aus einem seriellen Schnittstellenbaustein IF, einem Logik-Schaltkreis LS und Bustreibern BT bestehende Ankopplung an einem Datenleiter SB-DATA sowie an einem ersten und einem zweiten, der Bestimmung der Zugriffspriorität dienenden Leiter SB-BREQ, SB-BAV angeschlossen.

Nach der Fig. 2 besitzt der Logik-Schaltkreis LS einen über einen ersten Bustreiber BT1 mit dem ersten Leiter SB-BREQ verbundenen Anforderungsausgang A1, einen über einen zweiten Bustreiber BT2 mit dem zweiten Leiter SB-BAV verbundenen Prioritätsausgang A2 und einen über einen dritten Bustreiber BT3 mit dem Datenleiter SB-DATA verbundenen Datenausgang A3. Mit E1, E2 und E3 sind drei, mit den Bustreibern BT1, BT2 und BT3 verbundene und über diese den Signalzustand des jeweiligen Leiters SB-BREQ, SB-BAV und SB-DATA lesende Eingänge bezeichnet. Ein Zähler C weist vier parallele Eingänge PR0, PR1, PR2, PR3 auf, die mit einem nicht dargestellten, dem jeweiligen Mikrocomputersystem X, Y, Z zugeordneten parallelen Schnittstellenbaustein verbunden sind, und über welche eine die Priorität des betreffenden Mikroprozessors CPU ausdrückende Binärzahl ladbar ist. Eine erste Gatteranordnung G1 besteht aus einem NAND-Glied 1 und einem JK-Flip-Flop 2, wobei dessen Eingänge $\overline{K}$, J mit den Leseeingängen E1, E2 verbunden sind und dessen Ausgang Q mit einem Eingang des NAND-Gliedes 1 in Verbindung steht sowie dessen Ausgang $\overline{Q}$ an einem Inkrementieranschluss LOAD des Zählers C angeschlossen ist. Der Eingang S des JK-Flip-Flops 2 steht über ein NOT-Glied 3 mit einem eine Zugriffsanforderung BREQ ausgebenden Anschluss $\overline{RTS}$ des seriellen Schnittstellenbausteins IF in Verbindung. Der Ausgang des NAND-Gliedes 1 ist mit dem die Zugriffsanforderung BREQ weiterleitenden Anforderungsausgang A1 verbunden. Eine zweite Gatteranordnung G2 besteht aus einem weiteren JK-Flip-Flop 4, dessen Eingang J mit einem Übertragsanschluss RC des Zählers C verbunden ist und dessen Eingang $\overline{K}$ und Ausgang Q miteinander verbunden und am Prioritätsausgang A2 angeschlossen sind. Der Ausgang $\overline{Q}$ des weiteren JK-Flip-Flops 4 ist mit einem die Verfügbarkeit der Datenleitung SB-DATA signalisierenden Eingang $\overline{CTS}$ des seriellen Schnittstellenbausteins IF und einem weiteren Eingang des NAND-Gliedes 1 verbunden. Der Eingang R des weiteren JK-Flip-Flops 4 steht mit dem Eingang S des JK-Flip-Flops 2 der ersten Gatteranordnung G1 in Verbindung. Der Datenausgang A3 und der Dateneingang E3 sind über je ein NOT-Glied 5, 6 mit einem Datenausgang OUT und einem Dateneingang IN des seriellen Schnittstellenbausteins IF verbunden.

Die für das in den Logik-Schaltkreis LS einzuführende Taktsignal erforderlichen Anschlüsse und Verbindungen sind nicht dargestellt. Die Bustreiber BT1 -BT3 sowie der serielle Schnittstellenbaustein sind im Handel erhältliche Komponenten, beispielsweise solche vom Typ SN 75138 beziehungsweise TMS 9902 von Texas Instruments.

Die vorstehend beschriebene Einrichtung arbeitet wie folgt:

Bei einem Zugriff beispielsweise des Prozessors des Mikrocomputersystems X auf den Datenleiter SB-DATA, wird der dazugehörige serielle Schnittstellenbaustein IF angesteuert und eine Zugriffsanforderung BREQ über den Anschluss $\overline{RTS}$ und die erste Gatteranordnung G1 an den Anforderungsausgang A1 gesendet. Ist der Datenleiter SB-DATA frei, was beispielsweise durch niederes Potential des ersten und zweiten Leiters SB-BREQ, SB-BAV und hohes Potential des ersten und zweiten Leseeinganges E1, E2 gekennzeichnet sein möge, so werden über den ersten Bustreiber BT1 der erste Leiter SB-BREQ auf hohes und die ersten Leseeingänge E1 aller Systeme X, Y, Z auf niederes Potential gesetzt (Zeitpunkt I, Fig. 3), was zur Folge hat, dass über die erste Gatteranordnung G1 ein Inkrementiervorgang des Zählers C des Systems X ausgelöst wird. Nach einer Zeit t_x hat der Zähler C den Inkrementiervorgang beendet, wobei ein Übertrag erzeugt und das Potential des Prioritätsausganges A2 über die zweite Gatteranordnung G2 niedrig gesetzt wird (Zeitpunkt II, Fig. 3). Gleichzeitig werden damit über den zweiten Bustreiber BT2 der zweite Leiter SB-BAV auf hohes und alle Leseeingänge E2 auf niederes Potential gebracht. Mit der Erzeugung des Übertrages beim Zähler C des Systems X wird ausserdem über die zweite Gatteranordnung G2 am Eingang $\overline{CTS}$ des seriellen Schnittstellenbausteins IF ein die Verfügbarkeit des Datenleiters SB-DATA anzeigender Signalwechsel hervorgerufen. Bei den übrigen Systemen Y, Z kann dieser Signalwechsel nicht stattfinden, da bei niedrig gesetzten Leseeingängen E2 ein Inkrementieren der Zähler C und somit das Erzeugen eines Übertrages nicht möglich ist. Die nun über die Datenausgänge OUT und A3 seriell zu übertragenden Informationen des Systems X sind beispielsweise Ein-

oder Mehr-Byte Telegramme, welche aus Adressen- und Datenbits zusammengesetzt sind. Das jeweilige adressierte System wird in bekannter, nicht weiter beschriebener Weise die über die Dateneingänge E3 und IN empfangenen Informationen identifizieren und vom seriellen Schnittstellenbaustein IF in einen Schreib-Lesespeicher transferieren.

Bei gleichzeitigem Zugriff, beispielsweise der Systeme X und Y auf den Datenleiter SB-DATA, wird der Inkrementiervorgang der betreffenden Zähler C gleichzeitig über die ersten Gatteranordnungen G1 gestartet (Zeitpunkt I, Fig.4). Es sei nun angenommen, dass das System X gegenüber den Systemen Y, Z Priorität hat, der entsprechende Zähler C also die grösste Binärzahl enthält. Dieser Zähler C wird daher nach der Zeit t_x den Inkrementiervorgang unter Erzeugung eines Übertrages zuerst beenden, wobei das Potential des Prioritätsausganges A2 über die zweite Gatteranordnung G2 niedrig gesetzt wird (Zeitpunkt II, Fig. 4). Gleichzeitig werden damit über den zweiten Bustreiber BT2 der zweite Leiter SB-BAV auf hohes und alle Leseeingänge E2 auf niederes Potential gebracht, so dass der Inkrementiervorgang des Zählers C von System Y noch vor Erreichen des Übertrages über die erste Gatteranordnung G1 gestoppt wird, wobei der Übertrag erst nach einer der kleineren Binärzahl entsprechenden Zeit t_y erzeugbar wäre (Zeitpunkt III, Fig. 4). Bei nicht erfolgtem Übertrag kann daher auch kein die Verfügbarkeit des Datenleiters SB DATA anzeigender Signalwechsel am Eingang $\overline{\text{CTS}}$ des betreffenden seriellen Schnittstellenbausteins IF stattfinden.

Fig. 1

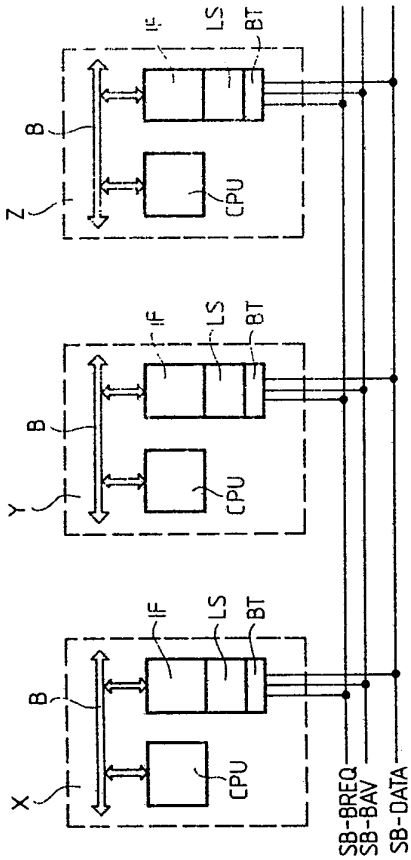


Fig. 2

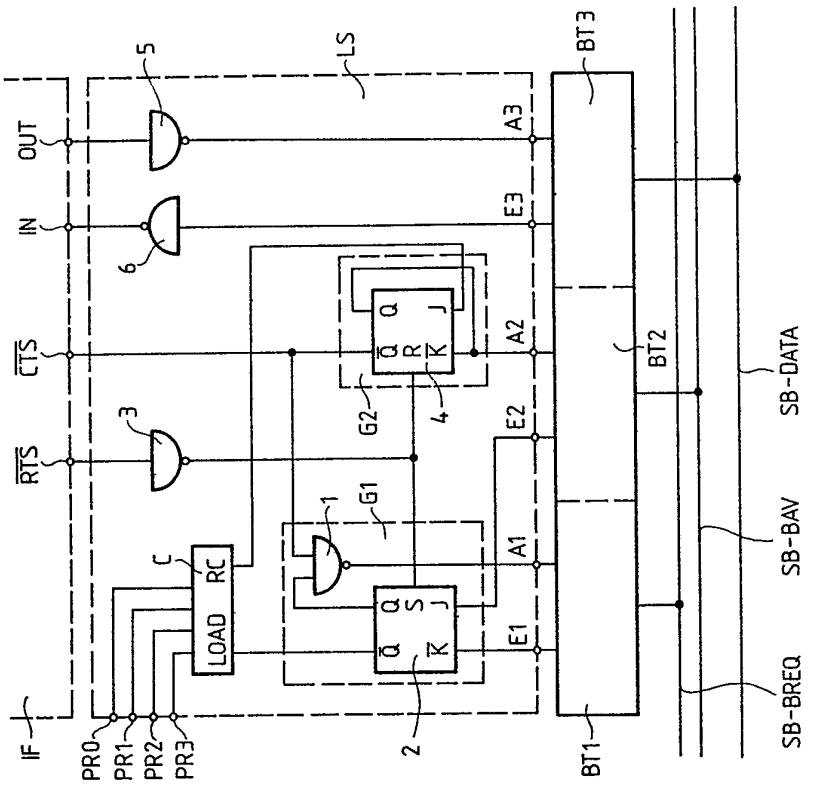


Fig. 3

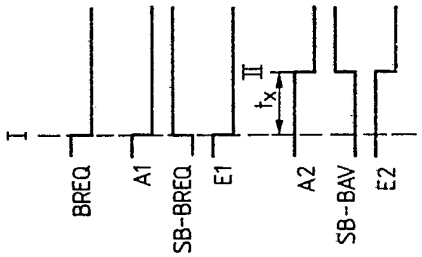


Fig. 4

