【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第４区分
【発行日】平成17年7月7日(2005.7.7)

【公開番号】特開2002-63795(P2002-63795A)
【公開日】平成14年2月28日(2002.2.28)
【出願番号】特願2000-330972(P2000-330972)
【国際特許分類第７版】
　Ｇ１１Ｃ　16/06
　Ｇ１１Ｃ　11/413
　Ｇ１１Ｃ　16/04
【ＦＩ】
　Ｇ１１Ｃ　17/00　　６３３Ｄ
　Ｇ１１Ｃ　11/34　　３３５Ａ
　Ｇ１１Ｃ　17/00　　６２２Ｅ
　Ｇ１１Ｃ　17/00　　６２２Ａ
　Ｇ１１Ｃ　17/00　　６３３Ａ

【手続補正書】
【提出日】平成16年11月10日(2004.11.10)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
　メモリセルがマトリクス配列されたメモリセルアレイと、
　前記メモリセルアレイのワード線を選択するとともに、ワード線に電圧を転送するロウデコーダ回路とを具備し、
　前記ロウデコーダ回路は、電流通路の一端が各々のワード線にそれぞれ直接的に接続された第１導電型の複数の第１トランジスタと、選択したワード線に電圧を転送する動作時に、選択したワード線に接続された前記第１トランジスタのゲートに電圧を転送する、第１導電型とは逆極性の第２導電型の第２トランジスタとを備え、
　前記選択したワード線への電圧の転送を、第１導電型の第１トランジスタのみで行うことを特徴とする半導体記憶装置。
【請求項２】
　前記選択したワード線に電圧を転送する動作時に、前記第１トランジスタのゲートに、前記第２トランジスタを介して、選択したワード線よりも高い電圧を転送することを特徴とする請求項１に記載の半導体記憶装置。
【請求項３】
　前記ロウデコーダ回路内に設けられ、前記第１トランジスタのゲートに電圧を印加する電圧切換回路を更に具備し、
　前記第２トランジスタはこの電圧切換回路内に設けられ、前記選択したワード線に電圧を転送する動作時に、選択したワード線の電圧よりも高い電圧を前記電圧切換回路に入力し、前記第２トランジスタを介して、選択したワード線に接続された前記第１トランジスタのゲートに転送することを特徴とする請求項１に記載の半導体記憶装置。
【請求項４】
　メモリセルがマトリクス配列されたメモリセルアレイと、
　前記メモリセルアレイのワード線を選択するとともに、ワード線に電圧を転送するロウ

デコーダ回路とを具備し、
前記ロウデコーダ回路は、電流通路の一端が各々のワード線にそれぞれ直接的に接続された第１導電型の複数の第１トランジスタと、選択したワード線に電圧を転送する動作時に、選択したワード線に接続された前記第１トランジスタのゲートに電圧を転送する、第１導電型とは逆極性の第２導電型の第２トランジスタとを備え、
前記選択したワード線への電圧の転送を、第１導電型の第１トランジスタのみで行うとともに、非選択ブロック中の前記第２トランジスタのゲートに印加される電圧が電源電圧よりも高い電圧となる動作を備えたことを特徴とする半導体記憶装置。
【請求項５】
ブロックアドレス信号を受けてブロックの選択・非選択の判定結果に対応する判定信号を出力するロジック回路と、前記第２トランジスタを含み、上記ロジック回路から出力される判定信号を受けて、前記第１トランジスタのゲート電圧をそれぞれ設定する第１の電圧切換回路と、上記ロジック回路から出力される判定信号を受け、上記第１の電圧切換回路に上記判定信号のレベルを変換して供給する第２の電圧切換回路とを更に具備し、前記非選択ブロック中の前記第２トランジスタのゲートに印加される電圧は、上記第２の電圧切換回路から出力される判定信号の電圧レベルであることを特徴とする請求項４に記載の半導体記憶装置。
【請求項６】
ブロックアドレス信号を受けてブロックの選択・非選択の判定結果に対応する判定信号を出力するロジック回路と、前記第２トランジスタを含み、前記第１トランジスタのゲート電圧をそれぞれ設定する第１の電圧切換回路と、上記ロジック回路から出力される判定信号を受け、上記第１の電圧切換回路に上記判定信号のレベルを変換して供給する第２の電圧切換回路とを更に具備し、前記非選択ブロック中の前記第２トランジスタのゲートに印加される電圧は上記第２の電圧切換回路から出力される判定信号の電圧レベルであることを特徴とする請求項４に記載の半導体記憶装置。
【請求項７】
メモリセルがマトリクス配列されたメモリセルアレイと、
前記メモリセルアレイのワード線を選択するとともに、ワード線に電圧を転送するロウデコーダ回路とを具備し、
前記ロウデコーダ回路は、電流通路の一端が各々のワード線にそれぞれ直接的に接続された第１導電型の複数の第１トランジスタと、選択したワード線に電圧を転送する動作時に、選択したワード線に接続された前記第１トランジスタのゲートに電圧を転送する、第１導電型とは逆極性の第２導電型の第２トランジスタを含み、前記第１トランジスタのゲートに電圧を印加する第１の電圧切換回路と、ロウアドレス信号を受けてブロックの選択・非選択の判定結果を出力するロジック回路と、前記ロジック回路の出力信号を受けて前記第１の電圧切換回路に信号を出力する第２の電圧切換回路とを備え、
前記選択したワード線への電圧の転送を、第１導電型の第１トランジスタのみで行うとともに、前記第２の電圧切換回路中の最高電圧レベルが前記第１の電圧切換回路中の最高電圧レベルよりも低いことを特徴とする半導体記憶装置。
【請求項８】
前記第１の電圧切換回路中に設けられた第１のディプリッション型トランジスタと、前記第２の電圧切換回路中に設けられた第２のディプリッション型トランジスタとを更に具備し、前記第１のディプリッション型トランジスタのゲート酸化膜は、前記第２のディプリッション型トランジスタのゲート酸化膜よりも厚いことを特徴とする請求項７に記載の半導体記憶装置。
【請求項９】
前記第２の電圧切換回路は第２導電型の第３トランジスタを具備し、前記第２トランジスタのゲート酸化膜は、前記第３トランジスタのゲート酸化膜よりも厚いことを特徴とする請求項７に記載の半導体記憶装置。