



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2014-0085495  
(43) 공개일자 2014년07월07일

- (51) 국제특허분류(Int. Cl.)  
H01L 25/065 (2006.01) H01L 23/49 (2006.01)  
G11C 5/04 (2006.01) G11C 5/06 (2006.01)
- (21) 출원번호 10-2014-7012144
- (22) 출원일자(국제) 2012년09월28일  
심사청구일자 없음
- (85) 번역문제출일자 2014년05월02일
- (86) 국제출원번호 PCT/US2012/057911
- (87) 국제공개번호 WO 2013/052373  
국제공개일자 2013년04월11일
- (30) 우선권주장  
13/337,565 2011년12월27일 미국(US)  
(뒷면에 계속)

- (71) 출원인  
인벤사스 코퍼레이션  
미국 캘리포니아 산 호세 오처드 파크웨이 3025  
(우편번호 95134)
- (72) 발명자  
크리스프 리차드 드윗  
미국 95134 캘리포니아주 샌 호세 오처드 파크웨이 3025  
조니 와엘  
미국 95134 캘리포니아주 샌 호세 오처드 파크웨이 3025  
(뒷면에 계속)
- (74) 대리인  
유미특허법인

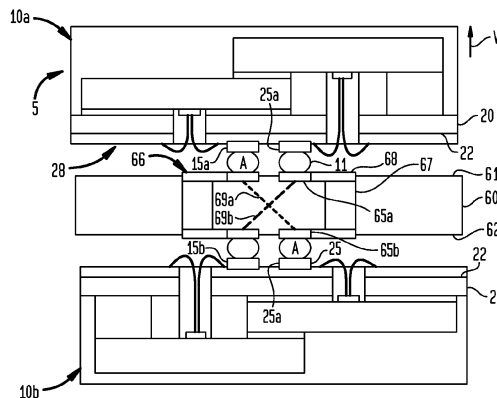
전체 청구항 수 : 총 41 항

(54) 발명의 명칭 **평행한 윈도우를 갖는 다중-다이 와이어 본드 어셈블리를 위한 스티브 최소화**

**(57) 요약**

마이크로전자 어셈블리(5)는 회로 패널(60)의 대향하는 제1 표면(61) 및 제2 표면(62)에 각각 장착되는 제1 마이크로전자 패키지(10a) 및 제2 마이크로전자 패키지(10b)를 포함할 수 있다. 각각의 마이크로전자 패키지(10a, 10b)는 기관의 제1 표면(21)과 제2 표면(22) 사이에서 연장하는 제1 애퍼처(26a) 및 제2 애퍼처(26b)를 갖는 기관(20), 각각 기관의 제1 표면을 향하는 표면(31)과 각각의 마이크로전자 요소의 표면에 노출되고 애퍼처 중 하나 이상과 정렬되는 복수의 단자를 갖는 제1 마이크로전자 요소(30a) 및 제2 마이크로전자 요소(30b), 제2 표면의 중앙 영역(23)에서 제2 표면에 노출되는 복수의 단자(25a)를 포함할 수 있다. 각각의 기관(20)의 애퍼처(26a, 26b)는 각각의 애퍼처의 길이 방향으로 연장하며 평행한 제1 축(29a) 및 제2 축(29b)을 가질 수 있다. 각각의 기관(20)의 제2 표면(22)의 중앙 영역(23)은 각각의 기관(20)의 제1 축(29a) 및 제2 축(29b) 사이에 배치될 수 있다.

**대표도** - 도5e



(72) 발명자

**하마 벨가셈**

미국 95070 캘리포니아주 사라토가 밀러 코트  
19487

**람브레히트 프랭크**

미국 94040 캘리포니아주 마운틴 뷰 캘리포니아  
#23 2025

(30) 우선권주장

13/337,575 2011년12월27일 미국(US)

13/440,515 2012년04월05일 미국(US)

61/542,553 2011년10월03일 미국(US)

---

**특허청구의 범위**

**청구항 1**

마이크로전자 어셈블리(microelectronic assembly)에 있어서,

제1 마이크로전자 패키지 및 제2 마이크로전자 패키지; 및

대향하는 제1 표면 및 제2 표면과, 대향하는 상기 제1 표면과 상기 제2 표면 각각에 노출된 패널 콘택(panel contact)을 갖는 회로 패널을 포함하고,

각각의 상기 제1 마이크로전자 패키지와 상기 제2 마이크로전자 패키지는:

대향하는 제1 표면 및 제2 표면과, 상기 제1 표면과 상기 제2 표면 사이에서 연장하는 제1 애퍼처(aperture) 및 제2 애퍼처를 갖는 기판으로서, 상기 애퍼처는 각각의 애퍼처의 길이 방향으로 연장하는 평행한 제1 축 및 제2 축을 가지며, 상기 제2 표면은 상기 제1 축 및 상기 제2 축 사이에 배치되는 중앙 영역(central region)을 갖는, 기판;

제1 마이크로전자 요소 및 제2 마이크로전자 요소로서, 상기 제1 마이크로전자 요소와 상기 제2 마이크로전자 요소는 각각, 상기 기판의 상기 제1 표면을 향하는 표면과, 각각의 상기 마이크로전자 요소의 상기 표면에 노출되고 상기 애퍼처 중 하나 이상과 정렬되는 복수의 콘택(contact)을 가지며, 메모리 저장 어레이 기능(memory storage array function)을 갖는, 제1 마이크로전자 요소 및 제2 마이크로전자 요소;

상기 제2 표면의 상기 중앙 영역에서 상기 제2 표면에 노출되고, 상기 마이크로전자 패키지를 상기 마이크로전자 패키지의 외부에 있는 하나 이상의 컴포넌트와 접속시키도록 구성되는 복수의 단자; 및

각각의 마이크로전자 요소의 상기 콘택과 상기 단자 사이에 전기적으로 접속되며, 각각 상기 애퍼처 중 하나 이상과 정렬되는 부분을 갖는, 리드(lead)를 포함하며,

상기 단자는, 상기 마이크로전자 요소 중 하나 이상의 메모리 저장 어레이의 모든 이용 가능한 어드레스가능 메모리 위치(addressable memory location) 중에서 어드레스가능 메모리 위치를 결정하기 위해 상기 마이크로전자 패키지 내의 회로에 의해 사용 가능한 어드레스 정보(address information)를 전달(carry)하도록 구성되고,

상기 제1 마이크로전자 패키지 및 상기 제2 마이크로전자 패키지의 상기 단자 중 적어도 일부는, 각각의 상기 제1 표면 및 상기 제2 표면에 노출된 상기 패널 콘택에 장착되며 그것을 통하여 전기적으로 접속되는,

마이크로전자 어셈블리.

**청구항 2**

제1항에 있어서,

각각의 마이크로전자 패키지의 상기 마이크로전자 요소 각각은, 임의의 다른 기능보다 메모리 저장 어레이 기능을 제공하기 위해 다수의 능동 소자를 포함하는, 마이크로전자 어셈블리.

**청구항 3**

제1항에 있어서,

각각의 마이크로전자 패키지의 상기 단자는, 상기 어드레스가능 메모리 위치를 결정하기 위해 각각의 상기 마이크로전자 패키지 내의 회로에 의해 사용 가능한 모든 어드레스 정보를 전달하도록 구성되는, 마이크로전자 어셈블리.

**청구항 4**

제1항에 있어서,

각각의 마이크로전자 패키지의 상기 단자는, 각각의 상기 마이크로전자 패키지의 상기 마이크로전자 요소의 동작 모드를 제어하는 정보를 전달하도록 구성되는, 마이크로전자 어셈블리.

**청구항 5**

제4항에 있어서,

각각의 마이크로전자 패키지의 상기 단자는, 각각의 상기 마이크로전자 패키지로 전송되는 모든 명령 신호를 전달하도록 구성되고,

상기 명령 신호는, 기록 인에이블(write enable) 신호, 로우 어드레스 스트로브(row address strobe) 신호, 및 컬럼(column) 어드레스 스트로브 신호인, 마이크로전자 어셈블리.

**청구항 6**

제1항에 있어서,

각각의 마이크로전자 패키지의 상기 단자는, 각각의 상기 마이크로전자 패키지로 전송되는 클럭 신호를 전달하도록 구성되고,

상기 클럭 신호는, 상기 어드레스 정보를 전달하는 신호를 샘플링하는데 사용되는 클럭인, 마이크로전자 어셈블리.

**청구항 7**

제1항에 있어서,

각각의 마이크로전자 패키지의 상기 단자는, 각각의 상기 마이크로전자 패키지로 전송되는 모든 बैं크(bank) 어드레스 신호를 전달하도록 구성되는, 마이크로전자 어셈블리.

**청구항 8**

제1항에 있어서,

상기 회로 패널은, 각각의 상기 마이크로전자 패키지로 전송되는 모든 상기 어드레스 정보를 전달하도록 구성되는 복수의 전도체(conductor)를 갖는 버스(bus)를 포함하고,

상기 전도체는, 상기 제1 표면 및 상기 제2 표면에 평행한 제1 방향으로 연장하며,

상기 제1 방향은, 상기 애퍼처의 상기 축을 가로지르는, 마이크로전자 어셈블리.

**청구항 9**

제1항에 있어서,

각각의 마이크로전자 패키지의 상기 단자는, 제1 단자이고,

각각의 마이크로전자 패키지의 상기 제2 표면은, 각각의 상기 기관의 상기 제1 표면 및 상기 제2 표면 사이에서 연장하는 대향하는 제1 에지 및 제2 에지와 상기 중앙 영역 사이에 주변 영역(peripheral region)을 가지며,

각각의 마이크로전자 패키지는, 복수의 제2 단자를 더 포함하고,

상기 제2 단자 중 적어도 일부는, 상기 주변 영역 중 하나 이상에서 각각의 상기 기관의 상기 제2 표면에 노출되고,

상기 제2 단자는, 각각의 상기 마이크로전자 패키지를 하나 이상의 외부 컴포넌트와 접속시키도록 구성되는, 마이크로전자 어셈블리.

**청구항 10**

제9항에 있어서,

상기 제2 단자 중 적어도 일부는, 상기 어드레스 정보 이외의 정보를 전달하도록 구성되는, 마이크로전자 어셈블리.

**청구항 11**

제1항에 있어서,

상기 리드 중 적어도 일부는, 상기 애퍼처 중 하나 이상을 통해 연장하는 와이어 본드(wire bond)를 포함하는, 마이크로전자 어셈블리.

**청구항 12**

제11항에 있어서,

모든 상기 리드는, 상기 애퍼처 중 하나 이상을 통해 연장하는 와이어 본드인, 마이크로전자 어셈블리.

**청구항 13**

제1항에 있어서,

상기 리드 중 적어도 일부는, 리드 본드(lead bond)를 포함하는, 마이크로전자 어셈블리.

**청구항 14**

제1항에 있어서,

각각의 마이크로전자 패키지의 상기 제1 마이크로전자 요소의 상기 표면은, 각각의 상기 기관의 상기 제1 표면에 대면(confront)하고,

각각의 마이크로전자 패키지의 상기 제2 마이크로전자 요소의 상기 표면은, 적어도 부분적으로 각각의 상기 제1 마이크로전자 요소의 후면(rear surface) 위에 놓이는(overlie), 마이크로전자 어셈블리.

**청구항 15**

제1항에 있어서,

각각의 마이크로전자 패키지의 상기 마이크로전자 요소 모두의 상기 표면은, 각각의 상기 기관의 상기 제1 표면에 평행한 단일 평면에 배열되는, 마이크로전자 어셈블리.

**청구항 16**

제1항에 있어서,

상기 마이크로전자 패키지 중 하나 이상은, 각각의 상기 마이크로전자 패키지의 상기 마이크로전자 요소 중 하나 이상과 열적 통신(thermal communication)하는 히트 스프레더(heat spreader)를 포함하는, 마이크로전자 어셈블리.

**청구항 17**

제1항에 있어서,

상기 마이크로전자 요소의 메모리 저장 어레이 기능은 각각 NAND 플래시, 저항성 RAM, 상변화(phase-change) 메모리, 자기 RAM, 정적 RAM, 동적 RAM, 스핀-토크(spin-torque) RAM, 또는 콘텐츠-어드레스가능 메모리 기술(content-addressable memory technology)에서 구현되는, 마이크로전자 어셈블리.

**청구항 18**

제1항에 있어서,

각각의 상기 마이크로전자 요소는, DRAM(dynamic random access memory) 집적 회로 칩을 포함하는, 마이크로전자 어셈블리.

**청구항 19**

제1항에 있어서,

각각의 상기 마이크로전자 요소는, 상기 마이크로전자 요소 중 다른 요소와 기능적으로 그리고 기계적으로 등가인, 마이크로전자 어셈블리.

**청구항 20**

제1항에 있어서,

각각의 마이크로전자 패키지는, 상기 기관의 상기 제1 표면을 향하는 표면을 각각 가지는 제3 마이크로전자 요소 및 제4 마이크로전자 요소를 포함하고,

상기 제3 마이크로전자 요소 및 상기 제4 마이크로전자 요소는 각각, 메모리 저장 어레이 기능을 가지며,

각각의 마이크로전자 패키지의 상기 기관은, 제3 애퍼처 및 제4 애퍼처를 가지고,

각각의 마이크로전자 패키지의 상기 제3 마이크로전자 요소 및 상기 제4 마이크로전자 요소는 각각, 상기 제3 마이크로전자 요소와 상기 제4 마이크로전자 요소의 상기 표면에 노출되고 각각의 상기 기관의 상기 애퍼처 중 하나 이상과 정렬되는 복수의 콘택을 가지며,

각각의 마이크로전자 패키지는, 각각의 상기 제3 마이크로전자 요소 및 상기 제4 마이크로전자 요소의 상기 콘택과 상기 단자 사이에 전기적으로 접속되며, 각각 상기 애퍼처 중 하나 이상과 정렬되는 부분을 갖는 제2 리드를 더 포함하는, 마이크로전자 어셈블리.

**청구항 21**

제20항에 있어서,

각각의 마이크로전자 패키지의 상기 기관의 상기 제3 애퍼처 및 상기 제4 애퍼처는, 상기 애퍼처의 길이 방향으로 연장하는 평행한 제3 축 및 제4 축을 각각 가지며,

각각의 상기 제3 축은 각각의 상기 기관의 상기 제1 애퍼처의 상기 제1 축에 평행한, 마이크로전자 어셈블리.

**청구항 22**

제1항에 있어서,

상기 제1 마이크로전자 패키지 및 상기 제2 마이크로전자 패키지의 상기 단자는, 제1 그리드 및 제2 그리드의 위치들에 배열되고,

상기 제1 그리드 및 상기 제2 그리드는, 상기 회로 패널의 상기 제1 표면 및 상기 제2 표면에 평행한 직교하는 x 방향 및 y 방향에서 서로 정렬되며,

상기 정렬은 상기 그리드의 인접한 단자들 사이의 최소 피치(pitch)와 동일한 거리 내에 있는, 마이크로전자 어셈블리.

**청구항 23**

제22항에 있어서,

상기 그리드는, 직교하는 x 방향 및 y 방향에서 서로 정렬되어서, 상기 그리드의 상기 단자가 x 방향 및 y 방향에서 서로 일치하는, 마이크로전자 어셈블리.

**청구항 24**

제22항에 있어서,

각각의 그리드의 상기 단자는, 네 개 이하의 컬럼에 배열되는, 마이크로전자 어셈블리.

**청구항 25**

제22항에 있어서,

각각의 그리드의 모든 위치는, 상기 단자 중 대응하는 단자에 의해 점유되는, 마이크로전자 어셈블리.

**청구항 26**

제22항에 있어서,

각각의 그리드의 위치 중 하나 이상은, 단자에 의해 점유되지 않는, 마이크로전자 어셈블리.

**청구항 27**

제22항에 있어서,

상기 제1 마이크로전자 패키지 및 상기 제2 마이크로전자 패키지의 상기 그리드는, 서로의 90% 이상 위에 놓이  
는, 마이크로전자 어셈블리.

**청구항 28**

제1항에 있어서,

상기 제1 마이크로전자 패키지 및 상기 제2 마이크로전자 패키지 각각의 상기 단자는, 제1 그리드 및 제2 그리  
드의 위치들에 배열되고,

상기 제1 마이크로전자 패키지의 제1 그리드와 상기 제2 마이크로전자 패키지의 제2 그리드는 서로 정렬되며,

상기 제1 마이크로전자 패키지의 제2 그리드 및 상기 제2 마이크로전자 패키지의 제1 그리드는 서로 정렬되고,

상기 정렬은, 상기 회로 패널의 상기 제1 표면 및 상기 제2 표면에 평행한 직교하는 x 방향 및 y 방향 내에 있  
으며,

상기 정렬은, 상기 그리드의 인접한 단자들 사이의 최소 피치와 동일한 거리 내에 있는, 마이크로전자  
어셈블리.

**청구항 29**

제1항에 있어서,

상기 제1 마이크로전자 패키지 및 상기 제2 마이크로전자 패키지 각각의 상기 단자는, 각각의 상기 기판의 이론  
상의(theoretical) 제3 축의 제1 축 상에 배치된 단자의 제1 세트와 상기 제1 축으로부터 대향하는 상기 제3 축  
의 제2 축 상에 배치된 단자의 제2 세트를 포함하고,

각각의 마이크로전자 패키지의 상기 제1 세트 및 상기 제2 세트는 각각, 상기 어드레스 정보를 전달하도록 구성  
되며,

각각의 마이크로전자 패키지의 상기 제1 세트 내의 제1 단자의 신호 할당은, 동일한 마이크로전자 패키지의 상  
기 제2 세트 내의 제1 단자의 신호 할당의 미러 이미지(mirror image)인, 마이크로전자 어셈블리.

**청구항 30**

제29항에 있어서,

각각의 마이크로전자 패키지의 상기 제1 세트 및 상기 제2 세트의 상기 단자는, 각각의 상기 제1 그리드 및 상  
기 제2 그리드 내의 위치들에 배치되고,

각각의 마이크로전자 패키지의 상기 제1 그리드 및 상기 제2 그리드 내의 단자의 컬럼은, 각각의 상기 기판의  
대향하는 제1 에지 및 제2 에지에 평행한 방향으로 연장하는, 마이크로전자 어셈블리.

**청구항 31**

제1항에 있어서,

상기 제1 마이크로전자 패키지의 상기 단자 중 하나의 단자와 그에 접속된 상기 제2 마이크로전자 패키지의 상  
기 단자 중 대응하는 하나의 단자 사이의 상기 회로 패널을 통하는 전기적 접속의 스테브 길이는, 상기 제1 마  
이크로전자 패키지의 상기 단자의 최소 피치의 7배보다 작은, 마이크로전자 어셈블리.

**청구항 32**

제1항에 있어서,

상기 제1 마이크로전자 패키지 및 상기 제2 마이크로전자 패키지의 상기 단자 사이의 상기 회로 패널을 통하는

전기적 접속 중 적어도 일부는, 대략 상기 회로 패널의 두께의 전기적 길이를 갖는, 마이크로전자 어셈블리.

**청구항 33**

제1항에 있어서,

상기 패널 콘택은, 상기 회로 패널의 제1 표면에 노출된 선형으로 연장하는 제1 컬럼 및 제2 컬럼에 배열되며 상기 제1 마이크로전자 요소의 상기 단자에 결합되는 제1 패널 콘택과, 상기 회로 패널의 제2 표면에 노출된 선형으로 연장하는 제1 컬럼 및 제2 컬럼에 배열되며 상기 제2 마이크로전자 요소의 상기 단자에 결합되는 제2 패널 콘택을 포함하며,

상기 제1 패널 콘택의 제1 컬럼은 상기 회로 패널의 상기 제1 표면 및 상기 제2 표면에 평행한 직교하는 x 방향 및 y 방향에서 상기 제2 패널 콘택의 제2 컬럼과 정렬되며, 상기 제1 패널 콘택의 제2 컬럼은 직교하는 x 방향 및 y 방향에서 상기 제2 패널 콘택의 제1 컬럼과 정렬되고,

상기 제1 패널 콘택의 제1 컬럼 내의 각각의 콘택은 상기 제2 패널 콘택의 제1 컬럼의 대응하는 콘택과 연결되며, 상기 제1 패널 콘택의 제2 컬럼 내의 각각의 콘택은 상기 제2 패널 콘택의 제2 컬럼 내의 대응하는 콘택과 연결되는, 마이크로전자 어셈블리.

**청구항 34**

제1항에 있어서,

각각의 마이크로전자 패키지의 상기 단자는, 하나의 컬럼에 배열되고,

상기 회로 패널은, 상기 마이크로전자 패키지 중 하나 이상의 상기 단자가 전기적으로 접속되는 상기 회로 패널 상의 각각의 접속 구역(connection site) 사이에 상기 어드레스 정보를 라우팅하기 위하여 하나의 라우팅층(routing layer)을 포함하는, 마이크로전자 어셈블리.

**청구항 35**

제1항에 있어서,

각각의 마이크로전자 패키지의 상기 단자는, 두 개의 평행한 컬럼에 배열되고,

상기 회로 패널은, 상기 마이크로전자 패키지 중 하나 이상의 상기 단자가 전기적으로 접속되는 상기 회로 패널 상의 각각의 접속 구역 사이에 상기 어드레스 정보를 라우팅하기 위하여 둘 이하의 라우팅층을 포함하는, 마이크로전자 어셈블리.

**청구항 36**

제1항에 있어서,

상기 회로 패널은, 상기 회로 패널의 평면에서 30ppm/°C 미만의 열팽창 계수(CTE)를 갖는 요소를 포함하는, 마이크로전자 어셈블리.

**청구항 37**

제1항에 따른, 복수의 마이크로전자 어셈블리를 포함하는 모듈에 있어서,

각각의 마이크로전자 어셈블리는, 각각의 마이크로전자 어셈블리로의 신호 이송 및 각각의 마이크로전자 어셈블리로부터의 신호 이송을 위하여 제2 회로 패널에 장착 및 전기적으로 접속되는, 모듈.

**청구항 38**

제1항에 따른 마이크로전자 어셈블리 및 상기 마이크로전자 어셈블리에 전기적으로 접속되는 하나 이상의 다른 전자 컴포넌트를 포함하는, 시스템.

**청구항 39**

제38항에 있어서,



상기 시스템은, 하우징을 더 포함하며,

상기 마이크로전자 어셈블리 및 상기 하나 이상의 다른 전자 컴포넌트는, 상기 하우징과 함께 조립되는, 시스템.

#### 청구항 40

마이크로전자 어셈블리에 있어서,

제1 마이크로전자 패키지 및 제2 마이크로전자 패키지; 및

대향하는 제1 표면 및 제2 표면과, 대향하는 상기 제1 표면과 상기 제2 표면 각각에 노출된 패널 콘택을 갖는 회로 패널을 포함하고,

각각의 상기 제1 마이크로전자 패키지와 상기 제2 마이크로전자 패키지는:

대향하는 제1 표면 및 제2 표면과, 상기 제1 표면과 상기 제2 표면 사이에서 연장하는 제1 애퍼처 및 제2 애퍼처를 갖는 기판으로서, 상기 애퍼처는 각각의 애퍼처의 길이 방향으로 연장하는 평행한 제1 축 및 제2 축을 가지며, 상기 제2 표면은 상기 제1 축 및 상기 제2 축 사이에 배치되는 중앙 영역을 갖는, 기판;

제1 마이크로전자 요소 및 제2 마이크로전자 요소로서, 상기 제1 마이크로전자 요소와 상기 제2 마이크로전자 요소는 각각, 상기 기판의 상기 제1 표면을 향하는 표면과, 각각의 상기 마이크로전자 요소의 상기 표면에 상기 애퍼처 중 하나 이상과 정렬되는 복수의 콘택을 가지며, 임의의 다른 기능보다 메모리 저장 어레이 기능을 제공하기 위해 다수의 능동 소자를 포함하는, 제1 마이크로전자 요소 및 제2 마이크로전자 요소;

상기 제2 표면의 상기 중앙 영역에서 상기 제2 표면에 노출되고, 상기 마이크로전자 패키지를 상기 마이크로전자 패키지의 외부에 있는 하나 이상의 컴포넌트와 접속시키도록 구성되는 복수의 단자; 및

각각의 마이크로전자 요소의 상기 콘택과 상기 단자 사이에 전기적으로 접속되며, 각각 상기 애퍼처 중 하나 이상과 정렬되는 부분을 갖는, 리드를 포함하며,

상기 단자는, 상기 마이크로전자 요소 내의 메모리 저장 어레이의 모든 이용 가능한 어드레스가능 메모리 위치 중에서 어드레스가능 메모리 위치를 결정하기 위해 상기 마이크로전자 패키지 내의 회로에 의해 사용 가능한 어드레스 정보의 대부분을 전달하도록 구성되고,

상기 제1 마이크로전자 패키지 및 상기 제2 마이크로전자 패키지의 상기 단자 중 적어도 일부는, 각각의 상기 제1 표면 및 상기 제2 표면의 상기 패널 콘택에 장착되며 그것을 통하여 전기적으로 접속되는,

마이크로전자 어셈블리.

#### 청구항 41

제40항에 있어서,

각각의 마이크로전자 패키지의 상기 단자는, 상기 어드레스가능 메모리 위치를 결정하기 위해 각각의 상기 마이크로전자 패키지 내의 회로에 의해 사용 가능한 상기 어드레스 정보의 적어도 3/4을 전달하도록 구성되는, 마이크로전자 어셈블리.

### 명세서

#### 기술분야

[0001] 관련 출원에 대한 상호 참조

[0002] 본 출원은 2011년 12월 27일에 출원된 미국 특허 출원 제13/337,565호 및 제13/337,575호의 부분 계속 출원인, 2012년 4월 5일에 출원된 미국 특허 출원 제13/440,515호의 계속 출원이고, 2011년 10월 3일에 출원된 미국 가 특허 출원 제61/542,553호의 출원일의 이익을 주장하는 바이며, 상기 미국 특허 출원들은 그 내용 전체가 원용에 의해 본 명세서에 포함된다.

[0003] 본 출원 발명은 마이크로전자 패키지 및 마이크로전자 패키지를 통합하는 어셈블리에 관한 것이다.

**배경 기술**

- [0004] 반도체 칩은 개별의, 사전 패키징된 유닛으로서 제공되는 것이 보통이다. 표준 칩은 그 칩의 내부 회로에 접속된 콘택(contact)을 갖는 큰 전면(front face)을 구비하는 평평한 직사각형의 몸체(body)를 갖는다. 각각의 개별 칩은 일반적으로 칩의 콘택에 접속된 외부 단자들을 갖는 패키지에 포함된다. 결국, 단자들, 즉, 패키지의 외부 접속점(connection point)들은 예컨대, 인쇄 회로 보드와 같은 회로 패널에 전기적으로 접속되도록 구성된다. 많은 종래 디자인에서, 칩 패키지는 칩 자체의 면적보다 상당히 큰 회로 패널의 면적을 차지한다. 전면을 갖는 평평한 칩과 관련하여 본 명세서에서 사용되는, "칩의 면적"은 전면의 면적을 지칭하는 것으로 이해되어야 한다.
- [0005] "플립-칩" 디자인에서, 칩의 전면은 패키지 유전체 요소의 면, 즉, 패키지의 기관과 대면하고, 칩 상의 콘택은 솔더 범프(solder bump) 또는 기타 접속 요소에 의해 기관의 표면 상의 콘택에 직접 접합된다. 결과적으로, 기관은 그 위에 놓이는 외부 단자를 통해 회로 패널에 접합될 수 있다. "플립-칩" 디자인은 비교적 콤팩트한 배열(arrangement)을 제공한다. 예를 들어, 원용에 의해 본 명세서에 그 개시 내용이 포함된 공동-출원된 미국 등록 특허 제5,148,265호, 제5,148,266호, 그리고 제5,679,977호의 특정 실시예에 개시된 바와 같이, 일부 플립-칩 패키지는 통상 "칩-스케일 패키지"로 지칭되는데, 각각의 패키지가 칩의 전면의 면적과 동일하거나 약간 더 큰 회로 패널의 면적을 차지한다. 특정의 혁신적인 장착 기술(mounting technique)은 종래 플립-칩 접합의 조밀도(compactness)에 근접하거나 그와 동일한 조밀도를 제공한다.
- [0006] 사이즈는 칩의 임의의 물리적 배열에 있어서 중요한 고려사항이다. 휴대용 전자 장치의 급속한 진보와 함께 보다 콤팩트한 칩의 배열에 대한 요구가 더욱 강해지고 있다. 단지 예로서, 통상 "스마트 폰"이라 지칭되는 장치는 휴대폰의 기능에, 고해상도 디스플레이 및 관련 이미지 프로세싱 칩과 함께, 강력한 데이터 프로세서, 메모리 및 예컨대, GPS 수신기, 전자 카메라, 그리고 LAN 접속부와 같은 보조 장치(ancillary device)를 통합한다. 이러한 장치들은 완전한 인터넷 접속, 전해상도(full-resolution) 비디오를 포함하는 엔터테인먼트, 네비게이션, 전자 बैं킹 등의 모든 기능을 포켓-사이즈의 장치에서 제공할 수 있다. 복잡한 휴대용 장치들은 수많은 칩을 작은 공간 내에 패키징할 것을 필요로 한다. 더욱이, 칩들 중 일부는 통상 "I/O"라고 지칭되는 다수의 입력 접속부 및 출력 접속부를 갖는다. 이들 I/O는 다른 칩들의 I/O와 상호접속되어야 한다. 상호접속을 형성하는 컴포넌트는 어셈블리의 사이즈를 크게 증가시켜서는 안 된다. 유사한 요구가 다른 응용에서도 발생하는데, 예를 들어, 향상된 성능과 사이즈 감소가 요구되는 인터넷 검색 엔진에 사용되는 데이터 서버가 그러하다.
- [0007] 메모리 저장 어레이들을 포함하는 반도체 칩, 특히 DRAM(dynamic random access memory) 칩 및 플래시 메모리 칩은 통상적으로 단일-칩 또는 다중-칩 패키지 및 어셈블리에 패키징된다. 각각의 패키지는 내부의 칩과 단자 사이에 신호, 전력, 그리고 접지를 전달하기 위한 다수의 전기적 접속을 갖는다. 전기적 접속은, 칩의 콘택-지지 표면에 대하여 수평 방향으로 연장하는, 트레이스(trace), 빔 리드(beam lead) 등과 같은 수평형 전도체, 칩의 상기 표면에 대해 수직 방향으로 연장하는, 비아(via)와 같은 수직형 전도체, 그리고 칩의 상기 표면에 대해 수평 및 수직 방향으로 연장하는, 와이어 본드(wire bond)와 같은 다양한 종류의 전도체를 포함할 수 있다.
- [0008] 패키지 내에서 다중-칩 패키지의 칩으로의 신호 송신은 특정 문제를 제기하는데, 특히, 클록 신호와 같이 패키지 내의 둘 이상의 칩에 대해 공통인 신호들, 메모리 칩을 위한 어드레스(address) 신호 및 스트로브(strobe) 신호에 대해서 그러하다. 이러한 다중-칩 패키지 내에서, 패키지의 단자와 칩 간의 접속 경로의 길이는 달라질 수 있다. 상이한 경로 길이는 신호들이 단자와 각각의 칩 사이를 이동하는데 더 길거나 또는 더 짧은 시간이 걸리게 할 수 있다. 하나의 지점으로부터 다른 지점까지의 신호의 이동 시간을 "전파 지연(propagation delay)"이라 하는데, 이는 전도체 길이, 전도체의 구조, 그리고 이와 근접한 기타 유전체 또는 전도성 구조의 함수이다.
- [0009] 두 개의 상이한 신호가 특정 위치에 도달하는 시간에 있어서의 차이는 또한 "스큐(skew)"라고도 불린다. 둘 이상의 위치에서의 특정 신호의 도착 시간의 스큐는 전파 지연 및 특정 신호가 그 위치를 향해 이동하기 시작하는 시간 양자 모두의 결과이다. 스큐는 회로 성능에 영향을 미칠 수도 있고, 그렇지 않을 수도 있다. 동기(synchronous) 신호 그룹 내의 모든 신호가 함께 스큐되는(skewed) 경우 스큐는 때때로 성능에 거의 영향을 미치지 않는데, 이 경우 동작을 위해 필요한 모든 신호가 필요한 경우 동시에 도착한다. 그러나, 동작을 위해 필요한 동기 신호 그룹의 상이한 신호들이 상이한 시간에 도착하는 경우는 그렇지 않다. 이 경우에는, 필요한 모든 신호가 도착하지 않으면 동작이 수행될 수 없기 때문에 스큐가 성능에 영향을 준다. 본 명세서에서 설명된 실시예들은, 원용에 의해 그 내용이 본 명세서에 포함된 공동 계류중인 미국 특허 출원 제13/306,068호에 개시

된, 스큐를 최소화하는 특징들을 포함할 수 있다.

- [0010] 종래의 마이크로전자 패키지들은 메모리 저장 어레이 기능을 주로 제공하도록 구성된 마이크로전자 요소, 즉, 임의의 다른 기능보다도 메모리 저장 어레이 기능을 제공하기 위하여 더 많은 수의 능동 소자를 포함하는 마이크로전자 요소를 통합할 수 있다. 마이크로전자 요소는 DRAM 칩, 또는 이러한 반도체 칩의 전기적으로 상호접속된 적층형 어셈블리이거나, 또는 이들을 포함할 수 있다. 통상적으로, 이러한 패키지의 모든 단자들은 마이크로전자 요소가 장착되어 있는 패키지 기판의 하나 이상의 주변 에지에 인접한 컬럼(column)의 세트들로 배치된다.
- [0011] 예를 들어, 도 1에 도시된 종래의 마이크로전자 패키지(112)에서, 단자들의 세 개의 컬럼(114)이 패키지 기판(120)의 제1 주변 에지(116)에 인접하여 배치되고, 단자들의 세 개의 다른 컬럼(118)이 패키지 기판(120)의 제2 주변 에지(122)에 인접하여 배치될 수 있다. 종래 패키지의 패키지 기판(120)의 중앙 영역(124)은 어떠한 단자의 컬럼도 갖지 않는다. 도 1은 또한 한 면(128) 상에 요소 콘택(126)을 갖는, 패키지 내의 반도체 칩(111)을 보여주는데, 이러한 요소 콘택은 패키지 기판(120)의 중앙 영역(124) 내의 애퍼처(aperture), 예컨대, 접합 윈도우(bond window)를 통해 연장하는 와이어 본드(130)를 통하여 패키지(112)의 단자들의 컬럼(114, 118)과 전기적으로 상호접속한다. 일부 경우에, 마이크로전자 요소와 기판 사이의 기계적 접촉을 강화하기 위하여 접착층(132)이 마이크로전자 요소(111)의 면(128)과 기판(120) 사이에 배치될 수 있고, 와이어 본드(130)는 접착층 내의 개구를 통해 연장한다.
- [0012] 전술한 바를 고려하여, 특히 마이크로전자 패키지 및 이러한 마이크로전자 패키지가 장착되고 서로 전기적으로 상호접속하는 회로 패널을 포함하는 어셈블리에서, 전기적 성능을 개선하기 위하여 마이크로전자 패키지 상의 단자의 위치 선정에 있어 일정한 개선이 이루어질 수 있다.

**발명의 내용**

- [0013] 본 발명의 일 양상에 따르면, 마이크로전자 패키지는, 제1 마이크로전자 패키지 및 제2 마이크로전자 패키지 및 대향하는 제1 표면 및 제2 표면과 대향하는 제1 표면과 제2 표면 각각에 노출된 패널 콘택을 갖는 회로 패널을 포함할 수 있다. 각각의 상기 제1 마이크로전자 패키지와 상기 제2 마이크로전자 패키지는 대향하는 제1 표면 및 제2 표면과, 제1 표면과 제2 표면 사이에서 연장하는 제1 애퍼처 및 제2 애퍼처를 갖는 기판, 각각 기판의 제1 표면을 향하는 표면과, 각각의 마이크로전자 요소의 표면에 노출되고 애퍼처 중 하나 이상과 정렬되는 복수의 콘택을 갖는 제1 마이크로전자 요소 및 제2 마이크로전자 요소, 제2 표면의 중앙 영역에서 제2 표면에 노출되는 복수의 단자, 그리고 각각의 마이크로전자 요소의 콘택과 단자 사이에 전기적으로 접속되는 리드를 포함할 수 있다. 각각의 기판의 애퍼처는 각각의 애퍼처의 길이 방향으로 연장하는 평행한 제1 축 및 제2 축을 가질 수 있다. 각각의 기판의 제2 표면의 중앙 영역이 각각의 기판의 제1 축 및 제2 축 사이에 배치될 수 있다.
- [0014] 각각의 마이크로전자 요소는 메모리 저장 어레이 기능을 가질 수 있다. 각각의 마이크로전자 패키지의 단자는 각각의 마이크로전자 패키지를 마이크로전자 패키지의 외부에 있는 하나 이상의 컴포넌트와 접속시키도록 구성될 수 있다. 각각의 리드는 각각의 기판의 애퍼처 중 하나 이상과 정렬되는 부분을 가질 수 있다. 단자는 마이크로전자 패키지의 마이크로전자 요소 중 하나 이상의 메모리 저장 어레이의 모든 이용 가능한 어드레스가 가능 메모리 위치 중에서 어드레스가 가능 메모리 위치를 결정하기 위해 마이크로전자 패키지 내의 회로에 의해 사용 가능한 어드레스 정보를 전달하도록 구성될 수 있다. 제1 마이크로전자 패키지 및 제2 마이크로전자 패키지의 단자 중 적어도 일부는 각각의 제1 표면 및 제2 표면에 노출된 패널 콘택에 장착되며 그것을 통하여 전기적으로 접속될 수 있다.
- [0015] 일 예에서, 각각의 마이크로전자 패키지의 마이크로전자 요소 각각은 임의의 다른 기능보다 메모리 저장 어레이 기능을 제공하기 위해 다수의 능동 소자를 포함할 수 있다. 일 실시예에서, 각각의 마이크로전자 패키지의 단자는 어드레스가 가능 메모리 위치를 결정하기 위해 각각의 마이크로전자 패키지 내의 회로에 의해 사용 가능한 모든 어드레스 정보를 전달하도록 구성될 수 있다. 특정 예에서, 각각의 마이크로전자 패키지의 단자는 각각의 마이크로전자 패키지의 마이크로전자 요소의 동작 모드를 제어하는 정보를 전달하도록 구성될 수 있다. 예시적인 실시예에서, 각각의 마이크로전자 패키지의 단자는 각각의 마이크로전자 패키지로 전송되는 모든 명령 신호를 전달하도록 구성될 수 있고, 명령 신호는 기록 인에이블 신호, 로우 어드레스 스트로브 신호, 및 컬럼 어드레스 스트로브 신호이다. 일 예에서, 각각의 마이크로전자 패키지의 단자는 각각의 마이크로전자 패키지로 전송되는 클럭 신호를 전달하도록 구성될 수 있고, 클럭 신호는 어드레스 정보를 전달하는 신호를 샘플링하는데 사용되는 클럭이다. 특정 실시예에서, 각각의 마이크로전자 패키지의 단자는, 각각의 마이크로전자 패키지로

전송되는 모든 बैं크 어드레스 신호를 전달하도록 구성될 수 있다.

[0016] 일 실시예에서, 회로 패널은 각각의 마이크로전자 패키지로 전송되는 모든 어드레스 정보를 전달하도록 구성되는 복수의 전도체를 갖는 버스를 포함할 수 있다. 전도체는 제1 표면 및 제2 표면에 평행한 제1 방향으로 연장할 수 있다. 제1 방향은 애퍼처의 축을 가로지를 수 있다. 특정 예에서, 각각의 마이크로전자 패키지의 단자는 제1 단자이고, 각각의 마이크로전자 패키지의 제2 표면은 각각의 기판의 제1 표면 및 제2 표면 사이에서 연장하는 대향하는 제1 에지 및 제2 에지와 중앙 영역 사이에 주변 영역을 가질 수 있다. 각각의 마이크로전자 패키지는 또한 복수의 제2 단자를 포함할 수 있다. 제2 단자 중 적어도 일부는 주변 영역 중 하나 이상에서 각각의 기판의 제2 표면에 노출될 수 있다. 제2 단자는 각각의 마이크로전자 패키지를 하나 이상의 외부 컴포넌트와 접속시키도록 구성될 수 있다.

[0017] 예시적인 실시예에서, 제2 단자 중 적어도 일부는 어드레스 정보 이외의 정보를 전달하도록 구성될 수 있다. 일 예에서, 리드 중 적어도 일부는 애퍼처 중 하나 이상을 통해 연장하는 와이어 본드를 포함할 수 있다. 예시적인 실시예에서, 모든 리드는 애퍼처 중 하나 이상을 통해 연장하는 와이어 본드일 수 있다. 특정 실시예에서, 리드 중 적어도 일부는 리드 본드를 포함할 수 있다. 일 실시예에서, 각각의 마이크로전자 패키지의 제1 마이크로전자 요소의 표면은 각각의 기판의 제1 표면에 대면할 수 있다. 각각의 마이크로전자 패키지의 제2 마이크로전자 요소의 표면은 적어도 부분적으로 각각의 제1 마이크로전자 요소의 후면 위에 놓일 수 있다. 특정 예에서, 각각의 마이크로전자 패키지의 마이크로전자 요소 모두의 표면은 각각의 기판의 제1 표면에 평행한 단일 평면에 배열될 수 있다. 일 예에서, 마이크로전자 패키지 중 하나 이상은 각각의 마이크로전자 패키지의 마이크로전자 요소 중 하나 이상과 열적 통신하는 히트 스프레더를 포함할 수 있다. 예시적인 실시예에서, 마이크로전자 요소의 메모리 저장 어레이 기능은 각각 NAND 플래시, 저항성 RAM, 상변화 메모리, 자기 RAM, 정적 RAM, 동적 RAM, 스핀-토크 RAM, 또는 콘텐츠-어드레스가능 메모리 기술에서 구현될 수 있다.

[0018] 일 실시예에서, 각각의 마이크로전자 요소는 DRAM(dynamic random access memory) 집적 회로 칩을 포함할 수 있다. 특정 예에서, 각각의 마이크로전자 요소는 마이크로전자 요소 중 다른 요소와 기능적으로 그리고 기계적으로 등가일 수 있다. 일 예에서, 각각의 마이크로전자 패키지는 기판의 제1 표면을 향하는 표면을 각각 가지는 제3 마이크로전자 요소 및 제4 마이크로전자 요소를 포함할 수 있다. 제3 마이크로전자 요소 및 제4 마이크로전자 요소는 각각 메모리 저장 어레이 기능을 가질 수 있다. 각각의 마이크로전자 패키지의 기판은 제3 애퍼처 및 제4 애퍼처를 가질 수 있다. 각각의 마이크로전자 패키지의 제3 마이크로전자 요소 및 제4 마이크로전자 요소는 각각 제3 마이크로전자 요소와 제4 마이크로전자 요소의 표면에 노출되고 각각의 기판의 상기 애퍼처 중 하나 이상과 정렬되는 복수의 콘택을 가질 수 있다. 각각의 마이크로전자 패키지는 또한 각각의 제3 마이크로전자 요소 및 제4 마이크로전자 요소의 콘택과 단자 사이에 전기적으로 접속되는 제2 리드를 포함할 수 있다. 각각의 제2 리드는 애퍼처 중 하나 이상과 정렬되는 부분을 가질 수 있다.

[0019] 특정 실시예에서, 각각의 마이크로전자 패키지의 기판의 제3 애퍼처 및 제4 애퍼처는 애퍼처의 길이 방향으로 연장하는 평행한 제3 축 및 제4 축을 각각 가질 수 있다. 각각의 제3 축은 각각의 기판의 제1 애퍼처의 제1 축에 평행할 수 있다. 일 실시예에서, 제1 마이크로전자 패키지 및 제2 마이크로전자 패키지의 단자는 제1 그리드 및 제2 그리드의 위치들에 배열될 수 있다. 제1 그리드 및 제2 그리드는 회로 패널의 제1 표면 및 제2 표면에 평행한 직교하는 x 방향 및 y 방향에서 서로 정렬될 수 있다. 정렬은 그리드의 인접한 단자들 사이의 최소 피치와 동일한 거리 내에 있을 수 있다. 특정 예에서, 그리드는 직교하는 x 방향 및 y 방향에서 서로 정렬되어서 그리드의 단자가 x 방향 및 y 방향에서 서로 일치할 수 있다. 일 실시예에서, 각각의 그리드의 단자는 네 개 이하의 컬럼에 배열될 수 있다. 일 예에서, 각각의 그리드의 모든 위치는 단자 중 대응하는 단자에 의해 점유될 수 있다. 특정 실시예에서, 각각의 그리드의 위치 중 하나 이상은 단자에 의해 점유되지 않을 수 있다. 예시적인 실시예에서, 제1 마이크로전자 패키지 및 제2 마이크로전자 패키지의 그리드는 서로의 90% 이상 위에 놓일 수 있다.

[0020] 일 예에서, 제1 마이크로전자 패키지 및 제2 마이크로전자 패키지 각각의 단자는 제1 그리드 및 제2 그리드의 위치들에 배열될 수 있다. 제1 마이크로전자 패키지의 제1 그리드와 제2 마이크로전자 패키지의 제2 그리드는 서로 정렬될 수 있다. 제1 마이크로전자 패키지의 제2 그리드 및 제2 마이크로전자 패키지의 제1 그리드는 서로 정렬될 수 있다. 정렬은 회로 패널의 제1 표면 및 제2 표면에 평행한 직교하는 x 방향 및 y 방향 내에 있을 수 있다. 정렬은 그리드의 인접한 단자들 사이의 최소 피치와 동일한 거리 내에 있을 수 있다.

[0021] 일 실시예에서, 제1 마이크로전자 패키지 및 제2 마이크로전자 패키지 각각의 단자는 각각의 기판의 이론상의 제3 축의 제1 축 상에 배치된 단자의 제1 세트와 제1 축으로부터 대향하는 제3 축의 제2 축 상에 배치된 단자의

제2 세트를 포함할 수 있다. 각각의 마이크로전자 패키지의 제1 세트 및 제2 세트는 각각 어드레스 정보를 전달하도록 구성될 수 있다. 각각의 마이크로전자 패키지의 제1 세트 내의 제1 단자의 신호 할당은 동일한 마이크로전자 패키지의 제2 세트 내의 제1 단자의 신호 할당의 미러 이미지일 수 있다. 예시적인 실시예에서, 각각의 마이크로전자 패키지의 제1 세트 및 제2 세트의 단자는 각각의 제1 그리드 및 제2 그리드 내의 위치들에 배치될 수 있다. 각각의 마이크로전자 패키지의 제1 그리드 및 제2 그리드 내의 단자의 컬럼은 각각의 기관의 대향하는 제1 에지 및 제2 에지에 평행한 방향으로 연장할 수 있다.

[0022] 특정 실시예에서, 1 마이크로전자 패키지의 단자 중 하나의 단자와 그에 접속된 제2 마이크로전자 패키지의 단자 중 대응하는 하나의 단자 사이의 회로 패널을 통하는 전기적 접속의 스텔브 길이는 제1 마이크로전자 패키지의 단자의 최소 피치의 7배보다 작을 수 있다. 일 실시예에서, 제1 마이크로전자 패키지 및 제2 마이크로전자 패키지의 단자 사이의 회로 패널을 통하는 전기적 접속 중 적어도 일부는 대략 회로 패널의 두께의 전기적 길이를 가질 수 있다.

[0023] 특정 예에서, 패널 콘택은 회로 패널의 제1 표면에 노출된 선형으로 연장하는 제1 컬럼 및 제2 컬럼에 배열되는 제1 패널 콘택과, 회로 패널의 제2 표면에 노출된 선형으로 연장하는 제1 컬럼 및 제2 컬럼에 배열되는 제2 패널 콘택을 포함할 수 있다. 제1 패널 콘택은 제1 마이크로전자 요소의 단자에 결합될 수 있다. 제2 패널 콘택은 제2 마이크로전자 요소의 단자에 결합될 수 있다. 제1 패널 콘택의 제1 컬럼은 회로 패널의 제1 표면 및 제2 표면에 평행한 직교하는 x 방향 및 y 방향에서 제2 패널 콘택의 제2 컬럼과 정렬될 수 있다. 제1 패널 콘택의 제2 컬럼은 직교하는 x 방향 및 y 방향에서 제2 패널 콘택의 제1 컬럼과 정렬될 수 있다. 제1 패널 콘택의 제1 컬럼 내의 각각의 콘택은 제2 패널 콘택의 제1 컬럼의 대응하는 콘택과 연결될 수 있다. 제1 패널 콘택의 제2 컬럼 내의 각각의 콘택은 제2 패널 콘택의 제2 컬럼 내의 대응하는 콘택과 연결될 수 있다.

[0024] 예시적인 실시예에서, 각각의 마이크로전자 패키지의 단자는 하나의 컬럼에 배열될 수 있다. 회로 패널은 마이크로전자 패키지 중 하나 이상의 단자가 전기적으로 접속되는 회로 패널 상의 각각의 접속 구역 사이에 어드레스 정보를 라우팅하기 위하여 하나의 라우팅층을 포함할 수 있다. 일 예에서, 각각의 마이크로전자 패키지의 단자는 두 개의 평행한 컬럼에 배열될 수 있다. 회로 패널은 마이크로전자 패키지 중 하나 이상의 단자가 전기적으로 접속되는 회로 패널 상의 각각의 접속 구역 사이에 어드레스 정보를 라우팅하기 위하여 둘 이하의 라우팅층을 포함할 수 있다. 일 예에서, 회로 패널은 회로 패널의 평면에서 30ppm/°C 미만의 열팽창 계수를 갖는 요소를 포함할 수 있다.

[0025] 특정 실시예에서, 모듈은 앞서 설명된 복수의 마이크로전자 어셈블리를 포함할 수 있고, 각각의 마이크로전자 어셈블리는 각각의 마이크로전자 어셈블리로의 신호 이송 및 각각의 마이크로전자 어셈블리로부터의 신호 이송을 위하여 제2 회로 패널에 장착 및 전기적으로 접속될 수 있다. 일 실시예에서, 시스템은 앞서 설명된 마이크로전자 어셈블리 및 마이크로전자 어셈블리에 전기적으로 접속되는 하나 이상의 다른 전자 컴포넌트를 포함할 수 있다. 특정 예에서, 시스템은 또한 하우징을 포함할 수 있고, 마이크로전자 어셈블리 및 하나 이상의 다른 전자 컴포넌트는 하우징과 함께 조립될 수 있다.

[0026] 본 발명의 다른 양상에 따르면, 마이크로전자 어셈블리는 제1 마이크로전자 패키지 및 제2 마이크로전자 패키지 및 대향하는 제1 표면 및 제2 표면과 대향하는 제1 표면과 제2 표면 각각에 노출된 패널 콘택을 갖는 회로 패널을 포함할 수 있다. 각각의 제1 마이크로전자 패키지와 제2 마이크로전자 패키지는 대향하는 제1 표면 및 제2 표면과 제1 표면과 제2 표면 사이에서 연장하는 제1 애퍼처 및 제2 애퍼처를 갖는 기관, 각각 기관의 제1 표면을 향하는 표면과 각각의 마이크로전자 요소의 표면에 애퍼처 중 하나 이상과 정렬되는 복수의 콘택을 갖는 제1 마이크로전자 요소 및 제2 마이크로전자 요소, 제2 표면의 중앙 영역에서 제2 표면에 노출되는 복수의 단자, 그리고 각각의 마이크로전자 요소의 콘택과 단자 사이에 전기적으로 접속되는 리드를 포함할 수 있다. 각각의 기관의 애퍼처는 각각의 애퍼처의 길이 방향으로 연장하는 평행한 제1 축 및 제2 축을 가질 수 있다. 각각의 기관의 제2 표면의 중앙 영역은 각각의 기관의 제1 축 및 제2 축 사이에 배치될 수 있다.

[0027] 각각의 마이크로전자 요소는 임의의 다른 기능보다 메모리 저장 어레이 기능을 제공하기 위해 다수의 능동 소자를 포함할 수 있다. 각각의 마이크로전자 패키지의 단자는 각각의 마이크로전자 패키지를 마이크로전자 패키지의 외부에 있는 하나 이상의 컴포넌트와 접속시키도록 구성될 수 있다. 각각의 리드는 각각의 기관의 애퍼처 중 하나 이상과 정렬되는 부분을 가질 수 있다. 단자는 마이크로전자 패키지의 마이크로전자 요소 내의 메모리 저장 어레이의 모든 이용 가능한 어드레스가능 메모리 위치 중에서 어드레스가능 메모리 위치를 결정하기 위해 마이크로전자 패키지 내의 회로에 의해 사용 가능한 어드레스 정보의 대부분을 전달하도록 구성될 수 있다. 제1 마이크로전자 패키지 및 제2 마이크로전자 패키지의 단자의 적어도 일부는 각각의 제1 표면 및 제2 표면의 패

널 콘택에 장착되며 그것을 통하여 전기적으로 접속될 수 있다. 특정 예에서, 각각의 마이크로전자 패키지의 단자는 어드레스가능 메모리 위치를 결정하기 위해 각각의 마이크로전자 패키지 내의 회로에 의해 사용 가능한 어드레스 정보의 적어도 3/4을 전달하도록 구성될 수 있다.

**도면의 간단한 설명**

[0028]

- 도 1은 종래의 마이크로전자 패키지의 측단면도이다.
- 도 2는 마이크로전자 패키지의 단자들 간의 전기적 접속을 보여주는 마이크로전자 어셈블리의 개략적인 사시도이다.
- 도 3은 도 2의 마이크로전자 어셈블리의 측단면도이다.
- 도 4는 도 3의 마이크로전자 패키지의 단자들 간의 전기적 접속의 개략적인 하부 평면도이다.
- 도 5a는 본 발명의 일 실시예에 따른 마이크로전자 패키지의 개략적인 하부 평면도이다.
- 도 5b는 도 5a의 A-A선을 따라 얻어진, 도 5a의 마이크로전자 어셈블리의 측단면도이다.
- 도 5c는 도 5a에 도시된 마이크로전자 요소 중 하나의 개략적인 하부 평면도이다.
- 도 5d는 도 5a에 도시된 마이크로전자 요소 중 하나의 대안적인 실시예의 개략적인 하부 평면도이다.
- 도 5e는 도 5a의 A-A선을 따라 얻어진, 도 5a에 도시된 마이크로전자 패키지를 두 개 포함하는 마이크로전자 어셈블리의 하나의 가능한 측단면도이다.
- 도 5f는 도 5a의 A-A선을 따라 얻어진, 도 5a에 도시된 마이크로전자 패키지를 두 개 포함하는 마이크로전자 어셈블리의 다른 가능한 측단면도이다.
- 도 5g는 마이크로전자 패키지의 단자들 간의 전기적 접속을 보여주는, 도 5e의 마이크로전자 어셈블리의 가능한 개략적인 사시도이다.
- 도 6a는 하나의 컬럼에 배열된 단자들의 그리드를 갖는 다른 실시예에 따른 마이크로전자 패키지의 개략적인 하부 평면도이다.
- 도 6b는 도 6a의 6B-6B선을 따라 얻어진, 도 6a에 도시된 마이크로전자 패키지를 두 개 포함하는 마이크로전자 어셈블리의 가능한 측단면도이다.
- 도 7a는 각각 두 개의 컬럼에 배열된 두 개의 단자들의 그리드를 갖는 또 다른 실시예에 따른 마이크로전자 패키지의 개략적인 하부 평면도이다.
- 도 7b는 도 7a의 7B-7B선을 따라 얻어진, 도 7a에 도시된 마이크로전자 패키지를 두 개 포함하는 마이크로전자 어셈블리의 가능한 측단면도이다.
- 도 8a는 세 개의 마이크로전자 요소를 갖는 또 다른 실시예에 따른 마이크로전자 패키지의 개략적인 하부 평면도이다.
- 도 8b는 도 8a의 8B-8B선을 따라 얻어진, 도 8a에 도시된 마이크로전자 패키지를 두 개 포함하는 마이크로전자 어셈블리의 가능한 측단면도이다.
- 도 9a는 네 개의 마이크로전자 요소를 갖는 다른 실시예에 따른 마이크로전자 패키지의 개략적인 하부 평면도이다.
- 도 9b는 도 9a의 9B-9B선을 따라 얻어진, 도 9a에 도시된 마이크로전자 패키지를 두 개 포함하는 마이크로전자 어셈블리의 가능한 측단면도이다.
- 도 9c는 각각 하나의 컬럼에 배열된 두 개의 단자들의 그리드를 갖는 도 9a의 마이크로전자 패키지의 변형예이다.
- 도 9d는 각각 두 개의 컬럼에 배열된 네 개의 단자들의 그리드를 갖는 도 9a의 마이크로전자 패키지의 다른 변형예이다.
- 도 9e-9h는 두 개의 평행한 축을 따라 정렬된 네 개의 마이크로전자 요소를 갖는 도 9a의 마이크로전자 패키지

의 변형예들이다.

도 10a는 단일 평면에 배향된(oriented) 두 개의 마이크로전자 요소를 갖는 또 다른 실시예에 따른 마이크로전자 패키지의 개략적인 하부 평면도이다.

도 10b는 각각 두 개의 컬럼에 배열된 두 개의 단자들의 그리드를 갖는 도 10a의 마이크로전자 패키지의 변형예이다.

도 11은 단일 평면에 배향된 세 개의 마이크로전자 요소를 갖는 또 다른 실시예에 따른 마이크로전자 패키지의 개략적인 하부 평면도이다.

도 12a-12d는 단일 평면에 배향된 네 개의 마이크로전자 요소를 갖는 대안적인 실시예에 따른 마이크로전자 패키지의 개략적인 하부 평면도이다.

도 13은 본 발명의 일 실시예에 따른 시스템을 나타내는 개략적인 단면도이다.

도 14는 본 발명의 일 실시예에 따른 시스템을 나타내는 개략적인 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

[0029] 도 1과 관련하여 예시적으로 설명된 종래의 마이크로전자 패키지(112)를 고려하여, 발명자는 메모리 저장 어레이 칩을 통합하는 마이크로전자 패키지와 이러한 마이크로전자 패키지를 통합하는 마이크로전자 어셈블리의 전기적 성능을 개선하는데 도움이 될 수 있는 개선이 이루어질 수 있음을 인식하였다.

[0030] 개선은 특히, 도 2-4에 도시된 바와 같은 어셈블리에 제공되는 경우 마이크로전자 패키지의 사용에 대해 이루어질 수 있는데, 패키지(112A)가 회로 패널의 표면에 장착되고 다른 유사한 패키지(112B)가 그 회로 패널의 반대 표면 상에 패키지(112A)에 대향하도록 장착된다. 패키지(112A, 112B)는 통상적으로 상호간에 기능적으로 그리고 기계적으로 등가이다. 기능적으로 그리고 기계적으로 등가인 패키지들의 다른 쌍들(112C와 112D; 그리고 112E와 112F) 또한 통상적으로 동일한 회로 패널(134)에 장착된다. 회로 패널 및 그에 조립된 패키지들은 통상 듀얼 인 라인 메모리 모듈(dual in-line memory module: DIMM)로 불리는 어셈블리의 일부분을 형성할 수 있다. 예컨대, 패키지(112A, 112B)와 같은, 대향하도록 장착된 패키지 쌍 각각의 패키지들은, 각각의 패키지 쌍의 패키지가 그들 각각의 면적의 90% 이상이 서로의 위에 놓이도록 회로 패널의 반대쪽 표면 상의 콘택(contact)에 접속된다. 회로 패널(134) 내의 국부 배선(local wiring)은 각각의 패키지 상의 단자들, 예컨대 "1"로 표시된 단자와 "5"로 표시된 단자들을 회로 패널 상의 전역 배선(global wiring)에 접속한다. 전역 배선은 회로 패널(134) 상의 접속 구역, 예컨대 구역 I, 구역 II, 및 구역 III과 같은 접속 구역에 일부 신호를 전도하는데 사용되는 버스(136)의 신호 전도체를 포함한다. 예를 들어, 패키지들(112A, 112B)은 접속 구역 I에 연결되는 국부 배선에 의해 버스(136)에 전기적으로 접속되고, 패키지들(112C, 112D)은 접속 구역 II에 연결되는 국부 배선에 의해 버스(136)에 전기적으로 접속되며, 패키지들(112E, 112F)은 접속 구역 III에 연결되는 국부 배선에 의해 버스(136)에 전기적으로 접속된다.

[0031] 회로 패널(134)은, 패키지(112A)의 하나의 에지(116)에 가까운 "1"로 표시된 단자를 회로 패널(134)을 통하여 패키지(112B)의 동일한 에지(116)에 가까운 패키지(112B)의 "1"로 표시된 단자에 접속하는 십자(crisscross) 또는 "신발끈(shoelace)" 패턴과 유사하게 보이는 국부 상호접속 배선을 이용하여, 각각의 패키지(112A, 112B)의 단자들을 전기적으로 상호접속한다. 그러나, 회로 패널(134)에 조립된 상태의 패키지(112B)의 에지(116)는 패키지(112A)의 에지(116)로부터 이격되어 있다. 도 2-4는 또한 패키지(112A)의 에지(122)에 가까운 "5"로 표시된 단자가 회로 패널(134)을 통하여 패키지(112B)의 동일한 에지(122)에 가까운 패키지(112B)의 "5"로 표시된 단자에 접속되는 것을 보여준다. 어셈블리(138)에서, 패키지(112A)의 에지(122)는 패키지(112B)의 에지(122)로부터 이격되어 있다.

[0032] 회로 패널을 통한 각각의 패키지, 예컨대, 패키지(112A) 상의 단자들과 그에 대향하도록 장착된 패키지, 예컨대, 패키지(112B) 상의 대응하는 단자들 사이의 접속은 상당히 길다. 도 3에도 도시된 바와 같이, 유사한 마이크로전자 패키지(112A, 112B)의 이러한 어셈블리에서, 버스로부터 동일한 신호가 각각의 패키지에 송신될 경우, 회로 패널(134)은 버스(136)의 신호 전도체를 "1"로 표시된 패키지(112A)의 단자 및 "1"로 표시된 패키지(112B)의 대응하는 단자 및 전기적으로 상호접속할 수 있다. 유사하게, 회로 패널(134)은 버스(136)의 다른 신호 전도체를 "2"로 표시된 패키지(112A)의 단자 및 "2"로 표시된 패키지(112B)의 대응하는 단자와 전기적으로 상호접속할 수 있다. 동일한 접속 배열이 버스의 다른 신호 전도체 및 각각의 패키지의 대응하는 단자들에 도 적용될 수 있다.

- [0033] 회로 패널(134) 상의 버스(136)와 각각의 패키지 쌍, 예컨대, 패키지(112A, 112B) 쌍의 각각의 패키지 간의, 보드의 접속 구역 I에서의 국부 배선(도 2)은 비종단 스템브(underterminated stub)의 형태일 수 있다. 이러한 비교적 긴 국부 배선은 일부 경우에 있어서, 이하에서 설명된 바와 같이 어셈블리(138)의 성능에 영향을 줄 수 있다. 또한, 회로 패널(134)은 다른 패키지들의 특정 단자들을 전기적으로 상호접속하고: 패키지 쌍(112C 및 112D)과 패키지 쌍(112E 및 112F)을 버스(136)의 전역 배선에 전기적으로 상호접속하는데 국부 배선을 필요로 할 수 있으며, 이러한 배선은 동일한 방식으로 어셈블리의 성능에 영향을 줄 수 있다.
- [0034] 도 4는 신호를 전달하도록 할당된 단자들의 각각의 쌍, "1", "2", "3", "4", "5", "6", "7", 그리고 "8"의 마이크로전자 패키지(112A, 112B) 사이의 상호접속을 나타낸다. 도 4에 나타낸 바와 같이, 단자들의 모든 컬럼(114, 118)이, 기판의 표면의 중앙 영역(124) 대신에, 각 패키지(112A, 112B)의 각각의 에지들(116, 122) 가까이 노출되며, 단자들의 컬럼(114, 118)이 연장하는 방향(142)을 가로지르는 방향(140)으로 회로 패널(134)을 횡단하는데 필요한 배선은 매우 길 수 있다. DRAM 칩의 길이가 각 측면에서 10 밀리미터 범위에 있을 수 있다는 것을 인지하면, 두 개의 대향하도록 장착된 패키지(112A, 112B)의 대응하는 단자들에 동일한 신호를 라우팅(route)하기 위하여 일부 신호들을 위해 요구되는, 도 2-4에 도시된 어셈블리(138) 내의 회로 패널(134)의 국부 배선의 길이는 5밀리미터에서 10밀리미터 사이의 범위일 수 있으며, 통상적으로는 약 7밀리미터일 수 있다.
- [0035] 일부 경우에, 패키지의 단자들을 접속하는, 회로 패널 상의 비교적 긴 비종단 배선은 어셈블리(138)의 전기적 성능에 심각한 영향을 주지 않을 수 있다. 그러나, 신호가 회로 패널의 버스(136)로부터 도 2에 도시된 회로 패널에 접속된 다수의 패키지 쌍 각각에 전송되는 경우, 발명자는 버스(136)로부터 그것에 접속된 각각의 패키지 상의 단자까지의 스템브, 즉, 국부 배선의 전기적 길이가 어셈블리(138)의 성능에 잠재적으로 영향을 준다고 인식한다. 비종단 스템브 상의 신호 반사는 각각의 패키지의 접속된 단자로부터 버스(136)로의 반대 방향으로 이동할 수 있고, 따라서, 버스로부터 패키지로 전송되는 신호의 품질을 저하할 수 있다. 이러한 영향은 현재 제조되는 마이크로전자 요소들을 포함하는 일부 패키지에 대해서는 허용 가능한 정도일 수 있다. 그러나, 발명자는, 증가된 신호 스위칭 주파수, 저전압 스윙 신호, 또는 양자 모두로 동작하는 현재 또는 미래의 어셈블리에서, 이러한 영향이 심각해질 수 있다는 것을 인식한다. 이들 어셈블리에 대하여, 정착 시간(settling time), 링잉(ringing), 지터(jitter), 또는 송신된 신호의 부호간 간섭(intersymbol interference)이 수용할 수 없는 정도까지 증가할 수 있다.
- [0036] 발명자는 또한 비종단 스템브의 전기적 길이가 일반적으로 회로 패널 상의 버스(136)를 회로 패널에 장착된 패키지들의 단자들과 접속하는 국부 배선보다 길다는 것을 인식한다. 패키지 단자로부터 패키지 내부의 반도체 칩까지의, 각각의 패키지 내의 비종단 배선이 스템브의 길이에 추가된다.
- [0037] 특정 예에서, 버스(136)는 주된 메모리 저장 어레이 기능을 갖는, 예컨대, DIMM과 같은 어셈블리의 명령-어드레스 버스이다. 명령-어드레스 버스(136)는 마이크로전자 패키지에 전송된 어드레스 정보를 전달하고, 마이크로전자 패키지의 마이크로전자 요소 내의 메모리 저장 어레이의 이용가능한 모든 어드레스가능 메모리 위치(addressable memory location) 중에서 어드레스가능 메모리 위치를 결정하도록 구성될 수 있는데, 이러한 어드레스 정보는 예컨대, 존재하는 경우, 로우 어드레스(row address) 디코더, 컬럼 어드레스 디코더, 및 뱅크 선택 회로와 같은 그 패키지 내의 회로에 의해 사용 가능하다. 명령-어드레스 버스(136)는 상술한 어드레스 정보를 접속 구역, 예컨대, 도 2에 도시된 구역 I, II, 그리고 III으로 전달하도록 구성될 수 있다. 이러한 상술한 어드레스 정보는 그 다음 국부 배선에 의해 패키지들(112A, 112B, 112C, 112D, 112E, 그리고 112F)이 접속된, 각각의 회로 패널의 대향하는 표면 상의 패널 콘택 세트들에 분배될 수 있다.
- [0038] 특정 예에서, 마이크로전자 요소가 DRAM 칩이거나 또는 DRAM 칩을 포함하는 경우, 명령-어드레스 버스(136)는 마이크로전자 요소의 명령-어드레스 버스의 신호 그룹의 모두를, 예컨대, 마이크로전자 패키지로 전송되는 명령 신호, 어드레스 신호, 뱅크 어드레스 신호(bank address signal), 그리고 클록 신호를 전달하도록 구성될 수 있는데, 명령 신호는 기록 인에이블(write enable) 신호, 로우 어드레스 스트로브(strobe) 신호, 그리고 컬럼 어드레스 스트로브 신호를 포함하고, 클록 신호는 어드레스 신호를 샘플링하는데 사용되는 클록이다. 클록 신호는 다양한 타입일 수 있으나, 일 실시예에서, 이들 단자에 의해 전달된 클록 신호는 차동(differential) 클록 신호 또는 진리(true) 클록 신호 또는 보수(complement) 클록 신호로서 수신된 상이한 클록 신호들의 하나 이상의 쌍일 수 있다.
- [0039] 따라서, 본 명세서에서 설명된 본 발명의 특정 실시예는, 이러한 제1 마이크로전자 패키지 및 제2 마이크로전자 패키지가 회로 패널, 예컨대, 회로 보드, 모듈 보드 또는 카드, 또는 플렉시블 회로 패널의 대향하는 표면 상에서 대향하도록 장착되는 경우, 스템브 길이의 감소를 가능하게 하도록 구성되는 마이크로전자 패키지를 제공



한다. 회로 패널 상에 서로 대향하도록 장착된 제1 마이크로전자 패키지 및 제2 마이크로전자 패키지를 통합하는 어셈블리들은 상당히 감소된, 각각의 패키지 사이의 스테브 길이를 가질 수 있다. 이들 전기적 접속의 길이의 감소는 회로 패널 및 어셈블리 내의 스테브 길이를 감소시킬 수 있으며, 이는 특히, 제1 단자들에 의해 전달되고 제1 패키지 및 제2 패키지 내의 마이크로전자 요소들로 전송되는 상술한 신호들에 대한 전기적 성능, 예컨대, 감소된 정착 시간, 링잉, 지터, 또는 심볼간 간섭과 같은 전기적 성능을 개선하는데 도움을 줄 수 있다. 또한, 예컨대, 회로 패널 구조의 단순화 또는 회로 패널 디자인 또는 제조의 복잡도 및 비용의 감소와 같은, 다른 이점을 얻는 것도 가능하다.

[0040] 본 발명의 특정 실시예는 패키지 또는 마이크로전자 어셈블리를 제공하는데, 이러한 패키지 또는 마이크로전자 어셈블리 내의 마이크로전자 요소, 예컨대, 반도체 칩 또는 반도체 칩의 적층된 배열은 주로 메모리 저장 어레이 기능을 제공하도록 구성된다. 이러한 마이크로전자 요소에서, 메모리 저장 어레이 기능을 제공하도록 구성되는, 즉, 구조화되고 다른 소자들과 상호접속되는 그 내부의 능동 소자(예컨대, 트랜지스터)의 수는 임의의 다른 기능을 제공하도록 구성되는 능동 소자의 수보다 크다. 따라서, 일 예에서, DRAM 칩과 같은 마이크로전자 요소는 그것의 주된 기능 또는 유일한 기능으로서 메모리 저장 어레이 기능을 갖는다. 대안적으로, 다른 예에서, 이러한 마이크로전자 요소는 혼합된 용도를 가질 수 있고 메모리 저장 어레이 기능을 제공하도록 구성된 능동 소자들을 통합할 수 있으며, 특히 프로세서 기능, 또는 신호 프로세서 기능 또는 그래픽 프로세서 기능과 같은 다른 기능을 제공하도록 구성된 기타 능동 소자들 또한 통합할 수 있다. 이 경우에, 마이크로전자 요소는 임의의 다른 기능을 제공하도록 구성된 능동 소자보다 여전히 더 많은, 메모리 저장 어레이 기능을 제공하도록 구성된 능동 소자를 가질 수 있다.

[0041] 일 실시예에서, 패키지의 단자들은 마이크로전자 어셈블리로부터 멀어지도록 향하는, 기관 또는 유전체 층의 제2 표면의 중앙 영역에 배치되는 제1 단자들을 포함할 수 있고, 중앙 영역은 기관 또는 유전체의 제1 주변 에지 및 제2 주변 에지에 인접한 주변 영역 사이에 배치된다. 중앙 영역은 단자들의 평행한 컬럼 중 인접한 컬럼들 사이의 최소 피치(pitch)의 3.5배보다 넓지 않도록 될 수 있다.

[0042] 본 발명의 특정 실시예에서, 중앙 영역의 제1 단자들은 마이크로전자 요소의 명령-어드레스 버스의 신호 그룹의 모두, 예컨대, 마이크로전자 패키지로 전송되는 명령 신호, 어드레스 신호, 뱅크 어드레스 신호, 그리고 클럭 신호를 전달하도록 구성되는데, 명령 신호는 기록 인에이블 신호, 로우 어드레스 스트로브 신호, 그리고 컬럼 어드레스 스트로브 신호를 포함하고, 클럭 신호는 어드레스 신호를 샘플링하는데 사용되는 클럭이다. 클럭 신호는 다양한 타입일 수 있으나, 일 실시예에서, 이들 단자에 의해 전달된 클럭 신호는 차동 클럭 신호 또는 진리 클럭 신호 또는 보수 클럭 신호로서 수신된 상이한 클럭 신호들의 하나 이상의 쌍일 수 있다.

[0043] 예컨대, 인쇄 회로 보드, 모듈 카드 등의 회로 패널 상에서, 명령-어드레스 버스의 상술한 신호들, 즉, 명령 신호, 어드레스 신호, 뱅크 어드레스 신호, 그리고 클럭 신호는, 평행하게 회로 패널에 접속된 다수의 마이크로전자 패키지, 특히, 회로 패널의 대향하는 표면에 장착된 제1 마이크로전자 패키지 및 제2 마이크로전자 패키지로 전해질 수 있다. 본 명세서의 특정 실시예에 대하여, 명령-어드레스 버스 신호를 전달하는 단자들을 마이크로전자 패키지의 에지 근처의 주변 영역이 아닌, 패키지 표면의 중앙 영역에 위치시킴으로써, 회로 패널 상의 명령-어드레스 버스(136)(도 2)로부터 회로 패널의 표면 상의, 마이크로전자 패키지가 전기적으로 접속되는 개개의 접속 구역으로 신호를 전달하는데 사용되는 스테브의 길이를 감소시키는 것이 가능하다. 이들 전기적 접속의 길이의 감소는 회로 패널 및 어셈블리의 스테브 길이를 감소시킬 수 있고, 이는 특히 제1 단자들에 의해 전달되고 제1 패키지 및 제2 패키지 내의 마이크로전자 요소들에 전송되는 상술한 신호들에 대한 전기적 성능, 예컨대, 정착 시간 감소, 링잉, 지터, 또는 심볼간 간섭과 같은 전기적 성능을 개선하는데 도움을 줄 수 있다. 또한, 예컨대, 회로 패널 구조의 단순화 또는 회로 패널 디자인 또는 제조의 복잡도 및 비용의 감소와 같은, 다른 이점을 얻는 것도 가능하다.

[0044] 일부 실시예에서, 마이크로전자 패키지는 상술한 바와 같이 명령 신호, 어드레스 신호, 뱅크 어드레스 신호, 그리고 클럭 신호 모두를 전달하도록 구성된 중앙 영역의 단자들의 컬럼을 네 개 이하로 가질 수 있다. 특정 실시예에서, 두 개의 이러한 단자들의 컬럼만이 있을 수 있다. 다른 실시예에서, 한 개의 이러한 단자들의 컬럼만이 있을 수 있다.

[0045] 또한, 마이크로전자 패키지의 각각의 쌍들이 접속되는 접속 구역 사이에, 제1 단자들에 의해 전달되는 상술한 신호들, 예컨대, 명령-어드레스 버스 신호들로부터 신호들을 라우팅하는데 필요한 회로 패널 상의 배선의 라우팅층의 수를 감소시키는 것이 가능할 수 있다. 구체적으로, 회로 패널을 따라 이러한 신호들을 라우팅하는데 필요한 라우팅층의 수는 일부 경우에 네 개 이하로 감소될 수 있다. 특정 예에서, 회로 패널을 따라 이러한 신

호들을 라우팅하는데 필요한 라우팅층의 수는 일부 경우에 네 개, 두 개, 또는 한 개로 감소될 수 있다. 그러나, 회로 패널 상에서, 상술한 어드레스 또는 명령-어드레스 버스 신호들을 전달하는 라우팅층의 수보다 더 많은 수의, 다른 신호들을 전달하는 라우팅층이 있을 수 있다.

[0046] 마이크로전자 패키지는 또한 제1 단자들 외에 제2 단자들을 가질 수 있는데, 이러한 단자들은 상술한 명령-어드레스 버스 신호 외의 다른 신호들을 전달하도록 구성된다. 일 실시예에서, 이러한 제2 단자들은 주변 영역 중 하나 이상에 배치될 수 있고, 데이터 신호를 전달하도록 구성될 수 있다. 예를 들어, 제2 단자들은, 데이터 마스크(data mask) 및 종단 저항에 평행한 종단(termination)을 턴 온 또는 턴 오프하는데 사용되는 ODT(on die termination) 신호들 외에, 데이터 스트로브 신호와 단방향 데이터 신호 또는 양방향 데이터 신호를 마이크로전자 요소로 전달 및/또는 마이크로전자 요소로부터 이러한 신호를 전달하는데 사용되는 단자들을 포함할 수 있다. 칩 선택, 리셋, 전원 공급 전압, 예컨대, Vdd, Vddq, 그리고 접지, 예컨대, Vss 및 Vssq와 같은 기준 전위들 또는 신호들이 제2 단자들에 의해 전달될 수 있고, 이러한 신호들 또는 기준 전위들 중 어느 것도 제1 단자들에 의해 전달될 필요는 없다. 일부 실시예에서, 상술한 어드레스 또는 명령-어드레스 버스 신호들 외의 신호들을 전달하도록 구성된 모든 단자들 또는 일부 단자들이, 그들이 위치할 수 있는 패키지 상의 임의의 위치에 제2 단자들로서 배치되는 것이 가능하다.

[0047] 본 발명의 실시예들은 본 명세서에서 내부에 하나 이상의 반도체 칩, 즉, 마이크로전자 요소를 갖는 패키지를 제공한다. 다중 칩 패키지는 내부의 칩들을, 볼 그리드 어레이(ball grid array), 랜드(land) 그리드 어레이 또는 핀(pin) 그리드 어레이와 같은 단자들의 어레이를 통해, 패키지가 전기적으로 그리고 기계적으로 접속될 수 있는 회로 패널, 예컨대, 인쇄 배선 보드에 접속하는데 필요한 면적 또는 공간의 양을 감소시킬 수 있다. 이러한 접속 공간은 특히 소형 또는 휴대용 컴퓨팅 장치, 예컨대, 일반적으로 PC의 기능을 더 넓은 세계에 대한 무선 접속과 결합한 태블릿 또는 "스마트폰"과 같은 핸드헬드(handheld) 장치에서 제한된다. 다중-칩 패키지는 특히, 시스템에서 이용 가능한 비교적 저렴한 메모리, 예컨대, 진보된 고성능 DRAM(dynamic random access memory) 칩, 예를 들어, DDR3 타입 DRAM 칩과 그 후속 칩과 같은 메모리의 대량 제조에 있어서 유용할 수 있다.

[0048] 다중-칩 패키지가 접속되는데 필요한 회로 패널의 면적의 양은 패키지 상에 공통 단자들을 제공함으로써 감소될 수 있는데, 적어도 일부 신호들은 이러한 공통 단자를 통하여 패키지 내의 둘 이상의 칩으로의 또는 칩으로부터의 그들의 경로를 이동한다. 그러나, 고성능 동작을 지원하는 방식에서 이와 같이 행하는 것은 문제점을 제시한다. 비종단 스텔트로 인한 바람직하지 않은 신호의 반사와 같은 바람직하지 않은 효과를 피하기 위하여, 트레이스, 비아, 그리고 패키지의 외부에서의 단자들을 버스(136)(도 2)와 같은 회로 패널 상의 전역 배선과 전기적으로 접속하는 회로 패널 상의 다른 전도체들은 너무 길지 않아야 한다. 열 손실 또한 진보된 칩들에 대한 과제를 제시하므로, 각 칩의 크고 평평한 표면 중 적어도 하나가 히트 스프레드(heat spreader)에 연결되거나 설치된 시스템 내의 공기 흐름과의 열적 통신에 노출되는 것이 바람직하다.

[0049] 본 발명의 실시예들은 본 명세서에서 어셈블리 상의 신호들의 스텔브 길이를 감소시키는 방법을 제공할 수 있다. 따라서, 패키지 내의 다수의 칩의 대응하는 콘택은 패키지 외부의 컴포넌트(component), 예컨대, 인쇄 회로 보드와 같은 회로 패널, 외부 마이크로전자 요소, 또는 다른 컴포넌트와의 접속을 위하여 구성된, 패키지의 하나의 공통 단자와 전기적으로 접속될 수 있으며, 이러한 복수의 마이크로전자 패키지는 회로 패널의 대향하는 표면에 장착될 수 있다.

[0050] 예를 들어, 제1 마이크로전자 패키지(10a)의 제1 컬럼의 제1 단자(25a)를 제2 마이크로전자 패키지(10b)의 제1 컬럼의 대응하는 제1 단자와 전기적으로 접속시키는 회로 패널(60)(도 5e) 상의 스텔브의 전기적 길이는 각각의 패키지 상의 제1 단자들의 최소 피치의 7배 미만, 예를 들어, 제1 단자들의 인접한 컬럼 사이의 피치의 7배 미만일 수 있다. 즉, 회로 패널(60)의 제1 표면 및 제2 표면에 노출된, 전기적으로 연결된 제1 패널 콘택(65a) 및 제2 패널 콘택(65b)의 쌍을, 회로 패널 상의 명령-어드레스 버스의 대응하는 하나의 전도체에 접속시키는 전도성 요소의 총 결합 길이가 패널 콘택의 가장 작은 피치의 7배 미만일 수 있다. 또 다른 예에서, 제1 마이크로전자 패키지(10a)의 제1 단자(25a)와 제2 마이크로전자 패키지(10b) 상의 대응하는 제1 단자 사이의 접속의 전기적 길이는, 제1 표면(61) 및 제2 표면(62) 사이의 회로 패널(60)의 두께와 대략 동일할 수 있다.

[0051] 도 5a 및 5b는 제1 패키지 및 제2 패키지가 회로 패널, 예컨대, 회로 보드, 모듈 보드 또는 카드, 또는 플렉시블 회로 패널의 대향하는 표면 상에 서로 대향하도록 장착되는 경우, 스텔브의 길이가 감소되는 것이 가능하도록 구성된 특정한 타입의 마이크로전자 패키지(10)를 나타낸다. 도 5a 및 5b에 나타난 바와 같이, 마이크로전자 패키지(10)는 패키징 구조체, 예를 들어, 대향하는 제1 표면(21) 및 제2 표면(22)을 갖는 기판(20)을 포함할

수 있다. 제1 표면(21) 및 제2 표면(22)은 반대 방향으로 향하고, 따라서, 서로에 대하여 대향하며, "대향면 (opposed surfaces)"이다.

- [0052] 도 5a 및 본 명세서에서 설명된 마이크로전자 패키지들의 다른 개략적인 하부 평면도 모두에서, 기판(20) 및 단자 그리드는 투명하게 도시된다. 이것은 기판의 평면에 평행하는 x-y 방향에서 마이크로전자 요소들에 대한 기판 및 단자 그리드의 위치는 여전히 나타내면서, 마이크로전자 요소의 상대적인 위치가 하부 도면으로부터 더욱 명확하게 나타날 수 있도록 행해진다.
- [0053] 일부 경우에, 기판(20)은 필수적으로 기판의 평면에서(기판의 제1 표면(21)에 평행한 방향에서) 낮은 열팽창 계수(coefficient of thermal expansion: CTE), 즉, 12ppm/°C보다 작은 열팽창 계수를 갖는 재료, 예컨대, 반도체 재료(예컨대 실리콘), 또는 세라믹 재료 또는 이산화 규소(예컨대 유리)와 같은 유전체 재료와 같은 재료로 이루어질 수 있다. 대안적으로, 기판(20)은, 필수적으로 폴리이미드, 에폭시, 열가소성 수지(thermoplastic), 열경화성 수지(thermoset plastic)와 같은 고분자 재료, 또는 기타 적합한 고분자 재료로 이루어질 수 있는 시트형(sheet-like) 기판, 또는 특히, BT(bismaleimide triazine) 수지의 강화 구조 유리 또는 FR-4와 같은 에폭시-유리와 같은 합성 고분자-무기 재료를 포함하거나 이러한 재료로 필수적으로 이루어질 수 있는 시트형 기판을 포함할 수 있다. 일 예에서, 이러한 기판(20)은 필수적으로 기판의 평면에서, 즉, 기판의 표면을 따르는 방향에서 30ppm/°C보다 작은 열팽창 계수를 갖는 재료로 이루어질 수 있다.
- [0054] 도 5a 및 5b에서, 기판(20)의 제1 표면(21)에 평행한 방향은 본 명세서에서 "수평" 또는 "횡(lateral)" 방향이라 하고, 제1 표면에 직각인 방향은 본 명세서에서 위쪽 또는 아래쪽 방향이라 하며 또한 "수직" 방향이라고 한다. 본 명세서에서 지칭되는 방향은 지칭되는 구조체의 좌표계에 있다. 따라서, 이들 방향은 임의의 방위에서 중력 좌표계의 보통의 "위" 또는 "아래" 방향으로 놓여 있을 수 있다.
- [0055] 하나의 특징부가 다른 특징부보다 "표면 위로" 더 큰 높이에 배치된다는 것은 그 하나의 특징부가 다른 특징부보다 그 표면으로부터 멀어지는 동일한 직각 방향으로 더 큰 거리에 있다는 것을 의미한다. 반대로, 하나의 특징부가 다른 특징부보다 "표면 위로" 더 적은 높이에 배치된다는 것은 그 하나의 특징부가 다른 특징부보다 그 표면으로부터 멀어지는 동일한 직각 방향으로 더 작은 거리에 있다는 것을 의미한다.
- [0056] 적어도 하나의 애퍼처(26)는 기판(20)의 제1 표면(21)과 제2 표면(22) 사이에서 연장할 수 있다. 도 5a에서 알 수 있는 바와 같이, 기판(20)은 그 사이로 연장하는 두 개의 애퍼처(26a, 26b)를 가질 수 있다. 애퍼처(26a, 26b)의 가장 긴 치수(dimension)는 제1 평행축(29a) 및 제2 평행축(29b)(통칭하여 축(29))을 형성할 수 있다. 제1 평행축(29a) 및 제2 평행축(29b)은 그들 사이에 위치한 기판(20)의 제2 표면(22)의 중앙 영역(23)을 형성할 수 있다. 기판(20)의 제2 표면(22)의 주변 영역(28)은 중앙 영역(23) 외부에 놓일 수 있다. 이러한 주변 영역(28)은 중앙 영역(23)과 기판(20)의 제2 표면(22)의 대향하는 제1 에지(27a) 및 제2 에지(27b) 사이에서 연장할 수 있다.
- [0057] 기판(20)은 기판의 표면에 노출된 복수의 단자(25), 예컨대, 전도성 패드, 랜드, 또는 전도성 포스트(post)를 가질 수 있다. 도 5b에서 알 수 있듯이, 이러한 단자(25)는 기판(20)의 제2 표면(22)에 노출될 수 있다. 단자(25)는 마이크로전자 패키지(10)를 회로 패널, 특히 예컨대, 인쇄 배선 보드, 플렉시블 회로 패널, 소켓, 다른 마이크로전자 어셈블리 또는 패키지, 인터포저(interposer), 또는 수동 컴포넌트 어셈블리와 같은 외부 컴포넌트의 대응하는 전기전도성 요소와 접속하기 위한 종단점(endpoint)으로서의 기능을 할 수 있다. 일 예에서, 이러한 회로 패널은 마더보드(motherboard) 또는 DIMM 모듈 보드일 수 있다.
- [0058] 마이크로전자 패키지(10)는 외부 컴포넌트와의 접속을 위하여 단자(25)에 부착된 결합 유닛(joining unit)(11)을 포함할 수 있다. 결합 유닛(11)은, 예를 들어, 솔더, 주석, 인듐과 같은 접합 금속(bond metal)의 매스(mass), 그들의 공융(eutectic) 조성 또는 결합, 또는 전도성 페이스트(paste) 또는 전도성 접착제와 같은 다른 결합 재료일 수 있다. 특정 실시예에서, 단자(25)와 외부 컴포넌트(예컨대, 도 5e에 도시된 회로 패널(60)) 사이의 결합은, 원용에 의해 그 개시 내용이 본 명세서에 포함된 공동 소유의 미국 특허 출원 제13/155,719호 및 제13/158,797호에 설명된 바와 같이, 전기전도성 매트릭스 재료를 포함할 수 있다. 특정 실시예에서, 이러한 결합은 상기 특허 출원에 개시된 바와 유사한 구조를 갖거나 상기 특허 출원에 개시된 바와 같은 방식으로 형성될 수 있다.
- [0059] 본 명세서에서 사용되는, 전기전도성 요소(electrically conductive element)가 구조체의 표면에 "노출"된다는 것은 전기전도성 요소가 이러한 구조체 외부로부터 표면을 향하여 표면에 직각인 방향으로 이동하는 이론상 지점(theoretical point)과의 접촉을 위해 이용 가능하다는 것을 나타낸다. 따라서, 구조체의 표면에 노출되는

단자 또는 기타 전도성 요소는 이러한 표면으로부터 돌출되거나, 이러한 표면과 동일 평면을 이루거나(flush), 또는 이러한 표면에 대해 움푹 파여(recessed) 상기 구조체의 홈(hole) 또는 함몰부(depression)을 통해 노출될 수 있다.

[0060] 단자들(25)은, 기관(20)의 제2 표면(22)의 중앙 영역(central region)(23)에서 노출된 제1 단자들(25a)과 제2 표면의 적어도 하나의 주변 영역(peripheral region)(28)에서 도출된 제2 단자들(25b)을 포함한다. 본 발명의 특정 실시예에서는, 제1 단자들(25a)은 명령-어드레스 버스(command-address bus)의 특정 신호, 즉, 구체적으로는 마이크로전자 패키지(microelectronic package)(10) 내에서 동적 메모리 저장 기능(dynamic memory storage function)을 제공하도록 구성된 마이크로전자 요소(microelectronic element)(30)(이하에서 설명됨)의 모든 어드레스 신호 세트를 전달하도록 구성될 수 있다.

[0061] 예를 들어, 마이크로전자 요소들(30)이 DRAM 반도체 칩을 포함하거나 그 자체인 경우, 패키지 내의 마이크로전자 요소 내의 메모리 저장 어레이(memory storage array)의 모든 이용가능한 어드레스가능 메모리 위치들 중에서 어드레스가능 메모리 위치를 결정하기 위해, 제1 단자들(25a)은 패키지 내에서 회로(circuitry), 예컨대 존 제한다면, 로우(row) 어드레스 및 컬럼(column) 어드레스 디코더와, 뱅크 선택 회로(bank selection circuitry)에 의해 사용 가능한 마이크로전자 패키지(10)에 전송된 충분한 어드레스 정보를 전달하도록 구성될 수 있다. 특정 실시예에서, 이러한 메모리 저장 어레이 내의 어드레스가능 메모리 위치를 결정하기 위해, 제1 단자들(25a)은 마이크로전자 패키지(10) 내의 이러한 회로에 의해 이용된 모든 어드레스 정보를 전달하도록 구성될 수 있다.

[0062] 이러한 실시예의 변형예에서, 제1 단자들(25a)은 메모리 저장 어레이 내의 어드레스가능 메모리 위치를 결정하기 위해, 마이크로전자 패키지(10) 내의 회로에 의해 이용되는 어드레스 정보의 대부분을 전달하도록 구성될 수 있고, 이후 마이크로전자 패키지 상의, 앞서 참조된 제2 단자들(25b)의 적어도 일부와 같은 다른 단자들은, 어드레스 정보의 나머지 부분을 전달하도록 구성될 수 있다. 이러한 변형예에서, 특정 실시예에서, 제1 단자들(25a)은 메모리 저장 어레이 내의 어드레스가능 메모리 위치를 결정하기 위해, 마이크로전자 패키지(10) 내의 회로에 의해 이용되는 어드레스 정보의 3/4 이상을 전달하도록 구성될 수 있다.

[0063] 특정 실시예에서, 제1 단자들(25a)은 칩 선택 정보, 예컨대 칩 내의 메모리 저장 위치에 액세스하기 위해 마이크로전자 패키지(10) 내의 특정 칩을 선택하는 용도로 이용될 수 있는 정보를 전달하도록 구성되지 않을 수 있다. 다른 실시예에서, 적어도 하나의 제1 단자(25a)는 실제로 칩 선택 정보를 전달할 수 있다.

[0064] 전형적으로, 마이크로전자 패키지(10) 내의 마이크로전자 요소들(30)이 DRAM 칩을 포함하는 경우, 일 실시예에서의 어드레스 신호는, 메모리에 대한 판독 액세스(read access), 또는 판독 액세스 내지 기록 액세스(write access)를 위해 마이크로전자 패키지 내의 랜덤 액세스 어드레스가능 메모리 위치(random access addressable memory location)를 결정하는 용도로 사용되는, 패키지 외부의 컴포넌트, 예컨대 이하에서 설명되는 회로 패널(circuit panel)(60)과 같은 회로 패널로부터 패키지에 전송되는 모든 어드레스 신호를 포함할 수 있다.

[0065] 제2 단자들(25b) 중 적어도 일부는 제1 단자들(25a)에 의해 전달되는 어드레스 신호 이외의 신호를 전달하도록 구성될 수 있다. 칩 선택, 리셋, 전원 전압, 예컨대 Vdd, Vddq, 및 접지, 예컨대 Vss 및 Vssq와 같은 기준 전위(potential) 또는 신호는 제2 단자들(25b)에 의해 전달될 수 있고; 다른 언급이 없다면, 이러한 기준 전위 또는 신호는 본 명세서에서 참조되는 임의의 실시예에서의 제1 단자들(25a)에 의해 전달될 필요가 없다.

[0066] 특정 실시예에서, 각각의 제1 단자(25a)는 적어도 하나의 마이크로전자 요소(30)의 동작 모드(operating mode)를 제어하는 정보를 전달하도록 구성될 수 있다. 보다 구체적으로, 제1 단자들(25a)은 마이크로전자 패키지(10)에 전송된 명령 신호 및/또는 클럭 신호(clock signal)의 모든 특정 세트를 전달하도록 구성될 수 있다. 이러한 실시예에서, 제1 단자(25a)들은 외부 컴포넌트로부터 마이크로전자 패키지(10)에 전송된 모든 명령 신호, 어드레스 신호, 뱅크 어드레스 신호, 및 클럭 신호를 전달하도록 구성될 수 있는데, 여기서 명령 신호는 로우 어드레스 스트로브(row address strobe), 컬럼 어드레스 스트로브, 및 기록 인에이블(write enable)을 포함한다.

[0067] 하나 이상의 마이크로전자 요소가, 동적 랜덤 액세스 메모리(DRAM) 반도체 칩, 또는 DRAM 칩 어셈블리에 의해 제공되는 것과 같은 동적 메모리 저장 어레이 기능을 제공하도록 구성되는 일 실시예에서, 명령 신호는 기록 인에이블, 로우 어드레스 스트로브, 및 컬럼 어드레스 스트로브 신호이다. ODT(on die termination), 칩 선택, 클럭 인에이블과 같은 다른 신호는 제1 단자들(25a)에 의해 전달될 필요가 있는 명령 신호의 부분을 구성하지는 않는다. 클럭 신호는 어드레스 신호를 샘플링하기 위해 하나 이상의 마이크로전자 요소에 의해 이용되는 클럭

일 수 있다. 예를 들어, 도 5a에 도시된 것처럼, 제1 단자들(25a)은, 신호 A0부터 신호 A15까지의 일체와, 뱅크 어드레스 신호 BA0, BA1, 및 BA2뿐만 아니라, 클럭 신호 CK 및 CKB, 로우 어드레스 스트로브 RAS, 컬럼 어드레스 스트로브 CAS, 및 기록 인에이블 신호 WE도 포함할 수 있다.

[0068] 본 실시예에서, 적어도 일부의 제2 단자(25b)는 제1 단자(25a)에 의해 전달되는 명령 신호, 어드레스 신호, 및 클럭 신호 이외의 신호를 전달하도록 구성될 수 있다. 칩 선택, 리셋, 급전 전원, 예컨대 Vdd, Vddq, 및 접지, 예컨대 Vss 및 Vssq와 같은 기준 전위(potential) 또는 신호는 제2 단자(25b)에 의해 전달될 수 있고; 다른 언급이 없다면, 이러한 기준 전위 또는 신호는 본 명세서에서 참조되는 임의의 실시예에서의 제1 단자(25a)에 의해 전달될 필요가 없다.

[0069] 다른 실시예에서, 하나 이상의 마이크로전자 요소가 NAND 플래시 메모리와 같은 DRAM과는 다른 기술로 구현되는 메모리 저장 어레이 기능을 제공하도록 구성되는 경우, 예를 들면 제1 단자(25a)에 의해 전달되어야 하는 특정 명령 신호는 DRAM의 경우에 전달되어야 하는 기록 인에이블, 어드레스 스트로브, 및 컬럼 어드레스 스트로브의 그룹과는 다른 상이한 신호의 세트일 수 있다.

[0070] 특정 예에서, 도 5A 및 도 5B에 도시된 예시와 같이, 제2 단자(25b)는 각각의 주변 영역(28) 내의 적어도 하나의 컬럼에 배치될 수 있다. 일 실시예에서, 명령 신호, 어드레스 신호, 및 클럭 신호 이외의 신호를 전달하도록 구성되는 제2 단자(25b) 중 적어도 일부는 기관(20)의 제2 표면(22)의 중앙 영역(23) 내에 배치될 수 있다.

[0071] 도 5a 및 도 5b에 도시된 제2 단자(25b)와 같은 제2 단자의 특정 구성들이 도면에 도시되고 있으나, 그 도시된 특정 구성들은 오직 설명 목적의 도시일 뿐이며 한정을 의미하는 것은 아니다. 예를 들어, 제2 단자(25b)는 전원 신호 또는 접지 신호와 접속되도록 구성되는 단자를 포함할 수도 있다. 제2 단자(25b)가 각각 두 개의 컬럼의 두 개의 그리드 내에 배치된 것으로 도시되나, 각각의 그리드 내의 제2 단자(25b)는 세 개의 컬럼에 배열될 수 있는데, 예를 들면 도시되지 않은 제3 컬럼이, 전원 또는 접지와 접속되도록 구성되는 제2 단자의 일부를 포함한다.

[0072] 기관(20)은 선택적으로 제1 표면(21) 및/또는 제2 표면(22) 위에 놓이는 유전체 층(dielectric layer)(12)을 더 포함할 수 있다. 도 5b에 도시된 것처럼, 유전체 층(12)은 기관의 제2 표면(22) 위에 놓일 수 있다. 이 유전체 층(12)은, 전기적 절연이 필요한 경우에, 기관(20)으로부터 전도성 요소(24) 및 단자(25)와 같은 전도성 요소들을 전기적으로 절연시킬 수 있다. 이 유전체 층(12)은 기관(20)의 "패시베이션(passivation) 층"으로서 지칭될 수 있다. 이 유전체 층(12)은 무기 유전성 재료(inorganic dielectric material) 또는 유기 유전성 재료(organic dielectric material) 또는 둘 다를 포함할 수 있다. 이 유전체 층(12)은 전착된 컨포멀 코팅(electrodeposited conformal coating) 또는 다른 유전성 재료, 예컨대 포토이미저블 중합 재료(photoimageable polymeric material), 솔더 마스크 재료(solder mask material)를 포함할 수 있다. 특정 예에서, 유전체 층(12)은, 원용에 의해 그 내용 전체가 본 명세서에 포함되는 미국 등록 특허 제5,679,977호에서 설명된 것과 유사한 구조 및 기능을 가지는 엘라스토머 재료(elastomeric material)와 같은 컴플라이언트 재료(compliant material) 층일 수 있다.

[0073] 본 명세서에서 설명된 실시예에서, 기관(20)의 제1 표면(21) 또는 제2 표면(22) 위에 놓이는 유전체 층(12)은 기관의 두께보다 실질적으로 더 얇은 두께를 가질 수 있고, 이에 따라 기관은, 유전체 층의 CTE가 기관 재료의 CTE보다 실질적으로 더 높은 경우에도, 기관의 재료의 CTE와 거의 동일한 유효 CTE를 가질 수 있다. 일례에서, 기관(20)은 12ppm/°C보다 작은 유효 CTE를 가질 수 있다.

[0074] 마이크로전자 패키지(10)는 기관(20)의 제1 표면(21)을 향하는 전면(31)을 각각 가지는 복수의 마이크로전자 요소(30)를 포함할 수도 있다. 마이크로전자 요소(30)가 도 5a와 다른 도면에서 축(29)의 방향으로 서로에 대해 오프셋되는 것으로서 도시되었으나, 반드시 그렇게 될 필요는 없다. 마이크로전자 요소(30)의 이러한 오프셋은 마이크로전자 요소가 서로의 위에 놓이는 위치를 더욱 명확하게 하기 위하여 도면에 도시된 것이다. 특정 실시예에서, 각각의 마이크로전자 요소(30)의 주변 에지(34a)는 제1 공통 평면에 정렬될 수 있고, 각각의 마이크로전자 요소(30)의 주변 에지(34a)에 대향하는 주변 에지(34b)는 제2 공통 평면에 정렬될 수 있다.

[0075] 일 예에서, 하나 이상의 마이크로전자 요소(30)는 메모리 저장 어레이 기능을 각각 가지는 베어 칩(bare chip) 또는 마이크로전자 유닛일 수 있다. 그러나, 특정 예에서, 하나 이상의 마이크로전자 요소(30)는 동적 랜덤 액세스 메모리(DRAM) 저장 어레이와 같은 메모리 저장 요소를 통합할 수도 있으며, 또는 DRAM 저장 어레이(예컨대, DRAM 집적 회로 칩)로서 주로 기능하도록 구성될 수 있다. 후자의 경우에는, 하나 이상의 제1 마이크로전자 요소 및 제2 마이크로전자 요소는, 임의의 다른 기능보다 메모리 저장 어레이 기능을 제공하도록

구성된 더 많은 개수의 능동 소자 예컨대, 트랜지스터를 가질 수 있다. 본 명세서에서 사용되는, "메모리 저장 요소"는 전기적 인터페이스를 통한 데이터 전송의 목적과 같은, 데이터를 저장하고 회수하는 용도로 사용 가능한 회로와 함께, 어레이 내에 배치된 다수의 메모리 셀을 지칭한다. 특정 예에서, 마이크로전자 패키지(10)는 단일 인-라인 메모리 모듈(single in-line memory module, SIMM) 또는 듀얼 인-라인 메모리 모듈(dual in-line memory module, DIMM) 내에 포함될 수 있다.

[0076] 본 명세서에서 설명되는 임의의 실시예에서, 마이크로전자 요소(30) 중 하나 이상은 이하의 기술들 중 하나 이상으로 구현될 수 있다: DRAM, NAND 플래시 메모리, RRAM(저항성 RAM 또는 resistive random access memory), 상변화 메모리(phase-change memory, PCM), 예컨대 터널 접합 기기(tunnel junction device)를 구현할 수 있는 자기 저항성 랜덤 액세스 메모리(magnetoresistive random access memory), 정적 랜덤 액세스 메모리(SRAM), 스핀-토크 RAM(spin-torque RAM), 또는 콘텐츠-어드레스가능 메모리(content-addressable memory) 등.

[0077] 특정 예에서, 메모리 저장 요소를 포함하는 마이크로전자 요소(30)는 적어도 메모리 저장 어레이 기능을 가질 수 있으나, 마이크로전자 요소는 최대-기능 메모리 칩(full-function memory chip)은 아닐 수 있다. 그러한 마이크로전자 요소는 그 자체가 버퍼링 기능을 가질 수는 없으나, 마이크로전자 요소의 스택(stack) 내의 다른 마이크로전자 요소와 전기적으로 연결될 수 있는데, 여기서 해당 스택 내의 적어도 하나의 마이크로전자 요소는 버퍼링 기능을 가진다(버퍼링 마이크로전자 요소는 버퍼 칩, 최대-기능 메모리 칩, 또는 제어 칩일 수 있다).

[0078] 다른 예에서, 본 명세서에서 설명된 임의의 패키지 내의 하나 이상의 마이크로전자 요소는, 하나 이상의 마이크로전자 요소가, 예컨대 플래시 메모리, DRAM, 또는 다른 타입의 메모리와 같이, 다른 기능보다도 메모리 저장 어레이 기능을 제공하도록 구성된 더 많은 개수의 능동 소자, 예컨대 트랜지스터를 갖는다는 점에서, 주로 메모리 저장 어레이 기능을 제공하도록 구성될 수 있고, 다른 마이크로전자 요소 또는 로직 기능을 주로 제공하도록 구성되는 "로직 칩"과 함께 패키지 내에 배열될 수 있다. 특정 실시예에서, 로직 칩은 프로그램 가능하거나 마이크로프로세서 또는 다른 범용 연산 요소와 같은 프로세서 요소일 수 있다. 로직 칩은 마이크로컨트롤러 요소(microcontroller element), 그래픽 프로세서(graphics processor), 플로팅 포인트 프로세서(floating point processor), 코-프로세서(co-processor), 디지털 신호 프로세서(digital signal processor) 등일 수 있다. 특정 실시예에서, 로직 칩은 주로 하드웨어 상태 기계 기능(hardware state machine functions)을 수행할 수 있고, 또는 그렇지 않으면 특별한 기능 또는 목적을 서비스하기 위한 하드-코딩된(hard-coded) 것일 수 있다. 대안적으로, 로직 칩은 주문형 반도체(application specific integrated circuit, ASIC) 또는 필드 프로그래머블 게이트 어레이(field programmable gate array, FPGA) 칩일 수 있다. 이러한 변형예에서, 패키지는 "패키지 내 시스템(system in a package, SIP)"이 될 수 있다.

[0079] 다른 변형예에서, 본 명세서에서 설명된 어떠한 패키지 내의 마이크로전자 요소도, 동일한 마이크로전자 요소 내에서 함께 내장된 하나 이상의 연관된 메모리 저장 어레이를 가지는 프로그램 가능한 프로세서와 같은, 그 내부에 내장된 로직 기능 및 메모리 기능 모두를 가질 수 있다. 그러한 마이크로전자 요소는, 프로세서와 같은 로직이, 메모리 저장 어레이 또는 특화된 기능일 수 있는 일부 다른 기능을 수행하기 위한 회로와 같은 다른 회로와 함께 내장된 경우, "시스템 온 칩(system-on-a-chip, SOC)"으로 지칭될 수 있다.

[0080] 각각의 마이크로전자 요소(30)는 그 전면(31)에 노출된 복수의 전기 전도성 요소 콘택(electrically conductive element contact)(35)을 포함할 수 있다. 도 5c 및 도 5d에 도시된 것처럼, 각각의 마이크로전자 요소(30)의 콘택(35)은 전면 면적(area) 중 중앙부를 점유하는 전면(31)의 중앙 영역(37)에 배치된 하나(도 5c) 또는 그 이상(도 5d)의 컬럼(36)에 배열될 수 있다. 중앙 영역(37)은, 예를 들면, 마이크로전자 요소(30)의 대향하는 주변 에지(32a, 32b) 사이의 가장 짧은 거리의 가운데 1/3을 포함하는 전면(31)의 면적을 점유할 수 있다. 도 5c에 도시된 특정 예에서, 각각의 마이크로전자 요소(30)의 콘택(35)이 마이크로전자 요소의 중앙 영역(37) 내에 배열되는 경우, 콘택은 마이크로전자 요소를 가로질러 축(39)을 따라 배열될 수 있다. 도 5b에 도시된 바와 같이, 각각의 마이크로전자 요소(30)의 콘택(35)은 애퍼처(26) 중 적어도 하나와 정렬될 수 있다.

[0081] 이러한 마이크로전자 요소(30)의 하나의 타입에서, 요소 콘택(35) 중 일부 콘택은 각각 마이크로전자 요소에 공급되는 복수의 어드레스 신호의 각각의 어드레스 신호를 수신하는 것에 이용된다. 이러한 경우에서, 각각의 그러한 콘택(35)은 외부로부터 마이크로전자 요소(30)에 공급된 복수의 어드레스 신호 중 하나의 각 어드레스 신호를 수신할 수 있다.

[0082] 이러한 타입의 마이크로전자 요소(30)의 특정 예에서, 요소 콘택(35)에 존재하는 복수의 어드레스 신호 각각은 각각의 마이크로전자 요소에 의해 이용되는 클록의 에지에 대하여, 즉, 상이한 제1 전압 상태 및 제2 전압 상태 사이의 클록의 전이(transition)에서 샘플링될 수 있다. 이는, 각각의 어드레스 신호가, 클록의 더 낮은 전압

상태 및 더 높은 전압 상태 사이의 상승 전이에서 또는 클록의 더 높은 전압 상태 및 더 낮은 전압 상태 사이의 하강 전이에서 샘플링될 수 있다는 것이다. 따라서, 복수의 어드레스 신호는 클록의 상승 전이에서 모두 샘플링될 수 있고, 또는 그러한 어드레스 신호는 클록의 하강 전이에서 모두 샘플링될 수도 있으며, 다른 예에서는, 요소 콘택(35) 중 하나에서의 어드레스 신호는 클록의 상승 전이에서 샘플링되고 하나의 다른 외부 콘택에서의 어드레스 신호는 클록의 하강 전이에서 샘플링될 수 있다.

[0083] 메모리 저장 어레이 기능을 우선적으로 제공하도록 구성된 다른 타입의 마이크로전자 요소(30)에서는, 하나 이상의 어드레스 콘택이 다중화 방식(multiplexed manner)으로 이용될 수 있다. 이 예시에서, 각각의 마이크로전자 요소(30)의 특정한 요소 콘택(35)은 외부로부터 마이크로전자 요소에 공급된 2개 이상의 상이한 신호를 수신할 수 있다. 따라서, 제1 어드레스 신호는 제1 상이한 전압 상태 및 제2 상이한 전압 상태 사이의 클록의 제1 전이(예컨대, 상승 전이)에서 특정한 콘택(35)에서 샘플링될 수 있고, 제1 어드레스 신호와 다른 신호는 제1 전이와 반대인, 제1 전압 상태 및 제2 전압 상태 사이의 제2 전이(예컨대, 하강 전이)에서 특정한 콘택에서 샘플링될 수 있다.

[0084] 이러한 다중화 방식에서, 두 개의 상이한 신호가 각각의 마이크로전자 요소(30)의 동일한 요소 콘택(35)에서 동일한 주기의 클록 내에 수신될 수 있다. 특정한 경우에, 이러한 방식을 통한 다중화는 제1 어드레스 신호와 상이한 신호가 각각의 마이크로전자 요소(30)의 동일한 요소 콘택(35)에서 동일한 클록 주기 내에 수신되도록 할 수 있다. 또 다른 예에서, 이러한 방식의 다중화는 제1 어드레스 신호와 상이한 제2 어드레스 신호가 각각의 마이크로전자 요소(30)의 동일한 요소 콘택(35)에서 동일한 클록 주기 내에 수신되도록 할 수 있다.

[0085] 특정 예에서, 각각의 마이크로전자 요소(30)는 기능적으로나 기계적으로 다른 마이크로전자 요소와 등가일 수 있고, 이에 따라 각각의 마이크로전자 요소는, 각각의 마이크로전자 요소의 길이, 폭, 및 높이와 같은 특정 치수가 다른 마이크로전자 요소와 다소 상이할 수는 있지만, 동일한 기능을 가지고 전면(31)에 노출된 전기 전도성 콘택(35)의 동일한 패턴을 가질 수 있다.

[0086] 도 5a 및 도 5b에 도시된 특정 배열에서, 마이크로전자 패키지(10)는, 제2 단자(25b)와 같은 특정한 하나의 마이크로전자 요소(30)에 각각이 전용되는, 패키지의 둘 이상의 단자(25)를 통하지 않고, 패키지의 공통 제1 단자(common first terminal)(25a)를 통해 복수의 마이크로전자 요소(30)에 공통하는 신호를 라우팅한다. 이러한 방법으로, 마이크로전자 패키지(10)가 접속될 수 있는 회로 패널(예컨대, 도 5e에서 도시된 회로 패널(60)) 상의 콘택의 개수를 감소시키는 것이 가능할 수 있다. 나아가, 마이크로전자 패키지(10) 아래에 놓이는 라우팅층(routing layer), 콘택, 금속화된 비아(metalized vias)의 개수를 감소시키는 것이 가능할 수 있게 되는데, 이는 회로 패널의 설계를 단순화하고 그 제조 복잡도와 비용을 절감할 수 있다.

[0087] 도 5a에 도시된 것처럼, 마이크로전자 패키지(10)의 제1 단자(25a)는 기판(20)의 제2 표면(22)의 중앙 영역(23) 내의 하나 이상의 그리드(15)의 위치에 배열된 제1 단자의 하나 이상의 세트 내에 배치될 수 있다. 그리드(15)의 위치에 배열된 제1 단자(25a)의 각각의 세트는 제1 단자의 하나 이상의 컬럼(16)을 포함할 수 있다. 도 5a에 도시된 바와 같이, 그리드(15)의 모든 위치는 대응하는 제1 단자(25a)에 의해 점유될 수 있다. 또한(도시되지 않음), 그리드(15)의 적어도 하나의 컬럼(16)의 위치 중 적어도 하나는 제1 단자(25a)에 의해 점유되지 않을 수 있다. 예를 들어, 제1 단자(25a)에 의해 점유되지 않는 이러한 위치는 제2 단자(25b)에 의해 점유되거나 또는 어떠한 단자에 의해서도 점유되지 않을 수 있다. 도 5a에 도시된 것처럼, 마이크로전자 패키지(10)는 제1 단자들(25a)의 두 개의 평행한 컬럼(16)을 포함할 수 있다. 이러한 컬럼(16)은 애퍼처(26)의 축(29)에 평행하게 지향될 수 있다.

[0088] 마이크로전자 패키지(10)의 제2 단자(25b)는 기판(20)의 제2 표면(22)의 주변 영역(28) 내의 하나 이상의 그리드(17)의 위치에 배열된 제2 단자의 하나 이상의 세트 내에 배치될 수 있다. 그리드(17)의 위치에 배열된 제2 단자(25b)의 각각의 세트는 제2 단자(25b)의 하나 이상의 컬럼(18)을 포함할 수 있다. 도 5a에 도시된 것처럼, 그리드(17)의 모든 위치는 대응하는 제2 단자(25b)에 의해 점유될 수 있다. 대안적으로(도시되지 않음), 그리드(17)의 위치 중 적어도 하나는 제2 단자(25b)에 의해 점유되지 않을 수 있다. 도 5a에 도시된 것처럼, 마이크로전자 패키지(10)의 각각의 그리드(17)는 제2 단자(25b) 두 개의 평행한 컬럼(18)을 포함할 수 있다. 이러한 컬럼(18)은 도 5a에 도시된 바와 같이 애퍼처(26)의 축(29)에 평행하게 지향되거나, 또는 다른 예에서는, 컬럼(18)은 다른 지향(orientation)(예컨대, 도 4a에 도시된 바와 같이)을 가질 수 있다.

[0089] 일 실시예에서, 어드레스 신호 이외의 다른 신호를 전달하도록 구성되는 적어도 일부의 제2 단자(25b)는 제1 단자(25a)도 포함하는 그리드(15) 내의 위치에서 배치될 수 있다. 일례에서, 명령 신호, 어드레스 신호, 및 클록 신호가 아닌 다른 신호를 전달하도록 구성되는 적어도 일부의 제2 단자(25b)는 제1 단자(25a)도 포함하는 그리드(15) 내의 위치에서 배치될 수 있다.

드(15) 내의 위치에 배치될 수 있다.

[0090] 제1 단자(25a) 및 제2 단자(25b)가 인접하는 컬럼(16) 또는 컬럼(18) 내에서 축(29)의 방향으로 동일한 상대적인 위치에서 도시되고 있으나, 그러한 단자들은 실제로 축(29)의 방향에서 약간 오프셋된 위치에서 배치될 수 있다. 예를 들어, 도 5a에는 도시되지 않지만, 제1 단자(25a) 및 제2 단자(25b) 중 적어도 하나는 단자들의 인접한 컬럼 사이에 배치될 수 있다. 다른 예에서, 그리드(15, 17) 중 하나 이상은 컬럼 축(column axis)이 그러한 컬럼의 단자(25)들의 대부분을 통해 연장하는 즉, 축에 대해 중심이 맞춰진 단자의 컬럼을 포함할 수 있다. 그러나, 그러한 컬럼에서, 단자들 중 하나 이상은 컬럼 축에 대해 중심이 맞춰지지 않을 수 있다. 이러한 경우에는, 하나 이상의 단자가 다른 어떠한 컬럼의 축보다 그 특정 컬럼의 축에 대해 더 가까워서 그러한 단자가 컬럼 축에 대해 중심이 맞춰질 수 없다 하더라도, 이러한 하나 이상의 단자는 그 특정 컬럼의 일부로서 고려된다. 컬럼 축은 그 컬럼 축에 대해 중심이 맞춰지지 않은 이러한 하나 이상의 단자를 통해 연장할 수 있거나, 또는 일부 경우에는, 중심이 맞춰지지 않은 단자들이 컬럼 축으로부터 더 멀리 떨어지게 될 수 있어서, 컬럼 축이 그 컬럼의 이러한 중심이 맞춰지지 않은 단자를 통과하지 않을 수 있게 된다. 그리드 내의 각각의 컬럼의 컬럼 축에 대하여 중심이 맞춰지지 않은 하나의 컬럼, 또는 하나 이상의 컬럼 내에 하나, 일부, 또는 다수의 단자가 있을 수 있다. 나아가, 단자(25)의 그리드(15, 17)가, 링(ring) 형상, 다각형 형상, 또는 분산 배치된 단자의 배열과 같이, 컬럼이 아닌 다른 방법으로 그룹화된 단자의 배치를 포함하는 것이 가능하다.

[0091] 다른 실시예에서, 도 6a 내지 9h를 참조하여 이하에서 설명되고 도시될 것과 같이, 마이크로전자 패키지(10)는 컬럼(16) 및 컬럼(18)의 다른 수 및 구성을 포함할 수 있다. 예를 들어, 본 명세서에서 설명되는 일부 실시예에서는, 제1 단자는, 네 개보다 많지 않은 컬럼 또는 두 개보다 많지 않은 컬럼으로 배치될 수 있다. 단자의 한 개 및 두 개의 컬럼을 가지는 그리드가 도면에 도시되나, 본 명세서에서 설명되는 어떠한 실시예에서의 그리드들은 어떠한 개수의 단자의 컬럼도 포함할 수 있다.

[0092] 콘택(35)과 단자(25) 사이의 전기적 접속은 선택적인 리드(lead), 예컨대 와이어 본드(wire bond)(40), 또는 적어도 일부의 리드가 애퍼처(26) 중 적어도 하나에 정렬된 다른 가능한 구조를 포함할 수 있다. 예를 들어, 도 5b에서 알 수 있는 것처럼, 적어도 일부의 전기적 접속은 기판 내의 애퍼처(26)의 에지를 지나서 연장하는 와이어 본드를 포함할 수 있고, 콘택(35)과, 기판의 전도성 요소(24)에 결합된다. 일 실시예에서, 적어도 일부의 전기적 접속은 리드 본드를 포함할 수 있다. 그러한 연결은 전도성 요소(24)와 단자(25) 사이의 기판(20)의 제1 표면(21) 및 제2 표면(22) 중 어느 하나 또는 둘 모두를 따라 연장하는 리드를 포함할 수 있다. 특정한 예에서, 그러한 리드는 제1 단자(25a)와 각각의 마이크로전자 요소(30)의 콘택(25) 사이에 전기적으로 접속될 수 있는데, 각각의 리드는 애퍼처(26) 중 적어도 하나와 정렬된 부분을 가진다.

[0093] 패키지의 제1 단자(25a)를 통해 통과하는 적어도 일부의 신호는 적어도 두 개의 마이크로전자 요소(30)와 공통될 수 있다. 이러한 신호는, 기판의 제1 표면(21) 및 제2 표면(22)과 평행한 방향에서, 기판(20) 상에서 연장되는 또는 기판(20) 내의 전도성 트레이스(conductive trace)와 같은 접속을 통해 단자(25)로부터 마이크로전자 요소(30)의 대응하는 콘택(35)으로 라우팅될 수 있다. 예를 들어, 기판(20)의 제2 표면(22)의 중앙 영역(23) 내에 배치된 제1 단자(25a)는, 전도성 트레이스, 전도성 요소(24), 예컨대 본드 패드(bond pad), 및 전도성 요소(24) 및 콘택(35)과 결합된 와이어 본드(40)를 통해 각각의 마이크로전자 요소(30)의 전도성 콘택(35)과 전기적으로 접속될 수 있다.

[0094] 도 5a 및 5b에 도시된 것처럼, 마이크로전자 패키지(10)는 서로에 대해 적층되는 제1 마이크로전자 요소(30a) 및 제2 마이크로전자 요소(30b)를 포함하는 두 개의 마이크로전자 요소(30)를 포함할 수 있다. 도 5a 및 도 5b에 도시된 실시예에서, 제1 마이크로전자 요소(30a)의 전면(31)은 기판(20)의 제1 표면(21)과 대면할 수 있고, 제2 마이크로전자 요소(30b)의 전면(31) 및 제1 마이크로전자 요소(30a)의 후면(33)은 서로 마주볼 수 있다. 제2 마이크로전자 요소(30b)의 전면(31)의 적어도 일부는 제1 마이크로전자 요소(30a)의 후면(33)의 적어도 일부 부분 위에 놓일 수 있다. 제2 마이크로전자 요소(30b)의 전면(31)의 중앙 영역(37)의 적어도 일부는 제1 마이크로전자 요소(30a)의 측면 에지(32b) 너머로 돌출할 수 있다. 따라서, 제2 마이크로전자 요소(30b)의 콘택(35)은 제1 마이크로전자 요소(30a)의 측면 에지(32b) 너머로 돌출된 위치에 배치될 수 있다.

[0095] 스페이서(spacer)(14)는 제2 마이크로전자 요소(30b)의 전면(31)과 기판(20)의 제1 표면(21)의 일부분 사이에 위치할 수 있다. 이러한 스페이서(14)는, 예를 들어, 이산화규소(silicon dioxide)와 같은 유전체 재료, 실리콘과 같은 반도체 재료, 또는 하나 이상의 접착층으로부터 만들어질 수 있다. 스페이서(14)가 접착체를 포함하면, 이러한 접착체는 제2 마이크로전자 요소(30b)를 기판(20)에 접속할 수 있다. 일 실시예에서, 스페이서(14)는 기판(20)의 제1 표면(21)에 실질적으로 직각인 수직 방향(V)에서 제1 마이크로전자 요소(30a)의 그 전면



(31) 및 후면(32) 사이의 두께(T2)와 실질적으로 동일한 두께(T1)를 가질 수 있다.

- [0096] 특정 실시예에서, 스페이서(14)는 버퍼링(buffering) 기능을 수행하도록 구성된 칩을 포함하는 하나 이상의 마이크로전자 요소에 의해 대체될 수 있고, 이러한 마이크로전자 요소는 기판(20)의 제1 표면(21)을 향하는 표면을 갖는다. 일 예에서, 이러한 버퍼링 칩은 기판(20)의 제1 표면(21)에 노출된 콘택에 접합된 플립-칩일 수 있다. 각각의 이러한 버퍼 요소는 특히 패키지의 제1 단자들에서 수신된 상술한 명령 어드레스 버스 신호에 대해 패키지의 단자들과 패키지 내의 마이크로전자 요소 중 하나 이상의 마이크로전자 요소 사이에 신호 격리를 제공하는데 사용될 수 있다. 일 예에서, 이러한 버퍼링 칩 또는 버퍼 요소는 단자(20) 중 적어도 일부와 마이크로전자 패키지(10) 내의 마이크로전자 요소(30) 중 하나 이상에 전기적으로 접속될 수 있고, 버퍼 칩은 마이크로전자 패키지의 단자들 중 하나 이상에서 수신된 적어도 하나의 신호를 재생하도록 구성된다. 일반적으로, 하나 이상의 버퍼 요소들은 제1 단자들에서 수신된 신호 또는 제2 단자들에서 수신된 신호를 재생하고, 패키지 내의 마이크로전자 요소에 재생된 신호를 전송한다.
- [0097] 특정 예에서, 이러한 버퍼링 칩은 어드레스 정보를 버퍼링하도록 구성될 수 있고, 또는 일 예에서는 마이크로전자 요소(30a, 30b) 중 하나 이상에 전송된 명령 신호, 어드레스 신호, 그리고 클록 신호를 버퍼링하도록 구성될 수 있다. 또는, 상술한 신호 재생에 더하여, 특정 예에서, 이러한 추가 마이크로전자 요소는 제1 단자와 같은 단자에서 수신된 어드레스 정보 또는 명령 정보 중 적어도 하나를 부분적으로 또는 완전히 디코딩하도록 구성될 수 있다. 디코딩 칩은 그 다음 마이크로전자 요소(30a, 30b) 중 하나 이상으로의 전송을 위하여 이러한 부분적인 또는 완전한 디코딩 결과를 출력할 수 있다.
- [0098] 특정 실시예에서, 앞서 언급한 버퍼링 칩 및/또는 디코딩 칩 대신에 또는 이에 더하여, 하나 이상의 디커플링 커패시터(decoupling capacitor)가 스페이서(14)에 의해 점유된 공간의 적어도 일부분에 배치될 수 있고, 이러한 디커플링 커패시터는 마이크로전자 패키지(10) 내의 내부 전원 공급 장치(internal power supply) 및/또는 접지 버스(ground bus)에 전기적으로 접속될 수 있다.
- [0099] 하나 이상의 접착층(adhesive layer)(13)은 제1 마이크로전자 요소(30a)와 기판(20) 사이, 제1 마이크로전자 요소(30a)와 제2 마이크로전자 요소(30b) 사이, 제2 마이크로전자 요소(30b)와 스페이서(14) 사이, 그리고 스페이서(14)와 기판(20) 사이에 위치될 수 있다. 이러한 접착층(13)은 마이크로전자 패키지(10)의 전술한 컴포넌트들을 다른 하나에 접합(bond)하기 위한 접착제를 포함할 수 있다. 특정 실시예에서, 하나 이상의 접착층(13)은 기판(20)의 제1 표면(21)과 제1 마이크로전자 요소(30a)의 전면(31) 사이에 연장될 수 있다. 일 실시예에서, 하나 이상의 접착층(13)은 제2 마이크로전자 요소(30b)의 전면(31)의 적어도 일부를 제1 마이크로전자 요소(30a)의 후면(33)의 적어도 일부에 부착할 수 있다.
- [0100] 일 예에서, 각각의 접착층(13)은 일부 또는 전체가 다이 부착 접착제(die attachment adhesive)로 이루어질 수 있으며, 실리콘 엘라스토머(silicone elastomer)와 같은 낮은 탄성 계수의 재료로 구성될 수 있다. 일 실시예에서, 다이 부착 접착제는 컴플라이언트(compliant)할 수 있다. 다른 실시예에서, 각각의 접착층(13)은, 두 개의 마이크로전자 요소(30)가 동일한 재료로 형성된 각각의 범용 반도체 칩이면 높은 탄성 계수의 접착제 또는 솔더(solder)의 얇은 층으로 전체 또는 부분이 구성될 수 있는데, 마이크로전자 요소가 온도 변화에 대응하여 이와 일치하게 확장 내지 수축을 하는 경향이 있기 때문이다. 채용되는 재료와 무관하게, 각각의 접착층(13)은 단일 층 또는 복수의 층을 포함할 수 있다. 스페이서(14)가 접착제로부터 만들어지는 특정 실시예에서, 스페이서(14)와 제2 마이크로전자 요소(30b)와 기판(20) 사이에 위치하는 접착층(13)은 생략될 수 있다.
- [0101] 마이크로전자 패키지(10)는 마이크로전자 요소(30)의 후면(33)을 선택적으로 덮거나, 부분적으로 덮거나, 또는 덮지 않은 상태로 남겨둘 수 있는 밀봉재(encapsulant)(50)를 포함할 수도 있다. 예를 들어, 도 5b에서 도시된 마이크로전자 패키지(10)에서는, 밀봉재가 마이크로전자 요소(30)의 후면(33) 상에 흐르거나, 스텐실되거나(stenciled), 스크리닝되거나(screened), 또는 분산될 수 있다. 다른 예에서, 밀봉재(50)는 오버몰딩(overmolding)에 의해 그 위에 형성되는 몰드 합성물(mold compound)일 수 있다.
- [0102] 마이크로전자 패키지(10)는 와이어 본드(40)와 기판(20)의 전도성 요소(24)를 선택적으로 덮을 수 있는 밀봉재(도시되지 않음)를 더 포함할 수 있다. 그러한 밀봉재는 애퍼처(26) 내로 선택적으로 연장될 수도 있고, 마이크로전자 요소(30)의 콘택(35)을 덮을 수도 있다.
- [0103] 특정 실시예에서, 마이크로전자 패키지(10)는 다른 마이크로전자 패키지 및 이하에서 설명되는 회로 패널(60)과 같은 회로 패널과 조립되도록 구성될 수 있어서, 각각의 마이크로전자 패키지가 회로 패널의 대향하는 표면에 조립된다.

- [0104] 이제 도 5e를 참조하면, 마이크로전자 어셈블리(microelectronic assembly)(5)는, 공통 회로 패널(60)에 장착될 수 있는 둘 이상의 마이크로전자 패키지(10), 예를 들면 제1 마이크로전자 패키지(10a)와 제2 마이크로전자 패키지(10b)를 포함할 수 있다. 회로 패널(60)은 대향하는 제1 표면(61) 및 제2 표면(62)과 제1 표면과 제2 표면 각각에 노출된 복수의 전기 전도성 제1 패널 콘택(65a) 및 제2 패널 콘택(65b)(통칭하여 패널 콘택(65))을 가질 수 있다. 마이크로전자 패키지(10)는 패널 콘택(65)에 장착될 수 있는데, 예를 들면, 단자(25)와 패널 콘택 사이로 연장될 수 있는 결합 유닛(joining unit)(11)에 의해 장착된다. 도 5e에 도시된 것처럼, 제1 마이크로전자 패키지(10a)의 기판(20)의 제2 표면(22)과 제2 마이크로전자 패키지(10b)의 기판의 제2 표면은 적어도 서로의 90% 위에 놓일 수 있다. 특정 예에서, 회로 패널(60)은 30ppm/°C보다 작은 CTE를 가지는 요소를 포함할 수 있다. 일 실시예에서, 그러한 요소는 필수적으로 반도체, 유리, 세라믹, 또는 액정 폴리머 재료로 구성될 수 있다.
- [0105] 제1 마이크로전자 패키지(10a)의 제1 단자들(25a)은 회로 패널(60)을 통하여 제2 마이크로전자 패키지(10b)의 제1 단자들과 전기적으로 접속될 수 있다. 제1 마이크로전자 패키지(10a)의 제1 단자들(25a)은 제1 그리드(15a)의 위치에 배열될 수 있고, 제2 마이크로전자 패키지(10b)의 제1 단자들(25b)은 제2 그리드(15b)의 위치에 배열될 수 있다. 도 5a에 도시된 것처럼, 제1 마이크로전자 패키지(10a)의 제1 그리드(15a)의 제1 단자(25a)는, 그들이 접속되는, 제2 마이크로전자 패키지(10b)의 제2 그리드(15b)의 대응하는 제1 단자(25b)의 하나의 볼 피치(ball pitch) 내에서 정렬될 수 있다.
- [0106] 본 명세서에서 사용되는, 특정한 개수의 볼 피치 내의 정렬은, 기판의 제1 표면에 수직인 수평 방향에 대해 특정한 개수의 볼 피치 내에서 정렬된 것을 의미한다. 예시적인 실시예에서, 제1 패키지(10a) 및 제2 패키지(10b) 각각의 그리드(15a, 15b)의 전기적으로 접속된 단자의 각 쌍은 회로 패널(60)의 제1 표면(61)에 평행한 직교하는 X 방향 및 Y 방향으로, 서로의 볼 피치 내에서 정렬될 수 있다.
- [0107] 일 실시예에서, 각각의 제1 마이크로전자 패키지(10a)와 제2 마이크로전자 패키지(10b)의 그리드(15a, 15b)는 기능적으로 및 기계적으로 서로 매칭될 수 있어서, 각각의 마이크로전자 패키지(10)의 길이, 폭, 및 높이와 같은 특정 치수가 다른 마이크로전자 패키지와 다소 상이할 수는 있지만, 각각의 그리드(15a, 15b)는 동일한 기능을 가지는 각각의 마이크로전자 패키지(10a, 10b)의 기판(20)의 제2 표면(22)에서 제1 단자(25a)의 동일한 패턴을 가질 수 있다. 기능적으로 및 기계적으로 매칭되는 그리드(15a, 15b)를 가지는 그러한 실시예에서, 각각의 마이크로전자 패키지(10)의 제1 단자(25a)가 지향될 수 있어서, 제1 마이크로전자 패키지(10a)의 그리드의 기능성 상단(functional top end)(19)(도 5a에서 볼 수 있음)이 제2 마이크로전자 패키지(10b)의 그리드의 기능성 상단(19) 위에 놓일 수 있다.
- [0108] 특정 예에서(도시되지 않음), 제1 및 제2 마이크로전자 패키지(10) 중 적어도 하나의 기판(20)의 제2 표면(22)을 따른 제1 단자들(25a)의 공간적 분배는 그들이 전기적으로 접속되는 대응하는 패널 콘택(65)의 공간적 분배와 상이할 수 있고, 이에 따라 제1 단자들(25a) 중 적어도 하나는 그것이 전기적으로 접속되는 대응하는 패널 콘택(65) 위에 직접적으로 놓이지 않는다.
- [0109] 도 5e와 본 명세서의 다른 마이크로전자 어셈블리 측면면도에 도시된 것처럼, 제2 단자들은 명확성을 위해 도면으로부터 생략된 상태이다. 도 5e에서, 예를 들면, 제2 단자가 도면에 도시되지는 않았으나, 제2 단자는 각각의 마이크로전자 패키지(10)의 제2 표면(22)의 주변 영역(28) 내에 존재할 수 있다. 각각의 마이크로전자 패키지(10)의 제2 단자는 대응하는 패널 콘택(65)에, 예를 들면 제2 단자와 패널 콘택 사이에서 연장될 수 있는 결합 유닛(11)과 같은 결합 유닛에 의해 장착될 수 있다.
- [0110] 도 5e에 도시된 것처럼, 마이크로전자 어셈블리(5)의 회로 패널(60)은, 명령 신호, 어드레스 신호, 뱅크 어드레스 신호, 그리고 클럭 신호 모두를 라우팅하기 위하여, 그 위에 하나 이상의 라우팅층(66), 예컨대, 전기 전도성 트레이스층을 포함할 수 있다. 도 5e에 도시된 바와 같이, 회로 패널(60)을 통하여 연장하는 금속화된 비아(67)는 라우팅층(66)의 전도성 구조체(68)(예컨대, 트레이스)에 의해 패널 콘택(65)에 연결될 수 있다. 특정 예에서, 전도성 요소들(예컨대, 비아(67) 및 전도성 구조체(68)) 회로 패널(60)의 제1 및 제2 표면(61, 62) 각각에 노출된, 전기적으로 연결된 제1 및 제2 패널 콘택(65a 및 65b) 쌍을 접속하는 전도성 요소(예컨대, 비아(67) 및 전도성 구조체(68))의 전체 결합 길이는 패널 콘택(65)의 최소 피치의 7배보다 작을 수 있다.
- [0111] 일 예에서, 두 개의 평행한 컬럼(16)에 배열된 제1 단자들(25a)을 각각 가지는 그리드(15)를 갖는 마이크로전자 패키지를 포함하는 마이크로전자 어셈블리 실시예에서, 회로 패널(60)은 명령 신호, 어드레스 신호, 뱅크 어드레스 신호, 그리고 클럭 신호 모두를 라우팅하기 위해 필요한 두 개 이하의 라우팅층(66)을 포함할 수 있다. 그러나, 회로 패널(60)은 제1 단자(25a)에 의해 전달되는 특정 신호 이외의 신호를 라우팅하기 위하여 두 개보

다 많은 라우팅층을 포함할 수 있다.

- [0112] 도 5e에 도시된 실시예에서, 제1 패널 콘택(65a)은 제1 마이크로전자 패키지(10a)의 제1 단자(25a)에 결합될 수 있고, 회로 패널(60)의 제1 표면(61)에서 노출된 선형으로 연장하는 제1 컬럼 및 제2 컬럼 내에 배열될 수 있으며, 제2 패널 콘택(65b)은 제2 마이크로전자 패키지(10b)의 제1 단자(25a)와 결합될 수 있고, 회로 패널(60)의 제2 표면(62)에서 노출된 선형으로 연장하는 제1 컬럼 및 제2 컬럼 내에 배열될 수 있다. 'A'로 표시된 결합 유닛(11)에 접합된 것으로 도시된 제1 패널 콘택(65a)의 제1 컬럼은 회로 패널의 두께 방향에서 제2 패널 콘택(65b)의 제2 컬럼과 정렬될 수 있고, 제1 패널 콘택(65a)의 제2 컬럼은, 마찬가지로 'A'로 표시된 결합 유닛에 접합된 것으로 도시된, 제2 패널 콘택(65b)의 제1 컬럼과 회로 패널 두께 방향에서 정렬될 수 있다.
- [0113] 'A'로 표시된 제1 표면(61)에서의 각각의 제1 패널 콘택(65a)은 'A'로 표시된 제2 표면(62)에서의 대응하는 제2 패널 콘택(65b)과 전기적으로 연결될 수 있어서, 각각의 표면(61, 62)에서의 제1 컬럼 내의 각각의 패널 콘택(65)은 대향하는 표면에서의 제1 컬럼 내의 대응하는 패널 콘택과 연결될 수 있다. 도 5e에서, 대응하는 패널 콘택(65)들 사이의 전기적 접속의 개략적인 구조가 점선(69a, 69b)을 통해 보여진다. 또한, 각각의 표면(61, 62)에서의 제2 컬럼 내의 각각의 패널 콘택(65)은 대향하는 표면의 제2 컬럼 내의 대응하는 패널 콘택과 연결될 수 있다.
- [0114] 마이크로전자 어셈블리(5)에서, 제1 마이크로전자 패키지(10a)의 각각의 제1 단자(25a)는 회로 패널(60)을 통해 동일한 기능을 가지는 제2 마이크로전자 패키지(10b)의 대응하는 제1 단자에, 상대적으로 짧은 스템브(stub) 길이를 가지고 전기적으로 연결될 수 있다. 본 명세서에서 사용되는 것으로서, "스템브 길이"는 회로 패널의 제1 표면에서의 마이크로전자 패키지(10)의 단자(25)와 회로 패널의 대향하는 제2 표면에서의 마이크로전자 패키지의 대응하는 단자 사이의 가장 짧은 전기적 접속의 총 길이를 의미한다. 일 예에서, 제1 마이크로전자 패키지(10a) 및 제2 마이크로전자 패키지(10b) 사이의 전기적 접속의 스템브 길이는 각각의 마이크로전자 패키지의 제1 단자들(25a)의 최소 피치의 7배보다 작을 수 있다.
- [0115] 도 5f는, 회로 패널(60')을 통해 연장되는 금속화된 비아(67')가, 각각의 제1 및 제2 마이크로전자 요소(10a, 10b)의 제1 단자(25a)를 포함하는 공통 수직 평면 내에 배열되는, 도 5e에 대한 전술한 실시예의 변형예를 도시한다. 비아(67')와 제1 단자(25a)가 공통 수직 평면 내에 있어도, 각각의 제1 및 제2 마이크로전자 패키지(10a, 10b) 내의 대응하는 제1 단자(25a)는 서로로부터 수평으로 오프셋(offset)될 수 있어서, 회로 패널의 수평 및 수직으로 연장하는 전도성 구조체(즉, 트레이스 및 금속화된 비아)는 대응하는 제1 단자에 전기적으로 접속될 수 있다. 도 5e와 유사하게, 도 5f의 대응하는 패널 콘택(65) 사이의 전기적 접속의 개략적인 구조는 점선(69a, 69b)을 통해 도시된다.
- [0116] 마이크로전자 어셈블리(5)의 특정 실시예에서는, 도 5g에 도시된 것처럼, 명령-어드레스 버스(command-address bus) 신호가, 복수의 마이크로전자 패키지(10a, 10b)가 접속된 회로 패널(60)과 같은 회로 패널 상의 접속 구역(connection site) 사이의 적어도 한 방향(D1)에서 라우팅될 수 있어서, 명령-어드레스 버스(137)의 신호는 약간 상이한 시간에 각각의 접속 구역 I, II, 또는 III에서 각 쌍의 패키지(10a, 10b)에 도달한다. 도 5g에서 알 수 있듯이, 적어도 한 방향(D1)은 적어도 하나의 마이크로전자 요소(30) 상의 복수의 콘택(35)의 적어도 하나의 컬럼(36)이 연장되는 방향(D2)을 가로지르거나 그에 직교할 수 있다. 이러한 방법에서, 회로 패널(60) 상의(즉, 회로 패널 상의 또는 그 안의) 명령-어드레스 버스(137)의 신호 전도체(signal conductor)는 일부 경우에서, 회로 패널(60)과 접속된 또는 접속될 패키지(10a 또는 10b) 내의 마이크로전자 요소(30) 상의 콘택(35)의 적어도 하나의 컬럼(36)과 평행한 방향(D2)에서 서로 멀리 떨어질 수 있다.
- [0117] 이러한 구성은, 특히 각각의 마이크로전자 패키지(10a, 10b)의 제1 단자(25a)가 방향(D2)으로 확장되는 하나 이상의 컬럼 내에 배열되는 경우, 명령-어드레스 버스 신호를 라우팅하기 위해 이용되는 회로 패널(60) 상의 하나 이상의 라우팅층의 신호 전도체의 라우팅을 단순화하는데 도움을 줄 수 있다. 예를 들어, 상대적으로 적은 제1 단자가 각각의 패키지 상의 동일한 수직 레이아웃 위치에 배열되는 경우에, 회로 패널 상의 명령-어드레스 버스 신호의 라우팅을 단순화시키는 것이 가능할 수 있다. 따라서, 도 5a에 도시된 예시에서는, 어드레스 신호(A3 및 A1)를 수신하도록 구성된 제1 단자와 같은 오직 두 개의 제1 단자(25a)만이 각각의 패키지 상의 동일한 수직 레이아웃 위치에 배치된다.
- [0118] 예시적인 실시예에서, 마이크로전자 어셈블리(5)는 솔리드 스테이트 드라이브(solid state drive) 제어기와 같은, 로직 기능을 우선적으로 수행하도록 구성된 반도체 칩을 포함할 수 있는 마이크로전자 요소(30')를 가질 수 있고, 마이크로전자 패키지(10a 및 10b) 내의 하나 이상의 마이크로전자 요소(30)는 각각이 비휘발성 플래시 메모리와 같은 메모리 저장 요소를 포함할 수 있다. 마이크로전자 요소(30')는 시스템(1300)(도 13)과 같은 시스템

템의 중앙처리장치를 마이크로전자 요소(30) 내에 포함된 메모리 저장 요소로부터의 및 그 메모리 저장 요소로의 데이터 전송의 감시로부터 벗어나게 하도록 구성되는 특수 목적 프로세서를 포함할 수 있다. 솔리드 스테이트 드라이브 제어를 포함하는 이러한 마이크로전자 요소(30')는 시스템(1300)과 같은 시스템의 마더보드(예컨대, 도 13에 도시된 회로 패널(1302)) 상의 데이터 버스로부터 및 그 데이터 버스에 직접(direct) 메모리 액세스를 제공할 수 있다. 특정 실시예에서, 마이크로전자 요소(30')는 버퍼링 기능을 수행하도록 구성될 수 있는데, 예를 들면, 마이크로전자 요소(30')는 각각의 마이크로전자 패키지(10a 및 10b)로의 전송을 위하여 위에서 언급된 명령-어드레스 버스 신호를 재생하도록 구성될 수 있다. 이러한 마이크로전자 요소(30')는 마이크로전자 어셈블리(5) 외부의 컴포넌트에 대하여 각각의 마이크로전자 요소(30)에 대한 임피던스 격리를 제공하는데 도움을 주도록 구성될 수 있다.

[0119] 제어기 기능 및/또는 버퍼링 기능을 포함하는 마이크로전자 요소(30')를 가지는 마이크로전자 어셈블리(5)의 이러한 실시예에서, 명령-어드레스 버스 신호는 마이크로전자 요소(30')와 각각의 접속 구역 I, II, 또는 III에서의 각 쌍의 패키지(10a 및 10b) 사이에서 라우팅될 수 있다. 도 5g에 도시된 특정 예에서, 접속 구역 I, II, 및 III를 지나 연장되는 명령-어드레스 버스(137)의 일부는 마이크로전자 요소(30')의 콘택에 도달하기 위해 방향(D2)으로 또는 방향(D1)을 가로지르는 다른 방향으로 연장될 수 있다. 일 실시예에서, 명령-어드레스 버스(137)는 마이크로전자 요소(30')의 콘택에 도달하기 위해 방향(D1)으로 연장될 수 있다.

[0120] 도 6a는, 마이크로전자 패키지(610)의 제1 단자들(625a)이 단일 컬럼(616)을 가지는 그리드(615) 내에 배열되는, 도 5a에 대해 상술된 실시예의 변형예를 도시한다. 그리드(615)가 마이크로전자 요소(630)의 전면(631)의 외부 경계를 지나 연장하는 것으로 도시되나, 이에 한정되는 것은 아니다. 이러한 실시예의 잠재적 이점은, 공통 회로 패널(660)에 장착될 수 있는 두 개 이상의 마이크로전자 패키지(610)를 포함할 수 있는 마이크로전자 어셈블리(605)를 보여주는 도 6b에서 알 수 있다. 도 6b에 도시된 것처럼, 각각의 제1 및 제2 마이크로전자 패키지(610a 및 610b) 내의 대응하는 제1 단자(625a)는 공통 수직 평면에 배열될 수 있다. 회로 패널 구성은, 각각 전기적으로 접속된 제1 단자(625a)의 쌍 사이의 라우팅이 대부분 수직 방향 즉, 회로 패널의 두께를 통하는 방향으로 이루어질 수 있기 때문에, 이런 구성을 가지는 마이크로전자 어셈블리(605)로 단순화될 수도 있다. 즉, 회로 패널(660) 상의 비아 접속은, 회로 패널의 대향하는 표면(661, 662)에 장착되는 마이크로전자 패키지(610)의 대응하는 제1 단자(625a)의 각 쌍을 전기적으로 접속하기 위해 요구되는 모든 접속일 수 있다.

[0121] 이러한 실시예에서, 각각의 제1 및 제2 마이크로전자 패키지(610a 및 610b) 내의 대응하는 제1 단자(625a)는 서로로부터 수평으로 오프셋될 수 없으므로(또는, 예를 들면 제조 내성에 의해 최소로 수평으로 오프셋될 수 있으므로), 제1 및 제2 마이크로전자 패키지(610a 및 610b)의 제1 단자(625a) 사이의 회로 패널(660)을 통하여 명령 신호, 어드레스 신호, 뱅크 어드레스 신호, 및 클록 신호 전달하는 전기적 접속 중 적어도 일부는 대략 회로 패널 두께의 전기적 길이를 가질 수 있다. 본 명세서에서 사용되는, "고정 전위의 신호"는 전원 및 접지(기준 전위) 신호를 포함한다.

[0122] 나아가, 마이크로전자 패키지(610)의 각각의 쌍이 접속되는 접속 구역 사이에서 회로 패널을 따라 명령-어드레스 버스 신호를 라우팅하기 위해 필요한 회로 패널(660) 상의 배선(wiring)의 라우팅층의 개수가 감소될 수 있다. 구체적으로, 회로 패널(660)을 따라 이러한 신호를 라우팅하기 위해 필요한 라우팅층의 개수는 일부 경우에서 두 개 또는 더 적은 수의 라우팅층으로 감소될 수 있다. 특정 실시예에서, 회로 패널(660)을 따라 이러한 신호를 라우팅하기 위해 필요한 라우팅층은 하나 이하로 있을 수 있다. 그러나, 회로 패널(660) 상 또는 그 내에서, 다른 신호를 전달하기 위해 이용되는 라우팅층의 개수는, 명령-어드레스 버스의 전송된 신호를 전달하기 위해 이용되는 라우팅층의 개수보다 더 많을 수 있다.

[0123] 도 7a는, 마이크로전자 패키지(710)의 제1 단자들(725a)이, 각각 제1 단자들의 두 개의 인접한 컬럼(716)을 갖는 제1 및 제2 평행 그리드(715a 및 715b) 내의 각각의 위치에 배열된 제1 단자의 제1 및 제2 세트 내에 배치되는, 도 5a에 대해 상술된 실시예의 변형예를 도시한다. 본 실시예에서, 제1 그리드(715a) 내의 위치에 배열된 제1 세트 내의 제1 단자(725a)는 제2 그리드(715b) 내의 위치에 배열된 제2 세트 내의 제1 단자와 동일한 신호 할당(signal assignment) 모두를 전달하도록 구성될 수 있고, 제1 및 제2 세트 내의 대응하는 제1 단자의 위치는 제1 및 제2 그리드 사이의 제3 이론상 축(theoretical axis)(729c)에 대해 미러링되어 도시되는데, 이 제3 이론상 축은 애퍼처(726a 및 726b)의 제1 및 제2 축(729a 및 729b)과 평행하다. 본 실시예에서, 제1 그리드(715a) 내의 위치에 배열된 제1 단자의 제1 세트 내의 특정 신호를 전달하도록 구성되는 각각의 제1 단자(725a)는, 제2 그리드(715b) 내의 위치에 배열된 제1 단자의 제2 세트 내의 동일한 신호를 전달하도록 구성되는 대응하는 제1 단자에 대하여 제3 축(729c)에 관하여 대칭될 수 있다. 달리 말하면, 제1 세트 내의 제1 단자(725a)의 신호 할당은 제2 세트 내의 대응하는 제1 단자의 신호 할당에 대응하고, 그 신호 할당의 미러 이미지

(mirror image)가 된다.

- [0124] 제1 단자(725a)의 신호 할당이 대칭되는 경우의 제3 가상 축(729c)은 기판(720) 상의 다양한 위치에 위치될 수 있다. 특정 실시예에서, 제3 가상 축(729c)은, 특히 제1 단자의 컬럼(716)이 에지(727a, 727b)에 평행한 방향에서 연장되고 제1 및 제2 그리드(715a, 715b)가 중앙 축에 대하여 대칭되는 위치에 배치되는 경우, 그 기판의 대향하는 제1 및 제2 에지(727a, 727b)로부터 등거리에 위치하는 패키지의 중앙 축일 수 있다.
- [0125] 또는, 이 대칭축은 에지(727a, 727b) 사이에서 등거리인 중심축으로부터 수평 방향(제3 가상 축(729c)에 직각인 방향)으로 오프셋될 수 있다. 일 예에서, 제3 축(729c)은 제2 표면의 대향하는 제1 및 제2 에지(727a 및 727b) 사이에서 등거리에 위치한 기판(720)의 제2 표면(722)의 중앙선의 제1 단자(725a)의 하나의 볼 피치 내에 위치할 수 있다.
- [0126] 특정 예에서, 제1 그리드(715a)의 제1 단자들(725a)은 제1 마이크로전자 요소(730a)와 전기적으로 접속될 수 있고, 제2 그리드(715b)의 제1 단자들은 제2 마이크로전자 요소(730b)와 전기적으로 접속될 수 있다. 이러한 경우, 제1 그리드(715a)의 제1 단자(725a)는 또한 제2 마이크로전자 요소(730b)와 전기적으로 접속될 수 없고, 제2 그리드(715b)의 제1 단자(725a)는 제1 마이크로전자 요소(730a)와 전기적으로 접속될 수 없다. 또 다른 예에서, 제1 및 제2 그리드(715a, 715b) 각각의 제1 단자(725a)는 제1 및 제2 마이크로전자 요소(730a, 730b) 각각과 전기적으로 접속될 수 있다.
- [0127] 제2 그리드(715b)에서의 신호 할당이 제1 그리드(715a)에서의 신호 할당의 미러 이미지인 상태에서, 신호 CK(클럭)를 전달하도록 할당되는 제1 그리드의 제1 단자(725a)는, 신호 CK를 전달하도록 할당되는 제2 그리드의 대응하는 제1 단자와, 그리드 내에서 동일한 상대적 수직 위치(relative vertical position)(제3 축(729c)을 따른 방향)에 있게 된다. 그러나, 제1 그리드(715a)가 두 개의 컬럼(716)을 포함하고 신호 CK를 전달하도록 할당된 제1 그리드의 단자가 제1 그리드의 두 개의 컬럼 중 왼쪽 컬럼에 있기 때문에, 미러 이미지 배열은 신호 CK를 전달하도록 할당된 제2 그리드(715b)의 대응하는 단자가 제2 그리드의 두 개의 컬럼 중 오른쪽 컬럼에 있을 것을 요구한다.
- [0128] 이에 따른 다른 예에서, 제1 단자의 제1 및 제2 그리드(715a, 715b) 각각의 "A3"으로 도시된 어드레스 정보를 전달하도록 할당된 단자가(도 7a에 도시됨), 요소 콘택이 명칭 "A3"를 가지는, 마이크로전자 패키지(710) 내의 하나 이상의 마이크로전자 요소의 대응하는 요소 콘택(도 7b에 도시됨)을 나타내는 것임은 명백하다. 따라서, 정보가 동일한 명칭 즉, "A3"을 가지는 요소 콘택에 전송되는, 제1 단자의 각각의 제1 및 제2 세트 내의, 마이크로전자 패키지(710)의 외부에서의 이러한 대응하는 제1 단자(725a)는, 제1 및 제2 세트 내의 대응하는 제1 단자의 명칭이 상이하더라도, 미러 이미지 신호 할당을 가지는 것으로 간주된다. 그러므로, 일례에서, 제1 세트에 명칭 A3L(A3 left)이 주어지고 제2 세트에 명칭 A3R(A3 right)가 주어질 수 있는 것과 같이, 제1 및 제2 세트 각각의 대응하는 단자의 명칭이 상이할 수 있더라도, 미러 이미지 신호 할당, 예컨대 제1 단자의 각각의 제1 및 제2 세트 내의 "A3"으로 지칭되는 신호 할당을 가지는 제1 단자들(725a)의 각 쌍에 할당되는 신호가, 마이크로전자 요소 상의 명칭 "A3"를 가지는 요소 콘택에 입력될 정보를 전달하는 단자를 식별하는 것이 가능해진다.
- [0129] 나아가, 도 7a에서 "A3"으로 도시된 제1 단자의 대응하는 쌍에서 마이크로전자 패키지(710)에 제공되는 어드레스 정보는, 일부 경우에 마이크로전자 구조체 외부의 위치에서의 구동 회로의 동일한 출력으로부터 유래될 수 있다. 그 결과, 신호 "A3"을 전달하도록(즉, 전송된 것처럼, 신호 상의 정보를 마이크로전자 요소의, 명칭 "A3"의 요소 콘택에 전송하기 위해) 할당된 제1 그리드(715a)의 제1 단자(725a)는 신호 "A3"를 전달하도록 할당된 제2 그리드(715b)의 대응하는 제1 단자(725a)와, 그 그리드 내에서 동일한 상대적 수직 위치(방향(142)으로) 내에 있게 된다.
- [0130] 이러한 배열의 다른 결과는 신호 WE(write enable)를 전달하는데 할당된 단자 또한 제1 그리드(715a) 및 제2 그리드(715b) 각각의 그리드 내에서 동일한 상대적인 수직 위치에 있다는 것이다. 그러나, 제1 그리드(715a)에서, 신호 WE를 전달하는데 할당된 단자는 제1 그리드의 두 개의 컬럼(716) 중에서 오른쪽 컬럼에 있고, 미러 이미지 배열은 신호 WE를 전달하는데 할당된 제2 그리드(715b)의 대응하는 단자가 제2 그리드의 두 개의 컬럼 중에서 왼쪽 컬럼에 있는 것을 요구한다. 도 7a에서 알 수 있는 바와 같이, 동일한 관계가 제1 그리드(715a) 및 제2 그리드(715b) 각각의 제1 단자들(725a) 각각에 대하여, 적어도 상술한 명령-어드레스 버스 신호를 전달하는데 할당된 각각의 제1 단자에 대하여 적용된다.
- [0131] 도 7a에 도시된 바와 같이, 제2 단자들(725b)은 제1 평행 그리드(717a) 및 제2 평행 그리드(717b)에 있을 수 있고, 이러한 제1 그리드 및 제2 그리드의 제2 단자들(725b)의 대응하는 단자들의 위치는 제3 축(729c)에 대하여

미러링될(mirrored) 수 있다. 특정 예에서(도시되지 않음), 제2 단자들(725b) 중 일부 또는 모두는, 제1 단자들(725a)이 배열된 기관(720) 상의 동일한 그리드들(715a, 715b)에 배열될 수 있다. 제2 단자들(72b) 중 일부 또는 모두는 제1 단자들(725a) 중 일부 또는 모두와 동일한 컬럼 또는 상이한 컬럼에 배치될 수 있다. 일부 경우에, 하나 이상의 제2 단자들(725b)은 동일한 그리드 또는 그의 컬럼에서 제1 단자들(725a) 사이에 산재될 수 있다.

[0132] 도 6a의 실시예와 유사하게, 도 7a의 실시예의 잠재적 이점은 공통 회로 패널(760)에 장착될 수 있는 둘 이상의 마이크로전자 패키지(710)를 포함할 수 있는 마이크로전자 어셈블리(705)를 도시하는 도 7b에서 알 수 있다. 도 7b에 도시된 바와 같이, 제1 마이크로전자 패키지(710a) 및 제2 마이크로전자 패키지(710b) 각각의 대응하는 제1 단자들(725a)은 공통 수직 평면에 배열될 수 있고, 이는 회로 패널(760)을 통하여 제1 마이크로전자 패키지(710a) 및 제2 마이크로전자 패키지(710b)의 제1 단자들(725a) 사이에서 명령 신호, 어드레스 신호, 뱅크 어드레스 신호, 그리고 클럭 신호를 전달하는 전기적 접속 중 적어도 일부가 회로 패널의 두께와 거의 동일한 전기적 길이를 갖는 것을 가능하게 한다.

[0133] 도 8a는 마이크로전자 패키지(810)가 세 개의 마이크로전자 요소들(830)을 포함하는, 도 7a과 관련하여 상술한 실시예의 변형예를 나타낸다. 이러한 실시예에서, 마이크로전자 패키지(810)는, 각각 기관(820)의 제1 표면(821)에 평행한 단일 평면에 배열된 전면(831)을 갖는 제1 마이크로전자 요소(830a) 및 제2 마이크로전자 요소(830b)와, 제1 마이크로전자 요소(830a) 및 제2 마이크로전자 요소(830b) 각각의 후면(833) 위에 적어도 부분적으로 놓이는 전면(831)을 갖는 제3 마이크로전자 요소(830c)를 포함한다. 일 예에서, 세 개의 마이크로전자 요소들(830)을 갖는 이러한 마이크로전자 패키지에서, 제3 마이크로전자 요소(830c)는 NAND 플래시 요소일 수 있다.

[0134] 기관(820)은 제3 애퍼처(826c)를 가질 수 있는데, 제3 애퍼처는 그것의 길이 방향으로 연장하는 제3 축(829c)를 가지며, 제3 축은 각각의 제1 애퍼처(826a) 및 제2 애퍼처(826b)의 제1 축(829a) 및 제2 축(829b)에 평행하다. 제3 마이크로전자 요소(830c)는 애퍼처들(826) 중 적어도 하나와 정렬되는 제1 표면(831)에서 복수의 콘택(835)을 가질 수 있다.

[0135] 도 7a에 도시된 실시예와 유사하게, 마이크로전자 패키지(810)의 제1 단자들(825a)은 제1 평행 그리드(815a) 및 제2 평행 그리드(815b)에 배열되고, 각각의 그리드는 제1 단자들의 두 개의 인접한 컬럼(816)을 가지며, 제1 그리드 및 제2 그리드 내의 단자들(825a) 중 대응하는 단자의 위치는 제1 축(829a) 및 제2 축(829b)에 평행하는, 제1 그리드 및 제2 그리드 사이의 제4 축(829d)(이것은 제3 축(829c)과 일치할 수 있음)에 대해 미러링되는 것으로 도시되어 있다.

[0136] 이러한 변형예에서, 제2 단자들(825b) 중 일부는 제1 단자들(825a)의 그리드(815)에 평행하게 배향된 그리드들(817)에 위치할 수 있고, 제2 단자들 중 일부는 제1 단자들(825a)의 그리드들(815)에 직각으로 배향된 그리드들(817a, 817b)에 위치할 수 있다.

[0137] 마이크로전자 요소(830a, 830b, 830c)의 일부분 위에 놓일 수 있고 이와 전기적으로 접속될 수 있는, 제2 단자들(825b)의 그리드들(817, 817a, 817b)은 임의의 적합한 배열로 배치되는 단자들을 가질 수 있으며, 이들 제2 단자들을, 그리드 중 하나의 신호 할당이 그리드 중 다른 하나의 단자들의 신호 할당의 미러 이미지인 그리드들에 배치할 필요는 없다. 도 8a에 도시된 특정 예에서, 두 개의 그리드(817)의 신호 할당은 서로에 대하여 이들 그리드(817) 사이의 방향을 연장하는 제4 축(829d)에 대해 대칭이다.

[0138] 또한, 도 8a에 도시된 바와 같이, 그리드(817a) 내의 제2 단자들(825b)의 신호 클래스 할당은 제4 축(829b)에 대해 대칭일 수 있고, 그리드(817b) 내의 제2 단자들의 신호 클래스 할당은 제4 축에 대해 대칭일 수 있다. 본 명세서에서 사용되는 바와 같이, 클래스 내의 지수(numerical index)가 상이하더라도, 신호 할당이 동일한 할당 클래스에 있다면 두 개의 신호 클래스 할당(signal class assignment)은 서로에 대해 대칭일 수 있다. 예시적인 신호 클래스 할당은 데이터 신호, 데이터 스트로브 신호, 데이터 스트로브 보수 신호, 그리고 데이터 마스크 신호를 포함할 수 있다. 특정 예에서, 그리드(817b)에서, 그들 제2 단자들이 상이한 신호 할당을 갖더라도, 데이터 스트로브 보수(data strobe complement)인 신호 할당(DQSH# 및 DQSL#)을 갖는 제2 단자들(825b)은 그들의 신호 클래스 할당과 관련된 제4 축(829d)에 대해 대칭이다.

[0139] 도 8a에 도시된 바와 같이, 마이크로전자 패키지(810) 상의 그리드(817a 및 817b) 내의 제2 단자들(825b)의 공간적 위치의 데이터 신호, 예컨대, 데이터 신호(DQ0, DQ1, ...)의 할당은, 예를 들어, 제4 축(829d)과 같은 수직 축에 대해 모듈로-X(modulo-X) 대칭을 가질 수 있다. 모듈로-X 대칭은 도 5e에 도시된 바와 같은, 제1 패키

지 및 제2 패키지의 하나 이상의 쌍이 회로 패널에 서로 대향하도록 장착되고, 회로 패널이 대향하여-장착된 각각의 패키지 쌍 내의 제1 패키지 및 제2 패키지의 제2 단자들의 대응하는 쌍을 전기적으로 접속하는 어셈블리 (5) 내의 신호 무결성(signal integrity)을 보존하는데 도움을 줄 수 있다. 본 명세서에서 사용된 바와 같이, 단자들의 신호 할당이 축에 대해 "모듈로-X 대칭"을 갖는 경우, 동일한 인덱스 번호 "모듈로-X"를 갖는 신호들을 전달하는 단자들은 축에 대해 대칭하는 위치들에 배치된다. 따라서, 도 5e에서와 같은 어셈블리(5)에서, 모듈로-X 대칭은 제1 패키지의 단자(DQ0)가 회로 패널을 통하여 동일한 인덱스 번호 모듈로 X(이 경우 X는 8임)를 갖는 제2 패키지의 단자(DQ8)에 전기적으로 접속될 수 있도록, 전기적 접속이 회로 패널을 통하여 이루어지는 것을 허용할 수 있는데, 접속이 필수적으로 회로 패널의 두께를 곧바로 통하는 방향으로, 즉, 회로 패널에 수직인 방향으로 이루어지도록 할 수 있다.

[0140] 일 예에서, "X"는 숫자  $2^n$ (2의 n승)일 수 있는데, 여기서 n은 2보다 크거나 같고, 또는 X는  $8 \times N$ 일 수 있는데, 여기서 N은 2 이상이다. 따라서, 일 예에서, X는 하프-바이트(half-byte)(4비트), 바이트(8비트), 다수의 바이트( $8 \times N$ , N은 2 이상임), 워드(32비트) 또는 다수의 워드에서의 비트 수와 동일할 수 있다. 이러한 방식에서, 일 예에서, 도 8a에 도시된 바와 같이 모듈로-8 대칭이 있는 경우, 그리드(817b) 내의, 데이터 신호(DQ0)를 전달하도록 구성된 패키지 단자(DQ0)의 신호 할당은 데이터 신호(DQ8)을 전달하도록 구성된 다른 패키지 단자의 신호 할당과 축에 대하여 대칭이다. 또한, 그리드(817a) 내의 패키지 단자들(DQ1 및 DQ9)의 신호 할당에 대해서도 마찬가지이다. 도 8a에 또한 도시된 바와 같이, 그리드(817b)내의 패키지 단자(DQ2 및 DQ10)의 신호 할당은 제4 축(829d)에 대해 모듈로-8 대칭을 가지며, 그리드(817a) 내의 단자들(DQ3 및 DQ11)에 대해서도 마찬가지이다. 본 명세서에서 설명된 바와 같은 모듈로-8 대칭은 패키지 단자들(DQ0에서 DQ15)의 각각의 신호 할당과 관련하여 그리드들(817a 및 817b)에서 볼 수 있다.

[0141] 도시되지는 않았으나, 모듈로 수 "X"는  $2^n$ (2의 n승) 외의 수가 될 수 있고 2보다 큰 임의의 수가 될 수 있다는 것을 유의하는 것이 중요하다. 따라서, 대칭이 기초로 하는 모듈로 수 X는 패키지가 구조화 또는 구성될 수 있는 데이터 사이즈 내에 얼마나 많은 비트가 존재하는지에 따라 결정될 수 있다. 예를 들어, 데이터 사이즈가 8 대신에 10인 경우, 신호 할당은 모듈로-10 대칭을 가질 수 있다. 심지어 데이터 사이즈가 홀수의 비트 수를 갖는 경우, 모듈로 수 X는 그러한 수를 갖는 경우도 있다.

[0142] 이러한 실시예의 잠재적 이점은 공통 회로 패널(860)에 장착될 수 있는 둘 이상의 마이크로전자 패키지(810)를 포함할 수 있는 마이크로전자 어셈블리(805)가 도시되어 있는 도 8b에서 알 수 있다. 도 8b에 도시된 바와 같이, 각각의 제1 마이크로전자 패키지(810a) 및 제2 마이크로전자 패키지(810b) 내의 대응하는 제1 단자들(825a)은 공통의 수직 평면에 배열될 수 있다.

[0143] 이러한 실시예에서, 각각의 제1 마이크로전자 패키지(810a) 및 제2 마이크로전자 패키지(810b) 내의 대응하는 제1 단자들(825a)은 서로로부터 수평으로 오프셋될 수 없고(또는 예를 들어, 제조 공차(manufacturing tolerance)로 인하여 최소한으로 수평으로 오프셋될 수 있음), 따라서 회로 패널(860)을 통하여 제1 마이크로전자 패키지(810a) 및 제2 마이크로전자 패키지(810b)의 제1 단자들(825a) 사이에서 명령 신호, 어드레스 신호, 뱅크 어드레스 신호, 그리고 클럭 신호를 전달하는 전기적 접속 중 적어도 일부는 대략 회로 패널 두께의 전기적 길이를 가질 수 있다.

[0144] 도 9a는 마이크로전자 패키지(910)가 네 개의 마이크로전자 요소(930)를 포함하는, 도 8a과 관련하여 상술한 실시예의 변형예를 나타낸다. 이러한 실시예에서, 마이크로전자 패키지(910)는 각각 기판(920)의 제1 표면(921)에 평행한 단일 평면에 배열된 제1 표면(931)을 갖는 제1 마이크로전자 요소(930a) 및 제3 마이크로전자 요소(930c)와, 각각 제1 마이크로전자 요소 및 제3 마이크로전자 요소 중 적어도 하나의 후면(933) 위에 적어도 부분적으로 놓이는 전면(931)을 갖는 제2 마이크로전자 요소(930b) 및 제4 마이크로전자 요소(930d)를 포함한다.

[0145] 기판(920)은 제4 애퍼처(926d)를 가질 수 있는데, 이러한 제4 애퍼처는 그 길이 방향으로 연장하는 제4 축(929d)을 가지며, 제4 축은 제1 애퍼처(926a), 제2 애퍼처(926b), 및 제3 애퍼처(926c) 각각의 제1 축(929a), 제2 축(929b), 및 제3 축(929c)에 평행하다. 제4 마이크로전자 요소(930d)는 애퍼처들(926) 중 적어도 하나와 정렬되는 제4 마이크로전자 요소의 제1 표면(931)에 복수의 콘택(935)을 가질 수 있다.

[0146] 도 8a에 도시된 실시예와 유사하게, 마이크로전자 패키지(910)의 제1 단자들(925a)은 제1 평행 그리드(915a) 및 제2 평행 그리드(915b)에 배열되고, 각각의 그리드는 제1 단자들의 두 개의 인접한 컬럼(916)을 가지며, 제1 그리드 및 제2 그리드 내의 단자들(925a) 중 대응하는 단자들의 위치는, 제1 평행축(929a) 및 제2 평행축(929b), 제3 평행축(929c) 및 제4 평행축(929d)에 평행하는, 제1 그리드 및 제2 그리드 사이의 제5 축(929e)에 대해 미

러링되는 것으로 도시되어 있다.

- [0147] 네 개의 마이크로전자 요소(930)와, 두 개의 그리드(915) 사이의 축(929e)에 대해 서로에 대하여 미러링되어 있는, 제1 단자들(925a)의 두 개의 그리드(915)를 갖는 이러한 실시예에서, 각각의 그리드는 마이크로전자 요소 중 적어도 두 개에 전기적으로 접속될 수 있다.
- [0148] 이러한 실시예의 잠재적 이점은 공통 회로 패널(960)에 장착될 수 있는 둘 이상의 마이크로전자 패키지(910)를 포함할 수 있는 마이크로전자 어셈블리(905)가 도시되어 있는 도 9b에서 알 수 있다. 도 9b에 도시된 바와 같이, 각각의 제1 마이크로전자 패키지(910a) 및 제2 마이크로전자 패키지(910b) 내의 대응하는 제1 단자들(925a)은 공통의 수직 평면에 배열될 수 있다.
- [0149] 도 9a 및 9b에 도시된 실시예의 변형예에서(도시되지 않음), 제4 마이크로전자 요소(930d)는 제1 마이크로전자 요소(930a) 위에 부분적으로 놓일 수 있으나, 제3 마이크로전자 요소(930c) 위에는 놓이지 않을 수 있다. 이러한 변형예에서, 도 9b에 도시된 스페이서(914)와 같은 제2 스페이서가 마이크로전자 패키지(910)에 추가될 수 있다. 이러한 제2 스페이서는 제3 마이크로전자 요소(930c)에 인접하고 제4 마이크로전자 요소(930d)의 전면(931)과 기판(920)의 제1 표면(921) 사이에 배치될 수 있다. 이러한 스페이서는, 제2 마이크로전자 요소(930b)에 대해 약간의 기계적 지지를 제공할 수 있는 도 9b에 도시된 스페이서(914)와 유사한 방식으로, 제4 마이크로전자 요소(930d)를 위한 추가의 기계적 지지를 제공할 수 있다. 이 변형예는 두 개의 인접한 중첩 마이크로전자 요소 쌍을 포함할 수 있는데, 이것은 동일한 기판 위에 놓이며 서로 인접하게 배치되는 두 개의 마이크로전자 요소 쌍(30a, 30b)(도 5b)의 외관을 가질 수 있다.
- [0150] 도 9c-9f는 도 9a에 도시된 마이크로전자 패키지의 실시예의 변형예를 나타낸다. 도 9c는 각각 하나의 컬럼(916)을 갖는 두 개의 평행 그리드(915)에 배열된 제1 단자들(925a)을 갖는 마이크로전자 패키지(901)를 나타낸다.
- [0151] 도 9d는 각각 두 개의 컬럼(916)을 갖는 네 개의 평행 그리드(915)에 배열된 제1 단자들(925a)을 갖는 마이크로전자 패키지(902)를 나타낸다. 도 9d에 도시된 바와 같이, 두 개의 외측 그리드(915a 및 91b)는 제5 축(929e)에 대하여 서로에 대해 미러링될 수 있고, 제5 축(929e)은 두 개의 외측 그리드 사이에서 제1 축(929a), 제2 축(929b), 제3 축(929c), 및 제4 축(929d)에 대해 평행하며, 두 개의 내측 그리드(915c 및 915d)는 제5 축에 대하여 서로에 대해 미러링될 수 있다. 도 9d의 변형예에서(도시되지 않음), 각각의 외측 그리드(915a 및 91b)는 또한 내측 그리드(915c 및 915d) 중 인접한 그리드에 대해 미러링될 수 있다.
- [0152] 도 9e-9h는 네 개의 마이크로전자 요소(930)를 갖는 마이크로전자 패키지(903, 903', 904, 904')를 나타내고, 네 개의 마이크로전자 요소는 각각 그들의 제1 표면(931)에서 애퍼처(926) 중 적어도 하나와 정렬된 복수의 콘택(935)을 가지며, 다만, 제1 애퍼처(926a) 및 제3 애퍼처(926c)는 이들의 길이 방향으로 연장하는 공통의 제1 축(929a)을 갖고 제2 애퍼처(926b) 및 제4 애퍼처(926d)는 이들의 길이 방향으로 연장하는 공통의 제2 축(929b)을 갖는다. 제1 축(929a) 및 제2 축(929b)은 서로에 대해 평행할 수 있다.
- [0153] 도 9e에 도시된 마이크로전자 패키지(903)는 두 개의 평행한 컬럼(916)을 갖는 하나의 그리드(915)에 배열된 제1 단자들(925a)을 갖는다. 도 9f에 도시된 마이크로전자 패키지(903')는 두 개의 평행 그리드(915)에 배열된 제1 단자들(925a)을 갖는데, 이러한 두 개의 평행 그리드는 그들 사이에서 연장하는 축(929e)에 대하여 서로에 대해 미러링되고, 각각 두 개의 평행한 컬럼(916)을 갖는다.
- [0154] 도 9g에 도시된 마이크로전자 패키지(904)는 제1 중간축(929e')을 따라 배열된, 각각 두 개의 평행한 컬럼(916)을 갖는 두 개의 그리드(915)에 배열된 제1 단자들(925a)을 갖는다. 제1 단자들(925a)의 두 개의 그리드(915)는 제2 중간축(929f)에 대하여 서로에 대해 미러링될 수 있고, 제2 중간축은 제1 중간축을 가로지른다(즉, 십자형으로 가로 놓임). 일 실시예에서, 제2 중간축(929f)은 제1 중간축(929e')에 직교할 수 있다. 제2 단자들(925b)의 그리드(917) 각각은 또한 제1 중간축(929e') 및/또는 제2 중간축(929f)에 대하여 그리드(917) 중 다른 그리드에 대해 미러링될 수 있고, 각각의 그리드(917)는 그리드(917) 쌍 사이에서 연장하는 임의의 다른 중간축에 대하여 다른 그리드(917) 중 하나 이상에 대해 미러링될 수 있다.
- [0155] 도 9h에 도시된 마이크로전자 패키지(904')는 각각 두 개의 평행한 컬럼(916)을 갖는 네 개의 평행 그리드(915)에 배열되는 제1 단자들(925a)을 가지며, 각각의 그리드(915)는 제1 축(929a) 및 제2 축(929b)에 평행한 방향으로 인접한 그리드(915) 사이에서 연장하는 제1 중간축(929e) 및/또는 제1 축 및 제2 축을 가로지르는 방향으로 인접한 그리드(915) 사이에서 연장하는 제2 중간축(929f)에 대하여, 적어도 하나의 추가 그리드(915)에 대해 미러링된다. 일 실시예에서, 제2 중간축(929f)은 제1 축(929a) 및 제2 축(929b)에 직교할 수 있다. 제2 단자들



들(925b)의 그리드(917) 각각은 또한 제1 중간축(929e) 및/또는 제2 중간축(929f)에 대하여 그리드(917) 중 다른 그리드에 대해 미러링될 수 있고, 또는 그리드(917) 각각은 그리드(917) 쌍 사이에서 연장하는 임의의 다른 중간축에 대하여 다른 그리드(91) 중 하나 이상에 대해 미러링될 수 있다.

- [0156] 도 10a 및 10b는 각각 도 5a 및 7a에 도시된 마이크로전자 패키지의 실시예의 변형예를 나타낸다. 도 10a에 도시된 마이크로전자 패키지(1010)는, 마이크로전자 패키지(1010)의 마이크로전자 요소들(1030)이 각각 기관(1020)의 제1 표면(1021)에 평행한 단일 평면에 배열된 전면(1031)을 갖는다는 점을 제외하고는, 도 5a에 도시된 마이크로전자 패키지(10)와 동일하다. 도 10b에 도시된 마이크로전자 패키지(1010')는, 마이크로전자 패키지(1010')의 마이크로전자 요소들(1030)이 각각 기관(1020)의 제1 표면(1021)에 평행한 단일 평면에 배열된 전면(1031)을 갖는다는 점을 제외하고는, 도 7a에 도시된 마이크로전자 패키지(710)와 동일하다.
- [0157] 도 11은 도 8a에 도시된 마이크로전자 패키지의 실시예의 변형예를 나타낸다. 도 11에 도시된 마이크로전자 패키지(1110)는, 마이크로전자 패키지(1110)의 마이크로전자 요소들(1130)이 각각 기관(1120)의 제1 표면(1121)에 평행한 단일 평면에 배열된 전면(1131)을 갖는다는 점을 제외하고는, 도 8a에 도시된 마이크로전자 패키지(810)와 동일하다.
- [0158] 도 12a 및 12b는 각각 도 9e 및 도 9f에 도시된 마이크로전자 패키지의 실시예의 변형예를 나타낸다. 도 12a에 도시된 마이크로전자 패키지(1210)는, 마이크로전자 패키지(1210)의 마이크로전자 요소들(1230)이 각각 기관(1220)의 제1 표면(1221)에 평행한 단일 평면에 배열된 전면(1231)을 갖는다는 점을 제외하고는, 도 9e에 도시된 마이크로전자 패키지(903)와 동일하다. 도 12b에 도시된 마이크로전자 패키지(1210')는, 마이크로전자 패키지(1210')의 마이크로전자 요소들(1230)이 각각 기관(1220)의 제1 표면(1221)에 평행한 단일 평면에 배열된 전면(1231)을 갖는다는 점을 제외하고는, 도 9f에 도시된 마이크로전자 패키지(903')와 동일하다.
- [0159] 도 12c 및 12d는 각각 도 9g 및 9h에 도시된 마이크로전자 패키지의 실시예의 변형예를 나타낸다. 도 12c에 도시된 마이크로전자 패키지(1201)는, 마이크로전자 패키지(1201)의 마이크로전자 요소들(1230)이 각각 기관(1220)의 제1 표면(1221)에 평행한 단일 평면에 배열된 전면(1231)을 갖는다는 점을 제외하고는, 도 9g에 도시된 마이크로전자 패키지(904)와 동일하다. 도 12d에 도시된 마이크로전자 패키지(1201')는, 마이크로전자 패키지(1201')의 마이크로전자 요소들(1230)이 각각 기관(1220)의 제1 표면(1221)에 평행한 단일 평면에 배열된 전면(1231)을 갖는다는 점을 제외하고는, 도 9h에 도시된 마이크로전자 패키지(904')와 동일하다.
- [0160] 도 5a부터 12d와 관련하여 앞서 설명된 마이크로전자 패키지 및 마이크로전자 어셈블리는, 예컨대, 도 13에 도시된 시스템(1300)과 같은 다양한 전자 시스템의 구성(construction)에 이용될 수 있다. 예를 들어, 본 발명의 추가 실시예에 따른 시스템(1300)은 다른 전자 컴포넌트(1308 및 1310)와 함께, 상술한 마이크로전자 패키지 및/또는 마이크로전자 어셈블리와 같은 복수의 모듈 또는 컴포넌트(1306)를 포함한다.
- [0161] 도시된 예시적인 시스템(1300)에서, 이러한 시스템은 회로 패널, 마더보드, 또는 라이저 패널(riser panel)(1302), 예컨대, 플렉시블 인쇄 회로 보드를 포함할 수 있고, 회로 패널은 모듈 또는 컴포넌트(1306)를 서로 상호접속하는 전도체(1304)를 포함할 수 있는데, 도 13에는 오직 하나의 전도체만이 도시되어 있으나, 다수의 전도체를 포함할 수 있다. 이러한 회로 패널(1302)은 신호들을 시스템(1300)에 포함된 마이크로전자 패키지 및/또는 마이크로전자 어셈블리로 이송하고, 신호들을 마이크로전자 패키지 및/또는 마이크로전자 어셈블리로부터 이송할 수 있다. 그러나, 이는 단지 예시적인 것이며, 모듈 또는 컴포넌트(1306) 간의 전기적 접속을 이루는 임의의 적절한 구조체가 사용될 수 있다.
- [0162] 특정 실시예에서, 시스템(1300)은 또한 반도체 칩(1308)과 같은 프로세서를 포함할 수 있으며, 각각의 모듈 또는 컴포넌트(1306)가 클록 사이클 내에서 데이터 비트의 개수 N을 병렬 전송하도록 구성될 수 있고, 프로세서가 클록 사이클 내에서 데이터 비트의 개수 M(M은 N보다 크거나 같음)을 병렬 전송하도록 구성될 수 있다.
- [0163] 일 예에서, 시스템(1300)은 클록 사이클 내에서 32 데이터 비트를 병렬 전송하도록 구성된 프로세서 칩(1308)을 포함할 수 있고, 시스템은 또한 도 5a와 관련하여 설명된 마이크로전자 패키지(10)와 같은 모듈(1306)을 네 개 포함할 수 있으며, 각각의 모듈(1306)은 클록 사이클 내에서 8 데이터 비트를 병렬 전송하도록 구성된다(즉, 각각의 모듈(1306)은 제1 마이크로전자 요소 및 제2 마이크로전자 요소를 포함할 수 있고, 두 개의 마이크로전자 요소는 각각 클록 사이클 내에서 4 데이터 비트를 병렬 전송하도록 구성됨).
- [0164] 다른 예에서, 시스템(1300)은 클록 사이클 내에 64 데이터 비트를 병렬 전송하도록 구성되는 프로세서 칩(1308)을 포함할 수 있고, 시스템은 또한 도 9a와 관련하여 설명된 마이크로전자 패키지(910)와 같은 모듈(1306)을 네 개 포함할 수 있으며, 각각의 모듈(1306)은 클록 사이클 내에서 16 데이터 비트를 병렬 전송하도록 구성된다

(즉, 각각의 모듈(1306)은 네 개의 마이크로전자 요소를 포함할 수 있고, 네 개의 마이크로전자 요소는 각각 클록 사이클 내에서 4 데이터 비트를 병렬 전송하도록 구성됨).

- [0165] 도 13에 도시된 예에서, 컴포넌트(1308)는 반도체 칩이고 컴포넌트(1310)는 디스플레이 스크린이지만, 임의의 다른 컴포넌트가 시스템(1300)에서 사용될 수 있다. 물론, 도시의 명확성을 위하여 단지 두 개의 추가 컴포넌트(1308 및 1310)가 도 13에 나타나 있으나, 시스템(1300)은 임의의 개수의 이러한 컴포넌트를 포함할 수 있다.
- [0166] 모듈 또는 컴포넌트(1306) 및 컴포넌트(1308 및 1310)는, 파선(broken line)으로 도시된 공통의 하우징(1301) 내에 장착될 수 있으며, 원하는 회로를 형성하기 위하여 필요에 따라 서로 전기적으로 상호접속될 수 있다. 하우징(1301)은, 예를 들어, 휴대폰 또는 PDA에서 이용 가능한 타입의 휴대용 하우징으로서 도시되어 있고, 스크린(1310)은 하우징의 표면에 노출될 수 있다. 구조체(1306)가 이미징 칩과 같은 감광성 요소(light-sensitive element)를 포함하는 실시예에서, 렌즈(1311) 또는 다른 광학 장치 또한 구조체로 광을 라우팅하기 위하여 제공될 수 있다. 다시, 도 13에 도시된 단순화된 시스템은 단지 예시적인 것이며, 데스크톱 컴퓨터, 라우터 등과 같은 고정 구조체로서 일반적으로 여겨지는 시스템을 포함하여, 다른 시스템들이 상술한 구조체를 이용하여 만들어질 수 있다.
- [0167] 도 5a부터 12d와 관련하여 앞서 설명된 마이크로전자 패키지 및 마이크로전자 어셈블리는 또한 도 14에 도시된 시스템(1400)과 같은 전자 시스템의 구조에도 이용될 수 있다. 예를 들어, 본 발명의 추가 실시예에 따른 시스템(1400)은 컴포넌트(1306)가 복수의 컴포넌트들(1406)로 대체되었다는 점을 제외하고는 도 13에 도시된 시스템(1300)과 동일하다.
- [0168] 각각의 컴포넌트(1406)는 도 5a부터 12d와 관련하여 상술한 마이크로전자 패키지 또는 마이크로전자 어셈블리 중 하나 이상을 포함할 수 있다. 특정 예에서, 컴포넌트(1406) 중 하나 이상은 도 5a에 도시된 마이크로전자 어셈블리(5)의 변형예일 수 있고, 이러한 변형예에서 회로 패널(60)은 노출된 에지 콘택을 포함하며, 각각의 마이크로전자 어셈블리(5)의 회로 패널(60)은 소켓(1405) 내로의 삽입에 적합할 수 있다.
- [0169] 각각의 소켓(1405)은 소켓의 일측 또는 양측에 복수의 콘택(1407)을 포함할 수 있는데, 각각의 소켓(1405)은 마이크로전자 어셈블리(5)의 상술한 변형예와 같은 대응하는 컴포넌트(1406)의 대응하는 노출된 에지 콘택과 결합하는데 적합할 수 있다. 도시된 예시적인 시스템(1400)에서, 시스템은 제2 회로 패널(1402) 또는 플렉시블 인쇄 회로 보드와 같은 마더보드를 포함할 수 있으며, 제2 회로 패널은 컴포넌트(1406)를 서로 상호접속하는 전도체(1404)를 포함할 수 있는데, 도 14에는 하나의 전도체만이 도시되어 있으나, 다수의 전도체를 포함할 수 있다.
- [0170] 특정 예에서, 시스템(1400)과 같은 모듈은 복수의 컴포넌트(1406)를 포함할 수 있는데, 각각의 컴포넌트(1406)는 마이크로전자 어셈블리(5)의 상술한 변형예이다. 각각의 컴포넌트(1406)는, 제2 회로 패널(1402)에 장착될 수 있고, 각각의 컴포넌트(1406)로의 신호 전송 및 그로부터의 신호 전송을 위하여 제2 회로 패널(1402)와 전기적으로 접속될 수 있다. 시스템(1400)의 특정 예는 단지 예시적인 것이며, 컴포넌트(1406) 사이에 전기적 접속을 이루기 위하여 임의의 적합한 구조가 이용될 수 있다.
- [0171] 이상에서 설명한 마이크로전자 패키지 중 임의의 마이크로전자 패키지 또는 모든 마이크로전자 패키지에서, 마이크로전자 요소들 중 하나 이상의 후면(rear surface)은 제조를 완료한 후에 마이크로전자 패키지의 외부 표면에 적어도 부분적으로 노출될 수 있다. 따라서, 도 5a와 관련하여 앞서 설명한 마이크로전자 패키지(10)에서, 마이크로전자 요소들의 후면은 완성된 마이크로전자 패키지(10)의 밀봉재(encapsulant)의 외부 표면에 부분적으로 또는 완전히 노출될 수 있다.
- [0172] 앞서 설명된 실시예 중 임의의 실시예에서, 마이크로전자 패키지 및 마이크로전자 어셈블리는 부분적으로 또는 전체적으로 임의의 적합한 열 전도성 재료로 이루어진 히트 스프레더(heat spreader)를 포함할 수 있다. 적합한 열 전도성 재료의 예는 금속, 흑연, 열 전도성 접착제, 예컨대, 열 전도성 에폭시, 솔더 등, 또는 이러한 재료들의 조합을 포함하지만, 이에 제한되는 것은 아니다. 일 예에서, 히트 스프레더는 실질적으로 금속의 연속 시트(continuous sheet of metal)일 수 있다.
- [0173] 도 5b에 도시된 예에서, 마이크로전자 패키지(10)는 예컨대, 열 접착제, 열 전도성 그리스, 또는 솔더와 같은 열 전도성 재료를 통하여 마이크로전자 요소들(30a 및 30b) 중 하나 이상의 표면, 예컨대, 제2 마이크로전자 요소(30b)의 후면(33)에 열적으로 연결될 수 있는 히트 싱크 또는 히트 스프레더(55)를 포함할 수 있다. 특정 예에서(도시되지 않음), 히트 스프레더(55)는 그것의 하나 이상의 표면에 복수의 핀(fin)을 포함할 수 있다.
- [0174] 일 실시예에서, 히트 스프레더는 마이크로전자 요소들 중 하나 이상에 인접하게 배치된 금속층을 포함할 수 있

다. 금속층은 마이크로전자 패키지의 후면에 노출될 수 있다. 대안적으로, 히트 스프레더는 마이크로전자 요소들 중 하나 이상의 적어도 후면을 덮는 오버몰드(overmold) 또는 밀봉재를 포함할 수 있다. 일 예에서, 히트 스프레더는 도 5a 및 5b에 도시된 마이크로전자 요소들(30a, 30b)과 같은 마이크로전자 요소들 중 하나 이상의 전면 및 후면 중 적어도 하나와 열적 통신 상태에 있을 수 있다. 일부 실시예에서, 히트 스프레더는 마이크로전자 요소들 중 인접한 요소들의 인접한 에지들 사이에서 연장할 수 있다. 히트 스프레더는 주변 환경에 대한 열 발산을 개선할 수 있다.

[0175] 특정 실시예에서, 금속 또는 다른 열 전도성 재료로 이루어진, 미리 형성된 히트 스프레더는 열 전도성 접착체 또는 열 전도성 그리스와 같은 열 전도성 재료를 갖는 마이크로전자 요소들 중 하나 이상에 부착되거나 그 후면에 배치될 수 있다. 접착체는, 존재한다면, 히트 스프레더와 히트 스프레더가 부착된 마이크로전자 요소 사이의 상대적인 이동이 예를 들어 컴플라이언트하게 부착된 요소들 사이의 상이한 열 팽창을 수용하는 것을 허용하는 컴플라이언트(compliant) 재료일 수 있다. 히트 스프레더는 일체형 구조일 수 있다. 대안적으로, 히트 스프레더는 서로 이격되어 있는 다수의 스프레더 부분을 포함할 수 있다. 특정 실시예에서, 히트 스프레더는 도 5a 및 5b에 도시된 마이크로전자 요소들(30a 및 30b)과 같은 마이크로전자 요소들 중 하나 이상의 후면의 적어도 일부분에 직접 결합되는 솔더층이거나 이러한 솔더층을 포함할 수 있다.

[0176] 본 발명이 본 명세서에서 특정 실시예와 관련하여 설명되었지만, 이들 실시예는 본 발명의 원리 및 응용의 단순한 예시임이 이해되어야 한다. 따라서 도시된 실시예에 대해 다수의 수정이 이루어질 수 있으며 첨부된 청구항에 의해 정해지는 본 발명의 사상 및 범위를 벗어남이 없이 다른 구성이 고안될 수 있음이 이해되어야 한다.

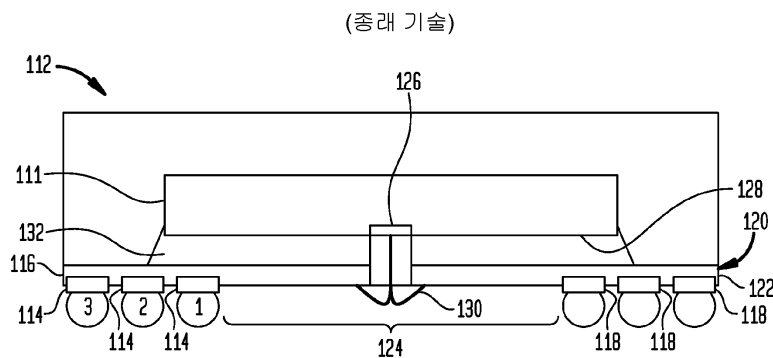
[0177] 다양한 종속항 및 그에 기재된 특징들이 최초 청구항(initial claims)에 나타난 것과 상이한 방식으로 조합될 수 있음을 인식할 수 있을 것이다. 또한 개개의 실시예와 관련하여 설명된 특징들이 설명된 실시예 중 다른 실시예들과 공유될 수 있음을 인식할 수 있을 것이다.

[0178] 산업상 이용가능성

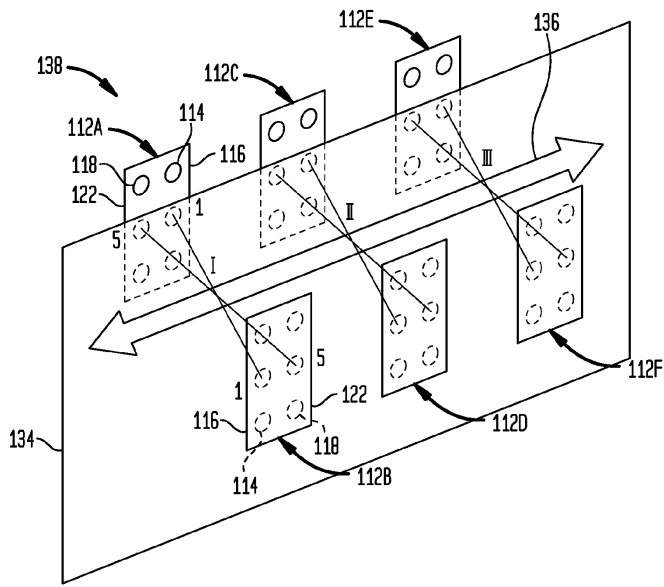
[0179] 본 발명은 마이크로전자 패키지 및 마이크로전자 패키지의 제조 방법을 포함하는, 그러나 이에 한정되지 않는 광범위한 산업상 이용가능성이 있다.

**도면**

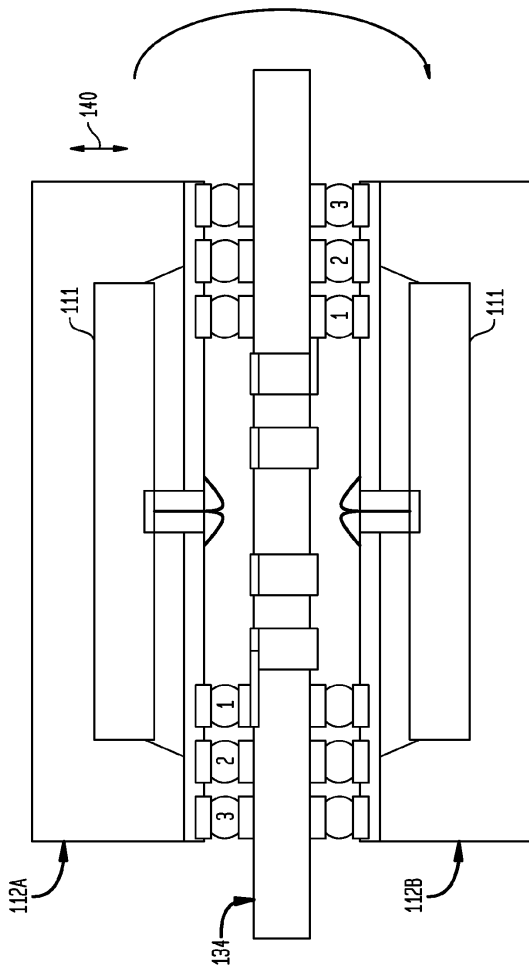
**도면1**



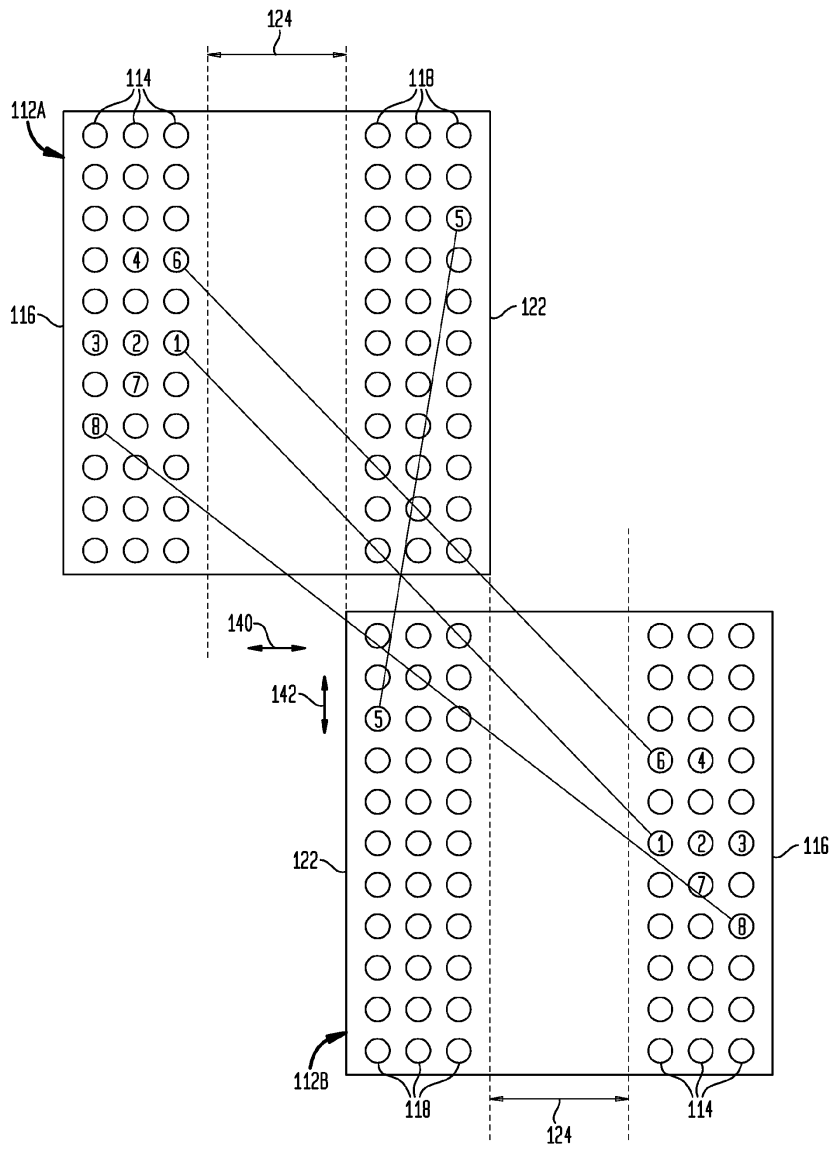
도면2



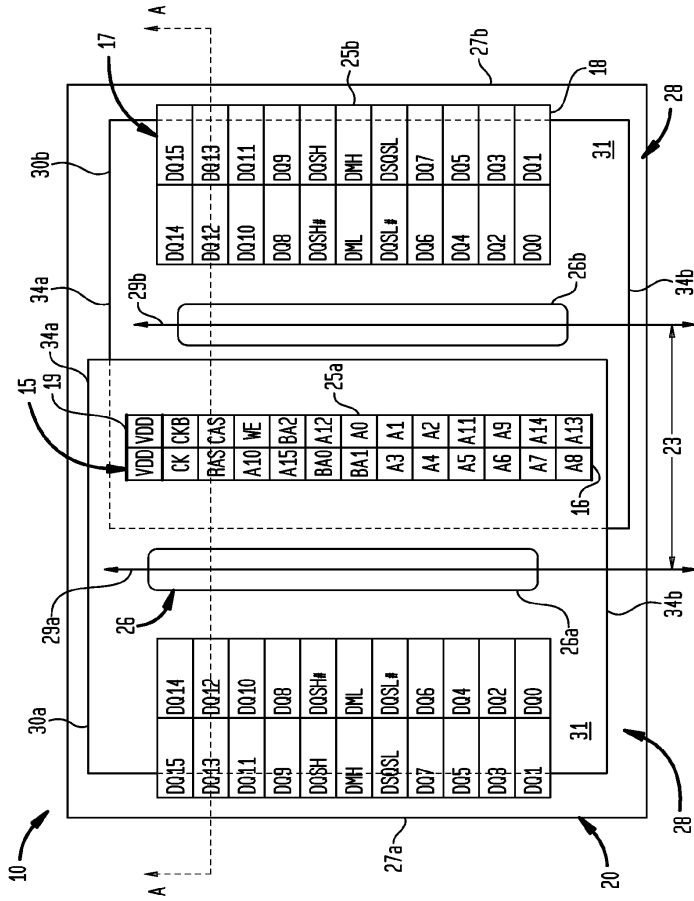
도면3



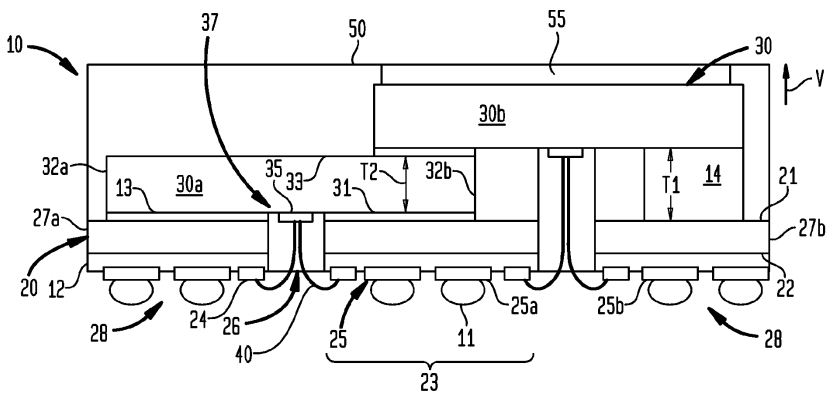
도면4



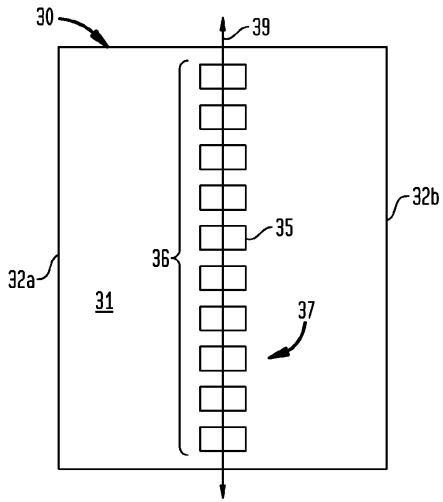
도면5a



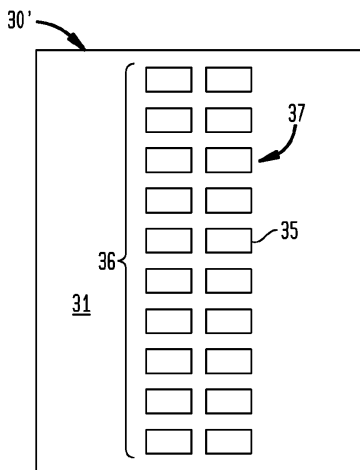
도면5b



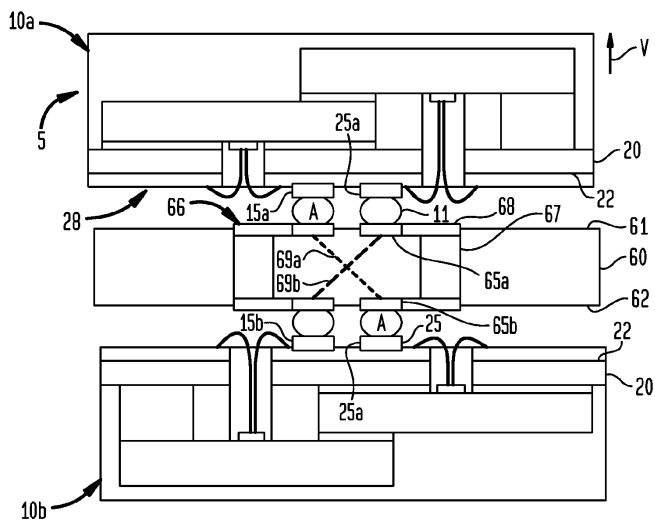
도면5c



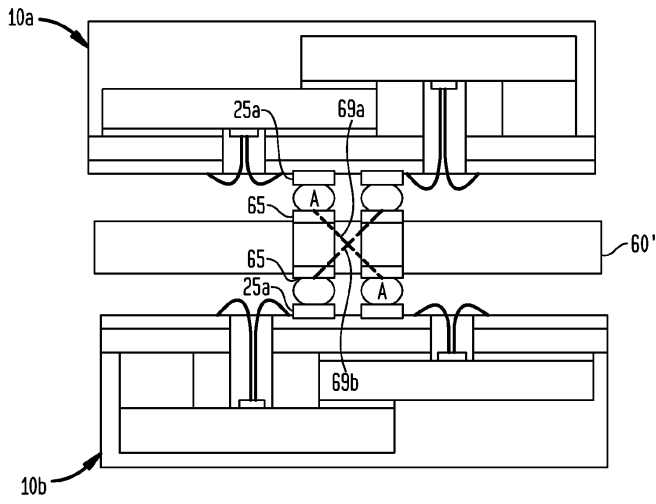
도면5d



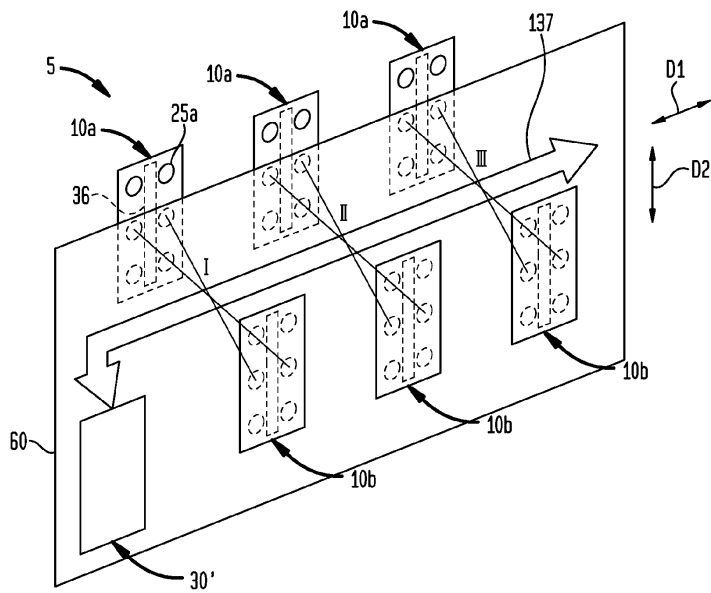
도면5e



도면5f

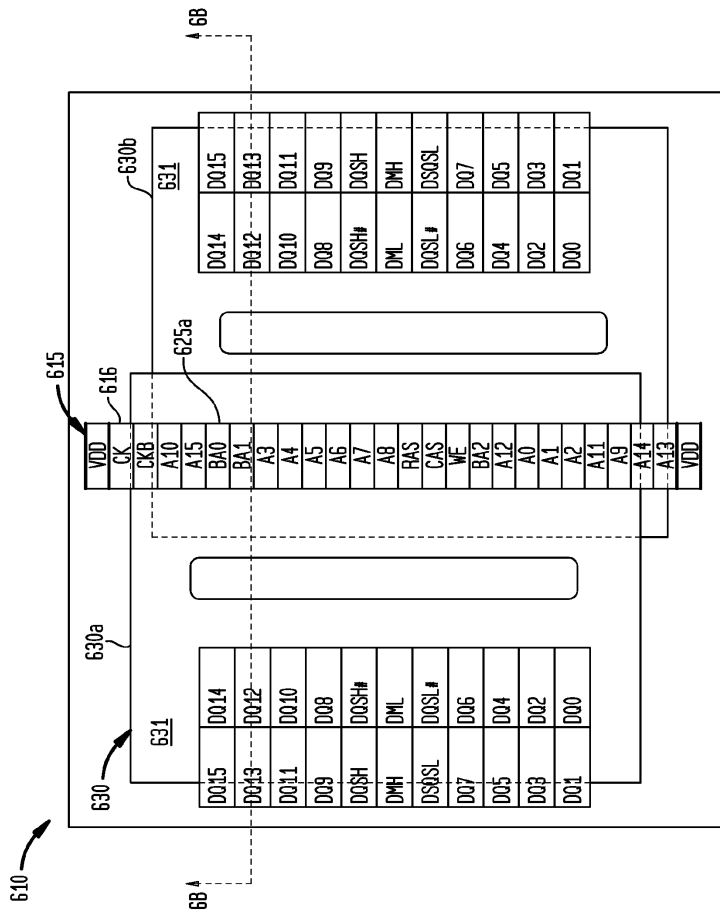


도면5g

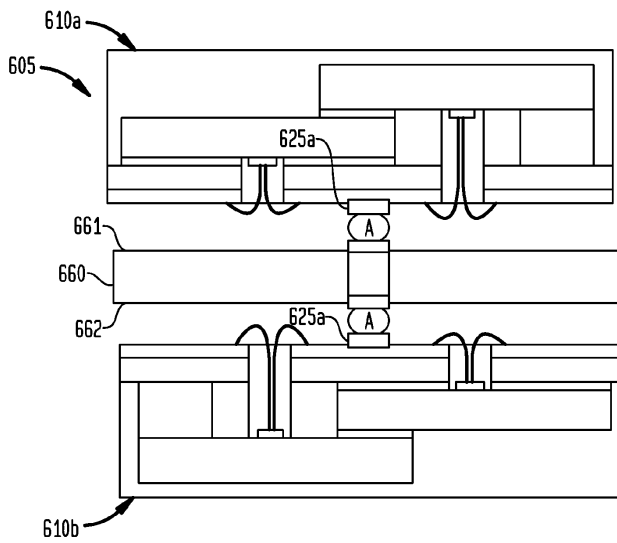




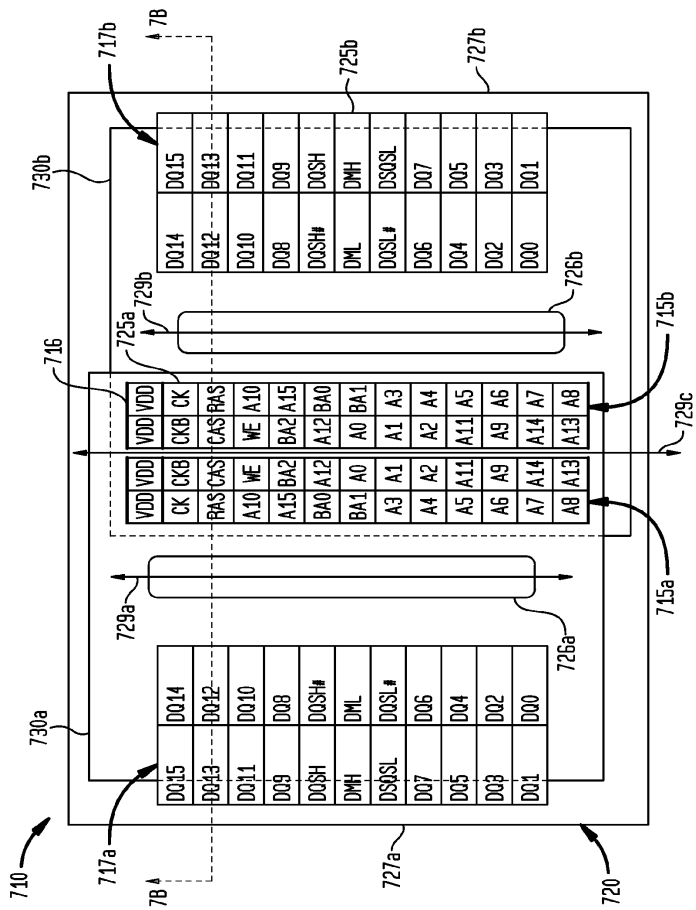
도면6a



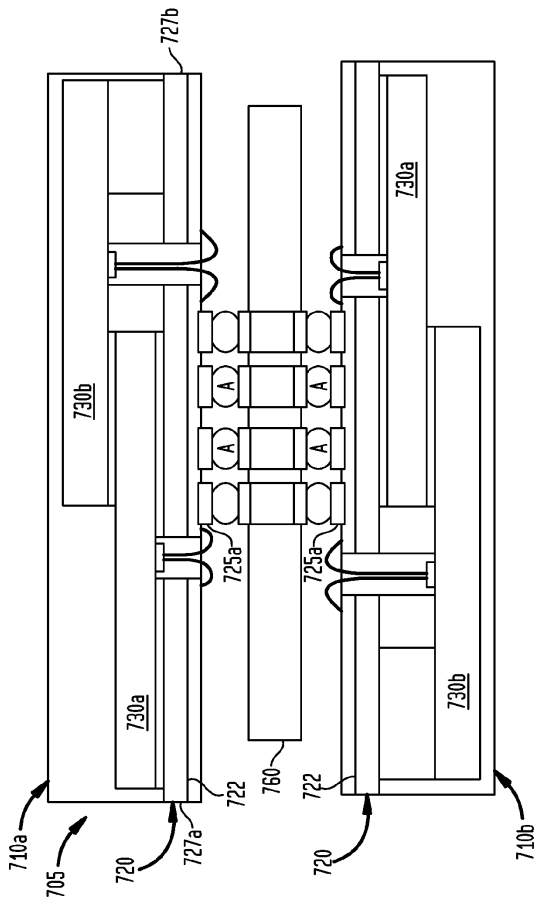
도면6b



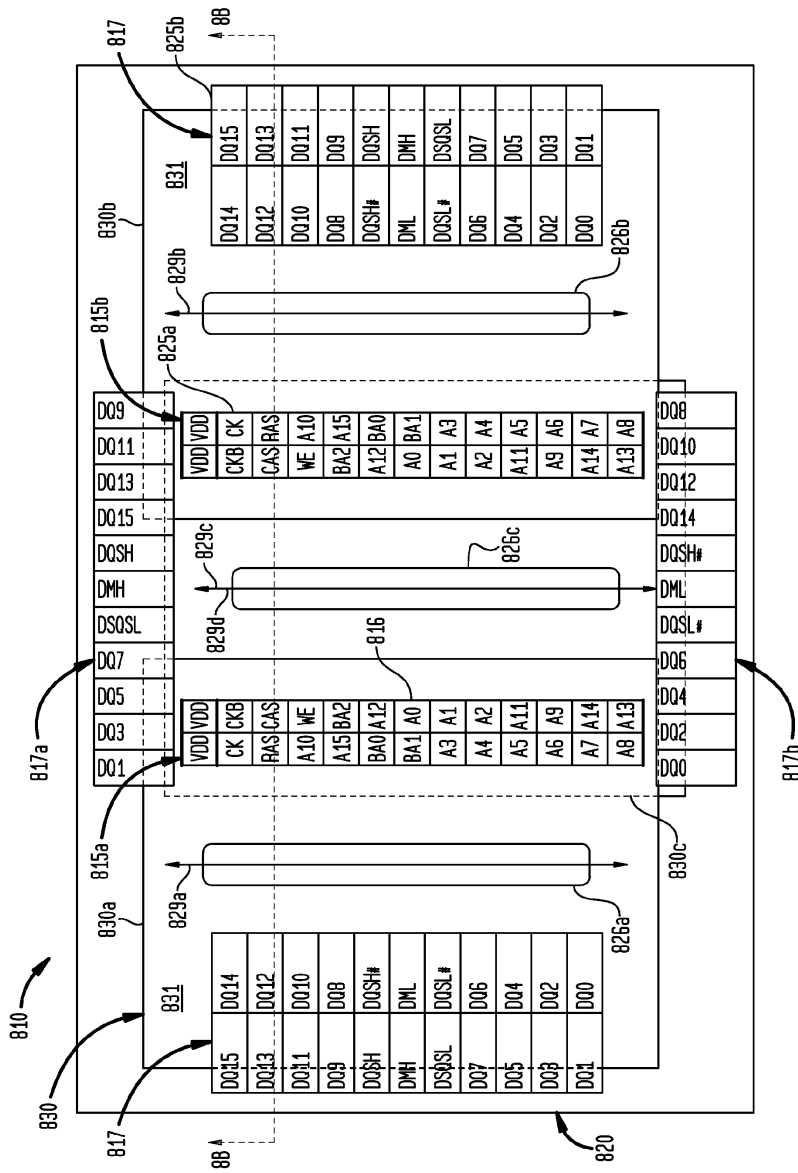
도면7a



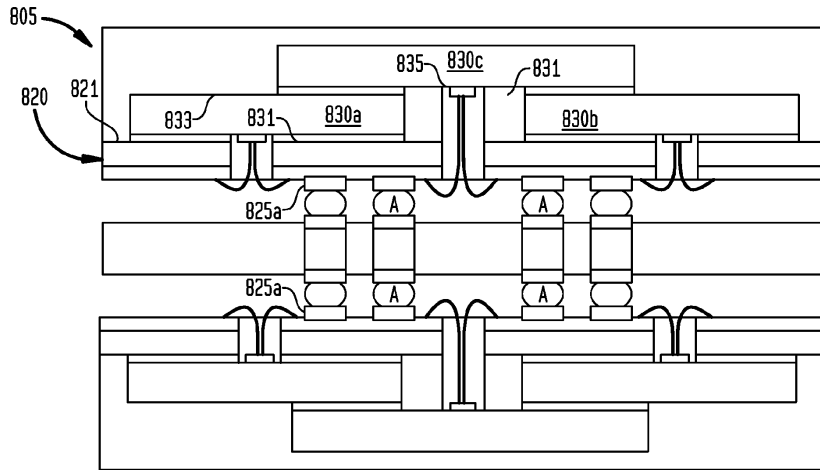
도면7b



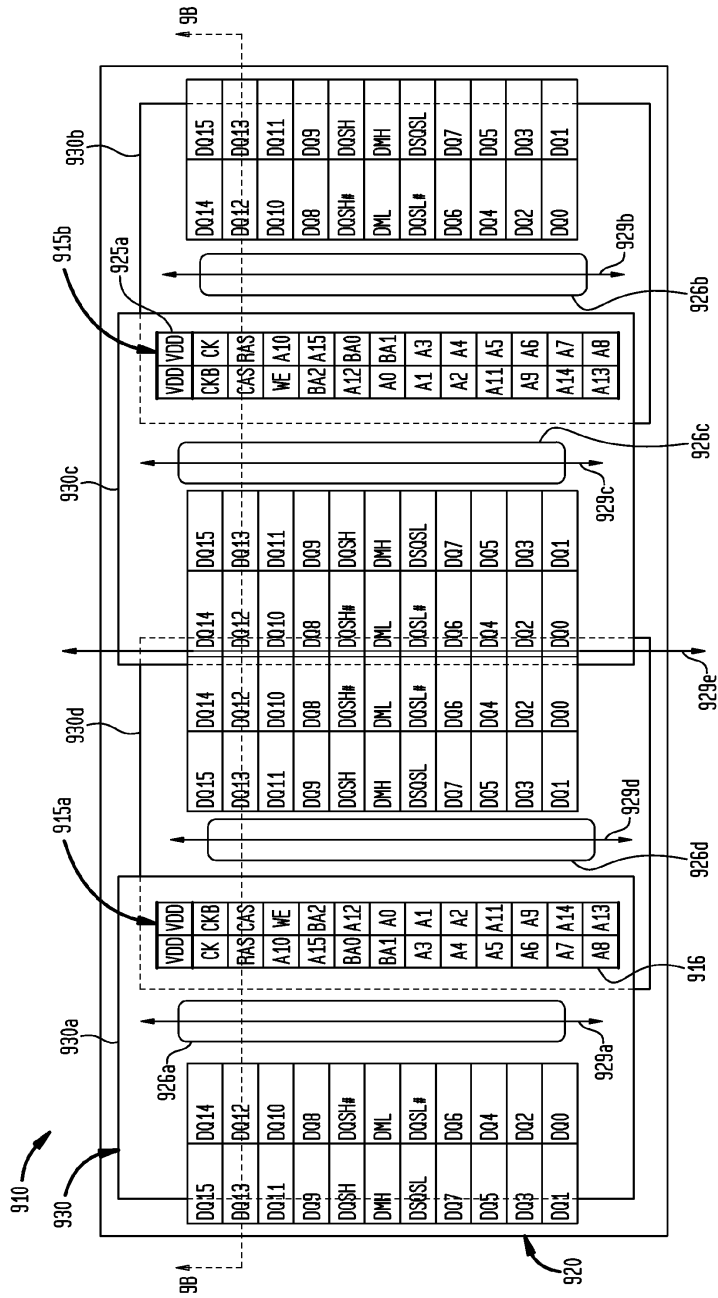
도면8a



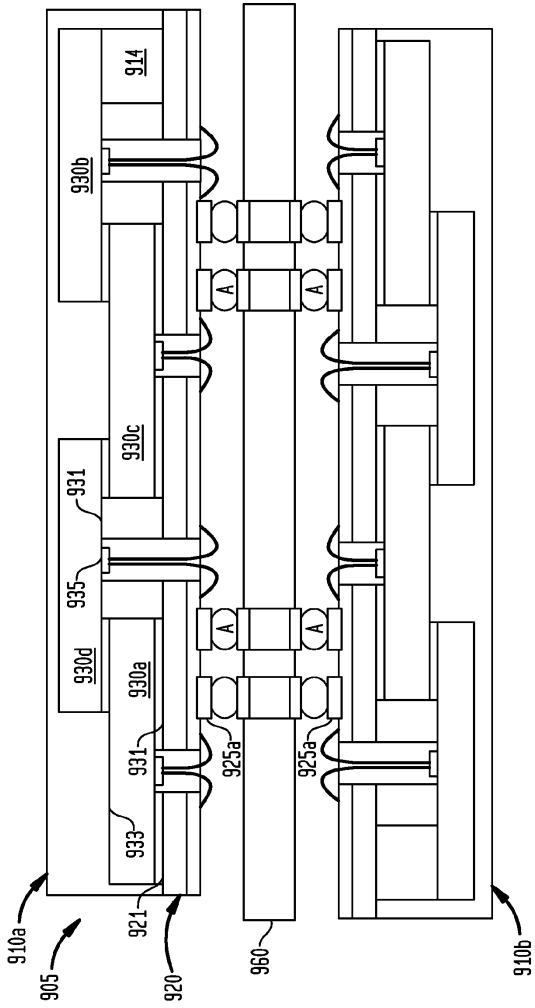
도면8b



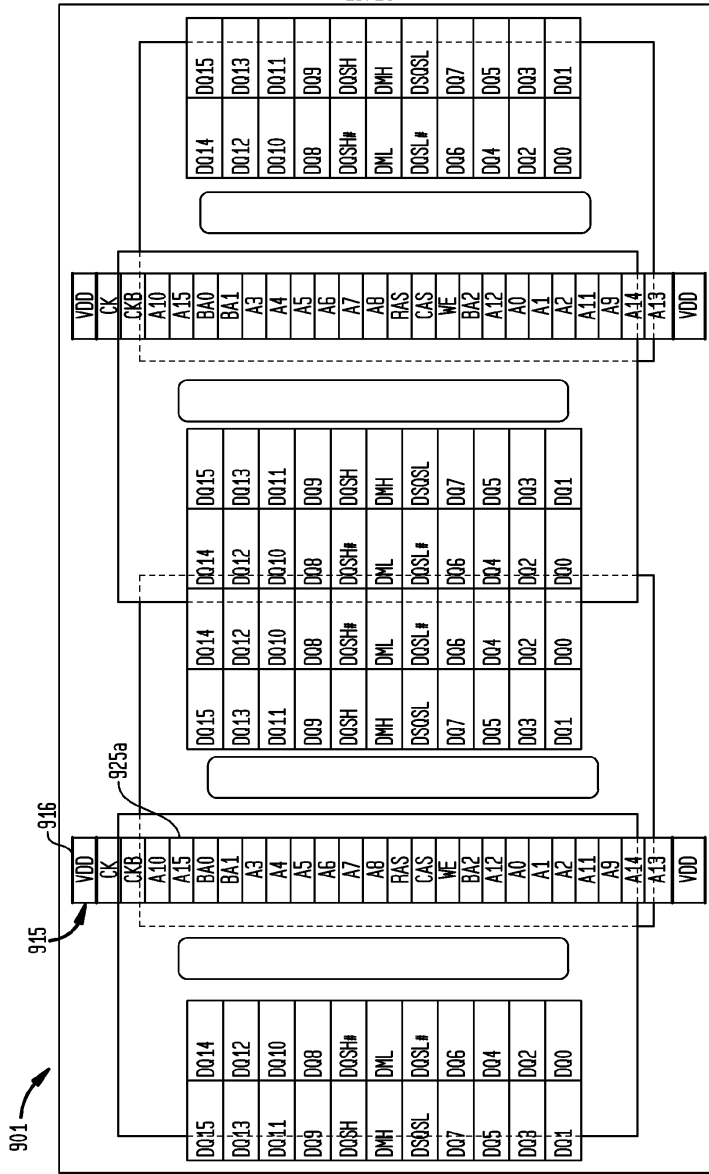
도면9a



도면9b

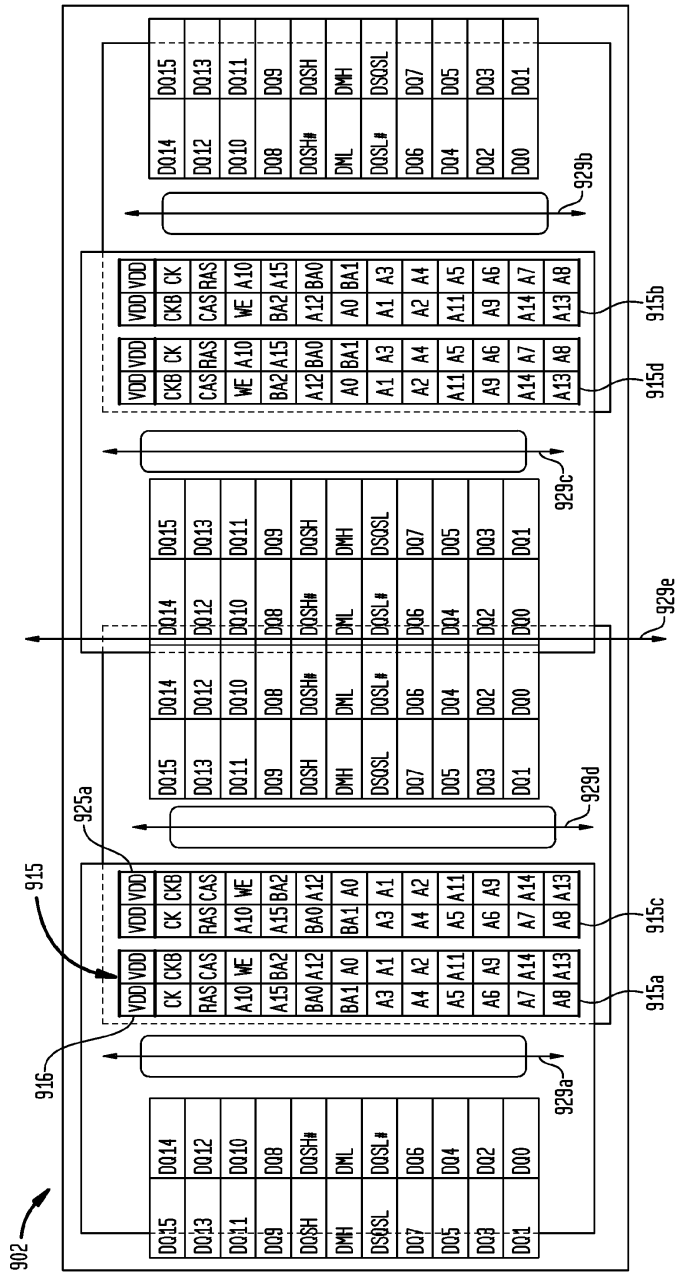


도면9c

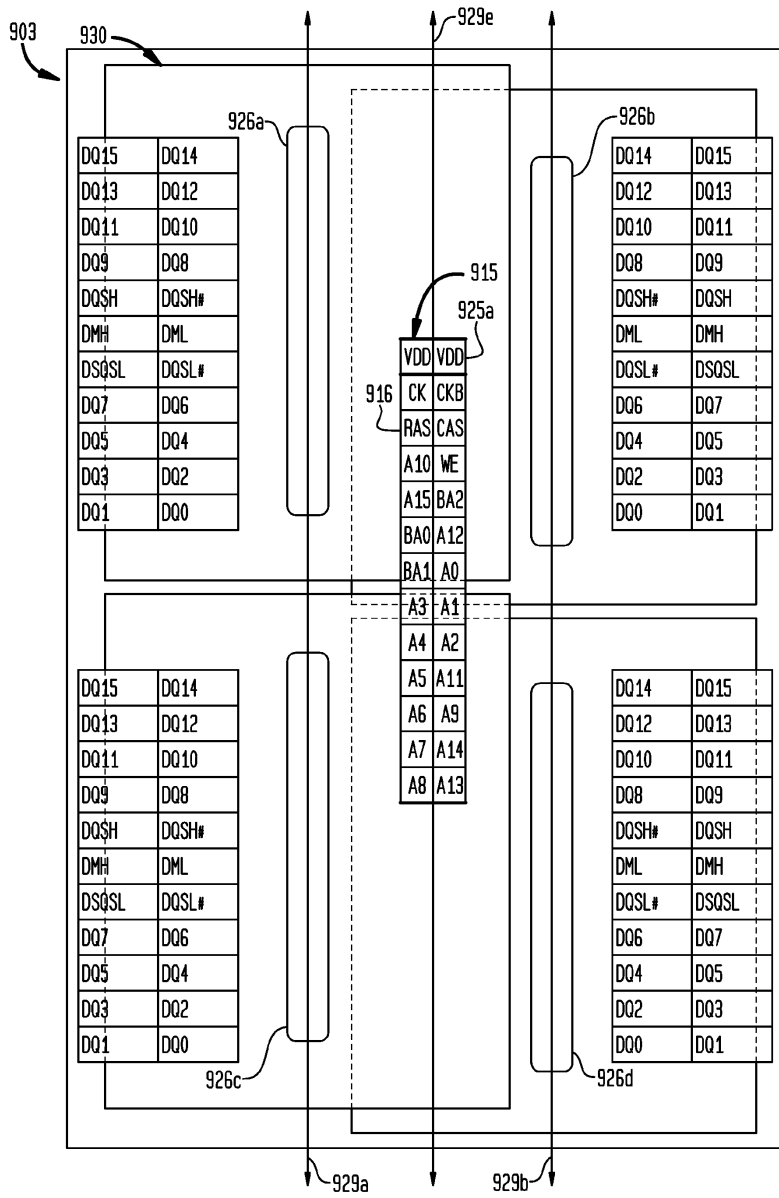




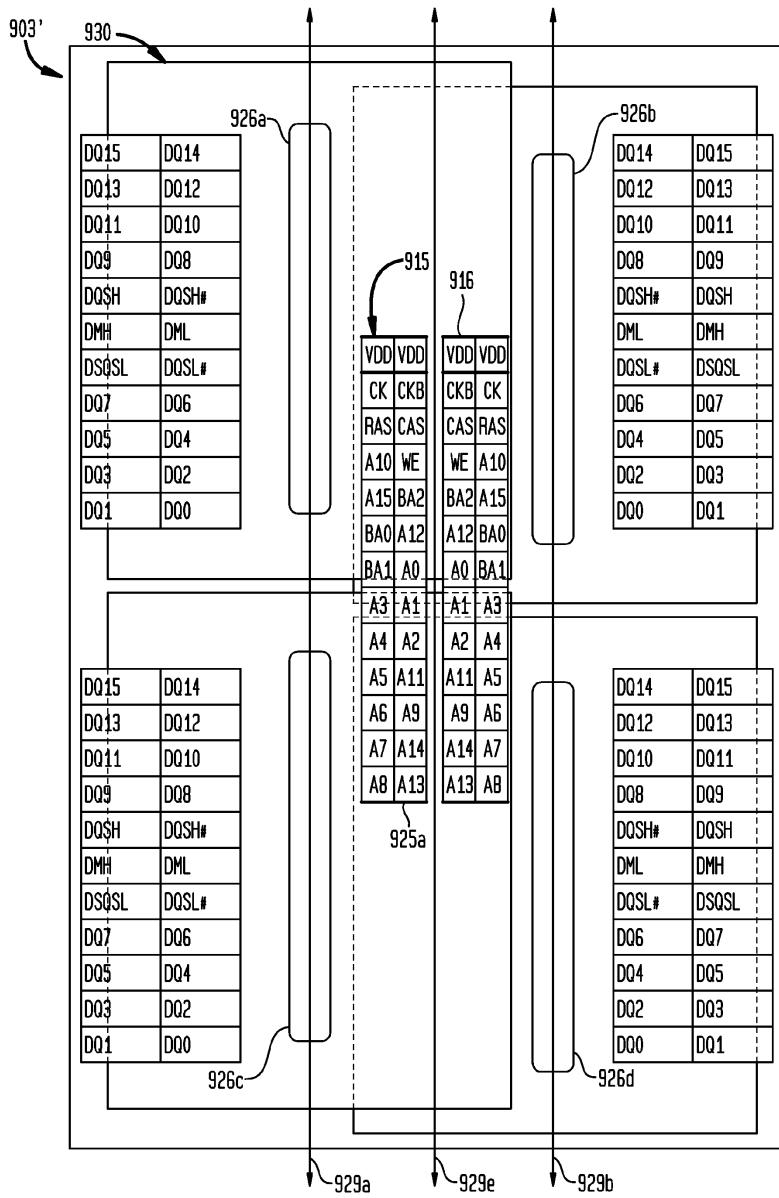
도면9d



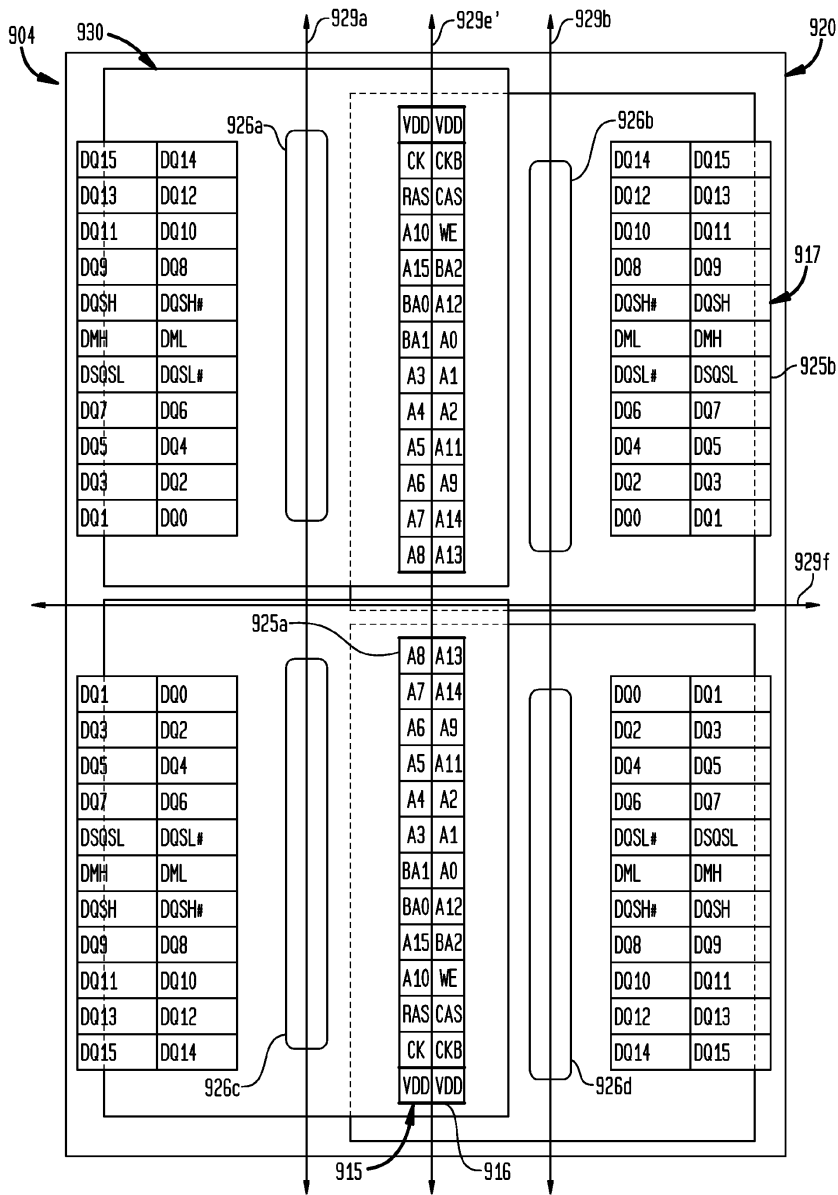
도면9e



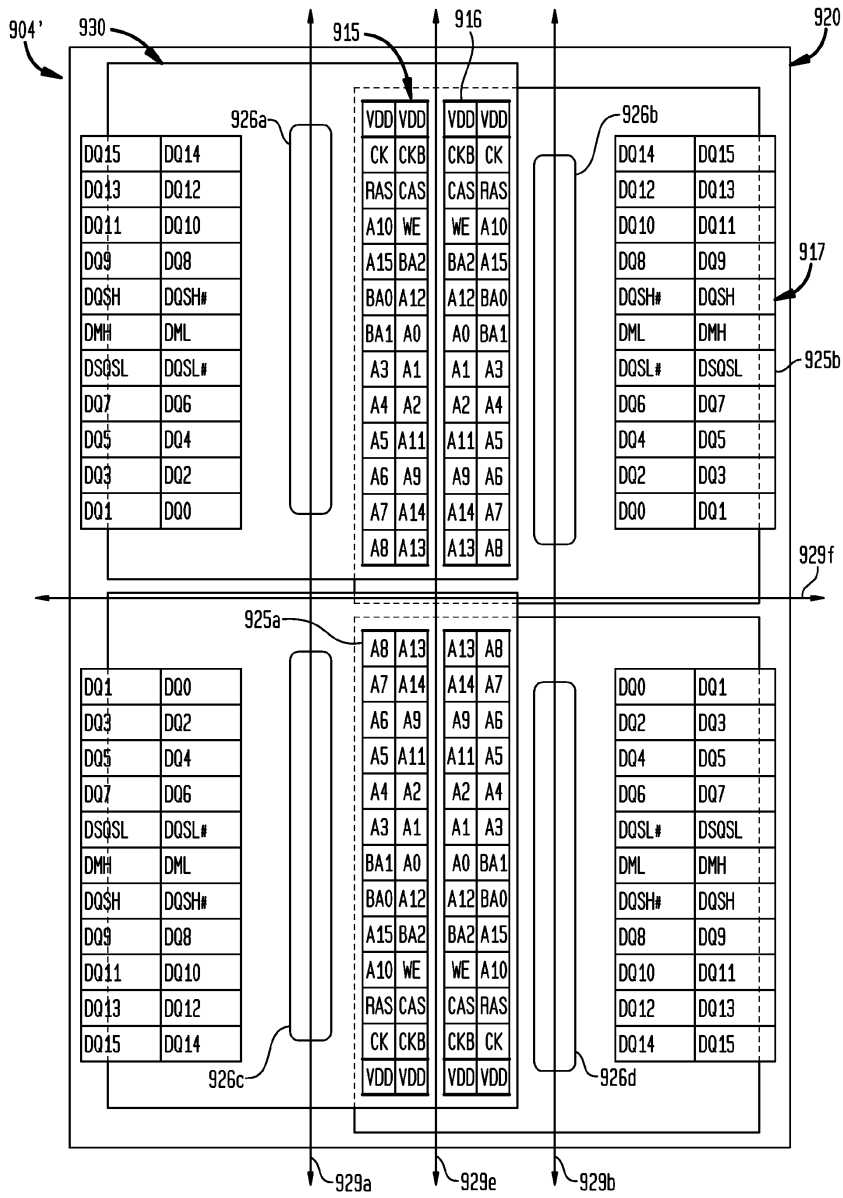
도면9f



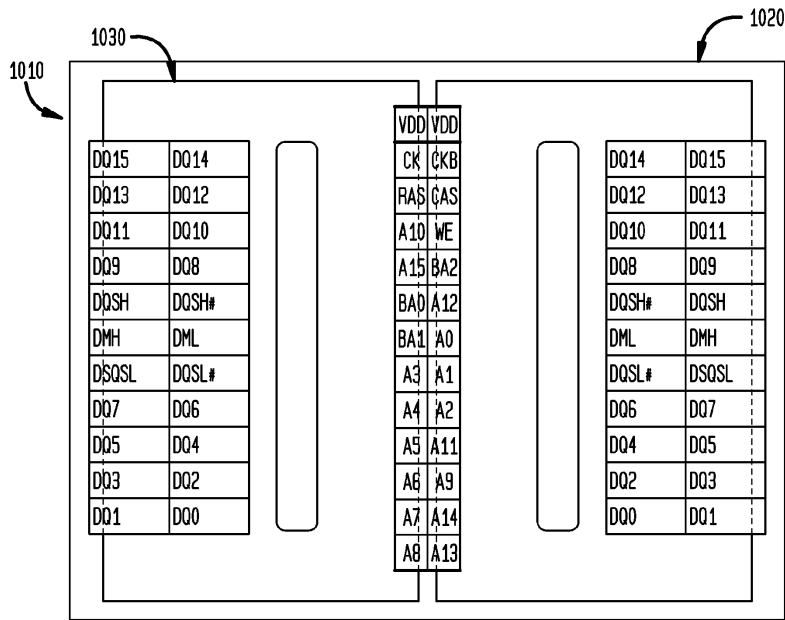
도면9g



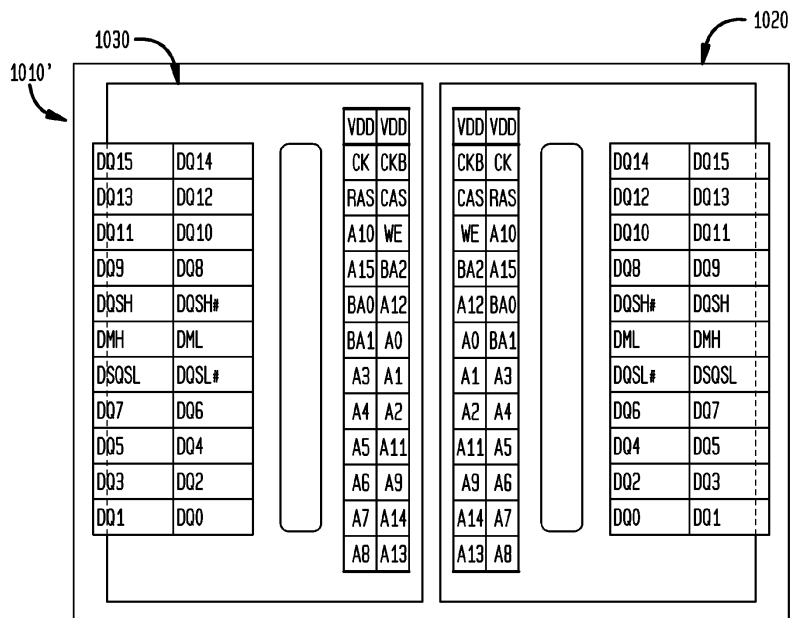
도면9h



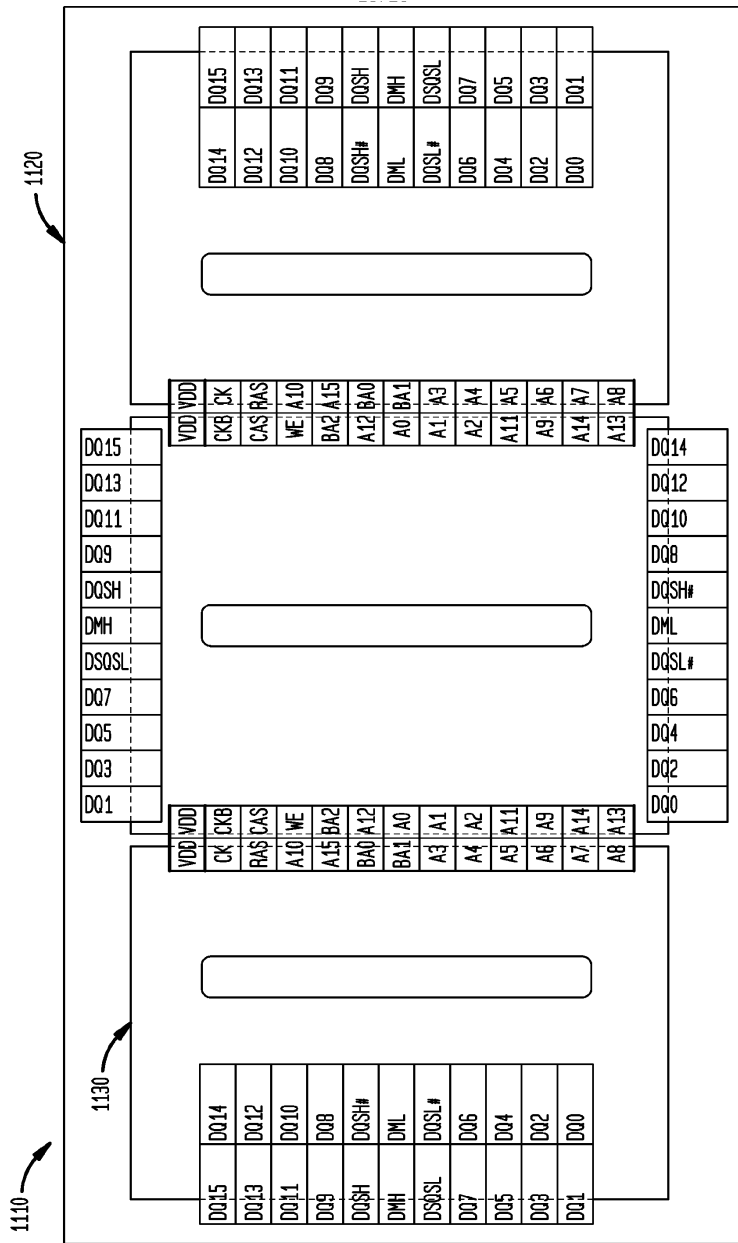
도면10a



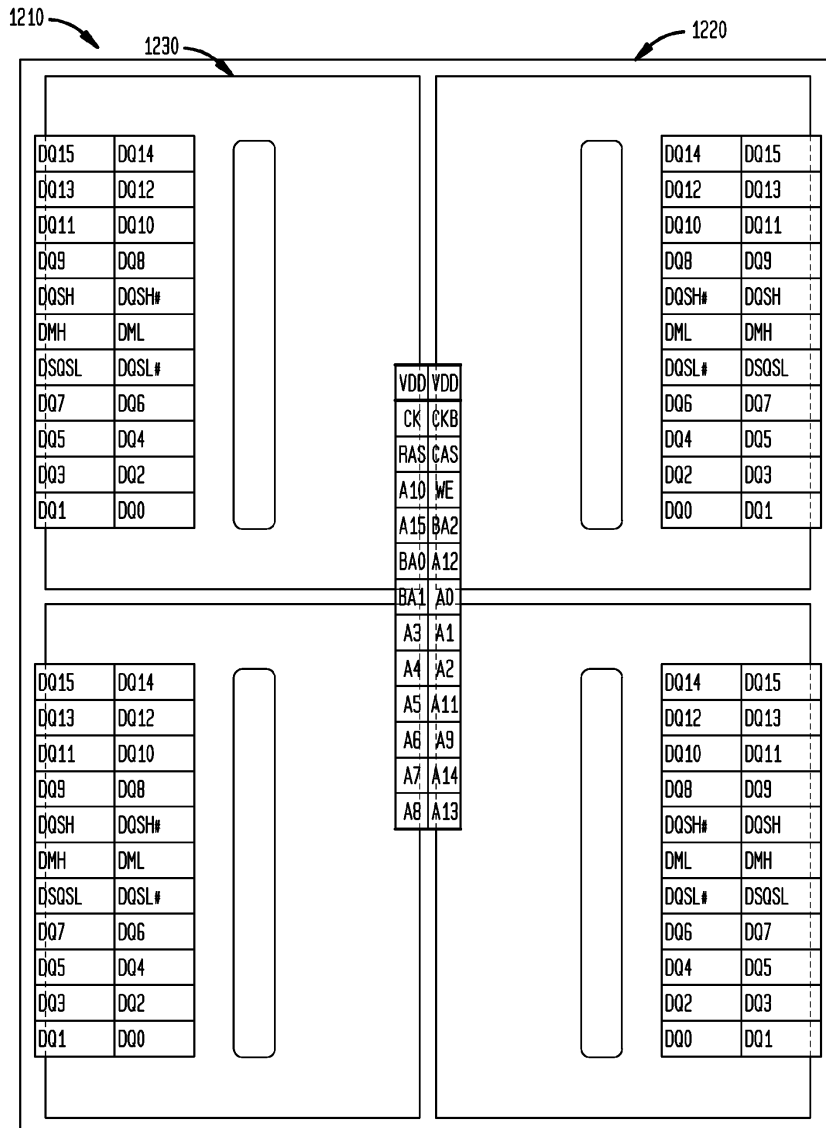
도면10b



도면11

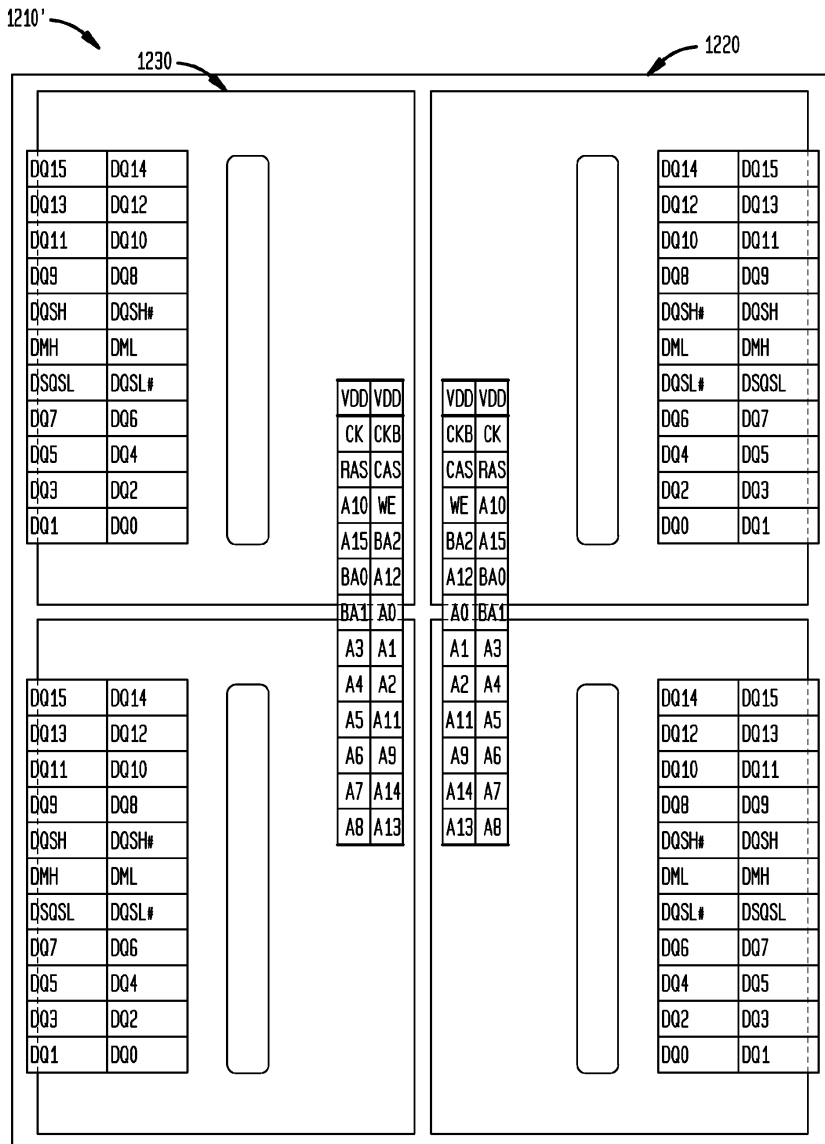


도면12a

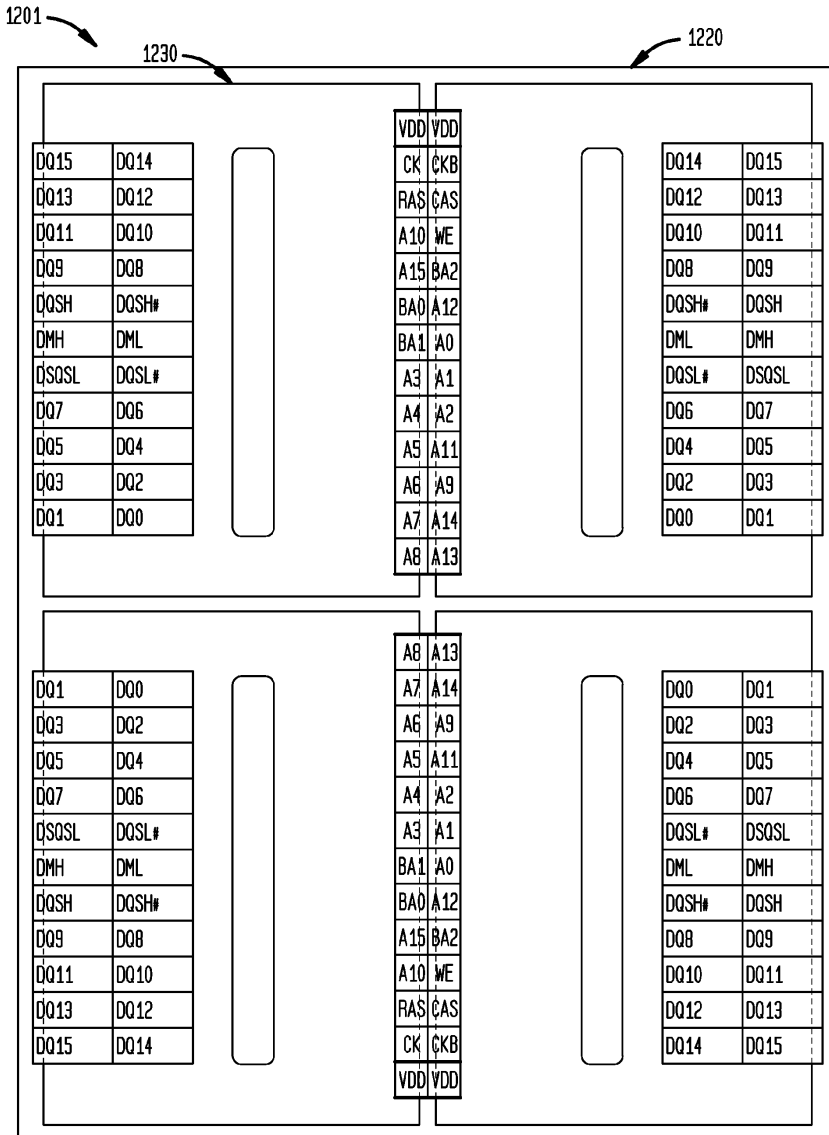




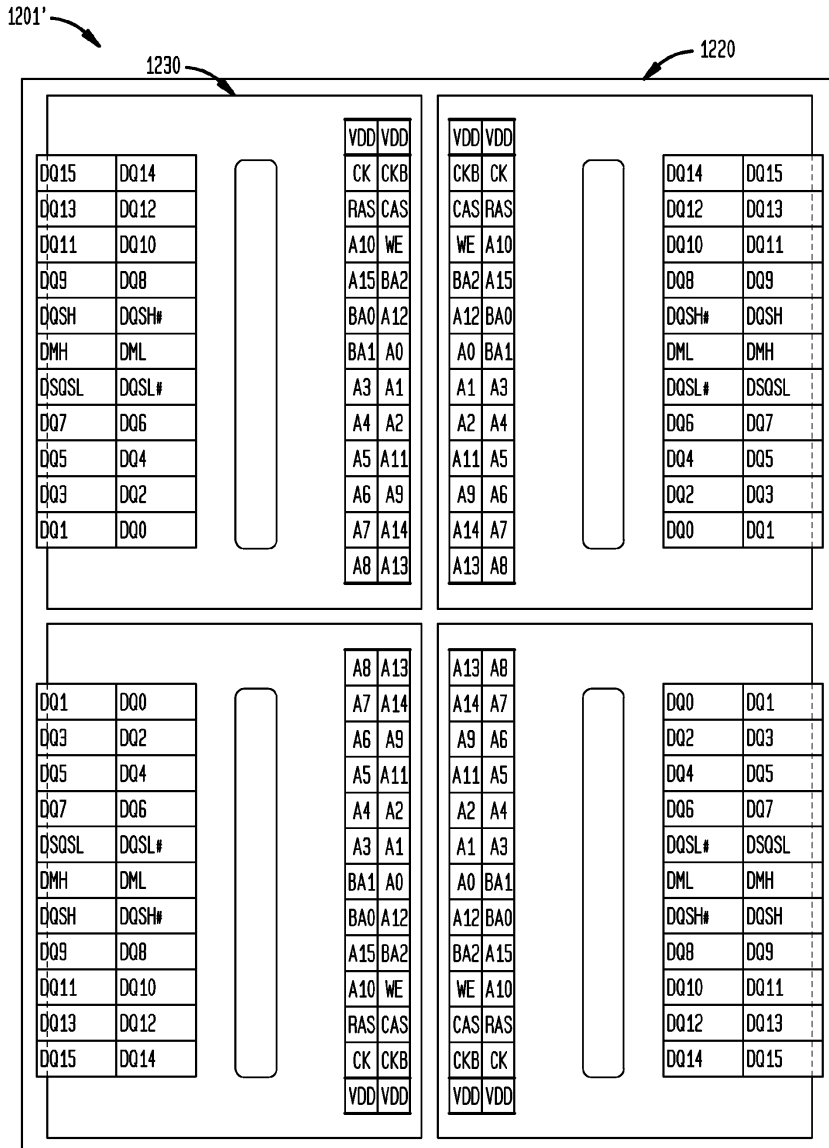
도면12b



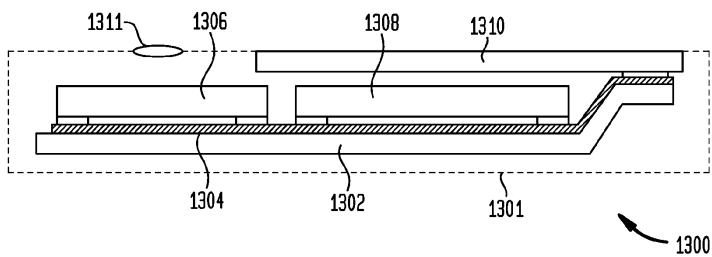
도면12c



도면12d



도면13



도면14

