(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3846057号
(P3846057)

(45)発行日　平成18年11月15日(2006.11.15)　(24)登録日　平成18年9月1日(2006.9.1)

(51)Int.Cl.			F I		
G02F	1/133	(2006.01)	G02F	1/133	505
G09G	3/36	(2006.01)	G09G	3/36	
H01L	29/786	(2006.01)	H01L	29/78	612C
			H01L	29/78	613A

請求項の数 15　(全 22 頁)

(21)出願番号　特願平10-250129
(22)出願日　平成10年9月3日(1998.9.3)
(65)公開番号　特開2000-81858(P2000-81858A)
(43)公開日　平成12年3月21日(2000.3.21)
審査請求日　平成15年3月18日(2003.3.18)

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100095728
弁理士　上柳　雅誉
(74)代理人　100107261
弁理士　須澤　修
(72)発明者　村出　正夫
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

審査官　藤田　都志行

最終頁に続く

(54)【発明の名称】電気光学装置の駆動回路及び電気光学装置並びに電子機器

(57)【特許請求の範囲】

【請求項１】

一対の基板間に電気光学物質が挟持されてなり、該一対の基板の一方の基板上に相交差する複数のデータ線及び複数の走査線を備えた電気光学装置の駆動回路であって、

前記一方の基板上にサンプリング制御信号に応じて画像信号をサンプリングして前記複数のデータ線に夫々供給する複数のサンプリングスイッチと、前記複数のサンプリングスイッチに対して相隣接するｎ（但し、ｎは２以上の整数）本のデータ線に接続されたサンプリングスイッチ毎に同時に前記サンプリング制御信号を供給するデータ線駆動回路とを備えており、

前記データ線駆動回路は各ラッチ回路から転送信号を順次出力するシフトレジスタ回路と、前記転送信号を前記サンプリング制御信号として出力するためのバッファ回路とを備えており、

前記バッファ回路は、直列接続されたｍ（但し、ｍは１以上の整数）段のインバータを前記各ラッチ回路に対応して夫々含み、

少なくとも１つの前記インバータを構成する全てのトランジスタは、前記一方の基板上でチャネル幅の方向が前記データ線に交差する方向に延在されてなることを特徴とする電気光学装置の駆動回路。

【請求項２】

前記トランジスタのチャネルは相隣接する２本以上ｎ本以下のデータ線のピッチ内の幅を有することを特徴とする請求項１に記載の電気光学装置の駆動回路。

【請求項３】
前記バッファ回路は、少なくとも２段の直列接続されたインバータを前記各ラッチ回路に対応して夫々含み、
前記各ラッチ回路側から数えてｉ＋１段目のインバータの有する前記トランジスタの前記チャネル幅が、ｉ段目のインバータの有する前記トランジスタの前記チャネル幅より大きいことを特徴とする請求項１又は２に記載の電気光学装置の駆動回路。
【請求項４】
前記ｍ段のインバータは、蛇行しており、前記シフトレジスタ回路に近い側から前記データ線に交差する第1方向に伸びる第1部分と該第１部分から前記第1方向と逆の方向に伸びる第２部分とが前記走査線に交差する方向に順に配列されていることを特徴とする請求項３に記載の電気光学装置の駆動回路。
【請求項５】
前記第１及び第２部分間で、前記第１方向に伸びる電源配線を共用することを特徴とする請求項４に記載の電気光学装置の駆動回路。
【請求項６】
前記バッファ回路は、１段のインバータを前記各ラッチ回路に対応して夫々含み、
前記１段のインバータは、前記データ線に交差する方向に夫々伸びると共に前記走査線に交差する方向に順に配列されるように並列接続された複数のインバータからなることを特徴とする請求項１又は２に記載の電気光学装置の駆動回路。
【請求項７】
前記並列接続された複数のインバータ間で、前記データ線に交差する方向に伸びる電源配線を共用することを特徴とする請求項６に記載の電気光学装置の駆動回路。
【請求項８】
前記トランジスタは、相補型トランジスタからなることを特徴とする請求項１乃至７のいずれか一項に記載の電気光学装置の駆動回路。
【請求項９】
前記データ線駆動回路は、前記ラッチ回路と前記バッファ回路との間に夫々、前記転送信号の信号幅を所定値に制限する位相調整回路を更に含むことを特徴とする請求項１乃至８のいずれか一項に記載の電気光学装置の駆動回路。
【請求項１０】
前記一方の基板上には、複数の画像信号線が前記走査線に沿って配列されており、前記バッファ回路は、前記複数の画像信号線と前記シフトレジスタ回路との間における前記基板上領域に形成されることを特徴とする請求項１乃至９のいずれか一項に記載の電気光学装置の駆動回路。
【請求項１１】
前記画像信号は、ｎ本にシリアルーパラレル変換されており、ｎ本の画像信号線を介して前記サンプリング回路に供給されることを特徴とする請求項１乃至１０のいずれか一項に記載の電気光学装置の駆動回路。
【請求項１２】
請求項１から１１のいずれか一項に記載の電気光学装置の駆動回路を備えたことを特徴とする電気光学装置。
【請求項１３】
前記一方の基板上には、マトリクス状に配置された複数の画素電極と、該複数の画素電極を夫々駆動する複数のトランジスタとを更に備えており、
前記複数のデータ線及び走査線は、前記複数のトランジスタに夫々接続されていることを特徴とする請求項１２に記載の電気光学装置。
【請求項１４】
基板上にサンプリング制御信号に応じて画像信号をサンプリングして複数のデータ線に夫々供給する複数のサンプリングスイッチと、前記複数のサンプリングスイッチに対して相隣接するｎ（但し、ｎは２以上の整数）本のデータ線に接続されたサンプリングスイッ

チ毎に同時に前記サンプリング制御信号を供給するデータ線駆動回路とを備えており、
前記データ線駆動回路は各ラッチ回路から転送信号を順次出力するシフトレジスタ回路と、前記転送信号を前記サンプリング制御信号として出力するためのバッファ回路とを備えており、
前記バッファ回路は、直列接続されたｍ（但し、ｍは１以上の整数）段のインバータを前記各ラッチ回路に対応して夫々含み、
前記バッファ回路の入力側から出力側への向きは、前記データ線に交差する方向に延在されてなることを特徴とする電気光学装置。
【請求項１５】
請求項１２乃至１４のいずれか一項に記載の電気光学装置を備えたことを特徴とする電子機器。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、薄膜トランジスタ（以下適宜、ＴＦＴと称す）等のトランジスタ駆動によるアクティブマトリクス駆動方式の液晶装置等の電気光学装置を駆動するためのデータ線駆動回路等を含む駆動回路及びそのような駆動回路を内蔵する型の電気光学装置の技術分野に属し、特に、高ドット周波数やカラー画像信号に対応すべく複数のデータ線を同時に駆動する駆動方式を採る電気光学装置の駆動回路及びそのような駆動回路を内蔵する型の電気光学装置の技術分野に属する。
【０００２】
【従来の技術】
この種の電気光学装置の駆動回路は、電気光学装置の画像表示領域に配線されたデータ線や走査線に画像信号や走査信号を所定タイミングで供給するためのデータ線駆動回路、走査線駆動回路、サンプリング回路等を含んで構成されている。
【０００３】
このような駆動回路は、線順次駆動方式を採る場合には、外部から１本の画像信号線上に供給される画像信号を、データ線駆動回路から各データ線に対応して順次供給されるサンプリング制御信号に応じて、各データ線に対応して設けられた複数のサンプリングスイッチにより夫々サンプリングして、各データ線に線順次で供給するように構成されている。また一般に、データ線駆動回路は、基準クロックに応じて転送信号を順次出力する複数配列されたラッチ回路を含むシフトレジスタ回路を備えている。更に、このラッチ回路とサンプリング回路との間に、バッファ回路を介在させることにより、転送信号の波形を整形して前述のサンプリング制御信号とすると共に、ラッチ回路の駆動能力がサンプリングスイッチを駆動するのに十分でなくても、バッファ回路によりサンプリングスイッチの負荷に十分対応できるように構成されている。
【０００４】
ここで、近時における表示画像の高品位化の要請の下、液晶装置等の電気光学装置におけるドット周波数は、例えばＸＧＡ方式、ＳＸＧＡ方式、ＥＷＳ方式の如くに益々高められて来ている。このようにドット周波数が高くなると、前述したサンプリングスイッチにおけるサンプリング能力が不足したり、駆動回路を構成する各ＴＦＴにおける遅延時間が表示画像の品位に悪影響を及ぼすようになる。例えば、次のデータ線に前のデータ線用の画像信号が書込まれてゴーストやクロストークが生じたりする問題点が生じる。しかるに、これに対処するためにサンプリングスイッチや各ＴＦＴの性能自体を高めるのでは、コストの顕著な上昇を招いてしまう。
【０００５】
このため最近では、例えば画像信号を予めシリアル－パラレル変換して複数のパラレルな画像信号に分けた後、或いはカラー画像信号の場合に色毎のパラレルな画像信号に分けた後に、電気光学装置に設けられた複数の画像信号線上に供給するようにし、サンプリング回路においては複数のシリアル－パラレル等されたパラレルな画像信号を同時にサンプリ

ングして、複数本（例えば、６本、１２本、２４本など）のデータ線に同時に供給する技術が開発されている。この技術によれば、同時に駆動するデータ線の本数ｎに応じて、各サンプリングスイッチがサンプリングする時間を、約ｎ倍に出来るため、駆動回路における駆動周波数を実質的に１／ｎ程度にまで下げることが出来る。即ち、前述のように、サンプリングスイッチや各ＴＦＴの性能自体を向上させる必要なく、高ドット周波数に対処することが可能となる。

【０００６】

このように複数のデータ線を同時駆動する場合、複数のサンプリングスイッチに対して同時に或いは同一のサンプリング制御信号を供給するために、データ線駆動回路では、複数のサンプリングスイッチの負荷の合計に耐え得るだけの駆動能力が必要となる。即ち、前述のラッチ回路とサンプリングスイッチとの間に介在するバッファ回路の駆動能力を複数のサンプリングスイッチの負荷の合計に応じて高めねばならない。このためには、バッファ回路に含まれるインバータを構成するＴＦＴのサイズを大きくすればよい。但し、単純にこのＴＦＴのサイズを大きくしたのでは、今度は、このＴＦＴを転送信号で駆動するラッチ回路における駆動能力を高める必要性が生じてしまい、特に通常消費電力が大きいことが当該電気光学装置の分野において問題視されるシフトレジスタ回路における消費電力が一層増加してしまう。そこで、バッファ回路を直列接続された複数段のインバータから構成して、バッファ回路における駆動能力を各インバータ毎に段階的に高める構成が一般に採られている。即ち、バッファ回路のラッチ回路側の段のインバータを構成するＴＦＴのサイズは小さく、且つバッファ回路のサンプリングスイッチ側の段のインバータを構成するＴＦＴのサイズは大きくなる構成が採られている。

【０００７】

他方、上述の如き駆動回路を液晶装置等の電気光学装置の本体を構成する基板上に設けた駆動回路内蔵型の電気光学装置が開発されている。この駆動回路内蔵型の電気光学装置は、駆動回路を別基板上に形成して外付けする型の電気光学装置と比べて、装置全体の小型化やコスト低下を図る上で有利である。

【０００８】

【発明が解決しようとする課題】

しかしながら、前述した複数段のインバータから構成されるバッファ回路を、前述した駆動回路内蔵型の液晶装置に設けようとすると、液晶装置等の基板上領域における大型化したバッファ回路による占有面積や非有効利用面積の増加が問題となる。特に、前述した従来の線順次駆動方式の液晶装置のように、データ線に沿って縦方向に長手状に伸びるＴＦＴから各インバータを構成して、これをデータ線に沿って縦方向に複数段直列に接続したのでは、通常画像信号線とシフトレジスタ回路との間に存在する走査線に沿った横長の基板上領域に占める、バッファ回路による非有効利用面積の割合が顕著に大きくなってしまうという問題点がある。そして、最終的には、画像表示領域の上又は下のデータ線駆動回路を形成するための非画像表示領域が広がってしまい、装置全体の小型軽量化や同一装置サイズにおける画像表示領域の大型化という、当該電気光学装置の技術分野における一般的要請に反する事態を招くという問題点がある。

【０００９】

本発明は上述した問題点に鑑みなされたものであり、駆動回路内蔵型であり且つ複数のデータ線を同時駆動する駆動方式を採る液晶装置等の電気光学装置において、基板上領域を効率的に利用することにより、装置の小型化又は同一装置サイズにおける画像表示領域の大型化を可能ならしめる電気光学装置の駆動回路及び該駆動回路を内蔵する電気光学装置を提供することを課題とする。

【００１０】

【課題を解決するための手段】

本発明の電気光学装置の駆動回路は上記課題を解決するために、一対の基板間に電気光学物質が挟持されてなり、該一対の基板の一方の基板上に相交差する複数のデータ線及び複数の走査線を備えた電気光学装置の駆動回路であって、前記一方の基板上に、サンプリン

グ制御信号に応じて画像信号をサンプリングして前記複数のデータ線に夫々供給する複数のサンプリングスイッチと、前記複数のサンプリングスイッチに対して相隣接するｎ（但し、ｎは２以上の整数）本のデータ線に接続されたサンプリングスイッチ毎に同時に前記サンプリング制御信号を供給するデータ線駆動回路とを備えており、前記データ線駆動回路は転送信号を順次出力するシフトレジスタ回路と、前記転送信号を前記サンプリング制御信号として出力するためのバッファ回路とを備えており、前記バッファ回路を構成する少なくとも１つのトランジスタは、前記一方の基板上でチャネル幅の方向が前記データ線に交差する方向に延在されてなることを特徴とする。

【００１１】

本発明の電気光学装置の駆動回路によれば、データ線駆動回路により、サンプリング制御信号が相隣接するｎ本のデータ線に接続されたサンプリングスイッチ毎に同時に、ｎ個のサンプリングスイッチに供給される。この際、データ線駆動回路では、シフトレジスタ回路により転送信号が順次出力され、この転送信号がバッファ回路を介して、上述のサンプリング制御信号として出力される。すると、各サンプリングスイッチにより、画像信号が、サンプリング制御信号に応じてサンプリングされて、複数のデータ線に夫々供給される。このように、複数のサンプリングスイッチを同時駆動することにより、例えばＸＧＡ、ＳＸＧＡ、ＥＷＳ等のドット周波数の高い画像信号に対応しても、データ線を駆動することが可能となる。

【００１２】

ここで特に、バッファ回路に含まれるトランジスタの少なくともいずれかひとつは、一方の基板上でチャネル幅の方向がデータ線に交差する方向（例えば、走査線に平行な又はほぼ平行な方向）である。従って、従来の線順次駆動方式における各ラッチ回路に対応してインバータを含むバッファ回路のように、インバータを構成するトランジスタをそのチャネル幅が１本のデータ線の幅（即ち、データ線のピッチ）に収まるように配置する場合と比較して、本発明では、チャネル幅が広い（即ち、より大負荷のサンプリング回路を駆動可能な、駆動能力の高い大サイズの）トランジスタを設けることが可能となる。

【００１３】

或いは、従来の線順次駆動方式におけるシフトレジスタの出力に対応してインバータを含むバッファ回路のように、インバータを構成するＴＦＴをそのチャネル幅の方向がデータ線に平行な縦方向に一致させつつ、データ線のピッチに収まるように配置する場合と比較して、基板上のデータ線に平行な縦方向の領域内でチャネル幅が広く大サイズのＴＦＴをインバータ用に設けることが可能となる。

【００１４】

本発明の一態様では、前記トランジスタのチャネルは相隣接する２本以上ｎ本以下のデータ線ピッチ内の幅を有することを特徴とする。

【００１５】

この態様によれば、従来の線順次駆動方式では、データ線のピッチに対応する縦長のトランジスタを基板上にレイアウトしていたが、本発明では、同時駆動されるｎ本のデータ線の合計幅に収まるようにしつつチャネル幅の方向がデータ線に交差する方向であるようにして、シフトレジスタ回路及びサンプリング回路との間における走査線に沿って長手状に伸びる基板上領域を効率的に利用して、複数本のデータ線の合計幅に対応する横長で大サイズのトランジスタを基板上にレイアウトすることが可能となる。

【００１６】

以上の結果、本発明によれば、基板上領域の有効利用を図りつつ、同時駆動するデータ線数の増加に応じてサンプリング回路における負荷が大きくなっても、それを駆動可能な大サイズのトランジスタからなるインバータを含むバッファ回路を設けることができ、省スペース化された当該駆動回路により、高いドット周波数の場合にも良好な駆動動作が可能となる。

【００１７】

本発明の電気光学装置の駆動回路の一の態様では、前記バッファ回路は、直列接続された

m（但し、mは２以上の整数）段のインバータを前記各ラッチ回路に対応して夫々含む。

【００１８】

この態様によれば、インバータをm段にして各段のインバータを構成するトランジスタのサイズを段階的に大きくすることにより、インバータ全体で駆動可能なサンプリング回路における負荷を大きくでき、即ち同時駆動可能なサンプリングスイッチの数を増やすことが可能となる。

【００１９】

従って、特にラッチ回路側から見て初段のインバータを構成するトランジスタのサイズは比較的小さくて済むため、このトランジスタに転送信号を入力するラッチ回路を構成するトランジスタのサイズも小さくて済む。このため、複数のラッチ回路を含んで構成されるシフトレジスタ回路における低消費電力化を図ることも可能となる。

【００２０】

但し、インバータの段数（ｍ）を増加させると、これらのインバータを構成するトランジスタによる遅延時間の合計も増加する。従って実践上は、この遅延時間の合計が最終的に表示画像に悪影響を及ぼすことがない様に、ドット周波数や必要とされる仕様や画像品位等を勘案して、このインバータの段数（ｍ）を定めるようにする。

【００２１】

この態様では、前記各ラッチ回路側から数えてｉ＋１段目のインバータの有する前記トランジスタの前記チャネル幅が、ｉ段目のインバータの有する前記トランジスタの前記チャネル幅より大きくしてもよい。

【００２２】

このように構成すれば、各段のインバータを構成するトランジスタのサイズが段階的に大きくなるので、インバータ全体で駆動可能なサンプリング回路における負荷を大きくでき、同時駆動可能なサンプリングスイッチの数を増やすことが可能となる。

【００２３】

このバッファ回路が、m段のインバータを含む態様では、前記m段のインバータは、蛇行しており、前記シフトレジスタ回路に近い側から前記データ線に交差する第1方向に伸びる第1部分と該第１部分から前記第1方向と逆の方向に伸びる部分とが前記走査線に交差する方向に順に配列されてもよい。

【００２４】

このように構成すれば、蛇行している分だけ、インバータを構成するトランジスタのチャネル幅を広くとれる。例えば、Ｓ字に蛇行させれば、単純に第１方向に真っ直ぐにチャネル幅をとる場合と比較して約３倍の広さのチャネル幅を確保でき、従って、該チャネル幅の増加に応じて、トランジスタの駆動能力を高めることが可能となる。

【００２５】

この場合更に、前記第１及び第２部分間で、前記第１方向に伸びる電源配線を共用してもよい。

【００２６】

このように構成すれば、第１及び第２部分間で、第１方向に伸びる電源配線を共用するので、共用しない場合と比べて、バッファ回路全体における第１方向に直角な方向（例えば、データ線に沿った縦方向）の長さを、共用する電源配線の幅分だけ短くすることが可能となる。

【００２７】

本発明の電気光学装置の駆動回路の他の態様では、前記バッファ回路は、１段のインバータを前記各ラッチ回路に対応して夫々含む。

【００２８】

この態様によれば、バッファ回路を構成するインバータは１段であるため、バッファ回路全体の遅延時間は、当該１段のインバータを構成するトランジスタにおける遅延時間と完全に又はほぼ等しい。このため、インバータが複数段あって遅延時間が直列に加算される場合と比較して、遅延時間が短くて済む。

【００２９】
この態様では、前記１段のインバータは、前記データ線に交差する方向に夫々伸びると共に前記走査線に交差する方向に順に配列されるように並列接続された複数のインバータからなってもよい。
【００３０】
このように構成すれば、１段のインバータは、並列接続されており走査線に交差する方向（例えば、データ線に平行又はほぼ平行な方向）に順に配列された複数のインバータからなるので、同時駆動されるデータ線の合計幅に応じた広さを有する基板上領域を効率的に利用して当該インバータをレイアウトできる。
【００３１】
この場合更に、前記並列接続された複数のインバータ間で、前記データ線に交差する方向に伸びる電源配線を共用してもよい。
【００３２】
このように構成すれば、並列接続された複数のインバータ間で、データ線に交差する方向に伸びる電源配線を共用するので、共用しない場合と比べて、バッファ回路全体におけるこの方向に交差する方向（例えば、データ線に平行又はほぼ平行な方向）の長さを、共用する電源配線の幅分だけ短くすることが可能となる。
【００３３】
本発明の電気光学装置の駆動回路の他の態様では、前記トランジスタは、相補型トランジスタからなる。
【００３４】
この態様によれば、相補型トランジスタにより、各インバータの入力インピーダンスを上げることができ、駆動能力の小さいラッチ回路からの転送信号に基づいて、当該相補型トランジスタを介して大負荷のサンプリングスイッチが駆動可能となる。
【００３５】
本発明の電気光学装置の駆動回路の他の態様では、前記データ線駆動回路は、前記ラッチ回路と前記バッファ回路との間に夫々、前記転送信号の信号幅を所定値に制限する位相調整回路を更に含む。
【００３６】
この態様によれば、ラッチ回路とバッファ回路との間に介在する位相調整回路により、転送信号の信号幅（信号がハイレベルとされる時間）が所定値（所定時間幅）に制限されるので、ラッチ回路から相前後して出力される転送信号間での重なりが低減されるため、このような重なりに起因して発生する、相前後して駆動されるデータ線間（即ち、ｎ本おきのデータ線間）におけるクロストークやゴーストを未然に防止することが可能となる。
【００３７】
本発明の電気光学装置の駆動回路の他の態様では、前記一方の基板上には、複数の画像信号線が前記走査線に沿って配列されており、前記バッファ回路は、前記複数の画像信号線と前記シフトレジスタ回路との間における前記基板上領域に形成される。
【００３８】
この態様によれば、サンプリング回路は、複数の画像信号線上に供給される画像信号をサンプリング制御信号に応じてサンプリングする。ここで、バッファ回路は、複数の画像信号線とシフトレジスタ回路との間における基板上領域に形成されるので、画像信号線や走査線に沿った横長の領域に、横長のインバータを配置することにより、基板上領域の効率的利用が図られる。
【００３９】
本発明の電気光学装置の駆動回路の他の態様では、前記画像信号は、ｎシリアル－パラレル変換されており、ｎ本の画像信号線を介して前記サンプリング回路に供給される。
【００４０】
この態様によれば、画像信号は、ｎシリアル－パラレル変換されており、ｎ本の画像信号線を介してサンプリング回路に供給される。従って、例えばＸＧＡ、ＳＸＧＡ、ＥＷＳ等

の如くドット周波数が高い場合にも、比較的サンプリング能力の低い或いは遅延時間等についての性能の比較的低いサンプリング回路等を用いても、シリアル－パラレル変換により高品位の画像表示が可能となる。

【００４１】

本発明の電気光学装置は上記課題を解決するために、上述した本発明の電気光学装置の駆動回路を備える。

【００４２】

本発明の電気光学装置によれば、上述した本発明の駆動回路を備えているので、装置全体の小型化や同一サイズの装置における画像表示領域の大型化が可能であり、同時に高品位の画像表示が可能な液晶装置等の電気光学装置を実現できる。

【００４３】

本発明の電気光学装置の一の態様では、基板の一方の基板上には、マトリクス状に配置された複数の画素電極と、該複数の画素電極を夫々駆動する複数のトランジスタとを更に備えており、前記複数のデータ線及び走査線は、前記複数のトランジスタに夫々接続されている。

【００４４】

この態様によれば、高品位の画像表示が可能な所謂ＴＦＴアクティブマトリクス駆動方式の液晶装置等の電気光学装置を実現できる。

【００４５】

本発明の電子機器は上記課題を解決するために、上述した本発明の電気光学装置を備える。

【００４６】

この態様によれば、高品位な画像が可能な電気光学装置を備えた電子機器を提供することができる。

【００４７】

本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにする。

【００４８】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて説明する。

【００４９】

（液晶装置の第1実施形態）

本発明による電気光学装置の一例である液晶装置の第1実施形態の構成及び動作について、図１から図８を参照して説明する。

【００５０】

先ず、液晶装置の回路構成について図１のブロック図を参照して説明する。

【００５１】

図１は、液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路である。

【００５２】

図１において、本実施形態による液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素は、画素電極９ａを制御するためのＴＦＴ３０がマトリクス状に複数形成されており、画像信号が供給されるデータ線６ａが当該ＴＦＴ３０のソースに電気的に接続されている。

【００５３】

本実施形態では特に、データ線６ａに書き込む画像信号Ｓ１、Ｓ２、…、Ｓｎは、当該液晶装置に画像信号Ｓ１、Ｓ２、…、Ｓｎを供給する画像信号処理回路内のシリアル－パラレル変換回路によって予めｎ（ｎは２以上の整数）シリアル－パラレル変換されており、相隣接するｎ本のデータ線６ａからなるグループ毎に、シリアル－パラレル変換された画像信号を同時に供給するように構成されている。シリアル－パラレル変換数については一般には、ドット周波数が相対的に低いか或いは後述のサンプリング回路におけるサンプリ

ング能力が相対的に高ければ、例えば３シリアル－パラレル変換、６シリアル－パラレル変換等のように小さく設定してもよい。逆に、ドット周波数が相対的に高いか或いはサンプリング能力が相対的に低ければ、例えば１２シリアル－パラレル変換、２４シリアル－パラレル変換等のように大きく設定してもよい。尚、このシリアル－パラレル変換数としては、カラー画像信号が３つの色（赤、青、黄）に係る信号からなることとの関係から、３の倍数であると、ＮＴＳＣ表示やＰＡＬ表示等のビデオ表示をする際に制御や回路を簡易化する上で好ましい。また、近時のＸＧＡ方式、ＳＸＧＡ方式、ＥＷＳ方式等の高ドット周波数の場合には、既存のＴＦＴ製造技術に鑑みれば、例えば１２シリアル－パラレル変換、２４シリアル－パラレル変換等のようにシリアル－パラレル変換数を大きく設定するのが好ましい。

【００５４】

また、ＴＦＴ３０のゲートに走査線３ａが電気的に接続されており、所定のタイミングで、走査線３ａにパルス的に走査信号Ｇ１、Ｇ２、…、Ｇｍを、この順に線順次で印加するように構成されている。画素電極９ａは、ＴＦＴ３０のドレインに電気的に接続されており、スイッチング素子であるＴＦＴ３０を一定期間だけそのスイッチを閉じることにより、データ線６ａから供給される画像信号Ｓ１、Ｓ２、…、Ｓｎを所定のタイミングで書き込む。画素電極９ａを介して液晶に書き込まれた所定レベルの画像信号Ｓ１、Ｓ２、…、Ｓｎは、対向基板（後述する）に形成された対向電極（後述する）との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、印加された電圧に応じて入射光がこの液晶部分を通過不可能とされ、ノーマリーブラックモードであれば、印加された電圧に応じて入射光がこの液晶部分を通過可能とされ、全体として液晶装置からは画像信号に応じたコントラストを持つ光が出射する。ここで、保持された画像信号がリークするのを防ぐために、画素電極９ａと対向電極との間に形成される液晶容量と並列に蓄積容量７０を付加する。例えば、画素電極９ａの電圧は、ソース電圧が印加された時間よりも３桁も長い時間だけ蓄積容量７０により保持される。これにより、保持特性は更に改善され、コントラスト比の高い液晶装置が実現できる。

【００５５】

次に、図２を参照して、本実施形態の液晶装置の駆動回路を説明する。尚、図２は、上述のように走査線、データ線等が設けられた画像表示部と共に、該画像表示部の周辺における液晶装置の基板上に設けらた駆動回路を示すブロック図である。

【００５６】

図２において、液晶装置のＴＦＴアレイ基板１０上には、その中央付近に、図１で説明した走査線３ａ、データ線６ａ等が設けられた画像表示部１００ａが設けられており、その周辺には、データ線駆動回路１０１、走査線駆動回路１０４及びサンプリング回路３０１を含む駆動回路２００が設けられている。即ち、本実施形態の液晶装置は、ＴＦＴアレイ基板１０上に、駆動回路２００が形成された駆動回路内蔵型のＴＦＴアクティブマトリクス駆動方式の液晶装置として構成されている。

【００５７】

走査線駆動回路１０４は、外部の画像信号処理回路から供給される画像信号の垂直同期信号に応じた所定タイミングで、走査線３ａに対して走査信号Ｇ１、Ｇ２、…、Ｇｍをパルス的に線順次で供給する。

【００５８】

データ線駆動回路１０１は、走査線駆動回路１０４が走査線３ａに走査信号Ｇ１、Ｇ２、…、Ｇｍを送るのに合わせて、サンプリング制御信号線１１４を介してサンプリング制御信号Ｘ１、Ｘ２、…、Ｘｎをサンプリング回路３０１を構成する各サンプリングスイッチ３０２の制御端子に供給する。サンプリング回路３０１は、このサンプリング制御信号Ｘ１、Ｘ２、…、Ｘｎに応じて、画像信号線１１５に供給される画像信号をサンプリングして、データ線６ａに供給する。本実施形態では特に、１２シリアル－パラレル変換された画像信号ＶＩＤ１～ＶＩＤ１２に対応して相隣接する１２本のデータ線に接続されたサン

プリングスイッチ３０２が、同一サンプリング制御信号に応じて同時にオン状態とされ、これら１２本のデータ線６ａには同時に、画像信号ＶＩＤ１～ＶＩＤ１２のうちの夫々に対応する一つが供給される。

【００５９】

次に、図３及び図４を参照して、データ線駆動回路１０１及びサンプリング回路３０１のより詳細な構成についてその動作と共に説明する。尚、図３は、データ線駆動回路１０１を構成するラッチ回路４０１等を、サンプリング回路３０１等と共に示すブロック図であり、図４は、データ線駆動回路１０１内における各種の信号のタイミングチャートである。

【００６０】

図３において、データ線駆動回路１０１は、転送信号を順次出力するシフトレジスタ回路４００と、順次出力された転送信号を波形整形するバッファ回路５００とを備えて構成されている。シフトレジスタ回路４００は、直列接続された複数段の遅延型フリップフロップ回路等からなるラッチ回路４０１で構成されている。各ラッチ回路４０１に接続された複数の例えばＮＡＮＤ回路４０３等からなる位相調整回路４０２とを備える。バッファ回路５００は、直列接続された３段のインバータ５０１、５０２及び５０３を、同時駆動するサンプリングスイッチ３０２のグループ毎に備える。

【００６１】

図３及び図４に示すように、シフトレジスタ回路４００は、次のように構成されている。

【００６２】

即ち、画像信号ＶＩＤ１～ＶＩＤ１２の水平同期信号に同期したスタートパルスＳＰが外部の画像信号処理回路から入力されると、先ず左端段のラッチ回路４０１がＸ側基準クロック信号ＣＬＸ（及びその反転クロック信号ＣＬＸ’）に基づく転送動作を開始し、転送信号ＳＴ１を位相調整回路４０２中の対応するＮＡＮＤ回路４０３に出力すると共に転送信号ＳＴ１を次段のラッチ回路４０１に出力する。すると、この次段のラッチ回路４０１が、Ｘ側基準クロック信号ＣＬＸ（及びその反転クロック信号ＣＬＸ’）に基づく転送動作を開始し、転送信号ＳＴ１の立ち下がりのタイミングで立ち上がる転送信号ＳＴ２を位相調整回路４０２中の対応するＮＡＮＤ回路４０３に出力すると共に転送信号ＳＴ２を次段のラッチ回路４０１に出力する。そして以下同様の転送動作を各段のラッチ回路４０１により順次行って、一水平走査期間に転送信号ＳＴ１、ＳＴ２、…、ＳＴｎを一通り位相調整回路４０２に出力するように構成されている。

【００６３】

また、位相調整回路４０２は、左から数えて奇数段目の各ＮＡＮＤ回路４０３により、対応するラッチ回路４０１から入力される転送信号ＳＴ2i-1（但し、ｉは自然数）と位相調整信号ＥＮＢ１とのＮＡＮＤをとってバッファ回路５００に出力する。また、左から数えて偶数段目の各ＮＡＮＤ回路４０３により、対応するラッチ回路４０１から入力される転送信号ＳＴ2i（但し、ｉは自然数）と位相調整信号ＥＮＢ２とのＮＡＮＤをとってバッファ回路５００に出力するように構成されている。

【００６４】

バッファ回路５００は、各位相調整回路４０２の出力端子毎に、直列接続された３段のインバータ５０１、５０２及び５０３を含む。そして、後述するようにインバータ５０１、５０２及び５０３を構成するＴＦＴのサイズを段階的に大きくすることにより、インバータ全体で駆動可能なサンプリング回路３０１における負荷を大きくし、同時駆動可能なサンプリングスイッチ３０２の数を増やすように構成されている（図４参照）。

【００６５】

このように転送信号ＳＴ１、ＳＴ２、…、ＳＴｎは、位相調整回路４０２によりパルス幅が制限され、更にバッファ回路５００により波形整形されて、サンプリング制御信号Ｘ１、Ｘ２、…、Ｘｎとして、サンプリング回路３０１に出力される。

【００６６】

本実施の形態では特に、位相調整回路４０２によるパルス幅の制限により、相前後するサ

ンプリング制御信号Ｘ１、Ｘ２、…、Ｘｎは、信号パルス間に若干の時間間隔が存在するため（図４参照）、これらの信号パルスの重なりに起因した相前後して駆動されるデータ線６ａ間のゴーストやクロストークを抑制或いは防止できる。また、ラッチ回路４０１又は位相調整回路４０２の出力における駆動能力よりも、バッファ回路５００の出力における駆動能力の方が遥かに大きく設定されているため、サンプリング制御信号Ｘ１、Ｘ２、…、Ｘｎにより、一つのサンプリングスイッチ３０２よりも負荷が遥かに大きい複数のサンプリングスイッチ３０２を良好に同時駆動できる。

【００６７】

次に、図５及び図６を参照して、バッファ回路５００に含まれるインバータ５０１、５０２及び５０３を構成するＴＦＴの具体的な構成について説明する。図５は、バッファ回路５００及び画像信号線１１５並びにその付近におけるＴＦＴアレイ基板１０上に形成された素子及び配線レイアウトを示す拡大平面図である。１２シリアル－パラレル変換された画像信号が１２本の画像信号線１１５により供給されて、同一のサンプリング制御信号Ｘ１、Ｘ２、…により１２個のサンプリングスイッチ３０２が同時に駆動される例を示してある。また、図６は、図５に示したバッファ回路５００を、そのレイアウトに対応させて示した回路図である。

【００６８】

図５において、バッファ回路５００には、インバータ５０１、５０２及び５０３を駆動するための、高電圧配線６０１及び低電圧配線６０２が配線されている。

【００６９】

先ず、ラッチ回路４０１側から見て１段目のインバータ５０１を構成する相補型ＴＦＴのサイズは比較的小さい。即ち、図中横方向にコンタクトホール５０１ａが５個並ぶだけのチャネル幅を持ち、これはデータ線６ａのピッチの約２．５倍に相当する。従って、比較的高入力インピーダンスを持つこの相補型ＴＦＴに対して転送信号ＳＴ１、ＳＴ２、…を入力するラッチ回路４０１を構成するＴＦＴのサイズも小さくて済む。このため、複数のラッチ回路４０１を含んでなり、通常消費電力の大さが問題となるシフトレジスタ回路４００における低消費電力化を図れる。また、このように１段目のインバータ５０１を構成する小サイズの相補型ＴＦＴでは、ラッチ回路４０１から位相調整回路４０２を介して供給される転送信号用の配線４０４が延設されてゲート電極とされており、高電圧配線６０１の一部及び低電圧（グランド）配線６０２の引き出し配線６０２ａが、入力側のソース又はドレイン電極とされている。

【００７０】

そして、図５及び図６に示すように、１段目のインバータ５０１を構成する相補型ＴＦＴの出力側のソース又はドレイン電極が延設されて、２段目のインバータ５０２の相補型ＴＦＴのゲート電極とされている。

【００７１】

２段目のインバータ５０２を構成する相補型ＴＦＴのサイズはインバータ５０１の場合よりも大きい。即ち、図中横方向にコンタクトホール５０２ａが１０個並ぶだけのチャネル幅を持ち、これはデータ線６ａのピッチの約５倍に相当する。

【００７２】

本実施の形態では特に、計３段のインバータからなるバッファ回路５００は、ＴＦＴアレイ基板１０上を蛇行して設けられており、第１目及び第２段目のインバータ５０１及び５０２が図中右に向かって伸びているのに対し、３段目のインバータ５０３は、図中左に向かって伸びている。更に、図５に示すように、３段目のインバータ５０３は、２つの並列接続されたインバータからなる。これら２つのインバータの出力側のソース又はドレイン電極は、サンプリング制御信号線１１４に接続されている。即ち、３段目のインバータ５０３の出力電圧が、バッファ回路５００からのサンプリング制御信号（Ｘ１、Ｘ２、…）とされる。

【００７３】

３段目のインバータ５０３を構成する相補型ＴＦＴのサイズはインバータ５０２の場合よ

りも大きい。即ち、図中横方向にコンタクトホール５０３ａが２０個並ぶだけのチャネル幅を持ち、これはデータ線６ａのピッチの約１０倍に相当する。尚、図６中、電圧Ｖｃｃは高電圧配線６０１から供給される高電圧（例えば、５Ｖ、１５Ｖなど）を示し、電圧ＧＮＤは低電圧配線６０２から供給される低電圧（例えば、接地電圧）を示す。

【００７４】

ここで、以上説明した３段のインバータ５０１、５０２及び５０３の配列方式及び複数のバッファ回路５００の配列方式を図７（ａ）に示す。

【００７５】

図７（ａ）及び図６から明らかなように、本実施の形態では、各バッファ回路５００内において、３段のインバータ５０１、５０２及び５０３は蛇行しており、且つ３段目のインバータ５０３は並列接続された２つのインバータからなる。そして、各バッファ回路５００のＸ方向の幅は、同時に駆動される１２本のデータ線６ａの合計幅（ΔＷ）と一致するように平面レイアウトされている（図７（ａ）参照）。

【００７６】

このように、バッファ回路５００が蛇行している分だけ、インバータ５０１、５０２及び５０３を構成するＴＦＴのチャネル幅を広くとれ、このチャネル幅の増加に応じて、バッファ回路５００におけるＴＦＴの駆動能力を高めることが可能となる。

【００７７】

以上図５から図７（ａ）を参照して説明したように本実施の形態では特に、インバータ５０１、５０２及び５０３を構成する各ＴＦＴは、ＴＦＴアレイ基板１０上でチャネル幅の方向がＸ方向であると共にデータ線６ａのピッチの数倍から約１０倍に等しいチャネル幅を持つので、従来の線順次駆動方式における各ラッチ回路に対応してインバータを含むバッファ回路のようにインバータを構成するＴＦＴをそのチャネル幅がデータ線のピッチに収まるように配置する場合と比較して、チャネル幅が広く大サイズのＴＦＴをインバータ用に設けることが可能となる。或いは、従来の線順次駆動方式における各ラッチ回路に対応してインバータを含むバッファ回路のようにインバータを構成するＴＦＴをそのチャネル幅の方向がＹ方向に一致したレイアウトにおいて、データ線のピッチに収まるように配置する場合と比較して、Ｙ方向に限られた基板上領域内でチャネル幅が広く大サイズのＴＦＴをインバータ用に設けることが可能となる。

【００７８】

以上の結果、本実施形態によれば、基板上領域の有効利用を図りつつ、同時駆動するデータ線６ａの数の増加に応じて、サンプリング回路３０２における負荷が大きくなっても、それを駆動可能な大サイズのＴＦＴからなるインバータ５０１、５０２及び５０３を含むバッファ回路５００を設けることができ、省スペース化されたデータ線駆動回路１０１により、高いドット周波数の場合にも良好な駆動動作が可能となる。

【００７９】

更に、本実施の形態では特に、インバータ５０１、５０２及び５０３を構成するＴＦＴのチャネル幅が１段目から３段目に向かうに連れて大きくなるので、即ち、ＴＦＴのサイズが段階的に大きくなるので、インバータ全体で駆動可能なサンプリング回路３０１における負荷を効率的に大きくでき、同時駆動可能なサンプリングスイッチ３０２の数を効率的に増やすことが可能となる。特に、インバータ５０１、５０２及び５０３を構成する各ＴＦＴのチャネル幅を各段毎に２～４倍程度に大きくしているので、３段合計で、バッファ回路がない場合と比較して2^3～4^3＝８～６４倍程度の大きさの負荷のサンプリング回路３０１を駆動可能となる。また、本実施形態では特に、インバータ５０１、５０２及び５０３を構成する各ＴＦＴは、相補型ＴＦＴであるため、各段毎にチャネル幅をｅ倍（約２．７３倍）にすれば、所謂“ｅ倍の定理”に従って非常に効率良く駆動能力を高めることも可能となる。

【００８０】

また、本実施形態では特に、図５に示したように、インバータ５０１及び５０２を構成する各ＴＦＴと、インバータ５０３を構成する上側のＴＦＴとでは、低電圧配線６０２の引

き出し配線６０２ａを共用している。更に、インバータ５０３を構成する上側のＴＦＴと下側のＴＦＴとでは、高電圧配線６０１の引き出し配線６０１ａを共用している。従って、これらを共用しない場合と比べて、バッファ回路５００全体におけるＹ方向の長さを、引き出し配線６０１ａ１本分及び引き出し配線６０２ａ１本分だけ夫々短くすることが可能となる。例えば、電源配線の幅が１０μｍであれば、２本合計で、Ｙ方向に２０μｍの短縮が可能となる。

【００８１】

以上説明した第1実施形態では、各バッファ回路５００内における３段のインバータ５０１の配列及び各バッファ回路５００の配列は、図７（ａ）に示した通りであるが、これらの配列は、例えば、図７（ｂ）又は図７（ｃ）に示す通りであってもよい。即ち、図７（ｂ）に示すように、各バッファ回路５００’は、３段目のインバータ５０３’が、単一のインバータから構成されてもよい。または、図７（ｃ）に示すように、各バッファ回路５００”は、３段目のインバータ５０３’が、３つ以上並列に接続されたインバータ５０３”から構成されてもよい。３段目におけるインバータ５０３の駆動能力が、バッファ回路５００としてのサンプリング回路３０１を駆動する能力となるため、このように、３段目（最終段）のインバータ５０３を構成するＴＦＴのサイズ調整を行えることは装置設計上大変有利である。

【００８２】

尚、本実施形態におけるサンプリング回路３０１を構成するサンプリングスイッチ３０２の具体的な構成例としては、図８の回路図に示したものが挙げられる。

【００８３】

即ち、図８（１）に示すようにサンプリング回路３０１のＴＦＴは、Ｎチャネル型ＴＦＴ３０２ａから構成されてもよいし、図８（２）に示すようにＰチャネル型ＴＦＴ３０２ｂから構成されてもよいし、図８（３）に示すように相補型ＴＦＴ３０２ｃから構成されてもよい。なお、図８（１）から図８（３）において、図２に示した画像信号線１１５を介して入力される画像信号ＶＩＤは、ソース電圧として各ＴＦＴ３０２ａ～３０２ｃに入力される。同じく図２に示したデータ線駆動回路１０１からサンプリング制御信号線１１４を介して入力されるサンプリング制御信号１１４ａ、１１４ｂは、ゲート電圧として各ＴＦＴ３０２ａ～３０２ｃに入力される。また、Ｎチャネル型ＴＦＴ３０２ａにゲート電圧として印加されるサンプリング制御信号１１４ａと、Ｐチャネル型ＴＦＴ３０２ｂにゲート電圧として印加されるサンプリング制御信号１１４ｂとは、相互に反転信号である。従って、サンプリング回路３０１を相補型ＴＦＴ３０２ｃで構成する場合には、サンプリング制御信号１１４ａ、１１４ｂ用のサンプリング制御信号線１１４が少なくとも２本以上必要となる。また、サンプリング回路３０１を構成する各サンプリングスイッチ３０２は、製造効率等の観点から好ましくは、画素部におけるＴＦＴ３０と同一製造プロセスにより製造可能なＮチャネル型、Ｐチャネル型、相補型等のＴＦＴから構成される。

【００８４】

以上詳細に説明したように第１実施形態によれば、ＴＦＴアレイ基板１０上の領域を効率的に利用するようにバッファ回路５００をレイアウトしているので、液晶装置全体の小型化や同一サイズの装置における画像表示領域の大型化が可能となり、同時に、高ドット周波数にも対応可能であり高品位の画像表示が可能な液晶装置を実現できる。

【００８５】

（液晶装置の第２実施形態）

本発明による電気光学装置の一例である液晶装置の第２実施形態について、図９及び図１０を参照して説明する。図９は、バッファ回路及び画像信号線並びにその付近におけるＴＦＴアレイ基板１０上に形成された素子及び配線レイアウトを示す拡大平面図であり、図１０は、複数のインバータの配列方式及び複数のバッファ回路５００の配列方式を示すブロック図である。尚、図９及び図１０において、図５及び図７に示した第１実施形態の場合と同様の構成要素については同じ参照符号を付し、その説明は省略する。

【００８６】

第２実施形態の液晶装置は、バッファ回路の構成が、第１実施形態の場合と異なり、その他の構成についてはこれと同様であるので、以下、バッファ回路について説明する。

【００８７】

図９及び図１０において、第２実施形態では、バッファ回路１５００は、１段のインバータ１５０１を各ラッチ回路４０１に対応して夫々含む。そして、この１段のインバータ１５０１は、Ｘ方向に夫々伸びると共にＹ方向に順に配列されるように並列接続された複数のインバータからなっている。より具体的には、ラッチ回路４０１から位相調整回路４０２を介して入力される転送信号用の配線１４０４が延設されて、チャネル幅の方向がＸ方向に一致しており並列接続された３つのインバータを夫々構成する相補型ＴＦＴのゲート電極とされており、これらの相補型ＴＦＴの出力側のソース又はドレインが、サンプリング制御信号線１１４に接続されている。

【００８８】

第２実施形態によれば、１段のインバータ１５０１は、並列接続されておりＹ方向に順に配列された複数のインバータからなるので、同時駆動される１２本のデータ線６ａの合計幅ΔＷに応じた広さを有する基板上領域を効率的に利用して（図１０参照）、当該インバータ１５０１をレイアウトできる。更に、バッファ回路１５００を構成するインバータ１５０１は１段であるため、バッファ回路１５００全体の遅延時間は、当該１段のインバータ１５０１を構成するＴＦＴにおける遅延時間と完全に又はほぼ等しい。このため、第1実施形態のようにインバータ５０１、５０２及び５０３が複数段あって遅延時間が直列に加算される場合と比較して、遅延時間が短くて済む。

【００８９】

但し、この場合には、当該１段のインバータ１５０１の負荷に耐え得るだけの駆動能力が、その前段に位置するラッチ回路４０１及び位相調整回路４０２において必要とされる。

【００９０】

また、第２実施形態においても、図５に示した第１実施形態の場合と同様に、図９に示したように、並列接続された複数のインバータ間で、Ｘ方向に伸びる電圧配線６０１及び６０２の引き出し配線６０１ａ及び６０２ｂが共用されている。このため、共用しない場合と比べて、バッファ回路１５００全体におけるＹ方向の長さを、電圧配線２本分（例えば、１０μｍ×２＝２０μｍ）だけ短くすることが可能となる。

【００９１】

（液晶装置の全体構成）

以上のように構成された液晶装置の各実施形態の全体構成を図１１及び図１２を参照して説明する。尚、図１１は、ＴＦＴアレイ基板１０をその上に形成された各構成要素と共に対向基板２０の側から見た平面図であり、図１２は、対向基板２０を含めて示す図１６のＨ－Ｈ’断面図である。

【００９２】

図１１において、ＴＦＴアレイ基板１０の上には、シール材５２がその縁に沿って設けられており、その内側に並行して、周辺見切りとしての遮光膜５３が設けられている。シール材５２の外側の領域には、データ線駆動回路１０１及び実装端子１０２がＴＦＴアレイ基板１０の一辺に沿って設けられており、走査線駆動回路１０４が、この一辺に隣接する２辺に沿って設けられている。走査線３ａに供給される走査信号遅延が問題にならないのならば、走査線駆動回路１０４は片側だけでも良いことは言うまでもない。また、データ線駆動回路１０１を画像表示領域の辺に沿って両側に配列してもよい。例えば奇数列のデータ線は画像表示領域の一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータ線は前記画像表示領域の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしてもよい。この様にデータ線６ａを櫛歯状に駆動するようにすれば、データ線駆動回路１０１の占有面積を拡張することができるため、複雑な回路を構成することが可能となる。更にＴＦＴアレイ基板１０の残る一辺には、画像表示領域の両側に設けられた走査線駆動回路１０４間をつなぐための複数の配線１０５が設けられている。また、対向基板２０のコーナー部の少なくとも１箇所においては、ＴＦ

Ｔアレイ基板１０と対向基板２０との間で電気的導通をとるための上下導通材１０６が設けられている。そして、図１２に示すように、図１１に示したシール材５２とほぼ同じ輪郭を持つ対向基板２０が当該シール材５２によりＴＦＴアレイ基板１０に固着されており、ＴＦＴアレイ基板１０と対向基板２０により液晶層５０が封入された液晶装置が構成されている。また、対向基板２０の液晶層５０に面する側には、各画素の開口領域を規定し、コントラスト比の向上や隣接画素間における混色の防止のための一般にブラックマスク又はブラックマトリクスと称される遮光膜２３が設けられている。

【００９３】

以上図１から図１２を参照して説明した各実施形態における液晶装置のＴＦＴアレイ基板１０上には更に、画像信号のデータ線６ａへの書込み負荷軽減のために各データ線６ａについて画像信号に先行するタイミングで所定電位のプリチャージ信号を書き込むプリチャージ回路を形成してもよいし、製造途中や出荷時の当該液晶装置の品質、欠陥等を検査するための検査回路等を形成してもよい。また、データ線駆動回路１０１、走査線駆動回路１０４等の周辺回路の一部を、ＴＦＴアレイ基板１０の上に設ける代わりに、例えばＴＡＢ（テープオートメイテッドボンディング基板）上に実装された駆動用ＬＳＩに、ＴＦＴアレイ基板１０の周辺部に設けられた異方性導電フィルムを介して電気的及び機械的に接続するようにしてもよい。

【００９４】

また、以上の各実施形態において、ＴＦＴアレイ基板１０上においてＴＦＴ３０に対向する位置（即ち、ＴＦＴ３０の下側）にも、例えば高融点金属からなる遮光膜を設けてもよい。このようにＴＦＴ３０の下側にも遮光膜を設ければ、ＴＦＴアレイ基板１の側からの戻り光等がＴＦＴ３０に入射するのを未然に防ぐことができる。

【００９５】

更にまた、対向基板２０の投射光が入射する側及びＴＦＴアレイ基板１０の出射光が出射する側には各々、例えば、ＴＮ（ツイステッドネマティック）モード、 ＳＴＮ（スーパーＴＮ）モード、Ｄ－ＳＴＮ（ダブル－ＳＴＮ）モード等の動作モードや、ノーマリーホワイトモード／ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方向で配置される。

【００９６】

以上説明した実施の形態における液晶装置は、カラー液晶プロジェクタに適用可能である。その場合、３枚の液晶装置がＲＧＢ用のライトバルブとして各々用いられ、各パネルには各々ＲＧＢ色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、実施の形態では、対向基板２０に、カラーフィルタは設けられていない。しかしながら、遮光膜２３の形成されていない画素電極９ａに対向する所定領域にＲＧＢのカラーフィルタをその保護膜と共に、対向基板２０上に形成してもよい。このようにすれば、液晶プロジェクタ以外の直視型や反射型のカラー液晶テレビなどのカラー液晶装置に実施の形態における液晶装置を適用できる。更に、対向基板２０上に１画素1個対応するようにマイクロレンズを形成してもよい。このようにすれば、入射光の集光効率を向上することで、明るい液晶装置が実現できる。更にまた、対向基板２０上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、ＲＧＢ色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー液晶装置が実現できる。

【００９７】

また、各画素に設けられるスイッチング素子としては、正スタガ型又はコプラナー型のポリシリコンＴＦＴでよいが、逆スタガ型のＴＦＴやアモルファスシリコンＴＦＴ等の他の形式のＴＦＴに対しても、各実施形態は有効である。また、ＴＦＴに限らず、シリコン基板に形成するトランジスタにも有効である。

【００９８】

（電子機器）

次に、以上詳細に説明した液晶装置１００を備えた電子機器の実施の形態について図１３

から図１５を参照して説明する。

【００９９】

先ず図１３に、このように液晶装置１００を備えた電子機器の概略構成を示す。

【０１００】

図１３において、電子機器は、表示情報出力源１０００、表示情報処理回路１００２、駆動回路１００４、液晶装置１００、クロック発生回路１００８並びに電源回路１０１０を備えて構成されている。表示情報出力源１０００は、ＲＯＭ（Read Only Memory）、ＲＡＭ（Random Access Memory）、光ディスク装置などのメモリ、画像信号を同調して出力する同調回路等を含み、クロック発生回路１００８からのクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を表示情報処理回路１００２に出力する。表示情報処理回路１００２は、増幅・極性反転回路、シリアルーパラレル変換回路、ローテーション回路、ガンマ補正回路、クランプ回路等の周知の各種処理回路を含んで構成されており、クロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号CLKと共に駆動回路１００４に出力する。駆動回路１００４は、液晶装置１００を駆動する。電源回路１０１０は、上述の各回路に所定電源を供給する。尚、液晶装置１００を構成するＴＦＴアレイ基板の上に、駆動回路１００４を搭載してもよく、これに加えて表示情報処理回路１００２を搭載してもよい。

【０１０１】

次に図１４から図１５に、このように構成された電子機器の具体例を各々示す。

【０１０２】

図１４において、電子機器の一例たる液晶プロジェクタ１１００は、上述した駆動回路１００４がＴＦＴアレイ基板上に搭載された液晶装置１００を含む液晶表示モジュールを３個用意し、各々ＲＧＢ用のライトバルブ１００Ｒ、１００Ｇ及び１００Ｂとして用いたプロジェクタとして構成されている。液晶プロジェクタ１１００では、メタルハライドランプ等の白色光源のランプユニット１１０２から投射光が発せられると、３枚のミラー１１０６及び２枚のダイクロイックミラー１１０８によって、ＲＧＢの３原色に対応する光成分Ｒ、Ｇ、Ｂに分けられ、各色に対応するライトバルブ１００Ｒ、１００Ｇ及び１００Ｂに各々導かれる。この際特にＢ光は、長い光路による光損失を防ぐために、入射レンズ１１２２、リレーレンズ１１２３及び出射レンズ１１２４からなるリレーレンズ系１１２１を介して導かれる。そして、ライトバルブ１００Ｒ、１００Ｇ及び１００Ｂにより各々変調された３原色に対応する光成分は、ダイクロイックプリズム１１１２により再度合成された後、投射レンズ１１１４を介してスクリーン１１２０にカラー画像として投射される。

【０１０３】

図１５において、電子機器の他の例たるマルチメディア対応のラップトップ型のパーソナルコンピュータ（ＰＣ）１２００は、上述した液晶装置１００がトップカバーケース内に設けられており、更にＣＰＵ、メモリ、モデム等を収容すると共にキーボード１２０２が組み込まれた本体１２０４を備えている。

【０１０４】

以上図１４から図１５を参照して説明した電子機器の他にも、液晶テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、電子手帳、電卓、ワードプロセッサ、エンジニアリング・ワークステーション（ＥＷＳ）、携帯電話、テレビ電話、ＰＯＳ端末、タッチパネルを備えた装置等などが図１３に示した電子機器の例として挙げられる。

【０１０５】

以上説明したように、本実施の形態によれば、製造効率が高く高品位の画像表示が可能な液晶装置を備えた各種の電子機器を実現できる。

【０１０６】

【発明の効果】

本発明の電気光学装置によれば、基板上領域の有効利用を図りつつ、同時駆動するデータ

線数の増加に応じてサンプリング回路における負荷が大きくなっても、それを駆動可能な大サイズのトランジスタからなるインバータを含むバッファ回路を設けることができ、省スペース化された当該駆動回路により、高いドット周波数の場合にも良好な駆動動作が可能となる。従って、最終的には、基板の小型化や同一サイズの基板上における画像表示領域の大型化を可能としつつ高品位の画像を表示可能となる。

【図面の簡単な説明】

【図１】　液晶装置の第1実施形態における画像形成領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路のブロック図である。

【図２】　第１実施形態におけるＴＦＴアレイ基板上に設けられた画素部及び駆動回路を示すブロック図である。

【図３】　第１実施形態におけるデータ線駆動回路及びサンプリング回路の詳細な構成を示すブロック図である。

【図４】　第１実施形態におけるデータ線駆動回路内における各種信号のタイミングチャートである。

【図５】　第１実施形態におけるデータ線駆動回路に含まれるバッファ回路をその周辺配線等と共に拡大して示す拡大平面図である。

【図６】　図５に示したバッファ回路の回路図である。

【図７】　第１実施形態におけるバッファ回路内のインバータの各種構成例を示すブロック図である。

【図８】　第１実施形態におけるサンプリング回路に含まれるサンプリングスイッチの各種構成例を示す回路図である。

【図９】　本発明の第２実施形態におけるデータ線駆動回路に含まれるバッファ回路をその周辺配線等と共に拡大して示す拡大平面図である。

【図１０】第２実施形態におけるバッファ回路内のインバータのブロック図である。

【図１１】液晶装置の各実施形態におけるＴＦＴアレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

【図１２】図１１のＨ－Ｈ’断面図である。

【図１３】本発明による電子機器の実施の形態の概略構成を示すブロック図である。

【図１４】電子機器の一例として液晶プロジェクタを示す断面図である。

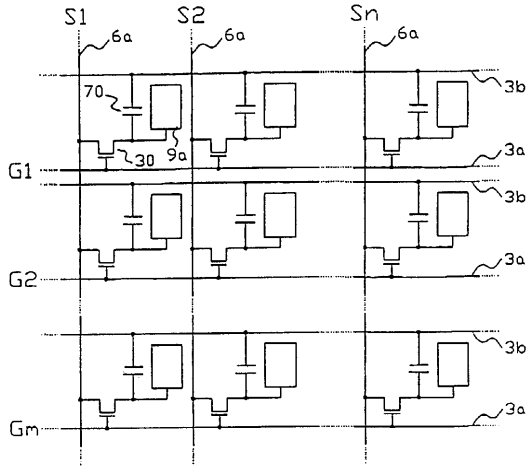
【図１５】電子機器の他の例としてのパーソナルコンピュータを示す正面図である。

【符号の説明】

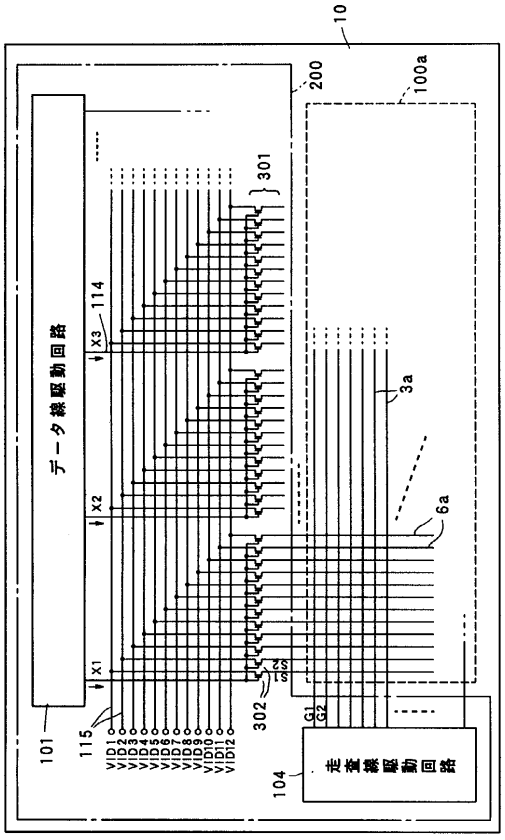
３ａ…走査線
３ｂ…容量線
６ａ…データ線
９ａ…画素電極
１０…ＴＦＴアレイ基板
２０…対向基板
３０…ＴＦＴ
５０…液晶層
５２…シール材
７０…蓄積容量
１０１…データ線駆動回路
１０４…走査線駆動回路
１１４…サンプリング制御信号線
１１５…画像信号線
３０１…サンプリング回路
３０２…サンプリングスイッチ
４００…シフトレジスタ回路
４０１…ラッチ回路
４０２…位相調整回路

４０３…ＮＡＮＤ回路
５００…バッファ回路
５０１…インバータ（１段目）
５０２…インバータ（２段目）
５０３…インバータ（３段目）
６０１…高電圧配線
６０２…低電圧配線
１５００…バッファ回路
１５０１…インバータ

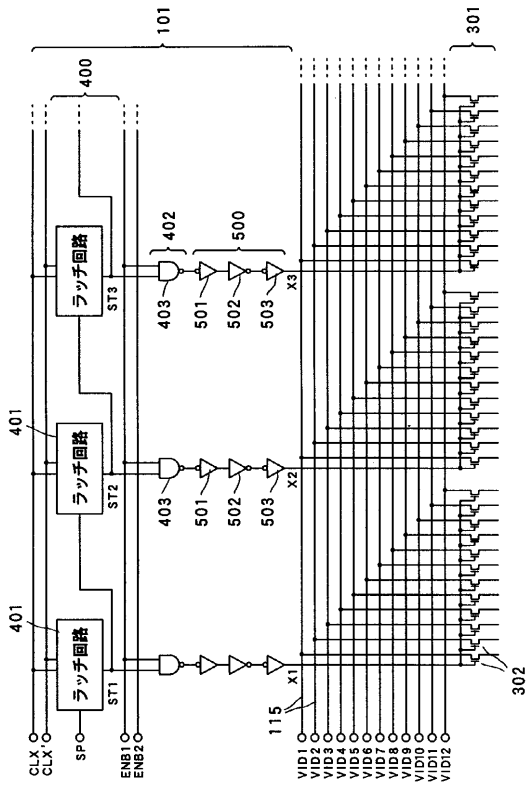
【図１】



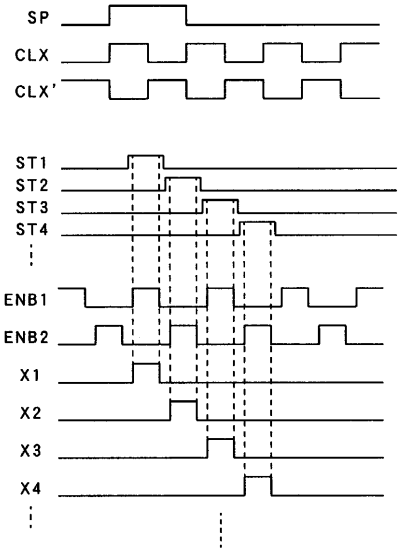
【図２】



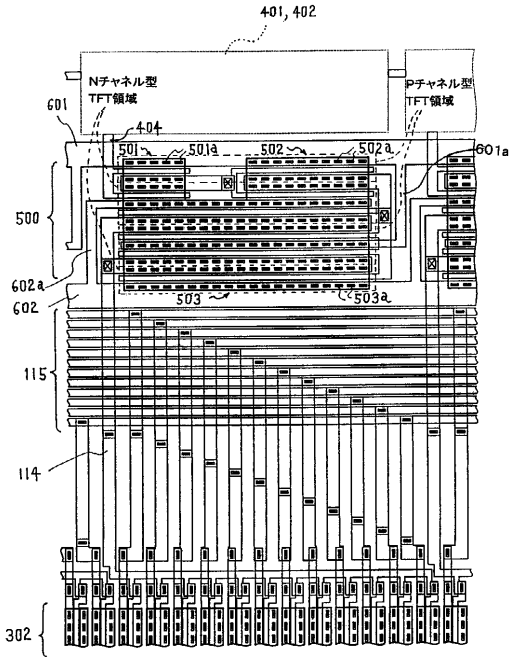
【図３】


101
301
400
ラッチ回路
ST3
ST2
ST1
402
500
403
501
502
503
X3
X2
X1
401
302
115
CLX
CLX'
SP
ENB1
ENB2
VID1
VID2
VID3
VID4
VID5
VID6
VID7
VID8
VID9
VID10
VID11
VID12

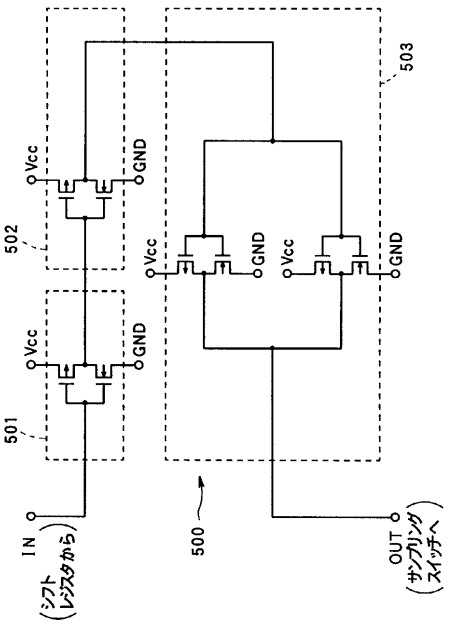
【図４】


SP
CLX
CLX'
ST1
ST2
ST3
ST4
ENB1
ENB2
X1
X2
X3
X4

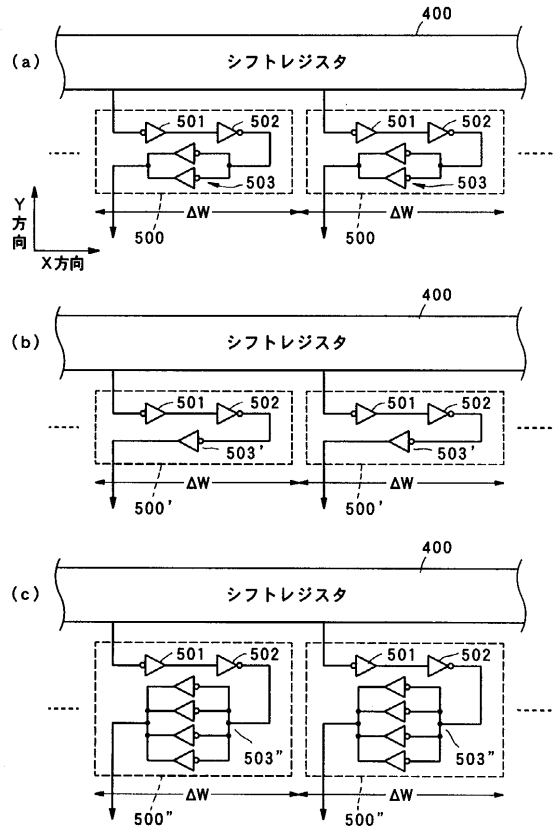
【図５】


401, 402
Nチャネル型
TFT領域
Pチャネル型
TFT領域
601
404
501
501a
502
502a
601a
500
602a
602
503
503a
115
114
302

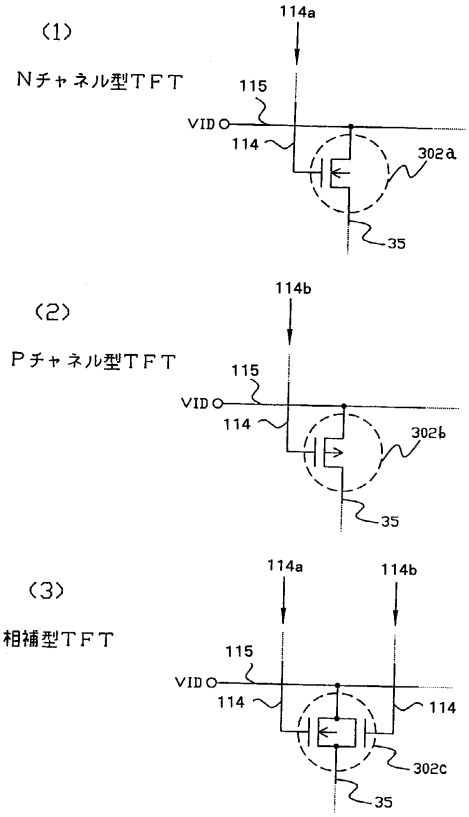
【図６】


503
Vcc
GND
502
501
IN
(シフトレジスタから)
500
OUT
(サンプリングスイッチへ)

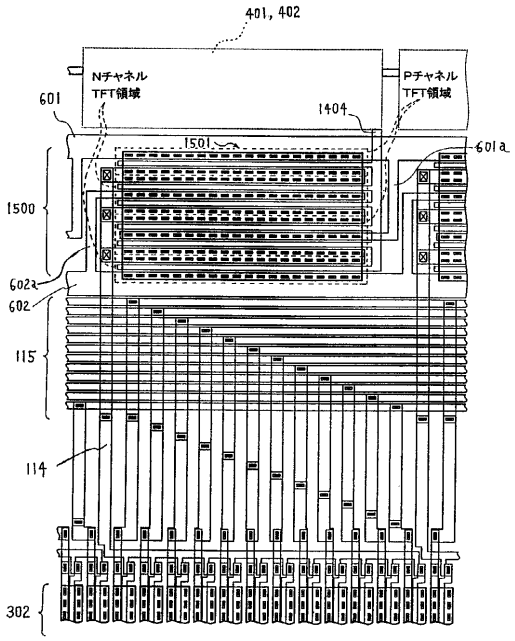
【図７】



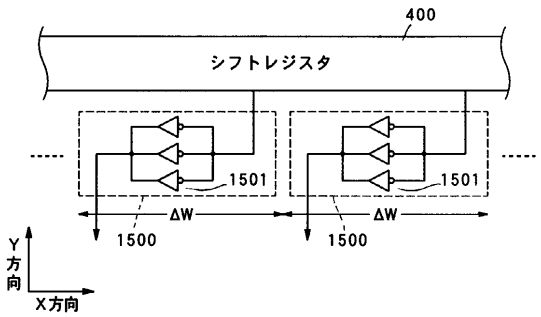
【図８】



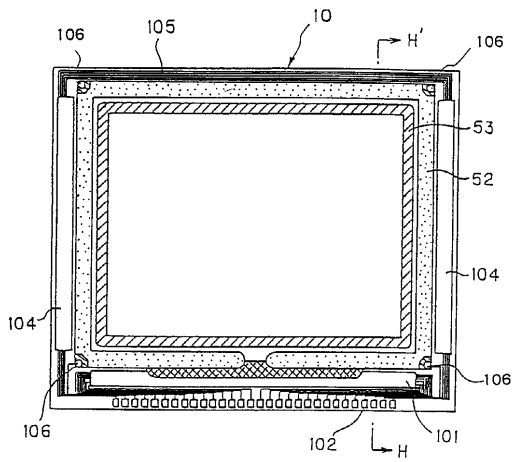
【図９】



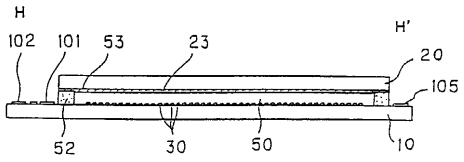
【図１０】



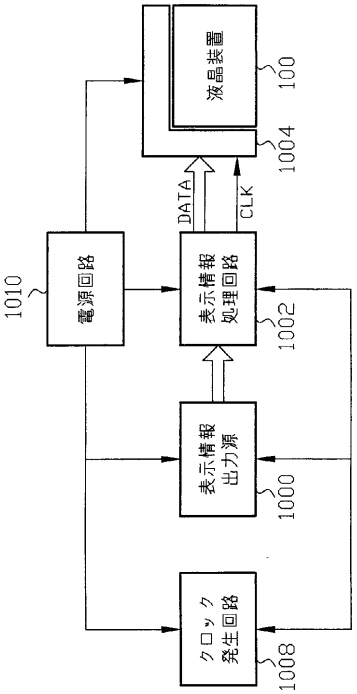
【図１１】



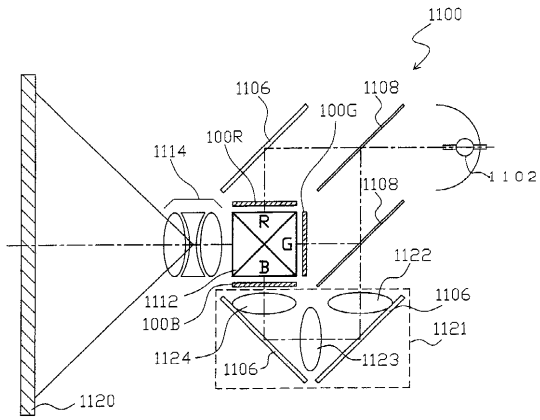
【図１２】



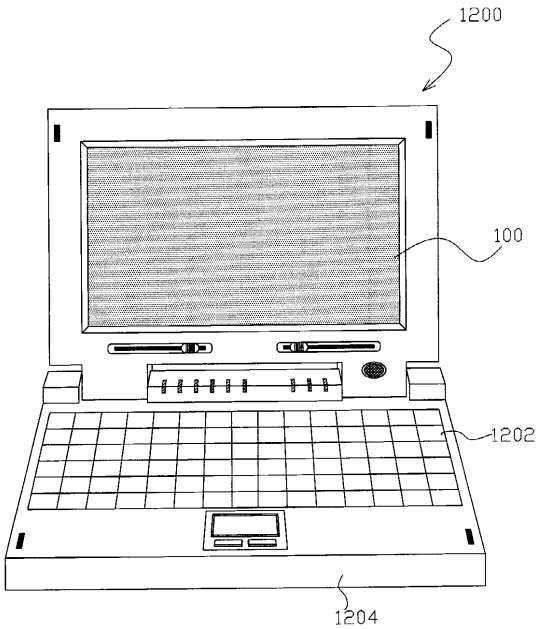
【図１３】



【図１４】



【図１５】



フロントページの続き

(56)参考文献 特開平１０－２０９４６５（ＪＰ，Ａ）
特開平０９－３１１６５６（ＪＰ，Ａ）
特開平０８－０４６２０６（ＪＰ，Ａ）
特開平０９－３２５３６８（ＪＰ，Ａ）
特開平０５－３０３０８０（ＪＰ，Ａ）
特開平０９－２５８７０３（ＪＰ，Ａ）
特開平０８－２６２４８６（ＪＰ，Ａ）
特開平０５－２４１２００（ＪＰ，Ａ）
特開平０７－１７５０３８（ＪＰ，Ａ）
特開平１１－３３８４３９（ＪＰ，Ａ）
特開平１１－２０２２９５（ＪＰ，Ａ）
特開平１１－２７１７３１（ＪＰ，Ａ）
特開平１０－２６８３５０（ＪＰ，Ａ）
特開平１１－２８２３９７（ＪＰ，Ａ）
特開平１１－２７１８１１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G02F 1/133 505
G09G 3/36
H01L 29/78 612C
H01L 29/78 613A