



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2018년05월17일

(11) 등록번호 10-1858545

(24) 등록일자 2018년05월10일

- (51) 국제특허분류(Int. Cl.)
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)
- (21) 출원번호 10-2014-7019210
- (22) 출원일자(국제) 2011년12월14일
 심사청구일자 2016년11월30일
- (85) 번역문제출일자 2014년07월10일
- (65) 공개번호 10-2014-0105007
- (43) 공개일자 2014년08월29일
- (86) 국제출원번호 PCT/CN2011/083934
- (87) 국제공개번호 WO 2013/086693
 국제공개일자 2013년06월20일
- (56) 선행기술조사문헌
 KR10201110050679 A*
 JP2006156778 A*
- *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
켈컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하
우스 드라이브 5775
- (72) 발명자
차이, 얀페이
중국 200016 상하이 푸투오 디스트릭트 총탄 로드
레인 100 룸 2002 넘버 164
- 리, 지**
중국 200129 상하이 푸둥 뉴 에리어 창 다오 로드
레인 825 룸 502 넘버 17
- (74) 대리인
특허법인 남앤드남

전체 청구항 수 : 총 20 항

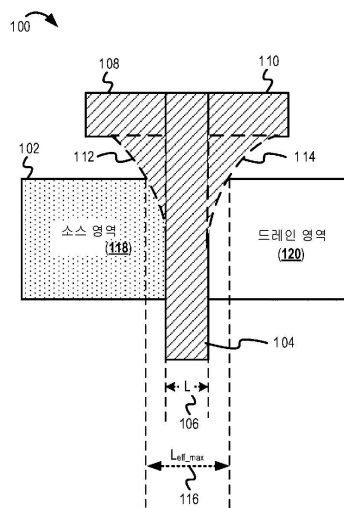
심사관 : 김종호

(54) 발명의 명칭 감소된 트랜지스터 누설 전류를 위한 게이트 라운딩

(57) 요약

게이트-라운딩 제작 기법들은, 트랜지스터의 유효 채널 길이를 증가시키고, 결과적으로 트랜지스터와 연관된 누설 전류 및 정적 전력 소모를 감소시키도록 구현될 수 있다. 트랜지스터는, 소스 영역 및 드레인 영역을 포함하는 기판 영역을 포함한다. 트랜지스터는 또한, 메인 게이트 부분, 하나 또는 그 초과 게이트 팁들, 및 하나 또는 그 초과 게이트 대용 게이트-라운드 부분들을 포함하는 게이트 영역을 포함할 수 있다. 하나 또는 그 초과 게이트 팁들 각각은, 메인 게이트 부분의 측을 따라 적절한 지점에 형성된다. 제작 동안, 메인 게이트 영역과 게이트 팁들 각각 사이의 정션은 대용 게이트-라운드 영역을 형성하기 위해 라운드 형상을 취한다. 게이트-라운드 영역들은, 게이트 영역의 평균 길이 및 트랜지스터의 유효 채널 길이를 증가시킨다.

대표도



명세서

청구범위

청구항 1

트랜지스터로서,

소스 영역 및 드레인 영역을 포함하는 기판 영역; 및

게이트 영역을 포함하고,

상기 게이트 영역은,

상기 소스 영역과 상기 드레인 영역 사이의 상기 기판 영역의 부분 위에 형성되는 메인 게이트 부분; 및

상기 소스 영역과 상기 드레인 영역 사이의 상기 기판 영역의 부분을 오버랩(overlap)없이 넘어서 연장하는 상기 메인 게이트 부분의 제 1 단부에서 형성되는 제 1 게이트 팁(tip)을 포함하고,

상기 제 1 게이트 팁은 접합부(junction)에서 상기 제 1 단부와 결합되고 그리고 상기 제 1 단부로부터 횡방향으로(transversely) 연장하며, 그리고 상기 제 1 게이트 팁과 상기 메인 게이트 부분 사이의 상기 접합부에서 라운딩된(rounded) 게이트 부분이 형성되는,

트랜지스터.

청구항 2

제 1 항에 있어서,

상기 게이트 영역은, 폴리실리콘 메인 게이트 부분, 하나 이상의 폴리실리콘 게이트 팁들, 및 하나 이상의 대응하는 폴리실리콘 라운딩된 게이트 부분들을 포함하는 폴리실리콘 게이트 영역인,

트랜지스터.

청구항 3

제 1 항에 있어서,

상기 메인 게이트 부분은, 상기 소스 영역과 상기 드레인 영역 사이의 상기 기판 영역의 부분을 넘어서 상기 제 1 단부와 반대 방향으로 연장하는 제 2 단부를 더 포함하고,

상기 트랜지스터는,

상기 제 2 단부에서 형성되는 제 2 게이트 팁을 더 포함하고, 상기 제 2 게이트 팁은 접합부에서 상기 제 2 단부에서 형성되고 그리고 상기 제 2 단부로부터 횡방향으로 연장하며, 그리고 상기 제 2 게이트 팁과 상기 메인 게이트 부분 사이의 상기 접합부에서 라운딩된 게이트 부분이 형성되는,

트랜지스터.

청구항 4

제 1 항에 있어서,

상기 제 1 게이트 팁은, 상기 소스 영역과 상기 드레인 영역 사이의 상기 기판 영역의 부분에 실질적으로 평행한,

트랜지스터.

청구항 5

제 1 항에 있어서,

상기 제 1 단부는 상기 소스 영역과 상기 드레인 영역 사이의 상기 기판 영역의 부분에 실질적으로 수직하게 형성되고, 그리고 상기 제 1 게이트 팁은 상기 소스 영역과 상기 드레인 영역 사이의 상기 기판 영역의 부분에 실질적으로 평행한,

트랜지스터.

청구항 6

제 1 항에 있어서,

상기 기판 영역과 상기 게이트 영역 사이에 형성되는 게이트 산화물 부분을 더 포함하는,

트랜지스터.

청구항 7

제 1 항에 있어서,

상기 메인 게이트 부분은, 상기 소스 영역과 상기 드레인 영역 사이의 상기 기판 영역의 부분을 넘어서 상기 제 1 단부와 반대 방향으로 연장하는 제 2 단부를 더 포함하고,

상기 트랜지스터는,

상기 제 1 단부에서 형성되고 그리고 상기 제 1 게이트 팁과 반대 방향으로 상기 제 1 단부로부터 횡방향으로 연장하는 제 2 게이트 팁; 및

상기 제 2 단부에서 형성되고 상기 제 2 단부로부터 횡방향으로 연장하는 제 3 게이트 팁을 더 포함하는,

트랜지스터.

청구항 8

제 1 항에 있어서,

상기 메인 게이트 부분은, 상기 소스 영역과 상기 드레인 영역 사이의 상기 기판 영역의 부분을 넘어서 상기 제 1 단부와 반대 방향으로 연장하는 제 2 단부를 더 포함하고,

상기 트랜지스터는,

상기 제 1 단부에서 형성되고 그리고 상기 제 1 게이트 팁과 반대 방향으로 상기 제 1 단부로부터 횡방향으로 연장하는 제 2 게이트 팁;

상기 제 2 단부에서 형성되고 그리고 상기 제 2 단부로부터 횡방향으로 연장하는 제 3 게이트 팁; 및

상기 제 2 단부에서 형성되고 그리고 상기 제 3 게이트 팁과 반대 방향으로 상기 제 2 단부로부터 횡방향으로 연장하는 제 4 게이트 팁을 더 포함하는,

트랜지스터.

청구항 9

제 1 항에 있어서,

상기 제 1 게이트 팁과 상기 메인 게이트 부분 사이의 상기 라운딩된 게이트 부분은 상기 소스 영역과 상기 드레인 영역 사이의 상기 기판 영역의 부분의 서브-부분에 걸쳐 연장하는,

트랜지스터.

청구항 10

제 9 항에 있어서,

상기 트랜지스터와 연관된 유효 채널 길이는, 상기 트랜지스터와 연관된 평균 게이트 길이이고,

상기 평균 게이트 길이는, 상기 라운딩된 게이트 부분에 의해 커버되는 상기 기판 영역의 제 1 부분과 연관되는 제 1 게이트 길이 및 상기 라운딩된 게이트 부분에 의해 커버되지 않는 상기 기판 영역의 제 2 부분과 연관되는 제 2 게이트 길이에 적어도 부분적으로 기초하여 결정되는,

트랜지스터.

청구항 11

제 1 항에 있어서,

상기 제 1 게이트 팁에 대해,

상기 제 1 게이트 팁의 길이의 증가는, 상기 트랜지스터의 유효 채널 길이를 증가시키고, 그리고

상기 제 1 게이트 팁과 상기 기판 영역 사이의 거리의 감소는, 상기 트랜지스터의 유효 채널 길이를 증가시키는,

트랜지스터.

청구항 12

제 1 항에 있어서,

상기 트랜지스터는, 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET; metal oxide semiconductor field effect transistor)인,

트랜지스터.

청구항 13

금속 산화물 반도체 전계 효과 트랜지스터(MOSFET)로서,

소스 영역 및 드레인 영역을 포함하는 기판 영역; 및

게이트 영역을 포함하고,

상기 게이트 영역은,

상기 소스 영역과 상기 드레인 영역 사이의 상기 기판 영역의 부분 위에 형성되고 그리고 상기 소스 영역과 상기 드레인 영역 사이의 상기 기판 영역의 부분을 오버랩하지 않고 넘어서 각각 연장하는 제 1 단부 및 제 2 단부를 포함하는 메인 게이트 부분; 및

상기 제 1 단부 및 상기 제 2 단부에서 형성되는 적어도 하나의 게이트 팁을 포함하고,

상기 적어도 하나의 게이트 팁 각각은, 상기 제 1 단부 또는 상기 제 2 단부로부터 횡방향으로 연장하고 그리고 상기 소스 영역과 상기 드레인 영역 사이의 상기 기판 영역의 부분으로부터 일정 거리에 형성되고, 그리고

상기 적어도 하나의 게이트 팁 각각에 대해, 상기 적어도 하나의 게이트 팁과 상기 메인 게이트 부분 사이의 접합부에서 대응하는 라운딩된 게이트 부분이 형성되는,

금속 산화물 반도체 전계 효과 트랜지스터(MOSFET).

청구항 14

제 13 항에 있어서,

상기 메인 게이트 부분은, 상기 소스 영역과 상기 드레인 영역 사이의 상기 기판 영역의 부분에 실질적으로 수직하게 형성되고, 그리고

상기 적어도 하나의 게이트 팁은 각각, 상기 제 1 단부 및 상기 제 2 단부 중 하나에서 형성되고 그리고 상기 소스 영역과 드레인 영역 사이의 상기 기판 영역의 부분에 실질적으로 평행한,

금속 산화물 반도체 전계 효과 트랜지스터(MOSFET).

청구항 15

제 13 항에 있어서,

상기 게이트 영역은 복수의 게이트 팁들을 포함하고,

상기 복수의 게이트 팁들 중 적어도 하나의 게이트 팁은, 상기 복수의 게이트 팁들 중 적어도 하나의 다른 게이트 팁에 비해, 상기 소스 영역과 상기 드레인 영역 사이의 상기 기판 영역의 부분으로부터 상이한 길이 및 상이한 거리를 갖는,

금속 산화물 반도체 전계 효과 트랜지스터(MOSFET).

청구항 16

제 13 항에 있어서,

상기 적어도 하나의 게이트 팁은 제 1 게이트 팁, 제 2 게이트 팁 및 제 3 게이트 팁을 포함하고, 상기 제 1 게이트 팁 및 상기 제 2 게이트 팁은 상기 제 1 단부에서 형성되고 그리고 상기 제 3 게이트 팁은 상기 제 2 단부에서 형성되거나, 또는

상기 적어도 하나의 게이트 팁은 상기 제 1 게이트 팁, 상기 제 2 게이트 팁, 상기 제 3 게이트 팁 및 제 4 게이트 팁을 포함하고, 상기 제 1 게이트 팁 및 상기 제 2 게이트 팁은 상기 제 1 단부에서 형성되고 그리고 상기 제 3 게이트 팁 및 상기 제 4 게이트 팁은 상기 제 2 단부에서 형성되는,

금속 산화물 반도체 전계 효과 트랜지스터(MOSFET).

청구항 17

복수의 트랜지스터들을 포함하는 집적 회로로서,

상기 복수의 트랜지스터들 각각은:

소스 영역 및 드레인 영역을 포함하는 기판 영역; 및

게이트 영역을 포함하고,

상기 게이트 영역은,

상기 소스 영역과 상기 드레인 영역 사이의 상기 기판 영역의 부분 위에 형성되고 그리고 상기 소스 영역과 상기 드레인 영역 사이의 상기 기판 영역의 부분을 오버랩없이 넘어서 연장하는 제 1 단부를 포함하는 메인 게이트 부분; 및

상기 제 1 단부에서 형성되는 제 1 게이트 팁을 포함하고,

상기 제 1 게이트 팁은 접합부에서 상기 제 1 단부와 결합되고 그리고 상기 제 1 단부로부터 횡방향으로 연장하며, 그리고 상기 제 1 게이트 팁과 상기 메인 게이트 부분 사이의 상기 접합부에서 라운딩된 게이트 부분이 형성되는,

집적 회로.

청구항 18

제 17 항에 있어서,

각각의 트랜지스터에 대해, 상기 메인 게이트 부분은 상기 소스 영역과 상기 드레인 영역 사이의 상기 기판 영역의 부분을 넘어서 상기 제 1 단부와 반대 방향으로 연장하는 제 2 단부를 더 포함하고,

상기 트랜지스터는,

상기 제 2 단부에서 형성되는 제 2 게이트 팁을 더 포함하고, 상기 제 2 게이트 팁은 접합부에서 상기 제 2 단부와 결합하고 그리고 상기 제 2 단부로부터 횡방향으로 연장하며, 그리고 상기 제 2 게이트 팁과 상기 메인 게이트 부분 사이의 상기 접합부에서 라운딩된 게이트 부분이 형성되는,

집적 회로.

청구항 19

제 18 항에 있어서,

상기 제 1 게이트 팁 및 상기 제 2 게이트 팁은 상기 집적 회로의 설계 레이아웃의 컴포넌트들 사이의 대응하는 보이드(void) 내에 형성되는,

집적 회로.

청구항 20

제 19 항에 있어서,

상기 제 1 게이트 팁 및 상기 제 2 게이트 팁 각각의 길이는, 게이트 팁이 형성되는 대응하는 보이드의 길이에 적어도 부분적으로 기초하여 결정되는,

집적 회로.

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

발명의 설명

기술 분야

[0001] 본 발명의 요지의 실시예들은, 일반적으로 반도체 제작의 분야에 관한 것이고, 더욱 구체적으로 감소된 트랜지스터 누설 전류를 위한 게이트 라운딩(gate rounding)에 관한 것이다.

배경 기술

[0002] 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET; metal oxide semiconductor field effect transistor)들은 통상적으로 누설 전류와 연관된다. 이상적으로, MOSFET가 OFF 상태로 바이어싱되는 경우(예를 들어, MOSFET의 게이트 단자와 소스 단자 사이에 바이어스 전압이 인가되지 않는 경우), MOSFET는 전류를 전도하지 않는다. 그

러나, 실제로, MOSFET는 (그 위에서 소스 영역과 드레인 영역이 구현되는) 기판을 통한 MOSFET의 소스 영역과 드레인 영역 사이의 역-바이어스 누설로 인해 누설 전류를 발생시킨다. 누설 전류는 MOSFET로 하여금 전력("정적 전력")을 소멸시키게 할 수 있다. 몇몇 경우들에서, 정적 전력 소모는 MOSFET들을 포함하는 집적 회로의 전체 전력 소모의 30%를 차지할 수 있다. 정적 전력 소모는, 원치않는 열을 발생시킬 수 있고, (특히, 배터리-전력공급된 휴대용 전자 디바이스들 내에서) 전력을 고갈(drain)시킬 수 있다.

발명의 내용

- [0003] 몇몇 실시예들에서, 트랜지스터는 소스 영역 및 드레인 영역을 포함하는 기판 영역을 포함한다. 트랜지스터는 또한, 메인 게이트 부분, 하나 또는 그 초과와 게이트 팁들, 및 하나 또는 그 초과와 대응 게이트-라운드 부분들을 포함하는 게이트 영역을 포함한다. 하나 또는 그 초과와 게이트 팁들 각각은, 메인 게이트 부분의 하나의 단부에 형성된다. 하나 또는 그 초과와 게이트 팁들 각각에 대해, 대응 게이트-라운드 부분은 게이트 팁과 메인 게이트 부분 사이의 정선에 형성된다.
- [0004] 몇몇 실시예들에서, 게이트 영역은, 폴리실리콘 메인 게이트 부분, 하나 또는 그 초과와 폴리실리콘 게이트 팁들, 및 하나 또는 그 초과와 대응 폴리실리콘 게이트-라운드 부분을 포함하는 폴리실리콘 게이트 영역이다.
- [0005] 몇몇 실시예들에서, 메인 게이트 부분은 제 1 단부 및 제 2 단부를 포함한다. 하나 또는 그 초과와 게이트 팁들 각각은, 메인 게이트 부분의 단부들 중 하나에 형성되고, 하나 또는 그 초과와 게이트 팁들 각각은 실질적으로 미리결정된 길이를 갖고 기판 영역으로부터 실질적으로 미리결정된 거리에 형성된다.
- [0006] 몇몇 실시예들에서, 미리결정된 길이 및 미리결정된 거리는: 게이트 영역 제작 프로세스, 트랜지스터를 포함하는 집적 회로의 기하학적 설계 레이아웃, 트랜지스터와 연관된 최소 피쳐 크기, 및 집적 회로와 연관된 하나 또는 그 초과와 설계 규칙들 중 적어도 하나에 기초하여 결정된다.
- [0007] 몇몇 실시예들에서, 메인 게이트 부분은 제 1 단부 및 제 2 단부를 포함한다. 하나 또는 그 초과와 게이트 팁들 각각은 메인 게이트 부분의 단부들 중 하나에 형성되고, 하나 또는 그 초과와 게이트 팁들 각각은 기판 영역에 실질적으로 평행하다.
- [0008] 몇몇 실시예들에서, 메인 게이트 부분은, 기판 영역 위에 형성된 메인 게이트 부분의 일부, 제 1 단부 및 제 2 단부를 포함한다. 제 1 단부 및 제 2 단부는 기판 영역에 실질적으로 수직하게 형성되고, 하나 또는 그 초과와 게이트 팁들은 단부들 중 하나에 형성되며 기판 영역에 실질적으로 평행하다. 게이트 영역은 기판 영역 상에 형성된 게이트 산화물 부분 상에 형성된다.
- [0009] 몇몇 실시예들에서, 트랜지스터는 기판 영역과 게이트 영역 사이에 형성된 게이트 산화물 부분을 더 포함한다.
- [0010] 몇몇 실시예들에서, 메인 게이트 부분은 제 1 단부 및 제 2 단부를 포함한다. 하나 또는 그 초과와 게이트 팁들은 제 1 게이트 팁을 포함하고, 제 1 게이트 팁은 메인 게이트 부분의 제 1 단부에 형성된다.
- [0011] 몇몇 실시예들에서, 메인 게이트 부분은 제 1 단부 및 제 2 단부를 포함하고, 하나 또는 그 초과와 게이트 팁들은 제 1 게이트 팁 및 제 2 게이트 팁을 포함한다. 제 1 게이트 팁 및 제 2 게이트 팁은 메인 게이트 부분의 제 1 단부에 형성되거나, 또는 제 1 게이트 팁은 메인 게이트 부분의 제 1 단부에 형성되고 제 2 게이트 팁은 메인 게이트 부분의 제 2 단부에 형성된다.
- [0012] 몇몇 실시예들에서, 메인 게이트 부분은 제 1 단부 및 제 2 단부를 포함하고, 하나 또는 그 초과와 게이트 팁들은 제 1 게이트 팁, 제 2 게이트 팁, 및 제 3 게이트 팁을 포함한다. 제 1 게이트 팁 및 제 2 게이트 팁은 메인 게이트 부분의 제 1 단부에 형성되고, 제 3 게이트 팁은 메인 게이트 부분의 제 2 단부에 형성된다.
- [0013] 몇몇 실시예들에서, 메인 게이트 부분은 제 1 단부 및 제 2 단부를 포함하고, 하나 또는 그 초과와 게이트 팁들은 제 1 게이트 팁, 제 2 게이트 팁, 제 3 게이트 팁, 및 제 4 게이트 팁을 포함한다. 제 1 게이트 팁 및 제 2 게이트 팁은 메인 게이트 부분의 제 1 단부에 형성되고, 제 3 게이트 팁 및 제 4 게이트 팁은 메인 게이트 부분의 제 2 단부에 형성된다.
- [0014] 몇몇 실시예들에서, 하나 또는 그 초과와 게이트 팁들 각각에 대해, 게이트 팁과 메인 게이트 부분 사이의 게이트 라운드 영역은 기판 영역의 부분에 걸쳐 확장하여, 트랜지스터와 연관된 유효 채널 길이를 증가시킨다.
- [0015] 몇몇 실시예들에서, 트랜지스터와 연관된 유효 채널 길이는 트랜지스터와 연관된 평균 게이트 길이이다. 평균 게이트 길이는, 하나 또는 그 초과와 게이트-라운드 부분들에 의해 커버되는 기판 영역의 제 1 부분과 연관된 제 1 게이트 길이 및 하나 또는 그 초과와 게이트-라운드 부분들에 의해 커버되지 않는 기판 영역의 제 2 부

분과 연관된 제 2 게이트 길이에 적어도 부분적으로 기초하여 계산된다.

- [0016] 몇몇 실시예들에서, 하나 또는 그 초과 게이트 팁들 각각에 대해, 게이트 팁의 길이에 있어서의 증가는 트랜지스터와 연관된 유효 채널 길이를 증가시키고, 게이트 팁과 기판 영역 사이의 거리에 있어서의 감소는 트랜지스터와 연관된 유효 채널 길이를 증가시킨다.
- [0017] 몇몇 실시예들에서, 트랜지스터는 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET)이다.
- [0018] 몇몇 실시예들에서, 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET)는 소스 영역 및 드레인 영역을 포함하는 기판 영역; 및 메인 게이트 부분, 하나 또는 그 초과 게이트 팁들, 및 하나 또는 그 초과 대응 게이트-라운드 디드 부분들을 포함하는 게이트 영역을 포함한다. 메인 게이트 부분은 제 1 단부 및 제 2 단부를 포함한다. 하나 또는 그 초과 게이트 팁들 각각은 메인 게이트 부분의 단부들 중 하나에 형성되고, 하나 또는 그 초과 게이트 팁들 각각은 실질적으로 미리결정된 길이를 갖고 기판 영역으로부터 실질적으로 미리결정된 거리에 형성된다. 하나 또는 그 초과 게이트 팁들 각각에 대해, 대응 게이트-라운드 디드 부분이 게이트 팁과 메인 게이트 부분 사이의 정선에 형성된다.
- [0019] 몇몇 실시예들에서, 하나 또는 그 초과 게이트 팁들 각각은 MOSFET를 포함하는 집적 회로의 설계 레이아웃에서의 컴포넌트들 사이의 대응하는 하나 또는 그 초과 보이드 내에 형성된다.
- [0020] 몇몇 실시예들에서, 하나 또는 그 초과 게이트 팁들 각각의 길이는, 내부에 게이트 팁이 형성되는 보이드의 길이에 적어도 부분적으로 기초하여 결정된다.
- [0021] 몇몇 실시예들에서, 하나 또는 그 초과 게이트 팁들 각각은 상이한 길이 및 기판 영역까지의 상이한 거리와 연관된다.
- [0022] 몇몇 실시예들에서, 메인 게이트 부분은 제 1 단부 및 제 2 단부를 포함한다. 하나 또는 그 초과 게이트 팁들은 제 1 게이트 팁을 포함하여, 제 1 게이트 팁은 메인 게이트 부분의 단부들 중 하나에 형성되거나; 하나 또는 그 초과 게이트 팁들은 제 1 게이트 팁 및 제 2 게이트 팁을 포함하여, 제 1 게이트 팁은 메인 게이트 부분의 제 1 단부에 형성되고, 제 2 게이트 팁은 메인 게이트 부분의 제 2 단부에 형성되거나; 하나 또는 그 초과 게이트 팁들은 제 1 게이트 팁, 제 2 게이트 팁, 및 제 3 게이트 팁을 포함하여, 제 1 게이트 팁 및 제 2 게이트 팁은 메인 게이트 부분의 제 1 단부에 형성되고, 제 3 게이트 팁은 메인 게이트 부분의 제 2 단부에 형성되거나; 또는 하나 또는 그 초과 게이트 팁들은 제 1 게이트 팁, 제 2 게이트 팁, 제 3 게이트 팁, 및 제 4 게이트 팁을 포함하여, 제 1 게이트 팁 및 제 2 게이트 팁은 메인 게이트 부분의 제 1 단부에 형성되고, 제 3 게이트 팁 및 제 4 게이트 팁은 메인 게이트 부분의 제 2 단부에 형성된다.
- [0023] 몇몇 실시예들에서, 집적 회로는 복수의 트랜지스터들을 포함하며, 복수의 트랜지스터 각각은: 소스 영역 및 드레인 영역을 포함하는 기판 영역; 및 메인 게이트 부분, 하나 또는 그 초과 게이트 팁들, 및 하나 또는 그 초과 대응 게이트-라운드 디드 부분들을 포함하는 게이트 영역을 포함한다. 하나 또는 그 초과 게이트 팁들 각각은 메인 게이트 부분의 단부에 형성되고, 하나 또는 그 초과 게이트 팁들 각각에 대해, 대응 게이트-라운드 디드 부분은 게이트 팁과 메인 게이트 부분 사이의 정선에 형성된다.
- [0024] 몇몇 실시예들에서, 복수의 트랜지스터들 각각에 대해, 트랜지스터의 메인 게이트 부분은 제 1 단부 및 제 2 단부를 포함한다. 하나 또는 그 초과 게이트 팁들 각각은 메인 게이트 부분의 단부들 중 하나에 형성되고, 하나 또는 그 초과 게이트 팁들 각각은 실질적으로 미리결정된 길이를 갖고 기판 영역으로부터 실질적으로 미리결정된 거리에 형성된다.
- [0025] 몇몇 실시예들에서, 복수의 트랜지스터들 각각에 대해, 하나 또는 그 초과 게이트 팁들 각각은 집적 회로의 설계 레이아웃에서의 컴포넌트들 사이의 대응하는 하나 또는 그 초과 보이드들 내에 형성된다.
- [0026] 몇몇 실시예들에서, 복수의 트랜지스터들 각각에 대해, 하나 또는 그 초과 게이트 팁들 각각의 길이는, 내부에 게이트 팁이 형성되는 보이드의 길이에 적어도 부분적으로 기초하여 결정된다.
- [0027] 몇몇 실시예들에서, 방법은: 집적 회로의 트랜지스터의 기판 영역 상에 게이트 산화물 층을 형성하는 단계 - 기판 영역은, 소스 영역 및 드레인 영역을 포함함 -; 트랜지스터의 게이트 산화물 층 상에 게이트 재료를 증착하는 단계; 및 트랜지스터의 게이트 영역을 형성하기 위해 트랜지스터의 기판 영역으로부터 게이트 재료 및 대응하는 게이트 산화물 층의 부분을 제거하는 단계를 포함한다. 게이트 영역은, 메인 게이트 부분, 하나 또는 그 초과 게이트 팁들, 및 하나 또는 그 초과 대응 게이트-라운드 디드 부분들을 포함한다. 하나 또는 그 초과 게이트 팁들 각각은 메인 게이트 부분의 단부에 형성되고, 하나 또는 그 초과 게이트 팁들 각각은 실질적

으로 미리결정된 길이를 갖고 기판 영역으로부터 실질적으로 미리결정된 거리에 형성된다. 하나 또는 그 초과
의 게이트 팁들 각각에 대해, 대응 게이트-라운드 부분들은 게이트 팁과 메인 게이트 부분 사이의 정선에 형성
된다.

[0028] 몇몇 실시예들에서, 트랜지스터의 게이트 영역을 형성하기 위해 트랜지스터의 기판 영역으로부터 게이트 재료
및 대응하는 게이트 산화물 층의 부분을 제거하는 단계는, 트랜지스터의 기판 영역으로부터 게이트 재료 및 대
응하는 게이트 산화물 층의 부분을 제거하기 위해 그리고 메인 게이트 부분, 하나 또는 그 초과
의 게이트 팁들, 및 하나 또는 그 초과
의 대응 게이트-라운드 부분들을 포함하는 트랜지스터의 게이트 영역을 형성하기 위해
게이트 제작 마스크를 도포하는 단계를 포함한다.

[0029] 몇몇 실시예들에서, 하나 또는 그 초과
의 게이트 팁들 각각은 집적 회로의 메인 게이트 부분과 하나 또는 그 초
과
의 컴포넌트들 사이의 대응 보이드 내에 형성된다.

[0030] 몇몇 실시예들에서, 하나 또는 그 초과
의 게이트 팁들 각각에 대해, 게이트 팁의 길이는, 내부에 게이트 팁이
형성되는 보이드의 길이에 적어도 부분적으로 기초하여 결정된다.

[0031] 몇몇 실시예들에서, 게이트 팁의 길이에 있어서의 증가는 트랜지스터와 연관된 유효 채널 길이를 증가시키고,
게이트 팁과 기판 영역 사이의 거리에 있어서의 감소는 트랜지스터와 연관된 유효 채널 길이를 증가시킨다.

도면의 간단한 설명

[0032] 첨부 도면들을 참조함으로써 당업자들에게 본 실시예들이 더 잘 이해되고 수많은 목적들, 특징들 및 이점들이
명백해 질 수 있다.

도 1a는, MOSFET에 의해 생성된 누설 전류를 최소화하기 위해 게이트-라운드 프로세스를 채용하는 MOSFET의 예
시의 개념도이다.

도 1b는, MOSFET의 유효 채널 길이에 영향을 주는 게이트-라운드 파라미터들을 포함하는 MOSFET의 예시의 개념
도이다.

도 1c는, 3개의 게이트 팁들을 포함하는 MOSFET의 예시의 개념도이다.

도 1d는, 4개의 게이트 팁들을 포함하는 MOSFET의 예시의 개념도이다.

도 2a는, MOSFET와 연관된 유효 채널 길이와 게이트 팁의 길이 사이의 관계를 예시하는 예시의 그래프이다.

도 2b는, MOSFET와 연관된 유효 채널 길이와, 게이트 팁과 기판 영역 사이의 거리 사이의 관계를 예시하는 예시
의 그래프이다.

도 2c는, MOSFET와 연관된 유효 채널 길이와 MOSFET에 의해 생성된 누설 전류 사이의 관계를 예시하는 예시의
그래프이다.

도 3은, 게이트-라운드 프로세스를 이용하여 제작된 MOSFET들을 이용하는 예시의 인버터 레이아웃이다.

도 4는, 게이트-라운드 프로세스를 포함하는 예시의 트랜지스터 제작 동작들을 예시하는 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0033] 후술하는 설명은, 본 발명의 요지의 기법들을 구현하는 예시적인 시스템들, 방법들, 기법들, 구조들, 및 회로
엘리먼트들을 포함한다. 그러나, 설명된 실시예들이 이러한 특정 세부사항들 없이 실행될 수 있다는 것이 이해
된다. 예를 들어, 예시들은 MOSFET들의 게이트 영역을 제작하기 위해 채용되는 폴리-실리콘 재료에
관련되지만, 다른 실시예들에서는, MOSFET들의 게이트 영역을 제작하기 위해 다른 적합한 재료들(예를 들어, 금
속들)이 채용될 수 있다. 예시들이 MOSFET들에서의 누설 전력을 감소시키기 위한 게이트-라운드 기법들을 설명
하지만, 다른 실시예들에서, 게이트-라운드 기법들은 다른 적합한 트랜지스터들(예를 들어, 정선 전계 효과 트
랜지스터들(JFET) 등)에서의 누설 전류를 감소시키기 위해 적용될 수 있다. 다른 경우들에서, 설명을 애매하게
만들지 않기 위해 잘-알려진 구조들 및 기법들은 상세하게 나타나지 않았다.

[0034] MOSFET에서의 누설 전류에 의해 야기된 정적 전력 소모는, (MOSFET를 포함하는) 집적 회로에 공급된 전력의 불
필요한 낭비를 초래할 수 있다. 추가적으로, MOSFET의 크기가 감소함에 따라, MOSFET에 의해 발생하는 누설 전
류는 증가한다. 이는 결국 MOSFET 및 집적 회로의 정적 전력 소비를 증가시킬 수 있다. MOSFET에 의해 발생되

는 누설 전류를 감소시키고 정적 전력 소모를 감소시키기 위한 몇몇 기존의 기법들은, 높은-임계치 MOSFET 설계 또는 긴-채널 MOSFET 설계를 포함한다. 높은-임계치 MOSFET 설계는 높은-임계치 MOSFET들을 활용할 수 있으며, 이는 제작을 위해 하나 또는 그 초과와 추가적인 마스크들을 요구한다. 결과적으로, 높은 임계치 MOSFET 설계를 구현하는 것은, MOSFET 설계 및 제작의 비용을 증가시킬 수 있다. 긴-채널 MOSFET 설계는, 게이트 영역의 길이를 증가시킴으로써 채널 길이를 증가시키기 위해(즉, MOSFET의 소스 영역과 드레인 영역 사이의 거리를 증가시키기 위해) 시도한다. 그러나, 게이트 영역(및 채널 길이)에 있어서의 증가를 수용하기 위해, 긴-채널 MOSFET 설계는 더 큰 면적을 요구할 수 있고, 이는 비용을 증가시킬 수 있고 집적 회로들에서 다이 면적을 과도하게 활용할 수 있다.

[0035]

MOSFET의 유효 채널 길이를 증가시키고, 결과적으로 MOSFET와 연관된 누설 전류 및 정적 전력 소모를 감소시키기 위해 MOSFET 설계 및 제작에 있어서 게이트-라운딩 기법이 구현될 수 있다. 게이트-라운딩 기법에 따르면, 폴리-실리콘(또는 게이트 영역을 구성하기 위해 채용되는 다른 재료)의 하나 또는 그 초과와 세그먼트들은 종래의 MOSFET에서의 게이트 영역("메인 게이트 영역")과 함께 증착될 수 있다. 메인 게이트 영역과 함께 증착된 하나 또는 그 초과와 세그먼트들은, 본원에서 "게이트 팁들"로서 지칭된다. 제작 동안, 메인 게이트 영역과 게이트 팁들 각각 사이의 정선은 라운디드 형상("게이트-라운디드 영역들")을 띤다(take on). 게이트-라운디드 영역들이 MOSFET의 게이트 영역의 평균 길이에 부가하여 이에 따라 MOSFET와 연관된 유효 채널 길이를 증가시킨다. MOSFET와 연관된 유효 채널 길이에 있어서의 증가는, MOSFET의 정적 전력 소모 및 누설 전류에 있어서의 감소를 야기한다. MOSFET의 유효 채널 길이를 증가시키기 위해 게이트-라운딩 기법을 채용하는 것은 MOSFET를 설계하고 제작하는 것과 연관되는 비용 및 면적을 낮출 수 있다. 게이트-라운딩 기법은 집적 회로의 설계 레이아웃에서의 보이드들(또는 빈 공간들) 내에서 게이트 팁들을 구현하고, 이에 따라 설계 레이아웃에 의해 활용되는 면적의 양이 증가하지 않음을 보증한다.

[0036]

도 1a는, 누설 전류를 최소화하기 위해 게이트-라운딩 프로세스를 채용하는 MOSFET(100)의 예시의 개념도(평면도)이다. MOSFET(100)는, 기판 영역(102) 및 (이하에 설명되는 바와 같이, 세그먼트들(104, 108, 110, 112, 및 114)에 의해 표현된) 게이트 영역을 포함한다. 도 1a에서, 비스듬한 해치들(slanted hatches)이 게이트 영역을 표현하기 위해 이용된다. 기판 영역(102)은, 소스 영역(118) 및 드레인 영역(120)을 포함한다. 소스 영역(118) 및 드레인 영역(120)은 모두, 기판 영역(102)과 비교하여 반대로 도핑된 영역들이다. N-채널 MOSFET의 일 예시에서, 소스 영역(118) 및 드레인 영역(120)은, P-도핑된 반도체 기판(예를 들어, P-도핑된 실리콘) 상의 N-도핑된 반도체 영역들(예를 들어, N-도핑된 실리콘)일 수 있다. 게이트 영역은 반도체 기판 층(102) 위에 증착된다. 게이트 영역은, 게이트 산화물 층(통상적으로, 실리콘 이산화물, 도시되지 않음)에 의해 기판 영역(102)으로부터 분리된다. 기판 영역(102) 상에 놓이는 게이트 산화물 층 상에 게이트 영역을 생성하기 위해 폴리-실리콘 또는 다른 적합한 재료가 활용될 수 있다. 통상적으로, 소스 영역(118) 및 드레인 영역(120)은 도 1a에 도시된 바와 같이 게이트 영역의 양측 상에 있다. 전압이 MOSFET(100)의 게이트 영역과 소스 영역(118)에 걸쳐 (또는 게이트 영역과 드레인 영역(120)에 걸쳐) 인가되는 경우, 소스 영역(118)으로부터 드레인 영역(120)으로 기판 영역(102)을 통해서 채널이 생성된다. 채널 길이는, 소스 영역(118)과 드레인 영역(120) 사이의 분리 폭이고, 통상적으로는 게이트 영역의 길이와 동일하다. 도 1a를 참조하면, MOSFET들은, MOSFET의 게이트 영역이 오직 "메인 게이트 영역"(104)만을 포함하도록, 현재 제작된다. 이에 따라, 현재 기법들을 이용하여 제작되는 MOSFET들의 (도 1a에서 L(106)로 지정된) 채널 길이는, 통상적으로 메인 게이트 영역(104)의 폭이다.

[0037]

몇몇 실시예들에서, 게이트-라운딩 프로세스에 따르면, 추가적인 폴리-실리콘 재료("게이트 팁들")가 메인 게이트 영역(104)과 함께 증착될 수 있다. 도 1a에 도시된 바와 같이, 게이트 팁(108)은 메인 게이트 영역(104)의 일 단부의 좌측에 증착되고, 게이트 팁(110)은 메인 게이트 영역(104)의 동일한 단부의 우측에 증착된다. 메인 게이트 영역(104)과 게이트 팁들(108 및 110)은 함께 T-형상의 게이트 영역을 형성한다. 이하 더 설명되는 바와 같이, 게이트 팁과 기판 영역(102) 사이에 분리/갭이 존재하도록, 게이트 팁들(108 및 110)이 증착될 수 있다. 그러나, MOSFET의 마이크로미터만의 크기 및 제작 프로세스(예를 들어, 포토리소그래픽 프로세스)에서의 결함들로 인해, 메인 게이트 영역(104)과 게이트 팁들(108 및 110) 각각 사이의 정선은 직사각형 에지들을 가질 수 없을 수도 있다. 다시 말해서, 메인 게이트 영역(104)과 게이트 팁들(108 및 110) 각각 사이의 정선들은 서로에 대해 90도를 이루는 것이 아니라, 도 1a에 도시된 바와 같이 라운딩될 수 있다. 메인 게이트 영역(104)과 게이트 팁들(108 및 110) 각각 사이의 정선들이 라운딩되게 하는 이러한 프로세스는, 본원에서 "게이트-라운딩"으로 지칭된다. 도 1a에서, (점선들로 도시된) 게이트-라운딩 영역(112)은 게이트 팁(108) 및 메인 게이트 영역(104)의 정선에 형성된다. 유사하게, (점선들로 도시된) 게이트-라운딩 영역(114)은 게이트 팁(110)과 메인 게이트 영역(104)의 정선에 형성된다. 따라서, 게이트 라운딩을 이용한 제작 이후에, MOSFET의 유효 게이트 영역은 메인 게이트 영역(104), 게이트 팁들(108 및 110), 및 게이트-라운딩 영역들(112 및 114)을 포함한다.

다. 도 1a에 도시된 바와 같이, 게이트-라운드 영역들(112 및 114)은, 기판 영역(102)의 부분들을 침해함으로써(encroaching upon) 또는 커버함으로써, 그리고 결과적으로는 메인 게이트 영역(104)과 게이트 팁들(108 및 110) 사이의 정션 근처에서 게이트 영역의 길이를 증가시킴으로써 소스 영역(118)과 드레인 영역(120) 사이의 채널의 유효 길이를 증가시킨다. 게이트-라운드 영역들(112 및 114)이 기판 영역(102)의 몇몇 부분들을 커버하기 때문에, 이러한 커버된 부분들에서의 게이트 영역의 길이는 증가하면서, (게이트-라운드 영역들(112 및 114)에 의해 커버되지 않는) 다른 부분들에서의 게이트 영역의 길이는 동일하게 유지된다. 이에 따라, 커버된 부분들에서의 게이트 길이에서의 증가로 인해, 게이트 영역의 유효 길이는 증가한다. 게이트 영역의 유효 길이는 게이트 영역의 평균 길이로서 계산될 수 있다. 일 구현에서, 게이트 영역의 유효 길이는, 게이트-라운드 영역들(112 및 114)에 의해 커버된 부분들에서의 게이트 영역의 길이(즉, 여기서 게이트 길이가 증가됨)와, 게이트-라운드 영역들(112 및 114)에 의해 커버되지 않는 다른 부분들에서의 게이트 영역의 길이(즉, 여기서 게이트 길이가 증가되지 않음)의 평균으로서 계산될 수 있다.

[0038] 최대 유효 채널 길이는, 도 1a에서 L_{eff_max} (116)로 표시되고, 기판 영역(102) 위에 있는 (게이트 라운딩 이후의) 게이트 영역의 가장 긴 부분일 수 있다. 다시 말해서, 도 1a에서 MOSFET(100)의 평면도를 참조하면, 최대 유효 채널 길이(116)는, A) 게이트-라운드 영역(112)과 기판 영역(102)의 평면(가시적) 교차 지점과 B) 게이트-라운드 영역(114)과 기판 영역(102)의 평면(가시적) 교차 지점 사이의 대략적인 거리일 수 있다.

[0039] 도 1a는, 설명의 간략함 및 용이함을 위해 다수의 세그먼트들(즉, 메인 게이트 영역(104), 게이트 팁들(108 및 110), 및 게이트-라운드 영역들(112 및 114))로 분할된 MOSFET(100)의 게이트 영역을 도시한다. 사실상, MOSFET(100)의 게이트 영역은 단일 영역으로서 구성된다. 따라서, 메인 게이트 영역(104) 및 게이트 팁들(108 및 110)은, 단일 영역으로서 기판 영역(102) 상의 게이트 산화물 층 상에 임플란트될 수 있다. 게이트-라운드 영역들(112 및 114)은 본원에 설명된 바와 같이 포토리소그래픽 프로세스 동안 형성될 수 있다.

[0040] 도 1b는, MOSFET의 유효 채널 길이에 영향을 주는 게이트-라운딩 파라미터들을 포함하는 MOSFET(150)의 예시의 개념도이다. 도 1b는, 기판 영역(102) 및 (영역들(104, 110, 및 114)로 표현된) 게이트 영역을 포함하는 MOSFET(150)를 도시한다. 도 1b의 MOSFET(150)는 메인 게이트 영역(104)의 일 단부의 우측에 증착된 단일 게이트 팁(110)을 포함한다. 결과적으로, 도 1a를 참조하여 앞서 설명된 바와 같이, 제작 이후에, 게이트 팁(110)과 메인 게이트 영역(104) 사이의 정션이 라운딩되어 게이트-라운드 영역(114)(도 1b에 도시되지 않음)을 형성한다. 따라서, 도 1b에서, 유효 게이트 영역은 메인 게이트 영역(104), 게이트 팁(110), 및 게이트-라운드 영역(114)을 포함한다. 도 1b는 또한 MOSFET의 유효 채널 길이에 영향을 줄 수 있는 게이트-라운딩 파라미터들을 예시한다. 게이트-라운딩 파라미터들은, A) 게이트 팁(110)과 기판 영역(102) 사이의 거리(L_2)(152) 및 B) 게이트 팁(110)의 길이(R)(154)이다.

[0041] 게이트 팁(110)과 기판 영역(102) 사이의 거리(152) 및 게이트 팁의 길이(154)는, 고객맞춤형일 수 있고, 제작 프로세스, 기하학적 레이아웃 제약들, 최소 피쳐 크기, 설계 규칙들, 및 다른 이러한 제약들에 의존할 수 있다. 몇몇 구현들에서, 게이트 팁과 기판 영역 사이의 거리(152) 및 게이트 팁의 길이(154)는 시뮬레이션 및 다른 데이터 분석에 기초하여 결정될 수 있다. 몇몇 구현들에서, 게이트 팁과 기판 영역 사이의 거리(152) 및 게이트 팁의 길이(154)는, MOSFET가 구현될 집적 회로의 레이아웃에 따라 변화할 수 있다. 다른 구현들에서, 게이트 팁과 기판 영역 사이의 거리(152) 및 게이트 팁의 길이(154)는 다수의 집적 회로 레이아웃들에 걸쳐 일정하게 유지할 수 있다. 통상적으로, 고유의 프로세스/물리적 변동들로 인해, 게이트 팁은, 대략적으로 미리결정된 길이(154)를 가질 수 있고, 기판 영역(102)으로부터 실질적으로 미리결정된 거리(152)에 형성될 수 있다. 예를 들어, 게이트 팁과 기판 영역 사이의 미리결정된 거리(152)는 40nm일 수 있다. 몇몇 구현들에서, 제작 이후에, 게이트 팁과 기판 영역 사이의 거리는, 미리결정된 거리(예를 들어, 40nm)의 0% 내지 5%로 변할 수 있다. 다른 구현들에서, 제작 이후에, 게이트 팁과 기판 영역 사이의 거리는 미리결정된 거리의 5% 내지 10%로 변할 수 있다. 다른 예시로서, 게이트 팁의 미리결정된 길이(154)는 60nm일 수 있다. 몇몇 구현들에서, 제작 이후에, 게이트 팁의 길이는 미리결정된 길이(예를 들어, 60nm)의 0% 내지 5%로 변할 수 있다. 게이트-라운드 영역들(112 및 114)이 대응 게이트 팁과 기판 영역(102) 사이의 전체 캡을 포함하지 않을 수 있다는 점에 주목한다. 다시 말해서, 게이트 팁들이 기판 영역(102)으로부터 실질적으로 거리(152)에 원래 증착되지만, 게이트 라운드 영역들이 메인 게이트 영역과 게이트 팁들의 정션들에 형성된 후, 게이트 팁과 기판 영역(102) 사이의 거리(152)의 부분은 대응 게이트-라운드 영역에 의해 커버될 수 있다. 그러나, 게이트 팁의 단부 또는 일반적으로 전체 게이트 팁은 기판 영역(102)으로부터 대략적으로 거리(152)에 그대로 유지된다.

[0042] 도 2a 내지 도 2c에 추가로 설명되는 바와 같이, 게이트 팁과 기판 영역 사이의 거리(152), 및 게이트 팁의 길

이(154)는, MOSFET과 연관된 유효 채널 길이를 변경하도록 변동될 수 있다.

[0043]

도 1이 2개의 게이트 팁들(108 및 110) 및 대응하는 2개의 게이트-라운드드 영역들(112 및 114)을 포함하는 MOSFET(100)을 도시하지만, 실시예들은 그렇게 제한되지 않는다는 점에 주목한다. 몇몇 실시예들에서, MOSFET는 임의의 적합한 수의 게이트 팁들을 포함할 수 있다. 예를 들어, MOSFET(150)는, 도 1b에 도시된 바와 같이, 반전된 L-형상의 게이트 영역을 형성하기 위해 메인 게이트 영역의 일 단부의 우측(또는 좌측)면에 증착된 하나의 게이트 팁을 포함할 수 있다. 다른 예시로서, 2개의 게이트 팁들이, 반전된 T-형상의 게이트 영역을 형성하기 위해 메인 게이트 영역의 일 단부의 좌측 및 우측에 증착될 수 있다. 다른 예시로서, 제 1 게이트 팁 및 제 2 게이트 팁은, 메인 게이트 영역의 제 1 단부 및 제 2 단부에 각각 증착될 수 있다. 다른 예시로서, 3개의 게이트 팁들이, 도 1c의 MOSFET 레이아웃(160)에 도시된 바와 같이, 메인 게이트 영역(104)과 함께 증착될 수 있다. 도 1c에서, (도 1a를 참조하여 설명된 바와 같이) 게이트 팁들(108 및 110)이, 메인 게이트 영역(104)의 일 단부의 좌측 및 우측에 증착된다. 추가적으로, 제 3 게이트 팁(162)이 메인 게이트 영역(104)의 다른 단부의 좌측에 증착된다. 따라서, MOSFET 레이아웃(160)에서, 유효 게이트 영역은, 메인 게이트 영역(104), 게이트 팁들(108, 110, 및 162), 및 메인 게이트 영역과 게이트 팁들 각각 사이의 게이트-라운드드 영역들(미도시)을 포함한다. 다른 예시로서, 4개의 게이트 팁들이, 도 1d의 MOSFET 레이아웃(170)에 의해 도시된 것과 같이, 메인 게이트 영역(104)과 함께 증착될 수 있다. 도 1d에서, (도 1a를 참조하여 설명된 바와 같이) 게이트 팁들(108 및 110)은 메인 게이트 영역(104)의 일 단부의 좌측 및 우측에 증착되고, (도 1c에 도시된 바와 같이) 제 3 게이트 팁(162)은 메인 게이트 영역의 다른 단부의 좌측에 증착된다. 추가적으로, 제 4 게이트 팁(164)은 메인 게이트 영역(104)의 그 단부의 우측에 증착된다. 따라서, MOSFET 레이아웃(170)에서, 유효 게이트 영역은, 메인 게이트 영역(104), 게이트 팁들(108, 110, 162, 및 164) 및 대응 게이트-라운드드 영역들(미도시)을 포함한다. 다른 예시로서, 다른 적합한 수의 게이트 팁들이, 집적 회로 칩상의 이용가능한 공간(예를 들어, 집적 회로의 메인 게이트 영역(104)과 다른 컴포넌트들 사이의 보이드들)에 따라 메인 게이트 영역(104)의 좌측 및/또는 우측에 (예를 들어, 길이를 따라, 일 단부에, 양 단부에) 증착될 수 있다.

[0044]

도 2a는, MOSFET와 연관된 유효 채널 길이와 게이트 팁의 길이 사이의 관계를 예시하는 예시의 그래프이다. Y-축은 유효 채널 길이를 마이크로미터(μm)로 표현하는 한편, X-축은 게이트 팁의 길이(R)(154)를 표현한다. 도 2a에 의해 도시된 바와 같이, 유효 채널 길이는 게이트 팁의 길이(154)와 정비례(direct) 관계를 갖는다. 게이트 팁의 길이(154)와 유효 채널 길이 사이의 관계를 결정하는데 있어서, 게이트 팁과 기판 영역 사이의 거리(L2)(152) 및 기판 영역(102)의 폭은 일정한 것으로 가정된다. 이에 따라, 도 2a에 도시된 바와 같이, 게이트 팁의 길이(154)가 증가함에 따라, 유효 채널 길이가 증가한다. 이는, 게이트 팁의 길이(154)가 증가함에 따라, (게이트 팁과 메인 게이트 영역의 정선에 있는) 게이트-라운드드 영역의 아크 길이가 증가하고, 더 큰 부분의 게이트-라운드드 영역이 기판 영역을 침해 또는 커버하기 때문이다. 결국, 이는, 메인 게이트 영역과 게이트 팁 사이의 정선 근처에서 게이트 영역의 길이를 증가시키고, 소스 영역과 드레인 영역 사이의 유효한 분리를 증가시키며, MOSFET의 유효 채널 길이를 증가시킨다. 도 2c를 참조하여 설명되는 바와 같이, 유효 채널 길이에 있어서의 증가는 MOSFET에 의해 생성된 누설 전류에 있어서의 감소를 야기한다. 몇몇 구현들에서, 게이트 팁의 길이(154)는 MOSFET를 포함하는 집적 회로의 설계 레이아웃에 의존할 수 있다. 다시 말해서, 게이트 팁이 대응하는 보이드 내에 놓이도록, 게이트 팁의 길이(154)는 설계 레이아웃에서의 컴포넌트들 사이의 보이드만큼 클 (또는 작을) 수 있다.

[0045]

도 2b는, MOSFET와 연관된 유효 채널 길이와, 게이트 팁과 기판 영역 사이의 거리 사이의 관계를 예시하는 예시의 그래프이다. Y-축은 유효 채널 길이를 마이크로미터(μm)로 표현하는 한편, X-축은 게이트 팁과 기판 영역 사이의 거리(L2)(152)를 표현한다. 도 2b에 의해 도시되는 바와 같이, 유효 채널 길이는 게이트 팁과 기판 영역 사이의 거리(L2)(152)와 반비례(inverse) 관계를 갖는다. 유효 채널 길이와 거리(L2)(152) 사이의 관계를 결정하는데 있어서, 게이트 팁의 길이(154) 및 기판 영역(102)의 폭은 일정한 것으로 가정된다. 이에 따라, 도 2b에 도시된 바와 같이, 거리(L2)(152)가 감소함에 따라, 유효 채널 길이는 증가한다. 이는, 게이트 팁과 기판 영역 사이의 거리(154)가 감소함에 따라, (게이트 팁과 메인 게이트 영역의 정선에 있는) 더 큰 부분의 게이트-라운드드 영역이 기판 영역을 침해 또는 커버하기 때문이다. 결국, 이는, 메인 게이트 영역과 게이트 팁 사이의 정선 근처에서 게이트 영역의 길이를 증가시키고, 소스 영역과 드레인 영역 사이의 유효한 분리를 증가시키고, MOSFET의 유효 채널 길이를 증가시킨다. 도 2c를 참조하여 설명되는 바와 같이, 유효 채널 길이에 있어서의 증가는, MOSFET에 의해 생성된 누설 전류에 있어서의 감소를 야기한다. 몇몇 구현들에서, 게이트 팁과 기판 영역 사이의 거리(152)는, 40nm 내지 50nm 범위 내에 있는 것으로 선택될 수 있다. 몇몇 구현들에서, 게이트 팁과 기판 영역 사이의 거리(152)는, 제작 프로세스, 기하학적 레이아웃 제약들, 등에 의존하여 선택될 수 있다. 예를 들어, 최소 피쳐 크기가 40nm이면, 게이트 팁과 기판 영역 사이의 거리(152)는 통상적으로 40nm 이상일 수

있다(그러나, 앞서 설명된 바와 같이 제작 프로세스로 인한 몇몇 변동들도 가능하다).

[0046] 도 2c는, MOSFET와 연관된 유효 채널 길이와 MOSFET에 의해 발생하는 누설 전류 사이의 관계를 예시하는 예시의 그래프이다. Y-축은 MOSFET에 의해 발생하는 누설 전류에 있어서의 확률적 감소(percentage decrease)를 표현하는 한편, X-축은 유효 채널 길이를 나노미터(nm)로 표현한다. 도 2c에 의해 도시된 바와 같이, MOSFET와 연관된 유효 채널 길이가 증가함에 따라, MOSFET에 의해 발생하는 누설 전류는 기하급수적으로 감소한다. 몇몇 구현들에서, 도 2c의 그래프에 기초하여, 유효 채널 길이가 45nm와 대략적으로 동일하거나 그보다 크게 되도록, 게이트 팁의 길이(154) 및 게이트 팁과 기판 영역 사이의 거리(152)는 변할 수 있다. 몇몇 구현들에서, 누설 전류에 있어서의 일정한 감소를 달성하기 위해 필요할 수 있는 유효 채널 길이는, 구현되는 제작 프로세스에 따라 변할 수 있다.

[0047] 도 3은, 게이트-라운딩 프로세스를 이용하여 제작된 MOSFET들을 이용하는 예시의 인버터 레이아웃(300)의 평면도이다. 인버터 레이아웃(300)은, P-채널 MOSFET(PMOS)(302) 및 N-채널 MOSFET(NMOS)(304)를 포함하는 상보형 MOSFET(CMOS) 인버터를 도시한다. 인버터 레이아웃(300)은 또한 전원 레일(power supply rail)(306) 및 접지 단자(또는 기준 전원 레일)(340)를 도시한다. PMOS(302)는, 기판 영역, 메인 게이트 영역(312), 및 메인 게이트 영역(312)의 일 단부에 증착된 게이트 팁들(314 및 316)을 포함한다. PMOS(302)의 기판 영역은, 소스 영역(346) 및 드레인 영역(348)을 포함한다. 소스 영역(346) 및 드레인 영역(348)은 메인 게이트 영역(312)에 의해 분리된다. 마찬가지로, NMOS(304)는, 기판 영역, 메인 게이트 영역(330), 및 메인 게이트 영역(330)의 일 단부에 증착된 게이트 팁들(336 및 338)을 포함한다. NMOS(304)의 기판 영역은, 소스 영역(342) 및 드레인 영역(344)을 포함한다. 소스 영역(342) 및 드레인 영역(344)은 메인 게이트 영역(330)에 의해 분리된다. 인버터 레이아웃(300)에서, PMOS(302) 및 NMOS(304)는, 공통 게이트, 공통 드레인 구성으로 함께 접속된다. 따라서, 도 3에 도시된 바와 같이, PMOS(302)의 메인 게이트 영역(312)은 NMOS(304)의 메인 게이트 영역(330)과 커플링된다. 게다가, 게이트 팁들(320 및 322)은 또한 커플링된 메인 게이트 영역의 길이를 따라 적합한 중간 지점에 증착된다. 예를 들어, 게이트 팁들(320 및 322)은 메인 게이트 영역들(312 및 330)의 인터섹션에 또는 그 근처에 증착될 수 있다. 공통 게이트 단자(324)가 게이트 팁(320) 상에 있다. 입력 신호는 공통 게이트 단자(324)를 통해 인버터에 제공될 수 있다. 인버터 레이아웃(300)의 다른 구현들에서, 임의의 적합한 수의 게이트 팁들이 메인 게이트 영역의 좌측/우측에 증착될 수 있다는 점에 주목한다. 더욱이, 공통 게이트 단자는 메인 게이트 영역들 또는 게이트 팁들 상의 임의의 지점에 위치될 수 있다.

[0048] PMOS(302)의 소스 영역(346)은 금속 커플링(308)을 통해 전원 레일(306)과 커플링되고, 소스 영역(346)과 금속 커플링(308) 사이의 정선(310)은 PMOS(302)의 소스 단자(310)로서 지정된다. PMOS(302)의 드레인 영역(348)은, 금속 커플링(326)을 통해 NMOS(304)의 드레인 영역(344)과 커플링된다. PMOS(302)의 드레인 영역(348)과 금속 커플링(326) 사이의 정선(318)은 PMOS(302)의 드레인 단자(318)로서 지정된다. NMOS(304)의 드레인 영역(344)과 금속 커플링(326) 사이의 정선(328)은, NMOS(304)의 드레인 단자(328)로서 지정된다. 출력 신호(즉, 게이트 단자(324)에서 제공되는 입력 신호의 반전)는 드레인 단자(318), 드레인 단자(328), 또는 금속 커플링(326)을 따라 다른 적합한 단자에서 수신될 수 있다. NMOS(304)의 소스 영역(342)은, 금속 커플링(334)을 통해 접지 단자(340)와 커플링되고, 소스 영역(342)과 금속 커플링(334) 사이의 정선(332)은 NMOS(304)의 소스 단자(332)로서 지정된다. 도 3에 도시되지 않았지만, 제작 이후에, 메인 게이트 영역과 게이트 팁들(314, 316, 320, 322, 336, 및 338) 각각 사이의 정선들은, 본원에 설명된 게이트 라운딩 효과로 인해, 도 1a를 참조하여 앞서 설명되고 도시된 바와 같이, 통상적으로 직사각형이 아니라, 그 대신에 라운드형이 될 것이다. 제작 이후에, MOSFET 인버터와 연관된 유효 게이트 영역은, 다음으로, 메인 게이트 영역들(312 및 330), 게이트 팁들(314, 316, 320, 322, 336, 및 338), 및 메인 게이트 영역들과 게이트 팁들 각각 사이의 게이트-라운드 영역들을 포함할 수 있다.

[0049] 도 4는, 게이트-라운딩 프로세스를 포함하는 예시의 트랜지스터 제작 동작들을 예시하는 흐름도("플로우")(400)이다. 플로우(400)는 블록(402)에서 시작한다.

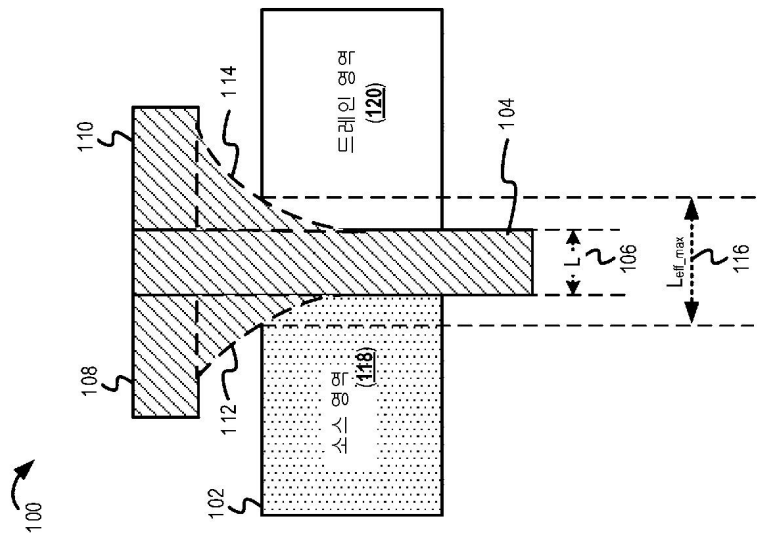
[0050] 블록(402)에서, 제조될 트랜지스터의 기판 영역이 형성된다. 일 구현에서, 제조 시스템은 트랜지스터의 기판 영역을 형성할 수 있다. 예를 들어, MOSFET(100)를 제조하기 위해, 기판 영역(102)은, 이온 주입 프로세스, 이온 확산 프로세스, 또는 다른 적합한 프로세스를 이용하여 형성될 수 있다. N-채널 MOSFET의 경우, 기판 영역(102)은 p-도핑된 반도체(예를 들어, p-도핑된 실리콘)일 수 있다. P-채널 MOSFET의 경우, 기판 영역(102)은 n-도핑된 반도체일 수 있다. 다른 구현들에서, 트랜지스터들은 정션 FET들(JFET들) 또는 다른 적합한 트랜지스터들일 수 있다는 점에 주목한다. 플로우는 블록(404)에서 계속된다.

- [0051] 블록(404)에서, 게이트 산화물 층이 트랜지스터의 기판 영역 상에서 성장된다. 예를 들어, 제조는 열 산화 프로세스를 이용하여 기판 영역(102) 위에 필드 산화물(예를 들어, 실리콘 이산화물)의 층을 성장시킬 수 있다. 다음으로, 필드 산화물 층은, MOSFET가 형성될 기판 영역(102)의 부분을 드러내기 위해 (예를 들어, 플루오르화 수소(HF) 에칭 프로세스 또는 포토-에칭 프로세스를 이용하여) 에칭될 수 있다. 제 1 마스크는, 그 상부에 MOSFET(즉, 소스 영역, 드레인 영역, 및 게이트 영역)이 있는, 기판 영역(102)의 오직 이러한 부분들만으로부터 필드 산화물을 에칭하는데 채용될 수 있다. 다음으로, 게이트 산화물 층이 (예를 들어, 열 산화 프로세스를 이용하여) 성장될 수 있다. 통상적으로, 게이트 산화물 층은 또한 필드 산화물 층(예를 들어, 실리콘 이산화물)과 동일한 재료일 수 있다. 그러나, 게이트 산화물 층의 두께는 통상적으로 필드 산화물 층의 두께보다 훨씬 작다. 플로우는 블록(406)에서 계속된다.
- [0052] 블록(406)에서, 트랜지스터의 게이트 산화물 층 상에 게이트 재료가 증착된다. 예를 들어, 제조 시스템은, 화학 기상 증착(CVD) 또는 다른 적합한 증착 메커니즘을 이용하여 게이트 산화물 층 상에, 다결정 실리콘(또한, 폴리실리콘으로서 지칭됨), 알루미늄, 또는 다른 적합한 게이트 재료를 증착할 수 있다. 게이트 재료는 전체 기판 영역을 커버하는 게이트 산화물 층에 걸쳐 증착될 수 있다. 그후, 게이트 영역을 형성하고, 기판 영역의 다른 부분들로부터 게이트 산화물 및 게이트 재료를 제거하기 위해 게이트 마스크가 (이하 설명될 바와 같이) 이용될 수 있다. 플로우는 블록(408)에서 계속된다.
- [0053] 블록(408)에서, 적절한 게이트 마스크를 이용하여 게이트 재료를 에칭함으로써, 메인 게이트 영역 및 메인 게이트 영역을 따라 하나 또는 그 초과와 게이트 팁들을 포함하는 게이트 영역이 형성된다. 예를 들어, 제작 시스템은, 게이트 영역을 형성하기 위해 게이트 마스크를 이용하여 폴리실리콘 및 대응 게이트 산화물 층을 에칭할 수 있다. 다시 말해서, 게이트 마스크는 에칭(또는 제거)되지 않아야 하는 폴리실리콘의 이러한 영역들을 보호할 수 있다. 기판 영역 상에 남아있는 폴리실리콘의 이러한 영역들(즉, 제거되지 않은 폴리실리콘 및 게이트 산화물의 영역들)은 트랜지스터의 게이트 영역을 구성한다. 몇몇 구현들에서, 게이트 마스크는, 소스 영역 및 드레인 영역이 형성될 기판 영역(102) 상의 이러한 영역들로부터 폴리실리콘 및 게이트 산화물을 에칭하도록 구성될 수 있다. 몇몇 구현들에서, 게이트 마스크는, 게이트 산화물(또는 MOSFET가 형성되지 않을 기판 영역(102)의 이러한 부분들로부터의 필드 산화물)을 제거하지 않도록, 구성될 수 있다. 게이트 마스크는 또한, 트랜지스터를 포함하는 집적 회로의 설계 레이아웃에서 컴포넌트들, 상호접속부들 등 사이의 하나 또는 그 초과와 보이드들(또는 갭들 또는 빈 공간들)을 (예를 들어, 제작 프로세스 이전에) 식별함으로써 구성될 수 있다. 몇몇 구현들에서, 설계 레이아웃 상에서 트랜지스터의 메인 게이트 영역이 식별될 수 있고, 메인 게이트 영역에 가까운(또는 인접하는) 설계 레이아웃에서의 하나 또는 그 초과와 보이드들이 식별될 수 있다. 이에 따라, 게이트 팁들이 대응하는 보이드들 내에 놓이도록, 메인 게이트 영역 및 게이트 팁들을 형성하기 위해 게이트 마스크가 설계될 수 있다.
- [0054] 몇몇 구현들에서, 폴리실리콘(및 게이트 산화물 층)은, 게이트 팁 및 메인 게이트 영역이 서로에 대해 직각(90도)을 이루도록, 게이트 마스크에 따라 에칭될 수 있다. 프로세스 제한들 및 물리적 제한들로 인해, 메인 게이트 영역(104)은 기판 영역(102)에 실질적으로 수직할 수 있다는 것을 이해해야 한다. 또한, 프로세스/물리적 제한들로 인해, 게이트 팁들(108 및 110)은, 기판 영역에 실질적으로 평행할 수 있고, 메인 게이트 영역(104)에 실질적으로 수직할 수 있다. 예를 들어, 게이트 팁들(108 및 110)은, 기판 영역(102)에 완벽하게 평행하는 것이 아니라, 완벽하게 평행한 포지션으로부터 0% - 5% 편차를 가질 수 있다. 다른 구현들에서, 게이트 팁 및 메인 게이트 영역은 이들의 정선에서 다른 적합한 각도들을 가질 수 있다. 이에 따라, 게이트 팁이 기판 영역(102)에 일반적으로 평행할 수 있지만, 게이트 팁과 메인 게이트 영역(104) 사이의 정선과 같은 게이트 팁의 특정 지점(또는 섹션)은 기판 영역(102)에 평행하지 않을 수 있다.
- [0055] 임의의 적합한 수의 게이트 팁들이 메인 게이트 영역과 함께 에칭될 수 있다. 예를 들어, 2개의 게이트 팁들(도 1a에 도시된 바와 같음), 하나의 게이트 팁(도 1b에 도시된 바와 같음), 3개의 게이트 팁들(도 1c에 도시된 바와 같음), 또는 4개의 게이트 팁들(도 1d에 도시된 바와 같음)이 메인 게이트 영역의 좌측/우측들에서 에칭될 수 있다. 몇몇 구현들에서, 사전-제작 분석 동안 식별되는 보이드들의 수와 상관없이 오직 미리결정된 수의 게이트 팁들만이, 메인 게이트 영역과 함께 에칭될 수 있다. 다른 구현들에서, 게이트 팁들의 수는, 오직 사전-제작 분석 동안 식별되는 보이드들의 수에 의해서만 제한될 수 있다. 도 2a 내지 도 2c에서 앞서 설명된 바와 같이, 게이트 팁들의 길이(154) 및 게이트 팁들과 기판 영역 사이의 거리(152)는, 트랜지스터와 연관된 유효 채널 길이에 영향을 줄 수 있다. 몇몇 구현들에서, 모든 게이트 팁들은, 동일한 길이를 가질 수 있고, 기판 영역으로부터 동일한 거리에 있을 수 있다. 다른 구현들에서, 몇몇/전체 게이트 팁들은 상이한 길이들 및/또는 기판 영역으로부터의 상이한 거리들을 가질 수 있다.

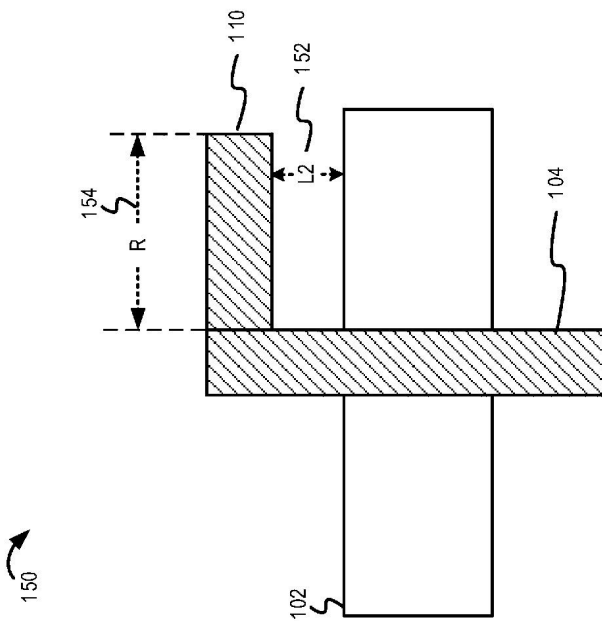
- [0056] 제작 프로세스의 프로세스 제한들 및 물리적 제한들로 인해, 각각의 게이트 팁과 메인 게이트 영역 사이의 정선은, 앞서 설명된 바와 같이, 실질적으로 직사각형 정선으로부터 실질적으로 라운디드 정선으로 변화할 수 있다. 예를 들어, 정선은, 제작 프로세스 동안 또는 제작 프로세스의 다른 단계들 동안 트랜지스터에 열이 가해진 후 실질적으로 라운디드 영역으로 변화할 수 있다. 게이트 팁과 종래의 게이트 영역 사이의 라운디드 정선은 본원에서 게이트-라운딩 영역으로 지칭된다. 앞서 설명된 바와 같이, 게이트-라운딩 프로세스로 인해, 게이트-라운딩 영역의 적어도 일부는, 기판 영역을 침해 또는 커버하여 메인 게이트 영역과 게이트 팁들 각각 사이의 정선 근처에서 게이트 영역의 길이를 증가시키고, 이에 따라 트랜지스터와 연관된 유효 채널 길이를 증가시킨다. 유효 채널 길이에 있어서의 증가는, 트랜지스터에 의해 생성된 누설 전류 및 트랜지스터와 연관된 정적 전력 소모에 있어서의 감소를 야기한다. 플로우는 블록(410)에서 계속된다.
- [0057] 블록(410)에서, 소스 영역 및 드레인 영역이 트랜지스터의 기판 영역 상에 형성된다. 예를 들어, 제작 시스템은, 기판 영역(102)의 에칭된 부분을 이에 따라 도핑함으로써 기판 영역(102) 상에 소스 영역(118) 및 드레인 영역(120)을 형성할 수 있다. 제작 시스템은, 트랜지스터의 기판 영역(102) 상에 소스 영역 및 드레인 영역을 형성하기 위해 불순물 확산 프로세스, 이온 주입 프로세스, 또는 다른 적합한 프로세스를 이용할 수 있다. 예를 들어, N-채널 MOSFET의 경우, 기판 영역(102)은 p-도핑된 반도체일 수 있고, 소스 영역(118) 및 드레인 영역(120)은 p-도핑된 기판 영역 상에 n-도핑된 소스 영역 및 n-도핑된 드레인 영역을 형성하기 위해 불순물들을 주입함으로써 형성될 수 있다. 소스 영역, 드레인 영역, 및 게이트 영역이 기판 영역 상에 형성된 후, 트랜지스터 제작 프로세스가 하나 또는 그 초과와 추가적인 단계들을 포함할 수 있다는 점에 주목한다. 예를 들어, 기판 영역(102)의 전체 표면은 실리콘 이산화물의 절연층으로 커버될 수 있다. 최종적으로, 금속 콘택들이 소스 영역, 드레인 영역, 및 게이트 영역 상에 형성된다. 집적 회로의 하나 또는 그 초과와 다른 컴포넌트들에 트랜지스터를 접속시키기 위해 금속 상호접속부들이 추가된다. 블록(408)으로부터, 플로우는 종료한다.
- [0058] 도 1a 내지 도 4는, 실시예들을 이해하는데 있어서 지원하도록 의도된 예시들이며, 실시예들을 제한하거나 또는 청구항들의 범위를 제한하도록 이용되지 않는다는 것을 이해해야 한다. 실시예들은, 추가적인 동작들, 더 적은 동작들, 상이한 순서의 동작들, 병렬 동작들을, 그리고 몇몇 동작들을 상이하게 수행할 수 있다. 본원에 설명된 게이트-라운딩 기법은 사전에-존재하는 설계 레이아웃들에 적용될 수 있다는 점에 주목한다. 게이트-라운딩 기법은 또한, MOSFET에 의해 발생하는 누설 전류 및 MOSFET와 연관된 정적 전력 소모를 추가로 감소시키기 위해 MOSFET에 의해 발생하는 누설 전류를 감소시키기 위한 기존의 기법들(예를 들어, 높은-임계치 MOSFET 설계, 긴-채널 MOSFET 설계 등)에 대한 확장판으로서(as an extension) 적용될 수 있다. 몇몇 구현들에서, MOSFET 설계를 위한 게이트-라운딩 기법은, 다양한 유형들의 회로들, 예를 들어, 표준 로직, 드라이버, 메모리 셀들, 및 MOSFET들을 채용하는 다른 집적 회로들(그러나, 이에 제한되지 않음)에 채용될 수 있다. 추가적으로, 다른 실시예들에서, 동작들 몇몇이 트랜지스터 제작을 위해 수행되는 순서는 도 4에서 도시된 순서와 상이할 수 있다는 점이 주목된다.
- [0059] 실시예들이 다양한 구현들 및 활용들과 관련하여 설명되지만, 이러한 실시예들은 예시적이며, 본 발명의 요지의 범위는 이들로 제한되지 않는다는 것이 이해될 것이다. 일반적으로, 본원에 설명된 바와 같이, 감소된 트랜지스터 누설 전류를 위한 게이트 라운딩 기법들은 임의의 하드웨어 시스템 또는 하드웨어 시스템들과 연관되는 설비들로 구현될 수 있다. 수많은 변동들, 변형들, 부가들, 및 개선들이 가능하다.
- [0060] 복수의 경우들이, 단일 경우로서 본원에 설명된 컴포넌트들, 동작들, 또는 구조들에 대해 제공될 수 있다. 최종적으로, 다양한 컴포넌트들, 동작들 및 데이터 저장소들 사이의 바운더리들은 다소 임의적이고, 특정 동작들이 특정 예시적인 구성들의 맥락에서 예시된다. 기능의 다른 배정들이, 구상되고, 본 발명의 요지의 범위 내에 포함될 수 있다. 일반적으로, 예시적인 구성들에서 별도의 컴포넌트들로서 제시되는 구조들 및 기능이 조합된 구조 또는 컴포넌트로서 구현될 수 있다. 유사하게, 단일 컴포넌트로서 제시되는 구조들 및 기능이 별도의 컴포넌트들로서 구현될 수 있다. 이러한 및 다른 변동들, 변형들, 부가들, 및 개선들은 본 발명 요지의 범위 내에 포함될 수 있다.

도면

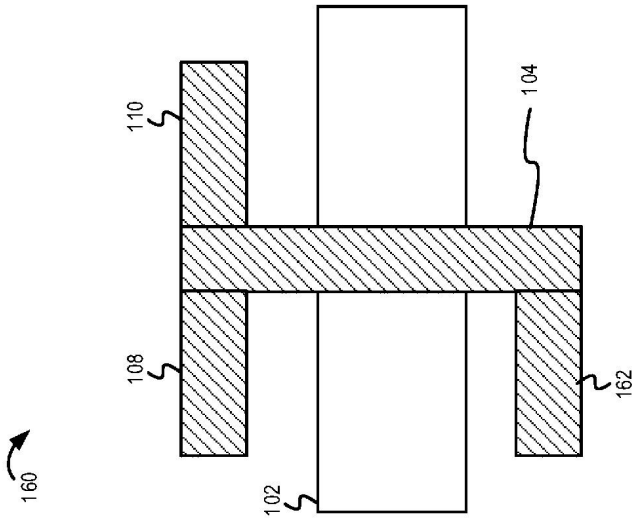
도면 1a



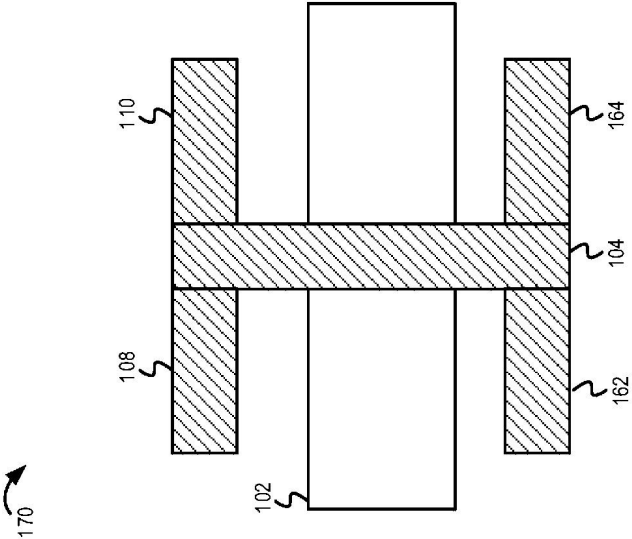
도면1b



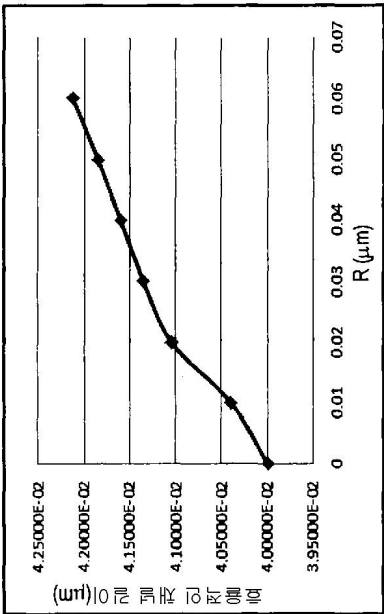
도면1c



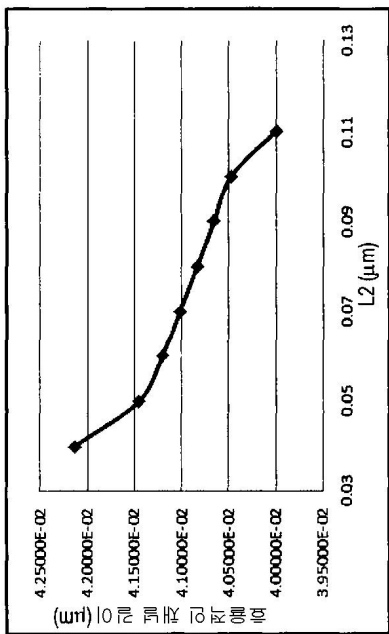
도면1d



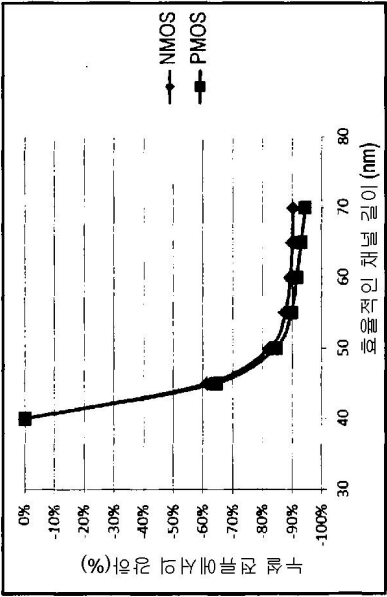
도면2a



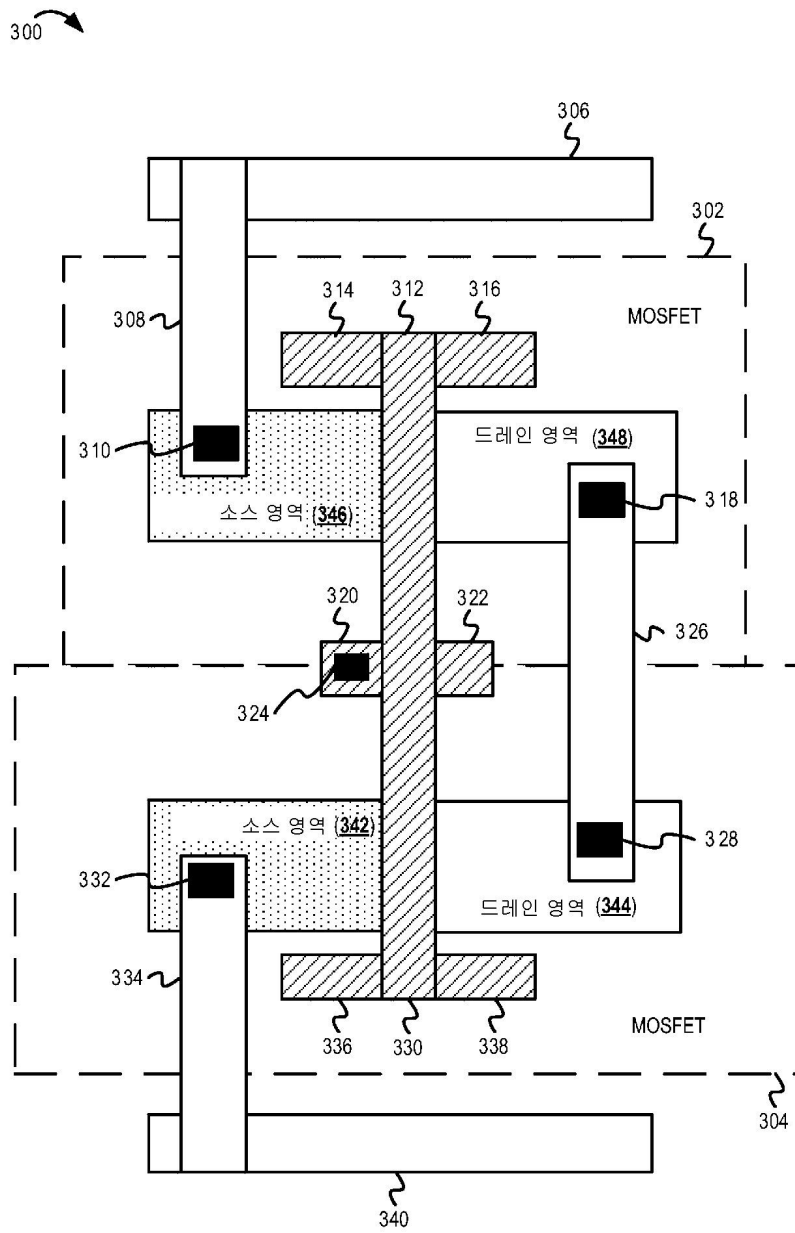
도면2b



도면2c



도면3



도면4

