

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(43) 国际公布日
2016 年 6 月 30 日 (30.06.2016)



(10) 国际公布号
WO 2016/101400 A1

- (51) 国际专利分类号:
H01L 21/336 (2006.01) H01L 29/786 (2006.01)
H01L 27/12 (2006.01)
- (21) 国际申请号: PCT/CN2015/072557
- (22) 国际申请日: 2015 年 2 月 9 日 (09.02.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410817867.6 2014 年 12 月 24 日 (24.12.2014) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO.,LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 卢改平 (LU, Gaiping); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

- (74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ,

[见续页]

(54) Title: METHOD FOR MANUFACTURING LOW-TEMPERATURE POLYCRYSTALLINE SILICON TFT SUBSTRATE AND STRUCTURE OF LOW-TEMPERATURE POLYCRYSTALLINE SILICON TFT SUBSTRATE

(54) 发明名称: 低温多晶硅 TFT 基板的制作方法及其结构

- | | | |
|---|----|---|
| 步骤1、提供基板(1), 在所述基板(1)上沉积缓冲层(2); | 1 | 1 step 1, provide a substrate (1) and deposit a buffer layer (2) on the substrate (1) |
| 步骤2、在所述缓冲层(2)上沉积非晶硅层(3); | 2 | 2 step 2, deposit an amorphous silicon layer (3) on the buffer layer (2) |
| 步骤3、在所述非晶硅层(3)上沉积氧化硅层, 并通光、蚀刻制程对氧化硅层进行图案化处理, 得到位于显示区域的氧化硅层(4); | 3 | 3 step 3, deposit a silicon oxide layer on the amorphous silicon layer (3), and pattern the silicon oxide layer by means of photolithography and etching processes to obtain the silicon oxide layer (4) located in a display region |
| 步骤4、以所述氧化硅层(4)作为光罩, 对非晶硅层(3)进行准分子激光退火处理, 使非晶硅层(3)结晶、转变为多晶硅层, 并去除所述氧化硅层(4); | 4 | 4 step 4, perform excimer laser annealing treatment on the amorphous silicon layer (3) with the silicon oxide layer (4) as a photomask so that the amorphous silicon layer (3) is crystallized and converted into a polycrystalline silicon layer, and remove the silicon oxide layer (4) |
| 步骤5、以所述多晶硅层(4)作为光罩, 对非晶硅层(3)进行准分子激光退火处理, 使非晶硅层(3)结晶、转变为多晶硅层, 并去除所述氧化硅层(4); | 5 | 5 step 5, pattern the polycrystalline silicon layer by means of the photolithography and etching processes to form a first polycrystalline silicon section (31) located in the display region and a second polycrystalline silicon section (32) located in a driving region that are arranged at an interval |
| 步骤6、通过光、蚀刻制程对所述多晶硅层进行图案化处理, 形成间隔排列的位于显示区域的第一多晶硅段(31)与位于驱动区域的第一多晶硅段(32); | 6 | 6 step 6, define an N-type heavily doped region and an N-type lightly doped region on the first polycrystalline silicon section (31) and the second polycrystalline silicon section (32) respectively, and dope P+ of different doses in the N-type heavily doped regions and the N-type lightly doped regions to obtain lightly doped drain regions |
| 步骤7、在所述多晶硅段(31)、第二多晶硅段(32)上定义由N型重掺杂和N型轻掺杂区域, 并分别由N型重掺杂与N型轻掺杂区域掺杂不同剂量的P+, 得到轻掺杂漏区; | 7 | 7 step 7, deposit and pattern a gate insulation layer (5) on the buffer layer (2), the first polycrystalline silicon section (31) and the second polycrystalline silicon section (32) |
| 步骤8、在所述缓冲层(2)、第一多晶硅段(31)、及第二多晶硅段(32)上沉积并图案化栅极绝缘层(5); | 8 | 8 step 8, deposit and pattern a first metal layer on the gate insulation layer (5) above the first polycrystalline silicon section (31) and the second polycrystalline silicon section (32) to form a first gate (61) and a second gate (62) |
| 步骤9、在所述栅极绝缘层(5)上沉积并图案化第一金属层, 形成第一栅极(61)、及第二栅极(62); | 9 | 9 step 9, form an inter-layer insulation layer (7) on the gate insulation layer (5), and form via holes (70) in the gate insulation layer (5) and the inter-layer insulation layer (7) above the N-type heavily doped regions on two sides of the first polycrystalline silicon section (31) and the second polycrystalline silicon section (32) |
| 步骤10、在所述栅极绝缘层(5)上沉积并图案化第二金属层, 形成第一源/漏极(81)、及第二源/漏极(82); | 10 | 10 step 10, deposit and pattern a second metal layer on the inter-layer insulation layer (7), and form a first source/drain (81) and a second source/drain (82) that are in contact with the N-type heavily doped regions on two sides of the first polycrystalline silicon section (31) and the second polycrystalline silicon section (32) by means of the via holes (70) |

图2 / FIG.2

(57) Abstract: Provided are a method for manufacturing a low-temperature polycrystalline silicon TFT substrate and a structure of the low-temperature polycrystalline silicon TFT substrate. The method comprises: step 1, providing a substrate (1) and depositing a buffer layer (2); step 2, depositing an amorphous silicon layer (3); step 3, depositing and patterning a silicon oxide layer (4); step 4, performing excimer laser annealing treatment on the amorphous silicon layer (3) with the silicon oxide layer (4) as a photomask, so that the amorphous silicon layer (3) is crystallized and converted into a polycrystalline silicon layer; step 5, forming a first polycrystalline silicon section (31) and a second polycrystalline silicon section (32); step 6, defining an N-type heavily doped region and an N-type lightly doped region on the first polycrystalline silicon section (31) and the second polycrystalline silicon section (32) respectively, and obtaining lightly doped drain regions; step 7, depositing and patterning a gate insulation layer (5); step 8, forming a first gate (61) and a second gate (62); step 9, forming via holes (70); and step 10, forming a first source/drain (81) and a second source/drain (82).

(57) 摘要:

[见续页]

WO 2016/101400 A1



BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

提供一种低温多晶硅 TFT 基板的制作方法及其结构, 该方法包括: 步骤 1、提供基板 (1), 沉积缓冲层 (2); 步骤 2、沉积非晶硅层 (3); 步骤 3、沉积并图案化氧化硅层 (4); 步骤 4、以氧化硅层 (4) 为光罩, 对非晶硅层 (3) 进行准分子激光退火处理, 使其结晶、转变为多晶硅层; 步骤 5、形成第一多晶硅段 (31) 与第二多晶硅段 (32); 步骤 6、在第一多晶硅段 (31)、第二多晶硅段 (32) 上定义出 N 型重掺杂和 N 型轻掺杂区域, 并得到轻掺杂漏区; 步骤 7、沉积并图案化栅极绝缘层 (5); 步骤 8、形成第一栅极 (61)、及第二栅极 (62); 步骤 9、形成过孔 (70); 步骤 10、形成第一源 / 漏极 (81)、及第二源 / 漏极 (82)。

低温多晶硅 TFT 基板的制作方法及其结构

技术领域

5 本发明涉及显示技术领域，尤其涉及一种低温多晶硅 TFT 基板的制作方法及其结构。

背景技术

薄膜晶体管液晶显示器（Thin-film transistor liquid crystal display, TFT-LCD）分为多晶硅（Poly-Si）技术与非晶硅（a-Si）技术，低温多晶硅（Low Temperature Poly-silicon, LTPS）技术是新一代薄膜晶体管液晶显示器的制造技术，与传统非晶硅显示器最大差异在于低温多晶硅显示器反应速度较快，且有高亮度、高解析度与低耗电量等优点。

低温多晶硅的硅结晶排列较非晶硅有次序，使得电子迁移率相对高一百倍以上，可以将外围驱动电路同时制作在玻璃基板上，可节省空间及驱动 IC 的成本。由于驱动 IC 线路直接制作于面板上，可以减少零件对外接点，增加可靠度、维护更简单、缩短组装制程时间及降低电磁干扰特性，可减少应用系统设计时程及扩大设计自由度。

图 1 所示为一种现有低温多晶硅 TFT 基板的结构示意图，其制作方法大致包括如下步骤：

20 步骤 1、提供基板 100，在基板 100 上沉积缓冲层 200；

步骤 2、在缓冲层 200 上沉积非晶硅层；

步骤 3、对非晶硅层进行准分子激光退火处理，使非晶硅层结晶、转变为多晶硅层，

25 步骤 4、通过黄光、蚀刻制程对多晶硅层进行图案化处理，形成间隔排列的位于显示区域的第一多晶硅段 310 与位于驱动区域的第二多晶硅段 320；

步骤 5、分别在第一多晶硅段 310、第二多晶硅段 320 上定义出 N 型重掺杂和 N 型轻掺杂区域，并分别在 N 型重掺杂与 N 型轻掺杂区域掺杂不同剂量的 P31，得到轻掺杂漏区；

30 步骤 6、在缓冲层 2、第一多晶硅段 310、及第二多晶硅段 320 上沉积并图案化栅极绝缘层 500；

步骤 7、在栅极绝缘层 500 上对应第一多晶硅段 310、第二多晶硅段 320 的上方分别沉积并图案化第一金属层，形成第一栅极 610、及第二栅极 620；

步骤 8、在栅极绝缘层 500 上形成层间绝缘层 700，并在栅极绝缘层 500 与层间绝缘层 700 上对应第一多晶硅段 310、第二多晶硅段 320 两侧的 N 型重掺杂区域上方形成过孔 710；

5 步骤 9、在层间绝缘层 700 上沉积并图案化第二金属层，形成第一源/漏极 810、及第二源/漏极 820；

所述第一源/漏极 810 与第二源/漏极 820 分别经由过孔 710 与第一多晶硅段 310、第二多晶硅段 320 两侧的 N 型重掺杂区域相接触。之后通过后续常规制程得到完整的低温多晶硅 TFT 基板结构。

10 然而低温多晶硅 TFT 基板中包括显示区域、及位于非显示区域的驱动区域，采用上述方法制作出的低温多晶硅 TFT 基板中，显示区域的均一性较差，同时驱动区域驱动电路的电子迁移率也有待提高，进而影响了低温多晶硅 TFT 基板的品质。

发明内容

15 本发明的目的在于提供一种低温多晶硅 TFT 基板的制作方法，能够在驱动区域形成相对较大颗粒的多晶硅晶粒，获得较大的电子迁移率，使驱动电路特性得到提高，而显示区域形成相对较小颗粒且具有较佳的均一性的多晶硅晶粒，使显示区域内 TFT 的电性更均一，从而提高低温多晶硅 TFT 基板的品质。

20 本发明的另一目的在于提供一种低温多晶硅 TFT 基板结构，其位于驱动区域的多晶硅段的结晶晶粒较大，位于显示区域的多晶硅段的结晶晶粒较小但均一性较好，使得驱动电路具有良好的电特性，显示区域内 TFT 的电性更均一，从而使得 TFT 基板具有较高的品质。

25 为实现上述目的，本发明提供一种低温多晶硅 TFT 基板的制作方法，包括如下步骤：

步骤 1、提供基板，在所述基板上沉积缓冲层；

步骤 2、在所述缓冲层上沉积非晶硅层；

步骤 3、在所述非晶硅层上沉积氧化硅层，并通过黄光、蚀刻制程对氧化硅层进行图案化处理，得到位于显示区域的氧化硅层；

30 步骤 4、以所述氧化硅层作为光罩，对非晶硅层进行准分子激光退火处理，使非晶硅层结晶、转变为多晶硅层，并去除所述氧化硅层；

步骤 5、通过黄光、蚀刻制程对所述多晶硅层进行图案化处理，形成间隔排列的位于显示区域的第一多晶硅段与位于驱动区域的第二多晶硅段；

步骤 6、分别在所述第一多晶硅段、第二多晶硅段上定义出 N 型重掺

杂和 N 型轻掺杂区域, 并分别在 N 型重掺杂与 N 型轻掺杂区域掺杂不同剂量的 P31, 得到轻掺杂漏区;

步骤 7、在所述缓冲层、第一多晶硅段、及第二多晶硅段上沉积并图案化栅极绝缘层;

5 步骤 8、在所述栅极绝缘层上对应第一多晶硅段、第二多晶硅段的上方分别沉积并图案化第一金属层, 形成第一栅极、及第二栅极;

步骤 9、在所述栅极绝缘层上形成层间绝缘层, 并在所述栅极绝缘层与层间绝缘层上对应所述第一多晶硅段、第二多晶硅段两侧的 N 型重掺杂区域上方形成过孔;

10 步骤 10、在所述层间绝缘层上沉积并图案化第二金属层, 形成第一源/漏极、及第二源/漏极,

所述第一源/漏极与第二源/漏极分别经由所述过孔与所述第一多晶硅段、第二多晶硅段两侧的 N 型重掺杂区域相接触。

所述缓冲层的材料为氮化硅、氧化硅、或二者的组合。

15 所述层间绝缘层的材料为氧化硅、氮化硅、或二者的组合。

所述第一栅极、第二栅极的材料为钼、钛、铝、铜中的一种或多种的堆栈组合。

所述步骤 6 用两次光罩通过黄光光阻分别定义出 N 型重掺杂和 N 型轻掺杂区域, 并分别在 N 型重掺杂与 N 型轻掺杂区域掺杂不同剂量的 P31, 得到轻掺杂漏区。

20 通过沉积、黄光、及蚀刻制程得到所述栅极绝缘层、第一栅极、第二栅极、过孔、第一源/漏极、及第二源/漏极。

本发明还提供一种低温多晶硅 TFT 基板结构, 包括基板、设于所述基板上的缓冲层、设于所述缓冲层上间隔排列的第一多晶硅段与第二多晶硅段、分别设于所述第一多晶硅段与第二多晶硅段上的第一源/漏极与第二源/漏极、设于所述缓冲层、第一多晶硅段、及第二多晶硅段上的栅极绝缘层、
25 设于所述栅极绝缘层上分别位于第一多晶硅段与第二多晶硅段上方的第一栅极与第二栅极、及设于所述栅极绝缘层、第一栅极及第二栅极上的层间绝缘层, 所述第一多晶硅段与第二多晶硅段的两侧为 N 型重掺杂区域, 所述
30 所述第一源/漏极与第二源/漏极分别经由一过孔与所述第一多晶硅段与第二多晶硅段两侧的 N 型重掺杂区域相接触;

所述低温多晶硅 TFT 基板包括显示区域与驱动区域, 所述第一多晶硅段位于所述低温多晶硅 TFT 基板的显示区域, 所述第二多晶硅段位于所述低温多晶硅 TFT 基板的驱动区域, 所述第一多晶硅段的结晶晶粒小于所述

第二多晶硅段的结晶晶粒，且所述第一多晶硅段的结晶均匀度大于所述第二多晶硅段的结晶均匀度。

所述缓冲层的材料为氮化硅、氧化硅、或二者的组合。

所述层间绝缘层的材料为氧化硅、氮化硅、或二者的组合。

5 所述第一栅极、第二栅极的材料为钼、钛、铝、铜中的一种或多种的堆栈组合。

本发明还提供一种低温多晶硅 TFT 基板结构，包括基板、设于所述基板上的缓冲层、设于所述缓冲层上间隔排列的第一多晶硅段与第二多晶硅段、分别设于所述第一多晶硅段与第二多晶硅段上的第一源/漏极与第二源/漏极、设于所述缓冲层、第一多晶硅段、及第二多晶硅段上的栅极绝缘层、
10 设于所述栅极绝缘层上分别位于第一多晶硅段与第二多晶硅段上方的第一栅极与第二栅极、及设于所述栅极绝缘层、第一栅极及第二栅极上的层间绝缘层，所述第一多晶硅段与第二多晶硅段的两侧为 N 型重掺杂区域，所述第一源/漏极与第二源/漏极分别经由一过孔与所述第一多晶硅段与第二
15 多晶硅段两侧的 N 型重掺杂区域相接触；

所述低温多晶硅 TFT 基板包括显示区域与驱动区域，所述第一多晶硅段位于所述低温多晶硅 TFT 基板的显示区域，所述第二多晶硅段位于所述低温多晶硅 TFT 基板的驱动区域，所述第一多晶硅段的结晶晶粒小于所述第二多晶硅段的结晶晶粒，且所述第一多晶硅段的结晶均匀度大于所述第二多晶硅段的结晶均匀度；
20 二多晶硅段的结晶均匀度；

其中，所述缓冲层的材料为氮化硅、氧化硅、或二者的组合；

其中，所述层间绝缘层的材料为氧化硅、氮化硅、或二者的组合；

其中，所述第一栅极、第二栅极的材料为钼、钛、铝、铜中的一种或多种的堆栈组合。

25 本发明的有益效果：本发明的低温多晶硅 TFT 基板的制作方法，在对非晶硅层进行准分子激光退火处理前，先在非晶硅层上沉积一层氧化硅层并图案化，得到位于显示区域的非晶硅层上方的氧化硅层，然后以该氧化硅层作为光罩，对非晶硅层进行准分子激光退火处理，使非晶硅层结晶、转变为多晶硅层，并且在驱动区域形成相对较大的晶粒，以获得高的电子
30 迁移率，在显示区域因有氧化硅层的遮挡，获得激光的能量相对较小，形成相对较小但均一性较好的晶粒，使得显示区域内电子迁移率具有较好的均一性，从而提高低温多晶硅 TFT 基板的品质，且制程简便，易操作。本发明提供的低温多晶硅 TFT 基板结构，其位于驱动区域的多晶硅段的结晶晶粒大于显示区域的多晶硅段的结晶晶粒，使得驱动电路具有良好的电特

性，显示区域内 TFT 的电性更均一，从而使得 TFT 基板具有较高的品质。

附图说明

下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其它有益效果显而易见。

附图中，

图 1 为一种现有低温多晶硅 TFT 基板的结构示意图；

图 2 为本发明低温多晶硅 TFT 基板的制作方法的流程图；

图 3 为本发明低温多晶硅 TFT 基板的制作方法的步骤 1 的示意图；

图 4 为本发明低温多晶硅 TFT 基板的制作方法的步骤 2 的示意图；

图 5 为本发明低温多晶硅 TFT 基板的制作方法的步骤 3 的示意图；

图 6-7 为本发明低温多晶硅 TFT 基板的制作方法的步骤 4 的示意图；

图 8 为本发明低温多晶硅 TFT 基板的制作方法的步骤 5 的示意图；

图 9 为本发明低温多晶硅 TFT 基板的制作方法的步骤 6 的示意图；

图 10 为本发明低温多晶硅 TFT 基板的制作方法的步骤 7 的示意图；

图 11 为本发明低温多晶硅 TFT 基板的制作方法的步骤 8 的示意图；

图 12 为本发明低温多晶硅 TFT 基板的制作方法的步骤 9 的示意图；

图 13 为本发明低温多晶硅 TFT 基板的制作方法的步骤 10 的示意图暨本发明低温多晶硅 TFT 基板结构的剖面示意图。

具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

请参阅图 1，本发明提供一种低温多晶硅 TFT 基板的制作方法，包括如下步骤：

步骤 1、如图 3 所示，提供基板 1，在所述基板 1 上沉积缓冲层 2。

所述基板 1 为透明基板，优选的，所述基板 1 为玻璃基板或塑料基板。

具体地，所述缓冲层 2 的材料可以是氮化硅（ SiN_x ）、氧化硅（ SiO_x ）、或二者的组合。

步骤 2、如图 4 所示，在所述缓冲层 2 上沉积非晶硅层 3。

步骤 3、如图 5 所示，在所述非晶硅层 3 上沉积氧化硅层，并通过黄光、蚀刻制程对氧化硅层进行图案化处理，得到位于显示区域的氧化硅层 4。

此时位于非显示区域的驱动区域的非晶硅层 3 上方没有氧化硅层 4 的覆盖。

步骤4、如图6-7所示，以所述氧化硅层4作为光罩，对非晶硅层3进行准分子激光退火处理，使非晶硅层3结晶、转变为多晶硅层，并去除所述氧化硅层4。

在对非晶硅层3进行准分子激光退火处理时，由于显示区域的非晶硅层3上方有氧化硅层4覆盖，因而获得激光的能量相对较小，形成相对较小但均一性较好的晶粒。驱动区域的非晶硅层3上方没有氧化硅层4覆盖，因而获得激光的能量相对较大，形成相对较大的晶粒。

步骤5、如图8所示，通过黄光、蚀刻制程对所述多晶硅层进行图案化处理，形成间隔排列的位于显示区域的第一多晶硅段31与位于驱动区域的第二多晶硅段32。

其中，位于显示区域的第一多晶硅段31中的晶粒较小，位于驱动区域的第二多晶硅段32的晶粒较大，但是位于显示区域的第一多晶硅段31中的晶粒的均一性较好。

步骤6、如图9所示，分别在所述第一多晶硅段31、第二多晶硅段32上定义出N型重掺杂和N型轻掺杂区域，并分别在N型重掺杂与N型轻掺杂区域掺杂不同剂量的P31（磷31），得到轻掺杂漏区。

具体地，用两次光罩通过黄光光阻分别定义出N型重掺杂和N型轻掺杂区域，并分别在N型重掺杂与N型轻掺杂区域掺杂不同剂量的P31（磷31），得到轻掺杂漏区。

步骤7、如图10所示，在所述缓冲层2、第一多晶硅段31、及第二多晶硅段32上沉积并图案化栅极绝缘层5。

步骤8、如图11所示，在所述栅极绝缘层5上对应第一多晶硅段31、第二多晶硅段32的上方分别沉积并图案化第一金属层，形成第一栅极61、及第二栅极62。

具体地，所述第一栅极61、第二栅极62的材料可以是钼（Mo）、钛（Ti）、铝（Al）、铜（Cu）中的一种或多种的堆栈组合。

步骤9、如图12所示，在所述栅极绝缘层5上形成层间绝缘层7，并在所述栅极绝缘层5与层间绝缘层7上对应所述第一多晶硅段31、第二多晶硅段32两侧的N型重掺杂区域上方形成过孔70。

具体地，所述层间绝缘层7的材料可以是氮化硅（SiN_x）、氧化硅（SiO_x）、或二者的组合。

步骤10、如图13所示，在所述层间绝缘层7上沉积并图案化第二金属层，形成第一源/漏极81、及第二源/漏极82。

所述第一源/漏极81与第二源/漏极82分别经由所述过孔70与所述第

一多晶硅段 31、第二多晶硅段 32 两侧的 N 型重掺杂区域相接触。之后可以采用现有技术完成后续制程，最终得到完整的低温多晶硅 TFT 基板。

具体地，通过沉积、黄光、及蚀刻制程得到所述栅极绝缘层 5、第一栅极 61、第二栅极 62、过孔 70、第一源/漏极 81、及第二源/漏极 82。

5 上述低温多晶硅 TFT 基板的制作方法中，在对非晶硅层进行准分子激光退火处理前，先在非晶硅层上沉积一层氧化硅层并图案化，得到位于显示区域的非晶硅层上方的氧化硅层，然后以该氧化硅层作为光罩，对非晶硅层进行准分子激光退火处理，使非晶硅层结晶、转变为多晶硅层，并且在驱动区域形成相对较大的晶粒，以获得高的电子迁移率，在显示区域因
10 有氧化硅层的遮挡，获得激光的能量相对较小，形成相对较小但均一性较好的晶粒，使得显示区域内电子迁移率具有较好的均一性，从而提高低温多晶硅 TFT 基板的品质。

请参阅图 13，本发明还提供一种低温多晶硅 TFT 基板结构，包括基板 1、设于所述基板 1 上的缓冲层 2、设于所述缓冲层 2 上间隔排列的第一多
15 晶硅段 31 与第二多晶硅段 32、分别设于所述第一多晶硅段 31 与第二多晶硅段 32 上的第一源/漏极 81 与第二源/漏极 82、设于所述缓冲层 2、第一多晶硅段 31、及第二多晶硅段 32 上的栅极绝缘层 5、设于所述栅极绝缘层 5 上分别位于第一多晶硅段 31 与第二多晶硅段 32 上方的第一栅极 61 与第二栅极 62、及设于所述栅极绝缘层 5、第一栅极 61 及第二栅极 62 上的层间
20 绝缘层 7，所述第一多晶硅段 31 与第二多晶硅段 32 的两侧为 N 型重掺杂区域，所述第一源/漏极 81 与第二源/漏极 82 分别经由一过孔 70 与所述第一多晶硅段 31 与第二多晶硅段 32 两侧的 N 型重掺杂区域相接触。

所述低温多晶硅 TFT 基板包括显示区域与驱动区域，所述第一多晶硅段 31 位于所述低温多晶硅 TFT 基板的显示区域，所述第二多晶硅段 32 位
25 于所述低温多晶硅 TFT 基板的驱动区域，所述第一多晶硅段 31 的结晶晶粒小于所述第二多晶硅段 32 的结晶晶粒，且所述第一多晶硅段 31 的结晶均匀度大于所述第二多晶硅段 32 的结晶均匀度。

所述基板 1 为透明基板，优选的，所述基板 1 为玻璃基板或塑料基板。

具体地，所述缓冲层 2、层间绝缘层 7 的材料可以是氮化硅 (SiNx)、
30 氧化硅 (SiOx)、或二者的组合。

所述第一栅极 61、第二栅极 62 的材料可以是钼 (Mo)、钛 (Ti)、铝 (Al)、铜 (Cu) 中的一种或多种的堆栈组合。

上述低温多晶硅 TFT 基板结构中，其位于驱动区域的多晶硅段的结晶晶粒显示区域的多晶硅段的结晶晶粒较大，位于显示区域的多晶硅段的晶

粒相对较小但均一性较好，因而驱动电路具有良好的电特性，显示区域内 TFT 的电性更均一，从而使得 TFT 基板具有较高的品质。

综上所述，本发明的低温多晶硅 TFT 基板的制作方法，在对非晶硅层进行准分子激光退火处理前，先在非晶硅层上沉积一层氧化硅层并图案化，得到位于显示区域的非晶硅层上方的氧化硅层，然后以该氧化硅层作为光罩，对非晶硅层进行准分子激光退火处理，使非晶硅层结晶、转变为多晶硅层，并且在驱动区域形成相对较大的晶粒，以获得高的电子迁移率，在显示区域因有氧化硅层的遮挡，获得激光的能量相对较小，形成相对较小但均一性较好的晶粒，使得显示区域内电子迁移率具有较好的均一性，从而提高低温多晶硅 TFT 基板的品质，且制程简便，易操作。本发明提供的低温多晶硅 TFT 基板结构，其位于驱动区域的多晶硅段的结晶晶粒大于显示区域的多晶硅段的结晶晶粒，使得驱动电路具有良好的电特性，显示区域内 TFT 的电性更均一，从而使得 TFT 基板具有较高的品质。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明权利要求的保护范围。

权 利 要 求

1、一种低温多晶硅 TFT 基板的制作方法，包括如下步骤：

步骤 1、提供基板，在所述基板上沉积缓冲层；

5 步骤 2、在所述缓冲层上沉积非晶硅层；

步骤 3、在所述非晶硅层上沉积氧化硅层，并通过黄光、蚀刻制程对氧化硅层进行图案化处理，得到位于显示区域的氧化硅层；

步骤 4、以所述氧化硅层作为光罩，对非晶硅层进行准分子激光退火处理，使非晶硅层结晶、转变为多晶硅层，并去除所述氧化硅层；

10 步骤 5、通过黄光、蚀刻制程对所述多晶硅层进行图案化处理，形成间隔排列的位于显示区域的第一多晶硅段与位于驱动区域的第二多晶硅段；

步骤 6、分别在所述第一多晶硅段、第二多晶硅段上定义出 N 型重掺杂和 N 型轻掺杂区域，并分别在 N 型重掺杂与 N 型轻掺杂区域掺杂不同剂量的 P31，得到轻掺杂漏区；

15 步骤 7、在所述缓冲层、第一多晶硅段、及第二多晶硅段上沉积并图案化栅极绝缘层；

步骤 8、在所述栅极绝缘层上对应第一多晶硅段、第二多晶硅段的上方分别沉积并图案化第一金属层，形成第一栅极、及第二栅极；

20 步骤 9、在所述栅极绝缘层上形成层间绝缘层，并在所述栅极绝缘层与层间绝缘层上对应所述第一多晶硅段、第二多晶硅段两侧的 N 型重掺杂区域上方形成过孔；

步骤 10、在所述层间绝缘层上沉积并图案化第二金属层，形成第一源/漏极、及第二源/漏极，

25 所述第一源/漏极与第二源/漏极分别经由所述过孔与所述第一多晶硅段、第二多晶硅段两侧的 N 型重掺杂区域相接触。

2、如权利要求 1 所述的低温多晶硅 TFT 基板的制作方法，其中，所述缓冲层的材料为氮化硅、氧化硅、或二者的组合。

3、如权利要求 1 所述的低温多晶硅 TFT 基板的制作方法，其中，所述层间绝缘层的材料为氧化硅、氮化硅、或二者的组合。

30 4、如权利要求 1 所述的低温多晶硅 TFT 基板的制作方法，其中，所述第一栅极与第二栅极的材料为钼、钛、铝和铜中的一种或多种的堆栈组合。

5、如权利要求 1 所述的低温多晶硅 TFT 基板的制作方法，其中，所述步骤 6 用两次光罩通过黄光光阻分别定义出 N 型重掺杂和 N 型轻掺杂区域，

并分别在 N 型重掺杂与 N 型轻掺杂区域掺杂不同剂量的 P31，得到轻掺杂漏区。

6、如权利要求 1 所述的低温多晶硅 TFT 基板的制作方法，其中，通过沉积、黄光、及蚀刻制程得到所述栅极绝缘层、第一栅极、第二栅极、过孔、第一源/漏极、及第二源/漏极。

7、一种低温多晶硅 TFT 基板结构，包括基板、设于所述基板上的缓冲层、设于所述缓冲层上间隔排列的第一多晶硅段与第二多晶硅段、分别设于所述第一多晶硅段与第二多晶硅段上的第一源/漏极与第二源/漏极、设于所述缓冲层、第一多晶硅段、及第二多晶硅段上的栅极绝缘层、设于所述栅极绝缘层上分别位于第一多晶硅段与第二多晶硅段上方的第一栅极与第二栅极、及设于所述栅极绝缘层、第一栅极及第二栅极上的层间绝缘层，所述第一多晶硅段与第二多晶硅段的两侧为 N 型重掺杂区域，所述第一源/漏极与第二源/漏极分别经由一过孔与所述第一多晶硅段与第二多晶硅段两侧的 N 型重掺杂区域相接触；

15 所述低温多晶硅 TFT 基板包括显示区域与驱动区域，所述第一多晶硅段位于所述低温多晶硅 TFT 基板的显示区域，所述第二多晶硅段位于所述低温多晶硅 TFT 基板的驱动区域，所述第一多晶硅段的结晶晶粒小于所述第二多晶硅段的结晶晶粒，且所述第一多晶硅段的结晶均匀度大于所述第二多晶硅段的结晶均匀度。

20 8、如权利要求 7 所述的低温多晶硅 TFT 基板结构，其中，所述缓冲层的材料为氮化硅、氧化硅、或二者的组合。

9、如权利要求 7 所述的低温多晶硅 TFT 基板结构，其中，所述层间绝缘层的材料为氧化硅、氮化硅、或二者的组合。

25 10、如权利要求 7 所述的低温多晶硅 TFT 基板结构，其中，所述第一栅极、第二栅极的材料为钼、钛、铝、铜中的一种或多种的堆栈组合。

30 11、一种低温多晶硅 TFT 基板结构，包括基板、设于所述基板上的缓冲层、设于所述缓冲层上间隔排列的第一多晶硅段与第二多晶硅段、分别设于所述第一多晶硅段与第二多晶硅段上的第一源/漏极与第二源/漏极、设于所述缓冲层、第一多晶硅段、及第二多晶硅段上的栅极绝缘层、设于所述栅极绝缘层上分别位于第一多晶硅段与第二多晶硅段上方的第一栅极与第二栅极、及设于所述栅极绝缘层、第一栅极及第二栅极上的层间绝缘层，所述第一多晶硅段与第二多晶硅段的两侧为 N 型重掺杂区域，所述第一源/漏极与第二源/漏极分别经由一过孔与所述第一多晶硅段与第二多晶硅段两侧的 N 型重掺杂区域相接触；

所述低温多晶硅 TFT 基板包括显示区域与驱动区域，所述第一多晶硅段位于所述低温多晶硅 TFT 基板的显示区域，所述第二多晶硅段位于所述低温多晶硅 TFT 基板的驱动区域，所述第一多晶硅段的结晶晶粒小于所述第二多晶硅段的结晶晶粒，且所述第一多晶硅段的结晶均匀度大于所述第二多晶硅段的结晶均匀度；

其中，所述缓冲层的材料为氮化硅、氧化硅、或二者的组合；

其中，所述层间绝缘层的材料为氧化硅、氮化硅、或二者的组合；

其中，所述第一栅极、第二栅极的材料为钼、钛、铝、铜中的一种或多种的堆栈组合。

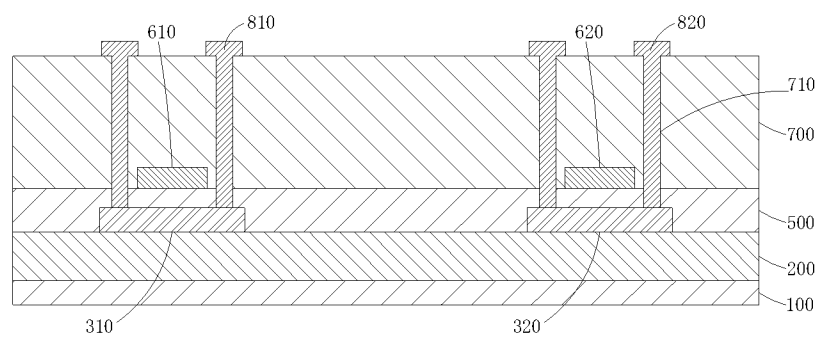


图 1



图2

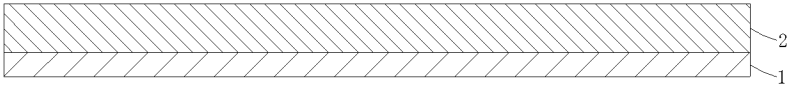


图3

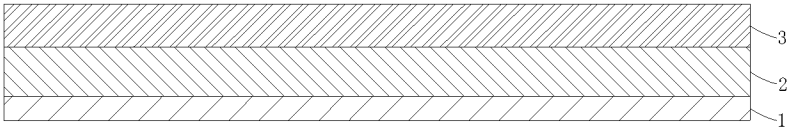


图4

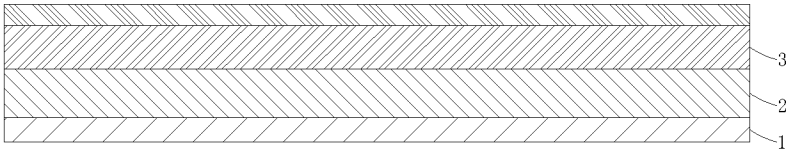


图5

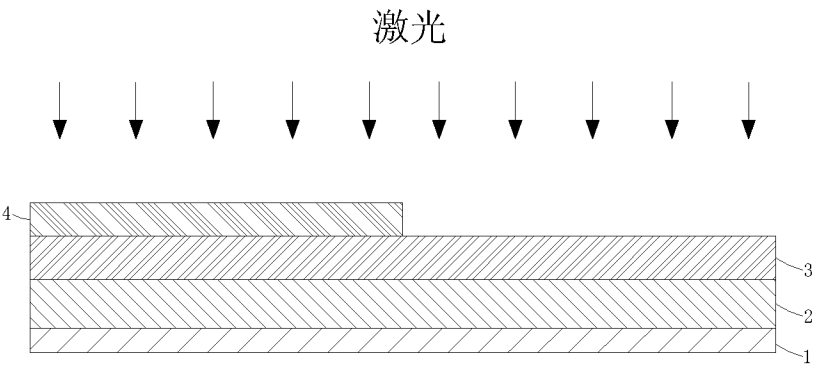


图6

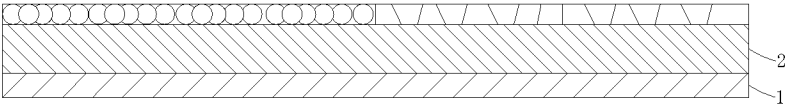


图7

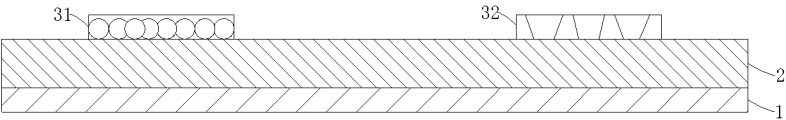


图8

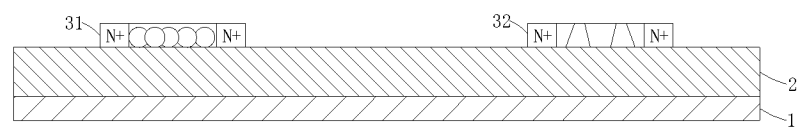


图9

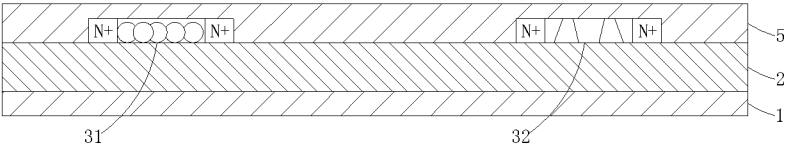


图10

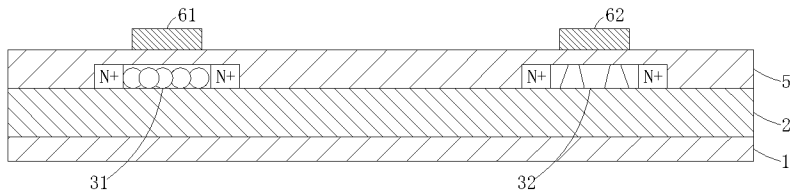


图11

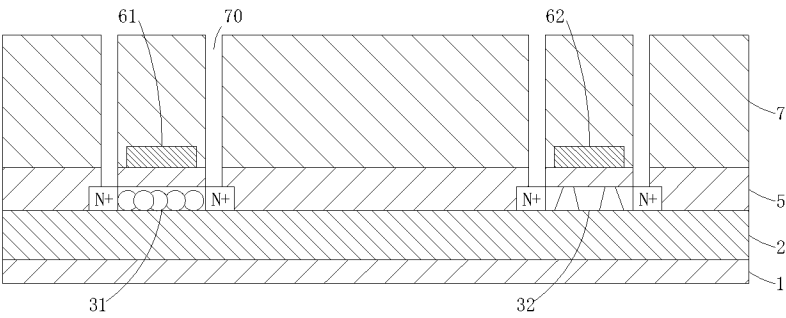


图12

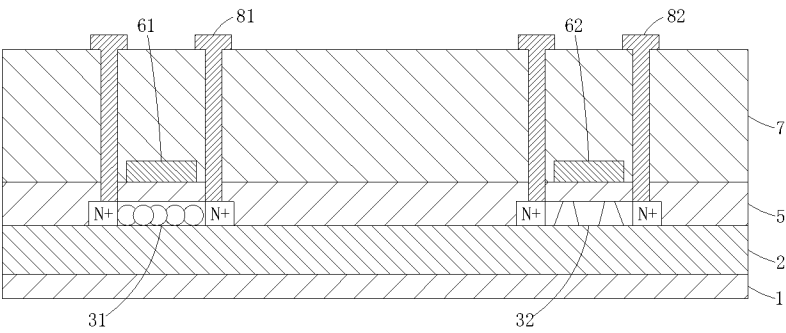


图13

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/072557

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336 (2006.01) i; H01L 27/12 (2006.01) i; H01L 29/786 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI; EPDOC; CNKI; CNPAT: crystalline grain, photomask, thin film transistor, TFT, thin 1w film?, transistor?, polycrystal+, poly 1w Si, amorph+, LTPS, mask???, grain

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 1921124 A (SAMSUNG SDI CO., LTD.), 28 February 2007 (28.02.2007), description, page 7, paragraphs 3-5 and page 8, paragraph 2 to page 9, paragraph 7, and figures 5 and 6A-6G	7-11
Y	CN 1921124 A (SAMSUNG SDI CO., LTD.), 28 February 2007 (28.02.2007), description, page 7, paragraphs 3-5 and page 8, paragraph 2 to page 9, paragraph 7, and figures 5 and 6A-6G	1-6
Y	CN 1591778 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.), 09 March 2005 (09.03.2005), description, page 4, penultimate paragraph and page 8, paragraphs 1-2 from the bottom, and figures 3A and 3B	1-6
A	CN 101834189 A (TOPPOLY OPTOELECTRONICS CORP.), 15 September 2010 (15.09.2010), the whole document	1-11
A	CN 101127359 A (TOPPOLY OPTOELECTRONICS CORP.), 20 February 2008 (20.02.2008), the whole document	1-11

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 23 April 2015 (23.04.2015)	Date of mailing of the international search report 27 May 2015 (27.05.2015)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer LAI, Fengping Telephone No.: (86-10) 62414005

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/072557

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 1921124 A	28 February 2007	KR 20050009532 A	25 January 2005
		CN 100517730 C	22 July 2009
		KR 100552958 B1	15 February 2006
		KR 20050011602 A	29 January 2005
		KR 100542989 B1	20 January 2006
		CN 1577418 A	09 February 2005
		CN 1324696 C	04 July 2007
		US 2005012152 A1	20 January 2005
		US 8441049 B2	14 May 2013
		US 2013230976 A1	05 September 2013
		US 8987120 B2	24 March 2015
CN 1591778 A	09 March 2005	US 2005048706 A1	03 March 2005
		CN 100570813 C	16 December 2009
		JP 4614712 B	19 January 2011
		JP 2005101553 A	14 April 2005
CN 101834189 A	15 September 2010	None	
CN 101127359 A	20 February 2008	US 2008042131 A1	21 February 2008
		TW 200810131 A	16 February 2008
		JP 2008047913 A	28 February 2008
		TW I344215 B	21 June 2011
		US 2009203160 A1	13 August 2009

A. 主题的分类 H01L 21/336(2006.01)i; H01L 27/12(2006.01)i; H01L 29/786(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) WPI;EPDOC;CNKI;CNPAT: 薄膜晶体管,TFT,thin lw film?,transistor?,多晶,polycrystal+,poly lw Si,非晶,amorph+,LTPS,掩膜,掩模,光罩,mask???,晶粒,grain		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 1921124 A (三星SDI株式会社) 2007年 2月 28日 (2007 - 02 - 28) 说明书第7页第3-5段, 第8页第2段-第9页第7段、附图5, 6A-6G	7-11
Y	CN 1921124 A (三星SDI株式会社) 2007年 2月 28日 (2007 - 02 - 28) 说明书第7页第3-5段, 第8页第2段-第9页第7段、附图5, 6A-6G	1-6
Y	CN 1591778 A (株式会社半导体能源研究所) 2005年 3月 9日 (2005 - 03 - 09) 说明书第4页倒数第2段, 第8页倒数第1-2段、附图3A, 3B	1-6
A	CN 101834189 A (统宝光电股份有限公司) 2010年 9月 15日 (2010 - 09 - 15) 全文	1-11
A	CN 101127359 A (统宝光电股份有限公司) 2008年 2月 20日 (2008 - 02 - 20) 全文	1-11
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2015年 4月 23日		国际检索报告邮寄日期 2015年 5月 27日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国 传真号 (86-10)62019451		授权官员 赖风平 电话号码 (86-10)62414005

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/072557

检索报告引用的专利文件			公布日 (年/月/日)	同族专利		公布日 (年/月/日)	
CN	1921124	A	2007年 2月 28日	KR	20050009532	A	2005年 1月 25日
				CN	100517730	C	2009年 7月 22日
				KR	100552958	B1	2006年 2月 15日
				KR	20050011602	A	2005年 1月 29日
				KR	100542989	B1	2006年 1月 20日
				CN	1577418	A	2005年 2月 9日
				CN	1324696	C	2007年 7月 4日
				US	2005012152	A1	2005年 1月 20日
				US	8441049	B2	2013年 5月 14日
				US	2013230976	A1	2013年 9月 5日
				US	8987120	B2	2015年 3月 24日
CN	1591778	A	2005年 3月 9日	US	2005048706	A1	2005年 3月 3日
				CN	100570813	C	2009年 12月 16日
				JP	4614712	B	2011年 1月 19日
				JP	2005101553	A	2005年 4月 14日
CN	101834189	A	2010年 9月 15日	无			
CN	101127359	A	2008年 2月 20日	US	2008042131	A1	2008年 2月 21日
				TW	200810131	A	2008年 2月 16日
				JP	2008047913	A	2008年 2月 28日
				TW	I344215	B	2011年 6月 21日
				US	2009203160	A1	2009年 8月 13日

表 PCT/ISA/210 (同族专利附件) (2009年7月)