(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3587929号
(P3587929)
(45)発行日　平成16年11月10日(2004.11.10)　(24)登録日　平成16年8月20日(2004.8.20)

(51)Int.Cl.[7]　F I
G06F　7/00　G06F　7/00　101T

請求項の数 3　(全 16 頁)

(21)出願番号　特願平8-73708
(22)出願日　平成8年3月28日(1996.3.28)
(65)公開番号　特開平8-314693
(43)公開日　平成8年11月29日(1996.11.29)
審査請求日　平成14年6月12日(2002.6.12)
(31)優先権主張番号　442,544
(32)優先日　平成7年5月16日(1995.5.16)
(33)優先権主張国　米国(US)

(73)特許権者　398038580
ヒューレット・パッカード・カンパニー
HEWLETT－PACKARD COMPANY
アメリカ合衆国カリフォルニア州パロアルト　ハノーバー・ストリート　３０００
(74)代理人　100081721
弁理士　岡田　次生
(72)発明者　ジョン・エル・アッシュバーン
アメリカ合衆国８０５２１コロラド州フォート・コリンズ、サマー・ストリート　１０２２

最終頁に続く

(54)【発明の名称】デジタル回路

(57)【特許請求の範囲】
【請求項１】
複数の制御信号出力部、および制御信号出力部の各々に制御装置信号を作成するための制御装置と、
複数の浮動小数点ユニット信号入力部、および、各々が上記入力部の１つに接続し所定の浮動小数点ユニット信号に応答して所定の機能を実行する複数の論理装置を有する浮動小数点ユニットと、
上記制御信号出力部と上記浮動小数点ユニット信号入力部の間に電気的に接続され、上記制御装置信号を復号して浮動小数点ユニット信号を作成する復号器とを備え持つデジタル回路。
【請求項２】
浮動小数点ユニット入力信号グループに応答するための論理装置を含む浮動小数点ユニットと、
制御装置出力信号グループを作成するための制御装置であって、上記浮動小数点ユニット入力信号は上記制御装置出力信号および付加信号からなる制御装置と、
上記制御装置と上記浮動小数点ユニットの間に電気的に接続され、上記制御装置出力信号から上記浮動小数点ユニット入力信号グループを作成する優先復号器とを備え持つ浮動小数点プロセッサ回路。
【請求項３】
複数の浮動小数点ユニット信号に応答して動作する浮動小数点ユニットおよび制御装置を

含む論理システムに関して制御論理回路面積を減少させる方法であって、上記浮動小数点ユニットを分析して上記浮動小数点ユニット信号に含まれる冗長情報を判定し、上記浮動小数点ユニット信号より冗長度の少ない符号化出力信号を生成する上記制御装置を設計作成し、上記制御装置および上記浮動小数点ユニットの間に復号装置を配置して上記符号化信号を復号して上記浮動小数点ユニット信号を生成することからなる方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、一般的には、デジタル集積回路における制御論理に関するもので、特に、浮動小数点プロセッサの制御論理に関するものである。

【０００２】

【従来の技術】

従来技術において既知の通り、汎用浮動小数点プロセッサは、通常、算術論理ユニット（すなわちＡＬＵ）、乗算ユニットおよび除算／平方根演算ユニットのような計算ユニットを、関連レジスタ・ファイルと共に備え持つ。そのような浮動小数点プロセッサは、典型的には、浮動小数点演算を実行するため、状態マシンとしてしばしば実施される制御装置と連動して使用されるが、この場合、制御装置または状態マシンは、浮動小数点プロセッサに制御線を経由して制御信号を提供する。簡略化のため、浮動小数点プロセッサは、しばしば、ＡＬＵのような浮動小数点コアの個々の論理的部分が他の部分と分離して制御されるように、規定される。この分離制御は、制御装置から、分離制御される浮動小数点論理演算ユニットの個々の部分に通じる別々の制御線を必要とする。この結果、制御線全体が冗長情報を含むこととなる。制御線の作動状態もまた通常冗長情報を含む。例えば、浮動小数点ＡＬＵは、浮動小数点加算を実行する場合、レジスタ・ファイルから到来するオペランドとレジスタ・ファイルに戻される結果の両方を使用する。このケースでは、レジスタ・ファイルからオペランドを取得することおよびそのオペランドに対して加算演算を実行することは、デフォルト状態である。このデフォルト状態は制御信号なしに実行されることができるので、この状態に関する制御信号を含むシステムは冗長度を含む。冗長度の別の形態は、電力節約信号に存在する。この信号は、浮動小数点コアの一部が使用されていない時その消費電力を減少させるためにだけ存在する。すなわち、制御線は、所与の部分が使用されていない時通常所与の状態にあるので、所与の部分が使用されていない時の制御線の状態と電力節約信号の間には一定の関係が存在する。この関係は本質的に冗長情報を示唆する。

【０００３】

従来技術において、制御線におけるこのような冗長度を減少させる方法として、冗長度が最小になるようにシステム全体を設計する試みがなされた。特に、冗長度を排除するため、浮動小数点制御線を駆動する状態機械の論理機構の最適化が試みられた。しかし、回路設計の実際的な制約のためこれは困難であった。タイミングの制約、ゲート・ファンアウト制約、および使用の限られた最適化資源が、最適化を妨げるいくつかの制約である。複雑な設計は通常複数の技術者によって行われるため、冗長度は設計の各部にわたって存在する。更に、人間が論理的統合を実施する場合、設計の内部の冗長度を除去することは、人間にとって非常に困難で長期間を要する。一方、論理的統合がコンピュータによって行われる場合、論理設計ソフトウェアの現在の技術水準では、問題が一層悪化する。すなわち、既存のソフトウェア設計は、論理的統合を行うため複雑な状態機械の分割を必要とし、多くのコンポーネントが含まれる場合の論理設計の複雑さのため、システムが完全に冗長度を除去できる可能性をなくすような近似化が必要とされる。このように、回路設計に使用される方法に関係なく、論理冗長度は除去できず、従って、所与の浮動小数点アルゴリズムについて制御を実行するために必要とされる集積回路面積が必要以上に大きくなる。

【０００４】

【発明が解決しようとする課題】

回路設計が複雑になればなる程、問題は大きくなる。設計が複雑になればなる程、冗長度を除去することが一層困難になり、従って、論理回路面積を制御する能力は最も必要とされる時一層悪化する。冗長度のため必要となった回路の余分な面積のため、装置のコストが増加する。チップに搭載すべき所望の機能が、設計上許容される回路面積よりしばしば大きく、その結果機能の一部が削除されるのが通常であるため、冗長度は装置の機能性にも影響を与える。

【０００５】

集積回路の複雑さは、回路設計ツールの能力より速い速度で増大している。このように、冗長度の問題はますます増加する傾向にあるので、浮動小数点プロセッサに関する制御論理における冗長度を除去し、制御論理機構によって必要とされる回路面積を減少させ、かつ簡単容易に実施できる方法および装置が強く求められている。

【０００６】

【課題を解決するための手段】

本発明は、冗長情報を除去するため制御信号を符号化するように種々の制御論理装置状態マシンを設計することによって上記の問題を解決する。この設計によって、制御論理装置状態マシンと浮動小数点プロセッサの間の制御線の数が減少する。１つまたは複数の復号器を浮動小数点論理機構の直前に配置して、符号化された制御信号を浮動小数点プロセッサ論理機構によって要求される完全な信号セットに復号する。

【０００７】

本発明の好ましい実施形態において、浮動小数点プロセッサを動作させるために必要な信号は、プロセッサで使用される算術演算制御機能に関連したグループに、具体的には例えばオペランドのソース、オペランドの形式、またはＡＬＵのようなプロセッサ論理部分のための命令コードなどのグループに、区分けされる。各グループは冗長度に関して分析され、冗長度を除去した減少信号セットが符号化され生成される。このため、制御装置は、本発明に従って、上記減少信号セットを生成するように再設計される。

【０００８】

減少信号セットが冗長セットに比較して１つだけ少ない信号を含む場合、優先符号器が復号器として使用される。優先符号器の使用は、制御装置のデフォルト状態を最下位優先度状態と同じものにさせる動作との組合せにおいて、デフォルト動作状態情報を搬送する（符号／復号に付随する）タスクから制御線を解放するという付加的利益を持つ。更に、所与の状態マシンによって生成される制御線上の信号の意味は変わらないので、優先符号器は既存の制御設計に容易に適用することができる。

【０００９】

上記方式で除去される「余分な」信号が電力節約のためのものである場合、優先符号器を使用すると１つの信号が常にオンとなり従って電力が節約されないため、優先符号器でなく、特別仕様復号器が使用される。また、減少信号セットが冗長信号セットに比較して少なくとも２つ少ない信号を含む場合も、特別仕様復号器が使用される。

【００１０】

従来技術では、復号器を制御線の代用にするというこの方法は、復号器自体が集積回路の面積を占めるので、実際には集積回路に必要な面積を増加させるかのように見られた。しかし、多数の状態マシンを使用する非常に複雑な設計に関しては少なくともそうではないことが例証される。１つの実施形態において、本発明なしで制御論理装置状態マシンによって生成される１つの信号が単に除去され、次に浮動小数点装置において優先符号器によって再生成される。落とされる信号が制御論理装置状態マシンによって生成される必要はもはやないので、状態マシンの論理は減少される。落とされる信号が殆ど状態を変えない信号であるように選択されるならば、状態マシンの論理部分をさらに減少することができる。人間およびソフトウェア主導論理設計システムは論理が始めから複雑でなければ論理設計の冗長度を効率的に減少させることができるので、上述のような論理部分の減少は更なる減少に波及する。このため必要な回路面積が更に減少する。浮動小数点プロセッサを含む典型的グラフィックス・アクセラレータまたは他のデジタル回路は、各浮動小数点プ

ロセッサに関して多数の制御論理状態マシンを備え持つので、状態マシン設計の簡略化は状態マシンの数だけ倍加し、面積減少の倍加につながる。

【００１１】

本発明が提供するデジタル回路は、複数の制御信号出力部、上記複数の制御信号出力部の各々に１つの制御装置信号を提供する制御装置手段、および浮動小数点ユニット（すなわちＦＰＵ）を備え、上記浮動小数点ユニットが、複数のＦＰＵ信号入力部、各々が上記入力部の１つに接続して所定のＦＰＵ信号に応答して所定の機能を実行する複数の論理手段、および、上記制御信号出力部と上記ＦＰＵ信号入力部の間に電気的に接続され、制御信号を復号してＦＰＵ信号を作成する復号手段を備える。好ましくは、上記制御装置信号は１つの制御装置グループ信号を含み、上記ＦＰＵ信号は１つのＦＰＵグループ信号を含み、上記制御装置グループ信号の各信号は上記ＦＰＵグループ信号の中の１つの信号と同一であり、ＦＰＵグループの信号は制御装置グループの信号より少なくとも１つ多い付加信号を含む。本発明にとって好ましくは、上記付加信号は、ＦＰＵグループ信号の大半のものより能動的信号であり、最も能動的であることが最も望ましい。本発明にとって好ましくは、制御装置はデフォルト状態を含み、そして、このデフォルト状態は上記付加信号によって決定される状態である。好ましくは、ＦＰＵグループ信号は、電力節約信号を含み、復号手段は、ＦＰＵグループ信号のすべてをオフ状態に設定する手段を含む。好ましくは、浮動小数点プロセッサは、複数の算術演算制御機能を実行する手段を含み、上記グループの各々は、算術演算制御機能の１つに関連する。好ましくは、算術演算制御機能は、ＡＬＵオペランド・ソース、乗除オペランド・ソース、バス・ソース、ＡＬＵオペランド形式、乗除オペランド形式、バス形式、ＡＬＵ命令コード、乗除命令コードおよびレジスタ・ファイル宛先という機能から選択される１つまたは複数の機能を含む。

【００１２】

別の局面において本発明が提供する浮動小数点プロセッサ回路は、１グループの浮動小数点ユニット入力信号に応答する手段を含む浮動小数点ユニット（すなわちＦＰＵ）、１グループの制御装置出力信号を生成する制御装置、および、制御装置と浮動小数点ユニットの間に電気的に接続され、上記制御装置出力信号に１つの付加信号を加えて、ＦＰＵグループの入力信号を作成する優先符号手段を備え持つ。好ましくは、上記付加信号は、ＦＰＵ入力信号グループの大半より能動的信号である。

【００１３】

更に別の局面において、本発明は、複数の浮動小数点ユニット（すなわちＦＰＵ）の信号に応答して動作する浮動小数点ユニットおよび論理装置を含む論理システムに関して制御論理部分の回路面積を減少させる方法を提供する。この方法には、ＦＰＵ信号に含まれる冗長情報を決定するため浮動小数点プロセッサを分析すること、ＦＰＵ信号より少ない冗長度を持つ符号化された出力信号を提供する制御装置を設計して提供すること、および、復号装置を制御装置と浮動小数点ユニットの間に配置して、符号化された信号を復号してＦＰＵ信号を提供することが含まれる。好ましくは、上記分析には、ＦＰＵ制御信号を複数の信号グループに区分けすること、および信号グループの各々の中の信号を復号して各信号グループ毎に、上記復号出力信号を構成するグループ復号信号を生成することが含まれる。好ましくは、上記浮動小数点ユニットは、複数の算術演算制御機能に応答することができ、上記区分けが、各々が算術演算制御機能の１つに関連する複数のグループを決定することを含む。好ましくは、算術演算制御機能は、ＡＬＵオペランド・ソース、乗除オペランド・ソース、バス・ソース、ＡＬＵオペランド形式、乗除オペランド形式、バス形式、ＡＬＵ命令コード、乗除命令コードおよびレジスタ・ファイル宛先という機能から選択される１つまたは複数の機能を含む。

【００１４】

【発明の実施の形態】

本発明が使われる特定の装置、例えば、ワークステーションのような３次元画像処理システムにおける使用のためのグラフィックス・アクセラレータ・チップ１００との関連において本発明を説明する。図１は、そのようなグラフィックス・アクセラレータ・チップ１

００のアーキテクチャを示している。図１に示されるチップは、図解のための例のすぎず、本発明を特定ハードウェアのアーキテクチャまたは実施形態に制限するように意図されたものではない。

【００１５】

チップ１００は、幾何学マトリックス変換、多角形分解、オブジェクト明照／陰影、および、ランダムな方向の多角形やベクトルに対する切り取り、遠近法調整ならびに平面／傾斜方程式の計算を実行するように設計される。チップ１００のアーキテクチャは、すべての３次元プリミティブを処理しないけれども、最も共通して処理される特性を持つ最も共通のプリミティブだけを迅速にかつ効率的に処理することによって、より大規模な全般的３次元処理方式に加えて、高度に専門化したベクトル処理アーキテクチャ内のその他の動作を支援することによって、下流の処理または変換を実行可能にする。

【００１６】

チップ１００のアーキテクチャは、ハードウエア化された制御機構、動的論理浮動小数点セルおよび高度にカスタマイズされた固定データ経路を含む。このアーキテクチャは、第１のマイクロプロセサ１１０および第２のマイクロプロセサ１２５を有する２×プロセッサ・ベクトル処理設計である。動作的には、第１のマイクロプロセサ１１０は、伝統的ＦＩＦＯ１０２形態で頂点プリミティブ入力を事前処理する。二重ＲＡＭバッファ１０５および１０７が、プリミティブがマイクロプロセサ１１０がプリミティブをアクセスする場所を提供する。マイクロプロセサ１１０は、後述するように、その浮動小数点装置が除算／平方根関数を含まないことを除いて、マイクロプロセサ１２５と同じである。マイクロプロセサ１１０は、それ自身のメモリ、マスター・マルチプレクサおよび浮動小数点プロセッサを含み、３態マルチプレクサ１３０および制御線１３２を介して制御ブロック１３５と通信する。マイクロプロセサ１１０は、メモリ機構１１２および１１５を経由してマイクロプロセッサ１２５へ結果を手渡す前に、幾何学変換、部分的傾斜計算およびその他の予備的計算などを含む初期的浮動小数点演算を入力プリミティブに対して実行する。しばしば制御ブロックと呼ばれる制御論理装置１３５が、アドレス解読、変換、分解および位置的支援を提供する。

【００１７】

メモリ機構１１２および１１５は、混合ＦＩＦＯ／ＲＡＭメモリ方式を実行するメモリ制御機構１１３および１１６によってそれぞれ制御される。プリミティブのタイプおよび実行される演算に基づいて、メモリ機構１１２および１１５は、修正ＦＩＦＯまたはＲＡＭ構成の形態で使用される。

【００１８】

図１を引き続き参照すると、メモリ機構１１２および１１５からの出力は、マイクロプロセサ１２５による処理のため入力ラッチ待ち行列１２１に送られ、そこで切り取りＲＡＭステージング機構１１８からの出力と統合される。マイクロプロセサ１２５は、主として切り取りのために使用される汎用ＲＡＭである切り取りＲＡＭ１１８、３態マルチプレクサ１４０を経由して制御ブロック１４５と通信するためのマスター・マルチプレクサ１４６、浮動小数点レジスタ・ファイル１５１、専用マルチプレクサおよびデータ・フォーマッタである浮動小数点’ミックスマスタ’１５２、データ・フォーマッタ、算術論理演算ユニット（ＡＬＵ）１５４、乗算論理ユニット１５６および除算／平方根論理ユニット１５８を含む浮動小数点プロセッサユニット１５０を含む。制御ブロック１４５は、明照計算、切り取りおよび平面方程式機能を提供する。マイクロプロセサ１２５において演算を終了した結果は伝統的ＦＩＦＯ待ち行列１２７に出力され、本発明の開示の範囲外の後続の処理に備えられる。制御ブロック１３５、３態マルチプレクサ１３０およびマイクロプロセサ１１０を含むシステム部分の設計と機能は、制御ブロック１４５、３態マルチプレクサ１４０およびマイクロプロセサ１２５を含むシステム部分と上述の点を除いて同じであるから、システムの後者の部分だけを以下詳細に説明する。

【００１９】

図２は、浮動小数点プロセッサ１５０の詳細を示す。浮動小数点プロセッサ１５０は、上

述のように、レジスタ・ファイル１５１、ミックスマスタ１５２、ＡＬＵ１５４、乗算論理ユニット１５６および除算／平方根論理ユニット１５８を含む。プロセッサのこれらの部分はバス２０４のような線によって相互に接続され、そして、制御バス２１０、２１２、２１４、２１６および２１８、アドレス・バス２２０、入力バス２２４および２２６、出力バス２２８によって、（図１の）回路１００のその他の部分に接続される。図２の２０４のようなバスの各々は、該バスを通過する（例えば２０５のような斜線の次の数字で示される）集積回路１００の接続線の数を表す。例えば、バス２０４は、６４ビットを搬送する能力を持つ６４線の接続バスを表し、一方、バス２２０は、４０ビットを搬送する能力を持つ４０本のアドレス線を表す。浮動小数点コア１５０の部分１５１、１５２、１５４、１５６および１５８を接続する２０４のようなバスはすべて６４本の接続線を含み、それによって、３２ビット単精度演算および６４ビット倍精度演算の両方が可能になる。しかし、本明細書で記述される好ましい実施形態では、単精度データだけが使用される。論理部分１５１、１５２、１５４、１５６および１５８の各々において、入力部は上部に、出力部は底部にある。信号名は、各入力および各出力に与えられる、例えば、ＡＲ（算術演算すなわちＡｒｉｔｈｍｅｔｉｃ　Ｒｅｓｕｌｔの意味）信号は、ＡＬＵ１５４によって出力され、バス２０５によって搬送され、ミックスマスタ１５２へ入力される。

【００２０】

レジスタ・ファイル１５１は、好ましくは３２×６４ビット・レジスタである。本発明の好ましい単精度実施形態において、それは、３２の６４ビットレジスタというよりは６４の３２ビット・レジスタとして構成される。この構成において、ＬＳ左（ＬＳ＿ＬＥＦＴ）バス２２４は、レジスタの左半分すなわちレジスタ０ないし３１にのみ書き込み、一方ＬＳ右（ＬＳ＿ＲＩＧＨＴ）バス２２６は、レジスタの右半分すなわちレジスタ３２ないし６４にのみ書き込むことができる。ミックスマスタ１５２は、７つのソースのうちの１つからのデータを５つの宛先のうちの１つへ向かわせる。５つの宛先の４つは浮動小数点オペランドである。ミックスマスタはまた、単精度対倍精度浮動小数点命令および単精度整数命令に関するデータ形式化を実行する。ＡＬＵ１５４は、算術演算すなわち加算および減算を実行し、乗算論理ユニット１５６は乗算を実行し、除算／平方根論理ユニット１５８は、除算および平方根演算を実行する。

【００２１】

レジスタ・ファイル１５１は、ＬＳ左バス２２４およびＬＳ右バス２２６を経由してマイクロプロセサ・マスター・マルチプレクサ１４６に接続される。４０本のアドレス線２２０および１９本の制御線２１０がレジスタ・ファイル１５１を（図３の）復号器３２０および３態マルチプレクサ１４０を経由して制御ブロック１４５へ接続する。信号ＯＰ１ないしＯＰ４およびＲＦＬＳを搬送する５個の６４ビットバス２３２が、レジスタ・ファイル１５１の出力の各々をミックスマスタ１５２の対応する入力に接続する。ミックスマスタ１５２は、（図３の）復号器および３態マルチプレクサ１４０を経由して２５線制御バス２１２によって制御ブロック１４５に接続される。２３６のような２つの６４ビット・バスが、ミックスマスタ１５２の２つの出力をレジスタ・ファイル１５１へ接続して信号ＲＦＡＲおよびＲＦＭＲを搬送し、２つの６４ビット・バス２３８が、信号ＡＡ（ＡＬＵオペランドＡ）およびＡＢ（ＡＬＵオペランドＢ）をミックスマスタ１５２からＡＬＵ１５４へ搬送し、２つの６４ビット・バス２３９が、ＭＡ（乗算／除算オペランドＡ）およびＭＢ（乗算／除算オペランドＢ）をミックスマスタ１５２から乗算論理ユニット１５６および除算／平方根論理ユニット１５８へ搬送し、１つの３２ビット・バス２４０が信号ＬＳ＿ＯＵＴを（図１の）マスタ・マイクロプロセサ・マルチプレクサ１４６へ搬送する。５本の制御線２１４が、（図３の）復号器および３態マルチプレクサ１４０を経由してＡＬＵ１５４を制御ブロック１４５に接続し、同様に、２本の制御線２１６および３本の制御線２１８がそれぞれ乗算論理ユニット１５６および除算／平方根論理ユニット１５８を制御ブロック１４５に接続する。６４ビット・バス２０４が、信号ＡＲをＡＬＵ出力からミックスマスタ１５２の入力へ搬送し、一方、６４ビット・バス２０８が、信号号ＭＲを乗算論理ユニット１５６および除算／平方根論理ユニット１５８の出力からミックスマ

スタ１５２の入力へ搬送する。
【００２２】
理解を容易にするため、ミックスマスタ１５２が、他の独立論理演算ユニットへの接続を持つ独立した論理演算ユニットとして示されているが、この構成が、厳密に解釈されれば、実際のシステムにない機能性に対する制限を示唆することができるであろう。例えば、ミックスマスタは、信号ＡＡとして、例えばＡＬＵオペランドＡ、レジスタ・ファイル中のどのレジスタ、ＬＳ左バスまたはＬＳ右バスいずれからの信号、ＭＲバス信号またはＡＲバス信号を使用することができる。このように、ＡＬＵオペランドＡについて６８の可能なソースがある。
【００２３】
制御装置１４５の各々と３態マルチプレクサ１４０の間に、制御バス２１０、２１２、２１４、２１６ならびに２１８、およびアドレス・バス２２０に対応する線が存在しなければならないことを考慮すれば、これらのバスに対応する線の顕著な減少が、集積回路によって必要とされる面積を大幅に減少させることができる点は理解されるであろう。線の数を減少させる第１のステップは、浮動小数点プロセッサユニット１５０を分析し、浮動小数点プロセッサ１５０にとって使用可能であり、浮動小数点アルゴリズムによって浮動小数点演算を実行するために実際に使用される浮動小数点ユニット（ＦＰＵ）信号、すなわち制御バスおよびアドレス・バス２２０、２１０、２１２、２１４、２１６および２１８によって搬送される信号に含まれる冗長情報を決定することである。分析は本質的には次の通りである。信号によって実行される機能が調べられ、機能の実行を制御するため制御線によって搬送される信号と比較され、制御線によって搬送されるものと同じ情報を運ぶ減少された信号セットが決定される。例えば、ＡＬＵオペランドＡに関するソースを決定する信号のグループがある。それら信号は、ａｒ２ａａ、ｎｆｂｙｐａａ、ｒｆ２ａａ、ｍｒ２ａａ、ｌｓｄ２ａａに加えて、ソースに関するレジスタ・アドレスを搬送する５本のアドレス線の合計１０本である。上述のように、ＡＬＵオペランドＡについて可能なソースは６８ある。伝送のため１０本の制御線を必要とする上述の１０個の信号ではなく、７つの信号および７本の制御線を活用する７ビット符号を考案し、それによって６８の可能なソースの中からオペランドＡに適用すべきソースを通知するようにすることができる。
【００２４】
同様に、冗長情報を搬送しているので、必要な制御線の数を減少させるため符号化によって信号の数を減少させることのできるその他の信号グループが１４グループあることも観察される。以下の［表１］は、それら１５のグループのリストであり、それぞれ、実行される機能、グループにおける異なる項目（例えば異なるソース）の数および識別名、符号化されるべき制御信号のフルセット、符号化前後の信号の数を示す。
【００２５】
【表１】
１．ＡＬＵ Ａ オペランド ソース：可能な６８のソース（ｒｅｇｆｉｌｅ, ＡＲ, ＭＲ, ＬＳ ｌｅｆｔ, ＬＳ ｒｉｇｈｔ）； 信号：ａｒ２ａａ, ｎｆｂｙｐａａ, ｒｆ２ａａ, ｍｒ２ａａ, ｌｓｄ２ａａ, ｒｅｇ＿ａｂ＿ａｄｄｒｅｓｓ［０：４］ （１０信号、符号化後７信号）；
２．ＡＬＵ Ｂ オペランド ソース：可能な６８のソース（ｒｅｇｆｉｌｅ, ＡＲ, ＭＲ, ＬＳ ｌｅｆｔ, ＬＳ ｒｉｇｈｔ）； 信号：ａｒ２ａｂ, ｎｆｂｙｐａｂ, ｒｆ２ａｂ, ｍｒ２ａｂ, ｌｓｄ２ａｂ, ｒｅｇ＿ａｂ＿ａｄｄｒｅｓｓ［０：４］（１０信号、符号化後７信号）；
３．乗除算 Ａ オペランド ソース：可能な６８ソース（ｒｅｇｆｉｌｅ, ＡＲ, ＭＲ, ＬＳ ｌｅｆｔ, ＬＳ ｒｉｇｈｔ）； 信号：ａｒ２ｍａ, ｎｆｂｙｐｍａ, ｒｆ２ｍａ, ｍｒ２ｍａ, ｌｓｄ２ｍａ, ｒｅｇ＿ｍａ＿ａｄｄｒｅｓｓ［０：４］（１０信号、符号化後７信号）；
４．乗除算 Ｂ オペランド ソース：可能な６８ソース（ｒｅｇｆｉｌｅ, ＡＲ,

ＭＲ，ＬＳ ｌｅｆｔ，ＬＳ ｒｉｇｈｔ）；信号：ａｒ２ｍｂ，ｎｆｂｙｐｍｂ，ｒｆ２ｍｂ，ｍｒ２ｍｂ，ｌｓｄ２ｍｂ，ｒｅｇ＿ｍｂ＿ａｄｄｒｅｓｓ［０：４］（１０信号、符号化後７信号）；
５．ＬＳ＿ＯＵＴバス ソース：可能な６７ソース（ｒｅｇｆｉｌｅ，ＡＲ，ＭＲ，ｎｏｎｅ）；信号：ｒｅｇ＿ｌｓｏｕｔ＿ａｄｄｒｅｓｓ［０：４］，ｍｘｌ２ｌｓ，ｒｆｌ２ｌｓ，ｍｒ２ｌｓ，ａｒ２ｌｓ（９信号、符号化後７信号）；
６．ＡＬＵ Ａ オペランド 形式：可能な３形式（ｆｌｏａｔ ｌｅｆｔ ｒｅｇｆｉｌｅ，ｆｌｏａｔ ｒｉｇｈｔ ｒｅｇｆｉｌｅ，ｉｎｔｅｇｅｒ ｒｉｇｈｔ ｒｅｇｆｉｌｅ）；信号：ｆｓｌａａ，ｆｓｒａａ，ｉｓｒａａ（３信号、符号化後２信号）；
７．ＡＬＵ Ｂ オペランド 形式：可能な２形式（ｆｌｏａｔ ｌｅｆｔ ｒｅｇｆｉｌｅ，ｆｌｏａｔ ｒｉｇｈｔ ｒｅｇｆｉｌｅ）；信号：ｆｓｌａｂ，ｆｓｒａｂ（２信号、符号化後１信号）；
８．乗除算 Ａ オペランド 形式：可能２形式（ｆｌｏａｔ ｌｅｆｔ ｒｅｇｆｉｌｅ，ｆｌｏａｔ ｒｉｇｈｔ ｒｅｇｆｉｌｅ）；信号：ｆｓｌｍａ，ｆｓｒｍａ（２信号、符号化後１信号）；
９．乗除算 Ｂ オペランド 形式：可能な２形式（ｆｌｏａｔ ｌｅｆｔ ｒｅｇｆｉｌｅ，ｆｌｏａｔ ｒｉｇｈｔ ｒｅｇｆｉｌｅ） 信号：ｆｓｌｍｂ，ｆｓｒｍｂ（２信号、符号化後１信号）；
１０．ＡＲバス 形式：可能な２形式（ｆｌｏａｔ，ｉｎｔｅｇｅｒ）；信号：ｉｓａｒ，ｆｓａｒ（２信号、符号化後１信号）；
１１．ＡＬＵ 命令コード（ＯＰＣＯＤＥ）：可能な７命令（ａｄｄ，ｓｕｂｔｒａｃｔ，ｃｏｎｖｅｒｔ ｆｌｏａｔ ｔｏ ｉｎｔｅｇｅｒ，ｃｏｎｖｅｒｔ ｉｎｔｅｇｅｒ ｔｏ ｆｌｏａｔ，ａｂｓｏｌｕｔｅ ｖａｌｕｅ，ｃｏｐｙ，ｎｏｎｅ／ｐｏｗｅｒ ｏｆｆ）；信号：ａｌｕ＿ｏｐ［０：３］，ａｌｕ＿ｐｗｒ（５信号、符号化後３信号）；
１２．乗除算命令コード（ＯＰＣＯＤＥ）：可能な４命令（ｍｕｌｔｉｐｌｙ，ｄｉｖｉｄｅ，ｓｑｕａｒｅ ｒｏｏｔ，ｎｏｎｅ／ｐｏｗｅｒ ｏｆｆ）；信号：ｍｄ＿ｏｐ，ｍｐｙ＿ｐｏｗｅｒ，ｍ＿ｄｉｖ，ｄｓ＿ｓｔａｒｔ（４信号、符号化後２信号）；
１３．ＡＲからのＲｅｇｆｉｌｅ宛先：可能な６５の宛先（ｒｅｇｆｉｌｅ，ｎｏｎｅ／ｐｏｗｅｒ ｏｆｆ）；信号：ｒｅｇ＿ａｒｗ＿ａｄｄｒｅｓｓ［０：４］，ａｒｗ＿ｌ，ａｒｗ＿ｒ，ａｒｗ＿ｖａｌｉｄ（８信号、符号化後７信号）；
１４．ＭＲからのＲｅｇｆｉｌｅ宛先：可能な６５の宛先（ｒｅｇｆｉｌｅ，ｎｏｎｅ／ｐｏｗｅｒ ｏｆｆ）；信号：ｒｅｇ＿ｍｒｗ＿ａｄｄｒｅｓｓ［０：４］，ｍｒｗ＿ｌ，ｍｒｗ＿ｒ，ｍｒｗ＿ｖａｌｉｄ（８信号、符号化後７信号）；
１５．ＬＳからのＲｅｇｆｉｌｅ宛先：可能な６５の宛先（ｒｅｇｆｉｌｅ，ｎｏｎｅ／ｐｏｗｅｒ ｏｆｆ）；信号：ｒｅｇ＿ｉｏｗ＿ａｄｄｒｅｓｓ［０：４］，ｉｏｗ＿ｌ，ｉｏｗ＿ｒ，ｉｏｗ＿ｖａｌｉｄ（８信号、符号化後７信号）．

【００２６】

制御ブロック１４５において、上記信号グループのリストに示される信号を”符号化”し、次に３態マルチプレクサ１４０を通過後それらを復号することによって、本発明を実施することができる。”符号化”という用語を引用符をつけたのは、本発明の好ましい実施形態において特別の符号化回路が必要とされないためである。ここでいう符号化は、出力における信号が”符号化された”信号に対応する新しい定義を持つように制御ブロック１４５の回路を変更することを意味する。すなわち、制御ブロック状態マシンが、減少した数の出力信号に関する異なる状態定義を持つ。参照の便宜のため、浮動小数点プロセッサ・ユニット１５０で使用される直前に復号すれた後の信号と同じオリジナルの「未符号化」信号をＦＰＵ信号と呼称し、変更された制御ブロック装置１４５が生成する信号である「符号化された」信号すなわち減少した信号セットを、制御装置信号または（Ｃｏｎｔｒ

ｏｌ　Ｕｎｉｔの頭文字をとって）ＣＵ信号と呼称する。上記のように定義されたグループの各々が、実際には、ＦＰＵ信号グループおよびＣＵ信号グループという２つのグループの信号を定義することが容易に理解されるであろう。このようにして、リストは１５のＦＰＵ信号グループと１５のＣＵ信号グループを定義し、その場合ＦＰＵ信号グループの各々はＣＵ信号グループの１つに対応している。すなわち、オリジナルのＦＰＵグループのそれぞれは、対応する減少ＣＵ信号セットを有する。

【００２７】

実際の回路においては、制御ブロック１４５は、３態マルチプレクサ１４０から図が示唆するよりはるかに離れて配置される。従って、上述のような符号／復号方式は、集積回路における大幅な回路面積を節約する。以下に見られるように、本発明の好ましい実施形態では、更に別の回路面積節約の概念が使用される。

【００２８】

上述のグループ１ないし１５の検証は、一部のグループの符号化は信号の数を１だけ減少させ、その他のグループの符号化は信号の数を２以上減少させることを示す。信号が少なくとも２減少したグループについては、特別仕様の符号化／復号化方式が使用される。多くのグループについては、信号の減少数は１だけである。それら大部分のグループに対しては修正符号化／復号化方式が使用される。これらのグループにおいては、制御装置１４５の各々において１つの信号が単に削除され、優先復号器が、３態マルチプレクサ１４０と浮動小数点プロセッサ１５０の間で落とされた信号を再生成するために使用される。

【００２９】

優先復号器の使用は、いくつかの利点を持つ。落とされる信号を生成するための回路は削除することができるので、ある１つの信号の削除は、制御ブロック装置１４５の設計を単純化することを可能にする。この利点は、各復号器に関して制御装置１４５によって生成されるべき信号が常に少くとも１つ少ないため、優先復号器が使用されようとされまいと発生する。しかしながら、優先復号器の場合、残りのＣＵ信号はオリジナルのＦＰＵ信号と同じ定義を持つ。このため、優先復号器は既存の制御設計に容易に適合できる。さらに、優先復号器は、使用する集積回路面積の少ない、非常に単純な装置である。

【００３０】

落とされる信号が、最も能動的信号、すなわち状態を最も変化させる信号であるように選択されるならば、優先復号器の使用によってさらに回路面積が減少される。一般的に、最も能動的信号は、それを生成するため比較的多くの出力論理を必要とする。従って、最も能動的信号を削除のため選択することは、制御装置回路の比較的大きい部分を削減する。これが、制御装置回路の設計を容易にし、設計段階において回路をさらに最適化することを容易にし、回路が占める面積を減少させる。能動的信号がない、すなわち同じように能動的ないつかの「最も」能動的信号がある場合、それらの最も活動的信号の１つ、好ましくは、もし判別できるなら制御装置の最も大きい回路を含む信号が削除される。

【００３１】

優先復号器の単純化によって、復号器の少くとも１つの出力が常にオンとなる。すなわち、優先信号がオンでない時、最後または再生成された信号が常にオンである。対照的に、特別仕様復号器は、すべての出力がオフである復号状態が存在するように作成される。上述のように、ＦＰＵ信号グループの冗長度のいくつかは、論理装置１５１、１５２、１５４、１５６または１５８の１つのような特定の論理部分が未使用の際にはオフにされなければならないことを示す信号がグループ内に存在するという事実による。電力節約信号を含むグループに関するＣＵ信号を復号するため優先復号器を使用するとすれば、浮動小数点プロセッサ１５０に適用される信号の中に常にＯＮ信号が存在することになり、これは、電力の使用を誘引し、電力を節約しない。ＣＵグループ信号においてわずか１つの信号を削減しそのうえグループ１３、１４および１５のような電力節約信号を含むグループに関しては、優先復号器ではなく特別仕様復号器を使用する。

【００３２】

上記の点を要約すれば、グループ６、７、８、９および１０に関しては、これらのグルー

プの各々に関するＣＵグループ信号が対応するＦＰＵグループ信号より１だけ少なく、かつＦＰＵグループが電力節約信号を含まないので、優先復号器が使用される。グループ１ないし５、およびグループ１１ないし１５に対しては特別仕様復号器が使用される。

【００３３】

図３は、いくつかの典型的なグループ信号に関して、制御装置１４５、３態マルチプレクサ１４０、復号器３２０および浮動小数点マルチプレクサ１５０の間の詳細な接続を示す。この図では接続が明らかになるように、浮動小数点プロセッサ１５０のような種々の回路コンポーネントは、単純化した形態で示されている。グループ１の信号の接続は、特別仕様復号器３２２の使用の典型的例として示されている。グループ６の信号の接続は、２対３優先符号器３２４の使用の典型的例として、また、グループ７の信号の接続は、１対２優先符号器３２６の使用の典型的例として、それぞれ示されている。

【００３４】

図３の実施形態は６つの制御論理装置１４５を含むが、３４０、３４２および３４４の３つだけを明示している。３４０のような制御装置の各々は、３３０のような制御信号出力を含み、その各々に制御装置３４０によって制御信号が提供される。出力３３０の各々は、別々の線によって３態マルチプレクサ１４０に接続されているが、明示のためグループ１、６および７に関する線だけを図示している。例えば、制御装置３４０および３態マルチプレクサ１４０に接続する線３５０は、７本のグループ１線３５２を含み、次に、３本の点線で示されるグループ２ないし５の２８本の線が続き、次に、グループ６の２本の線３５４、グループ７の１本の線３５５、更に３本の点線で示されるグループ８ないし１５の２９本の線と続いて含まれることが示されている。最後に、制御装置３４０とマイクロプロセサ１１０の間にあって、３態マルチプレクサ１４０につながるその他の接続を表す太い”ケーブル”３５７がある。同様に、制御装置３４２ないし３４４の各々は図示のようにマルチプレクサ１４０への同様の接続を有しているが、一般的に、一部の制御装置は他の制御装置が持たない線を持つので、グループ１ないし１５の線に追加される線を表す接続線３５７、３５８および３５９は、制御装置１４５に関するものと異なる。更に、１５のグループに関するすべての線がすべての制御装置について配置されないことも可能であるが、制御装置が浮動小数点装置１５０を制御する必要があれば、通常、すべての制御線３５０を備え持つであろう。

【００３５】

マルチプレクサ１４０は、制御装置１４５を復号器３２０および浮動小数点プロセッサ装置１５０に対し多重化するため、３４０のような制御装置の１つとマルチプレクサ１４０の間の線３５０に対応する一組の線３６０を通して復号器３２０および浮動小数点プロセッサ１５０に接続される。例えば、線３５２、３５４、３５５および３５７の各々について、線３６０中に対応する線がある。

【００３６】

上述のグループ１に関する線について要約すれば、それらのうち５本の線は、既に符号化されているので、冗長情報を含まないアドレス線であることがわかる。このように、これらの線３６１については符号化は必要とされず、これら５本の線３６１はＦＰＵグループ１およびＣＵグループ１に含まれる。従って、これらの線３６１は、直接マルチプレクサ１４０からレジスタ・ファイル１５１へ接続される。他の２つのＣＵグループ１の信号線３６２および３６３は、ａｒ２ａａ，　ｎｆｂｙｐａａ，　ｒｆ２ａａ，　ｍｒ２ａａ，　およびｌｓｄ２ａａという５つのＦＰＵ信号に関する符号化情報を搬送する。上記５つの信号の情報は、ａｒ２ａａ＿ｉｎ　および　ｍｒ２ａａ＿ｉｎという２つの信号を含む。ここで、下線”＿”は、スペースを示す。かくして、復号器３２２は、線２６２および２６３上の２つのＣＵグループ信号を線３６４および３６５上の５つのＦＰＵグループ信号へ復号するように要求される。ｎｆｂｙｐａａおよびｌｓｄ２ａａという２つの信号は、復号器によってレジスタ・ファイル１５１へ渡され、それらを搬送する線３６４は、レジスタ・ファイル１５１の入力３７１に接続される制御バス２１０の一部を形成する。その他のａｒ２ａａ，　ｒｆ２ａａおよびｍｒ２ａａという３つの信号は、ミックスマスタ

１５２へ渡され、それらを搬送する線３６５は、ミックスマスタ１５２の入力３７２に接続される制御バス２１２の一部を形成する。

【００３７】

本設計が整数よりも浮動小数点を、レジスタ・ファイル１５１の左半分より右半分を使用する傾向を持つので、６つのＦＰＵ信号グループのうちｆｓｒａａ信号が最も能動的である。従って、ｆｓｒａａ信号が制御装置１４５の設計において削除される。残りの２つの信号ｆｓｌａａおよびｉｓｒａａは、線３８１および３８２上で優先復号器３２４の入力に接続される。ｆｓｒａａ信号は、２対３優先復号器３２４によって再生成され、３つの信号ｆｓｌａａ，　ｆｓｒａａおよびｉｓｒａａは復号器３２４によってミックスマスタ１５２に渡され、それらを搬送する線３６６は、ミックスマスタ１５２の入力３７２に接続される制御バス２１２の一部を形成する。

【００３８】

７つのＦＰＵ信号グループのうちｆｓｒａｂ信号が最も能動的であるので、ＣＵグループ信号から落とされる。残りのｆｓｌａｂ信号は、線３８３上で優先復号器３２６に送られる。ｆｓｒａｂ信号は、１対２優先復号器３２６によって再生成され、２つの信号ｆｓｌａｂおよびｆｓｒａｂは復号器３２６によってミックスマスタ１５２に送られ、それらを搬送する線３６７は、ミックスマスタ１５２の入力３７２に接続される制御バス２１２の一部を形成する。

【００３９】

グループ２ないし５に対応する線３６０およびグループ８ないし１５に対応する線３５０の残りも、また、上記グループに関するリストで与えられるＦＰＵ信号へ復号器３２０によって適切に復号され、レジスタ・ファイル１５１、ミックスマスタ１５２、ＡＬＵ１５６、乗算論理装置１５６および除算／平方根論理演算装置１５８の適切な入力３７１、３７２、３７３、３７４および３７５に送信される。明示のため、レジスタ・ファイル１５１およびミックスマスタ１５２のすべての入力を図示してない。上記において接続のいくつかの例を示したので、浮動小数点プロセッサを熟知する当業者であれば、上記グループの各々についてリストされた信号に基づいてその他の適切な接続を決定することは可能であろう。

【００４０】

図４は、特別仕様復号器３２２の好ましい実施形態の詳細な回路図である。復号器３２２は、否定回路４１０および４１１、ＮＯＲゲート４１４、４１５、４１６および４１７、および２つの逆入力を持つ排他的ＮＯＲゲート４２０を含む。線３６２は、否定回路４１０、ＮＯＲゲート４１５および４１６の各々の１つの入力、および排他的ＮＯＲゲート４２０の１つの逆入力に接続される。否定回路４１０の出力は、ＮＯＲゲート４１４および４１７の１つの入力に接続される。線３６３は、否定回路４１１の入力、ゲート４１４および４１５の各々の別の入力、ゲート４２０の別の逆入力に接続される。否定回路４１１の出力は、ＮＯＲゲート４１６および４１７の各々の別の入力に接続される。ＮＯＲゲート４１４ないし４１７は、ａｒ２ａａ信号、ｒｆ２ａａ信号、ｍｒ２ａａ信号およびｌｓｄ２ａａ信号をそれぞれ提供する。排他的ＮＯＲゲート４２０の出力は、ｎｆｂｙｐａａ信号を提供する。

【００４１】

図５は、２対３優先復号器３２４の好ましい実施形態を示す。２対３優先復号器３２４は、否定回路５１０、および、ＮＯＲゲート５１４、５１５を含む。線３８１は、ＮＯＲゲート５１４および５１５の各々の入力の１つに接続される。線３８２は、否定回路５１０の入力とゲート５１４の別の入力に接続される。否定回路５１０の出力は、ＮＯＲゲート５１５の別の入力に接続される。線３８１は、復号器３２４を通してｆｓｌａａ信号を無変更のまま搬送する。ゲート５１４および５１５の出力は、信号ｆｓｒａａおよびｉｓｒａａを提供する。

【００４２】

図６は、１対２優先復号器３２６の好ましい実施形態を示す。これは、非常に単純で、た

だ１つの否定回路６１０を含む。線３８３は、否定回路６１０の入力に接続され、また、復号器を通過させてｆｓｌａｂ信号を提供する。否定回路６１０の出力は、ｆｓｒａｂ信号を提供する。

【００４３】

上述のように、ＣＵグループ信号の１信号だけ減少するグループでかつ電力節約信号を含むグループ（すなわちグループ１３、１４および１５）の場合には、優先復号器ではなく特別仕様復号器が使用された。図７は、そのような場合に使用される復号器７００の例として、グループ１３信号に関する復号器を示す。この場合、制御装置１４５は、電力節約信号ａｒｗ＿ｖａｌｉｄを生成しないように設計される。上述のグループの要約において触れたように、ＣＵ信号７０４には７つの信号があり、そのうち、５つは線７１２上のアドレス信号で、残りは線７１３および７１４上の信号ａｒｗ＿ｌおよびａｒｗ＿ｒである。アドレス線７１２は無変更のまま通過し（図２の）バス２２０の一部を形成する。復号器７００は、ＮＯＲゲート７２０および否定回路７２１を含む。線７１３は、ＮＯＲゲート７２０の入力の１つに接続し、線７３１上に信号ａｒｗ＿ｌを無変更で通過させる。線７１４は、ＮＯＲゲート７２０の別の入力に接続し、線７３３上に信号ａｒｗ＿ｒを無変更で通過させる。ＮＯＲゲート７２０の出力は否定回路７２１の入力に接続し、否定回路７２１の出力が、電力節約信号である信号ａｒｗ＿ｖａｌｉｄを線７３２上に提供する。線７３１ないし７３３は、レジスタ・ファイル１５１に対する（図２の）制御バス２１０の一部を形成する。この特別仕様復号器７００を使用する結果、電力節約状態の信号が送信される時、線７３１ないし７３３のすべての線はオフとなる。

【００４４】

上述の情報に基づいて，グループ２ないし５、グループ８ないし１２およびグループ１４、１５に関する他の復号器３２０を設計することは当業者にとって可能であろう。また同様に、本発明を上記の通り詳細に開示したので、図１の集積回路および浮動小数点装置を利用するその他の集積回路の回路面積を減少させる多くの他の符号化／復号化方式および実施形態を、当業者が見出すこともできるであろう。

【００４５】

制御線の数を大幅に削減し、その結果、集積回路において論理部分が占める回路面積を減少させるという多数の利点を持つ新機軸の浮動小数点制御論理回路を以上開示した。本発明の理念を逸脱することなく、当業者が上述の特定の実施例の多数の使用と修正を行うことができることは明きらかである。例えば、論理機構に使用される復号器が、置き換える制御線より非常に少ない回路面積を使用するが、制御線に関する復号器を別の設計に代替使用することもできる。あるいは、上述の種々のコンポーネントおよび回線について、同等のコンポーネントまたは回線を代替使用することもできる。更に多くの機能を追加することもできる。一層多数の部品を、また一層少ない部品を使用することもできる。従って、本発明は、記述された論理回路に存在するまたはそれによって処理される新機軸機能のそれぞれおよびその新機軸の組み合わせを内包するものと見なされるべきである。

【００４６】

本発明には、例として次のような実施様態が含まれる。

（１）複数の浮動小数点ユニット信号入力部、および、各々が上記入力部の１つに接続し所定の浮動小数点ユニット信号に応答して所定の機能を実行する複数の論理装置を有する浮動小数点ユニット（すなわちＦＰＵ）と、符号化された制御装置信号を出力するための複数の制御信号出力部を有する制御装置と、上記制御信号出力部ならびに上記ＦＰＵ信号入力部の間に電気的に接続され、上記制御装置信号を復号してＦＰＵ信号を作成する復号器と、を備え持つデジタル回路。

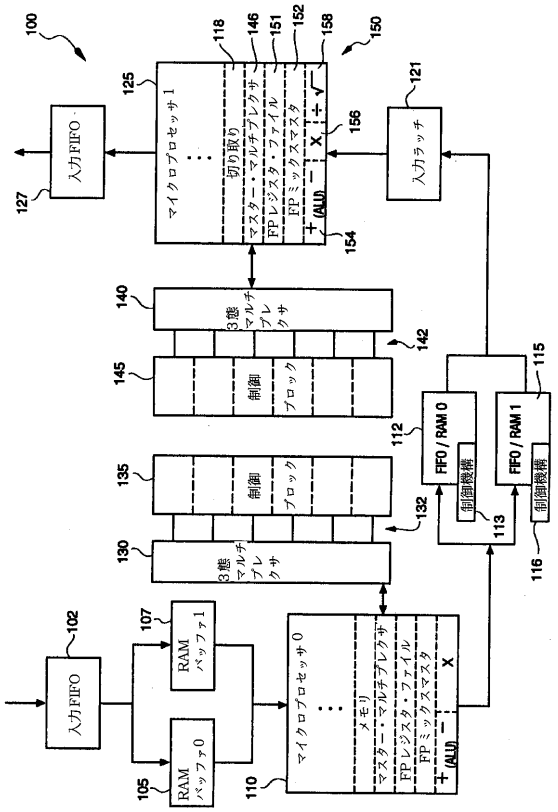
（２）上記制御装置信号が１つの制御装置グループ信号を含み、上記ＦＰＵ信号が１つのＦＰＵグループ信号を含み、上記制御装置グループ信号の各信号が上記ＦＰＵグループ信号の中の１つの信号と同一であり、ＦＰＵグループの信号が制御装置グループの信号より少なくとも１つ多い付加信号を含むように構成される上記（１）に記載のデジタル回路。

（３）上記少なくとも１つの付加信号がＦＰＵグループ信号の大半のものより能動的信号

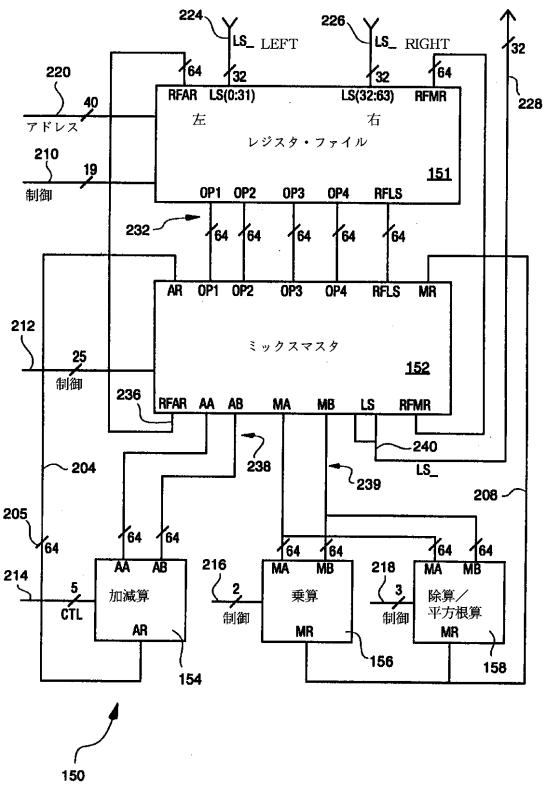
である、上記（２）に記載のデジタル回路。
（４）上記少なくとも１つの付加信号がＦＰＵグループ信号の中で最も能動的信号である、上記（（３）に記載のデジタル回路。
（５）上記ＦＰＵグループ信号が電力節約信号を含み、上記復号器がＦＰＵグループ信号のすべてをオフ状態に設定する特別仕様復号器を含む、上記（２）に記載のデジタル回路。
【００４７】
（６）上記浮動小数点ユニットが、複数の算術演算制御機能を実行する算術演算制御装置を含み、上記制御装置信号は、各々が上記算術演算制御機能の１つに関連する複数グループに区分けされる、上記（１）に記載のデジタル回路。
（７）上記制御装置が、複数の上記制御信号出力部を各々が持つ複数の制御装置を備える上記（１）に記載のデジタル回路。
（８）上記制御装置出力部が複数の制御装置グループに区分けされ、上記ＦＰＵ信号入力部が複数のＦＰＵ信号グループに区分けされ、上記制御装置グループの各々が上記ＦＰＵ信号グループの１つに対応し、上記復号器が上記制御装置グループの各々と対応する上記ＦＰＵ信号グループの１つの間に接続される対応する復号器を含む、上記（１）に記載のデジタル回路。
（９）上記制御装置グループの少なくとも１つが、対応するＦＰＵ信号入力グループの入力信号より１つ少ない出力信号を含み、上記対応する復号器が優先復号器を含む上記（８）に記載のデジタル回路。
（１０）複数の浮動小数点ユニット信号に応答して動作する浮動小数点演算ユニットおよび制御装置を含む論理システムに関して制御論理回路面積を減少させる方法であって、上記浮動小数点ユニットを分析して上記浮動小数点ユニット信号に含まれる冗長情報を判定し、上記浮動小数点ユニット信号より冗長度の少ない符号化出力信号を生成する上記制御装置を設計作成し、上記制御装置および上記浮動小数点ユニットの間に復号器を配置して上記符号化信号を復号して上記浮動小数点信号を生成することからなる方法。
【００４８】
【発明の効果】
本発明は、制御線の削減によって論理回路面積の減少を実現する効果を奏するとともに、制御装置論理部分を大幅に単純化し、これによってシステム設計の際に冗長度を除去することを一層容易にする。
【図面の簡単な説明】
【図１】本発明に従う浮動小数点プロセッサ制御論理を含むグラフィックス・アクセラレータ回路のブロック図である。
【図２】浮動小数点プロセッサ回路のブロック図である。
【図３】図１の制御論理と浮動小数点プロセッサの間の電気的接続を示すブロック図である。
【図４】図３の回路で使用される復号器の典型例を示すブロック図である。
【図５】図３で使用される２対３優先符号器の回路のブロック図である。
【図６】図３で使用される１対２優先符号器の回路のブロック図である。
【図７】あるグループの中の信号の１つが電力節約信号である場合に使用される復号器の回路のブロック図である。
【符号の説明】
１００　グラフィックス・アクセラレータ・チップ
１１０　第１のマイクロプロセサ
１２０　第２のマイクロプロセサ
１３０、１４０　３態マルチプレクサ
１３５、１４５　制御ブロックすなわち制御論理装置
１５０　浮動小数点プロセッサ・ユニット
１５１　浮動小数点レジスタ・ファイル

１５２　ミックスマスタ
１５４　算術論理演算ユニット（ＡＬＵ）
１５６　乗算論理ユニット
１５８　除算／平方根論理ユニット
３２０　復号器
３２２　特別仕様復号器
３２４　２対３優先復号器
３２６　１対２優先復号器
４１０、４１１、５１０、６１０、７２１　否定回路
４１４、４１５、４１６、４１７、５１４、５１５、７２０　　ＮＯＲゲート
４２０　排他的のＲゲート

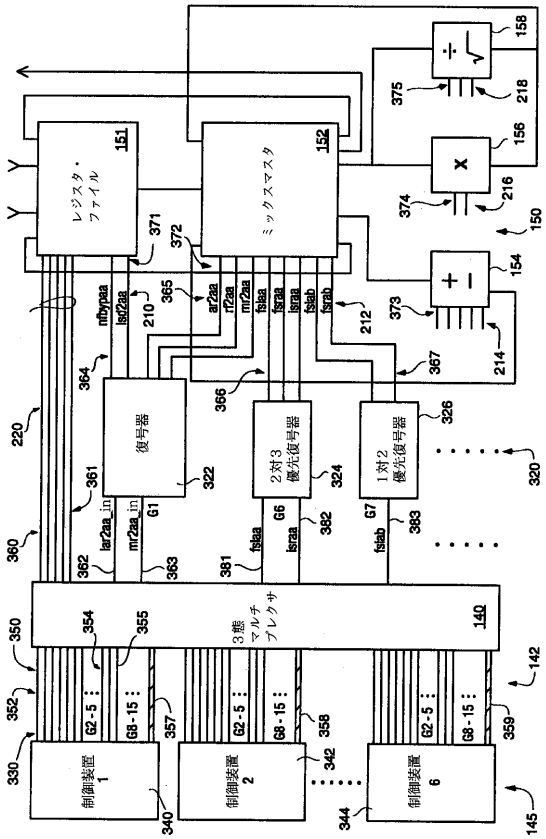
【図１】



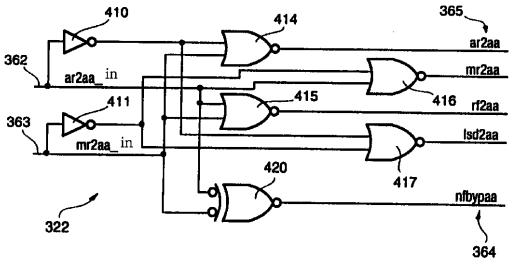
【図２】



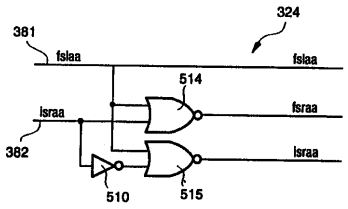
【図３】


レジスタ・ファイル
ミックスマスタ
復号器
2対3優先復号器
1対2優先復号器
3態マルチプレクサ
制御装置1
制御装置2
制御装置6
nfbypaa
lsd2aa
ar2aa
rf2aa
mr2aa
fslaa
fsraa
lsraa
fslab
fsrab
lar2aa_in
mr2aa_in
G1
G6
G7
G2-5
G8-15

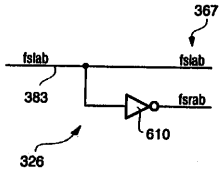
【図４】


ar2aa_in
mr2aa_in
ar2aa
mr2aa
rf2aa
lsd2aa
nfbypaa

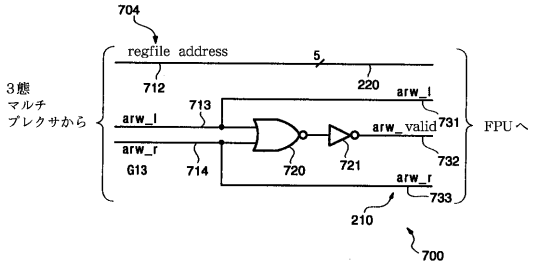
【図５】


fslaa
lsraa
fsraa

【図６】


fslab
fsrab

【図７】


regfile address
3態マルチプレクサから
arw_l
arw_r
G13
arw_valid
FPUへ

フロントページの続き

(72)発明者　セオドール・ジー・ロシン
アメリカ合衆国８０５２１コロラド州フォート・コリンズ、ウエスト・マウンテン・アベニュー
１４２１

審査官　田中　友章

(56)参考文献　特開平０５－１４３３２０（ＪＰ，Ａ）
特開平０４－２７０４１４（ＪＰ，Ａ）
特開平０５－２５８０７８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G06F 7/00
G06F 15/78