(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3638377号
(P3638377)
(45)発行日　平成17年4月13日(2005.4.13)　(24)登録日　平成17年1月21日(2005.1.21)

(51)Int.Cl.[7]　F I
H01L 27/118　H01L 21/82　M
H01L 29/786　H01L 29/78　613Z
H01L 29/78　613A
H01L 29/78　617N
H01L 29/78　621

請求項の数 22　(全 31 頁)

(21)出願番号　特願平8-145621
(22)出願日　平成8年6月7日(1996.6.7)
(65)公開番号　特開平9-331048
(43)公開日　平成9年12月22日(1997.12.22)
審査請求日　平成15年5月20日(2003.5.20)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100089233
弁理士　吉田　茂明
(74)代理人　100088672
弁理士　吉竹　英俊
(74)代理人　100088845
弁理士　有田　貴弘
(72)発明者　前田　茂伸
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
(72)発明者　山口　泰男
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内

最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】

【請求項１】

いずれも第１の方向に延びる複数のフィールドが前記第１の方向とは異なる第２の方向に配列され、ＳＯＩトランジスタが形成されるべきゲートアレイを備え、

前記複数のフィールドは、前記ＳＯＩトランジスタのボディ部に同一の固定電位を与える第１種フィールドと、前記ＳＯＩトランジスタのボディ部をフローティング状態にする第２種フィールドとに分類される半導体装置。

【請求項２】

互いに導電型が異なり、一対をなす２つの前記第１種フィールドの間に前記第２種フィールドが１つ配置されたまとまりが配列される、請求項１記載の半導体装置。

【請求項３】

前記第２種フィールドにおいてのみＰＭＯＳトランジスタが形成され、ＮＭＯＳトランジスタは前記第１種フィールド及び前記第２種フィールドのいずれにおいても形成される、請求項１記載の半導体装置。

【請求項４】

前記第２種フィールドの幅は前記第１種フィールドの幅よりも狭い、請求項１乃至請求項３の何れか一つに記載の半導体装置。

【請求項５】

導電型の等しい前記第１種フィールド及び前記第２種フィールドとが隣接しつつ、前記第１種フィールドと前記第２種フィールドとが交互に配列される、請求項１記載の半導体装

置。
【請求項６】
第１方向に伸びる第１部分と、前記第１方向と異なる第２方向へ前記第１部分から延在する第２部分とを有するＳＯＩ層と、
前記第２部分の一部を前記第１方向において覆う端部と、前記端部から延びて前記第１部分の一部を前記第２方向において覆う主部とを有するゲート電極と、前記主部に覆われた前記第１部分において形成された第１導電型のボディ部と、
前記主部に覆われない前記第１部分において形成された第２導電型の一対の活性領域とを備え、
前記一対の前記活性領域と前記ゲート電極とがＳＯＩトランジスタを構成する半導体装置。
【請求項７】
第１方向に伸びる第１部分と、前記第１方向と異なる第２方向へ前記第１部分から離散的に延在する複数の第２部分とを有するＳＯＩ層と、
前記第１部分の一部を前記第２方向において覆う主部を有するゲート電極と、
前記主部に覆われた前記第１部分において形成された第１導電型のボディ部と、前記主部に覆われない前記第１部分において形成された第２導電型の活性領域と、
前記ＳＯＩ層と、前記ゲート電極との間で互いに絶縁されつつ、前記第２部分の一部を前記第１方向において覆う分離電極と
を備え、
一対の前記活性領域と前記ゲート電極とがＳＯＩトランジスタを構成する半導体装置。
【請求項８】
前記ゲート電極と、これに対応して設けられた前記第２部分とを電気的に接続する配線
を更に備える、請求項６または請求項７記載の半導体装置。
【請求項９】
前記第２部分の先端には前記第２部分よりも細い第３部分が存在し、前記第３部分と前記ゲート電極とが前記配線によって接続される、請求項８記載の半導体装置。
【請求項１０】
第１方向に伸びる第１部分と、前記第１方向と異なる第２方向へ前記第１部分から延在する第２部分とを有するＳＯＩ層と、
前記第１部分の一部と絶縁されつつこれを前記第２方向において覆う主部と、前記第２部分の一部を層間膜によって絶縁されつつ覆う端部とを有するゲート電極と、
前記主部に覆われた前記第１部分において形成された第１導電型のボディ部と、前記主部に覆われない前記第１部分において形成された第２導電型の活性領域と、
前記層間膜を貫通して、互いに対応する前記第２部分及び前記端部とのいずれにも接触するプラグと
を備え、
一対の前記活性領域と前記ゲート電極とがＳＯＩトランジスタを構成する半導体装置。
【請求項１１】
前記第２部分は前記第１の方向に関して離散的に複数設けられ、
前記ＳＯＩ層と、前記ゲート電極との間で互いに絶縁されつつ、前記第２部分の一部を前記第１方向において覆う分離電極
を更に備える、請求項１０記載の半導体装置。
【請求項１２】
前記分離電極のエッジが前記プラグに対して前記端部のエッジよりも引っ込んで離隔されている、請求項１１記載の半導体装置。
【請求項１３】
前記プラグは前記第２部分も貫通しつつ前記第２部分と接触する、請求項１０記載の半導体装置。
【請求項１４】

第１方向に伸びる第１部分と、前記第１方向と異なる第２方向へ前記第１部分から延在する第２部分とを有するＳＯＩ層と、
前記第１部分の一部と絶縁されつつこれを前記第２方向において覆う主部と、端部とを有するゲート電極と、
前記主部に覆われた前記第１部分において形成された第１導電型のボディ部と、前記主部に覆われない前記第１部分において形成された第２導電型の活性領域と、
前記層間膜を貫通して前記端部と接触するプラグと
を備え、
前記端部は自身と対応する前記第２部分と接触し、
一対の前記活性領域と前記ゲート電極とがＳＯＩトランジスタを構成する半導体装置。

【請求項１５】
前記第２部分のうち、前記端部が接触する接触領域の不純物濃度が局所的に高められている、請求項１４記載の半導体装置。

【請求項１６】
前記第２部分のうち、前記端部が接触する接触領域の結晶性が局所的に劣化されている、請求項１４記載の半導体装置。

【請求項１７】
前記ＳＯＩトランジスタにおいて形成されるチャネルの導電型と同一の導電型に前記ＳＯＩ層が設定され、前記ＳＯＩ層と異なる導電型の半導体で前記ゲート電極が形成される、請求項１４記載の半導体装置。

【請求項１８】
前記第２部分は前記第１の方向に関して離散的に複数設けられ、
前記ＳＯＩ層と、前記ゲート電極との間で互いに絶縁されつつ、前記第２部分の一部を前記第１方向において覆う分離電極
を更に備える、請求項１５乃至請求項１７のいずれか一つに記載の半導体装置。

【請求項１９】
第１方向に伸びる第１部分と、前記第１方向と異なる第２方向へ前記第１部分の一側から延在する第２部分とを有するＳＯＩ層と、
前記第１部分の一部と絶縁されつつこれを前記第２方向において覆う主部と、前記第１部分の他側を覆う端部とを有するゲート電極と、
前記主部に覆われた前記第１部分において形成された第１導電型のボディ部と、前記主部に覆われない前記第１部分において形成された第２導電型の活性領域と、
を備え、
一対の前記活性領域と前記ゲート電極とがＳＯＩトランジスタを構成する半導体装置。

【請求項２０】
前記第２部分は前記第１の方向に関して離散的に複数設けられ、
前記ＳＯＩ層と、前記ゲート電極との間で互いに絶縁されつつ、前記第２部分の一部を前記第１方向において覆う分離電極
を更に備える、請求項１９記載の半導体装置。

【請求項２１】
前記ＳＯＩ層と、前記ゲート電極との間で互いに絶縁されつつ、前記第１部分の前記他側を前記第１方向において覆う分離電極
を更に備える、請求項２０記載の半導体装置。

【請求項２２】
第１方向に伸びる第１部分と、前記第１方向と異なる第２方向へ前記第１部分の一側から延在する第２部分とを有する第１のＳＯＩ層と、
前記第１部分の一部と絶縁されつつこれを前記第２方向において覆う主部と、前記第２部分の一部を覆う端部とを有する第１のゲート電極と、
前記主部に覆われた前記第１部分において形成された第１のボディ部と、
前記主部に覆われない前記第１部分において形成された第１導電型の第１の活性領域と、

前記第１方向に伸びる第１部分と、前記第２方向へ該第１部分の一側から延在する第２部分とを有する第２のＳＯＩ層と、
前記第２のＳＯＩ層の前記第１部分の一部と絶縁されつつこれを前記第２方向において覆う主部と、前記第２のＳＯＩ層の前記第２部分の一部を覆う端部とを有する第２のゲート電極と、
前記第２の前記ゲート電極の前記主部に覆われた前記第２のＳＯＩ層の前記第１部分において形成された第２のボディ部と、
前記第２のゲート電極の前記主部に覆われない前記第２のＳＯＩ層の前記第１部分において形成された第２導電型の第２の活性領域と、
を備え、
前記第１のＳＯＩ層の前記第２部分と前記第２のＳＯＩ層の前記第２部分とが隣接して配置され、
前記第１のゲート電極の前記端部と前記第２のゲートの前記端部とが隣接して配置され、
一対の前記第１の活性領域と前記第１のゲート電極とが第１のＳＯＩトランジスタを構成し、
一対の前記第２の活性領域と前記第２のゲート電極とが第２のＳＯＩトランジスタを構成し、
前記第１のＳＯＩ層の前記第２部分と、前記第２のＳＯＩ層の前記第２部分と、前記第１のゲート電極の前記端部と、前記第２のゲートの前記端部とが共通して、前記第１の方向と前記第２の方向とが張る平面に関して一箇所で接続される半導体装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

この発明は半導体装置、特にＳＯＩ（Semiconductor On Insulator）基板を用いたトランジスタに関するものである。

【０００２】

【従来の技術】

専用ＬＳＩ（ＡＳＩＣ：Application Specific Integrated Circuit）は、マイクロプロセッサ等の論理ＬＳＩと同様に、高速且つ消費電力が低いことが求められている。ＡＳＩＣの一形態であるゲートアレイについてもこのことが該当する。

【０００３】

図３６は、バルク型のＮＭＯＳトランジスタの構造を示す断面図である。Ｓｉ基板１０１とソース領域１０２（或いはドレイン領域１０３）との間に生じる空乏層１０４に起因する接合容量Ｃ１が大きく、また、Ｓｉ基板１０１とＮＭＯＳトランジスタ上に敷設される金属配線１０５との間でＬＯＣＯＳ酸化膜１０８を介して成す配線容量Ｃ２も大きい。

【０００４】

このような背景において、ゲートアレイにＳＯＩ層を用いることが提案されている。図３７はＳＯＩ型のＮＭＯＳトランジスタの構造を示す断面図である。ＳＯＩ層１０６上のトランジスタは、その下に厚い埋め込み酸化膜１０７を持っているので、バルク型のＮＭＯＳトランジスタと比較して接合容量Ｃ１、配線容量Ｃ２が小さくなる。そのため、高速に動作し、消費電力も小さい。

【０００５】

しかもＳＯＩ層１０６にソース、ドレインが設けられるトランジスタ（以下「ＳＯＩトランジスタ」と称す）はそのソース領域１０２とドレイン領域１０３との間に存在する半導体（ボディ部）１１０が電気的にフローティング状態にある。このため、バルク型のトランジスタにおいて生じていた、ソース電位が上昇した（ＮＭＯＳトランジスタの場合）時にＳｉ基板１０１とソース領域１０２との電位差に因ってトランジスタのしきい値Ｖｔｈが上昇してしまうという「基板バイアス効果」が、ＳＯＩトランジスタでは生じない。従って、ＳＯＩトランジスタは常に小さなしきい値で使用でき、低電圧で動作できるのでこのことに因っても消費電力が小さくて済む。

【０００６】
しかしＳＯＩトランジスタは、チャネルが形成されるボディ部１１０がフローティング状態となるために、ソース・ドレイン間の電圧がある程度以上になると、ドレイン領域１０３近傍で衝突電離した電荷、例えばＮＭＯＳトランジスタであれば正孔がＳｉ基板１０１へと逃げず、ボディ部１１０とソース領域１０２、ドレイン領域１０３からなるＮＰＮ型の寄生バイポーラトランジスタのベースたるボディ部１１０の電位が上昇する。そして、このバイポーラトランジスタによって駆動される電流がＳＯＩトランジスタの本来の電流に重畳される。図３８はこのような寄生バイポーラ効果によって電流が増加する様子を示すグラフである。かかる寄生バイポーラ効果を回避するために、ＳＯＩトランジスタのボディ部１１０の電位を固定する必要がある。

【０００７】
図３９はField Shield Isolation（以下「ＦＳ分離」と称す）の構成を示す平面図である。また図４０は図３９のXXXX－XXXX断面を示す断面図であり、図４１は図３９のXXXXI－XXXXI断面を示す断面図である。ソース領域１０２若しくはドレイン領域１０３となる活性領域１１１は幅Ｌｆで形成されている。活性領域１１１には、図示しない配線との電気的接続を採るためのソース・ドレインコンタクト９６が設けられている。ゲート電極１０９のゲートコンタクト９７は煩雑を避けるため、図３９においては省略されている。

【０００８】
配線活性領域１１１の並ぶ方向（図３９において上下方向、以下「縦方向」と称す）の分離についてゲート電極１０９の電位を固定して（例えばＮＭＯＳトランジスタであればゲート電極１０９をゲートコンタクト９７を介して接地ＧＮＤに接続する）行われるゲート分離と同様に、ＦＳ分離は、縦方向と直交する方向（図３９において左右方向、以下「横方向」と称す）の素子分離をＦＳゲート９１を用いて行うものである。

【０００９】
即ち、ＮＭＯＳトランジスタの両側には絶縁性の層間膜を介してゲート電極１０９と同様にＦＳゲート９１がＳＯＩ層１０６に対峙しており、これを接地ＧＮＤと接続する事によって横方向にＮＭＯＳトランジスタを分離する。

【００１０】
図４２は横方向の分離をＬＯＣＯＳ酸化膜を用いた分離（以下「ＬＯＣＯＳ分離」と称する）によって行った場合の構成を示す断面図である。ＬＯＣＯＳ分離を採用すると、ＳＯＩ層１０６がＬＯＣＯＳ酸化膜１０８によって横方向に分断されてしまい、ＳＯＩ層１０６に対して所定の電位を与える為のコンタクトを設けることができない。これに対してＦＳ分離を採用した場合にはＳＯＩ層１０６自体は横方向にも延在できるので、その延在部においてＳＯＩ層１０６に所定の固定電位を与えることができる。但し、図４１に示されるように、ＦＳ分離の為にＦＳゲート９１に所定の電位を与える為のＦＳゲートコンタクト９２、コンタクトプラグ９３が必要な一方で、図４０に示されるようにボディ部に所定の電位を与える為のボディコンタクト９４、コンタクトプラグ９３が必要である（コンタクトプラグ９３が接するＳＯＩ層１０６のうち、ハッチングを施した領域は不純物濃度を高めておくことができる）。そのためにＦＳゲート９１の内、ボディコンタクト９４を設ける必要のある位置には図３９及び図４０に示されるように、欠損部９５が必要となる。

【００１１】
このようにして得られたゲートアレイは、ボディ部１１０に所定の電位を与えることができるので、配線容量を減少させることができて低消費電力かつ高速に動作し、しかも寄生バイポーラ効果を回避することができる。例えば、インバータにおいて上記のＦＳ分離を用いたＳＯＩトランジスタを採用とすることができる。

【００１２】
図４３はインバータを示し、同図（ａ）はそのシンボルを、同図（ｂ）はその具体的構成例を示している。インバータはＰＭＯＳトランジスタＰ１とＮＭＯＳトランジスタＮ１が電位Ｖｃｃを与える電位点と接地ＧＮＤとの間で直列に接続された構成を有している。つまり、トランジスタＮ１のソースは接地電位ＧＮＤに固定され、トランジスタＰ１のソー

スは電位Ｖｃｃに固定されている。従って、これらのトランジスタとしてＦＳ分離を用いたＳＯＩトランジスタを採用して、トランジスタＰ１，Ｎ１のボディをそれぞれ電位Ｖｃｃ及び接地電位に固定したところで、ボディ部とソースとの電位差が生じないので、基板バイアス効果がインバータの機能に悪影響を与えるということはない。

【００１３】

【発明が解決しようとする課題】

しかし、基板バイアス効果が生じないというメリットが失われてしまうためにボディ部１１０の電位を固定してしまわない方が良い場合もある。

【００１４】

図４４はＮＡＮＤ回路を示し、同図（ａ）はそのシンボルを、同図（ｂ）はその具体的構成例を示している。ＮＡＮＤ回路はＰＭＯＳトランジスタＰ１，Ｐ２の並列接続と、ＮＭＯＳトランジスタＮ１，Ｎ２とが電位Ｖｃｃを与える電位点と接地ＧＮＤとの間で直列に接続された構成を有している。

【００１５】

トランジスタＰ１，Ｐ２，Ｎ２のソースにはそれぞれ電位Ｖｃｃ，Ｖｃｃ及び接地電位ＧＮＤが与えられているので、これらのボディ部にそれぞれ電位Ｖｃｃ，Ｖｃｃ及び接地電位ＧＮＤを与えてもこれらのトランジスタに基板バイアス効果は生じない。しかし、固定された電位が与えられていないソースを持つトランジスタＮ１については、そのソースに接地電位より高い電位が伝達される場合があり、そのボディ部に接地電位ＧＮＤを与えると、基板バイアス効果が生じてしきい値電圧が上昇してしまう。これでは低電圧では動作しなくなり、動作速度が遅くなってしまう。

【００１６】

図４５は活性領域の縦方向の方向の並び（以下「フィールド」と称す）が、横方向にどのように配置されるかを表すレイアウト（以下「マスターレイアウト」）を示す。ここではゲート電極の存在を無視して図示しているので、フィールド１０ａ～１０ｉは長方形として表されている。長方形の内部に示された“Ｐ”，“Ｎ”はそれぞれＰＭＯＳトランジスタ及びＮＭＯＳトランジスタが設けられるべきフィールドであることを示している。本明細書では、ＰＭＯＳトランジスタが設けられるべきフィールドを「ｐ型の」フィールドと、ＮＭＯＳトランジスタが設けられるべきフィールドを「ｎ型の」フィールドと、それぞれ表現する。

【００１７】

従来は、ボディ部１１０に所定の電位を与えるべくＦＳ分離を採用した場合、フィールドの全てにＦＳ分離を採用した（図４５に示されるフィールド１０ａ～１０ｉはいずれもＦＳ分離されており、このようにＦＳ分離されたフィールドを以下「ＦＳ分離フィールド」と称す）。フィールド内ではＳＯＩ層１０６に共通して所定の電位が与えられるので（例えばＮＭＯＳトランジスタならば接地電位ＧＮＤ）同一フィールドに属するトランジスタのボディ部１１０の電位は全て固定されてしまう。これではＮＡＮＤ回路のように、そのソースに固定電位が与えられないトランジスタを含む回路ではＳＯＩトランジスタの高速性が損なわれてしまうという問題点があった。

【００１８】

また、ゲート電極とボディ部に与える同一の電位を与えることにより、寄生バイポーラ効果を積極的に利用して、ＳＯＩトランジスタの駆動電流を稼ぐことも可能である。

【００１９】

そこで、本発明の第１の目的は、ＳＯＩトランジスタのボディ部の電位を固定するものと固定しないものとの混在を許すマスターレイアウトを提供することにあり、第２の目的はＳＯＩトランジスタのボディ部の電位を固定するものと固定しないものとの混在を許すＦＳゲートとゲート電極の構造を提供することにあり、第３の目的は、ゲート電極とボディ部とに同一の電位を与える技術を提供することにある。

【００２０】

【課題を解決するための手段】

この発明のうち請求項１にかかるものは、いずれも第１の方向に延びる複数のフィールドが前記第１の方向とは異なる第２の方向に配列され、ＳＯＩトランジスタが形成されるべきゲートアレイを備え、前記複数のフィールドは、前記ＳＯＩトランジスタのボディ部に同一の固定電位を与える第１種フィールドと、前記ＳＯＩトランジスタのボディ部をフローティング状態にする第２種フィールドとに分類される半導体装置である。

【００２１】

この発明のうち請求項２にかかるものは、請求項１記載の半導体装置であって、互いに導電型が異なり、一対をなす２つの前記第１種フィールドの間に前記第２種フィールドが１つ配置されたまとまりが配列される。

【００２２】

この発明のうち請求項３にかかるものは、請求項１記載の半導体装置であって、前記第２種フィールドにおいてのみＰＭＯＳトランジスタが形成され、ＮＭＯＳトランジスタは前記第１種フィールド及び前記第２種フィールドのいずれにおいても形成される。

【００２３】

この発明のうち請求項４にかかるものは、請求項１乃至請求項３の何れか一つに記載の半導体装置であって、前記第２種フィールドの幅は前記第１種フィールドの幅よりも狭い。

【００２４】

この発明のうち請求項５にかかるものは、請求項１記載の半導体装置であって、導電型の等しい前記第１種フィールド及び前記第２種フィールドとが隣接しつつ、前記第１種フィールドと前記第２種フィールドとが交互に配列される。

【００２５】

この発明のうち請求項６にかかるものは、第１方向に伸びる第１部分と、前記第１方向と異なる第２方向へ前記第１部分から延在する第２部分とを有するＳＯＩ層と、前記第２部分の一部を前記第１方向において覆う端部と、前記端部から延びて前記第１部分の一部を前記第２方向において覆う主部とを有するゲート電極と、前記主部に覆われた前記第１部分において形成された第１導電型のボディ部と、前記主部に覆われない前記第１部分において形成された第２導電型の一対の活性領域とを備える半導体装置である。そして、前記一対の前記活性領域と前記ゲート電極とがＳＯＩトランジスタを構成する。

【００２６】

この発明のうち請求項７にかかるものは、第１方向に伸びる第１部分と、前記第１方向と異なる第２方向へ前記第１部分から離散的に延在する複数の第２部分とを有するＳＯＩ層と、前記第１部分の一部を前記第２方向において覆う主部を有するゲート電極と、前記主部に覆われた前記第１部分において形成された第１導電型のボディ部と、前記主部に覆われない前記第１部分において形成された第２導電型の活性領域と、前記ＳＯＩ層と、前記ゲート電極との間で互いに絶縁されつつ、前記第２部分の一部を前記第１方向において覆う分離電極とを備える半導体装置である。そして、一対の前記活性領域と前記ゲート電極とがＳＯＩトランジスタを構成する。

【００２７】

この発明のうち請求項８にかかるものは、請求項６または請求項７記載の半導体装置であって、前記ゲート電極と、これに対応して設けられた前記第２部分とを電気的に接続する配線を更に備える。

【００２８】

この発明のうち請求項９にかかるものは、請求項８記載の半導体装置であって、前記第２部分の先端には前記第２部分よりも細い第３部分が存在し、前記第３部分と前記ゲート電極とが前記配線によって接続される。

【００２９】

この発明のうち請求項１０にかかるものは、第１方向に伸びる第１部分と、前記第１方向と異なる第２方向へ前記第１部分から延在する第２部分とを有するＳＯＩ層と、前記第１部分の一部と絶縁されつつこれを前記第２方向において覆う主部と、前記第２部分の一部を層間膜によって絶縁されつつ覆う端部とを有するゲート電極と、前記主部に覆われた前

記第１部分において形成された第１導電型のボディ部と、前記主部に覆われない前記第１部分において形成された第２導電型の活性領域と、前記層間膜を貫通して、互いに対応する前記第２部分及び前記端部とのいずれにも接触するプラグとを備える半導体装置である。そして、一対の前記活性領域と前記ゲート電極とがＳＯＩトランジスタを構成する。

【００３０】

この発明のうち請求項１１にかかるものは、請求項１０記載の半導体装置であって、前記第２部分は前記第１の方向に関して離散的に複数設けられ、前記ＳＯＩ層と、前記ゲート電極との間で互いに絶縁されつつ、前記第２部分の一部を前記第１方向において覆う分離電極を更に備える。

【００３１】

この発明のうち請求項１２にかかるものは、請求項１１記載の半導体装置であって、前記分離電極のエッジが前記プラグに対して前記端部のエッジよりも引っ込んで離隔されている。

【００３２】

この発明のうち請求項１３にかかるものは、請求項１０記載の半導体装置であって、前記プラグは前記第２部分も貫通しつつ前記第２部分と接触する。

【００３３】

この発明のうち請求項１４にかかるものは、第１方向に伸びる第１部分と、前記第１方向と異なる第２方向へ前記第１部分から延在する第２部分とを有するＳＯＩ層と、前記第１部分の一部と絶縁されつつこれを前記第２方向において覆う主部と、端部とを有するゲート電極と、前記主部に覆われた前記第１部分において形成された第１導電型のボディ部と、前記主部に覆われない前記第１部分において形成された第２導電型の活性領域と、前記層間膜を貫通して前記端部と接触するプラグとを備える半導体装置である。そして、前記端部は自身と対応する前記第２部分と接触し、一対の前記活性領域と前記ゲート電極とがＳＯＩトランジスタを構成する。

【００３４】

この発明のうち請求項１５にかかるものは、請求項１４記載の半導体装置であって、前記第２部分のうち、前記端部が接触する接触領域の不純物濃度が局所的に高められている。

【００３５】

この発明のうち請求項１６にかかるものは、請求項１４記載の半導体装置であって、前記第２部分のうち、前記端部が接触する接触領域の結晶性が局所的に劣化されている。

【００３６】

この発明のうち請求項１７にかかるものは、請求項１４記載の半導体装置であって、前記ＳＯＩトランジスタにおいて形成されるチャネルの導電型と同一の導電型に前記ＳＯＩ層が設定され、前記ＳＯＩ層と異なる導電型の半導体で前記ゲート電極が形成される。

【００３７】

この発明のうち請求項１８にかかるものは、請求項１５乃至請求項１７のいずれか一つに記載の半導体装置であって、前記第２部分は前記第１の方向に関して離散的に複数設けられ、前記ＳＯＩ層と、前記ゲート電極との間で互いに絶縁されつつ、前記第２部分の一部を前記第１方向において覆う分離電極を更に備える。

【００３８】

この発明のうち請求項１９にかかるものは、第１方向に伸びる第１部分と、前記第１方向と異なる第２方向へ前記第１部分の一側から延在する第２部分とを有するＳＯＩ層と、前記第１部分の一部と絶縁されつつこれを前記第２方向において覆う主部と、前記第１部分の他側を覆う端部とを有するゲート電極と、前記主部に覆われた前記第１部分において形成された第１導電型のボディ部と、前記主部に覆われない前記第１部分において形成された第２導電型の活性領域と、を備える半導体装置である。そして、一対の前記活性領域と前記ゲート電極とがＳＯＩトランジスタを構成する。

【００３９】

この発明のうち請求項２０にかかるものは、請求項１９記載の半導体装置であって、前記

第２部分は前記第１の方向に関して離散的に複数設けられ、前記ＳＯＩ層と、前記ゲート電極との間で互いに絶縁されつつ、前記第２部分の一部を前記第１方向において覆う分離電極を更に備える。

【００４０】

この発明のうち請求項２１にかかるものは、請求項２０記載の半導体装置であって、前記ＳＯＩ層と、前記ゲート電極との間で互いに絶縁されつつ、前記第１部分の前記他側を前記第１方向において覆う分離電極を更に備える。

【００４１】

この発明のうち請求項２２にかかるものは、第１方向に伸びる第１部分と、前記第１方向と異なる第２方向へ前記第１部分の一側から延在する第２部分とを有する第１のＳＯＩ層と、前記第１部分の一部と絶縁されつつこれを前記第２方向において覆う主部と、前記第２部分の一部を覆う端部とを有する第１のゲート電極と、前記主部に覆われた前記第１部分において形成された第１のボディ部と、前記主部に覆われない前記第１部分において形成された第１導電型の第１の活性領域と、前記第１方向に伸びる第１部分と、前記第２方向へ該第１部分の一側から延在する第２部分とを有する第２のＳＯＩ層と、前記第２のＳＯＩ層の前記第１部分の一部と絶縁されつつこれを前記第２方向において覆う主部と、前記第２のＳＯＩ層の前記第２部分の一部を覆う端部とを有する第２のゲート電極と、前記第２の前記ゲート電極の前記主部に覆われた前記第２のＳＯＩ層の前記第１部分において形成された第２のボディ部と、前記第２のゲート電極の前記主部に覆われない前記第２のＳＯＩ層の前記第１部分において形成された第２導電型の第２の活性領域とを備える半導体装置である。そして、前記第１のＳＯＩ層の前記第２部分と前記第２のＳＯＩ層の前記第２部分とが隣接して配置され、前記第１のゲート電極の前記端部と前記第２のゲートの前記端部とが隣接して配置され、一対の前記第１の活性領域と前記第１のゲート電極とが第１のＳＯＩトランジスタを構成し、一対の前記第２の活性領域と前記第２のゲート電極とが第２のＳＯＩトランジスタを構成し、前記第１のＳＯＩ層の前記第２部分と、前記第２のＳＯＩ層の前記第２部分と、前記第１のゲート電極の前記端部と、前記第２のゲートの前記端部とが共通して、前記第１の方向と前記第２の方向とが張る平面に関して一箇所で接続される。

【００４２】

【発明の実施の形態】

Ａ．第１の発明：

第１の発明は主として第１の目的に対応しており、マスターレイアウトに関する。

【００４３】

（Ａ－１）実施の形態１．

図１はこの発明の実施の形態１を示す平面図である。図１に示された構成は、図４５におけるＦＳ分離フィールド１０ｃ，１０ｄ，１０ｇ，１０ｈをそれぞれＬＯＣＯＳ分離されたフィールド（以下「ＬＯＣＯＳ分離フィールド」と称す）１１ｃ，１１ｄ，１１ｇ，１１ｈに置換した構成となっている。

【００４４】

図２はＬＯＣＯＳ分離の構成を示す平面図である。活性領域１１１が幅Ｌｃで形成されており、活性領域１１１には、図示しない配線との電気的接続を採るためのソース・ドレインコンタクト９６が設けられている。ゲート電極１０９のゲートコンタクト９７は煩雑を避けるため、図２においては省略されている。活性領域１１１の各々はＦＳゲートを全く用いること無く、ＬＯＣＯＳ酸化膜１０８のみによって互いに電気的に分離されている。

【００４５】

図３は２入力ＮＡＮＤ回路の具体的構成例を示している。ここで、図４４（ｂ）に示されたＮＡＮＤ回路の構成とは、ＮＭＯＳトランジスタＮ１のボディ部をフローティング状態にした点で異なっている。

【００４６】

図４は図３に示されたＮＡＮＤ回路を、ＦＳ分離フィールドとＬＯＣＯＳ分離フィールド

とを用いてどのように形成するかを示す平面図である。ハッチングを施した線は、太い線と共に配線を示すが、互いに異なる層に敷設されている。黒丸は配線同士の接続のみならず、半導体層、金属層と配線との接続をも表している。

【００４７】

ＰＭＯＳトランジスタＰ１，Ｐ２はいずれもＦＳ分離フィールド１０ａにおいて形成され、ＦＳ分離フィールド１０ａにおいては縦方向に敷設された配線によってボディコンタクト９４を介して電位Ｖｃｃがこれらのｓｏｉトランジスタのボディ部に与えられる。同様にしてＦＳゲート９１にはＦＳゲートコンタクト９２を介して電位Ｖｃｃが与えられてＦＳ分離が行われる。なお、トランジスタＰ１，Ｐ２はそれぞれのドレインとして共通の活性領域が用いられており、それぞれのソースは他の活性領域とはゲート分離されている。

【００４８】

ＮＭＯＳトランジスタＮ２はＦＳ分離フィールド１０ｂにおいて形成され、ＦＳ分離フィールド１０ｂにおいては縦方向に敷設された配線によって接地電位ＧＮＤがボディコンタクト９４を介してこのｓｏｉトランジスタのボディ部に与えられる。同様にしてＦＳゲート９１にはＦＳゲートコンタクト９２を介して電位ＧＮＤが与えられてＦＳ分離が行われる。

【００４９】

ＮＭＯＳトランジスタＮ１はＬＯＣＯＳ分離フィールド１１ｃにおいて形成され、ボディ部はフローティング状態におかれる。よって、ＮＭＯＳトランジスタＮ１における基板バイアス効果を回避することができる。

【００５０】

このように適宜ＦＳ分離フィールドと、ＬＯＣＯＳ分離フィールドとを混在させて配置することで、ボディ部の電位を固定する必要があるトランジスタはＦＳ分離フィールドにおいて形成し、ボディ部の電位を固定しないトランジスタはＬＯＣＯＳ分離フィールドにおいて形成することができる。

【００５１】

図５はＮＯＲ回路を示し、同図（ａ）はそのシンボルを、同図（ｂ）はその具体的構成例を示している。ＮＯＲ回路はＮＭＯＳトランジスタＮ１，Ｎ２の並列接続と、ＰＭＯＳトランジスタＰ１，Ｐ２とが電位Ｖｃｃを与える電位点と接地ＧＮＤとの間で直列に接続された構成を有している。

【００５２】

トランジスタＮ１，Ｎ２，Ｐ２のソースにはそれぞれ接地電位ＧＮＤ，ＧＮＤ及び電位Ｖｃｃが与えられているので、これらのボディ部にそれぞれ電位ＧＮＤ，ＧＮＤ，Ｖｃｃを与えてもこれらのトランジスタに基板バイアス効果は生じない。しかし、固定された電位が与えられていないソースを持つトランジスタＰ１については、そのボディ部に電位ＶＤＤを与えると、基板バイアス効果が生じてしまう。これを回避するため、トランジスタＰ１のボディ部はフローティング状態に保つことが望ましい。

【００５３】

図６は図５に示されたＮＯＲ回路を、ＦＳ分離フィールドとＬＯＣＯＳ分離フィールドとを用いてどのように形成するかを示す平面図である。図６は、図１で示されたマスターレイアウトを、上下を逆転に見て描いている。

【００５４】

ＮＭＯＳトランジスタＮ１，Ｎ２はいずれもＦＳ分離フィールド１０ｆにおいて形成され、ＦＳ分離フィールド１０ｆにおいては縦方向に敷設された配線によってボディコンタクト９４を介して電位ＧＮＤがこれらのｓｏｉトランジスタのボディ部に与えられる。同様にしてＦＳゲート９１にはＦＳゲートコンタクト９２を介して電位ＧＮＤが与えられてＦＳ分離が行われる。なお、トランジスタＮ１，Ｎ２はそれぞれのドレインとして共通の活性領域が用いられており、それぞれのソースは他の活性領域とはゲート分離されている。

【００５５】

ＰＭＯＳトランジスタＰ２はＦＳ分離フィールド１０ｅにおいて形成され、ＦＳ分離フィ

ールド１０ｅにおいては縦方向に敷設された配線によって電位Ｖｃｃがボディコンタクト９４を介してこのＳＯＩトランジスタのボディ部に与えられる。同様にしてＦＳゲート９１にはＦＳゲートコンタクト９２を介して電位Ｖｃｃが与えられてＦＳ分離が行われる。

【００５６】

ＰＭＯＳトランジスタＰ１はＬＯＣＯＳ分離フィールド１１ｄにおいて形成され、ボディ部はフローティング状態におかれる。よって、ＰＭＯＳトランジスタＰ１における基板バイアス効果を回避することができる。

【００５７】

従って、基板バイアス効果による動作劣化が生じるトランジスタのボディ部の電位を固定せず、基板バイアス効果による動作劣化が生じないトランジスタのボディ部の電位は固定してその寄生バイポーラ効果を抑制することができる。つまり全体として、ボディ部の電位を固定すべきトランジスタとそうでないトランジスタとを混在させることができ、低消費電力、高速化を実現することができる。

【００５８】

なお、ＬＯＣＯＳ分離フィールドの代わりに、他の分離法を採用したフィールドを用いてもよい。例えばメサ分離を用いたフィールドを用いることができる。

【００５９】

図７及び図８はメサ分離の様子を示す断面図である。図７は縦方向（フィールドの延びる方向）の断面図であり、図８は横方向（フィールドの並ぶ方向）の断面図である。メサ分離はＳＯＩ層１０６をエッチングで切り落とした構成を有している。このような分離が行われたフィールドにおいてトランジスタを形成すれば、そのボディ部をフローティング状態にすることができる。

【００６０】

（Ａ－２）実施の形態２．

図９はこの発明の実施の形態２を示す平面図である。図９に示された構成は、図１におけるＬＯＣＯＳ分離フィールド１１ｃ，１１ｄ，１１ｇ，１１ｈを、ＬＯＣＯＳ分離フィールド１２ｃ，１２ｄ，１２ｇ，１２ｈに置換した構成を有している。これらのＬＯＣＯＳ分離フィールド１２ｃ，１２ｄ，１２ｇ，１２ｈは、いずれもＦＳ分離フィールド１０ａ，１０ｂ，１０ｅ，１０ｆ，１０ｉよりも幅が狭い。

【００６１】

ＬＯＣＯＳ分離フィールドにおいて形成され、ボディー電位を固定しないＳＯＩトランジスタは、ＦＳ分離フィールドにおいて形成され、ボディー電位を固定したＳＯＩトランジスタと比較して寄生バイポーラ効果のために電流駆動能力が大きい。従って、ＳＯＩトランジスタのゲート幅を規定する、ＬＯＣＯＳ分離フィールドの幅は狭くすることができ、必要な面積を抑制することができる。

【００６２】

勿論、ＬＯＣＯＳ分離フィールドの代わりに、他の分離法を採用したフィールドを用いてもよい。例えばメサ分離を用いたフィールドを用いることができる。

【００６３】

（Ａ－３）実施の形態３．

図１０はこの発明の実施の形態３を示す平面図である。図１０に示された構成では、ｐ型のＦＳ分離フィールド１０ａ、ｎ型のＬＯＣＯＳ分離フィールド１１ｃ、ｎ型のＦＳ分離フィールド１０ｂ、ｎ型のＦＳ分離フィールド１０ｆ、ｐ型のＬＯＣＯＳ分離フィールド１１ｄ、ｐ型のＦＳ分離フィールド１０ｅが左から右へ順に配列されている。

【００６４】

図１のように、ＦＳ分離フィールドとＬＯＣＯＳ分離フィールドとそれぞれｐ型のフィールドとｎ型のフィールドの２つずつが交互に配置されたマスターレイアウトでは、４つのフィールドが一まとまりを成す。一方、図４に示された構成から分かるように、一つのＮＡＮＤ回路を構成するのにはｐ型のＦＳ分離フィールド、ｎ型のＦＳ分離フィールド、及びｎ型のＬＯＣＯＳ分離フィールドの一つづつからなる三幅対（トリオ）があれば足りる

。よってｐ型のＬＯＣＯＳ分離フィールド１１ｄが使われないままとなる。そのため、３つのフィールドで足りるＮＡＮＤ回路を多く構成する際に、無駄なフィールドを配列してしまう場合がある。同様にしてＮＯＲ回路を構成するのであれば、図６から分かるようにｎ型のＬＯＣＯＳ分離フィールド１１ｃは不要である。

【００６５】

図１０のように、２つのＦＳ分離フィールドの間に、一つのＬＯＣＯＳ分離フィールドを配置されたまとまりが配列された、マスターレイアウトでは、隣接する３つのフィールドが一まとまりとなるので、不要なフィールドが配列されることはない。

【００６６】

図１１は図１０に示されたマスターレイアウトにおいてＮＡＮＤ回路がどのように形成されるかを示す平面図である。このようにしてＮＡＮＤ回路を形成することにより、上述のように不要なフィールドがなく面積を抑制することができる他、ＮＭＯＳトランジスタＮ１とＰＭＯＳトランジスタＰ１，Ｐ２とを結ぶ配線（出力配線ＯＵＴＰＵＴに接続される配線Ｄ）を、図４と比較して短くすることができる。従って配線の歩留まりも向上する。

【００６７】

図１０に示されたマスターレイアウトはＮＡＮＤ回路を形成する場合においてのみ効果があるのではなく、ＮＯＲ回路を形成する場合も同様に効果がある。一般に、ボディ部を固定すべきＳＯＩトランジスタのソースには電位Ｖｃｃ，ＧＮＤといった固定された電位が与えられ、またボディ部をフローティング状態にすべきＳＯＩトランジスタは、互いに導電型が異なりボディ部を固定すべき２つのＳＯＩトランジスタの間で直列に接続されることが多い。従って、図１０に示されたマスターレイアウトは通常の論理回路に一般的に使用されても、占有する面積の抑制、配線長の減少による歩留まり向上という効果が得られるものである。

【００６８】

勿論、図１２に示されるように、本実施の形態においても実施の形態２において示されたように、ＬＯＣＯＳ分離フィールドの幅を狭くしても良い。

【００６９】

（Ａ－４）実施の形態４．

図１３はこの発明の実施の形態４を示す平面図である。ｐ型のＬＯＣＯＳ分離フィールド１１ａ、ｎ型のＬＯＣＯＳ分離フィールド１１ｃ、ｎ型のＦＳ分離フィールド１０ｂが、この順に左から右へと配列されている。

【００７０】

このように、ｎ型のフィールドのみをＬＯＣＯＳ分離及びＦＳ分離の２種とし、ｐ型のフィールドはＬＯＣＯＳ分離のみとしてもよい。

【００７１】

ＰＭＯＳトランジスタのチャネルを移動するキャリアは正孔であり、ＮＭＯＳトランジスタのチャネルを移動するキャリアは電子であり、前者は後者よりもその有効質量が大きく、衝突電離化率が小さい。そのため、一般にはＰＭＯＳトランジスタはＮＭＯＳトランジスタに比較して寄生バイポーラ効果は顕著ではない。

【００７２】

従って、本実施の形態に示されるように、ＰＭＯＳトランジスタを形成すべき、つまりｐ型のフィールドは全てＬＯＣＯＳ分離フィールドとし、ｎ型のフィールドをＬＯＣＯＳ分離及びＦＳ分離の２種としたマスターレイアウトを用いても、これに形成されるＮＭＯＳトランジスタ、ＰＭＯＳトランジスタから構成された論理回路全体としての寄生バイポーラ効果は抑制することができる。

【００７３】

勿論、図１４に示されるように、本実施の形態においても実施の形態２において示されたように、ＬＯＣＯＳ分離フィールドの幅を狭くしても良い。

【００７４】

（Ａ－５）実施の形態５．

図１５はこの発明の実施の形態５を示す平面図である。ｐ型のＦＳ分離フィールド１０ａ、ｎ型のＬＯＣＯＳ分離フィールド１１ｃ、ｎ型のＦＳ分離フィールド１０ｂ、ｐ型のＬＯＣＯＳ分離フィールド１１ｄが、この順に左から右へと配列されている。

【００７５】

このように、導電型の等しいＦＳ分離フィールドとＬＯＣＯＳ分離フィールドとを隣接させつつ、ＦＳ分離フィールドとＬＯＣＯＳ分離フィールドを交互に配列することにより、信号線をＬＯＣＯＳ酸化膜上に配置することができる。

【００７６】

図１６は図１５で示されたマスターレイアウトにおいてＮＡＮＤ回路をどのように形成するかを示す平面図である。図１１で示されたＮＡＮＤ回路を実現するための配線と比較すれば、入力配線ＩＮＰＵＴ１，ＩＮＰＵＴ２、出力配線ＯＵＴＰＵＴがＬＯＣＯＳ分離フィールド１１ｃのＬＯＣＯＳ酸化膜１０８上に敷設されている点で、更に接地配線ＧＮＤもＬＯＣＯＳ分離フィールド１１ｃ，１１ｄのＬＯＣＯＳ酸化膜１０８上に敷設されている点で、異なっている。

【００７７】

本実施の形態によればこのように配線を敷設することができるので、配線に付随する容量を低減することができ、以て高速で低消費電力の論理回路を実現することができる。

【００７８】

（Ａ－６）実施の形態６．

通常、ＮＡＮＤ回路１つを構成するのに必要な領域を考える。各フィールド上においては活性領域とゲート電極とが周期的に設けられている。

【００７９】

ｐ型のＦＳ分離フィールドにおいてＰＭＯＳトランジスタＰ１，Ｐ２という隣接する２つのトランジスタがまず必要である。更にこれらが外部と２カ所でゲート分離され、ゲート分離一つ当たりにトランジスタ半個分の領域が必要なので、結局ｐ型のＦＳ分離フィールドにおいては縦方向に３周期分の領域が必要である。

【００８０】

ｎ型のＦＳ分離フィールドにおいてはＮＭＯＳトランジスタＮ２が設けられ、これを２カ所でゲート分離するので、結局、縦方向に２周期分の領域が必要である。同様にして、ｎ型のＬＯＣＯＳ分離フィールドにおいても縦方向に２周期分の領域が必要である。

【００８１】

一方、従来の技術で示されたようにインバータを構成する際にはボディ部をフローティング状態にするトランジスタがなく、一対のトランジスタがＦＳ分離フィールドにおいて形成される。つまり、ｐ型、ｎ型、いずれのＦＳ分離フィールドにおいても縦方向に２周期分の領域が必要である。

【００８２】

以上のような事情から、構築すべき論理回路がインバータとＮＡＮＤ回路とをほぼ１：１で含む様な構成を有していれば、ＦＳ分離フィールド及びＬＯＣＯＳ分離フィールドを持つ第１のサブマスターレイアウトと、ＦＳ分離フィールドのみを持つ第２のサブマスターレイアウトとの両方を有するマスターレイアウトを設け、第１のサブマスターレイアウトと、第２のサブマスターレイアウトとの縦方向の比を３：２にしておけば有効に面積を利用できる。

【００８３】

図１７はこの発明の実施の形態６を示す平面図である。マスターレイアウトはクラスター２３ａ，２３ｂ，２３ｃ，２３ｄ，…の配置によって構成されている。例えばクラスター２３ａは第１のサブマスターレイアウト２１ａと、第２のサブマスターレイアウト２２ａとから成り、両者の縦方向の比は３：２に設定される。第１のサブマスターレイアウト２１ａと、第２のサブマスターレイアウト２２ａとにおいては、縦方向の比に対応させてそれぞれ分割してサブクラスターを定義することもできる。

【００８４】

クラスター２３ａは、長方形の一つの隅が長方形状に欠けた形状を有している他のクラスター２３ｂ，２３ｃ，２３ｄ，…についても同様である。よってこれら複数のクラスターは、互いに欠けている部分を噛み合わせて配置させることにより、マスターレイアウトに必要な面積を抑制することができる。

【００８５】

もちろん、本実施の形態のように第１のサブマスターレイアウト２１ａと、第２のサブマスターレイアウト２２ａとの縦方向の比は３：２に限定されるものではなく、構築されるべき論理回路において、ボディ部をフローティング状態にすべきＳＯＩトランジスタの数に応じて比を決定することができる。

【００８６】

Ｂ．第２の発明：

第２の発明は主として第２の目的及び第３の目的に対応しており、ＦＳゲートとゲート電極の構造に関する。

【００８７】

（Ｂ－１）実施の形態７．

図１８はこの発明の実施の形態７にかかるＳＯＩトランジスタの構成を示す平面図であり、図１９は図１８のXIX－XIX断面図である。図１８に示されるように、ＳＯＩ層１０６は活性領域１１１が形成されて縦方向に延在する第１部分１０６ａと、部分１０６ａから互いに離散的に横方向に延在する複数の第２部分１０６ｂとから構成されている。

【００８８】

ＳＯＩ層１０６の上方にはゲート電極１０９ａが設けられており、ゲート電極１０９ａの端部１０９ｂは第２部分１０６ｂの一部を縦方向に覆っている。端部１０９ｂにはゲートコンタクト９７が設けられる（煩雑回避のため図１８では図示しない）。第２部分１０６ｂのうち、ゲート電極１０９ａに関して第１部分１０６ａと反対側にはボディコンタクト９４が設けられる。

【００８９】

通常、ゲートアレイはゲート電極１０９ａを用いた自己整合的な不純物導入によって活性領域１１１が形成されるので、ゲート電極１０９ａの直下のＳＯＩ層１０６には、そのＳＯＩ層１０６に元々与えられていた不純物と別個に新たな不純物は（つまり後発的に不純物が）導入されない。例えばゲート電極１０９ａのうち、端部１０９ｂを除いた主部１０９ｄ（これは第１部分１０６ａの一部を横方向に覆っている）の直下にある第１部分１０６ａはボディ部１１０となる。同様にして端部１０９ｂの直下の第２部分１０６ｂにも新たな不純物は導入されず、この部分がボディ部１１０と連続することになる。

【００９０】

従って、第２部分１０６ｂに設けられたボディコンタクト９４に所定の電位を印加すれば、ボディ部１１０にその電位が与えられることになる。しかも、ボディ部１１０と活性領域１１１との間にはｐｎ接合が存在するので、縦方向で近接して配置される２つのボディ部１１０の間は電気的に分離される。例えば図１８に示された構成においてＮＭＯＳトランジスタを形成するのであれば、ＳＯＩ層１０６の導電型がｐ型に設定されてボディ部１１０はｐ型であり、活性領域１１１はｎ型に形成される。ＮＭＯＳトランジスタの場合にはボディ部１１０に接地電位ＧＮＤが与えられるので、ボディ部１１０と活性領域１１１との間のｐｎ接合には逆バイアスがかかって電気的に絶縁されることになる（以下、このような分離を「ｐｎ分離」と称す）。

【００９１】

しかも図３９に示された場合とは異なり、第２部分１０６ｂは縦方向には連続していないので、ある一つのボディコンタクト９４に与えた電位が、複数のボディ部１１０にその電位を与えるということはない。つまり、個々のトランジスタで別々にボディ部１１０に所定の電位を与えることができるので、第１の発明のようにＦＳ分離とＬＯＣＯＳ分離との併用を必要とせずに、ボディ部の電位を固定すべきトランジスタとそうでないトランジスタとを混在させることができる。

【００９２】
なお、ボディコンタクト９４が形成される位置の第２部分１０６ｂに、活性領域１１１と同じ導電型の不純物が後発的に導入されても良い。この箇所と、端部１０９ｂの直下の第２部分１０６ｂとが作るｐｎ接合には順バイアスが印加され、ボディコンタクト９４に与えられた電位がボディ部１１０へと伝達されるからである。
【００９３】
（Ｂ－２）実施の形態８．
図２０はこの発明の実施の形態８にかかるＳＯＩトランジスタの構成を示す平面図である。実施の形態７と同様にしてＳＯＩ層１０６は活性領域１１１が形成されて縦方向に延在する第１部分１０６ａと、部分１０６ａから互いに離散的に横方向に延在する複数の第２部分１０６ｂとから構成されている。ＳＯＩ層１０６の上方にはゲート電極１０９が設けられているが、実施の形態７とは異なり、ゲート電極１０９の端部１０９ｃは第２部分１０６ｂを覆っていない。煩雑回避のため図示しないが、端部１０９ｃにはゲートコンタクトが設けられる。
【００９４】
紙面垂直方向において、ゲート電極１０９とＳＯＩ層１０６との間で絶縁されてＦＳゲート９１が設けられている。ＦＳゲート９１は第２部分１０６ｂの一部を縦方向に覆っている。第２部分１０６ｂのうち、ＦＳゲート９１に関して第１部分１０６ａと反対側にはボディコンタクト９４が設けられる。
【００９５】
図４０、図４１において例示されたようにＦＳゲート９１がまずＳＯＩ層１０６の上方（紙面手前側）に設けられ、その更に上方にゲート電極１０９が設けられる。活性領域１１１を形成するための後発的な不純物導入はその後に行われるので、ＦＳゲート９１の直下におけるＳＯＩ層１０６には後発的な不純物導入は行われない。このゆえに端部１０９ｃは第２部分１０６ｂを覆う必要がない。
【００９６】
以上のような構成を採れば、実施の形態７と同様に、ボディコンタクト９４に所定の電位を印加してボディ部１１０の電位を固定することができ、かつ縦方向で近接して配置される２つのボディ部１１０の間は電気的に分離される。
【００９７】
しかも、ＦＳゲート９１を用いてＦＳ分離を行うことにより素子分離を行うことができるのは勿論、その存在によってゲート電極１０９が作るゲート容量が低減でき、一層、トランジスタの高速化を図ることができる。
【００９８】
図２１はＮＡＮＤ回路の構成を示す回路図である。実施の形態７及び実施の形態８を適用することにより、ＳＯＩトランジスタであっても、ＮＭＯＳトランジスタのボディ部をソースに接続することができる。これにより、トランジスタＰ１，Ｐ２，Ｎ１，Ｎ２の何れにおいても、基板バイアス効果、寄生バイポーラ効果の影響を受けることはない。
【００９９】
（Ｂ－３）実施の形態９．
図２２はこの発明の実施の形態９にかかるＳＯＩトランジスタの構成を示す平面図である。ＳＯＩ層１０６は活性領域１１１が形成される第１部分１０６ａと、ボディコンタクト９４が設けられる第２部分１０６ｂとから構成されている。但し、実施の形態７及び実施の形態８とは異なり、第１部分１０６ａも縦方向に分離されている。例えばＬＯＣＯＳ酸化膜１０８を用いて分離を実現することができる。見方を変えれば、ＳＯＩ層１０６は、横方向に連続する第１部分１０６ａと第２部分１０６ｂとを有し、これらが縦方向に離散的に配置されている。
【０１００】
実施の形態８と同様に、ＳＯＩ層１０６の上方にはゲート電極１０９が設けられており、ゲート電極１０９の端部１０９ｃは第２部分１０６ｂを覆っていない。煩雑回避のため図

示しないが、端部１０９ｃにはゲートコンタクトが設けられる。紙面垂直方向において、ゲート電極１０９とＳＯＩ層１０６との間で絶縁されてＦＳゲート９１が設けられている。

【０１０１】
この様にＳＯＩ層１０６を縦方向に、例えばＬＯＣＯＳ酸化膜１０８を用いて分離することにより、実施の形態７や実施の形態８と同様の効果を得ることができる。

【０１０２】
Ｃ．第３の発明：
第３の発明は主として第３の目的に対応しており、ゲート電極とボディ部とにほぼ同一の電位を与える構成に関する。ボディ部にゲート電極とほぼ同一の電位を与えることにより、トランジスタがオンした際のトランジスタのチャネル電位が上昇する。従って、トランジスタのしきい値電圧が低くなり、ドレイン電流は高くなる。

【０１０３】
（Ｃ－１）実施の形態１０．
図２３はこの発明の実施の形態１０にかかるＳＯＩトランジスタの構成を示す平面図である。図２３に示された構成は、実施の形態８において図２０を用いて示された構成に、ゲート電極１０９の端部１０９ｃとボディコンタクト９４とを接続するゲート・ボディ接続線９８を更に設けたものである。ゲート・ボディ接続線９８は例えばアルミ配線を用いて形成することができる。

【０１０４】
このようにすることにより、ゲート電極１０９とボディ部１１０とに同一の電位を供給することができ、ゲート電極１０９によってＳＯＩトランジスタのチャネルをＯＮさせると同時に、チャネルが一層迅速にＯＮするようにボディ部１１０の電位が設定される。従って、低電圧・低消費電力で高速な動作を行うＳＯＩトランジスタが得られる。

【０１０５】
勿論、実施の形態７及び実施の形態９において、それぞれ図１８及び図２２を用いて示された構造においてゲート・ボディ接続線９８を設けることもできる。

【０１０６】
（Ｃ－２）実施の形態１１．
図２４はこの発明の実施の形態１１にかかるＳＯＩトランジスタの構成を示す平面図である。図２４に示された構成は、実施の形態８において図２０を用いて示された構成において、第２部分１０６ｂの先端（第１部分とは反対側に位置する部分）に細い第３部分１０６ｅを形成し、第３部分１０６ｅにおいてボディコンタクト９４が設けられる。

【０１０７】
このようにしてボディ部１０６の容量を低減することができるので、ボディコンタクト９４とゲート電極１０９の端部１０９ｃとをゲート・ボディ接続線９８で結線する事によって更にＳＯＩトランジスタの動作の高速化を図ることができる（図の煩雑を避けるためにゲート・ボディ接続線９８は一箇所のみ図示しているが、実施の形態１０と同様にして複数敷設することができる）。

【０１０８】
図２５はこの発明の実施の形態１１にかかる他のＳＯＩトランジスタの構成を示す平面図である。図２５に示された構成は、実施の形態８において図２０を用いて示された構成において、第３部分１０６ｅがＦＳゲート９１の下方から細くなった構造を有している。このようにして上記効果を一層大きくすることができる。

【０１０９】
（Ｃ－３）実施の形態１２．
図２６はこの発明の実施の形態１２にかかるＳＯＩトランジスタの構成を示す平面図であり、図２７は図２６のXXVII－XXVII断面図である。但し、図２７においてＳＯＩ層１０６よりも下方の層（埋め込み酸化膜１０７、ＳＩ基板１０１）は略記している。図２６に示された構造は、実施の形態８において図２０を用いて示された構成のボディコンタクト９

４の代わりに、シェアードコンタクトプラグ８０を設けた構成を有している。シェアードコンタクトプラグ８０は例えばタングステンを用いて形成することができる。

【０１１０】

シェアードコンタクトプラグ８０はゲート電極１０９の端部１０９ｃのエッジＥにおいて設けられる。図２６では図示されていないが、ＦＳゲート９１とゲート電極１０９とは層間膜８２によって互いに絶縁されつつＳＯＩ層１０６を部分的に覆っている。この層間膜８２を貫通してシェアードコンタクトプラグ８０はＦＳゲート９１に接触すること無く、ゲート電極１０９及びＳＯＩ層１０６のいずれにも接続されている。シェアードコンタクトプラグ８０がＦＳゲート９１に接触することが無いように、端部１０９ｃのエッジＥとＦＳゲート９１のエッジとの間に距離Δが確保されて、ＦＳゲート９１はシェアードコンタクトプラグ８０から引っ込んでいる。これによってＦＳゲート９１にはゲート電極１０９とは別途に所定の電位を与えてＦＳ分離を行うことができる。

【０１１１】

図２６においては煩雑を避けるべく図示しないが、図２７に示されるようにシェアードコンタクトプラグ８０に接続され、層間膜８２上に敷設されるアルミ配線８１を設け、これに所定の電位を与えることができる。

【０１１２】

以上のように構成することにより、簡単に小さな面積でボディ部１１０とゲート電極１０９とを短絡することができ、ＳＯＩトランジスタの動作が高速化される。

【０１１３】

図２６及び図２７においては同一のゲート電極１０９の２つの端部１０９ｃにシェアードコンタクトプラグ８０を形成した構成を例示したが、いずれか一方のみでも同様の効果を得ることができる。

【０１１４】

勿論、ＦＳゲート９１に覆われた第２部分１０６ｂには後発的な不純物導入が行われないので、実施の形態７で説明されたように隣接するトランジスタは互いにｐｎ分離される。

【０１１５】

（Ｃ－４）実施の形態１３．

図２８はこの発明の実施の形態１３にかかるＳＯＩトランジスタの構成を示す平面図であり、図２９は図２８のXXIX－XXIX断面図である。但し、図２９においてＳＯＩ層１０６よりも下方の層（埋め込み酸化膜１０７、ＳＩ基板１０１）は略記している。図２８に示された構造は、実施の形態１２において図２６を用いて示された構成よりも、ゲート電極１０９の主部１０９ｄは横方向に長く形成され、端部１０９ｃはその殆どがＦＳゲート９１よりも外側（第１部分１０６ａと反対側）に位置している。そしてシェアードコンタクトプラグ８０の代わりに、端部１０９ｃと接続されるコンタクトプラグ８３が設けられている。

【０１１６】

コンタクトプラグ８３は層間膜８２を貫通して端部１０９ｃに接触しており、コンタクトプラグ８３の下方において端部１０９ｃは第２部分１０６ｂの接触領域８４に接触している。従ってコンタクトプラグ８３は端部１０９ｃを介して第２部分１０６ｂに電気的に接続されている。

【０１１７】

このような構成によってもゲート電極１０９とボディ部１１０とを電気的に接続することができ、寄生バイポーラ効果を有利に利用することができる。勿論、コンタクトプラグ８３は２つの端部１０９ｃのいずれか一方のみにおいて設ければ良い。

【０１１８】

但し、接触領域８４と端部１０９ｃとの間で逆バイアスがかかったｐｎ接合が存在しないようにする必要がある。さもないと、コンタクトプラグ８３を通じて端部１０９ｃに与えられた電位がこのｐｎ接合に遮られて、ボディ部１１０には与えられなくなるためである。

【０１１９】
例えば、図２９はＮＭＯＳトランジスタを構成する場合を例示するが、ゲート電極１０９をｎ$^{+}$型の半導体で形成し、ＳＯＩ層１０６の導電型をｐ$^{-}$型とした場合には、接触領域８４と端部１０９ｃとの間で逆バイアスがかかったｐｎ接合が形成されてしまう。これに対処するために、接触領域８４における不純物濃度を局所的に高め、ｐｎ接合がトンネル電流を通過させるようにする事が望ましい。
【０１２０】
或いは、接触領域８４におけるＳＯＩ層１０６の結晶性を悪くしてリーク電流を増大させるために、Ｓｉ，Ａｒ等の重い原子を注入してもよい。
【０１２１】
（Ｃ－５）実施の形態１４．
図３０はこの発明の実施の形態１４にかかるＳＯＩトランジスタの構成を示す断面図であり、図２９に対応した断面図である。図３０に示された構造は、図２９に示された構成に対して、コンタクトプラグ８３が層間膜８２のみならずゲート電極１０９をも貫通した点で異なっている。
【０１２２】
このようにすれば、コンタクトプラグ８３はＦＳゲート９１と接触しつつも、接触領域８４において第２部分１０６ｂにも接触する。そしてタングステン等の金属を用いて形成することにより、コンタクトプラグ８３は接触領域８４においてＳＯＩ層１０６とショットキー接合を形成する。例えばＮＭＯＳトランジスタにおいてかかるショットキー接合が存在すれば、ゲート電極１０９に高い電位をかけてもボディ部１１０の電位を抑制することができる。
【０１２３】
かかる抑制がなければ、ボディ部１１０の電位がソース、ドレインの両方よりも高くなりすぎる可能性がある。そしてソース、ドレインから大量の電子が流れ込む状態を招来してしまう。一旦このような状態が生じると、ボディ部１１０の電位を下げても、ボディ部１１０に存在する電子はなかなか正孔と再結合しない。例えばその再結合の時定数は１ｎｓ程度となる。高速な動作、例えば数十ｐｓでスイッチングすることが要求される場合には、このような遅い再結合は動作の阻害要因となる。
【０１２４】
従って、本実施の形態のようにコンタクトプラグ８３が直接に第２部分１０６ｂに接触し、接触領域８４においてショットキー接合を形成することで、ＳＯＩトランジスタの動作の更なる高速化を図ることができる。
【０１２５】
（Ｃ－６）実施の形態１５．
図３１及び図３２はそれぞれＮＭＯＳトランジスタ、ＰＭＯＳトランジスタをＳＯＩトランジスタで構成した場合を示す断面図であり、図２９に対応した断面図である。幾何学的配置はいずれも図２９に示された構成と同一である。図３１に示されるように、ＮＭＯＳトランジスタを構成する場合にはＳＯＩ層１０６の導電型をｎ$^{-}$型（つまりＳＯＩトランジスタにおいて形成されるチャネルと同一の導電型）に設定し、ゲート電極１０９をｐ$^{+}$の半導体で形成することにより、接触領域８４に形成されるｐｎ接合にかかる電圧は順バイアスとなる。
【０１２６】
同様にして図３２に示されるように、ＰＭＯＳトランジスタを構成する場合にはＳＯＩ層１０６の導電型をｐ$^{-}$型に設定し、ゲート電極１０９をｎ$^{+}$の半導体で形成することにより、接触領域８４に形成されるｐｎ接合にかかる電圧は順バイアスとなる。
【０１２７】
以上のような構成を採ることにより、コンタクトプラグ８３を通じて端部１０９ｃに与えられた電位がこのｐｎ接合に遮られて、ボディ部１１０には与えられなくなるという事態を回避することができる。

【０１２８】
なお、本実施の形態のように導電型を適用しても、縦方向に並ぶトランジスタの間でのｐｎ分離は行われる。例えばＮＭＯＳトランジスタにおいてゲート電位が０Ｖの場合には、仕事関数の差に起因してチャネルが反転するため、ソース・ドレイン間は逆バイアスのｐｎ接合を含んでいる。
【０１２９】
（Ｃ－７）実施の形態１６．
図３３はこの発明の実施の形態１６にかかるＳＯＩトランジスタの構成を示す平面図である。ＳＯＩ層１０６は活性領域１１１が形成されて縦方向に延在する第１部分１０６ａと、部分１０６ａから互いに離散的に横方向に延在する複数の第２部分１０６ｂとから構成されている。但し、これまでに示された実施の形態とは異なり、第２部分１０６ｂは図面の左側にのみ設けられている。ＳＯＩ層１０６の上方にはゲート電極１０９が設けられており、その主部１０９ｄが第１部分１０６ａの一部を横方向に覆っている。
【０１３０】
主部１０９ｄの右側にのみゲート電極の端部１０９ｃが設けられているので、第２部分１０６ｂは端部１０９ｃには覆われていない。そして端部１０９ｃにはゲートコンタクト９７が設けられる。
【０１３１】
紙面垂直方向において、ＦＳゲート９１がゲート電極１０９とＳＯＩ層１０６との間で絶縁されて設けられ、ＦＳゲート９１は第２部分１０６ｂの一部と、ゲート電極１０９の主部１０９ｄの左端（端部１０９ｃが設けられていない側）を縦方向に覆っている。
【０１３２】
第２部分１０６ｂにはＦＳゲート９１の外側（第１部分１０６ａと反対側、ここでは左側）においてボディコンタクト９４が設けられている。
【０１３３】
このようにボディコンタクト９４とゲートコンタクト９７とを第１部分１０６ａに関して互いに反対側に、分けて設けるので、これらに必要な面積を抑制することができる。そしてボディ部１１０をフローティング状態にする事もできるし、ゲート電極１０９と接続することもできる。後者の場合にはボディコンタクト９４とゲートコンタクト９７とを別途に配線で接続すればよい。
【０１３４】
第１部分１０６ａに関し、ゲートコンタクト９７が設けられる側には第２部分１０６ｂが設けられていないので、この側における素子分離はＬＯＣＯＳ分離を採用することができる。
【０１３５】
一方、第１部分１０６ａに関し、ボディコンタクト９４が設けられる側にはＦＳゲート９１が形成されており、その下方においては後発的な不純物導入が行われていないので、ｐｎ分離の作用により、隣接するトランジスタ同士でボディ部１１０同士が短絡することもない。
【０１３６】
図３４はこの実施の形態の変形を示す平面図である。図３３において採用されていたＬＯＣＯＳ分離の代わりにＦＳ分離を採用することができる。
【０１３７】
（Ｃ－８）実施の形態１７．
図３５はこの発明の実施の形態１７にかかるＳＯＩトランジスタの構成を示す平面図である。第１部分１０６ａｎと第２部分１０６ｂｎを有するＳＯＩ層１０６ｎと、第１部分１０６ａｐと第２部分１０６ｂｐを有するＳＯＩ層１０６ｐとが、横方向に並んで配置されている。第２部分１０６ｂｎの一部はＦＳゲート９１ｎによって、第２部分１０６ｂｐの一部はＦＳゲート９１ｐによって、それぞれ覆われている。
【０１３８】

ゲート電極１０９ｎの主部１０９ｄｎが第１部分１０６ａｎを横方向に覆い、その下方の第１部分１０６ａｎはボディ部１１０ｎとなっている。ゲート電極１０９ｎの端部１０９ｃｎは第２部分１０６ｂｎを部分的に覆っている。同様にして、ゲート電極１０９ｐの主部１０９ｄｐが第１部分１０６ａｐを横方向に覆い、その下方の第１部分１０６ａｐはボディ部１１０ｐとなっている。ゲート電極１０９ｐの端部１０９ｃｐは第２部分１０６ｂｐを部分的に覆っている。

【０１３９】

第２部分１０６ｂｎ，１０６ｂｐ同士、及び端部１０９ｃｎ，１０９ｃｐ同士はそれぞれ隣接しており、これらに共通して接触するように、実施の形態１２で示されたシェアードコンタクトプラグ８０が設けられている。シェアードコンタクトプラグ８０には入力配線ＩＮＰＵＴが接続されている。

【０１４０】

第１部分１０６ａｎの活性領域１１１ｎの導電型はｎ型であり、第１部分１０６ａｐの活性領域１１１ｐの導電型はｐ型である。

【０１４１】

活性領域１１１ｎの一方は、活性領域１１１ｐの一方と、共通に出力配線ＯＵＴＰＵＴに接続されている。また、活性領域１１１ｎの他方は接地配線ＧＮＤに、活性領域１１１ｐの他方は電源配線ＶＣＣに、それぞれ接続されている。

【０１４２】

従って、図３５で示された構成は、ゲート電極１０９ｎ及び活性領域１１１ｎからなるＮＭＯＳトランジスタと、ゲート電極１０９ｐ及び活性領域１１１ｐからなるＰＭＯＳトランジスタとが電源配線ＶＣＣと接地配線ＧＮＤとの間で直列に接続されたインバータを示していることになる。

【０１４３】

ゲート電極１０９ｎ，１０９ｐとボディ部１１０ｎ，１１０ｐとを共通に接続するのに単一のシェアードコンタクトプラグ８０で足りるので、ＮＭＯＳトランジスタとＰＭＯＳトランジスタとで別途にボディ部の電位を規定するための構造や、２つのトランジスタのゲートを互いに接続する構造を必要としない。即ちインバータを構成するのに必要な面積を抑制することができる。

【０１４４】

本実施の形態が提供するレイアウトは、ゲートアレイよりもフルカスタムＩＣにより適している。

【０１４５】

勿論、シェアードコンタクトプラグ８０の代わりに、実施の形態１３で示されたコンタクトプラグ８３を用いても良いし、ゲート電極１０９ｎ，１０９ｐがそれぞれ第２部分１０６ｂｎ，１０６ｂｐと接触し、入力配線ＩＮＰＵＴがゲート電極１０９ｎ，１０９ｐに接触する構造を採っても良い。これらの場合においても必要な面積は小さくて済む。

【０１４６】

【発明の効果】

この発明のうち請求項１にかかる半導体装置によれば、ボディ部の電位を固定すべきＳＯＩトランジスタとそうでないＳＯＩトランジスタとを混在させることができる。よって基板バイアス効果による動作劣化が生じるＳＯＩトランジスタのボディ部の電位を固定せず、基板バイアス効果による動作劣化が生じないＳＯＩトランジスタのボディ部の電位は固定してその寄生バイポーラ効果を抑制することができる。これによりＳＯＩトランジスタの低消費電力、高速化を実現することができる。

【０１４７】

この発明のうち請求項２にかかる半導体装置によれば、ボディ部を固定すべきＳＯＩトランジスタのソースには固定された電位が与えられ、またボディ部をフローティング状態にすべきＳＯＩトランジスタは、互いに導電型が異なりボディ部を固定すべき２つのＳＯＩトランジスタの間で直列に接続されることが多い。従って、請求項２にかかる半導体装置

では、不要な第２のフィールドが配列されないので、占有する面積の抑制、配線長の減少による歩留まりが向上する。

【０１４８】

この発明のうち請求項３にかかる半導体装置によれば、ＰＭＯＳトランジスタの寄生バイポーラ効果はＮＭＯＳトランジスタのそれと比較して小さいので、ＰＭＯＳトランジスタのボディ部の電位を固定しなくても良い。

【０１４９】

この発明のうち請求項４にかかる半導体装置によれば、第２種フィールドにおいて形成され、ボディー電位を固定しないＳＯＩトランジスタは、第１種フィールドにおいて形成され、ボディー電位を固定したＳＯＩトランジスタと比較して電流駆動能力が大きい。従って、第２種フィールドの幅は狭くすることができ、必要な面積を抑制することができる。

【０１５０】

この発明のうち請求項５にかかる半導体装置によれば、ＳＯＩトランジスタに設けられる配線をＬＯＣＯＳ酸化膜上に配置することで、配線に付随する容量を低減することができ、以て高速で低消費電力の論理回路を実現することができる。

【０１５１】

この発明のうち請求項６にかかる半導体装置によれば、第２部分のうち、ゲート電極の端部の外側（第１部分と反対側）において所定の電位を与えることにより、ボディ部の電位を固定して基板バイアス効果を抑制することができる。

【０１５２】

この発明のうち請求項７にかかる半導体装置によれば、第２部分のうち、分離電極の端部の外側（第１部分と反対側）において所定の電位を与えることにより、ボディ部の電位を固定して基板バイアス効果を抑制することができる。ボディ部と拡散領域とがｐｎ分離され、また第２部分同士が離散的に設けられているので、各ボディ部を互いに独立して、固定電位を与えたり、フローティング状態にすることが可能となる。

【０１５３】

この発明のうち請求項８にかかる半導体装置によれば、ゲート電極とボディ部とに同一の電位を供給することができ、ゲート電極によってＳＯＩトランジスタのチャネルをＯＮさせると同時に、チャネルが一層迅速にＯＮするようにボディ部の電位が設定される。従って、低電圧・低消費電力で高速な動作を行うＳＯＩトランジスタが得られる。

【０１５４】

この発明のうち請求項９にかかる半導体装置によれば、ボディ部が形成する容量を低減することができ、ＳＯＩトランジスタの動作がより高速化される。

【０１５５】

この発明のうち請求項１０にかかる半導体装置によれば、プラグが層間膜を貫通して第２部分とゲート電極とを接続するので、少ない面積でゲート電極に与えられた電位をボディ部にも与えることができ、ゲート電極によってＳＯＩトランジスタのチャネルをＯＮさせると同時に、チャネルが一層迅速にＯＮするようにボディ部の電位が設定され、低電圧・低消費電力で高速な動作を行うＳＯＩトランジスタが得られる。

【０１５６】

この発明のうち請求項１１にかかる半導体装置によれば、分離電極に所定の電位を与えてＦＳ分離を行い、隣接するＳＯＩトランジスタ同士でボディ部同士が短絡することを回避できる。

【０１５７】

この発明のうち請求項１２にかかる半導体装置によれば、分離電極はプラグと接触しないので、これにゲート電極と別途に所定の電位を与えてＦＳ分離を行うことができる。

【０１５８】

この発明のうち請求項１３にかかる半導体装置によれば、プラグと第２部分との界面でショットキー接合が形成され、ゲート電極と活性領域との間の電圧よりも、ボディ部と活性領域との間の電圧を小さくすることができるので、ボディ部においてキャリアを迅速に再

結合させることができる。

【０１５９】

この発明のうち請求項１４にかかる半導体装置によれば、プラグが端部を介して第２部分と電気的に接続するので、少ない面積でゲート電極に与えられた電位をボディ部にも与えることができ、ゲート電極によってＳＯＩトランジスタのチャネルをＯＮさせると同時に、チャネルが一層迅速にＯＮするようにボディ部の電位が設定され、低電圧・低消費電力で高速な動作を行うＳＯＩトランジスタが得られる。

【０１６０】

この発明のうち請求項１５にかかる半導体装置によれば、領域領域におけるｐｎ接合に逆バイアスが印加されても、これがトンネル電流を流すので、ゲート電極とボディ部とを電気的に接続する事ができる。

【０１６１】

この発明のうち請求項１６にかかる半導体装置によれば、領域領域における結晶性を劣化させることにより、ｐｎ接合に逆バイアスが印加されても、これがリーク電流を流すので、ゲート電極とボディ部とを電気的に接続する事ができる。

【０１６２】

この発明のうち請求項１７にかかる半導体装置によれば、前記第２部分と前記端部との接触によって生じるｐｎ接合には順バイアスが印加されるので、ゲート電極とボディ部とを電気的に接続する事ができる。

【０１６３】

この発明のうち請求項１８にかかる半導体装置によれば、分離電極に所定の電位を与えてＦＳ分離を行い、隣接するＳＯＩトランジスタ同士でボディ部同士が短絡することを回避できる。

【０１６４】

この発明のうち請求項１９にかかる半導体装置によれば、ボディ部をフローティング状態にすることも、ゲート電極と接続することも選択できる。後者の場合には第２部分と端部とを配線を用いて配線すれば良い。かかる選択を許すのに必要とされる面積は低減される。

【０１６５】

この発明のうち請求項２０にかかる半導体装置によれば、分離電極に所定の電位を与えてＦＳ分離を行い、隣接するＳＯＩトランジスタ同士でボディ部同士が短絡することを回避できる。

【０１６６】

この発明のうち請求項２１にかかる半導体装置によれば、分離電極に所定の電位を与えて第２方向に関してのＦＳ分離を行うことができる。

【０１６７】

この発明のうち請求項２２にかかる半導体装置によれば、第１のＳＯＩトランジスタと、第２のＳＯＩトランジスタは直列に接続され、第１のゲート電極と第２のゲート電極が共通に接続されるのでインバータを構成することができる。しかもこれらは２つの第２部分と一箇所で共通に接続されるので、第１及び第２のボディ部の電位を第１のゲート電極及び第２のゲート電極と同一電位に設定することができる。これによって、ゲート電極によってＳＯＩトランジスタのチャネルをＯＮさせると同時に、チャネルが一層迅速にＯＮするようにボディ部の電位が設定され、低電圧・低消費電力で高速な動作を行うインバータを小さな面積で実現することができる。

【図面の簡単な説明】

【図１】　この発明の実施の形態１を示す平面図である。

【図２】　ＬＯＣＯＳ分離の構成を示す平面図である。

【図３】　２入力ＮＡＮＤ回路の具体的構成例を示す回路図である。

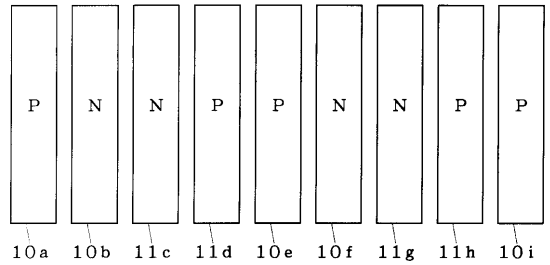
【図４】　ＮＡＮＤ回路を形成する様子を示す平面図である。

【図５】　ＮＯＲ回路の構成を示す回路図である。

【図６】　ＮＯＲ回路を形成する様子を示す平面図である。
【図７】　メサ分離の様子を示す断面図である。
【図８】　メサ分離の様子を示す断面図である。
【図９】　この発明の実施の形態２を示す平面図である。
【図１０】　この発明の実施の形態３を示す平面図である。
【図１１】　ＮＡＮＤ回路を形成する様子を示す平面図である。
【図１２】　この発明の実施の形態３の変形を示す平面図である。
【図１３】　この発明の実施の形態４を示す平面図である。
【図１４】　この発明の実施の形態４の変形を示す平面図である。
【図１５】　この発明の実施の形態５を示す平面図である。
【図１６】　ＮＡＮＤ回路を形成する様子を示す平面図である。
【図１７】　この発明の実施の形態６を示す平面図である。
【図１８】　この発明の実施の形態７を示す平面図である。
【図１９】　この発明の実施の形態７を示す断面図である。
【図２０】　この発明の実施の形態８を示す平面図である。
【図２１】　ＮＡＮＤ回路の構成を示す回路図である。
【図２２】　この発明の実施の形態９を示す平面図である。
【図２３】　この発明の実施の形態１０を示す平面図である。
【図２４】　この発明の実施の形態１１を示す平面図である。
【図２５】　この発明の実施の形態１１の変形を示す平面図である。
【図２６】　この発明の実施の形態１２を示す平面図である。
【図２７】　この発明の実施の形態１２を示す断面図である。
【図２８】　この発明の実施の形態１３を示す平面図である。
【図２９】　この発明の実施の形態１３を示す断面図である。
【図３０】　この発明の実施の形態１４を示す断面図である。
【図３１】　この発明の実施の形態１５を示す断面図である。
【図３２】　この発明の実施の形態１５を示す断面図である。
【図３３】　この発明の実施の形態１６を示す平面図である。
【図３４】　この発明の実施の形態１６の変形を示す平面図である。
【図３５】　この発明の実施の形態１７を示す平面図である。
【図３６】　バルク型のＮＭＯＳトランジスタの構造を示す断面図である。
【図３７】　ＳＯＩ型のＮＭＯＳトランジスタの構造を示す断面図である。
【図３８】　寄生バイポーラ効果を示すグラフである。
【図３９】　ＦＳ分離の構成を示す平面図である。
【図４０】　ＦＳ分離の構成を示す断面図である。
【図４１】　ＦＳ分離の構成を示す断面図である。
【図４２】　ＬＯＣＯＳ分離の構成を示す断面図である。
【図４３】　インバータを示す回路図である。
【図４４】　ＮＡＮＤ回路を示す回路図である。
【図４５】　マスターレイアウトを示す平面図である。

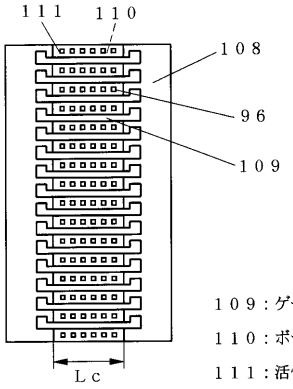
【符号の説明】
１０ａ～１０ｉ　ＦＳ分離フィールド、１１ａ～１１ｉ　ＬＯＣＯＳ分離フィールド、２１ａ～２１ｄ　第１のサブマスターレイアウト、２２ａ～２２ｄ　第２のサブマスターレイアウト、２３ａ～２３ｄ　クラスター、８０　シェアードコンタクトプラグ、８２　層間膜、８４　接触領域、９１　ＦＳゲート、９８　ゲート・ボディ接続線、１０６　ＳＯＩ層、１０６ａ　第１部分、１０６ｂ　第２部分、１０６ｅ　第３部分、１０９，１０９ａ　ゲート電極、１０９ｂ，１０９ｃ　端部、１０９ｄ　主部、１１０　ボディ部、１１１　活性領域。

【図１】



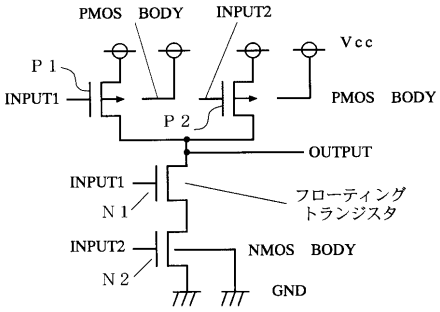
１０ａ～１０ｉ：ＦＳ分離フィールド
１１ａ～１１ｉ：ＬＯＣＯＳ分離フィールド

【図２】

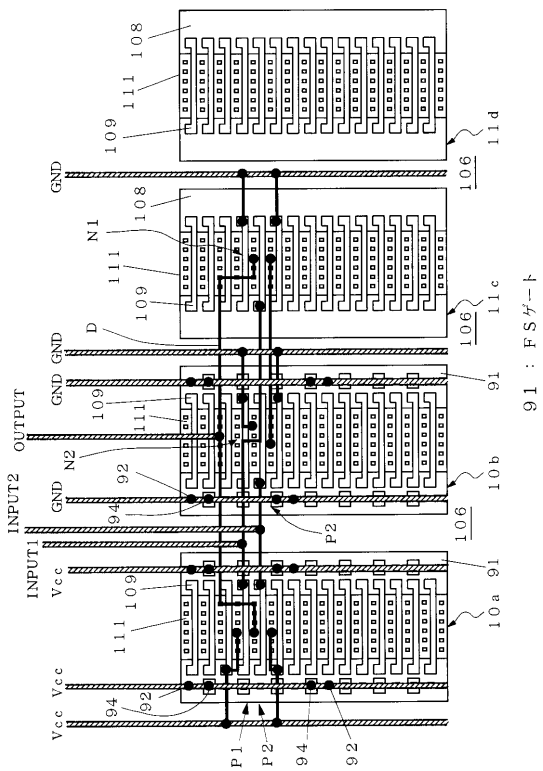


１０９：ゲート電極
１１０：ボディ部
１１１：活性領域

【図３】

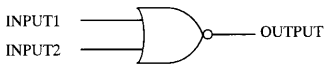


【図４】

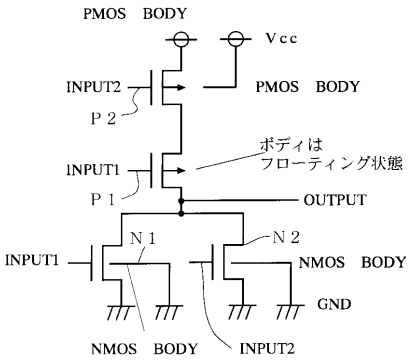


【図５】

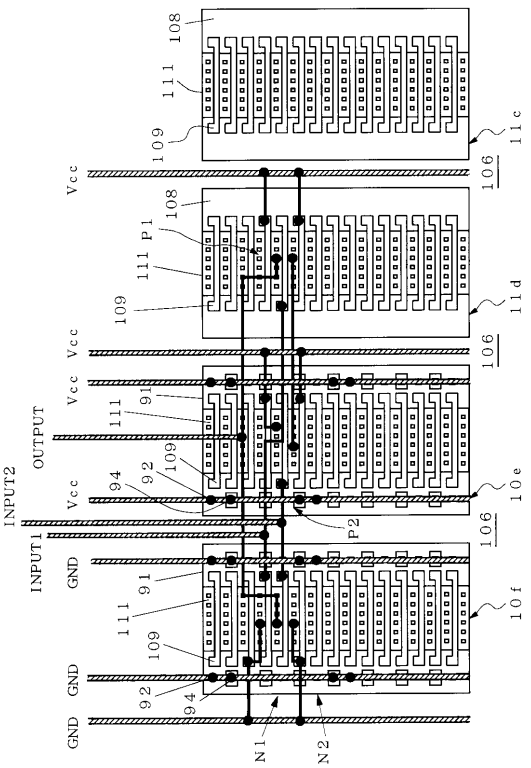
(a)



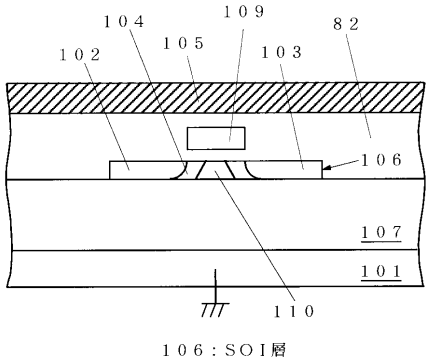
(b)



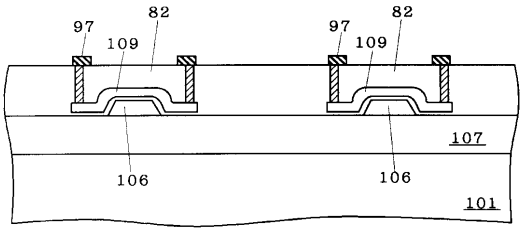
【図６】



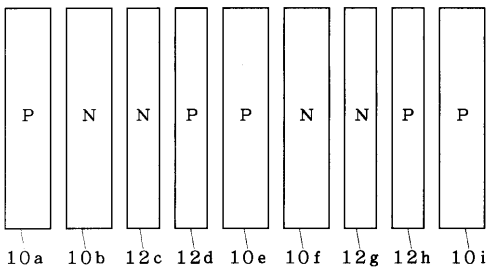
【図７】



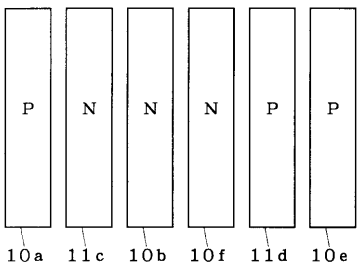
【図８】



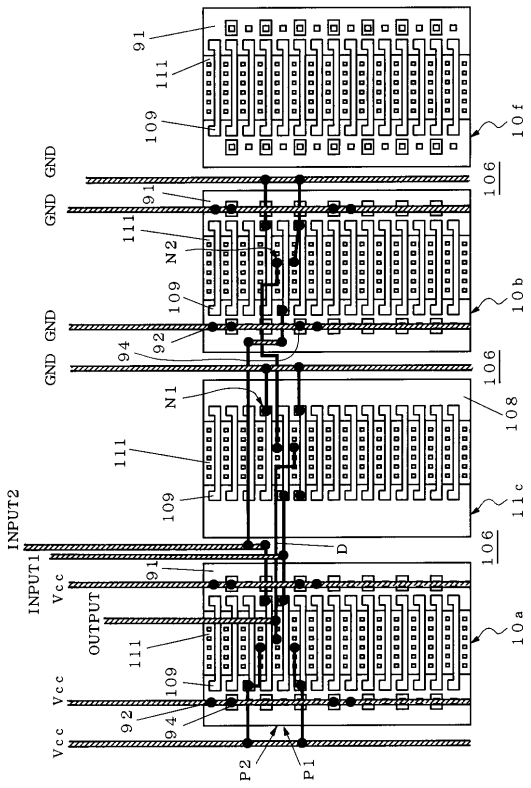
【図９】



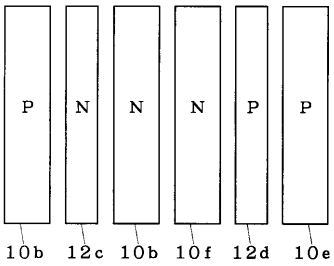
【図１０】



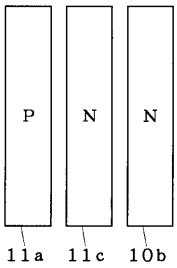
【図１１】



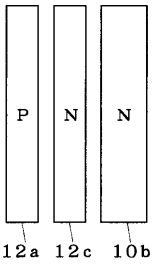
【図１２】



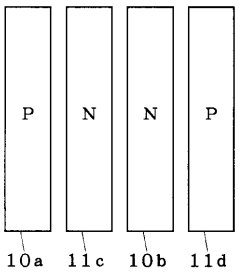
【図１３】



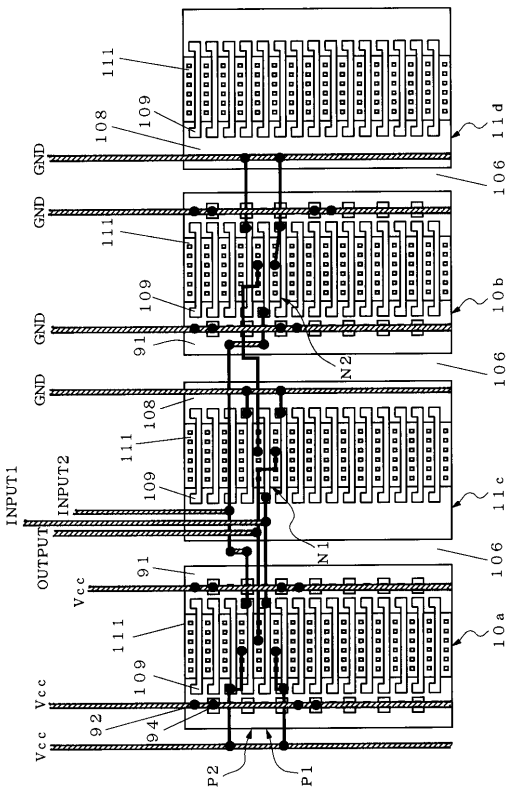
【図１４】



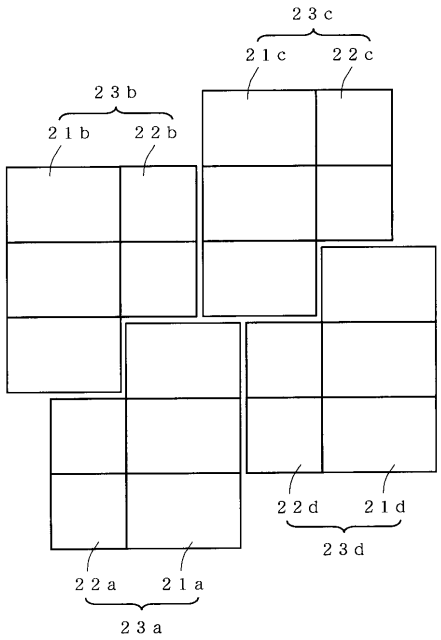
【図１５】



【図１６】

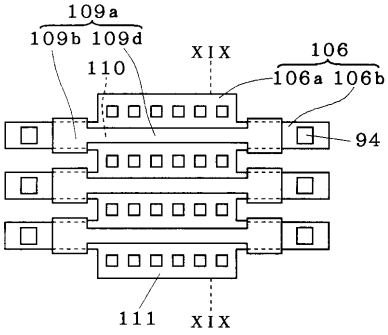


【図１７】



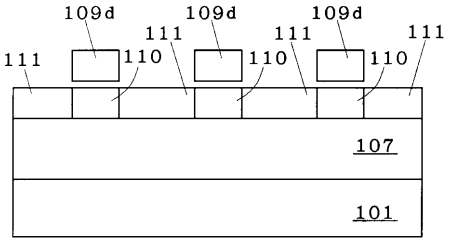
２１ａ～２１ｄ：第１のサブマスターレイアウト
２２ａ～２１ｄ：第２のサブマスターレイアウト
２３ａ～２３ｄ：クラスター

【図１８】

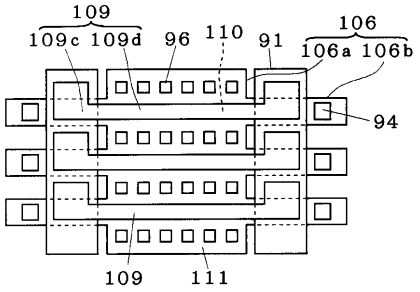


１０６ａ：第１部分　　１０９ａ：ゲート電極
１０６ｂ：第２部分　　１０９ｄ：主　部
１０６ｅ：第３部分　　109b,109c：端　部

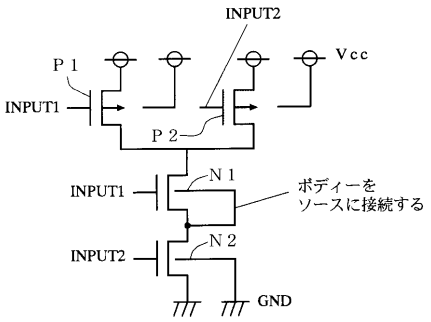
【図１９】



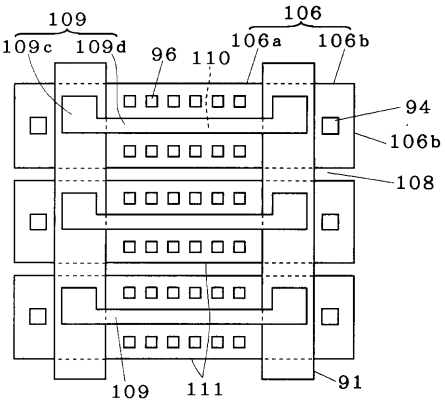
【図２０】



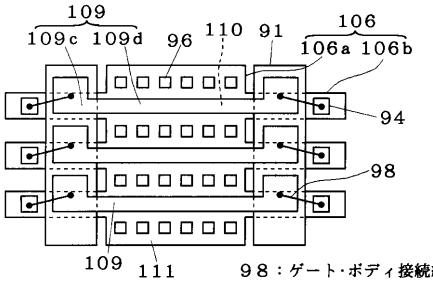
【図２１】



【図２２】

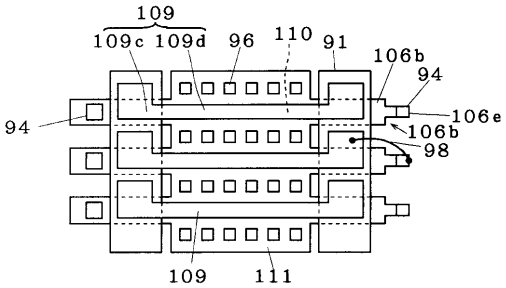


【図２３】

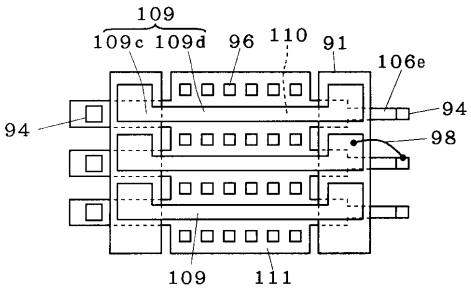


９８：ゲート･ボディ接続線

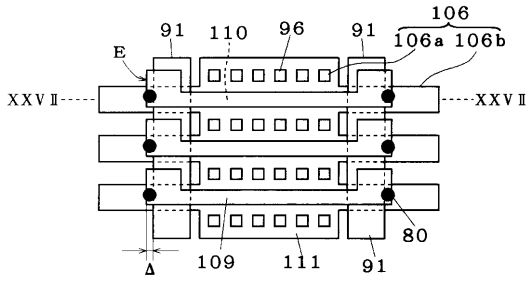
【図２４】



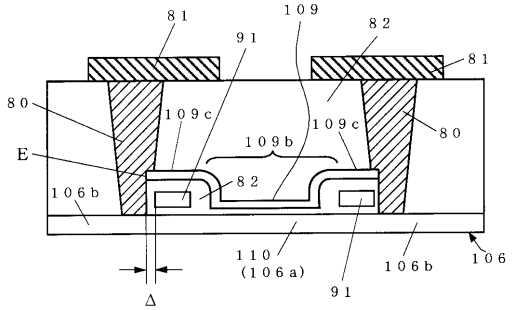
【図２５】



【図２６】

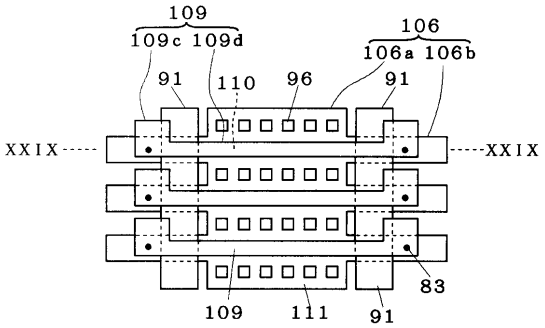


【図２７】

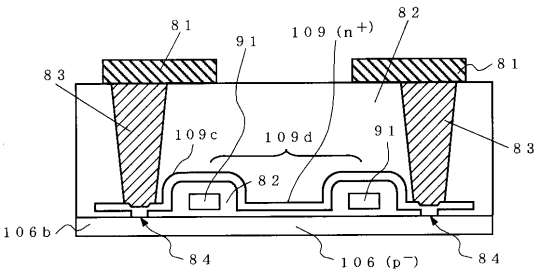


80：シェアードコンタクトプラグ
82：層間膜

【図２８】

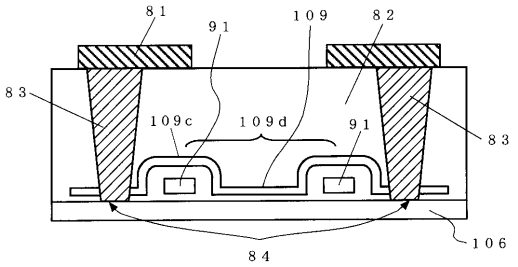


【図２９】

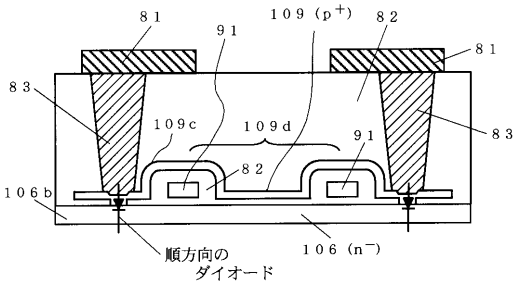


84：接触領域

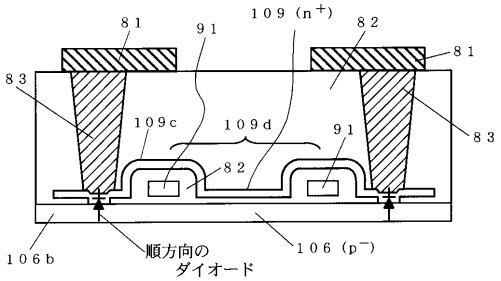
【図３０】



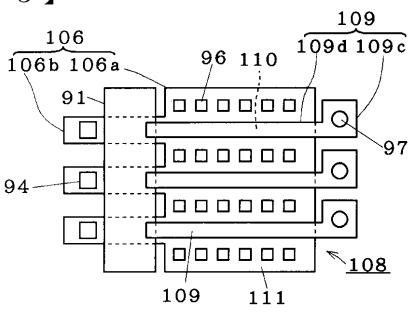
【図３１】
NMOSトランジスタ



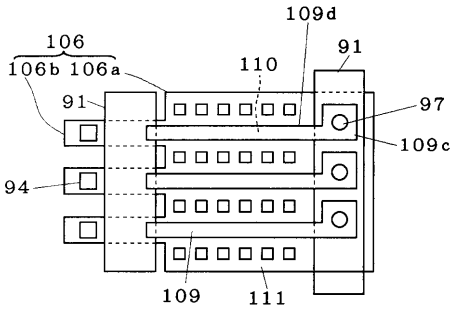
【図３２】
PMOSトランジスタ



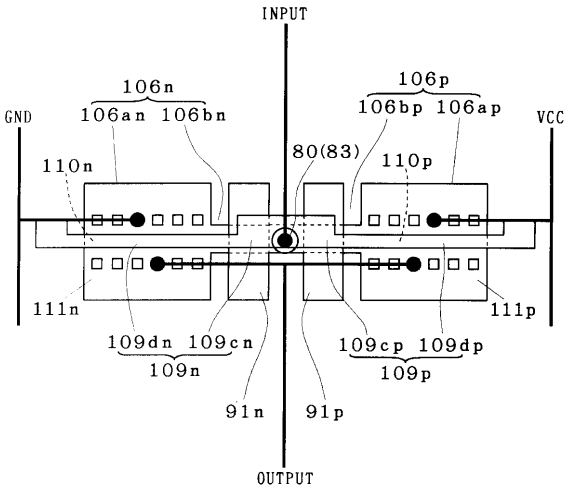
【図３３】



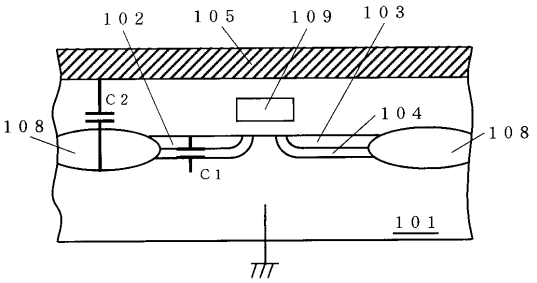
【図３４】



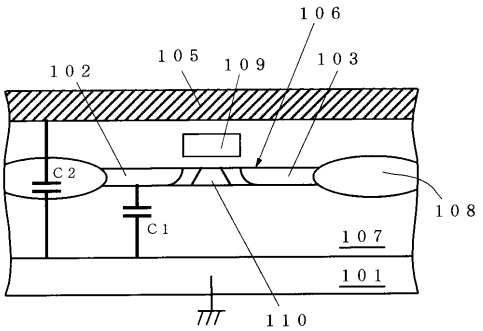
【図３５】



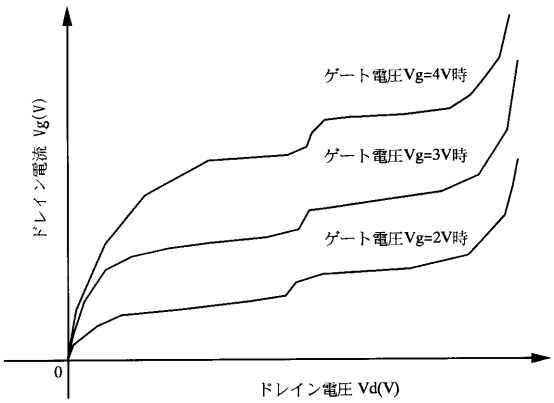
【図３６】



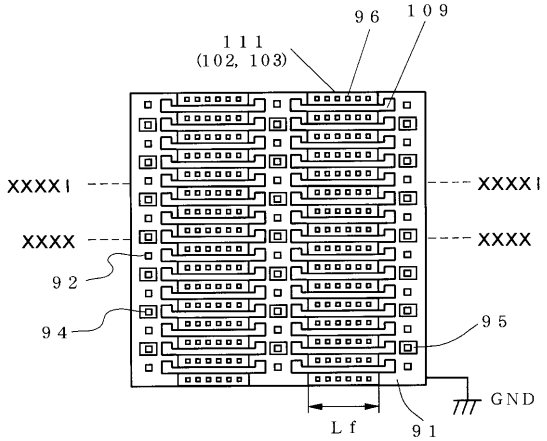
【図３７】



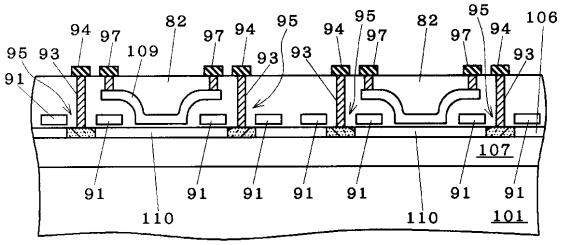
【図３８】



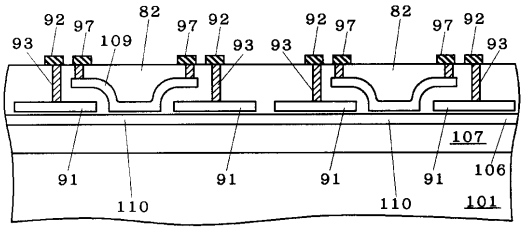
【図３９】



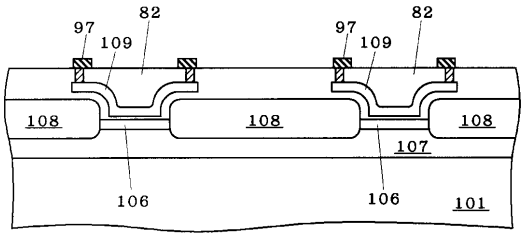
【図４０】



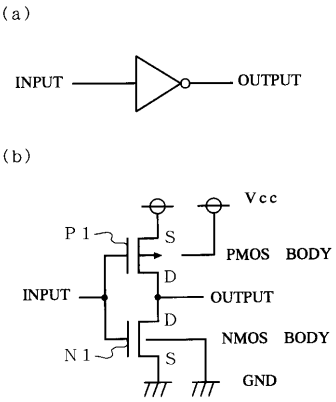
【図４１】



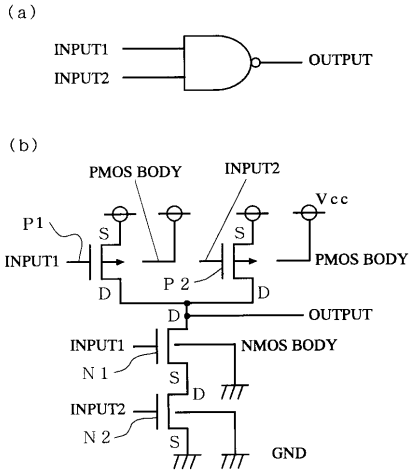
【図４２】



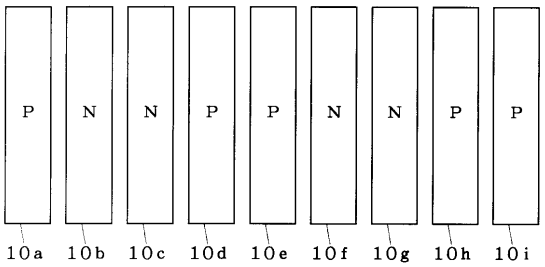
【図４３】


(a)
INPUT
OUTPUT
(b)
Vcc
P 1
S
PMOS BODY
D
INPUT
OUTPUT
D
N 1
NMOS BODY
S
GND

【図４４】


(a)
INPUT1
INPUT2
OUTPUT
(b)
PMOS BODY
INPUT2
Vcc
P1
S
S
INPUT1
PMOS BODY
P 2
D
D
D
OUTPUT
INPUT1
NMOS BODY
N 1
S
D
INPUT2
N 2
S
GND

【図４５】


P
N
N
P
P
N
N
P
P
10a
10b
10c
10d
10e
10f
10g
10h
10i

フロントページの続き

(72)発明者 金 ▲逸▼ 中
東京都千代田区丸の内二丁目２番３号 三菱電機株式会社内
(72)発明者 井上 靖朗
東京都千代田区丸の内二丁目２番３号 三菱電機株式会社内
(72)発明者 前川 繁登
東京都千代田区丸の内二丁目２番３号 三菱電機株式会社内
(72)発明者 一法師 隆志
東京都千代田区丸の内二丁目２番３号 三菱電機株式会社内

審査官 大嶋 洋一

(56)参考文献 特開平０４－００３４６６（ＪＰ，Ａ）
特開平０７－１０６５９５（ＪＰ，Ａ）
Toshiaki Iwamatsu, et al., CAD-Compatible High-Speed CMOS/SIMOX Gate Array Using Field-Shield Isolation, IEEE Transactions on Electron Devices, 米国, IEEE, １９９５年１１月, Vol.42 No.11, pp.1934-1939

(58)調査した分野(Int.Cl.^{7}, ＤＢ名)
H01L 21/82
H01L 21/822
H01L 27/04
H01L 27/118
H01L 29/786