



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11C 16/04 (2006.01) G11C 16/06 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년01월09일 10-0666174 2007년01월02일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0034825 2005년04월27일 2006년02월15일	(65) 공개번호 (43) 공개일자	10-2006-0112413 2006년11월01일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자                    삼성전자주식회사  
                                      경기도 수원시 영통구 매탄동 416

(72) 발명자                       황상원  
                                      경기도 수원시 권선구 세류3동 1082-15번지

(74) 대리인                      곽덕영

(56) 선행기술조사문헌 JP2001184883 A KR1020050112991 A * 심사관에 의하여 인용된 문헌	JP2004127481 A KR1020060006332 A
---	-------------------------------------

심사관 : 조명관

전체 청구항 수 : 총 23 항

(54) 3-레벨 불휘발성 반도체 메모리 장치 및 이에 대한구동방법

(57) 요약

3-레벨 불휘발성 반도체 메모리 장치 및 이에 대한 구동방법이 게시된다. 본 발명의 불휘발성 반도체 메모리 장치는 3가지의 문턱전압 레벨로 제어될 수 있는 3-레벨 메모리셀들과 이들을 제어하는 페이지 버퍼를 포함한다. 3-레벨 메모리셀들은 2개가 한조를 이루어, 3비트의 데이터를 맵핑할 수 있으며, 페이지 버퍼는 제1 및 제2 래치데이터를 저장하도록 구동된다. 제1 및 제2 래치데이터는 비트라인의 전압레벨에 따라 플립될 수 있되, 제1 래치데이터의 논리상태에 따라 제2 래치데이터의 플립은 차단된다. 본 발명의 불휘발성 반도체 메모리 장치에 의하면, 높은 집적도와 신뢰성이 획득된다. 그리고, 본 발명의 불휘발성 반도체 메모리 장치 및 그의 구동방법에 의하면, 한번의 데이터 출력으로 각 비트의 데이터값이 독출될 수 있으므로, 동작속도가 빠르게 된다.

대표도

도 6

특허청구의 범위

## 청구항 1.

불휘발성 반도체 메모리 장치에 있어서,

소정의 워드라인과 소정의 비트라인에 커플드되며, 한조의 제1 및 제2의 3-레벨 메모리셀을 가지는 메모리 어레이로서, 상기 3-레벨 메모리셀은 3개의 레벨로 구분될 수 있는 문턱전압으로 제어되는 상기 메모리 어레이;

상기 비트라인을 통하여 상기 메모리 어레이와 커플드되며, 한조의 제1 내지 제3 비트의 데이터와 상기 한조의 제1 및 제2의 3-레벨 메모리셀의 문턱전압을 맵핑하기 위하여 구동되는 페이지 버퍼; 및

상기 메모리 어레이에 커플드되어, 상기 메모리 어레이의 워드라인을 제어하도록 구동되는 로우 디코더를 구비하며,

상기 페이지 버퍼는 소정의 제1 래치데이터 및 제2 래치데이터를 저장하도록 구동되며,

상기 제1 래치데이터 및 상기 제2 래치데이터는 상기 비트라인의 전압레벨에 따라 플립될 수 있되, 상기 제1 래치데이터의 논리상태에 따라 상기 제2 래치데이터의 플립은 차단되는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

## 청구항 2.

제1 항에 있어서, 상기 페이지 버퍼는

상기 비트라인을 통하여 상기 메모리 어레이에 커플드되며, 상기 제1 래치데이터를 래치하는 제1 버퍼블락; 및

상기 비트라인을 통하여 상기 메모리 어레이에 커플드되며, 상기 제2 래치데이터를 래치하는 제2 버퍼블락을 구비하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

## 청구항 3.

제2 항에 있어서, 상기 제1 래치블락은

상기 제1 래치데이터를 저장하며, 상기 제1 래치데이터를 상기 비트라인에 맵핑하도록 구동되는 제1 래치부; 및

상기 비트라인의 전압레벨에 따라 상기 제1 래치데이터를 플립하도록 제어하는 제1 응답부를 구비하며,

상기 제2 래치블락은

상기 제2 래치데이터를 저장하며, 상기 제2 래치데이터를 상기 비트라인에 맵핑하도록 구동되는 상기 제2 래치부; 및

상기 비트라인의 전압레벨에 따라 상기 제2 래치데이터를 플립하도록 제어하되, 상기 제2 래치데이터의 플립은 상기 제1 래치데이터의 플립에 의하여 차단되는 제2 응답부를 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치

## 청구항 4.

제3 항에 있어서,

상기 제1 응답부는

상기 제1 래치데이터를 플립시키기 위하여 구동되며, 상기 제1 래치부에 직렬적으로 연결되는 제1 트랜지스터 및 제2 트랜지스터로서, 궁극적으로 상기 비트라인에 게이팅되는 상기 제1 트랜지스터 및 소정의 제1 래치제어신호에 응답하여 게이팅되는 상기 제2 트랜지스터를 구비하며,

상기 제2 응답부는

상기 제2 래치데이터를 플립시키기 위하여 구동하며, 상기 제2 래치부에 직렬적으로 연결되는 제3 내지 제5 트랜지스터로서, 궁극적으로 상기 비트라인에 게이팅되는 상기 제3 트랜지스터와, 상기 제1 래치데이터의 논리상태에 제어되는 상기 제4 트랜지스터와, 소정의 제2 래치제어신호에 응답하여 게이팅되는 상기 제5 트랜지스터를 구비하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

### 청구항 5.

제4 항에 있어서, 상기 페이지 버퍼는

상기 제1 래치데이터의 논리상태에 관계없이, 상기 비트라인의 전압레벨에 따라 상기 제2 래치데이터를 플립하도록 제어되는 제3 응답부를 더 구비하며,

상기 제3 응답부는

상기 제3 트랜지스터; 및

상기 제3 트랜지스터와 직렬적으로 연결되는 제6 트랜지스터로서, 소정의 기준래치신호에 응답하여 게이팅되는 상기 제6 트랜지스터를 구비하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

### 청구항 6.

제3 항에 있어서, 상기 페이지 버퍼는

상기 제1 래치데이터의 논리상태에 관계없이, 상기 비트라인의 전압레벨에 따라 상기 제2 래치데이터를 플립하도록 제어되는 제3 응답부를 더 구비하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

### 청구항 7.

불휘발성 반도체 메모리 장치에 있어서,

소정의 워드라인과 소정의 비트라인에 커플드되며, 한조의 제1 및 제2의 3-레벨 메모리셀을 가지는 메모리 어레이로서, 상기 3-레벨 메모리셀은 3개의 레벨로 구분될 수 있는 문턱전압으로 제어되는 상기 메모리 어레이;

상기 비트라인을 통하여 상기 메모리 어레이와 커플드되며, 한조의 제1 내지 제3 비트의 데이터에 따라 상기 한조의 제1 및 제2의 3-레벨 메모리셀의 문턱전압을 제어하기 위하여 구동되는 페이지 버퍼; 및

상기 페이지 버퍼는

상기 제1 및 제2의 3-레벨 메모리셀의 문턱전압을 각각 상기 제1 및 제2 비트의 데이터로 일차적 제어를 수행 후에, 상기 제1 및 제2 비트의 데이터에 따라 플립된 상기 제3 비트의 래치데이터로 이차적 제어를 수행하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

### 청구항 8.

불휘발성 반도체 메모리 장치에 있어서,

소정의 워드라인과 소정의 비트라인에 커플드되며, 한조의 제1 및 제2의 3-레벨 메모리셀을 가지는 메모리 어레이로서, 상기 3-레벨 메모리셀은 3개의 레벨로 구분될 수 있는 문턱전압으로 제어되는 상기 메모리 어레이;

상기 비트라인을 통하여 상기 메모리 어레이와 커플드되며, 상기 한조의 제1 및 제2의 3-레벨 메모리셀의 문턱전압을 한조의 제1 내지 제3 비트의 데이터로 맵핑시키기 위하여 구동되는 페이지 버퍼; 및

상기 메모리 어레이에 커플드되어, 상기 메모리 어레이의 워드라인을 제어하도록 구동되는 로우 디코더를 구비하며,

상기 페이지 버퍼는

소정의 래치데이터를 저장하며, 상기 제1 및 제2의 3-레벨 메모리셀의 문턱전압이 함께 맵핑되는 상기 비트라인의 전압레벨을 따라, 상기 래치데이터를 플립하도록 구동하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

## 청구항 9.

불휘발성 반도체 메모리 장치에 있어서,

각각이 복수개의 3-레벨 메모리셀들을 가지는 하부 스트링 및 상부 스트링을 포함하는 메모리 어레이로서, 상기 하부 스트링은 하부 스트링 선택신호에 응답하여 소정의 비트라인에 커플드되며, 상기 상부 스트링은 상부 스트링 선택신호에 응답하여 소정의 비트라인에 커플드되는 상기 메모리 어레이;

상기 비트라인을 통하여, 상기 메모리 어레이에 커플드되며, 한조의 제1 내지 제3 비트의 데이터들을 한조의 제1 및 제2의 상기 3-레벨 메모리셀의 문턱전압 레벨로 맵핑하도록 구동되는 페이지 버퍼; 및

상기 메모리 어레이에 커플드되며, 상기 하부 및 상부 스트링 선택신호를 제공하는 로우 디코더를 구비하며,

상기 제1 및 제2의 3-레벨 메모리셀은

상기 하부 스트링 및 상기 상부 스트링에 분산되어 배치되는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

## 청구항 10.

소정의 그라운드 선택 트랜지스터와 소정의 스트링 선택 트랜지스터 사이에 배치되는 복수개의 3-레벨 메모리셀들 및 2-레벨 메모리셀들을 가지는 스트링을 포함하는 메모리 어레이로서, 상기 스트링은 상기 그라운드 선택 트랜지스터를 통하여 공통소스 라인에 커플드되고, 상기 스트링 선택 트랜지스터를 통하여 소정의 비트라인에 커플드되는 상기 메모리 어레이;

상기 비트라인을 통하여 상기 메모리 어레이와 커플드되며, 한조의 제1 내지 제3 비트의 데이터와 상기 한조의 제1 및 제2의 3-레벨 메모리셀의 문턱전압을 맵핑하기 위하여 구동되는 페이지 버퍼; 및

상기 메모리 어레이에 커플드되는 로우 디코더를 구비하며,

상기 2-레벨 메모리셀들은

상기 스트링의 상기 그라운드 선택 트랜지스터 및 상기 스트링 선택 트랜지스터 중 적어도 어느하나에 인접하여 배치되는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

## 청구항 11.

제10 항에 있어서,

상기 2-레벨 메모리셀들 중 적어도 어느하나의 상기 그라운드 선택 트랜지스터에 인접하여 배치되며,

상기 2-레벨 메모리셀들 중 다른 적어도 어느하나의 상기 스트링 선택 트랜지스터에 인접하여 배치되는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

## 청구항 12.

제10 항에 있어서,

상기 2-레벨 메모리셀들은 상기 스트링 선택 트랜지스터에 인접하여 배치되는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

## 청구항 13.

소정의 비트라인에 커플드되는 제1 및 제2의 3-레벨 메모리셀들에 한조의 제1 내지 제3 비트의 데이터를 프로그램하는 불휘발성 반도체 메모리 장치의 프로그램 방법에 있어서,

제1 및 제2 비트의 데이터에 따라 상기 제1의 3-레벨 메모리셀 및 제2의 3-레벨 메모리셀의 문턱전압을 일차적으로 제어하는 단계; 및

일차적으로 제어된 상기 제1의 3-레벨 메모리셀 및 상기 제2의 3-레벨 메모리셀의 문턱전압을, 제3 비트의 데이터에 따라 이차적으로 제어하는 단계를 구비하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치의 프로그램 방법.

## 청구항 14.

제13 항에 있어서,

상기 제1 및 제2의 3-레벨 메모리셀의 문턱전압의 이차적 제어는

상기 일차적으로 제어된 상기 제1 메모리셀 및 상기 제2 메모리셀의 문턱전압에 근거하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치의 프로그램 방법.

## 청구항 15.

제13 항에 있어서, 상기 이차적으로 제어하는 단계는

상기 제3 비트의 데이터를 소정의 페이지 버퍼에 제1 래치데이터 및 제2 래치데이터로 로딩하는 단계; 및

상기 일차적으로 제어된 제1의 3-레벨 메모리셀의 문턱전압에 대응하여, 상기 제1 래치데이터를 플립하고, 상기 일차적으로 제어된 제2의 3-레벨 메모리셀의 문턱전압에 대응하여, 상기 제2 래치데이터를 플립하는 단계를 구비하되,

상기 제2 래치데이터의 플립은

상기 제1 래치데이터에 의하여 차단될 수 있는 것을 특징으로 하는 불휘발성 반도체 메모리 장치의 프로그램 방법.

### 청구항 16.

제15 항에 있어서, 상기 제2 래치데이터의 플립은

플립된 상기 제1 래치데이터에 따라 차단되는 것을 특징으로 하는 불휘발성 반도체 메모리 장치의 프로그램 방법.

### 청구항 17.

제15 항에 있어서, 상기 이차적으로 제어하는 단계는

상기 플립하는 단계가 수행된 상기 제1 래치데이터로 상기 제2의 3-레벨 메모리셀의 문턱전압을 제어하는 단계; 및

상기 플립하는 단계가 수행된 상기 제2 래치데이터로 상기 제1의 3-레벨 메모리셀의 문턱전압을 제어하는 단계를 더 구비하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치의 프로그램 방법.

### 청구항 18.

소정의 비트라인에 커플드되는 제1 및 제2의 3-레벨 메모리셀들의 문턱전압에 따라, 한조의 제1 내지 제3 비트의 데이터로 독출하는 불휘발성 반도체 메모리 장치의 독출방법으로서, 상기 3-레벨 메모리셀의 문턱전압은 상기 3-레벨 메모리셀의 문턱전압은 제1 기준전압과 상기 제1 기준전압보다 높은 제2 기준전압에 의하여 3개의 레벨로 구분될 수 있는 상기 불휘발성 반도체 메모리 장치의 독출방법에 있어서,

소정의 제1 및 제2 래치데이터를 로딩하는 단계;

상기 제2 기준전압을 기준으로 하여, 상기 제1 및 제2의 3-레벨 메모리셀의 문턱전압의 레벨을 함께 상기 비트라인에 맵핑하는 일차적 독출을 수행하는 단계;

상기 일차적 독출의 수행에 따른 상기 비트라인의 전압레벨에 따라, 상기 제1 래치데이터를 플립하는 단계;

상기 제2 기준전압을 기준으로 하여, 상기 제1의 3-레벨 메모리셀의 문턱전압 레벨을 상기 비트라인에 맵핑하는 이차적 독출을 수행하는 단계; 및

상기 이차적 독출의 수행에 따른 상기 비트라인의 전압레벨에 따라, 상기 제2 래치데이터를 플립하는 단계를 구비하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치의 독출방법.

### 청구항 19.

제18 항에 있어서, 상기 제2 래치데이터의 플립은

상기 제1 래치데이터에 의하여 차단될 수 있는 것을 특징으로 하는 불휘발성 반도체 메모리 장치의 독출방법.

### 청구항 20.

제19 항에 있어서, 상기 제2 래치데이터의 플립은

플립된 상기 제1 래치데이터에 따라 차단되는 것을 특징으로 하는 불휘발성 반도체 메모리 장치의 독출방법.

### 청구항 21.

소정의 비트라인에 커플드되는 제1 및 제2의 3-레벨 메모리셀들의 문턱전압에 따라, 한조의 제1 내지 제3 비트의 데이터로 독출하는 불휘발성 반도체 메모리 장치의 독출방법으로서, 상기 3-레벨 메모리셀의 문턱전압은 제1 기준전압과 상기 제1 기준전압보다 높은 제2 기준전압에 의하여 3개의 레벨로 구분될 수 있는 상기 불휘발성 반도체 메모리 장치의 독출방법에 있어서,

소정의 래치데이터를 로딩하는 단계;

상기 제2 기준전압을 기준으로 하여, 상기 제1의 3-레벨 메모리셀 중의 문턱전압 레벨을 상기 비트라인에 맵핑하는 단계;

상기 제1의 3-레벨 메모리셀의 문턱전압 레벨이 맵핑되는 상기 비트라인의 전압레벨에 따라, 상기 래치데이터를 일차적으로 플립하는 단계;

상기 제2 기준전압을 기준으로 하여, 상기 제2의 3-레벨 메모리셀 중의 문턱전압 레벨을 상기 비트라인에 맵핑하는 단계; 및

상기 제2의 3-레벨 메모리셀의 문턱전압 레벨이 맵핑되는 상기 비트라인의 전압레벨에 따라, 상기 래치데이터를 이차적으로 플립하는 단계를 구비하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치의 독출방법.

## 청구항 22.

소정의 비트라인에 커플드되는 제1 및 제2의 3-레벨 메모리셀들의 문턱전압에 한조의 제1 내지 제3 비트의 데이터에 맵핑하는 불휘발성 반도체 메모리 장치의 맵핑방법으로서, 상기 3-레벨 메모리셀의 문턱전압은 제1 기준전압과 상기 제1 기준전압보다 높은 제2 기준전압에 의하여 3개의 레벨로 구분될 수 있는 상기 불휘발성 반도체 메모리 장치의 맵핑방법에 있어서,

특정 조합의 상기 제1 내지 제3 비트의 데이터를 상기 제2 기준전압보다 높은 제1 및 제2의 3-레벨 메모리셀들의 문턱전압에 맵핑하는 단계;

상기 특정조합에 불포함되는 상기 제1 비트의 데이터를 상기 제1 기준전압을 기준으로 하는 상기 제1의 3-레벨 메모리셀의 문턱전압에 맵핑하는 단계;

상기 특정조합에 불포함되는 상기 제2 비트의 데이터를 상기 제1 기준전압을 기준으로 하는 상기 제2의 3-레벨 메모리셀의 문턱전압에 맵핑하는 단계; 및

상기 제3 비트의 데이터를 상기 제2 기준전압을 기준으로 하는 상기 제1 및 제2의 3-레벨 메모리셀의 문턱전압에 맵핑하는 단계를 구비하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치의 맵핑방법.

## 청구항 23.

제22 항에 있어서, 상기 특정조합의 상기 제1 내지 제3 비트의 데이터는

각각 1, 1, 0인 것을 특징으로 하는 불휘발성 반도체 메모리 장치의 맵핑방법.

명세서

### 발명의 상세한 설명

#### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로서, 특히 3-레벨 메모리셀들을 가지는 3-레벨 불휘발성 반도체 메모리 장치 및 이의 구동방법에 관한 것이다.

불휘발성 반도체 메모리 장치는, 전원이 제거된 상태에서도, 저장된 데이터를 보존한다. 불휘발성 반도체 메모리 장치에 적합한 여러종류의 메모리셀들이 알려져 있는데, 그 중의 하나가 단일 트랜지스터 타입의 메모리셀이다.

일반적으로, 단일 트랜지스터 타입의 메모리셀(MC)은, 도 1에 도시되는 바와 같이, 반도체 기판 위에 소오스(S)-드레인(D) 사이에 형성되는 전류통로, 절연막(DOX:dielectric oxide)과 게이트 산화막(GOX:gate oxide) 사이에 형성되는 플로팅 게이트(FG) 및 제어게이트(CG)로 구성된다. 상기 플로팅 게이트(FG)는 전자(electron)들을 트랩(trap)하며, 트랩된 전자는 메모리셀(MC)의 문턱전압(threshold voltage)을 결정(establish)한다. 그리고, 불휘발성 반도체 메모리 장치가 독출(read) 동작을 수행할 때, 메모리셀(MC)의 문턱전압이 감지되어, 저장된 데이터가 확인된다.

전형적으로, 불휘발성 반도체 메모리 장치의 메모리셀(MC)들에서는, 프로그램과 소거동작이 반복적으로 수행될 수 있다. 이때, 단일 트랜지스터 메모리셀(MC)들의 여러가지 기능들은 인가되는 다양한 종류의 전압들에 의하여 결정된다. 단일 트랜지스터 메모리셀(MC)은, 전자들이 플로팅 게이트(FG)로 이동됨으로써, 프로그램된다. 플로팅 게이트(FG)로 이동되는 전자는, 파울러 노드하임 터널링(Fowler-Nordheim tunneling:FN)이나, 전자 주입(electron injection) 등에 의하여 발생된다. 전자 주입은 채널 핫-일렉트론(channel hot-electron injection:CHE)이나, 채널 초기화된 이차 전자 주입(channel-initiated secondary electron injection:CISEI) 등으로 수행된다. 그리고, 파울러 노드하임 터널링(Fowler-Nordheim tunneling:FN)은 한꺼번에 데이터를 소거하는 플래시 메모리에서 널리 이용되고 있다.

통상적으로, 단일 트랜지스터 메모리셀(MC)은 2가지 데이터값 중의 하나를 저장한다. 상기 2가지 데이터값은, 도 2에 도시되는 바와 같이, 2가지 레벨 중의 하나로 셋팅되는 문턱전압에 의하여 결정된다. 예를 들면, 메모리셀(MC)의 문턱전압이 기준전압(VM)보다 낮은 경우에는, 데이터는 "1"로 독출되며, 메모리셀(MC)의 문턱전압이 기준전압(VM)보다 높은 경우에는, 데이터는 "0"으로 독출된다.

한편, 반도체 메모리 장치가 고집적화됨에 따라, 4-레벨 메모리셀이 개발되었다. 4-레벨 메모리셀은, 도 3에 도시되는 바와 같이, 4가지 레벨의 문턱전압 중 하나로 프로그램될 수 있다. 결과적으로, 4-레벨 메모리셀은 4가지 중 어느하나의 데이터를 저장할 수 있게 된다. 그러므로, 4-레벨 메모리셀을 가지는 불휘발성 반도체 메모리 장치(이하, '4-레벨 불휘발성 반도체 메모리 장치'라 칭함)는, 2-레벨 메모리셀을 가지는 불휘발성 반도체 메모리 장치(이하, '2-레벨 불휘발성 반도체 메모리 장치'라 칭함)에 비하여, 2배 정도의 데이터 저장용량을 가지게 된다.

그런데, 4-레벨 메모리셀에서는, 인접하는 레벨 사이의 문턱전압의 마진(margin)은 전형적으로 0.67V 정도로 매우 작다. 그리고, 각 메모리셀들의 문턱전압은, 전자들의 누설 등으로 인하여, 쉬프트(shift)될 수 있다. 따라서, 4-레벨 중의 하나로 프로그램된 메모리셀(MC)의 문턱전압이 인접한 레벨의 문턱전압으로 이동될 수 있다. 그러므로, 4-레벨 불휘발성 반도체 메모리 장치에서는, 신뢰성이 낮게 된다는 문제점이 발생된다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 높은 집적도와 신뢰성을 가지는 불휘발성 반도체 메모리 장치를 제공하는 데 있다.

본 발명의 다른 목적은 상기 불휘발성 반도체 메모리 장치를 효율적으로 구동하는 구동방법을 제공하는 데 있다.

### 발명의 구성

본 발명의 일면은 불휘발성 반도체 메모리 장치에 관한 것이다. 본 발명의 불휘발성 반도체 메모리 장치는 소정의 워드라인과 소정의 비트라인에 커플드되며, 한조의 제1 및 제2의 3-레벨 메모리셀을 가지는 메모리 어레이로서, 상기 3-레벨 메모리셀은 3개의 레벨로 구분될 수 있는 문턱전압으로 제어되는 상기 메모리 어레이; 상기 비트라인을 통하여 상기 메모리 어레이와 커플드되며, 한조의 제1 내지 제3 비트의 데이터와 상기 한조의 제1 및 제2의 3-레벨 메모리셀의 문턱전압을 맵핑하기 위하여 구동되는 페이지 버퍼; 및 상기 메모리 어레이에 커플드되어, 상기 메모리 어레이의 워드라인을 제어하도록 구동되는 로우 디코더를 구비한다. 그리고, 상기 페이지 버퍼는 소정의 제1 래치데이터 및 제2 래치데이터를 저장하도록 구동된다. 상기 제1 래치데이터 및 상기 제2 래치데이터는 상기 비트라인의 전압레벨에 따라 플립될 수 있되, 상기 제1 래치데이터의 논리상태에 따라 상기 제2 래치데이터의 플립은 차단된다.



본 발명의 다른 일면도 불휘발성 반도체 메모리 장치에 관한 것이다. 본 발명의 불휘발성 반도체 메모리 장치는 소정의 그라운드 선택 트랜지스터와 소정의 스트링 선택 트랜지스터 사이에 배치되는 복수개의 3-레벨 메모리셀들 및 2-레벨 메모리셀들을 가지는 스트링을 포함하는 메모리 어레이를 포함한다. 상기 스트링은 상기 그라운드 선택 트랜지스터를 통하여 공통소스 라인에 커플드되고, 상기 스트링 선택 트랜지스터를 통하여 소정의 비트라인에 커플드된다. 그리고, 본 발명의 불휘발성 반도체 메모리 장치는 상기 비트라인을 통하여 상기 메모리 어레이와 커플드되며, 한조의 제1 내지 제3 비트의 데이터와 상기 한조의 제1 및 제2의 3-레벨 메모리셀의 문턱전압을 맵핑하기 위하여 구동되는 페이지 버퍼; 및 상기 메모리 어레이에 커플드되는 로우 디코더를 더 구비한다. 그리고, 상기 2-레벨 메모리셀들은 상기 스트링의 상기 그라운드 선택 트랜지스터 및 상기 스트링 선택 트랜지스터 중 적어도 어느하나에 인접하여 배치된다.

본 발명의 다른 일면은 소정의 비트라인에 커플드되는 제1 및 제2의 3-레벨 메모리셀들의 문턱전압에 따라, 한조의 제1 내지 제3 비트의 데이터로 독출하는 불휘발성 반도체 메모리 장치의 독출방법에 관한 것이다. 상기 3-레벨 메모리셀은 제1 기준전압과 상기 제1 기준전압보다 높은 제2 기준전압에 의하여 3개의 레벨로 구분될 수 있다. 본 발명의 데이터 독출방법은 소정의 제1 및 제2 래치데이터를 로딩하는 단계; 상기 제2 기준전압을 기준으로 하여, 상기 제1 및 제2의 3-레벨 메모리셀의 문턱전압의 레벨을 함께 상기 비트라인에 맵핑하는 일차적 독출을 수행하는 단계; 상기 일차적 독출의 수행에 따른 상기 비트라인의 전압레벨에 따라, 상기 제1 래치데이터를 플립하는 단계; 상기 제2 기준전압을 기준으로 하여, 상기 제1의 3-레벨 메모리셀의 문턱전압 레벨을 상기 비트라인에 맵핑하는 이차적 독출을 수행하는 단계; 및 상기 이차적 독출의 수행에 따른 상기 비트라인의 전압레벨에 따라, 상기 제2 래치데이터를 플립하는 단계를 구비한다.

본 발명과 본 발명의 동작상의 잇점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다. 각 도면을 이해함에 있어서, 동일한 부재는 가능한 한 동일한 참조부호로 도시하고자 함에 유의해야 한다. 그리고, 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 공지 기능 및 구성에 대한 상세한 기술은 생략된다.

본 발명의 불휘발성 반도체 메모리 장치는 3-레벨 메모리셀들을 포함한다. 3-레벨 메모리셀(MC)은, 도 4에 도시되는 바와 같이, 3개의 레벨의 문턱전압(threshold voltage)으로 프로그램될 수 있다. 그리고, 3-레벨 메모리셀(MC)의 문턱전압은, 제1 기준전압(VR1) 및 제2 기준전압(VR2)을 기준으로, 구분될 수 있다.

한편, 본 발명의 불휘발성 반도체 메모리 장치에서의 제1 기준전압(VR1) 및 제2 기준전압(VR2)은, 프로그램의 패스(pass) 여부를 확인을 위한 확인독출시와, 저장된 데이터를 독출하기 위한 노말 독출시에, 서로 상이한 레벨로 설정될 수 있다. 본 명세서에서는, 확인독출시와 노말독출시의 제1 기준전압(VR1) 및 제2 기준전압(VR2)은 동일한 것으로 가정된다. 그러나, 이는 단지 설명의 편의를 위한 것이며, 이로 인하여 본 발명의 기술적 보호 범위가 제한되지는 않는다.

이와 같은, 3-레벨 메모리셀은, 2-레벨 메모리셀에 비하여, 많은 수의 데이터 저장상태를 가지므로, 상대적으로 높은 집적도를 가진다. 또한, 3-레벨 메모리셀은, 4-레벨 메모리셀에 비하여, 문턱전압 레벨들 사이의 간격이 크게 증가하므로, 상대적으로 높은 신뢰성을 가진다. 그러므로, 3-레벨 메모리셀을 가지는 불휘발성 반도체 메모리 장치(본 명세서에서는, '3-레벨 불휘발성 반도체 메모리 장치'라 칭함)는 집적도 및 신뢰성의 측면에서 큰 잇점을 가진다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다.

도 5는 본 발명의 일실시예에 따른 불휘발성 반도체 메모리 장치를 나타내는 도면이다. 도 5의 불휘발성 반도체 메모리 장치에는, 메모리 어레이(10), 페이지 버퍼 세트(20) 및 로우 디코더(30)가 포함된다.

상기 메모리 어레이(10)는 소정의 비트라인(BL)과 소정의 워드라인(WL)에 커플드되는 다수개의 스트링(100)들을 포함한다. 상기 스트링(100)에 연결되는 메모리셀들(MC)은 해당하는 비트라인(BL)에 커플드(coupled)되며, 상기 비트라인(BL)을 통하여 데이터를 송수신한다.

한편, 상기 메모리 어레이(10)는 2-레벨 메모리셀들 및/또는 3-레벨 메모리셀들을 포함한다. 2-레벨 메모리셀은, 전술한 바와 같이, 2가지 레벨의 문턱전압(threshold voltage)에 따른 데이터를 저장한다.

상기 3-레벨 메모리셀(MC)은, 3가지 레벨의 문턱전압(threshold voltage)에 따른 데이터를 저장한다. 상기 3-레벨 메모리셀(MC)의 문턱전압은 제1 기준전압(VR1) 및 제2 기준전압(VR2)을 기준으로 구분될 수 있음은 전술한 바와 같다.

상기 3-레벨 메모리셀들과 상기 2-레벨 메모리셀들은 일반적으로 동일한 구성을 가지므로, 본 명세서에서는, 2-레벨 메모리셀과 3-레벨 메모리셀은 모두 참조부호 'MC'로 도시될 수 있다. 그리고, 2-레벨 메모리셀과 3-레벨 메모리셀의 구분이 필요한 경우에는, 2-레벨 메모리셀은 'MCa'로, 3-레벨 메모리셀은 'MCb'로 도시된다.

도 6은 도 5의 메모리 어레이(10)에 포함되는 하나의 스트링(100) 중의 일부를 나타낸다. 그리고, 하나의 스트링(100)은 하부 스트링(lower string, 110) 및 상부 스트링(upper string, 130)을 포함한다.

상기 하부 스트링(110) 및 상부 스트링(130)은 대응하는 비트라인(BL)에 공통적으로 커플드된다. 이때, 상기 하부 스트링(110) 및 상부 스트링(130)은, 각각 하부 스트링 선택신호(SSLL) 및 상부 스트링 선택신호(SSLU)에 응답하여, 상기 비트라인(BL)에 연결된다.

그리고, 하부 스트링(110) 및 상부 스트링(130)은 각각 3-레벨 메모리셀들 및/또는 2-레벨 메모리셀들을 가진다. 그리고, 3-레벨 메모리셀들 및/또는 2-레벨 메모리셀들의 배치관계에는, 본 명세서에서, 추후에 자세히 기술된다.

한편, 본 발명의 불휘발성 반도체 메모리 장치에서는, 한조의 제1 및 제2의 3-레벨 메모리셀을 이용하여, 한조를 이루는 제1 내지 제3 비트의 데이터값이 프로그램될 수 있다. 또한, 상기 한조의 2개의 3-레벨 메모리셀의 문턱전압에 따른 저장 상태는 상기 제1 내지 제3 비트의 데이터값으로 독출된다.

본 명세서 및 도면에서, 제1 내지 제3 비트는 참조번호 'BIT1~BIT3'로 나타낼 수 있다. 그리고, 한조의 2개의 3-레벨 메모리셀을 이용한 데이터의 프로그램 및 독출방법은, 본 명세서에서, 추후에 자세히 기술된다.

본 발명의 바람직한 실시예에 의하면, 상기 한조의 2개의 3-레벨 메모리셀은 상기 하부 스트링(110) 및 상부 스트링(130)에 1개씩 배치된다.

다시 도 5를 참조하면, 상기 페이지 버퍼 세트(20)은 다수개의 페이지 버퍼(200)들을 포함한다. 상기 페이지 버퍼(200)들 각각은 대응하는 비트라인(BL)에 커플드된다.

도 7은 도 5의 페이지 버퍼 세트(20)에 포함되는 페이지 버퍼(200)를 나타낸다. 도 7을 참조하면, 상기 페이지 버퍼(200)는, 제어신호들에 의하여 한조를 이루는 제1 내지 제3 비트(BIT1 내지 BIT3)의 데이터와 한조의 제1 및 제2의 3-레벨 메모리셀의 문턱전압을 맵핑(mapping)하도록 구동된다. 또한, 상기 페이지 버퍼(200)는 제1 및 제2 래치데이터(DLT1, DLT2)를 저장하도록 구동된다. 이때, 상기 제1 및 제2 래치데이터(DLT1, DLT2)는 비트라인(BL)의 전압 레벨에 따라 플립(flop)될 수 있으나, 상기 제1 래치데이터(DLT1)의 논리상태에 따라 상기 제2 래치데이터(DLT2)의 플립은 차단된다.

상기 페이지 버퍼(200)는, 본 발명의 불휘발성 반도체 메모리 장치의 프로그램 동작시에, 한조의 제1 내지 제3 비트(BIT1~BIT3)의 데이터에 따라, 상기 제1 및 제2의 3-레벨 메모리셀의 문턱전압을 제어하기 위하여 구동된다. 본 실시예의 경우에는, 상기 페이지 버퍼(200)는 상기 제1 및 제2 비트(BIT1, BIT2)의 데이터에 따라 각각 상기 제1 및 제2의 3-레벨 메모리셀의 문턱전압이 일차적으로 제어된다. 그후, 상기 페이지 버퍼(200)는 상기 제3 비트(BIT3)에 따라 상기 일차적으로 제어된 상기 제1 및 제2 메모리셀의 문턱전압을 이차적으로 제어된다. 본 발명의 불휘발성 반도체 메모리 장치의 상기 프로그램 동작시의, 상기 페이지 버퍼(200)의 동작은 본 명세서에서 추후에 자세히 기술된다.

그리고, 상기 페이지 버퍼(200)는, 본 발명의 불휘발성 반도체 메모리 장치의 독출동작시에, 상기 제1 및 제2의 3-레벨 메모리셀의 문턱전압을 한조의 제1 내지 제3 비트(BIT1~BIT3)의 데이터로 맵핑시키기 위하여 구동된다. 본 실시예의 경우에는, 상기 페이지 버퍼(200)는 소정의 제1 래치데이터(DLT1)을 저장한다. 이때, 페이지 버퍼(200)는 상기 제1 및 제2의 3-레벨 메모리셀의 문턱전압에 따라 함께 상기 비트라인(BL)의 전압레벨을 제어하며, 상기 제1 래치데이터(DLT1)을 플립하도록 구동될 수 있다. 상기 독출동작에 따른 상기 페이지 버퍼(200)의 동작은, 본 명세서에서, 추후에 자세히 기술된다.

도 7을 계속 참조하면, 상기 페이지 버퍼(200)는 비트라인(BL)을 통하여, 상기 메모리 어레이(10)에 커플드되는 제1 버퍼블락(LATBK1) 및 제2 버퍼블락(LATBK2)을 포함한다. 상기 제1 버퍼블락(LATBK1)은 상기 제1 래치데이터(DLT1)를 저장하며, 상기 제2 버퍼블락(LATBK2)은 제2 래치데이터(DLT2)를 저장한다.

상기 제1 버퍼블락(LATBK1)은 구체적으로 제1 래치부(210) 및 제1 응답부(220)를 포함한다. 상기 제1 래치부(210)는 제1 래치데이터(DLT1)를 래치한다. 그리고, 상기 제1 래치부(210)는 제1 비트라인 선택신호(BLSLT1)에 응답하여, 상기 제1 래치데이터(DLT1)를 상기 비트라인(BL)에 맵핑한다. 본 실시예에서, 상기 제1 래치데이터(DLT1)는, 비트라인 차단부(270)를 통하여, 상기 비트라인(BL)에 맵핑한다.

상기 제1 응답부(220)는 제1 래치제어신호(LCH1)에 응답하여 인에이블된다. 그리고, 상기 제1 응답부(220)는 센싱단자(NSEN)의 전압레벨 궁극적으로는, 상기 비트라인(BL)의 전압레벨에 따라 상기 제1 래치부(210)에 래치된 제1 래치데이터(DLT1)를 플립하도록 제어한다.

바람직하기로는, 상기 제1 응답부(220)는 제1 래치부(210)의 상기 제1 래치데이터(DLT1)를 플립시키기 위하여 구동되며, 상기 제1 래치부(210)에 직렬적으로 연결되는 트랜지스터들(221, 223, 225)을 구비한다. 상기 트랜지스터(221)는 상기 센싱단자(NSEN) 궁극적으로 상기 비트라인(BL)의 전압레벨에 응답하여 게이팅된다. 트랜지스터(225)는 제1 래치제어신호(LCH1)에 의하여 게이팅된다. 그리고, 트랜지스터(223)은 전원전압(VCC)에 게이팅되어, 상기 트랜지스터들(221, 225)을 전기적으로 연결하고 있다.

상기 제1 응답부(220)에 의한 상기 제1 래치데이터(DLT1)의 플립을 살펴보면 다음과 같다. 먼저, 제1 래치데이터(DLT1)의 초기 래치상태가 "L"라 가정된다. 이때, 상기 센싱단자(NSEN)의 전압레벨이 전원전압(VCC) 쪽이면, 상기 제1 반전 래치데이터(DLT1B)는 "L"(접지전압(VSS) 쪽)으로 제어된다. 따라서, 제1 래치데이터(DLT1)는 "H"로 플립된다.

만약, 상기 센싱단자(NSEN)의 전압레벨이 접지전압(VSS) 쪽이면, 앤모스 트랜지스터(221)은 오프(off) 상태이다. 그러므로, 제1 래치데이터(DLT1)의 플립은 발생되지 않으며, 초기 래치상태를 그대로 유지한다.

또한, 제1 래치데이터(DLT1)의 초기 래치상태가 "H"인 경우에는, 상기 센싱단자(NSEN)의 전압레벨에 관계없이, 제1 래치데이터(DLT1)는 "H"의 초기 래치상태를 그대로 유지한다.

바람직하기로는, 상기 '제1 버퍼블락(LATBK1)'은 상기 제1 입출력부(201)를 포함한다. 상기 제1 입출력부(201)는 상기 제1 래치부(210)에 특정의 데이터를 로딩하기도 하며, 상기 제1 래치데이터(DLT1)를 내부 데이터선(IDL)으로 맵핑하기도 한다.

계속 도 7를 참조하면, 상기 제2 버퍼블락(LATBK2)은 구체적으로 제2 래치부(240) 및 제2 응답부(250)를 포함한다. 상기 제2 래치부(240)는 제2 래치데이터(DLT2)를 래치한다. 상기 제2 래치부(240)는 제2 비트라인 선택신호(BLSLT2)에 응답하여, 상기 제2 래치데이터(DLT2)를 상기 비트라인(BL)에 맵핑한다. 본 실시예에서, 상기 제2 래치데이터(DLT2)도, 비트라인 차단부(270)를 통하여, 상기 비트라인(BL)에 맵핑된다.

상기 제2 응답부(250)는 제2 래치제어신호(LCH2)에 응답하여 인에이블된다. 그리고, 상기 제2 응답부(250)는 센싱단자(NSEN)의 전압레벨 궁극적으로는, 상기 비트라인(BL)의 전압레벨에 따라 상기 제2 래치부(240)에 래치된 제2 래치데이터(DLT2)를 플립하도록 제어한다. 이때, 상기 제1 래치부(210)에 래치된 제1 래치데이터(DLT1)에 논리상태에 따라, 상기 제2 응답부(250)에 의한 상기 제2 래치데이터(DLT2)의 플립은 차단될 수 있다.

바람직하기로는, 상기 제2 응답부(250)는 제2 래치부(240)의 상기 제2 래치데이터(DLT2)를 플립시키기 위하여 구동되며, 상기 제2 래치부(240)에 직렬적으로 연결되는 트랜지스터들(251, 253, 255)을 구비한다. 상기 트랜지스터(251)는 상기 센싱단자(NSEN) 궁극적으로 상기 비트라인(BL)의 전압레벨에 응답하여 게이팅된다. 트랜지스터(255)는 제2 래치제어신호(LCH2)에 의하여 게이팅된다. 그리고, 트랜지스터(253)은 상기 제1 래치데이터(DLT1)의 반전논리상태를 가지는 제1 반전래치데이터(DLT1B)에 게이팅되어, 상기 트랜지스터들(251, 255)을 전기적 연결을 제어한다.

계속하여, 상기 제2 응답부(250)에 의한 제2 래치데이터(DLT2)의 플립을 살펴보자. 먼저, 상기 제1 래치데이터(DLT1)가 "H"라 가정하자. 이 경우, 상기 제1 반전래치데이터(DLT1B)는 논리 "L"이므로, 상기 트랜지스터(253)는 오프 상태가 된다. 그러므로, 상기 제1 래치데이터(DLT1)가 "H"인 경우에는, 상기 제2 응답부(250)에 의한 상기 제2 래치데이터(DLT2)의 플립은 발생되지 않는다. 본 실시예에서는, 상기 제1 래치데이터(DLT1)가 "L"에서 "H"로 플립되는 경우에는, 상기 제2 응답부(250)에 의한 상기 제2 래치데이터(DLT2)의 플립은 차단된다.

한편, 상기 제1 래치데이터(DLT1)가 "L"인 경우에는, 상기 제2 응답부(250)에 의한 상기 제2 래치데이터(DLT2)의 플립이 발생된다. 이 경우는, 상기 제1 응답부(220)에 의한 상기 제1 래치데이터(DLT1)의 플립과 유사하므로, 본 명세서에서는, 그에 대한 구체적인 기술은 생략된다.

바람직하기로, 제2 버퍼블락(LATBK2)은 제3 응답부(260)를 더 포함한다. 상기 제3 응답부(260)는 기준 래치제어신호(LCHV)에 응답하여 인에이블된다. 그리고, 상기 제3 응답부(260)는 센싱단자(NSEN)의 전압레벨 궁극적으로는, 상기 비트라인(BL)의 전압레벨에 따라 상기 제2 래치부(240)에 래치된 제2 래치데이터(DLT2)를 플립하도록 제어한다. 즉, 상기 제3 응답부(260)는, 제1 래치데이터(DLT1)의 논리상태에 관계없이 상기 비트라인(BL)의 전압레벨에 따라, 상기 제2 래치부(240)의 제2 래치데이터(DLT)를 플립하도록 구동된다.

바람직하기로는, 상기 제3 응답부(260)는 제2 래치부(240)의 상기 제2 래치데이터(DLT2)를 플립시키기 위하여 구동되는 트랜지스터들(261, 263)을 구비한다. 그리고, 상기 제2 응답부(250)의 트랜지스터(251)는 상기 제3 응답부(260)의 한 요소로 포함된다. 전술한 바와 같이, 상기 트랜지스터(251)는 상기 센싱단자(NSEN) 궁극적으로 상기 비트라인(BL)의 전압레벨에 응답하여 게이팅된다. 트랜지스터(263)는 기준 래치제어신호(LCHV)에 의하여 게이팅되며, 상기 제2 응답부(250)의 트랜지스터(251)와 직렬적으로 연결된다. 그리고, 트랜지스터(261)은 전원전압(VCC)에 게이팅되어, 상기 트랜지스터들(251, 263)을 전기적으로 연결하고 있다.

한편, 상기 제3 응답부(260)에 의한 상기 제2 래치데이터(DLT2)의 플립은, 상기 제1 응답부(220)에 의한 상기 제1 래치데이터(DLT1)의 플립과 유사하므로, 본 명세서에서는, 그에 대한 구체적인 기술은 생략된다.

더욱 바람직하기로는, 상기 '제2 버퍼블락(LATBK2)'은 제2 입출력부(201)를 포함한다. 상기 제2 입출력부(231)는 상기 제2 래치부(240)의 제2 래치데이터(DLT2)를 로딩하기도 하며, 상기 제2 래치데이터(DLT2)를 내부 데이터선(IDL)으로 맵핑하기도 한다.

계속 도 7을 참조하면, 상기 페이지 버퍼(200)는 비트라인차단부(270), 센싱 프리차아지부(280), 비트라인 디스차아지부(290)를 더 구비한다.

상기 비트라인차단부(270)는 비트라인차단신호(BLSHF)에 응답하여, 상기 비트라인(BL)과 상기 센싱단자(NSEN)의 연결을 제어한다. 즉, 상기 센싱단자(NSEN)는 비트라인 차단부(270)를 통하여 비트라인(BL)과 선택적으로 연결된다.

상기 센싱 프리차아지부(280)는 센싱 프리차아지 신호(nPRE)에 응답하여, 상기 센싱단자(NSEN)을 전원전압(VDD)으로 프리차아지시킨다. 그리고, 상기 비트라인 디스차아지부(290)는 비트라인 디스차아지 신호(BLDCH)에 응답하여, 상기 비트라인(BL)을 접지전압(VSS)으로 디스차아지시킨다.

다시 도 7을 참조하면, 로우 디코더(30)는 상기 메모리 어레이(10)에 커플드되어, 선택되는 워드라인(WL)을 활성화시킨다.

상기 데이터 입출력 회로(50)는 상기 페이지 버퍼 세트(20)에 래치된 데이터를 외부 시스템으로 맵핑하여 출력하며, 또한, 외부 시스템으로부터 입력되는 데이터를 상기 페이지 버퍼 세트(20)에 로딩한다.

한편, 본 실시예에서, 내부 데이터선(IDL)의 데이터값은, 프로그램 또는 독출동작시에, 외부로 제공되는 제1 내지 제3 비트의 데이터와 일치하는 것으로 가정한다. 즉, 각 비트의 데이터가 "1"인 경우, 상기 내부 데이터선(IDL)은 "H"이고, 각 비트의 데이터가 "0"인 경우, 상기 내부 데이터선(IDL)은 "L"인 것으로 가정한다.

도 8은 본 발명의 불휘발성 반도체 메모리 장치에서의 2-레벨 및 3-레벨 메모리셀의 배치방법의 일예를 나타내는 도면이다. 도 8의 예에서는, 한조의 하부 스트링(110) 및 상부 스트링(130) 각각이 22개의 메모리셀들로 구성된다.

도 8의 예에서, 하부 스트링(110) 및 상부 스트링(130) 각각에 포함되는 22개의 메모리셀들 중에서, 20개의 메모리셀들은 3-레벨 메모리셀(MCb)이며, 나머지 2개의 메모리셀들은 2-레벨 메모리셀(MCa)이다.

먼저, 한조를 이루는 2개의 3-레벨 메모리셀(MCb)의 선택방법이 기술된다. 바람직한 실시예에 의하면, 한조의 2개의 3-레벨 메모리셀(MCb)은, 도 8에 도시된 바와 같이, 상기 하부 스트링(110) 및 상기 상부 스트링(130)에 각각 1개씩 분산 배치된다. 이와 같은 경우, 한조의 2개의 3-레벨 메모리셀(MCb)이 하나의 스트링에 모두 배치되는 경우에 비하여, 데이터 독출시에 잇점이 있는 것으로 알려져 있다.

한편, 상기 하부 스트링(100) 및 상부 스트링(130)의 메모리셀들에는, '페이지 어드레스'가 할당된다. 본 명세서에서, 상기 '페이지 어드레스'는 '페이지'를 특정하는 일련의 번호이다. 그리고, '1개의 페이지' 동안에는, 특정되는 칼럼의 메모리셀에 대하여, 1비트의 데이터가 입출력될 수 있다.

계속 도 8을 참조하여, 상기 하부 스트링(100) 및 상부 스트링(130)의 메모리셀들에 대한 페이지의 할당방법을 살펴보면, 다음과 같다. 2-레벨 메모리셀(MCa)에는, 1개씩의 페이지(page)가 할당된다. 그러므로, 1개의 2-레벨 메모리셀(MCa)에는 1개의 비트의 데이터가 맵핑된다. 도 8의 예에서, 페이지 어드레스들(PAGE0, PAGE1, PAGE62 및 PAGE63)은 2-레벨 메모리셀(MCa)에 할당된다.

반면에, 3-레벨 메모리셀(MCb)의 경우에는, 한조 3-레벨 메모리셀(MCb) 당 3개의 페이지가 할당된다. 따라서, 1개의 3-레벨 메모리셀(MCb)에는, 실질적으로 1.5개의 페이지가 할당되는 셈이다.

도 8의 예에서, 하부 스트링(110) 및 상부 스트링(130)에서 각각 20개씩의 3-레벨 메모리셀(MCb)을 이용하여, 60개의 페이지가 할당된다. 그리고, 하부 스트링(110) 및 상부 스트링(130)에서 각각 2개씩의 2-레벨 메모리셀(MCa)을 이용하여, 4개의 페이지가 할당된다. 전체적으로, 44개의 메모리셀(MC)에 64개의 페이지가 할당된다.

바람직하기로는, 한조의 2개의 3-레벨 메모리셀(MCb)에 할당되는 페이지 어드레스는, 도 8에 도시되는 바와 같이, 일련의 순서적 관계를 가진다. 이 경우, 본 발명의 불휘발성 반도체 메모리 장치가, 페이지 어드레스 순으로 연속적으로 프로그램하는 동작을 수행할 때, 신뢰성이 향상될 수 있다.

도 8을 계속 참조하여, 2-레벨 및 3-레벨 메모리셀의 배치방법을 살펴본다. 도 8의 스트링들(110, 130)은 상기 그라운드 선택 트랜지스터(MCg)를 통하여 공통소스 라인(CSL)에 커플드(coupled)되고, 상기 스트링 선택 트랜지스터(MCs)를 통하여 비트라인(BL)에 커플드된다. 그리고, 2-레벨 메모리셀(MCa)들 및 3-레벨 메모리셀(MCb)들은 스트링 선택 트랜지스터(MCs)와 스트링 선택 트랜지스터(MCg) 사이에 배치된다.

본 발명의 바람직한 실시예에 의하면, 상기 스트링들(110, 130)에서, 2-레벨 메모리셀들(MCa)은 상기 그라운드 선택 트랜지스터(MCg) 및 상기 스트링 선택 트랜지스터(MCs)에 인접하여 배치된다. 즉, 동작시에, 3-레벨 메모리셀(MCb)에 비하여 상대적으로 낮은 전압이 인가되는 2-레벨 메모리셀(MCa)가 상기 그라운드 선택 트랜지스터(MCg) 및 상기 스트링 선택 트랜지스터(MCs)에 인접하여 배치됨으로써, 상기 그라운드 선택 트랜지스터(MCg) 및 상기 스트링 선택 트랜지스터(MCs)의 누설전류에 따른 신뢰성 저하가 감소된다.

일반적으로, 공통소스라인(CSL)에 연결되는 그라운드 선택 트랜지스터(MCg)의 누설전류보다도, 비트라인(BL)에 연결되는 스트링 선택 트랜지스터(MCs)의 누설전류로 인한 신뢰성 저하가 더욱 치명적인 것으로 알려져 있다. 이와 같이, 스트링 선택 트랜지스터(MCs)의 누설전류에 따른 신뢰성 저하가 이슈(issue)화되는 공정에 대해서는, 도 9에 도시되는 바와 같이, 2-레벨 메모리셀(MCa)가 모두 스트링 선택 트랜지스터(MCs) 쪽에 배치되는 것이 효과적이다.

도 10은 본 발명의 불휘발성 반도체 메모리 장치에서의 셀스트링의 구성방법의 다른 예를 나타내는 도면으로서, 하나의 스트링이 11개의 메모리셀로 구성되는 예를 나타내는 도면이다. 도 10을 참조하면, 상기 하부 스트링(110) 및 상부 스트링(130) 각각에 포함되는 11개의 메모리셀들 중에서, 10개의 메모리셀들은 3-레벨 메모리셀(MCb)이며, 나머지 1개의 메모리셀들은 2-레벨 메모리셀(MCa)이다.

이때, 하부 스트링(110) 및 상부 스트링(130)에서 각각 10개씩의 3-레벨 메모리셀(MCb)을 이용하여, 30개의 페이지가 할당된다. 그리고, 하부 스트링(110) 및 상부 스트링(130)에서 각각 1개씩의 2-레벨 메모리셀(MCa)을 이용하여, 2개의 페이지가 할당된다. 전체적으로, 22개의 메모리셀(MC)에 32개의 페이지가 할당된다. 도 10의 실시예에서는, 2-레벨 메모리셀(MCa)이 스트링 선택 트랜지스터(MCs)에 인접하여 배치되는 것이 효과적이다. 이와 같이, 스트링 선택 트랜지스터(MCs)의 누설전류에 따른 신뢰성 저하가 감소될 수 있다.

이어서, 본 발명의 불휘발성 반도체 메모리 장치의 프로그램 방법이 기술된다. 이때, 한조의 3-레벨 메모리셀에 대한 프로그램은 제1 내지 제3 비트(BIT1 내지 BIT3)를 각각 이용하는 제1 내지 제3 비트 프로그램 순으로 진행된다.

먼저, '제1 및 제2 비트 프로그램'에서는, 각각 제1 및 제2 비트(BIT1, BIT2)의 데이터에 따라, 제1 및 제2의 3-레벨 메모리셀(MCb)의 문턱전압이 일차적으로 제어된다. 그리고, '제3 비트 프로그램'에서는, 제3 비트(BIT3)의 데이터에 따라 일차적으로 제어된 상기 제1 및 제2의 3-레벨 메모리셀(MCb)의 문턱전압이 이차적으로 제어된다. 이때, 상기 제1 및 제2의 3-레벨 메모리셀(MCb)의 문턱전압의 이차적 제어는 상기 일차적으로 제어된 문턱전압에 근거하여 수행된다. 계속하여, 본 발명의 불휘발성 반도체 메모리 장치의 프로그램 방법이 구체적으로 기술된다.

도 11a 및 도 11b는 각각 본 발명의 불휘발성 반도체 메모리 장치의 제1 비트 프로그램 방법을 나타내는 타이밍도 및 데이터 흐름도이다. 제1 비트 프로그램에서는, 제1 비트(BIT1)의 데이터를 이용하여 하부 스트링(110)의 3-레벨 메모리셀의 문턱전압을 제어한다.

본 명세서 및 도면에서, 상기 메모리셀들(MC) 중에서, 상기 하부 스트링(110)에 연결되는 3-레벨 메모리셀은 참조부호 'MC1'로, 상기 상부 스트링(130)에 연결되는 3-레벨 메모리셀은 참조부호 'MC2'로 나타난다.

도 11a를 참조하면, 데이터 로드 구간(data load, T11)에서, 제1 비트(BIT1)의 데이터에 대응하는 내부 데이터선(IDL)의 데이터가 상기 제2 래치데이터(DLT2)로 로딩된다(도 11b의 (A1) 참조). 즉, 제1 비트(BIT)가 "0"인 경우에는, 상기 제2 래치데이터(DLT2)는 "L"로 래치된다. 반면에, 상기 제1 비트(BIT1)가 "1"인 경우에는, 상기 제2 래치데이터(DLT2)는 "H"를 유지한다.

이후, 프로그램 수행 구간(program execution, T12)에서, 상기 제2 래치데이터(DLT2)를 이용하여, 상기 3-레벨 메모리셀(MC1)에 대한 프로그램을 수행한다(도 11b의 (A2) 참조). 즉, 제1 비트(BIT1)가 "0"인 경우에는, 상기 3-레벨 메모리셀(MC1)의 문턱전압은 높아지고, 제1 비트(BIT1)가 "1"인 경우에는, 상기 3-레벨 메모리셀(MC1)의 문턱전압은 이전상태를 그대로 유지한다.

그리고, 확인 독출 구간(verify read, T13)에서, 상기 3-레벨 메모리셀(MC1)이 제1 기준전압(VR1) 이상의 문턱전압으로 프로그램되었는지를 확인한다. 즉, 상기 3-레벨 메모리셀(MC1)의 문턱전압이 제1 기준전압(VR1) 이상인지 여부가 센싱단자(NSEN)에 맵핑된다(도 11b의 (A3) 참조). 그리고, 제2 래치제어신호(LCH2)를 "H" 펄스로 발생할 때(t11), 맵핑된 상기 센싱단자(NSEN)의 전압에 따라 선택적으로 제2 래치데이터(DLT2)가 플립(t12)된다(도 11b의 (A4) 참조).

그리고, Y-스캔 구간(Y-scan, T14)에서, 제2 데이터선 제어신호(DIO2)가 "H"펄스로 발생되어(t13), 상기 3-레벨 메모리셀(MC1)이 문턱전압 이상으로 프로그램되었는지가 확인된다(도 11b의 (A5) 참조).

만약, 프로그램이 패스(pass)이면, 상기 3-레벨 메모리셀(MC1)은 오프(off) 상태로 되는 '오프셀(off-cell)'이다. 그러므로, 확인독출 구간(T13)에서, 센싱단자(NSEN)가 전원전압(VCC) 쪽으로 제어되며, 제2 래치데이터(DLT2)는 "L"에서 "H"로 플립된다. 그리고, Y-스캔구간(T14)에서, "H"의 데이터가 내부 데이터선(IDL)로 출력되어, 프로그램이 '패스(pass)'임이 확인된다.

만약, 프로그램이 실패(fail)이면, 상기 3-레벨 메모리셀(MC1)은 온(on) 상태로 되는 '온셀(on-cell)'이다. 그러므로, 확인독출 구간(T13)에서, 센싱단자(NSEN)가 접지전압(VSS) 쪽으로 제어되며, 제2 래치데이터(DLT2)는 "L"의 상태를 그대로 유지한다. 그리고, Y-스캔구간(T14)에서, "L"의 데이터가 내부 데이터선(IDL)로 출력되어, 프로그램이 '실패(fail)'임이 확인된다. 이 경우, 상기 프로그램 수행구간(T12)부터의 프로그램 동작이 반복적으로 수행된다. 즉, ISPP 과정이 수행된다.

또한, 제1 비트(BIT1)가 "1"인 경우에는, 확인독출 구간(T13)에서, 상기 제2 래치데이터(DLT2)는 "H"로 유지된다. 그러므로, Y-스캔구간(T14)에서, "H"의 데이터가 내부 데이터선(IDL)로 출력된다.

도 12a 및 도 12b는 각각 본 발명의 불휘발성 반도체 메모리 장치의 제2 비트 프로그램 방법을 나타내는 타이밍도 및 데이터 흐름도이다. 제2 비트 프로그램에서는, 제2 비트(BIT2)의 데이터를 이용하여 상부 스트링(130)의 3-레벨 메모리셀(MC2)의 문턱전압을 제어한다.

도 12a 및 도 12b의 제2 비트 프로그램의 경우는, 도 11a 및 도 11b의 제1 비트 프로그램의 경우와 거의 유사하다. 다만, 제2 비트 프로그램의 경우에는, 프로그램 수행 구간(T22) 및 확인독출(T23)에서, 상부 스트링(130)의 3-레벨 메모리셀(MC2)이 선택된다는 점에서, 차이가 있을 뿐이다. 그러므로, 본 명세서에서, 그 밖의 구간에서의 동작 및 데이터 흐름도에 대한 구체적인 기술은 생략된다. 그리고, 도 12b의 데이터 흐름의 표시(B1 내지 B5)가 도 11b의 데이터 흐름의 표시(A1 내지 A5)에 대응됨은, 당업자에게는 용이하게 이해될 것이다.

도 13은 제1 및 제2 비트 프로그램이 수행된 후의 3-레벨 메모리셀들(MC1, MC2)의 문턱전압으로 변화를 보여주는 도면이다.

제1 비트(BIT1) 및 제2 비트(BIT2)의 데이터가 모두 "1"인 경우(CASE11)에는, 하부 스트링(110) 및 상부 스트링(130)의 3-레벨 메모리셀(MC1, MC2)의 문턱전압은 모두 소거상태 즉, 제1 기준전압(VR1)보다 낮게 유지된다.

제1 비트(BIT1)의 데이터가 "1"이고, 제2 비트(BIT2)의 데이터가 "0"인 경우(CASE12)에는, 상부 스트링(130)의 메모리셀(MC2)의 문턱전압은 제1 기준전압(VR1)보다 높아지며, 하부 스트링(110)의 메모리셀(MC1)의 문턱전압은 제1 기준전압(VR1)보다 낮게 유지된다.

제1 비트(BIT1)의 데이터가 "0"이고, 제2 비트(BIT2)의 데이터가 "1"인 경우(CASE13)에는, 상부 스트링(130)의 메모리셀(MC2)의 문턱전압은 제1 기준전압(VR1)보다 낮게 유지되며, 하부 스트링(110)의 메모리셀(MC1)의 문턱전압은 제1 기준전압(VR1)보다 높아진다.

제1 비트(BIT1) 및 제2 비트(BIT2)의 데이터가 모두 "0"인 경우(CASE14), 하부 스트링(110) 및 상부 스트링(130)의 메모리셀(MC1, MC2)의 문턱전압은 제1 기준전압(VR1) 보다 높아진다.

계속하여, 본 발명의 불휘발성 반도체 메모리 장치의 프로그램 방법 중에서 '제3 비트 프로그램'이 기술된다. 상기 '제3 비트 프로그램'은 '이전 데이터 독출과정'과 '제3 비트 맵핑과정'으로 나누어 질 수 있다.

도 14a는 본 발명의 불휘발성 반도체 메모리 장치의 '제3 비트 프로그램' 중 '이전 데이터 독출과정'의 타이밍도이다. 도 14b는 도 14a의 타이밍도에 따른 데이터 흐름도이며, 도 14c는 도 14a의 타이밍도에 주요단자의 변화를 나타내는 도면이다.

도 14a를 참조하면, 먼저, 데이터 로드 구간(data load, T31)에서, 내부 데이터선(IDL)의 데이터가 페이지 버퍼(200, 도 7 참조)에 제1 및 제2 래치데이터(DLT1, DLT2)로 로딩된다(도 14b의 (C1) 참조). 즉, 제3 비트(BIT3)가 "0"인 경우, 상기 제1 및 제2 래치데이터(DLT1, DLT2)가 "L"로 래치된다. 반면에, 제3 비트(BIT3)가 "1"인 경우에는, 상기 제1 및 제2 래치데이터(DLT1, DLT2)는 "H"를 유지한다.

이후, 하위 스트링 독출구간(lower string read, T32)에서, 전술한 제1 프로그램이 수행된 하위 스트링(110)의 3-레벨 메모리셀(MC1)의 문턱전압에 따라, 상기 제1 래치데이터(DLT1)가 플립된다. 즉, 하위 스트링(110)의 3-레벨 메모리셀(MC1)을 제1 기준전압(VR1, 본 실시예에서는, 0V)으로 게이팅한다. 이때, 센싱단자(NSEN)는 상기 3-레벨 메모리셀(MC1)의 문턱전압에 따라 전압레벨이 제어된다(도 14b의 (C2) 참조). 그리고, 제1 래치제어신호(LCH1)가 "H" 펄스로 발생될 때(t31), 상기 센싱단자(NSEN)의 전압에 따라 선택적으로 제1 래치데이터(DLT1)가 플립된다(도 14b의 (C3) 참조).

만약, 이전 데이터가 "0"인 경우(즉, 제1 비트(BIT1)가 "0"인 경우), 하위 스트링(110)의 메모리셀(MC1)은 '오프셀(off-cell)'이다. 그러므로, 하위 스트링 독출구간(T32)에서, 센싱단자(NSEN)가 전원전압(VCC) 쪽으로 제어되며, 제1 래치데이터(DLT1)는 "L"에서 "H"로 플립된다. 이때, 제1 래치데이터(DLA1)의 반전 데이터(DLT1B)는 "L"로 플립된다.

반면에, 이전 데이터가 "1"인 경우, 하위 스트링(110)의 메모리셀(MC1)은 '온셀(on-cell)'이다. 그러므로, 하위 스트링 독출구간(T32)에서, 센싱단자(NSEN)가 접지전압(VSS) 쪽으로 제어되며, 제1 래치데이터(DLT1)는 "L"상태를 유지한다. 이때, 제1 래치데이터(DLA1)의 반전 데이터(DLT1B)는 "H"상태를 유지한다. 또한, 제3 비트(BIT3)의 데이터가 "1"인 경우에는, 상기 제1 래치데이터(DLT1)는 "H"를 유지한다.

계속되는 상위 스트링 독출구간(upper string read, T33)에서, 전술한 제2 프로그램이 수행된 상위 스트링(130)의 3-레벨 메모리셀(MC2)의 문턱전압에 따라, 상기 제2 래치데이터(DLT2)가 플립된다. 즉, 상위 스트링(130)의 3-레벨 메모리

셀(MC2)을 제1 기준전압(VR1)으로 게이팅한다. 이때, 센싱단자(NSEN)는 상기 3-레벨 메모리셀(MC2)의 문턱전압에 따라 전압레벨이 제어된다(도 14b의 (C4) 참조). 그리고, 제2 래치제어신호(LCH2)가 "H" 펄스로 발생될 때(t32), 상기 센싱단자(NSEN)의 전압에 따라 선택적으로 제2 래치데이터(DLT2)가 플립된다(도 14c의 (C5) 참조).

도 14c를 참조하여, 상위 스트링 독출구간(upper string read, T33)에서, 상기 제2 래치데이터(DLT2)의 플립 조건을 살펴보면 다음과 같다.

상기 제2 래치데이터(DLT2)가 "L"에서 "H"로의 플립은, 상기 제1 래치데이터(DLT1)의 반전데이터(DLT1B)가 "H"이고, 상기 센싱단자(NSEN)의 전압레벨이 전원전압(VCC) 쪽인 경우에, 발생된다. 다시 기술하면, 데이터 로드 구간에서 래치되는 제2 래치데이터(DLT2)가 "0"이고, 제1 메모리셀(MC1)의 이전 데이터값이 "1"이며, 제2 메모리셀(MC2)의 이전 데이터값이 "1"인 경우에, 상기 제2 래치데이터(DLT2)가 "L"에서 "H"로의 플립이 발생된다. 즉, 제3 비트(BIT3)이 "0"이고, 제1 비트(BIT1)가 "1"이며, 제2 비트(BIT2)가 "1"인 경우에, 상기 제2 래치데이터(DLT2)가 "L"에서 "H"로의 플립이 발생된다.

도 15는 본 발명의 불휘발성 반도체 메모리 장치의 '이차적 프로그램' 중 '이전 데이터 독출과정'이 수행된 후의 제1 래치데이터(DLAT1) 및 제2 래치데이터(DLT2)의 데이터값을 설명하기 위한 도면이다.

CASE21 내지 CASE24는 제3 비트(BIT3)가 "0"인 경우를 나타낸다. 제1 및 제2 비트(BIT1, BIT2)가 "1"인 경우(CASE21)에는, 제1 래치데이터(DLT1) 및 제2 래치데이터(DLT2)는 모두 "L"를 유지한다.

제1 비트(BIT1)가 "1"이고, 제2 비트(BIT2)가 "0"인 경우(CASE22)에는, 상기 제1 래치데이터(DLT1)는 "L"를 유지하고, 상기 제2 래치데이터(DLT2)는 "H"로 래치된다.

제1 비트(BIT1)가 "0"이고, 제2 비트(BIT2)가 "1"인 경우(CASE23)에는, 상기 제1 래치데이터(DLT1)는 "H"를 래치되고, 상기 제2 래치데이터(DLT2)는 "L"를 유지한다.

제1 및 제2 비트(BIT1, BIT2)가 "0"인 경우(CASE24)에도, 상기 제1 래치데이터(DLT1)는 "H"로 래치되고, 상기 제2 래치데이터(DLT2)는 "L"를 유지한다.

그리고, 제3 비트(BIT)가 "1"인 CASE25에서는, 제1 및 제2 비트(BIT1, BIT2)에 관계없이, 제1 래치데이터(DLT1) 및 제2 래치데이터(DLT2)는 모두 "H"를 유지한다.

계속하여, 3-레벨 메모리셀에 대한 '이차적 프로그램' 중에서, '이전 데이터 독출과정' 이후에 진행되는 '제3 비트 맵핑과정'이 기술된다.

도 16a는 본 발명의 불휘발성 반도체 메모리 장치의 '이차적 프로그램' 중 '제3 비트 맵핑 과정'의 타이밍도이다. 도 16b 및 도 16c는 도 16a에 따른 데이터 흐름도이다.

도 16a를 참조하면, '이전 데이터 독출과정'이 진행된 후에, 먼저, '하부 프로그램 수행 구간(lower program execution, T41)'이 진행된다. 상기 '하부 프로그램 수행 구간(T41)'에서는, 제2 비트라인 선택신호(BLSLT2)가 활성화되면(t41), '이전 데이터 독출과정'의 진행에 따른 제2 래치데이터(DLT2)에 의하여, 하부 스트링(110)의 메모리셀(MC1)의 문턱전압이 제어된다(도 16b의 (D1) 참조).

그리고, 하부 확인 독출 구간(lower verify read, T42)에서, 선택되는 하부 스트링(110)의 메모리셀(MC1)이 제2 기준전압(VR2) 이상의 문턱전압으로 프로그램되었는지 여부가 확인된다. 즉, 메모리셀(MC1)의 문턱전압이 제2 기준전압(VR2) 이상인지 여부가 센싱단자(NSEN)에 맵핑된다(도 16의 (D2) 참조). 이어서, 기준래치제어신호(LCHV)를 "H" 펄스로 발생하여(t42), 맵핑된 상기 센싱단자(NSEN)의 전압에 따라 선택적으로 제2 래치데이터(DLT2)가 플립된다(도 16b의 (D3) 참조).

이후, '상부 프로그램 수행 구간(upper program execution, T43)'이 진행된다. 상기 '하부 프로그램 수행 구간(T43)'에서는, 제1 비트라인 선택신호(BLSLT1)가 활성화되면(t43), '이전 데이터 독출과정'의 진행에 따른 제1 래치데이터(DLT1)에 의하여, 상부 스트링(130)의 메모리셀(MC2)의 문턱전압이 제어된다(도 16c의 (D4) 참조).



그리고, 상부 확인 독출 구간(upper verify read, T44)에서, 제2 메모리셀(MC2)이 제2 기준전압(VR2) 이상의 문턱전압으로 프로그램되었는지 여부가 확인된다. 즉, 제2 메모리셀(MC2)의 문턱전압이 제2 기준전압(VR2) 이상인지 여부가 센싱단자(NSEN)에 맵핑된다(도 16c의 (D5) 참조). 이어서, 제1 래치제어신호(LCH1)를 "H" 펄스로 발생하여(t44), 맵핑된 상기 센싱단자(NSEN)의 전압에 따라 선택적으로 제1 래치데이터(DLT1)가 플립된다(도 16c의 (D6) 참조).

이후, Y-스캔구간(T45)에서, 제2 데이터선 제어신호(IDO2)와 제1 데이터선 제어신호(IDO1)가 차례로 활성화되어(t45, t46), 프로그램의 '패스(pass)' 또는 '실패(fail)'가 확인된다.

상기 T41 내지 T45 구간에서의 프로그램, 확인독출 및 Y-스캔동작의 원리는, 도 11a, 도 11b, 도 12a 및 도 12b를 참조하면, 당업자에게는 용이하게 이해될 수 있으므로, 본 명세서에서는, 그에 대한 구체적인 기술은 생략된다.

도 17은 제3 비트 프로그램이 수행된 후의 3-레벨 메모리셀들(MC1, MC2)의 문턱전압으로 변화를 보여주는 도면이다.

CASE31은 제1 내지 제3 비트(BIT1 내지 BIT3)가 모두 "1"인 경우를 나타낸다. 이 경우, 하부 스트링(110) 및 상부 스트링(130)의 메모리셀(MC1, MC2)의 문턱전압은 모두 소거상태 즉, 제1 기준전압(VR1)보다 낮게 유지된다.

CASE32는 제1 비트 및 제2 비트(BIT1, BIT2)가 "1"이고, 제3 비트(BIT3)의 데이터가 "0"인 경우를 나타낸다. 이 경우, 하부 스트링(110) 및 상부 스트링(130)의 메모리셀(MC1, MC2)의 문턱전압은 모두 제2 기준전압(VR1)보다 높아진다.

CASE33은 제1 비트(BIT1)가 "1"이고, 제2 비트(BIT2)가 "0"이며, 제3 비트(BIT3)가 "1"인 경우를 나타낸다. 이 경우, 하부 스트링(110)의 메모리셀(MC1)의 문턱전압은 제1 기준전압(VR1)보다 낮게 유지되며, 상부 스트링(130)의 메모리셀(MC2)의 문턱전압은 제1 기준전압(VR1)과 제2 기준전압(VR2) 사이에 위치한다.

CASE34는 제1 비트(BIT1)가 "1"이고, 제2 비트(BIT2) 및 제3 비트(BIT3)이 "0"인 경우를 나타낸다. 이 경우, 하부 스트링(110)의 메모리셀(MC1)의 문턱전압은 제1 기준전압(VR1)보다 낮게 유지되며, 상부 스트링(130)의 메모리셀(MC2)의 문턱전압은 제2 기준전압(VR2)보다 높아진다.

CASE35는 제1 비트(BIT1)가 "0"이고, 제2 비트(BIT2) 및 제3 비트(BIT3)이 "1"인 경우를 나타낸다. 이 경우, 하부 스트링(110)의 메모리셀(MC1)의 문턱전압은 제1 기준전압(VR1)과 제2 기준전압(VR2) 사이에 위치하며, 상부 스트링(130)의 메모리셀(MC2)의 문턱전압은 제1 기준전압(VR1)보다 낮게 유지된다.

CASE36은 제1 비트(BIT1)가 "0"이고, 제2 비트(BIT2)가 "1"이며, 제3 비트(BIT3)가 "0"인 경우를 나타낸다. 이 경우, 하부 스트링(110)의 메모리셀(MC1)의 문턱전압은 제2 기준전압(VR2)보다 높으며, 상부 스트링(130)의 메모리셀(MC2)의 문턱전압은 제1 기준전압(VR1)보다 낮게 유지된다.

CASE37은 제1 비트 및 제2 비트(BIT1, BIT2)가 "0"이고, 제3 비트(BIT3)가 "1"인 경우를 나타낸다. 이 경우, 하부 스트링(110) 및 상부 스트링(130)의 메모리셀(MC1, MC2)의 문턱전압은 모두 제1 기준전압(VR1)과 제2 기준전압(VR2) 사이에 위치한다.

CASE38은 제1 내지 제3 비트(BIT1 내지 BIT3)가 모두 "0"인 경우를 나타낸다. 이 경우, 하부 스트링(110)의 메모리셀(MC1)의 문턱전압은 제2 기준전압(VR2)보다 높으며, 상부 스트링(130)의 메모리셀(MC2)의 문턱전압은 제1 기준전압(VR1)과 제2 기준전압(VR2) 사이에 위치한다.

요약하면, 특정조합의 경우 즉, 상기 제1 내지 제3 비트(BIT1 내지 BIT3)가 각각 1, 1, 0인 경우는 상기 제2 기준전압(VR2)보다 높은 제1 및 제2의 3-레벨 메모리셀(MC1, MC2)의 문턱전압으로 맵핑된다.

그리고, 상기 특정조합에 상기 제1 비트(BIT1)의 데이터는 상기 제1 기준전압(VR1)을 기준으로 하는 상기 제1의 3-레벨 메모리셀(MC1)의 문턱전압에 맵핑된다. 즉, 제1 비트(BIT1)가 "1"인 경우에는, 상기 제1의 3-레벨 메모리셀(MC1)의 문턱전압은 제1 기준전압(VR1)보다 낮다. 그리고, 제1 비트(BIT1)가 "0"인 경우에는, 상기 제1의 3-레벨 메모리셀(MC1)의 문턱전압은 제1 기준전압(VR1)보다 높다.

유사한 방법으로, 상기 특정조합에 상기 제2 비트(BIT2)의 데이터는 상기 제1 기준전압(VR1)을 기준으로 하는 상기 제2의 3-레벨 메모리셀(MC2)의 문턱전압에 맵핑된다.

한편, 상기 제3 비트(BIT3)의 데이터는 상기 제2 기준전압(VR2)을 기준으로 하는 상기 제1 및 제2의 3-레벨 메모리셀(MC1, MC2)의 문턱전압에 맵핑된다. 즉, 제3 비트(BIT1)가 "1"인 경우에는, 상기 제1 및 제2의 3-레벨 메모리셀(MC1, MC2)의 문턱전압이 제2 기준전압(VR1)보다 낮다. 그리고, 제3 비트(BIT1)가 "0"인 경우에는, 상기 제1의 3-레벨 메모리셀(MC1)과 상기 제2의 3-레벨 메모리셀(MC2) 중 어느하나의 문턱전압이 제2 기준전압(VR1)보다 높다.

본 실시예에서, 2-레벨 메모리셀(MCa)에 대한 프로그램은 상기 '제1 비트 프로그램' 또는 제2 비트 프로그램'과 유사한 통상적인 방법으로 진행되므로, 본 명세서에서는, 그에 대한 구체적인 기술은 생략된다.

계속하여, 본 발명의 불휘발성 반도체 메모리 장치에 대한 독출방법이 기술된다. 도 18은 본 발명의 불휘발성 반도체 메모리 장치에서 제1 비트(BIT1)의 데이터를 독출방법을 나타내는 타이밍도이다. 도 19a 및 도 19b는 도 18의 타이밍도에 따른 데이터 흐름도이다. 그리고, 도 20a 내지 도 20c는 도 18의 타이밍도에 따른 주요단자의 변화를 보여주는 도면들로서, 도 20a는 제1비트/제2비트/제3비트의 데이터가 1/1/0인 경우이고, 도 20b는 제1비트/제2비트/제3비트의 데이터가 1/1/0을 제외하고, 제1 비트의 데이터가 "1"인 경우를 나타내며, 도 20c는 제1 비트의 데이터가 "0"인 경우를 나타낸다.

도 18을 참조하면, 본 발명의 불휘발성 반도체 메모리 장치에서, 한조의 2개의 3-레벨 메모리셀에 대한 독출은, '페이지 버퍼 셋 구간(page buffer set, T51)', '일차적 독출 구간(primary read, T52)', '일차적 플립 구간(primary flop, T53)', '이차적 독출 구간(secondary read, T54)', '이차적 플립 구간(secondary flop, T55)' 및 '데이터 출력 구간(data-out, T56)'으로 나누어질 수 있다.

상기 '페이지 버퍼 셋 구간(T51)'에서는, 제1 및 제2 데이터선 제어신호(DIO1, DIO2)가 "H" 펄스로 발생되어(t51, t52), 상기 제1 및 제2 래치데이터(DLT1, DLT2)가 "L"로 래치된다(도 19a의 (E1) 참조).

상기 '일차적 독출 구간(T52)'에서는, 하부 스트링(110)과 상부 스트링(130)의 메모리셀(MC1, MC2)의 게이트 단자에, 모두 제2 기준전압(VR2)이 인가된다. 그러면, 상기 제2 기준전압(VR2)에 대한, 하부 스트링(110)과 상부 스트링(130)의 메모리셀(MC)의 문턱전압이 함께 센싱단자(NSEN)에 맵핑된다(도 19a의 (E2) 참조).

이후, '일차적 플립 구간(primary flop, T53)'에서는, 제1 래치제어신호(LCH1)가 "H" 펄스로 발생되면(t53), 맵핑된 상기 센싱단자(NSEN)의 전압에 따라 선택적으로 제1 래치데이터(DLT1)가 플립된다(도 19a의 (E3) 참조).

이때, 제1비트/제2비트/제3비트의 데이터가 1/1/0인 경우에는, 하부 스트링(110)과 상부 스트링(130)의 메모리셀(MC1, MC2)이 모두 "오프셀"이므로, 센싱단자(NSEN)의 전압레벨은 전원전압(VCC) 쪽이다. 따라서, 상기 제1 래치제어신호(LCH1)를 "H" 펄스로 발생하면(t53), 도 20a에 도시되는 바와 같이, 상기 제1 래치데이터(DLT1)는 "L"에서 "H"로 플립되고, 상기 제1 반전래치 데이터(DLT1B)는 "H"에서 "L"로 플립된다.

반면에, 제1비트/제2비트/제3비트의 데이터가 1/1/0이외의 경우에는, 하부 스트링(110)의 메모리셀(MC1)과 상부 스트링(130)의 메모리셀(MC2) 중 적어도 어느하나가 "온셀"이므로, 센싱단자(NSEN)의 전압레벨은 접지전압(VSS) 쪽이다. 따라서, 상기 제1 래치제어신호(LCH1)를 "H" 펄스로 발생하더라도, 도 20b 및 도 20c에 도시되는 바와 같이, 상기 제1 래치데이터(DLT1)는 "L"를 유지되며, 제1 반전래치 데이터(DLT1B)는 "H"로 유지된다.

상기 '이차적 독출 구간(T54)'는, 하부 스트링(110)의 메모리셀(MC)의 게이트 단자에, 제1 기준전압(VR1)이 인가된다. 그러면, 상기 제2 기준전압(VR2)에 대한, 하부 스트링(110)의 메모리셀(MC1)의 문턱전압이 센싱단자(NSEN)에 맵핑된다(도 19b의 (E4) 참조). 이후, 제2 래치제어신호(LCH2)가 "H" 펄스로 발생되면(t54), 맵핑된 상기 센싱단자(NSEN)의 전압에 따라 선택적으로 제2 래치데이터(DLT2)가 플립된다(도 19b의 (E5) 참조).

이때, 제1비트/제2비트/제3비트(BIT1/BIT2/BIT3)가 1/1/0인 경우에는, 제1 반전래치 데이터(DLT1B)는 "L"이다. 그러므로, 제2 래치데이터(DLT2)는, 맵핑된 상기 센싱단자(NSEN)의 전압에 관계없이, "L"를 유지한다(도 20a 참조).

그리고, 제1비트/제2비트/제3비트(BIT1/BIT2/BIT3)가 1/1/0이외의 경우로서, 제1 비트(BIT1)가 "1"인 경우에는, 하부 스트링(110)의 메모리셀(MC1)이 "온셀"이므로, 센싱단자(NSEN)의 전압레벨은 접지전압(VSS) 쪽이다. 따라서, 상기 제1 래치제어신호(LCH1)가 "H" 펄스로 발생하더라도, 상기 제2 래치데이터(DLT1)는 "L"를 유지한다(도 20b 참조).

그리고, 제1비트/제2비트/제3비트(BIT1/BIT2/BIT3)가 1/1/0이외의 경우로서, 제1 비트(BIT1)가 "0"인 경우에는, 하부 스트링(110)의 메모리셀(MC1)이 "오프셀"이므로, 센싱단자(NSEN)의 전압레벨은 전원전압(VCC) 쪽이다. 따라서, 상기 제2 래치제어신호(LCH2)가 "H" 펄스로 발생되면, 상기 제2 래치데이터(DLT2)는 "L"에서 "H"로 플립된다(도 20b 참조).

결국, 제1 비트(BIT1)가 "1"인 경우에는, 제2 래치데이터(DLT2)는 "L"를 유지한다. 반면에, 제1 비트(BIT1)가 "0"인 경우에는, 제2 래치데이터(DLT2)는 "L"에서 "H"로 플립된다.

그리고, '데이터 출력 구간(T56)'에서, 제2 데이터선 제어신호(DIO2)가 "H"로 활성화되어(t55), 제2 래치데이터(DLT2)가 상기 내부 데이터선(IDL)에 맵핑된다. 즉, 제1 비트(BIT1)가 "1"인 경우에는, 상기 내부 데이터선(IDL)은 "L"를 유지한다. 반면에, 제1 비트(BIT1)가 "0"인 경우에는, 상기 내부 데이터선(IDL)은 "H"로 제어된다.

이와 같이, 본 발명의 불휘발성 반도체 메모리 장치에서의 제1 비트 데이터의 독출방법에 의하면, 한번의 데이터 출력(도 18의 T56 구간)을 수행함으로써, 제1 비트(BIT1)의 데이터가 확인될 수 있다.

도 21은 본 발명의 불휘발성 반도체 메모리 장치에서 제2 비트(BIT2)의 데이터를 독출방법을 나타내는 타이밍도이다. 도 21의 제2 비트 데이터의 독출방법은 도 18의 제1 비트 데이터의 독출방법과 유사하며, 다만, '이차적 독출 구간(T64)'에서, 상부 스트링(130)의 메모리셀(MC2)의 데이터를 독출하는 점에서 차이가 있을 뿐이다. 도 21의 나머지 구간의 동작은, 도 18의 경우와 동일하므로, 본 명세서에서는, 그에 대한 구체적인 기술은 생략된다.

또한, '데이터 출력 구간(T66)'에서, 상기 내부 데이터선(IDL)이 제2 비트(BIT2)가 "1"인 경우에는 "L"를 유지하며, "0"인 경우에는 "H"로 제어된다는 점은 당업자에게는 용이하게 이해될 것이다.

도 22는 본 발명의 불휘발성 반도체 메모리 장치에서 제3 비트(BIT3)의 데이터를 독출방법을 나타내는 타이밍도이다. 도 23은 도 22의 타이밍도에 따른 데이터의 흐름도이다. 그리고, 도 24a 및 도 24b는 도 22의 타이밍도에 따른 주요단자의 변화를 보여주는 도면들로서, 도 24a는 제3 비트(BIT3)가 0인 경우이고, 도 24b는 제3 비트(BIT3)가 "1"인 경우를 나타낸다.

도 22를 참조하면, 제3 비트(BIT3)에 대한 독출도, '페이지 버퍼 셋 구간(page buffer set, T71)', '일차적 독출 구간(primary read, T72)', '일차적 플립 구간(primary flop, T73)', '이차적 독출 구간(secondary read, T74)', '이차적 플립 구간(secondary flop, T75)' 및 '데이터 출력 구간(data-out, T76)'으로 나누어질 수 있다.

'페이지 버퍼 셋 구간(T71)'에서는, 제1 및 제2 데이터선 제어신호(DIO1, DIO2)가 "H" 펄스로 발생되어(t71, t72), 상기 제1 및 제2 래치데이터(DLT1, DLT2)가 "L"로 래치된다(도 23의 (F1) 참조).

'일차적 독출 구간(primary read, T72)'에서는, 하부 스트링(110)의 메모리셀(MC1)의 게이트 단자에, 제2 기준전압(VR2)이 인가된다. 그러면, 상기 제2 기준전압(VR2)에 대한, 하부 스트링(110)의 메모리셀(MC1)의 문턱전압이 센싱단자(NSEN)에 맵핑된다(도 23의 (F2) 참조).

그리고, '일차적 플립 구간(primary flop, T73)'에서 제2 래치제어신호(LCH2)를 "H" 펄스로 발생되면(t73), 맵핑된 상기 센싱단자(NSEN)의 전압에 따라 선택적으로 제2 래치데이터(DLT2)가 플립된다(도 23의 (F3) 참조).

'이차적 독출 구간(secondary read, T74)'에서는, 상부 스트링(130)의 메모리셀(MC1)의 게이트 단자에, 제2 기준전압(VR2)이 인가된다. 그러면, 상기 제2 기준전압(VR2)에 대한, 상부 스트링(110)의 메모리셀(MC)의 문턱전압이 센싱단자(NSEN)에 맵핑된다(도 23의 (F4) 참조).

이후, '이차적 플립 구간(secondary flop, T75)'에서 제2 래치제어신호(LCH2)를 "H" 펄스로 발생되면(t74), 맵핑된 상기 센싱단자(NSEN)의 전압에 따라 선택적으로 제2 래치데이터(DLT2)가 플립된다(도 23의 (F5) 참조).

즉, '일차적 플립 구간(T73)' 및 '이차적 플립 구간(T75)'에서, 상기 하부 스트링(110)의 메모리셀(MC1)과 상부 스트링(130)의 메모리셀(MC2)의 문턱전압 중 적어도 어느하나가 제2 기준전압(VR2) 보다 높은 경우에는, 도 24a에 나타나는 바와 같이, 제2 래치데이터(DLT2)는 "L"에서 "H"로 플립된다. 즉, 제1 내지 제3 비트(BIT1 내지 BIT3)의 조합이 1/1/0,

0/1/0, 0/0/0 인 경우에는, 상기 '일차적 플립 구간(T73)'에서 제2 래치데이터(DLT2)의 "L"에서 "H"로의 플립이 발생된다. 그리고, 제1 내지 제3 비트(BIT1/BIT2/BIT3)의 조합이 1/0/0 인 경우에는, 상기 '이차적 플립 구간(T75)'에서 제2 래치데이터(DLT2)의 "L"에서 "H"로의 플립이 발생된다.

반면에, 상기 하부 스트링(110)의 메모리셀(MC1)과 상부 스트링(130)의 메모리셀(MC2)의 문턱전압이 모두 제2 기준전압(VR2) 보다 낮은 경우에는, 도 24b에 나타나는 바와 같이, 제2 래치데이터(DLT2)는 "L"를 유지한다. 즉, 제1 내지 제3 비트(BIT1/BIT2/BIT3)의 조합이 1/1/1, 1/0/1, 0/1/1, 0/0/1 인 경우에는, 상기 '일차적 플립 구간(T73)' 및 상기 '이차적 플립 구간(T75)' 모두에서, 제2 래치데이터(DLT2)의 "L"를 유지한다.

결과적으로, 상기 '이차적 플립 구간(T75)'이 진행된 후에, 제2 래치데이터(DLT2)의 논리상태는, 제3 비트(BIT3)가 "0"인 경우에는 "H" 이며, 제3 비트(BIT3)가 "1"인 경우에는 "L" 이다.

그리고, '데이터 출력 구간(T76)'에서, 제2 데이터선 제어신호(DIO2)가 "H"로 활성화되어, 제2 래치데이터(DLT2)가 상기 내부 데이터선(IDL)에 맵핑된다.

이와 같이, 본 발명의 불휘발성 반도체 메모리 장치에서의 제3 비트 데이터의 독출방법에 의하면, 한번의 데이터 출력(도 22의 T76 구간)을 수행함으로써, 제3 비트(BIT3)의 데이터가 확인될 수 있다.

결과적으로, 본 발명의 불휘발성 반도체 메모리 장치의 독출방법에 의하면, 제1 비트 내지 제3 비트(BIT1 내지 BIT3) 각각은 각기 한번씩의 데이터 출력만으로 데이터값이 확인될 수 있다.

본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다.

예를 들면, 본 명세서에서는, 한조의 2개의 3-레벨 메모리셀이 하부 스트링 및 상부 스트링에 1개씩 배치되는 예가 도시되고 기술되었다. 하지만, 본 발명의 기술적 사상은 한조의 2개의 3-레벨 메모리셀은 동일한 스트링에 배치되는 경우에도 구현될 수 있다. 이 경우, 상기 제1 비트 및 제2 비트 데이터의 독출동작 중, 일차적 독출과정에서, 제1의 3-레벨 메모리셀 및 제2의 3-레벨 메모리셀에 제2 기준전압에 의한 비트라인으로 맵핑이 순차적으로 수행되어야 할 것임은 당업자에게는 용이하게 이해될 것이다.

따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

### 발명의 효과

상기와 같이 본 발명의 불휘발성 반도체 메모리 장치는 3가지의 문턱전압 레벨로 제어될 수 있는 3-레벨 메모리셀들과 3-레벨 메모리셀들을 제어하는 페이지 버퍼를 포함한다. 본 발명의 3-레벨 불휘발성 반도체 메모리 장치는, 2-레벨 불휘발성 반도체 메모리 장치에 비하여, 높은 집적도를 가진다. 그리고, 3-레벨 불휘발성 반도체 메모리 장치는, 4-레벨 불휘발성 반도체 메모리 장치에 비하여, 높은 신뢰성을 가진다.

또한, 본 발명의 불휘발성 반도체 메모리 장치 및 그의 구동방법에 의하면, 한번의 데이터 출력으로 각 비트의 데이터값이 독출될 수 있다. 그러므로, 본 발명의 불휘발성 반도체 메모리 장치의 동작속도는 빠르게 된다.

또한, 본 발명의 불휘발성 반도체 메모리 장치는, 2-레벨 및 3-레벨 메모리셀들이 하나의 스트링에 배치되며, 이때, 2-레벨 메모리셀들은 스트링 선택 트랜지스 또는 그라운드 선택 트랜지스터에 인접하여 배치된다. 그러므로, 그라운드 선택 트랜지스터 및/또는 스트링 선택 트랜지스터의 누설전류에 따른 신뢰성 저하가 감소된다.

### 도면의 간단한 설명

본 발명의 상세한 설명에서 사용되는 도면을 보다 충분히 이해하기 위하여, 각 도면의 간단한 설명이 제공된다.

도 1은 일반적인 단일 트랜지스터 타입의 메모리셀의 단면도이다.

도 2은 2-레벨 메모리셀의 문턱전압 분포를 나타내는 일반적인 도면이다.

도 3은 4-레벨 메모리셀의 문턱전압 분포를 나타내는 일반적인 도면이다.

도 3은 본 발명의 불휘발성 반도체 메모리 장치에 적용되는 3-레벨 메모리셀의 문턱전압 분포를 나타내는 도면이다.

도 5는 본 발명의 일실시예에 따른 불휘발성 반도체 메모리 장치를 나타내는 도면이다.

도 6은 도 5의 메모리 어레이에 포함되는 하나의 스트링 중의 일부를 나타낸다.

도 7은 도 5의 페이지 버퍼 세트에 포함되는 페이지 버퍼를 나타낸다.

도 8 및 도 9는 본 발명의 불휘발성 반도체 메모리 장치에서의 셀스트링의 구성방법의 예들을 나타내는 도면으로서, 하나의 스트링이 22개의 메모리셀로 구성되는 예를 나타내는 도면이다.

도 10은 본 발명의 불휘발성 반도체 메모리 장치에서의 셀스트링의 구성방법의 다른 예를 나타내는 도면으로서, 하나의 스트링이 11개의 메모리셀로 구성되는 예를 나타내는 도면이다.

도 11a 및 도 11b는 각각 본 발명의 불휘발성 반도체 메모리 장치의 제1 비트 프로그램 방법을 나타내는 타이밍도 및 데이터 흐름도이다.

도 12a 및 도 12b는 각각 본 발명의 불휘발성 반도체 메모리 장치의 제2 비트 프로그램 방법을 나타내는 타이밍도 및 데이터 흐름도이다.

도 13은 제1 및 제2 비트 프로그램이 수행된 후의 3-레벨 메모리셀들의 문턱전압으로 변화를 보여주는 도면이다.

도 14a는 본 발명의 불휘발성 반도체 메모리 장치의 '제3 비트 프로그램' 중 '이전 데이터 독출과정'의 타이밍도이다. 도 14b는 도 14a의 타이밍도에 따른 데이터 흐름도이며, 도 14c는 도 14a의 타이밍도에 주요단자의 변화를 나타내는 도면이다.

도 15는 본 발명의 불휘발성 반도체 메모리 장치의 '이차적 프로그램' 중 '이전 데이터 독출과정'이 수행된 후의 제1 및 제2 래치데이터의 상태를 설명하기 위한 도면이다.

도 16a는 본 발명의 불휘발성 반도체 메모리 장치의 '이차적 프로그램' 중 '제3 비트 맵핑 과정'의 타이밍도이다. 도 16b 및 도 16c는 도 16a에 따른 데이터 흐름도이다.

도 17은 제3 비트 프로그램이 수행된 후의 3-레벨 메모리셀들의 문턱전압으로 변화를 보여주는 도면이다.

도 18은 본 발명의 불휘발성 반도체 메모리 장치에서 제1 비트의 데이터를 독출방법을 나타내는 타이밍도이다.

도 19a 및 도 19b는 도 18의 타이밍도에 따른 데이터 흐름도이다.

도 20a 내지 도 20c는 도 18의 타이밍도에 따른 주요단자의 변화를 보여주는 도면들이다.

도 21은 본 발명의 불휘발성 반도체 메모리 장치에서 제2 비트의 데이터를 독출방법을 나타내는 타이밍도이다.

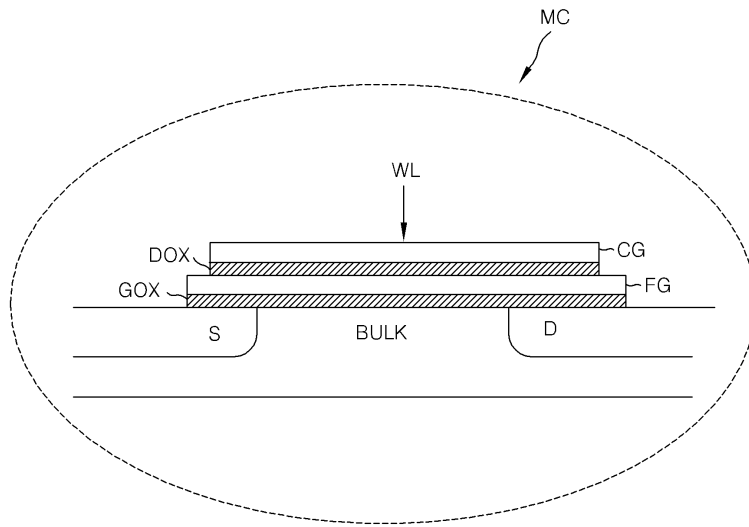
도 22는 본 발명의 불휘발성 반도체 메모리 장치에서 제3 비트의 데이터를 독출방법을 나타내는 타이밍도이다.

도 23은 도 22의 타이밍도에 따른 데이터의 흐름도이다.

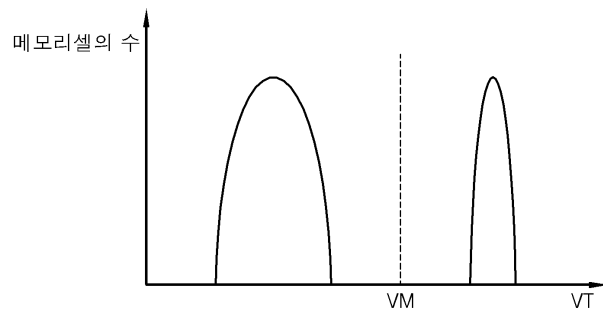
도 24a 및 도 24b는 도 22의 타이밍도에 따른 주요단자의 변화를 보여주는 도면들이다.

## 도면

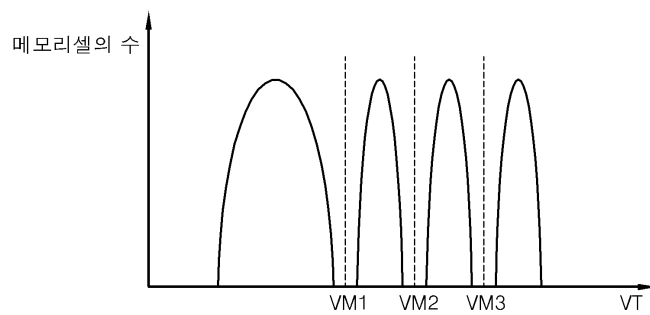
도면1



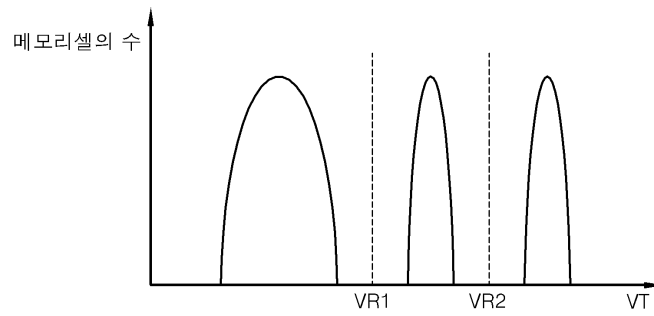
도면2



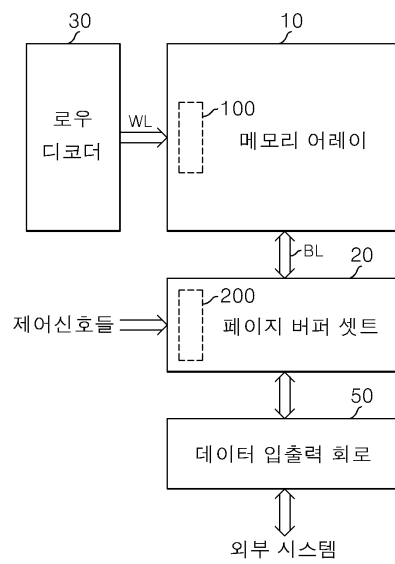
도면3



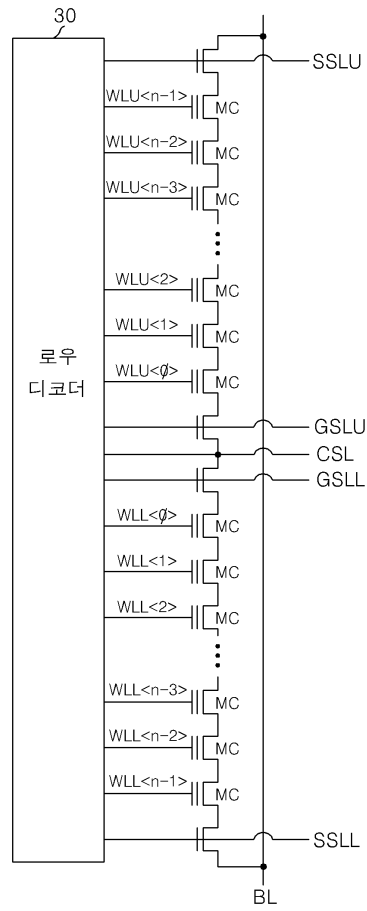
도면4



도면5

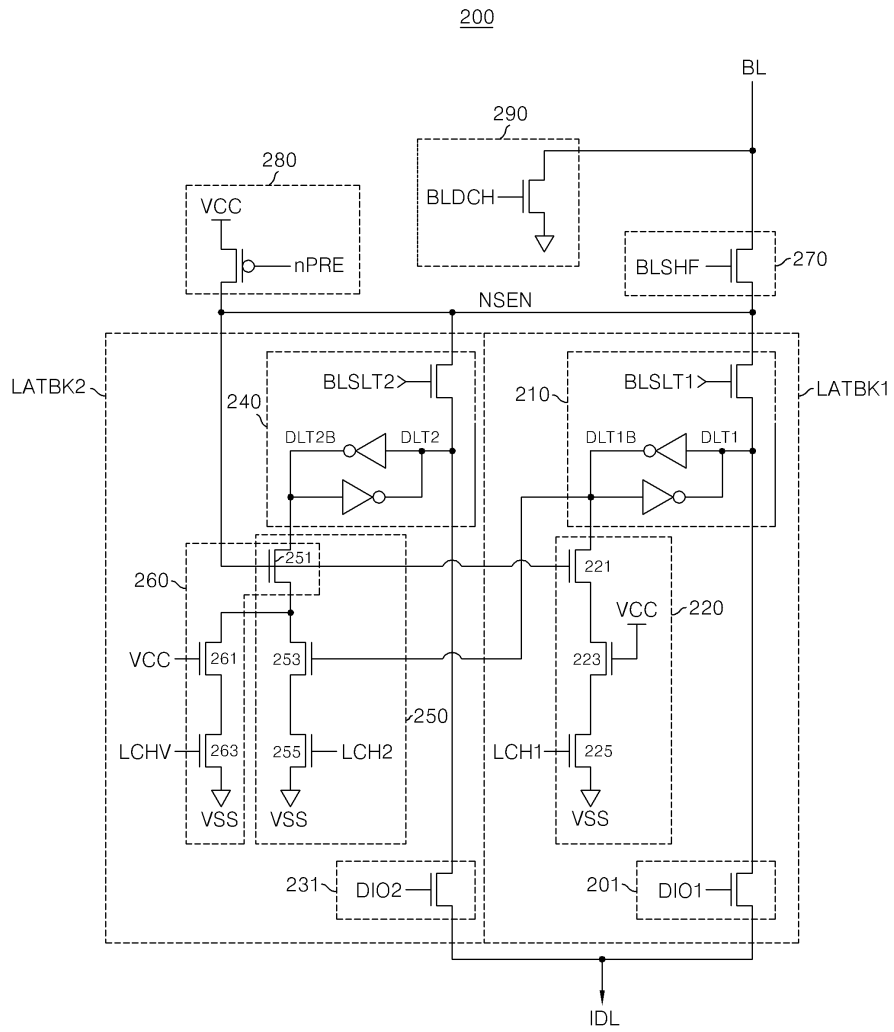


도면6

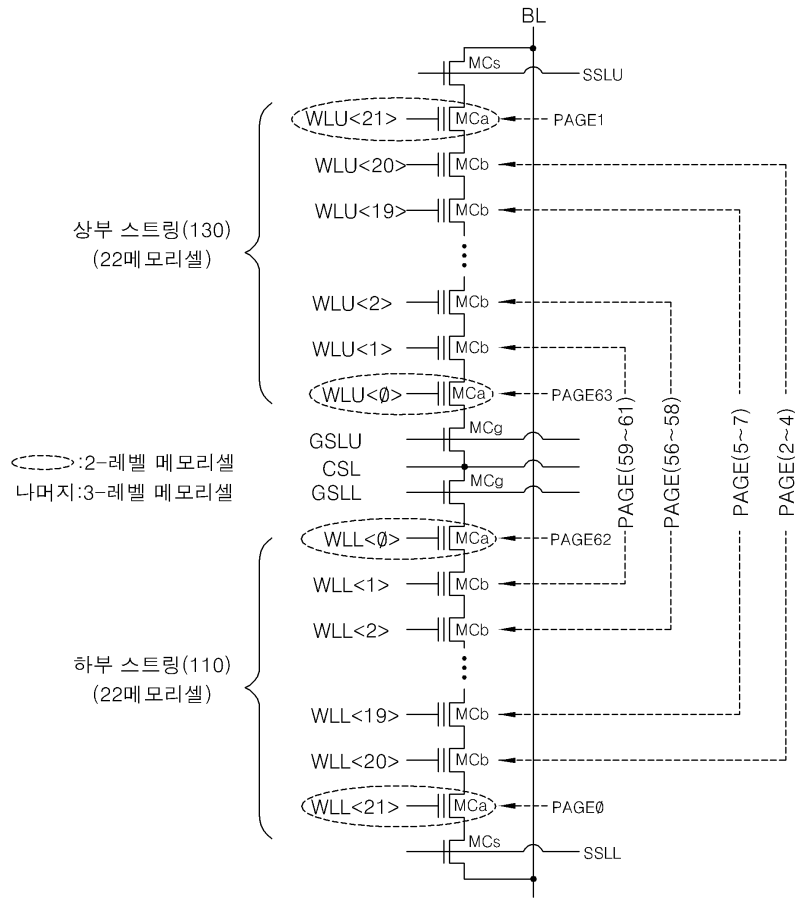




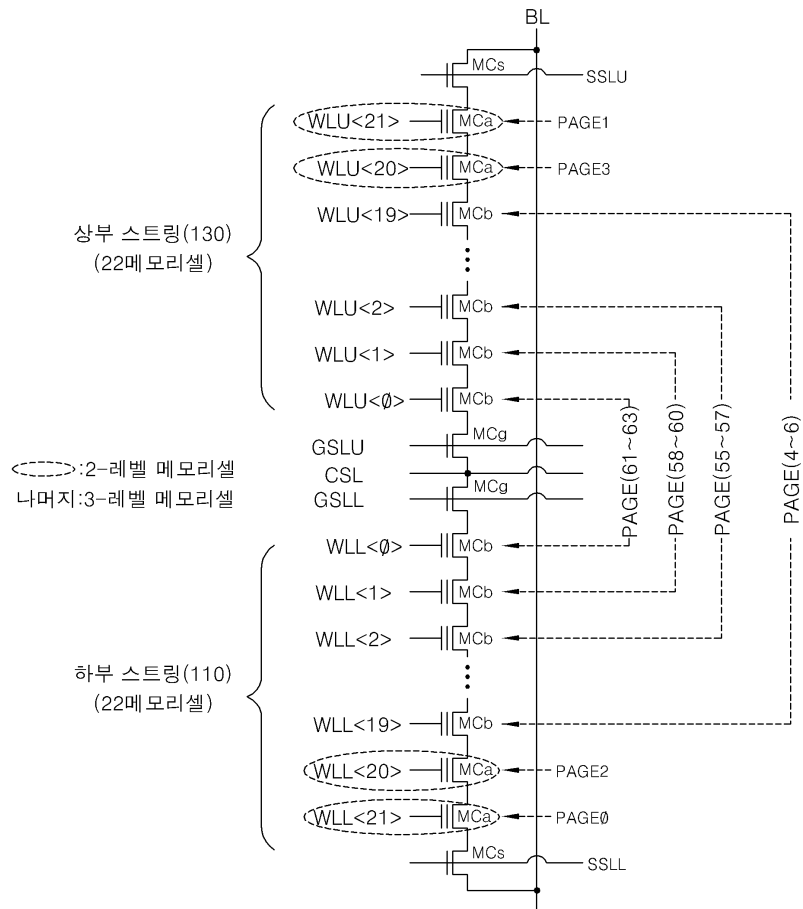
도면7



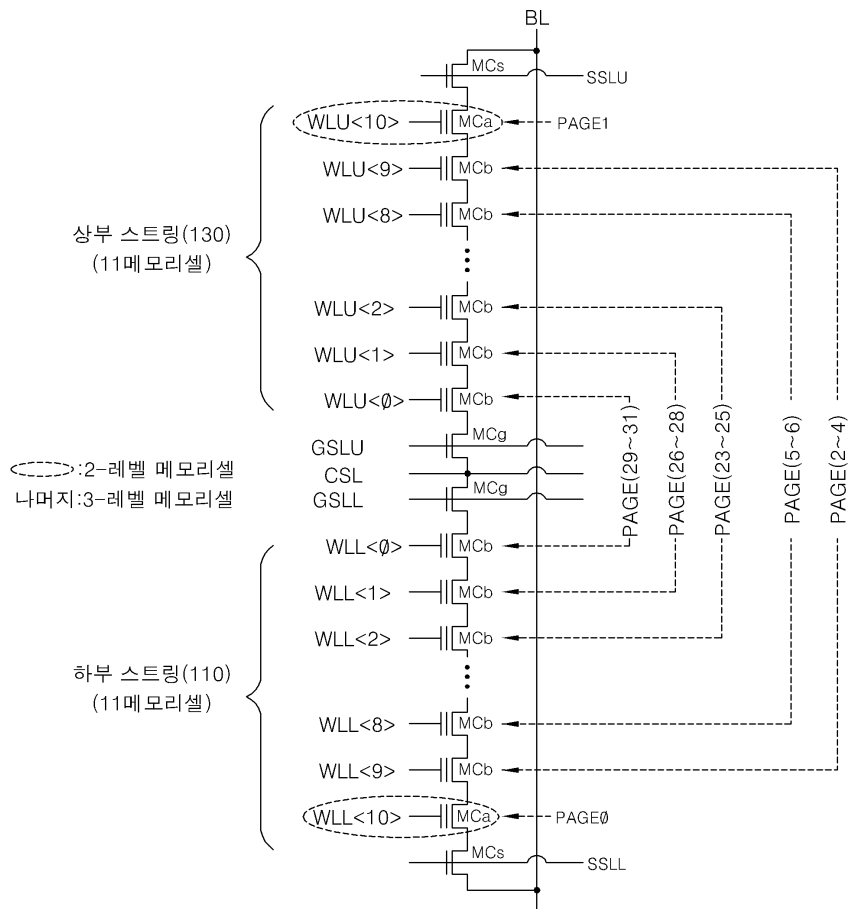
도면8



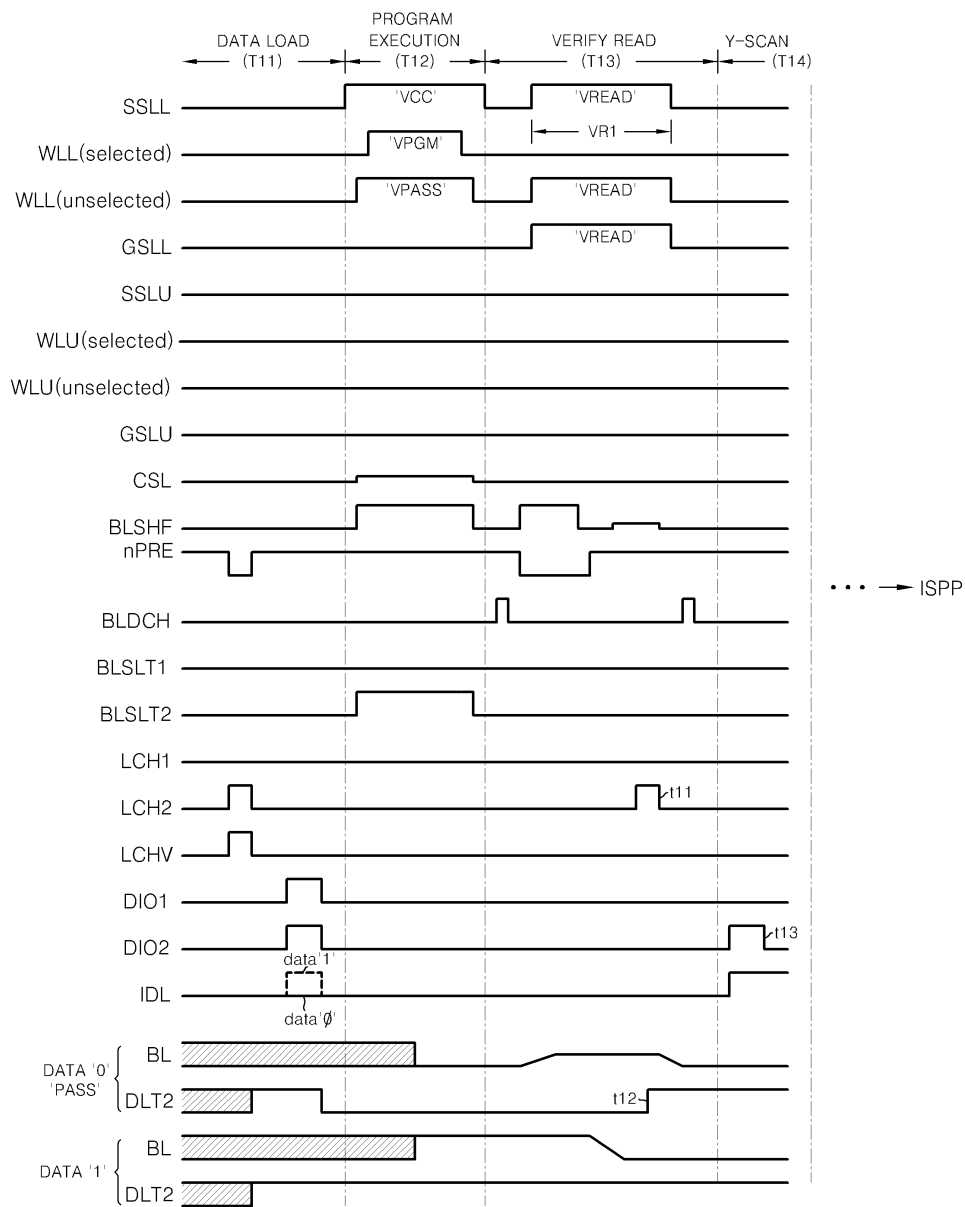
도면9



도면10

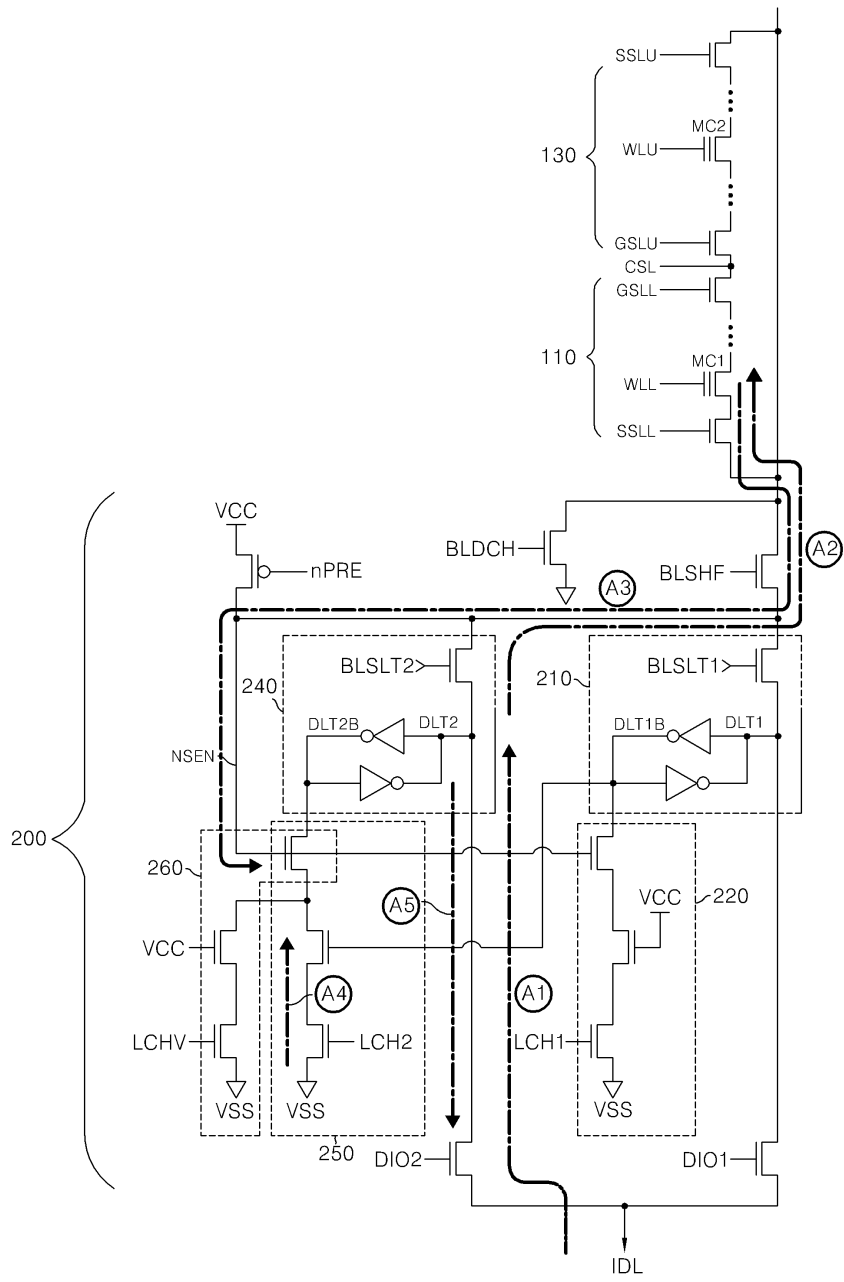


도면11a

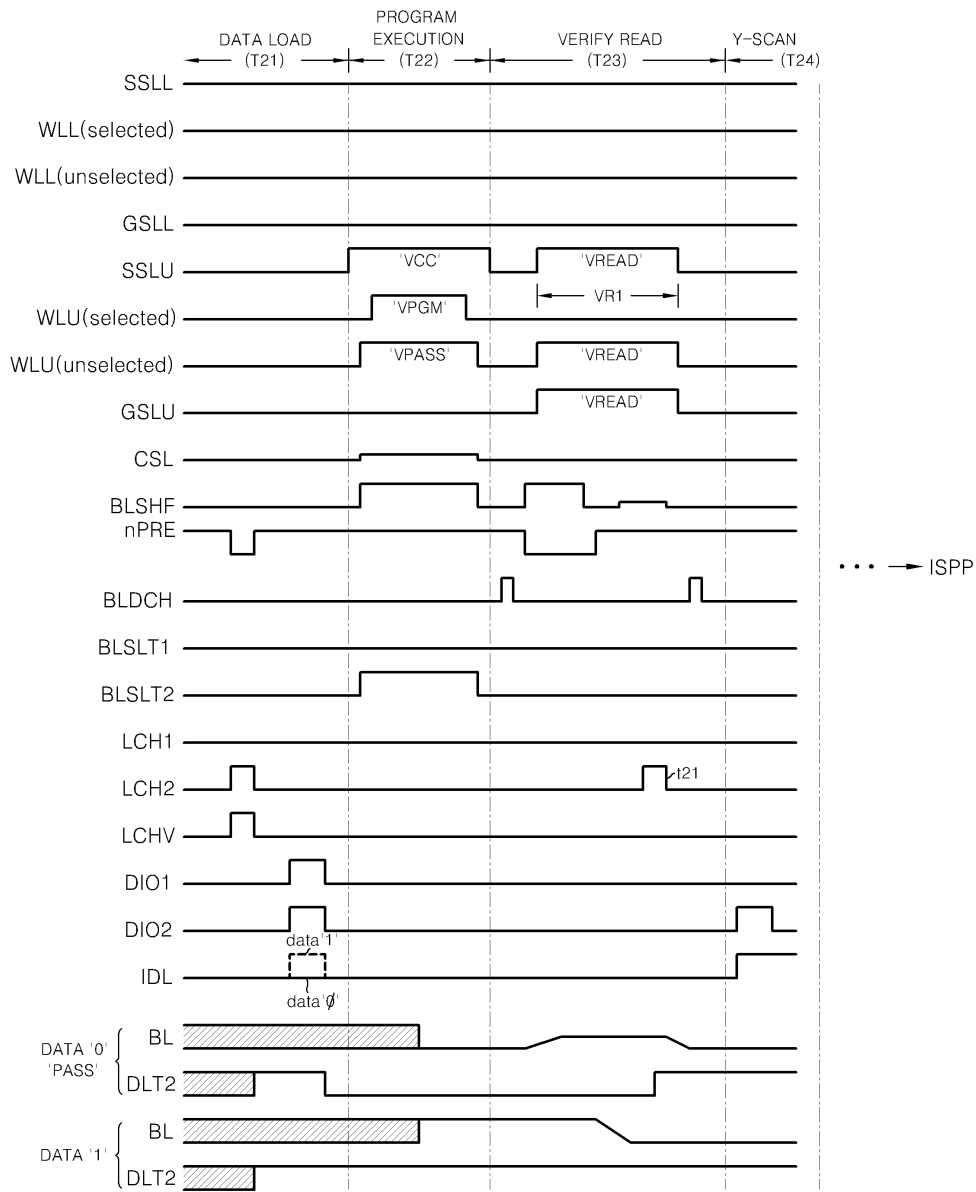


<제 1비트 프로그램>

도면11b

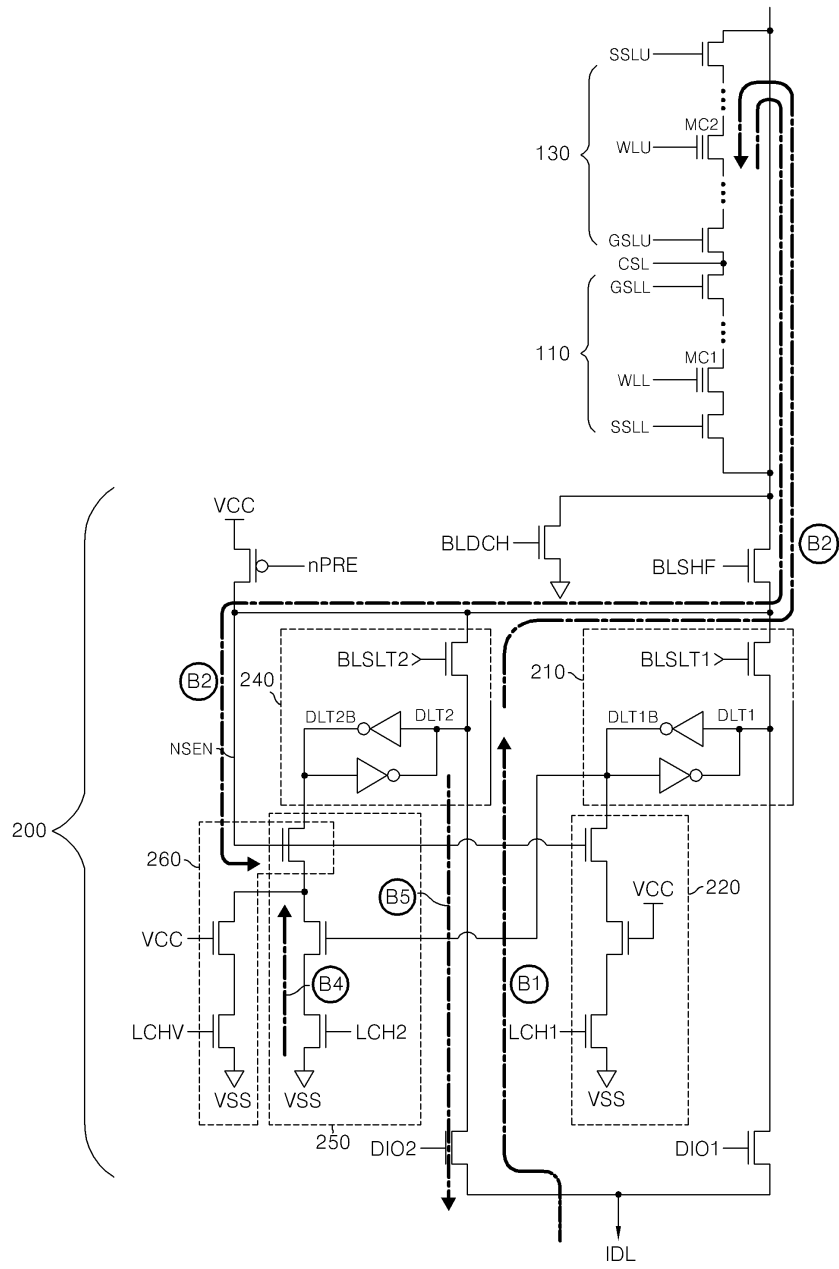


도면12a



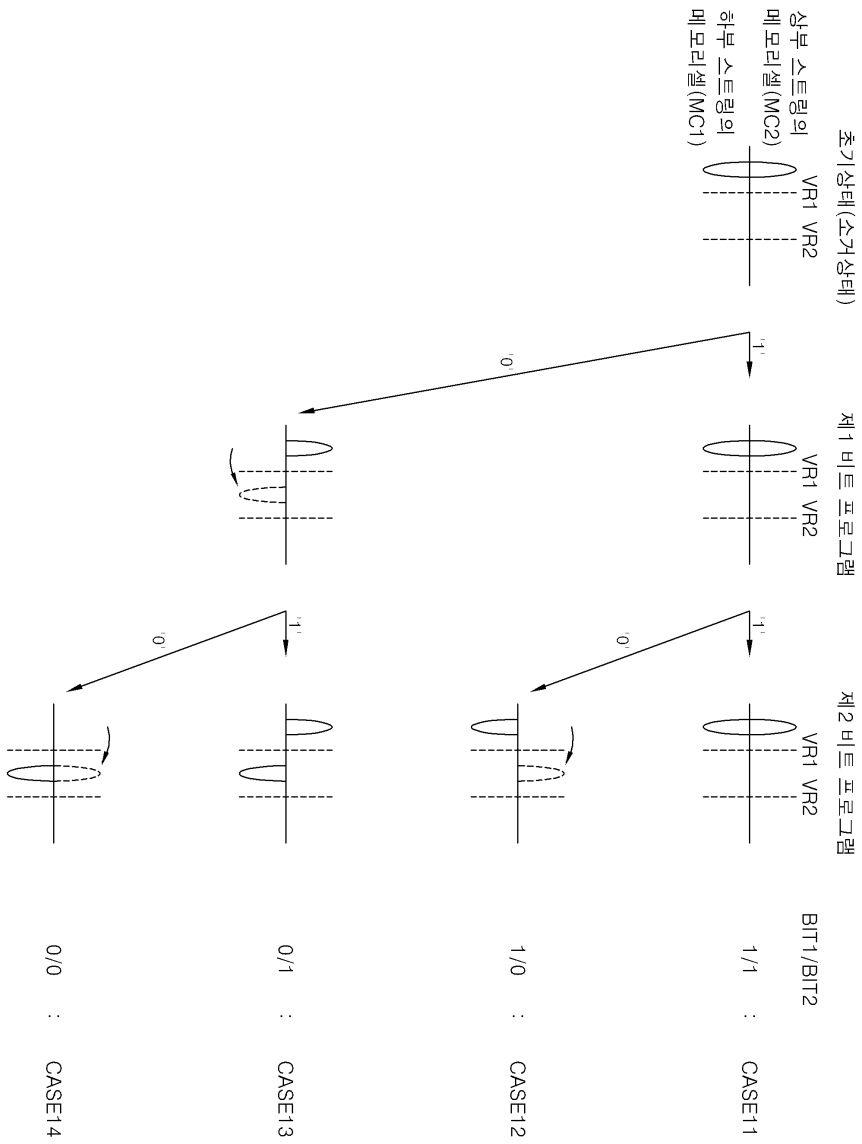
<제 2비트 프로그램>

도면12b

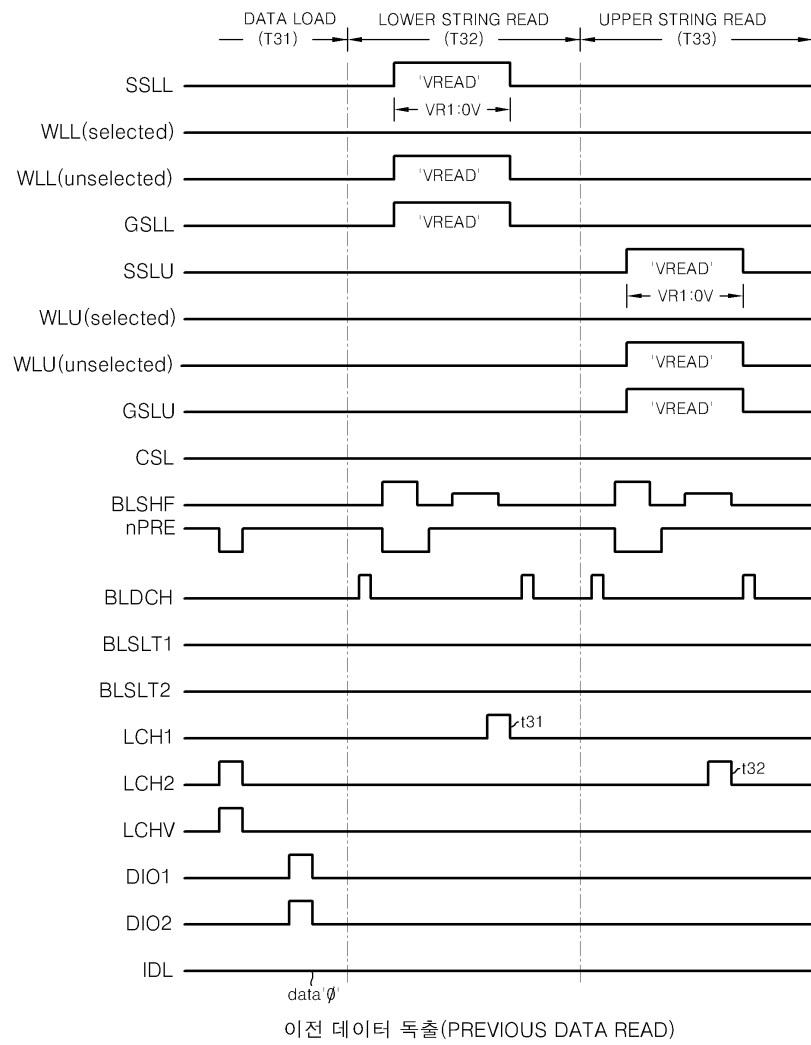




도면13

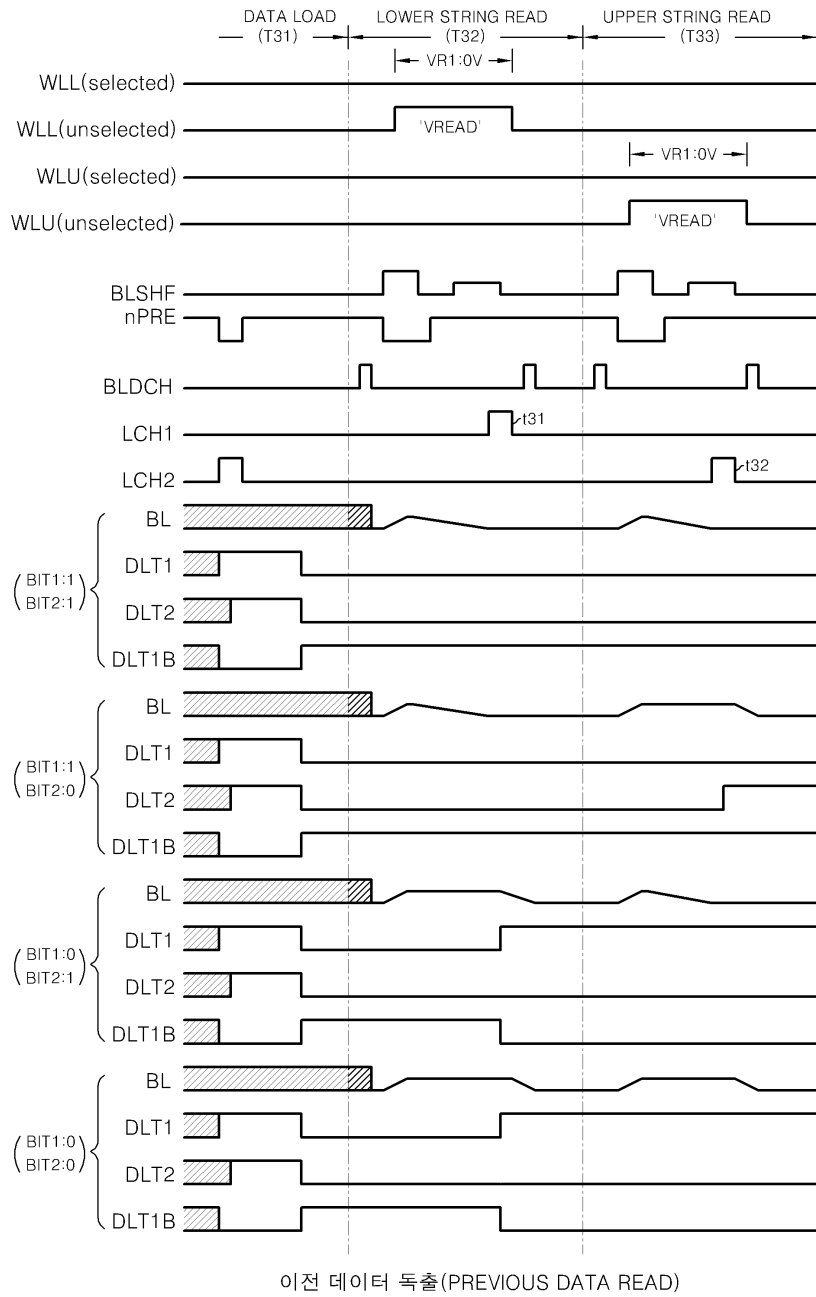


도면14a





도면14c

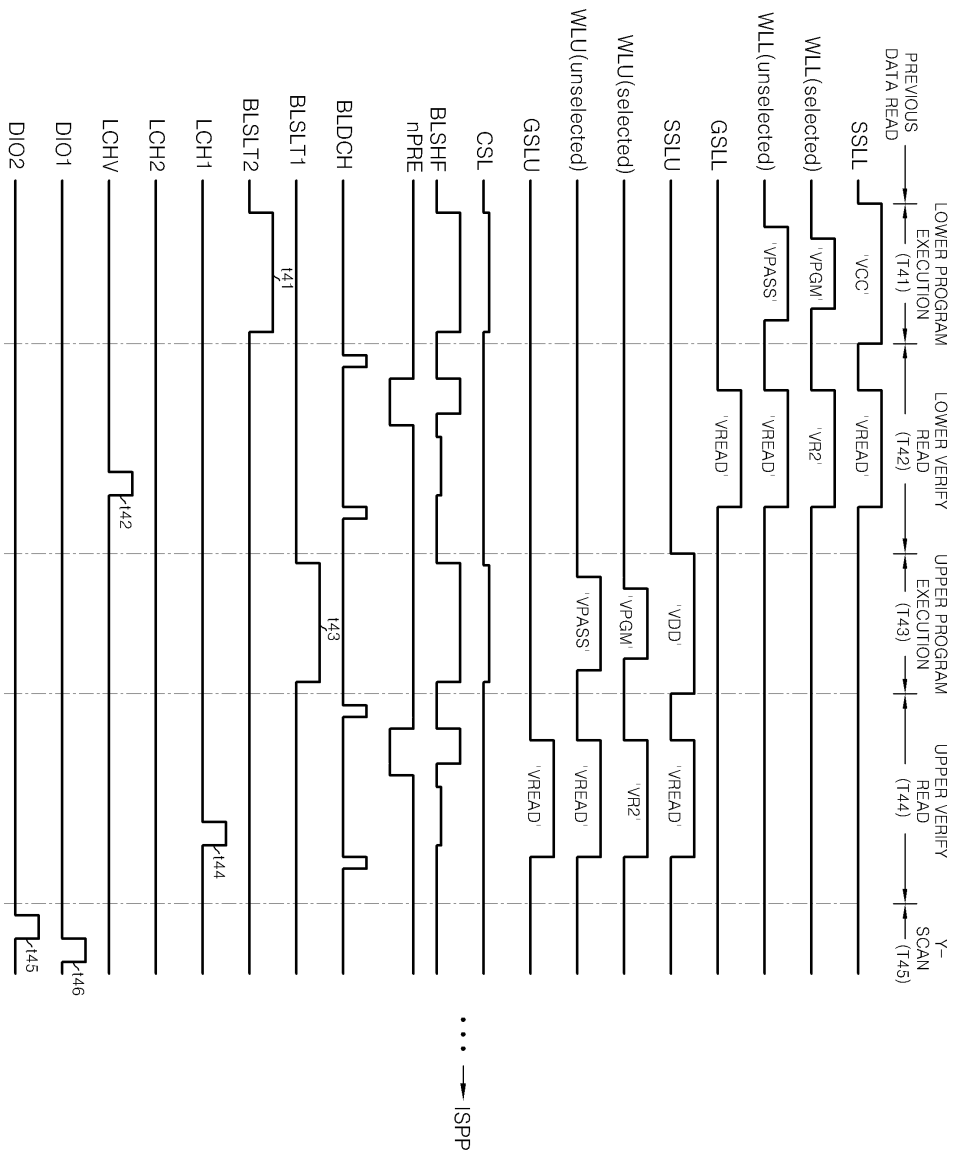


도면15

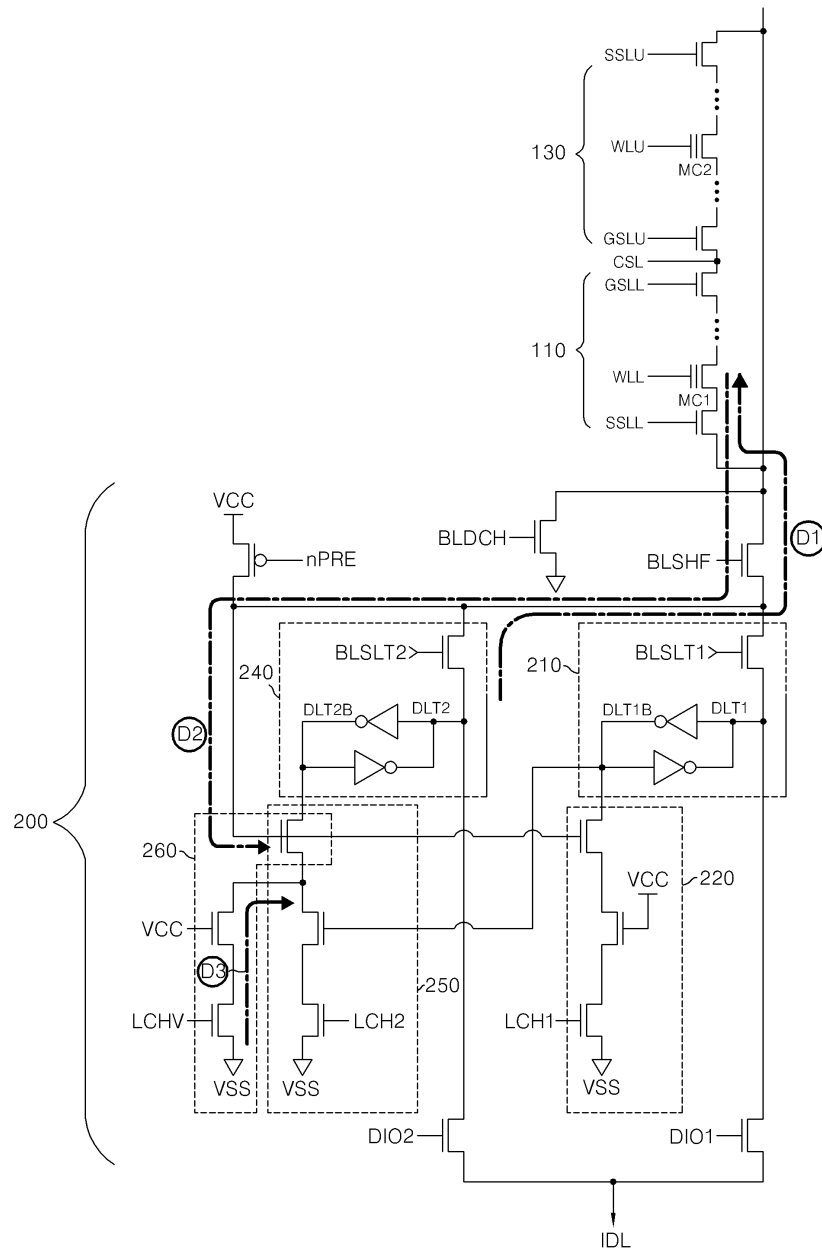
<이전 데이터 독출 결과>

BIT3	이전 데이터값	독출 후	경우
	BIT1/BIT2	DLT1/DLT2	
0	(1/1)	L/L	CASE21
	(1/0)	L/H	CASE22
	(0/1)	H/L	CASE23
	(0/0)	H/L	CASE24
1	(DON'T CARE)	H/H	CASE25

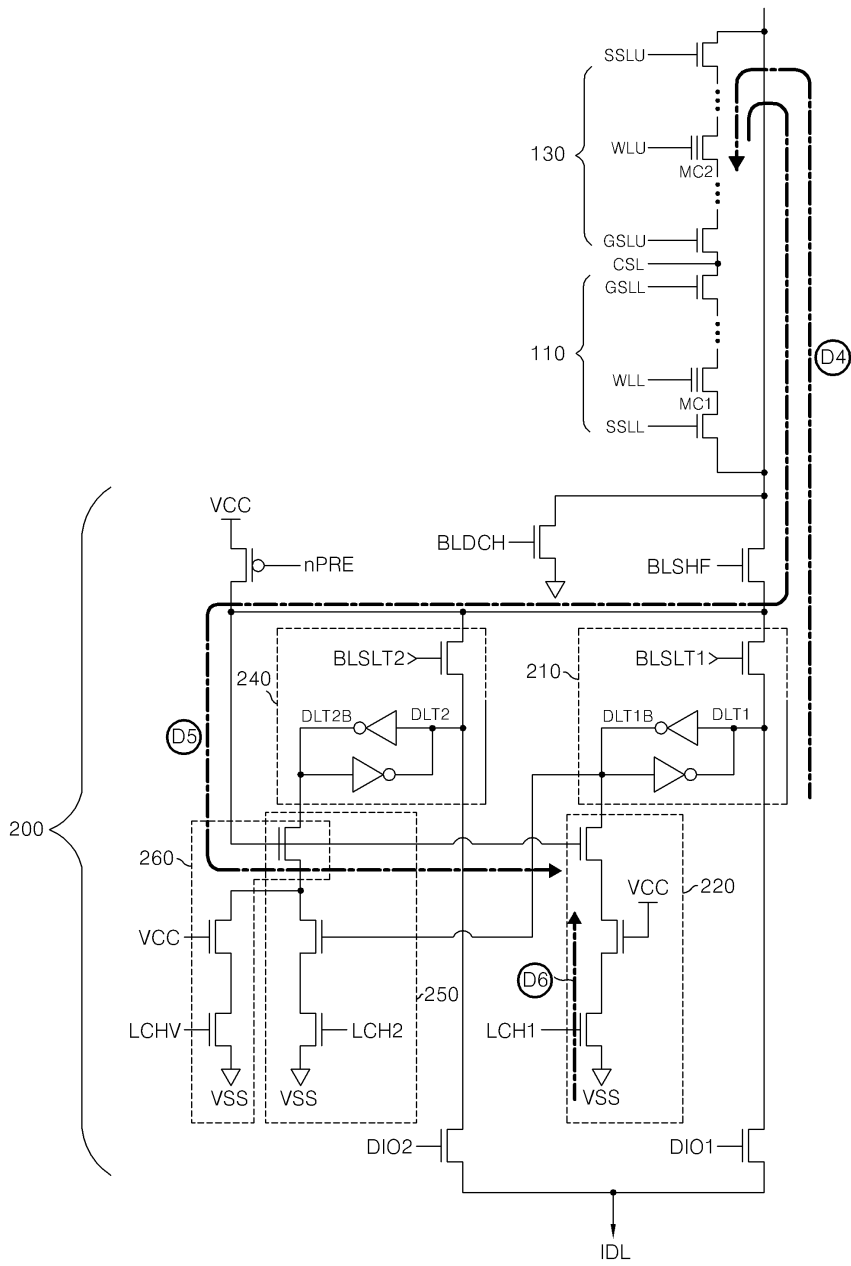
도면16a



도면16b



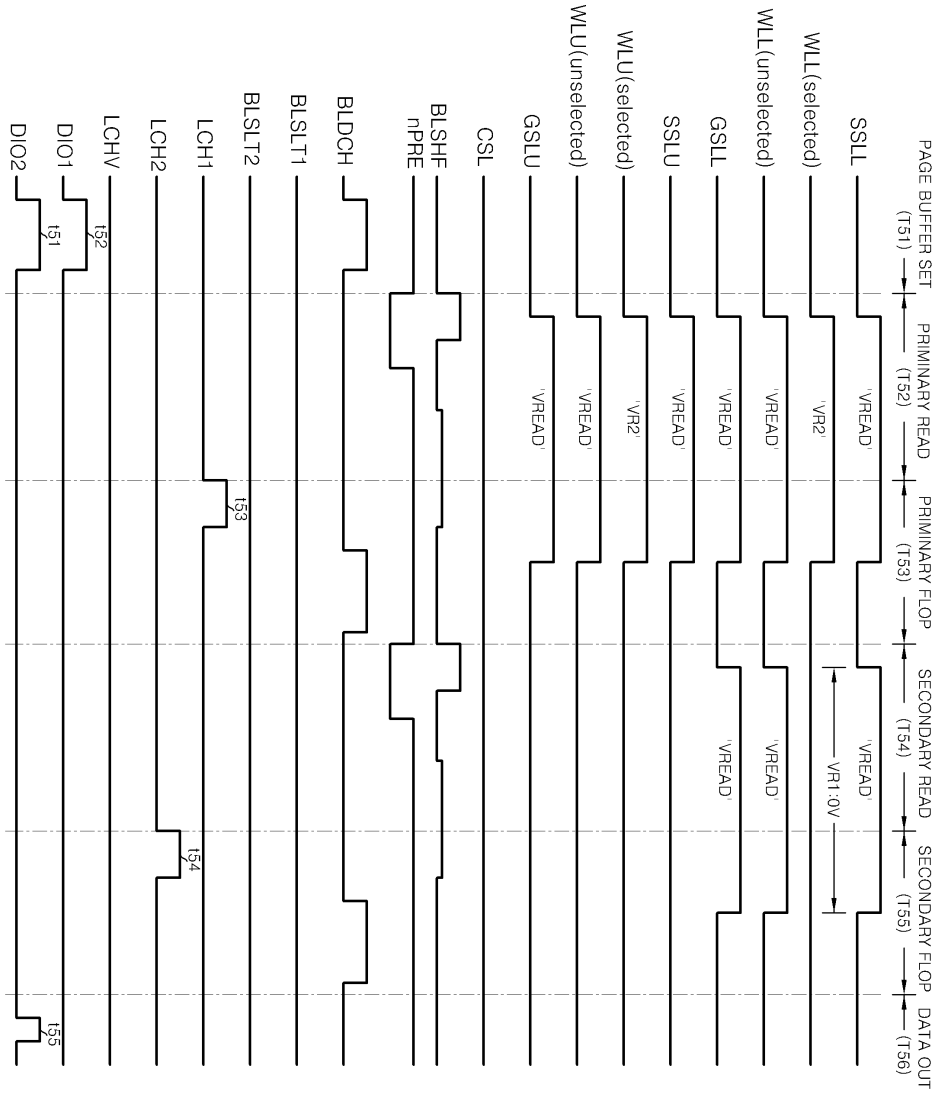
도면16c



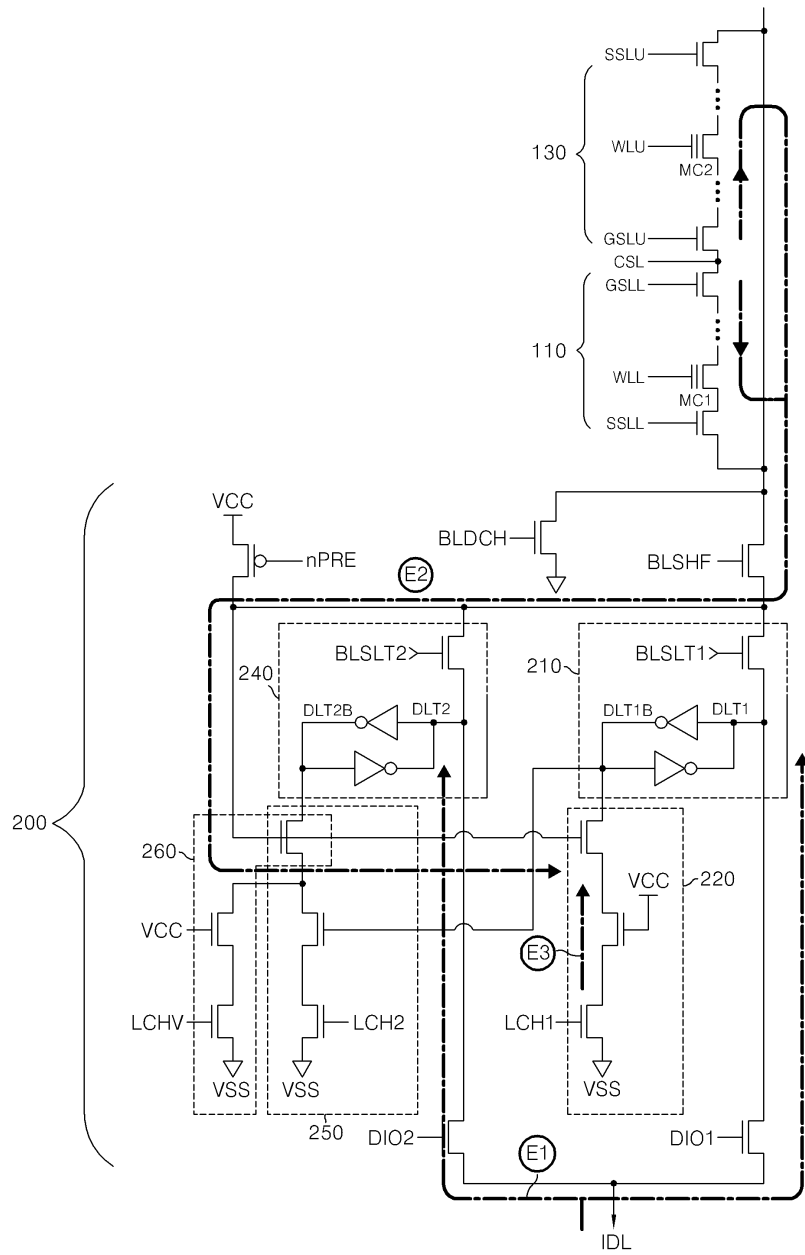




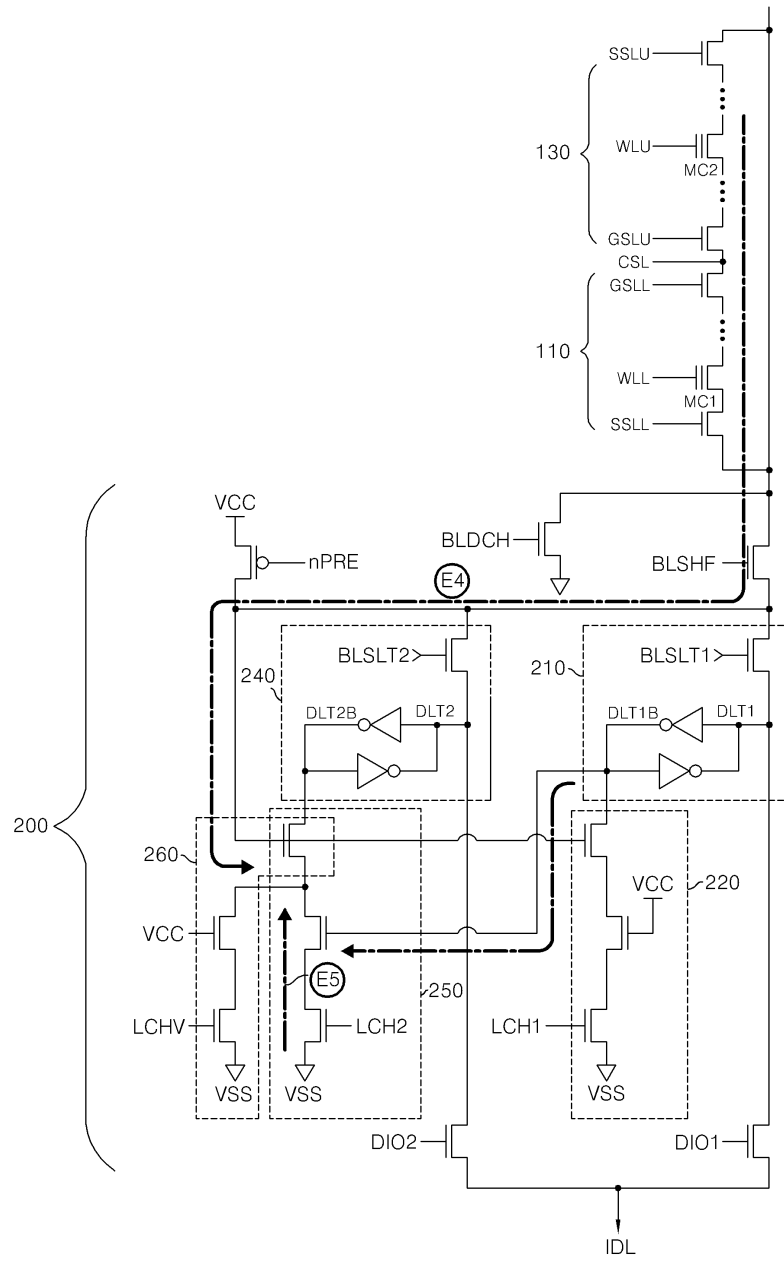
도면18



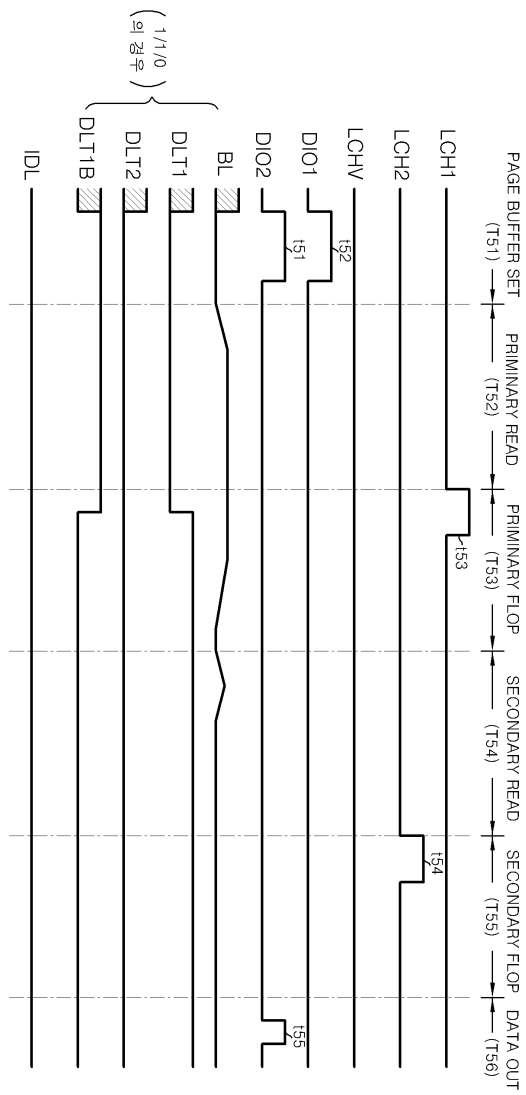
도면19a



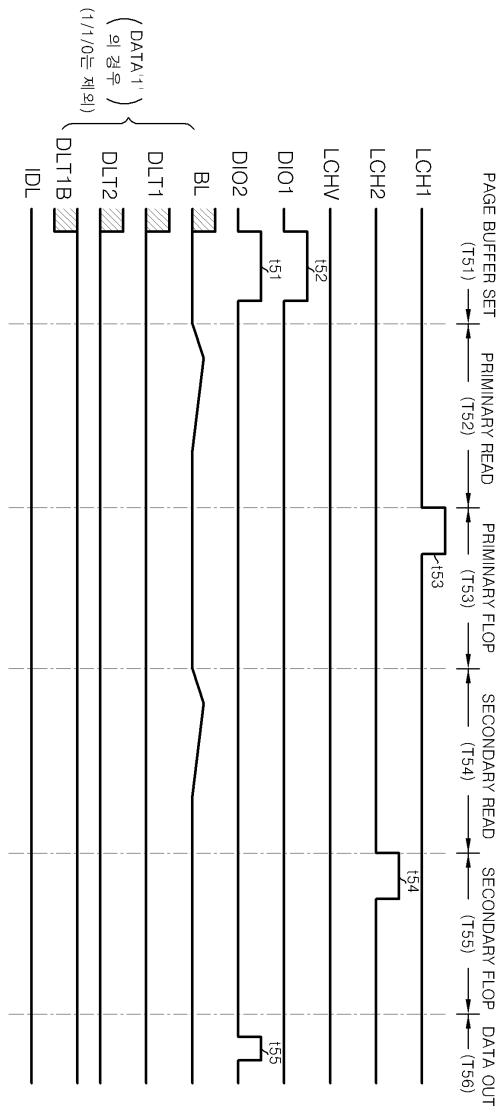
도면19b



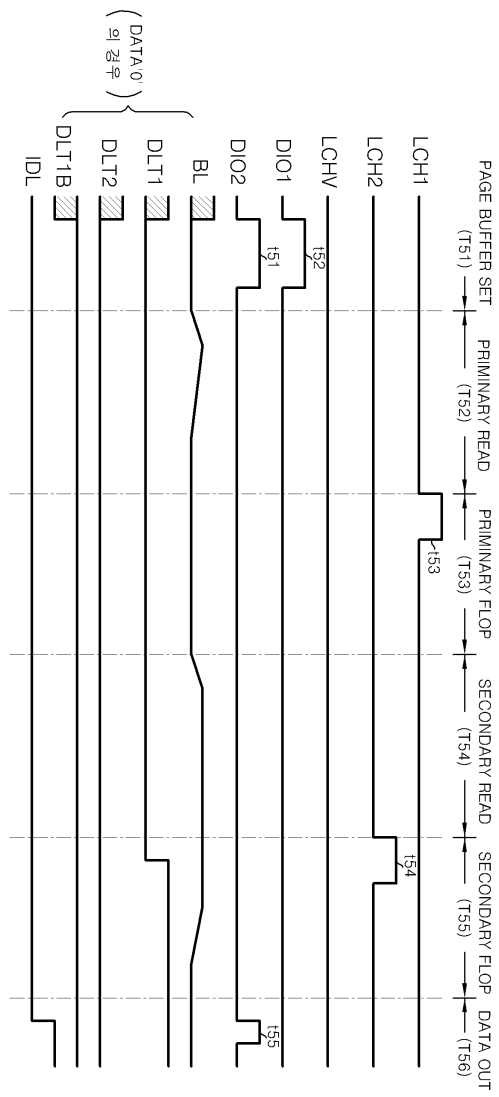
도면20a



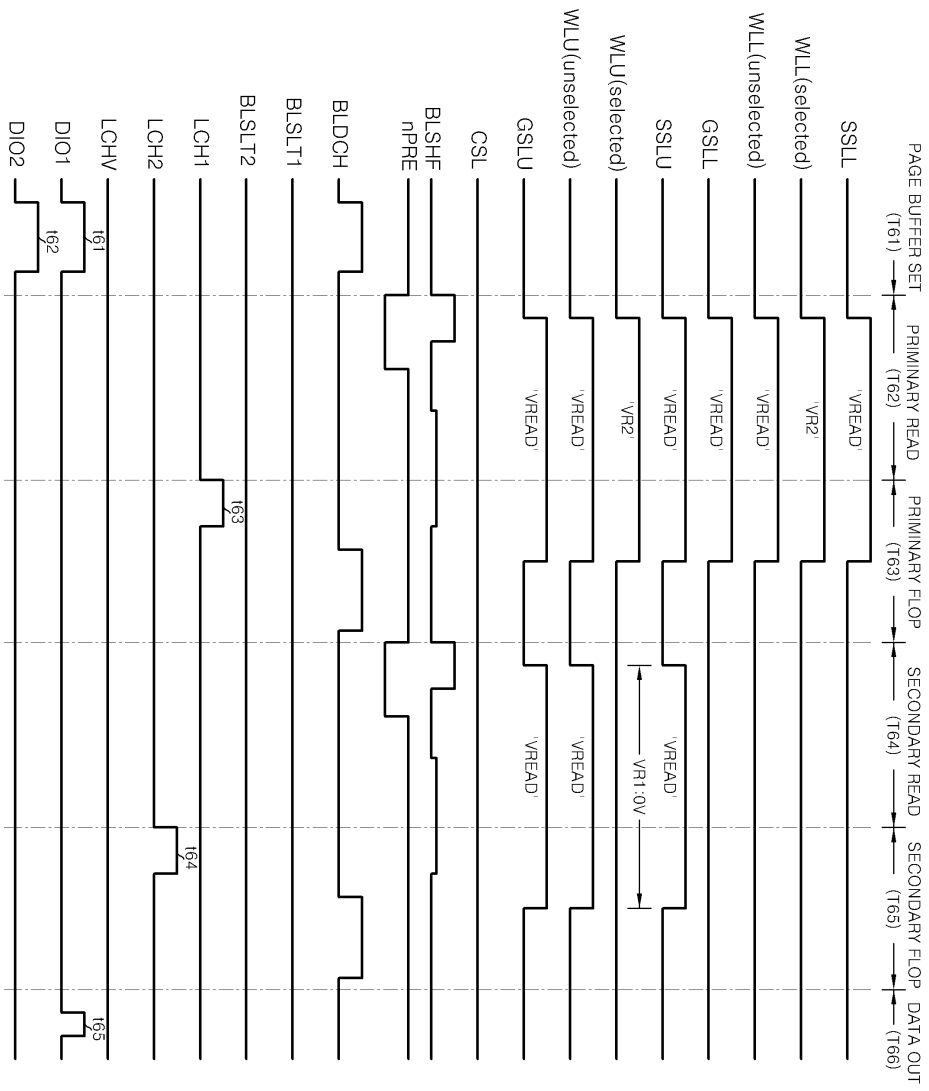
도면20b



도면20c

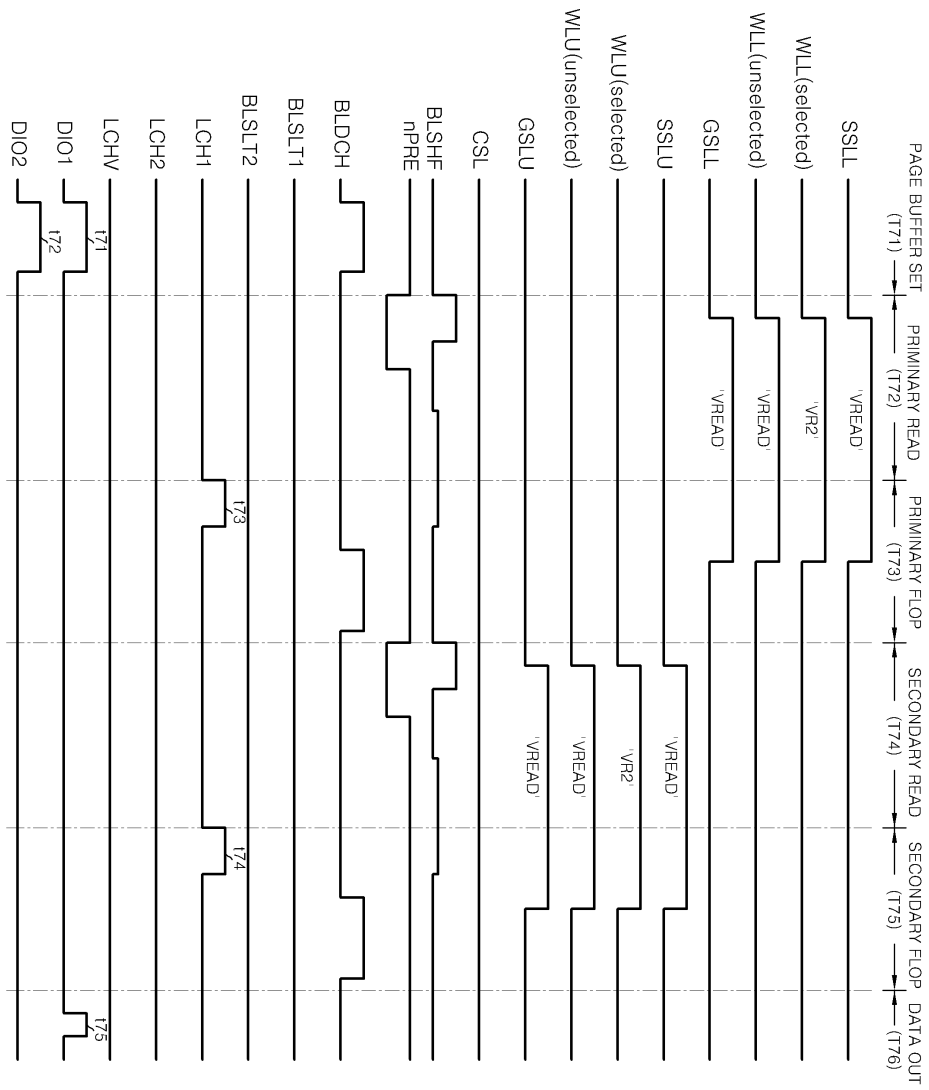


도면21

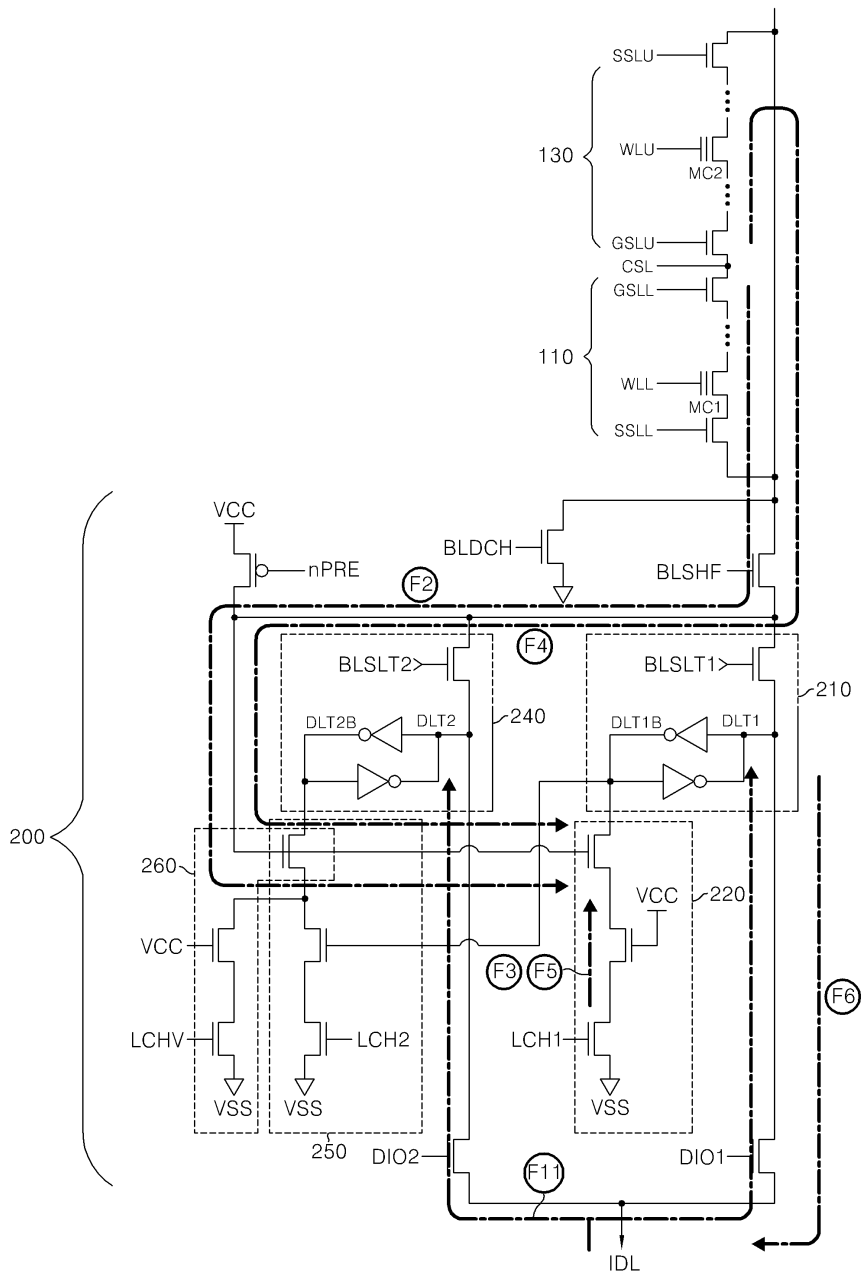




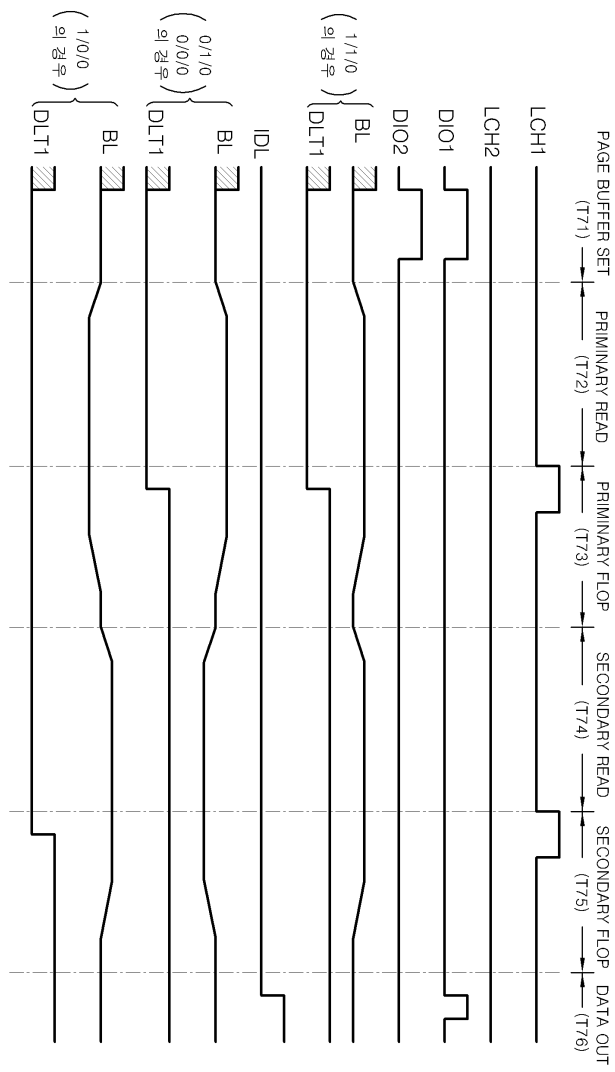
도면22



도면23



도면24a



도면24b

