

①⑨ RÉPUBLIQUE FRANÇAISE
—
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
—
COURBEVOIE
—

①① N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

3 131 493

②① N° d'enregistrement national : **21 14599**

⑤① Int Cl⁸ : **H 04 N 25/78 (2022.01)**

⑫

BREVET D'INVENTION

B1

⑤④ Procédé et capteur d'image à large gamme dynamique.

②② Date de dépôt : 29.12.21.

③⑦ Priorité :

④③ Date de mise à la disposition du public
de la demande : 30.06.23 Bulletin 23/26.

④⑤ Date de la mise à disposition du public du
brevet d'invention : 08.11.24 Bulletin 24/45.

⑤⑥ Liste des documents cités dans le rapport de
recherche :

Se reporter à la fin du présent fascicule

⑥⑦ Références à d'autres documents nationaux
apparentés :

○ Demande(s) d'extension :

⑦① Demandeur(s) : COMMISSARIAT A L'ENERGIE
ATOMIQUE ET AUX ENERGIES ALTERNATIVES
Etablissement public — FR.

⑦② Inventeur(s) : SEGURA PUCHADES Josep.

⑦③ Titulaire(s) : COMMISSARIAT A L'ENERGIE
ATOMIQUE ET AUX ENERGIES ALTERNATIVES
Etablissement public.

⑦④ Mandataire(s) : CABINET BEAUMONT.

FR 3 131 493 - B1



Description

Titre de l'invention : Procédé et capteur d'image à large gamme dynamique

Domaine technique

[0001] La présente description concerne de façon générale le domaine des capteurs d'image et, en particulier, des capteurs d'image CMOS ayant des photodiodes pincées.

Technique antérieure

[0002] Il y a un progrès continu dans le domaine des capteurs d'image CMOS vers des pixels de plus en plus petits, en particulier avec les techniques d'intégration à empilement 3D largement adoptées. Des pixels plus petits signifient des photodiodes plus petites, qui à leur tour conduisent à une capacité plus faible pour stocker des charges photo-générées. Le résultat est que la saturation de capteur est atteinte à des niveaux d'éclairement plus faibles, et la gamme dynamique est ainsi restreinte.

[0003] Fournir des capteurs d'image à large gamme dynamique est particulièrement important pour obtenir une qualité d'image satisfaisante. En effet, dans une scène typique, il y a souvent une variation considérable des niveaux d'éclairement des régions les plus brillantes aux plus sombres. Une faible gamme dynamique peut provoquer une saturation des pixels dans les régions d'image à fort éclairement, ce qui non seulement est désavantageux pour les pixels concernés, mais peut également conduire à la migration des charges photo-générées provenant des pixels saturés vers les pixels environnants, conduisant à une dégradation indésirable de la qualité de l'image.

[0004] Bien que des solutions aient été proposées dans le passé pour améliorer la gamme dynamique des capteurs d'image CMOS, ces solutions tendent à tomber dans deux catégories : 1) des solutions qui modifient la structure des pixels, conduisant généralement à une plus grande complexité et/ou une surface des circuits de pixel accrue ; ou 2) des solutions basées sur de multiples expositions qui peuvent souffrir d'inconvénients tels que des effets d'image résiduelle et des problèmes de désalignement dans le cas d'acquisitions qui ne sont pas corrélées dans le temps, ainsi que de la nécessité d'une lecture avec une opération de traitement de post-production qui coûte en surface de la puce et conduit à une consommation d'énergie accrue.

Résumé de l'invention

[0005] Un objet des modes de réalisation de la présente description est de pallier tout ou partie des inconvénients de l'art antérieur.

[0006] Selon un aspect, on prévoit un circuit de pixel d'un capteur d'image, le circuit de pixel comprenant : une photodiode pincée reliée à un nœud de lecture ; un comparateur

configuré : pour comparer, pendant une première phase de lecture, une première tension de nœud de lecture au niveau du nœud de lecture, résultant d'une première période d'intégration de la photodiode pincée, avec une première rampe de tension et pour générer un signal de sortie si la tension de la première rampe de tension croise la première tension de nœud de lecture ; et, si la tension de la première rampe de tension ne croise pas la première tension de nœud de lecture pendant la première phase de lecture, pour comparer, pendant une deuxième phase de lecture, une deuxième tension de nœud de lecture au niveau du nœud de lecture, résultant de la première période d'intégration et d'une deuxième période d'intégration de la photodiode pincée, avec une deuxième rampe de tension et pour générer un signal de sortie lorsque la tension de la deuxième rampe de tension croise la deuxième tension de nœud de lecture ; et une mémoire configurée pour recevoir une rampe numérique et pour stocker, en réponse au signal de sortie du comparateur, pendant la première ou la deuxième phase de lecture, une valeur de la rampe numérique pour constituer des données de pixel du pixel.

- [0007] Selon un mode de réalisation, le circuit de pixel comprend en outre un circuit logique configuré pour désactiver le comparateur pendant la deuxième phase de lecture si le signal de sortie est généré pendant la première phase de lecture.
- [0008] Selon un mode de réalisation, le deuxième signal de rampe a une amplitude supérieure à l'amplitude du premier signal de rampe.
- [0009] Selon un mode de réalisation, la mémoire est en outre configurée pour recevoir un signal numérique ayant une première valeur pendant la première phase de lecture et une deuxième valeur pendant la deuxième phase de lecture, la mémoire étant configurée pour stocker, en réponse au signal de sortie du comparateur pendant la première ou la deuxième phase de lecture, la valeur du signal numérique.
- [0010] Selon un mode de réalisation, une cathode de la photodiode est reliée au nœud de lecture par l'intermédiaire d'une grille de transfert, la grille de transfert étant activée par une première impulsion d'activation au début de la première phase de lecture et par une deuxième impulsion d'activation au début de la deuxième phase de lecture, la tension au niveau du nœud de lecture n'étant pas réinitialisée entre les première et deuxième phases de lecture.
- [0011] Selon un mode de réalisation, le circuit de pixel comprend en outre un transistor de réinitialisation reliant la cathode de la photodiode à un rail de tension de réinitialisation et le circuit logique est en outre configurée pour activer le transistor de réinitialisation en réponse au signal de sortie du comparateur pendant la première ou la deuxième phase de lecture.
- [0012] Selon un mode de réalisation, si la tension de la deuxième rampe de tension ne croise pas la deuxième tension de nœud de lecture pendant la deuxième phase de lecture, le comparateur est en outre configuré pour comparer, pendant une troisième phase de

lecture, une troisième tension de nœud de lecture au niveau du nœud de lecture avec une troisième rampe de tension et pour générer un signal de sortie lorsque la tension de la troisième rampe de tension croise la troisième tension de nœud de lecture ; et la mémoire est en outre configurée pour stocker, en réponse au signal de sortie du comparateur pendant la troisième phase de lecture, une valeur de la rampe numérique pour constituer des données de pixel du pixel.

- [0013] Selon un autre aspect, on prévoit un capteur d'image comprenant un réseau constitué d'une pluralité du circuit de pixel précédent.
- [0014] Selon un mode de réalisation, la première rampe de tension croise la première tension de nœud de lecture d'un premier des circuits de pixel pendant la première phase de lecture et la mémoire du premier circuit de pixel est configurée pour stocker : une première valeur de la rampe numérique correspondant à la première tension de nœud de lecture, et la première valeur du signal numérique ; et la deuxième rampe de tension croise la deuxième tension de nœud de lecture d'un deuxième des circuits de pixel pendant la deuxième phase de lecture et la mémoire du deuxième circuit de pixel est configurée pour stocker : une deuxième valeur de la rampe numérique correspondant à la deuxième tension de nœud de lecture, et la deuxième valeur du signal numérique.
- [0015] Selon un mode de réalisation, le capteur d'image comprend en outre un dispositif de reconstruction d'image configuré pour reconstruire une image en générant : une première valeur de pixel de l'image sur la base des premières valeurs stockées dans la mémoire du premier circuit de pixel ; et : une deuxième valeur de pixel de l'image sur la base des deuxièmes valeurs stockées dans la mémoire du deuxième circuit de pixel et sur la base des durées relatives des première et deuxième périodes d'intégration.
- [0016] Selon un mode de réalisation, le capteur d'image comprend en outre : un compteur configuré pour générer la rampe numérique et pour fournir la rampe numérique à chaque circuit de la pluralité de circuits de pixel ; et un convertisseur numérique vers analogique configuré pour convertir la rampe numérique en la première rampe de tension pendant la première phase de lecture et en la deuxième rampe de tension pendant la deuxième phase de lecture.
- [0017] Selon un mode de réalisation, le capteur d'image comprend en outre une interface de lecture configurée pour lire, après les première et deuxième phases de lecture, une image provenant du capteur d'image en lisant les données de pixel à partir de la mémoire de chaque circuit de pixel.
- [0018] Selon un mode de réalisation, le capteur d'image comprend des premier et deuxième étages empilés, le réseau de circuits de pixel étant formé dans le premier étage et le comparateur étant formé dans le deuxième étage.
- [0019] Selon un mode de réalisation, la mémoire est formée dans le deuxième étage, ou dans un troisième étage du capteur d'image empilé avec les premier et deuxième étages.

- [0020] Selon un autre aspect, on prévoit un procédé de lecture d'un circuit de pixel d'un capteur d'image, le circuit de pixel comprenant une photodiode pincée reliée à un nœud de lecture, le procédé comprenant : la comparaison, par un comparateur pendant une première phase de lecture, d'une première tension de nœud de lecture au niveau du nœud de lecture, résultant d'une première période d'intégration de la photodiode pincée, avec une première rampe de tension et la génération, par le comparateur, d'un signal de sortie si la tension de la première rampe de tension croise la première tension de nœud de lecture ; si la tension de la première rampe de tension ne croise pas la première tension de nœud de lecture pendant la première phase de lecture, la comparaison, par le comparateur, pendant une deuxième phase de lecture, d'une deuxième tension de nœud de lecture au niveau du nœud de lecture, résultant de la première période d'intégration et d'une deuxième période d'intégration de la photodiode pincée, avec une deuxième rampe de tension et la génération d'un signal de sortie lorsque la tension de la deuxième rampe de tension croise la deuxième tension de nœud de lecture ; la réception, par une mémoire du circuit de pixel, d'une rampe numérique ; et le stockage, en réponse au signal de sortie du comparateur, pendant la première ou la deuxième phase de lecture, d'une valeur de la rampe numérique pour constituer des données de pixel du pixel.
- [0021] Selon un autre aspect, on prévoit un circuit de pixel d'un capteur d'image, le circuit de pixel comprenant : une photodiode pincée reliée à un nœud de lecture ; un comparateur configuré : pour comparer, pendant une première phase de lecture une première tension de nœud de lecture au niveau du nœud de lecture, résultant d'une première période d'intégration de la photodiode pincée, avec une première rampe de tension et pour générer un signal d'événement si la tension de la première rampe de tension croise la première tension de nœud de lecture ; et, si la tension de la première rampe de tension ne croise pas la première tension de nœud de lecture pendant la première phase de lecture, pour comparer, pendant une deuxième phase de lecture, une deuxième tension de nœud de lecture au niveau du nœud de lecture, résultant de la première période d'intégration et d'une deuxième période d'intégration de la photodiode pincée, avec une deuxième rampe de tension et pour générer un signal d'événement lorsque la tension de la deuxième rampe de tension croise la deuxième tension de nœud de lecture ; et un circuit de signalisation d'événement configuré pour signaler la génération du signal d'événement pendant la première ou la deuxième phase de lecture à un circuit d'enregistrement d'événements.
- [0022] Selon un mode de réalisation, le circuit de signalisation d'événement est en outre configuré pour désactiver le comparateur pendant la deuxième phase de lecture si le signal d'événement est généré pendant la première phase de lecture.
- [0023] Selon un mode de réalisation, la deuxième rampe de signal a une amplitude plus

grande que l'amplitude de la première rampe de signal.

- [0024] Selon un mode de réalisation, une cathode de la photodiode est reliée au nœud de lecture par l'intermédiaire d'une grille de transfert, la grille de transfert étant activée par une première impulsion d'activation au début de la première phase de lecture et par une deuxième impulsion d'activation au début de la deuxième phase de lecture, la tension au niveau du nœud de lecture n'étant pas réinitialisée entre les première et deuxième phases de lecture.
- [0025] Selon un mode de réalisation, le circuit de pixel comprend en outre un transistor de réinitialisation reliant la cathode de la photodiode à un rail de tension de réinitialisation et le circuit de signalisation d'événement est en outre configuré pour activer le transistor de réinitialisation en réponse à la génération du signal d'événement par le comparateur pendant la première ou la deuxième phase de lecture.
- [0026] Selon un mode de réalisation, le circuit de pixel comprend en outre un dispositif logique relié à la sortie du comparateur et configuré pour désactiver la grille de transfert en réponse à la génération du signal d'événement pendant la première ou la deuxième phase de lecture.
- [0027] Selon un autre aspect, on prévoit un capteur d'image comprenant : un réseau constitué d'une pluralité du circuit de pixel précédent ; un compteur configuré pour générer la rampe numérique et pour fournir la rampe numérique à une mémoire d'image ; et un convertisseur numérique vers analogique configuré pour convertir la rampe numérique en la première rampe de tension pendant la première phase de lecture et en la deuxième rampe de tension pendant la deuxième phase de lecture.
- [0028] Selon un mode de réalisation, le capteur d'image comprend en outre un dispositif de reconstruction d'image configuré pour reconstruire une image en générant : une première valeur de pixel de l'image sur la base d'une première valeur de la rampe numérique associée à un premier circuit de la pluralité de circuits de pixel ; et une deuxième valeur de pixel de l'image sur la base d'une deuxième valeur de la rampe numérique associée à un deuxième circuit de la pluralité de circuits de pixel et sur la base des durées relatives des première et deuxième périodes d'intégration.
- [0029] Selon un mode de réalisation, le capteur d'image comprend en outre un circuit de commande configuré, pendant les première et deuxième phases de lecture, pour interrompre l'incréméntation du compteur à chaque valeur de compte de la rampe numérique jusqu'à ce qu'un signal correspondant de fin de balayage soit activé par le circuit d'enregistrement d'événement indiquant que tous les circuits de pixel générant le signal d'événement correspondant à la valeur de compte ont été lus.
- [0030] Selon un mode de réalisation, le circuit de commande est configuré pour retarder un début de la deuxième phase de lecture jusqu'à ce que tous les circuits de pixel ayant des événements aient été lus pendant la première phase de lecture.

- [0031] Selon un mode de réalisation, le circuit de commande est configuré pour effectuer la première phase de lecture en deux parties, une première partie après un premier temps d'intégration et une deuxième partie après un deuxième temps d'intégration.
- [0032] Selon un mode de réalisation, le circuit de commande est configuré pour générer un histogramme d'image en comptant le nombre de circuits de pixel signalant des événements pendant chaque valeur de compte du compteur.
- [0033] Selon un mode de réalisation, la mémoire d'image est en outre configurée pour recevoir un signal numérique ayant une première valeur pendant la première phase de lecture et une deuxième valeur pendant la deuxième phase de lecture, la mémoire d'image étant configurée pour stocker, en réponse au signal d'événement provenant d'un des circuits de pixel pendant la première ou la deuxième phase de lecture, la valeur du signal numérique.
- [0034] Selon un mode de réalisation, chaque circuit de pixel comprend en outre un registre relié à la sortie du comparateur et configuré pour stocker, en réponse à la génération du signal d'événement, un signal numérique ayant une première valeur pendant la première phase de lecture et une deuxième valeur pendant la deuxième phase de lecture.
- [0035] Selon un mode de réalisation, le capteur d'image comprend des premier et deuxième étages empilés, le réseau de circuits de pixel étant formé dans le premier étage et le comparateur étant formé dans le deuxième étage.
- [0036] Selon un mode de réalisation, le circuit de signalisation d'événement est formé dans le deuxième étage, ou dans un troisième étage du capteur d'image empilé avec les premier et deuxième étages.
- [0037] Selon un autre aspect, on prévoit un procédé de lecture d'un circuit de pixel d'un capteur d'image, le circuit de pixel comprenant une photodiode pincée reliée à un nœud de lecture, le procédé comprenant : la comparaison, par un comparateur pendant une première phase de lecture, d'une première tension de nœud de lecture au niveau du nœud de lecture, résultant d'une première période d'intégration de la photodiode pincée, avec une première rampe de tension et la génération, par le comparateur, d'un signal d'événement si la tension de la première rampe de tension croise la première tension de nœud de lecture ; si la tension de la première rampe de tension ne croise pas la première tension de nœud de lecture pendant la première phase de lecture, la comparaison, par le comparateur pendant une deuxième phase de lecture, d'une deuxième tension de nœud de lecture au niveau du nœud de lecture, résultant de la première période d'intégration et d'une deuxième période d'intégration de la photodiode pincée, avec une deuxième rampe de tension et la génération d'un signal d'événement lorsque la tension de la deuxième rampe de tension croise la deuxième tension de nœud de lecture ; et la signalisation, par un circuit de signalisation d'événement, de la génération

du signal d'événement pendant la première ou la deuxième phase de lecture à un circuit d'enregistrement d'événements.

[0038] Selon un mode de réalisation, le procédé comprend en outre la réception, par une mémoire d'image du capteur d'image, d'une rampe numérique ; et le stockage, à une adresse de la mémoire image associée au circuit de pixel et en réponse au signal d'événement du comparateur pendant la première ou la deuxième phase de lecture, d'une valeur de la rampe numérique pour constituer des données de pixel du pixel.

Brève description des dessins

[0039] Ces caractéristiques et avantages, ainsi que d'autres, seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non limitatif en relation avec les figures jointes parmi lesquelles :

[0040] la [Fig.1] représente schématiquement un circuit de pixel selon un exemple de mode de réalisation de la présente description ;

[0041] la [Fig.2] représente schématiquement le circuit de pixel de la [Fig.1] plus en détail selon un exemple de mode de réalisation de la présente description ;

[0042] la [Fig.3] représente schématiquement le circuit de pixel de la [Fig.1] plus en détail selon un autre exemple de mode de réalisation de la présente description ;

[0043] la [Fig.4] représente schématiquement un circuit de pixel selon un autre exemple de mode de réalisation de la présente description ;

[0044] la [Fig.5] représente schématiquement un capteur d'image comprenant un réseau de circuits de pixel selon un exemple de mode de réalisation de la présente description ;

[0045] la [Fig.6] est un chronogramme représentant des phases de lecture du capteur d'image de la [Fig.5] selon un exemple de mode de réalisation de la présente description ;

[0046] la [Fig.7] est un autre chronogramme représentant des phases de lecture du capteur d'image de la [Fig.5] selon un exemple de mode de réalisation de la présente description ;

[0047] la [Fig.8] est un graphe représentant des valeurs numériques de pixel capturées par des pixels du capteur d'image de la [Fig.5] selon un exemple de mode de réalisation de la présente description ;

[0048] la [Fig.9] est un graphe représentant des valeurs numériques de pixel capturées par les pixels du capteur d'image de la [Fig.5] en fonction de la luminosité selon un autre exemple de mode de réalisation de la présente description ;

[0049] la [Fig.10] est un graphe représentant une hauteur de marche variable d'un signal de rampe selon un exemple de mode de réalisation de la présente description ;

[0050] la [Fig.11] représente schématiquement un circuit de pixel selon un autre exemple de mode de réalisation de la présente description ;

[0051] la [Fig.12] représente schématiquement le circuit de pixel de la [Fig.11] plus en détail

- selon un autre exemple de mode de réalisation de la présente description ;
- [0052] la [Fig.13] représente schématiquement un circuit de pixel selon encore un autre exemple de mode de réalisation de la présente description ;
- [0053] la [Fig.14] représente schématiquement un capteur d'image comprenant un réseau de circuits de pixel selon un autre exemple de mode de réalisation de la présente description ;
- [0054] la [Fig.15] est un chronogramme représentant des phases de lecture du capteur d'image de la [Fig.14] selon un exemple de mode de réalisation de la présente description ;
- [0055] la [Fig.16] est un autre chronogramme représentant des phases de lecture du capteur d'image de la [Fig.14] selon un exemple de mode de réalisation de la présente description ;
- [0056] la [Fig.17] est un autre chronogramme représentant des phases de lecture du capteur d'image de la [Fig.14] selon un autre exemple de mode de réalisation de la présente description ;
- [0057] la [Fig.18] est un autre chronogramme représentant des phases de lecture du capteur d'image de la [Fig.14] selon encore un autre exemple de mode de réalisation de la présente description ;
- [0058] la [Fig.19] représente schématiquement un circuit de pixel selon encore un autre exemple de mode de réalisation de la présente description ; et
- [0059] la [Fig.20] est un chronogramme représentant des phases de lecture du capteur d'image de la [Fig.14] selon encore un autre exemple de mode de réalisation de la présente description.

Description des modes de réalisation

- [0060] De mêmes éléments ont été désignés par de mêmes références dans les différentes figures. En particulier, les éléments structurels et/ou fonctionnels communs aux différents modes de réalisation peuvent présenter les mêmes références et peuvent disposer de propriétés structurelles, dimensionnelles et matérielles identiques.
- [0061] Sauf précision contraire, lorsque l'on fait référence à deux éléments connectés entre eux, cela signifie directement connectés sans éléments intermédiaires autres que des conducteurs, et lorsque l'on fait référence à deux éléments reliés (en anglais "coupled") entre eux, cela signifie que ces deux éléments peuvent être connectés ou être reliés par l'intermédiaire d'un ou plusieurs autres éléments.
- [0062] Dans la description qui suit, lorsque l'on fait référence à des qualificatifs de position absolue, tels que les termes "avant", "arrière", "haut", "bas", "gauche", "droite", etc., ou relative, tels que les termes "dessus", "dessous", "supérieur", "inférieur", etc., ou à des qualificatifs d'orientation, tels que les termes "horizontal", "vertical", etc., il est fait

référence sauf précision contraire à l'orientation des figures.

[0063] Sauf précision contraire, les expressions "environ", "approximativement", "sensiblement", et "de l'ordre de" signifient à 10 % près, de préférence à 5 % près.

[0064] **Premier aspect – Circuit de pixel avec mémoire locale**

[0065] La [Fig.1] représente schématiquement un circuit de pixel 100 selon un exemple de mode de réalisation de la présente description. Le circuit de pixel 100 comprend un capteur 102 et un circuit de lecture 103 comprenant un comparateur (COMP) 104.

[0066] Le capteur 102 comprend une photodiode PD, qui est par exemple une photodiode pincée, ayant son anode reliée à un rail de masse du capteur 102 et sa cathode reliée à un nœud de lecture SN du capteur 102, par exemple par l'intermédiaire d'une grille de transfert 106. La grille de transfert 106 est, par exemple, commandée par un signal de commande TC.

[0067] Dans certains modes de réalisation, le capteur 102 comprend en outre un transistor de réinitialisation MRST reliant la cathode de la photodiode PD à un rail de tension de réinitialisation Vrst. Par exemple, le transistor de réinitialisation est un transistor MOS ayant sa source reliée au rail de tension de réinitialisation Vrst. La photodiode PD a une capacité associée C_{PD} entre sa cathode et son anode. Le nœud de lecture SN a également une capacité associée C_{SN} par rapport au rail de masse du capteur 102, cette capacité C_{SN} résultant par exemple de capacités parasites et/ou d'un condensateur (non représenté) relié entre le nœud de lecture SN et le rail de masse.

[0068] Le circuit de lecture 103 du circuit de pixel 100 comprend, par exemple, en plus du comparateur 104, une mémoire (MEM) 108 et un circuit logic (LOGIC) 110.

[0069] Le comparateur 104 a par exemple une entrée négative reliée au nœud de lecture SN et une entrée positive reliée à une ligne d'entrée du circuit de pixel recevant une rampe de tension V_RAMP. Une sortie du comparateur 104 fournit un signal WRITE lorsque la rampe de tension V_RAMP croise une tension V_{pix} présente au niveau du nœud de lecture SN. La sortie du comparateur est par exemple reliée à une entrée d'activation d'écriture de la mémoire 108, à une entrée du circuit logique 110 et, par l'intermédiaire d'un commutateur de mise à zéro automatique 112, à l'entrée négative du comparateur 104. Le commutateur de mise à zéro automatique 112 est commandé par un signal de commande de mise à zéro automatique AZ.

[0070] Le circuit logique 110 reçoit par exemple un signal d'initialisation INIT et est configuré, en réponse à cette commande, pour déclencher le circuit logique 110 afin de, par exemple, restaurer les fonctionnalités du comparateur 104 et/ou la photodiode PD en amenant un signal de désactivation DISABLE à un état non activé. Le signal de désactivation DISABLE est par exemple fourni à une entrée de validation du comparateur 104 et/ou est utilisé pour activer le transistor de réinitialisation MRST, s'il est présent.

- [0071] La mémoire 108 comprend par exemple une première partie 114 configurée pour recevoir un signal de rampe numérique DATA_RAMP, qui est un signal à 8 bits dans l'exemple de la [Fig.1], mais pourrait avoir un nombre différent de bits. La mémoire 108 comprend également par exemple une deuxième partie 116 configurée pour recevoir une valeur de cachet numérique STAMP_INT, qui est un signal à 2 bits dans l'exemple de la [Fig.1], mais pourrait avoir un nombre de bits différent. La mémoire 108 reçoit également un signal de commande de lecture READ sur une ligne d'entrée et fournit sur une ligne de sortie, en réponse à la commande de lecture READ, une valeur de données de pixel DATA_PIX comprenant des valeurs de données maintenues dans les première et deuxième parties mémoire 114, 116. Dans l'exemple de la [Fig.1], la valeur de données pixel DATA_PIX est une valeur à 10 bits, bien que dans des variantes de mode de réalisation elle pourrait avoir un nombre de bits différent.
- [0072] En fonctionnement, le circuit de pixel 100 est apte à effectuer de multiples phases de lecture afin d'obtenir une gamme dynamique relativement large. Le signal de désactivation DISABLE est par exemple initialement dans un état activé déclenché par l'activation du signal WRITE à la sortie du comparateur pendant un cycle précédent. Cela implique que le transistor de réinitialisation MRST est activé, et la tension au niveau de la cathode de la photodiode PD est à la tension de réinitialisation Vr_{st}. La tension du nœud de lecture V_{pix} est initialisée à une valeur initiale de la tension de rampe V_RAMP, égale par exemple à la tension de réinitialisation Vr_{st}, ou à une tension différente, en appliquant le signal AZ. Le signal de commande de grille de transfert TG est également activé par exemple afin d'initialiser la photodiode PD. Le signal INIT est ensuite par exemple activé afin que le circuit logique 110 désactive le signal de désactivation DISABLE et la commande TG est amenée à l'état bas, provoquant le début d'une période d'intégration.
- [0073] Après une première période d'intégration, une première phase de lecture est déclenchée en appliquant une impulsion sur le signal de commande de grille de transfert TG. Cela amène des charges accumulées par la photodiode PD pendant la première période d'intégration à transférer au nœud de lecture SN, réduisant ainsi la tension de nœud de lecture en fonction de l'éclairement de la photodiode pendant la première période d'intégration. En effet, on suppose dans la présente description que la photodiode est d'un type dont le transfert de charges vers le nœud de lecture est soustractif, c'est-à-dire dû à un transfert d'électrons et, par conséquent, la tension de réinitialisation Vr_{st} appliquée au nœud de lecture SN est à l'état haut et est réduite d'une quantité qui est proportionnelle à la quantité de charges accumulées. Dans des variantes de mode de réalisation, il serait également possible que la photodiode soit d'un type tel que le transfert de charge vers le nœud de lecture SN soit additif, c'est-à-dire dû à un transfert de trous, auquel cas la tension de réinitialisation Vr_{st} est

une tension à l'état bas et qui est accrue d'une quantité qui est proportionnelle à la quantité de charges accumulées.

- [0074] La tension V_{pix} au nœud de lecture SN est ensuite comparée, par le comparateur 104, à une première rampe de tension du signal V_RAMP . La première rampe de tension a par exemple diminué en amplitude par rapport à la plage complète entre la tension de saturation la plus basse V_{sat} du circuit de pixel et le niveau de tension de ré-initialisation V_{rst} . Par exemple, la première rampe de tension s'étend depuis V_{sat} jusqu'à $V_{sat} * M$, où M est par exemple égal à entre 0,2 et 0,8, et par exemple à environ 0,5. Ainsi, le temps de conversion, correspondant au temps de montée de la rampe, est réduit par rapport à une rampe de tension complète.
- [0075] Si la rampe de tension V_RAMP dépasse la valeur de la tension du nœud de lecture V_{pix} , le signal $WRITE$ à la sortie du comparateur 104 est activé. Cela amène par exemple la mémoire 108 à stocker des valeurs courantes des signaux numériques $DATA_RAMP$ et $STAMP_INT$ dans les première et deuxième parties 114, 116, respectivement. En outre, le signal $WRITE$ amène par exemple le circuit logique 110 à activer le signal de désactivation, désactivant ainsi le comparateur 104 et/ou activant le transistor de réinitialisation $MRST$ pour désactiver la photodiode PD jusqu'à une opération ultérieure de capture d'image, lorsque la commande $INIT$ est réactivée.
- [0076] Selon une variante, si la rampe de tension V_RAMP ne dépasse pas la valeur de la tension V_{pix} , le signal $WRITE$ à la sortie du comparateur 104 n'est pas activé et l'intégration par la photodiode PD continue. Les charges précédemment transférées sont ainsi maintenues au nœud SN à V_{pix} .
- [0077] Une ou plusieurs phases de lecture supplémentaires peuvent ensuite être effectuées d'une façon similaire à la première phase de lecture, également avec des rampes de tension d'amplitudes réduites par rapport à la plage complète. Toutefois, une phase de lecture finale est par exemple effectuée avec une rampe d'amplitude complète, en d'autres mots, une rampe montant de V_{sat} à V_{rt} , ce qui garantit que tous les circuits de pixel du réseau sont lus pendant au moins une des phases de lecture. Aucune réinitialisation n'est effectuée entre une phase de lecture et la suivante d'un même cycle de lecture, et on notera que, dans le cas d'une photodiode pincée, l'application de l'impulsion TG est cumulative, et non destructive. Chaque phase est associée avec un temps d'intégration différente, et il est ainsi possible d'obtenir une lecture à large gamme dynamique. En effet, pour des pixels à fort éclaircissement, la tension du nœud de lecture V_{pix} sera relativement faible et peut être lue pendant la première phase de lecture. Des pixels recevant des éclaircissements plus faibles amèneront des chutes plus faibles de la tension du nœud de lecture V_{pix} , et sont lus pendant une phase de lecture ultérieure, associée à un temps d'intégration plus long.
- [0078] La [Fig.2] représente schématiquement le circuit de pixel 100 de la [Fig.1] plus en

détail selon un exemple de mode de réalisation de la présente description. Le capteur 102 est le même que dans l'exemple de la [Fig.1], si ce n'est que le transistor de réinitialisation MRST est mis en œuvre sous forme d'un transistor MOS à canal P (PMOS).

[0079] Dans l'exemple de la figure 2, le comparateur 104 comprend un premier étage réalisé par des transistors MOS à canal N (NMOS) M1, M2, MSTBY et MBIAS, et par des transistors PMOS M3 et M4. Les transistors M1 et M2 constituent une paire différentielle, la grille du transistor M1 étant reliée à l'entrée négative du comparateur 104 et la grille du transistor M2 étant reliée à l'entrée positive du comparateur 104. Un des nœuds principaux de conduction de courant, par exemple les sources, de chacun des transistors M1 et M2 sont reliées, ou connectées, à un nœud commun 202 qui est à son tour relié par l'intermédiaire du transistor de polarisation MBIAS et du transistor de polarisation MSTBY au rail de masse. La grille du transistor de polarisation MBIAS reçoit par exemple une tension de polarisation V_BIAS et la grille du transistor de veille MSTBY est par exemple reliée à la ligne de désactivation qui fournit le signal de désactivation qui, en figure 2, est un signal de désactivation inversé *DISABLE*. L'autre nœud principal de conduction du courant, par exemple le drain, du transistor M1 fourni par exemple la tension de sortie du premier étage du comparateur 104 et est par exemple reliée par l'intermédiaire du transistor M3 au rail d'alimentation Vdd. Les grilles des transistors M3 et M4 sont par exemple reliées l'une à l'autre et au drain du transistor M4, qui est par exemple un nœud commun de drain des transistors M4 et M2. Le commutateur de mise à zéro automatique 112 est par exemple mis en œuvre par un transistor NMOS MAZ qui relie, par l'intermédiaire de ses nœuds principaux de conduction de courant, la grille et le drain du transistor M1.

[0080] Le comparateur 104 comprend en outre un deuxième étage 204 comprenant une bascule de Schmitt 206 qui génère par exemple le signal de sortie WRITE du comparateur 104. La bascule de Schmitt 206 introduit une hystérésis afin de compenser de faibles transitions par le premier étage du comparateur et assure également une immunité contre le bruit.

[0081] La mémoire 108 est par exemple mise en œuvre par un réseau, éventuellement un réseau linéaire, de cellules SRAM (de l'anglais "static random-access memory", mémoire vive statique). Dans certains modes de réalisation, la mémoire 108 est une mémoire à deux ports, de sorte que des opérations simultanées d'écriture et de lecture sont possibles, permettant par exemple de lire les mémoires 108 des pixels du réseau en même temps que l'intégration et la conversion de rampe ADC s'effectuent.

[0082] Dans le mode de réalisation de la [Fig.2], le circuit de pixel 100 est mis en œuvre dans trois étages TIER 1, TIER 2 et TIER 3 de l'empilement tridimensionnel. Les étages TIER 1, TIER 2 et TIER 3 constituent par exemple un niveau de capteur (SENSOR LEVEL) et sont par exemple constitués par un empilement séquentiel.

L'étage TIER 3 constitue par exemple un niveau logique (LOGIC LEVEL) tel qu'un niveau logique avancé. L'étage TIER 1 comprend par exemple le capteur 102, et l'étage TIER 2 comprend par exemple le premier étage du comparateur et le transistor de mise à zéro automatique MAZ.

- [0083] Une interconnexion 208 entre le nœud de lecture SN du capteur 102 et l'entrée négative du comparateur 104 destinée à transmettre la tension de nœud de lecture V_{pix} est par exemple mise en œuvre par un via entre les étages TIER 1 et TIER 2. De façon similaire, une interconnexion 210 entre la ligne de désactivation fournie par le circuit logique 110 et la grille du transistor de réinitialisation MRST du capteur 102 est par exemple mise en œuvre par un via supplémentaire entre les étages TIER 1 et TIER 2.
- [0084] Une interconnexion 211 entre la sortie du premier étage du comparateur et l'entrée de la bascule de Schmitt 206 est par exemple mise en œuvre en utilisant des contacts de liaison hybrides entre les étages TIER 2 et TIER 3. De façon similaire, une interconnexion 212 entre la sortie de désactivation du circuit logique 110 et la grille du transistor MSTBY et le via 210 est par exemple également mis en œuvre en utilisant des contacts de liaison hybrides entre les étages TIER 2 et TIER 3.
- [0085] La [Fig.3] représente schématiquement le circuit de pixel 100 de la [Fig.1] plus en détail selon un autre exemple de mode de réalisation de la présente description. L'exemple de la [Fig.3] est similaire à celui de la [Fig.2], si ce n'est que les transistors M3 et M4 du premier étage du comparateur sont déplacés dans l'étage TIER 3. Une telle solution peut être avantageuse dans le cas où l'espace est limité dans l'étage TIER 2. Il y a donc une interconnexion supplémentaire 302 entre les étages TIER 2 et TIER 3 afin de relier les transistors M2 et M4, cette interconnexion étant par exemple mise en œuvre par un contact de liaison hybride.
- [0086] La [Fig.4] représente schématiquement un circuit de pixel 400 selon un autre exemple de mode de réalisation de la présente description. Le circuit de pixel 400 est similaire au circuit de pixel 100 de la [Fig.3], si ce n'est que des modifications ont été apportées afin de réduire les interconnexions entre les étages. En effet, il peut être souhaitable de limiter, en particulier, le nombre de contacts de liaison hybride entre les étages TIER 2 et TIER 3. Par conséquent, dans le mode de réalisation de la [Fig.4], le transistor de réinitialisation MRST du capteur 102 n'est plus présent, permettant ainsi d'enlever l'interconnexion 210 entre les étages TIER 1 et TIER 2. En outre, le transistor de veille MSTBY est retiré de l'étage TIER 2 et placé par contre dans l'étage TIER 3 entre un nœud commun 402 relié, ou connecté, aux sources des transistors M3 et M4, et le rail d'alimentation Vdd. Le transistor de veille MSTBY est également mis en œuvre par exemple sous forme d'un transistor PMOS plutôt que d'un transistor NMOS et le signal de désactivation DISABLE généré par le circuit logique 110 et appliqué à la grille du transistor de veille MSTBY n'est donc, dans ce mode de réalisation, plus un

signal inversé. Il y a donc seulement deux interconnexions 302 et 211 entre les étages TIER 2 et TIER 3.

- [0087] La [Fig.5] représente schématiquement un capteur d'image 500 comprenant un réseau de circuits de pixel selon un exemple de mode de réalisation de la présente description. Les circuits de pixel sont par exemple mis en œuvre par le circuit de pixel 100 des figures 1, 2 ou 3, ou par le circuit de pixel 400 de la [Fig.4]. En particulier, le capteur d'image 500 comprend par exemple un réseau de capteurs (SENSOR ARRAY) 502 comprenant, par exemple, un ou plusieurs étages qui comportent les capteurs 102 et au moins une partie des comparateurs des circuits de pixel, et un réseau logique (LOGIC ARRAY) 504 empilé sur le réseau de capteurs 502 et comprenant, par exemple, la mémoire 108 et un circuit logique 110 des circuits de pixel et, dans certains cas, une partie des comparateurs 104 des circuits de pixel.
- [0088] Le capteur d'image 500 comprend également par exemple un compteur (COUNTER) 506, qui est par exemple un compteur à 8 bits, 10 bits ou 12 bits, configuré pour générer le signal de rampe numérique DATA_RAMP qui est fourni au réseau logique 504 et, en particulier, à la mémoire 108 de chacun des circuits de pixel. En outre, le capteur d'image 500 comprend par exemple un convertisseur numérique vers analogique (DAC) 508 configuré pour convertir le signal de rampe numérique DATA_RAMP en un signal de tension afin de générer la rampe de tension V_RAMP fourni au réseau de capteurs 502 et, en particulier, au comparateur 104 de chacun des circuits de pixel.
- [0089] Le capteur d'image 500 comprend également par exemple un circuit de commande (CONTROL) 510, mis en œuvre, par exemple, par une machine d'état fini et configuré pour générer les signaux STAMP_INT et INIT, qui sont fournis au réseau logique 504 et, en particulier, à la mémoire 108 et au circuit logique 110, respectivement, de chaque circuit de pixel et les signaux TG, AZ et V_BIAS, qui sont fournis au réseau de capteurs 502 et, en particulier, au capteur 102, au commutateur de mise à zéro automatique 112 et au comparateur 104 de chaque circuit de pixel.
- [0090] Le capteur d'image 500 comprend également par exemple un décodeur d'adresse mémoire (MEMORY ADDRESS DECODER) 512 relié au réseau logique 504 et une interface de sortie (O/P INTERFACE) 514 reliée au décodeur d'adresse mémoire 512. L'interface de sortie 514 est par exemple configurée pour lire des images capturées par le réseau de capteurs en fournissant le signal de lecture READ et un signal d'adresse ADDRESS au décodeur d'adresse mémoire 512. Il y a par exemple un bus de données de pixel allant de la mémoire 108 de chaque circuit de pixel au décodeur d'adresse mémoire 512 et le signal d'adresse ADDRESS désigne par exemple un seul circuit de pixel qui doit être lu. Le décodeur d'adresse mémoire 512 est par exemple configuré pour fournir le signal READ à la mémoire 108 du circuit de pixel désigné par l'adresse

et la mémoire 108 du circuit de pixel répond en fournissant le signal de données de pixel correspondant DATA_PIX à partir de sa mémoire.

- [0091] Le capteur d'image 500, ou un circuit externe (non représenté), comprend en outre par exemple un dispositif de reconstruction d'image (HDR IMAGE RECONST.) 516 qui est par exemple configuré pour reconstruire une image à large gamme dynamique sur la base de mesures de pixels provenant du réseau, ainsi que cela sera décrit plus en détail ultérieurement. Par exemple, le dispositif 516 est mis en œuvre par un dispositif de traitement, tel qu'une CPU (de l'anglais "central processing unit", unité centrale de traitement) ou un ISP (de l'anglais "image signal processor", processeur de signal d'image).
- [0092] La [Fig.6] est un chronogramme représentant des phases de lecture du capteur d'image 500 de la [Fig.5] selon un exemple de mode de réalisation de la présente description. L'exemple de la [Fig.6] est basé sur quatre phases de lecture, mais dans des variantes de mode de réalisation il pourrait y avoir au moins deux phases de lecture et, par exemple, jusqu'à 6, 8, 12, 16 ou 32 phases de lecture. La [Fig.6] représente le temps (TIME) le long de l'axe x et la valeur de pixel (PIXEL VALUE) le long de l'axe y, où la valeur de pixel correspond par exemple à la tension de pixel V_{pix} . Cette tension de pixel est par exemple dans une plage allant d'un niveau de tension bas V_{sat} , par exemple à ou proche de la tension de masse (0 V) correspondant à la tension la plus basse à laquelle le nœud de lecture SN peut chuter lorsque l'éclairement est à un maximum et un niveau de tension haut correspondant à la tension de réinitialisation V_{rst} .
- [0093] Une période d'intégration pour une n-ième trame (FRAME_n) commence à un instant T_0 .
- [0094] Une première phase de lecture débute à un instant T_1 après que la commande TG ait été impulsée, cette impulsion TG étant par exemple une commande globale pour tous les pixels dans le réseau. Tous les porteurs photo-générés pendant la période allant de T_0 à T_1 sont simultanément transférés et stockés aux nœuds V_{pix} correspondants. La première phase de lecture implique une rampe de tension V_{RAMP} ayant une plage allant de V_{sat} à V_m , où V_m est par exemple la tension de point milieu entre les tensions V_{sat} et V_{rst} . Dans le cas où le transfert de charge est soustractif comme dans l'exemple de la [Fig.6] et en supposant que V_{sat} soit la tension de masse, la tension V_m est choisie par exemple comme $V_{rst}/2$. Inversement, dans le cas (non représenté) où le transfert de charge est additif, les tensions V_{rst} et V_{sat} sont inversées et si la tension V_{rst} est à la tension de masse, la tension V_m est par exemple choisie comme $V_{sat}/2$.
- [0095] Une ligne L0 en figure 6 représente un pixel ayant une tension de nœud de lecture V_{pix} chutant de V_{rst} à l'instant T_0 à V_{sat} à l'instant T_1 qui correspond à une quantité

maximale d'éclairement sans dépasser la limite de saturation. L'instant d'intégration T_1 est par exemple choisi de sorte qu'aucun pixel ne sature avant que l'instant T_1 ne soit atteint. Pendant la première phase de lecture, tous les pixels ayant des tensions de nœud de lecture entre les tensions V_{sat} et V_m déclencheront le comparateur correspondant et ainsi la valeur sera convertie et stockée dans la mémoire 108. Ces pixels correspondent à ceux ayant des tensions de nœud de lecture V_{pix} entre les lignes L0 et L1 en figure 6, où L1 représente un pixel ayant une tension de nœud de lecture V_{pix} chutant de V_{rst} à l'instant T_0 à V_m à l'instant T_1 . Ces pixels ont été lus et, par conséquent, ils sont par exemple désactivés pour le reste du cycle de lecture du réseau, en d'autres mots jusqu'au début de la capture de trame suivante. Tous les autres pixels conservent par exemple la valeur stockée V_{pix} , qui pour ces pixels est entre les tensions V_m et V_{rst} . Pendant la première phase de lecture, le signal de cachet STAMP_INT a par exemple une première valeur binaire par exemple égale à "11" binaire.

[0096] Une deuxième phase de lecture débute à un instant T_2 après que la commande TG ait été de nouveau impulsée, cette impulsion TG étant par exemple une commande globale pour tous les pixels du réseau. Dans les pixels non lus, en d'autres mots les pixels qui ne sont pas lus pendant la première phase de lecture, la tension V_{pix} stockée à la première phase de lecture est accumulée avec les nouveaux porteurs photo-générés entre la période allant de T_1 à T_2 . La deuxième phase de lecture implique par exemple la même rampe de tension allant de V_{sat} à V_m que celle appliquée pendant la première phase de lecture. L'instant d'intégration T_2 est par exemple choisi pour correspondre à deux fois T_1 qui est un instant auquel des pixels ayant une tension de nœud de lecture juste supérieure à V_m à l'instant T_1 ont une tension de nœud de lecture V_{pix} chutant à V_{sat} à l'instant T_2 , comme cela est représenté par la ligne L1. Pendant la deuxième phase de lecture, tous les pixels ayant des tensions de nœud de lecture V_{pix} entre les tensions V_{sat} et V_m déclencheront leur comparateur correspondant et ainsi seront lus et désactivés, comme pour les pixels lus pendant la première phase de lecture. Ces pixels correspondent à ceux ayant des tensions de nœud de lecture V_{pix} entre les lignes L1 et L2 en figure 6, où L2 représente un pixel ayant une tension de nœud de lecture V_{pix} chutant à V_m à l'instant T_2 . Tous les autres pixels conservent par exemple la valeur stockée V_{pix} , qui pour ces pixels est entre les tensions V_m et V_{rst} . Pendant la deuxième phase de lecture, Le signal de cachet STAMP_INT a par exemple une deuxième valeur binaire différente de la première et égale par exemple à "10" binaire.

[0097] Une troisième phase de lecture débute à un instant T_3 après que la commande TG ait été de nouveau impulsée, cette impulsion TG étant par exemple une commande globale pour tous les pixels du réseau. Dans les pixels non lus, en d'autres mots les pixels qui n'ont pas été lus pendant les première et deuxième phases de lecture, la tension V_{pix}

est accumulée avec les nouveaux porteurs photo-générés entre la période allant de T_2 à T_3 . La troisième phase de lecture implique par exemple la même rampe de tension allant de V_{sat} à V_m que celle appliquée pendant la première phase de lecture. L'instant d'intégration T_3 est par exemple choisi pour correspondre à deux fois T_2 qui est un instant auquel des pixels ayant une tension de nœud de lecture V_{pix} juste supérieure à V_m à l'instant T_2 ont une tension de nœud de lecture V_{pix} chutant à V_{sat} à l'instant T_3 , comme cela est représenté par la ligne L2. Pendant la troisième phase de lecture, tous les pixels ayant des tensions de nœud de lecture entre les tensions V_{sat} et V_m déclencheront le comparateur correspondant et ainsi seront lus et désactivés, comme pour des pixels lus pendant les première et deuxième phases de lecture. Ces pixels correspondent à ceux ayant des tensions de nœud de lecture V_{pix} entre les lignes L2 et L3 en figure 6, où L3 représente un pixel ayant une tension de nœud de lecture V_{pix} chutant à V_m à l'instant T_3 . Tous les autres pixels conservent par exemple la valeur stockée V_{pix} , qui pour ces pixels est entre les tensions V_m et V_{rst} . Pendant la troisième phase de lecture, Le signal de cachet STAMP_INT a par exemple une troisième valeur binaire, différente des première et deuxième valeurs et égale par exemple à "01" binaire.

[0098] Une quatrième phase de lecture débute à un instant T_4 après que la commande TG ait été de nouveau impulsée, cette impulsion TG étant par exemple une commande globale pour tous les pixels du réseau. Dans les pixels non lus, en d'autres mots les pixels qui ne sont pas lus pendant les première, deuxième et troisième phases de lecture, la tension V_{pix} est accumulée avec les nouveaux porteurs photo-générés entre la période allant de T_3 à T_4 . La quatrième phase de lecture implique par exemple une rampe d'amplitude complète allant de V_{sat} à V_m qui est appliquée afin de lire tous les pixels non déjà lus pendant les première, deuxième et troisième phases de lecture. L'instant d'intégration T_4 est par exemple choisi pour correspondre à deux fois T_3 qui est un instant auquel des pixels ayant une tension de nœud de lecture juste supérieure à V_m à l'instant T_3 ont une tension de nœud de lecture V_{pix} chutant à V_{sat} à l'instant T_4 , comme cela est représenté par la ligne L3. Pendant la quatrième phase de lecture, le signal de cachet STAMP_INT a par exemple une quatrième valeur binaire, différente des première, deuxième et troisième valeurs et égale par exemple à "00" binaire.

[0099] Une période d'intégration pour une (n+1)-ième trame (FRAME_n+1) débute par exemple à l'instant T_4 .

[0100] La [Fig.7] est un autre chronogramme représentant une période d'intégration et des phases de lecture du capteur d'image de la [Fig.5] selon un exemple de mode de réalisation de la présente description. La [Fig.7] représente en particulier le signal TG, AZ, INIT, V_RAMP, DATA_RAMP, STAMP_INT, WRITE, MEM et DISABLE et une valeur MEM stockée dans la mémoire 108, pour un pixel i (PIXEL i) et pour un

pixel j (PIXEL j).

- [0101] Dans l'exemple de la figure 7, l'éclairement du pixel i l'amène à être lu pendant la première phase de lecture à l'instant T_1 et l'éclairement du pixel j l'amène à être lu pendant la quatrième phase de lecture à l'instant T_4 .
- [0102] Initialement, avant le début de la période d'intégration, le signal DISABLE est par exemple actif pour tous les pixels du réseau, les signaux TG, AZ, INIT et WRITE, sont à l'état bas et le signal DATA_RAMP est par exemple à un niveau correspondant à V_{rst} , de sorte que la tension V_RAMP soit à la tension V_{rst} , ou à approximativement la tension V_{rst} .
- [0103] A un instant t_0 , le signal STAMP_INT est par exemple mis à jour pour avoir la valeur correspondante à la première phase de lecture, égal à "11" binaire dans cet exemple. Cette mise à jour survient par exemple à un quelconque instant avant le début de la première phase de lecture.
- [0104] A un instant t_1 , les signaux AZ et INIT sont amenés à l'état haut, amenant le circuit logique 110 pour désactiver le signal de désactivation DISABLE, et amenant la tension de nœud de lecture V_{pix} à atteindre le niveau du signal de rampe V_RAMP qui est par exemple le niveau de tension V_{rst} .
- [0105] A un instant t_2 , par exemple après t_1 , les signaux AZ et INIT chutent à l'état bas et le signal de rampe numérique DATA_RAMP change par exemple vers un niveau correspondant à la tension V_{sat} , de sorte que la rampe de tension V_RAMP passe également à cette tension V_{sat} .
- [0106] L'instant de début T_1 de la première phase de lecture est par exemple peu après l'instant t_2 et comprend un front montant d'une impulsion positive du signal TG.
- [0107] A un instant t_3 après l'instant T_1 , le signal de rampe de données numérique DATA_RAMP commence à s'incrémenter par marches binaires, amenant la rampe de tension V_RAMP à augmenter par marches de V_{sat} à la tension V_m . Cette rampe a par exemple une amplitude A_1 réduite par rapport à une amplitude de rampe complète.
- [0108] A un instant t_4 après l'instant t_3 , le niveau de tension de la rampe de tension V_RAMP croise la tension $V_{pix}(i)$ au nœud de lecture SN du pixel i . Dans cet exemple, au vu de la rampe de tension montante, la rampe de tension V_RAMP monte au-delà de $V_{pix}(i)$ à l'instant t_4 , mais dans le cas d'une rampe descendante, il serait également possible que la rampe de tension V_RAMP chute en-dessous de $V_{pix}(i)$ à l'instant t_4 . Ce croisement de la tension $V_{pix}(i)$ par la tension de rampe V_RAMP amène l'activation du signal d'écriture WRITE_PIX i associé au pixel i et amène la mémoire 108 du pixel i à stocker les valeurs numériques STAMP_INT + D_PIX i que le signal de cachet STAMP_INT et le signal de rampe numérique DATA_RAMP ont à l'instant t_4 . En outre, le signal de désactivation DISABLE du pixel i est activé par le circuit logique 110 de sorte que le comparateur du pixel i soit désactivé (COMP PIX i

DISABLED) et, dans le cas du circuit de pixel 100, une opération de réinitialisation est également appliquée à la photodiode du pixel i .

- [0109] A un instant t_5 après l'instant t_4 , le signal de rampe numérique DATA_RAMP atteint par exemple une valeur correspondant au niveau de tension V_m et donc la tension de rampe V_RAMP atteint également le niveau de tension V_m puis chute pour revenir à V_{sat} , amenant le signal d'écriture WRITE_PIX i du pixel i à chuter à l'état bas, achevant ainsi l'opération de lecture du pixel i dans sa mémoire 108.
- [0110] La lecture du pixel j pendant la quatrième phase de lecture survient par exemple d'une façon similaire à la première phase de lecture, si ce n'est qu'une rampe de tension complète est appliquée.
- [0111] l'instant de début T_4 de la quatrième phase de lecture comprend un front montant d'une impulsion positive du signal TG.
- [0112] A un instant t_7 après l'instant T_4 , le signal de rampe numérique DATA_RAMP commence à s'incrémenter par des marches binaires, amenant la rampe de tension V_RAMP à augmenter par marches de V_{sat} à la tension V_{rst} . Cette rampe a par exemple une amplitude A_2 correspondant à la plage complète depuis le niveau de tension V_{sat} au niveau de tension V_{rst} .
- [0113] A un instant t_8 après l'instant t_7 , le niveau de tension de la rampe de tension V_RAMP croise la tension $V_{pix}(j)$ au nœud de lecture SN du pixel j . Cela provoque l'activation du signal d'écriture WRITE_PIX j associé au pixel j et amène la mémoire 108 du pixel j à stocker les valeurs numériques STAMP_INT + D_PIX j que le signal de cachet STAMP_INT et le signal de rampe numérique DATA_RAMP ont à l'instant t_8 . En outre, le signal de désactivation DISABLE du pixel j est activé par le circuit logique 110 de sorte que le comparateur du pixel j soit désactivé (COMP_PIX j DISABLED) et, dans le cas du circuit de pixel 100, une opération de réinitialisation est également appliquée à la photodiode du pixel j .
- [0114] A un instant t_9 après l'instant t_8 , le signal de rampe numérique DATA_RAMP atteint par exemple une valeur correspondant au niveau de tension V_{rst} et donc la tension de rampe V_RAMP atteint également le niveau de tension V_{rst} puis chute pour revenir à V_{sat} , amenant le signal d'écriture WRITE_PIX j du pixel j à chuter à l'état bas, achevant ainsi l'opération de lecture du pixel j dans sa mémoire 108.
- [0115] Comme la quatrième phase de lecture est par exemple la phase finale d'écriture de la trame, une réinitialisation de pixel est ensuite appliquée par exemple en activant, à un instant t_{10} , les signaux TG et AZ, puis en amenant de nouveau ces signaux à l'état bas à un instant t_{11} . Les phases d'intégration et de lecture d'une trame suivante commencent ensuite par exemple, correspondent à l'instant T_0 de la [Fig.6].
- [0116] Lorsqu'une image doit être fournie par le capteur d'image 500, la mémoire 108 de chacun des circuits de pixel est par exemple lue, et les valeurs numériques sont par

exemple reconstruites par le dispositif de reconstruction d'image 516 de la [Fig.5], pour générer une image à large gamme dynamique. Cette reconstruction comprend par exemple la conversion de chaque valeur numérique lue à partir de la mémoire 108 de chaque circuit de pixel en une valeur de pixel d'image en utilisant une conversion appropriée sur la base de la durée du temps d'intégration. Le tableau suivant (Table 1) fournit un exemple de conversion sur la base de l'exemple des phases de lecture des figures 6 et 7 :

[Tableaux1]

T	DURATION	ILLUM RANGE		MSB	ADC BINARY		DIG VALUE	
		MIN	MAX		MIN	MAX	MIN	MAX
T1	T1	1024	2047	11	00000000	11111111	768	1023
T2	2xT1	512	1023	10	00000000	11111111	512	767
T3	4xT1	256	511	01	00000000	11111111	256	511
T4	8xT1	1	255	00	00000000	11111111	1	255

[0117] Dans ce tableau : T indique les temps d'intégration T_1 (T1), T_2 (T2), T_3 (T3) et T_4 (T4) ; la durée (DURATION) de chaque temps d'intégration est exprimée sous forme d'un multiple du temps d'intégration le plus petit T1 ; la gamme d'éclairiment (ILLUM RANGE) allant d'un minimum (MIN) à un maximum (MAX) indique, dans des unités arbitraires, la gamme d'éclairiment relatif pour les pixels de capteur d'image à chaque période T1 à T4 ; les deux bits les plus significatifs (MSB) de la valeur d'éclairiment, correspondant à la valeur de cachet STAMP_INT, est indiquée ; la gamme du minimum au maximum de la valeur binaire numérique (ADC BINARY) résultant de la conversion de rampe est indiquée ; et la gamme du minimum au maximum de la valeur correspondante de pixel d'image numérique est indiquée (DIG VALUE).

[0118] Comme l'illustre le tableau 1, la conversion analogique vers numérique est par exemple fixée arbitrairement de sorte que, quelle que soit l'amplitude de la rampe, chaque valeur de signal maximum en plage complète corresponde à la valeur binaire maximale et la valeur de signal minimale corresponde à la valeur binaire zéro.

[0119] La figure 8 est un graphe représentant des valeurs numériques de pixel (ADC VALUE (ADU)), similaires aux valeurs DIG VALUE du tableau 1, dans des unités numériques arbitraires, capturées par les pixels du capteur d'image 500 de la figure 5 en fonction de la luminosité (ILLUMINANCE (AU)) en unités arbitraires (AU), similaires aux valeurs ILLUM RANGE du tableau 1, selon un exemple de mode de réalisation de la présente description, et élaborées sur la base du tableau 1 ci-dessus. Ce graphe représente en particulier l'opération de compression, en particulier la repré-

sensation d'une dynamique de 2047 (environ 67 dB), qui est huit fois celle obtenue en utilisant un procédé à une seule intégration. En effet, la période d'intégration la plus longue T_4 est huit fois plus longue que la période d'intégration la plus courte T_1 .

[0120] Bien entendu, bien que les figures 6 et 7 soient basées sur quatre phases de lecture, un nombre différent de phases de lecture pourrait être utilisées. Un exemple basé sur huit phases de lecture sera maintenant décrit en relation avec la [Fig.9].

[0121] La [Fig.9] est un graphe représentant des valeurs numériques de pixel capturées par des pixels du capteur d'image de la [Fig.5] en fonction de la luminosité selon un autre exemple de mode de réalisation de la présente description.

[0122] Le graphe de la [Fig.9] est basé sur une conversion telle que représentée dans le tableau 2 ci-dessous, qui a une présentation similaire à celle du tableau 1, mais comporte huit périodes d'intégration T1 à T8, avec un facteur de quatre entre la durée d'une période d'intégration et la suivante. En particulier, la période T1 a une durée nominale, la période T2 une durée de quatre fois T1, la période T3 une durée de quatre fois T2 et donc 16 fois T1, etc.

[Tableaux2]

T	DURATIO N	ILLUM RANGE		MSB	ADC BINARY		DIG VALUE	
		MIN	MAX		MIN	MAX	MIN	MAX
T1	T1	524288	2097151	111	0	1111111	896	1023
T2	4xT1	131072	524287	110	0	1111111	768	895
T3	16xT1	32768	131071	101	0	1111111	640	767
T4	64xT1	8192	32767	100	0	1111111	512	639
T5	256xT1	2048	8191	11	0	1111111	384	511
T6	1024xT1	512	2047	10	0	1111111	256	383
T7	4096xT1	128	511	1	0	1111111	128	255
T8	16384xT1	0	127	0	0	1111111	0	127

[0123] Dans cet exemple, la valeur numérique STAMP_INT est une valeur à 3 bits, la longueur de conversion est seulement de 7 bits et la gamme dynamique équivalente atteindrait 127 dB comme cela est illustré par la réponse log-log de la [Fig.9].

L'amélioration de la gamme dynamique dans cet exemple a un facteur de 16384.

[0124] La [Fig.10] est un graphe représentant une hauteur de marche variable d'un signal de rampe selon un exemple de mode de réalisation de la présente description. La [Fig.10] représente en particulier la hauteur de marche k (STEP HEIGHT k) en fonction du nombre de marches (STEP NO.). Une telle variation de la hauteur de marche assure

une amélioration de la vitesse de conversion, en diminuant le temps de rampe. Cela est basé sur le fait que des niveaux élevés d'éclairement contiennent une forte composante de bruit de grenaille et il n'y a donc pas de gain à convertir toute la gamme dynamique avec une résolution fine.

[0125] Par exemple, en considérant une capacité électronique maximale du nœud de lecture d'un circuit de pixel de 6000e-, le bruit de grenaille correspondant est $\sqrt{6000} = 77.5 e^-$. Dans une échelle de conversion à 10 bits, cela est équivalent à 13,2 ADU. Cela implique qu'au moins 3 bits du signal converti représentent du bruit. A la moitié de la gamme dynamique, c'est-à-dire à 3000e-, le bruit de grenaille est 9,3 ADU.

[0126] Un étagement amélioré de la rampe est par exemple décrit dans les publications de Snoeji MF, et al. "A low power column parallel 12-bit ADC for CMOS imagers", dans IEEE workshop on CCDs 8 AIS, 2005, p169-172, et Snoeji MF, et al. "Multiple-ramp column-parallel ADC architectures for CMOS image sensors", dans IEEE journal of solid-state image circuits, vol. 42, no. 12, pp 2968-2977. Sur la base de l'équation suivante citée dans la dernière publication :

[0127] [Math.1]

$$N_{sig} = \left(\frac{N_{sat}k}{2^n \sqrt{12}r} \right)^2$$

[0128] avec $N_{sat} = 6000e^-$, $n = 10$ bits, $r = 0,1$ et $k=(1,2,4,8)$, seules les marches x2 et x4 sont utiles pour convertir des cycles à demi-dynamique. Des calculs indiquent que moins de 200 marches sont suffisantes pour une résolution à 10 bits compatible pour les trois premiers cycles. La même configuration peut être utilisée pour la dernière conversion, où une plage complète est balayée..

[0129] Des calculs conduisent à un total de 301 marches variables distribuées comme cela est représenté en [Fig.10]. En particulier, dans cet exemple, la conversion débute avec 31 marches à huit fois la hauteur de marche nominale, suivi de 147 marches à huit fois la hauteur de marche nominale, puis de 49 marches à la hauteur de marche nominale, conduisant à un total de 301 marches au lieu de 1024 marches. Une telle mise en œuvre est par exemple effectuée en utilisant un DAC à marche variable piloté par un compteur programmé.

[0130] **Deuxième aspect - Circuit de pixel avec lecture pilotée par événement**

[0131] Bien que les modes de réalisation décrits en relation avec les figures 1 à 10 ci-dessus soient basés sur l'utilisation d'une mémoire 108 mise en œuvre dans chaque circuit pixel d'un capteur d'image, dans certains modes de réalisation il n'y a pas suffisamment d'espace pour une telle mémoire. En outre, la consommation d'énergie du bus de données parallèle utilisé pour transmettre le signal de rampe numérique DATA_RAMP

à tous les pixels du réseau en parallèle peut être trop élevée pour certaines applications, compte tenu des capacités relativement élevées à piloter au niveau de chaque nœud du bus de données. Une solution pilotée par événement sera maintenant décrite en relation avec les figures 11 à 20 qui fournissent une approche alternative dépourvue de la mémoire 108 et du signal de rampe numérique DATA_RAMP.

- [0132] La [Fig.11] représente schématiquement un circuit de pixel 1100 sur la base d'une lecture pilotée par événement selon un exemple de mode de réalisation de la présente description. Le pixel 1100 est similaire au pixel 100 de la [Fig.1] et de mêmes éléments sont désignés par de mêmes références et ne seront pas décrits ici de nouveau en détail. En particulier, le capteur 102, le comparateur 104 et le commutateur de mise à zéro automatique 112 sont les mêmes que ceux du pixel 100. Toutefois, le circuit logique 110 et la mémoire 108 du circuit de pixel 100 sont remplacés dans le circuit de pixel 1100 par un circuit de signalisation d'événement (EVENT SIGNALING) 1102, et le signal de sortie du comparateur 104 n'est plus un signal d'écriture, mais un signal d'événement EVENT indiquant qu'un événement devrait être communiqué à un circuit d'enregistrement d'événement périphérique (décrit plus en détail par la suite). En effet, le circuit de signalisation d'événement 1102 met en œuvre par exemple un protocole d'authentification sur une ou plusieurs lignes de rangée (ROW SIGNALING) qui sont utilisées pour une signalisation de la ligne de rangée et sur une ou plusieurs lignes de colonne (COLUMN SIGNALING) qui sont utilisées pour une signalisation de la ligne de colonne.
- [0133] Le circuit de signalisation d'événement 1102 reçoit également par exemple le signal d'initialisation INIT et, en réponse à cette commande, est configuré, par exemple, pour restaurer les fonctionnalités du comparateur 104 et/ou la photodiode PD en plaçant un signal de désactivation DISABLE à un état non activé. Le signal de désactivation DISABLE est par exemple fourni à une entrée d'activation du comparateur 104 et/ou est utilisé pour activer le transistor de réinitialisation MRST, s'il est présent.
- [0134] La [Fig.12] représente schématiquement le circuit de pixel 1100 de la [Fig.11] plus en détail selon un autre exemple de mode de réalisation de la présente description, basé sur trois étages TIER 1, TIER 2 et TIER 3. Le circuit de pixel de la [Fig.12] est similaire au circuit de pixel de la [Fig.2], et les étages TIER 1 et TIER 2 de la [Fig.12] comprennent les mêmes éléments que ceux de la [Fig.2]. L'étage TIER 3 de la [Fig.12] est, toutefois, différent de celui de la [Fig.2], la sortie de la bascule de Schmitt 206 générant le signal d'événement EVENT et étant reliée au circuit de signalisation d'événement 1102.
- [0135] Un exemple de mode de réalisation du circuit de signalisation d'événement 1102 est illustré en [Fig.12]. Par exemple, le circuit de signalisation d'événement 1102 est similaire à celui décrit dans la demande de brevet US publiée sous le numéro

US2021/0337150 au nom de la présente demanderesse.

- [0136] Les unes ou plusieurs lignes de signalisation de colonne et de rangée comprennent respectivement, dans le mode de réalisation de la [Fig.12], des lignes de colonne partagées 1204 et 1206 et des lignes de rangée partagées 1208 et 1210. Les lignes de colonne partagées 1204, 1206 sont par exemple reliées à au moins deux des, et généralement à tous les, pixels d'une colonne du réseau de pixels du capteur d'image et les lignes de rangée partagées 1208, 1210 sont par exemple reliées à au moins deux des, et généralement à tous les, pixels d'une rangée du réseau de pixels du capteur d'image.
- [0137] La ligne de colonne partagée 1204 est par exemple une ligne de requête de lecture de colonne sur laquelle le circuit de signalisation d'événement 1102 indique lorsqu'il détecte un événement en activant un signal de requête de colonne $reqx$. La ligne de colonne partagée 1206 est par exemple une ligne d'accusé de réception sur laquelle le circuit de signalisation d'événement 1102 reçoit un signal d'accusé de réception de colonne $ackx$ indiquant que la requête a été enregistrée par un circuit de détection d'événement de colonne correspondant (décrit plus en détail par la suite).
- [0138] La ligne de rangée partagée 1208 est par exemple une ligne de requête de lecture de rangée sur laquelle le circuit de signalisation d'événement 1102 indique lorsqu'il détecte un événement et a reçu un accusé de réception $ackx$ sur la ligne de colonne partagée 1206, en activant un signal de requête de colonne $reqy$. La ligne de rangée partagée 1210 est par exemple une ligne d'accusé de réception sur laquelle le circuit de signalisation d'événement 1102 reçoit un signal d'accusé de réception de rangée $acky$ indiquant que la requête a été enregistrée par un circuit de détection d'événement de rangée correspondant (décrit plus en détail par la suite).
- [0139] Le circuit de signalisation d'événement 1102 est par exemple configuré par exemple en réponse à l'activation du signal d'événement EVENT par le comparateur, le signal de requête $reqx$ sur la ligne 1204. Le circuit de signalisation d'événement 1102 est ensuite par exemple configuré pour détecter le moment où le signal d'accusé de réception $ackx$ est activé sur la ligne 1206, et pour activer, en réponse, le signal de requête $reqy$ sur la ligne 1208. Le circuit de signalisation d'événement 1102 est ensuite par exemple configuré pour détecter le moment où le signal d'accusé de réception $ackx$ est activé sur la ligne 1210, et pour activer, en réponse, le signal de désactivation, qui dans l'exemple de la figure 12 est un signal *DISABLE* qui est actif à l'état bas.
- [0140] La sortie du comparateur, correspondant par exemple à la sortie de la bascule de Schmitt 206, est par exemple reliée à une entrée d'une bascule 1214. La bascule 1214 est configurée pour stocker un état de détection d'événement au niveau de sa sortie Q jusqu'à ce que l'événement ait été enregistré par les circuits de détection d'événement de ligne et de rangée. Dans certains modes de réalisation, la bascule 1214 est mise en œuvre par une bascule RS (de l'anglais "reset-set", mise à zéro-mise à un) dans laquelle

l'entrée de mise à un S de la bascule 1214 reçoit la sortie de la bascule de Schmitt 206. Toutefois, d'autres mises en œuvre basées sur un quelconque dispositif bistable seraient possibles.

- [0141] Dans certains modes de réalisation, la sortie de la bascule 1214 est reliée à une entrée d'une porte ET 1216, dont l'autre entrée est reliée à la sortie d'une bascule supplémentaire 1218. La bascule supplémentaire 1218 reçoit par exemple, à une entrée, le signal INIT, indiquant lorsque le circuit de pixel 1200 doit devenir actif. Dans certains modes de réalisation, la bascule 1218 est mise en œuvre par une bascule RS 1218 recevant le signal INIT au niveau de son entrée de mise à un S.
- [0142] La sortie de la porte ET 1216 active par exemple un commutateur 1220 qui est configuré pour activer le signal de requête $reqx$. Dans certains modes de réalisation, le signal de requête $reqx$ est actif à l'état bas, et le commutateur 1220 est mis en œuvre par un transistor, tel qu'un transistor NMOS, ayant sa grille reliée à la sortie de la porte ET 1216 et reliant, par l'intermédiaire de ses nœuds principaux de conduction, la ligne 1204 à la masse. Bien entendu, il serait également possible que la ligne 1204 soit active à l'état haut, en remplaçant des transistors NMOS par des transistors PMOS et en inversant leur commande respective d'entrée numérique.
- [0143] La sortie de la porte ET 1216 provoque également l'activation du signal de requête $reqy$ sur la ligne 1208 lorsque le signal d'accusé de réception ackx sur la ligne 1206 est activé. Par exemple, le signal de requête $reqy$ est activé lorsque deux commutateurs 1224, 1226 sont activés, le commutateur 1224 étant activé par la sortie de la porte ET 1216 et le commutateur 1226 étant activé par le signal d'accusé de réception ackx. Dans certains modes de réalisation, le signal de requête $reqy$ est actif à l'état bas et les commutateurs 1224, 1226 sont reliés en série l'un à l'autre entre la ligne 1208 et la masse. Par exemple, les commutateurs 1224, 1226 sont mis en œuvre par des transistors, tels que des transistors NMOS, reliés en série par l'intermédiaire de leurs nœuds principaux de conduction, le commutateur 1224 ayant sa grille reliée à la sortie de la porte ET 1216, et le commutateur 1226 ayant sa grille reliée à la ligne 1206. Bien sûr, il serait également possible que la ligne 1208 soit active à l'état haut, en remplaçant les transistors NMOS par des transistors PMOS et en inversant leur commande respective d'entrée numérique.
- [0144] La réinitialisation du circuit de signalisation d'événement 1102 est par exemple effectuée par une porte ET 1230 qui a par exemple une de ses entrées reliée à la ligne d'accusé de réception 1206, l'autre de ses entrées reliée à la ligne d'accusé de réception 1210 et sa sortie reliée aux bascules 1214, 1218 afin de réinitialiser leurs états. Dans le cas où les bascules 1214, 1218 sont des bascules RS, la sortie de la porte ET 1230 est par exemple reliée à l'entrée de mise à zéro R de ces bascules.
- [0145] La [Fig.13] représente schématiquement un circuit de pixel 1300 selon encore un

autre exemple de mode de réalisation de la présente description. Le circuit de pixel 1300 est similaire au circuit de pixel 1200, mais avec les mêmes modifications que celles appliquées dans le circuit de pixel 400 de la [Fig.4] par rapport au circuit de pixel 200 de la [Fig.2]. Le circuit de pixel 1200 pourrait également être mis en œuvre selon la solution intermédiaire de la [Fig.3].

[0146] La [Fig.14] représente schématiquement un capteur d'image 1400 comprenant un réseau de circuits de pixel selon un autre exemple de mode de réalisation de la présente description. Les circuits de pixel sont par exemple mis en œuvre par le circuit de pixel 1100 de la [Fig.11] ou 12 ou par le circuit de pixel 1300 de la [Fig.13]. En particulier, le capteur d'image 1400 comprend par exemple un réseau de capteurs (SENSOR ARRAY) 1402 comprenant, par exemple, un ou plusieurs étages qui comportent les capteurs 102 et au moins une partie des comparateurs des circuits de pixel et un réseau logique (LOGIC ARRAY) 1404 empilé sur le réseau de capteurs 1402 et comprenant, par exemple, le circuit de signalisation d'événement 1102 des circuits de pixel et dans certains cas une partie des comparateurs 104 des circuits de pixel.

[0147] Le réseau logique 1404 comprend par exemple un circuit logique périphérique destiné à enregistrer un événement. En particulier, un circuit de détection d'événement de colonne (X REGISTER) 1406 est par exemple relié aux lignes de signalisation de colonne, telles que les lignes de colonne 1204, 1206, de chaque colonne de circuits de pixel, et un circuit de détection d'événement de rangée (Y REGISTER) 1408 est par exemple relié aux lignes de signalisation de rangée, telles que les lignes de rangée 1208, 1210, de chaque rangée de circuits de pixel. Les circuits de détection d'événement de colonne et de rangée 1406, 1408 sont par exemple configurés pour traiter des événements signalés par des circuits de pixel du réseau un par un lorsqu'ils surviennent et pour assurer un arbitrage entre les événements de sorte que tous les événements soient correctement traités. Par exemple, la mise en œuvre décrite dans US2021/0337150 mentionné précédemment peut être utilisée.

[0148] Un codeur de colonne (X ENCODER) 1410 est par exemple relié au circuit de détection d'événement de colonne 1406 et génère une adresse de colonne X ADDRESS. Un codeur de rangée (Y ENCODER) 1412 est par exemple relié au circuit de détection d'événement de rangée 1408 et génère une adresse de rangée Y ADDRESS.

[0149] Le capteur d'image 1400 comprend également par exemple un compteur (COUNTER) 1414, qui est par exemple un compteur à 8 bits, 10 bits ou 12 bits, configuré pour générer le signal de rampe numérique DATA_RAMP, qui n'est pas fourni aux circuits de pixel des réseaux 1402, 1404, mais à un DAC 1416 et à une mémoire d'image 1418. Le DAC 1416 est configuré pour convertir le signal de rampe numérique DATA_RAMP en un signal de tension afin de générer la rampe de tension

V_RAMP fournie au réseau de capteurs 1402 et, en particulier, au comparateur 104 de chacun des circuits de pixel. La mémoire d'image 1418 est par exemple une mémoire intégrée dans le capteur d'image 1400 ou pourrait être selon une variante une mémoire externe, c'est-à-dire une mémoire qui est externe au capteur d'image 1400.

- [0150] Le capteur d'image 1400 comprend également par exemple un circuit de commande (CONTROL) 1420, mis par exemple en œuvre par une machine d'état fini et configuré pour générer le signal INIT, qui est fourni au réseau logique 1404 et, en particulier, au circuit de signalisation d'événement 1102 de chaque circuit de pixel, et les signaux TG, AZ et V_BIAS, qui sont fournis au réseau de capteurs 1402 et, en particulier, au capteur 102, au commutateur de mise à zéro automatique 112 et au comparateur 104 de chaque circuit de pixel. Le circuit de commande 1420 génère également par exemple le signal STAMP_INT, qui est fourni à la mémoire d'image 1418 et un signal d'horloge CK et un signal numérique D_VRST au compteur 1414. Le signal numérique D_VRST fixe une valeur initiale du compteur 1414 et le signal d'horloge CK commande le moment où le compteur 1414 incrémente son compte. Le circuit de commande 1420 est par exemple configuré pour recevoir un signal de fin de balayage (END_OF_SCAN) en provenance du circuit de détection d'événement de colonne ou de rangée 1406 ou 1408 indiquant le moment où tous les circuits de pixel signalant un événement ont été traités.
- [0151] Les signaux numériques DATA_RAMP et STAMP_INT constituent ensemble une valeur numérique PIXVAL qui est stockée dans la mémoire d'image 1418 sous la commande d'un signal d'écriture WRITE généré par le circuit de commande 1420. La valeur PIXVAL est écrite à une adresse dans la mémoire d'image 1418 indiquée par les adresses de colonne et de rangée X ADDRESS, Y ADDRESS. Par exemple, la mémoire d'image 1418 comprend une adresse correspondant à chaque circuit de pixel du réseau.
- [0152] Bien que cela ne soit pas illustré en [Fig.14], le capteur d'image 1400 comprend par exemple également une interface permettant de lire la mémoire 1418 et/ou un dispositif de reconstruction d'image destiné à reconstruire des images à large gamme dynamique, similaires aux éléments 514 et 516 de la [Fig.5].
- [0153] Le fonctionnement du capteur d'image 1400 sera maintenant décrit plus en détail en relation avec le chronogramme de la [Fig.15].
- [0154] La [Fig.15] est un chronogramme représentant des phases de lecture du capteur d'image de la [Fig.14] selon un exemple de mode de réalisation de la présente description. La [Fig.15] représente en particulier le signal TG, les signaux INIT et AZ qui sont par exemple le même signal dans des solutions pilotées par événement, le signal V_RAMP, le signal DATA_RAMP, le signal STAMP_INT et les signaux X ADDRESS et Y ADDRESS.

- [0155] Avant le premier cycle de lecture, la rampe de tension V_RAMP est par exemple amenée depuis le niveau de tension V_{sat} au niveau de tension V_{rst} à un instant t_0 . Les signaux $INIT$ et AZ sont ensuite pulsés à un instant t_1 pendant que $V_{RAMP} = V_{rst}$ pour initialiser le pixel. Le signal TG est ensuite pulsé à l'instant de début T_1 d'une première phase de lecture et la tension de nœud de lecture V_{pix} est générée au niveau de l'entrée du comparateur.
- [0156] A un instant t_2 , le signal numérique $STAMP_INT$ est par exemple fixé à une valeur associée à la première phase de lecture.
- [0157] A un instant t_3 , la rampe numérique $DATA_RAMP$ et la rampe de tension V_RAMP commence à incrémenter par marches. Pour chaque marche, tous les circuits de pixel ayant leur tension de nœud de lecture V_{pix} qui est croisée par la rampe de tension V_RAMP génère un événement. Toutes les adresses correspondantes de ces circuits de pixel sont codées séquentiellement ou en parallèle, en fonction de l'architecture considérée, en terminant individuellement le protocole d'authentification. Ces adresses, ainsi que les valeurs numériques courantes $DATA_RAMP$ et $STAMP_INT$, sont lues et/ou stockées dans la mémoire d'image 1418, sous la commande du signal d'écriture ($WRITE$) transmis par le circuit de commande 1420 à la mémoire 1418. Par exemple, le signal d'écriture $WRITE$ est activé en réponse à chaque front significatif d'un signal d'horloge clk pendant que le signal de fin de balayage END_OF_SCAN n'est pas activé. Le signal d'horloge clk est par exemple l'horloge qui est utilisée pour synchroniser temporellement les circuits de détection d'événement de colonne et de rangée 1406, 1408 et indique ainsi la vitesse de lecture du réseau de pixels.
- [0158] Une fois qu'il n'y a plus de requête de pixel à traiter, le signal de fin de balayage END_OF_SCAN est par exemple activé et le circuit de commande 1420 est configuré pour incrémenter le signal de rampe numérique $DATA_RAMP$ d'une marche amenant la rampe de tension V_RAMP à augmenter d'un niveau de tension équivalent d'un LSB. Le cycle recommence ensuite. Les amplitudes du signal de rampe numérique $DATA_RAMP$ et de la rampe de tension V_RAMP pendant les phases de lecture suivantes sont par exemple choisies de la même façon que cela a été décrit précédemment, toutes les rampes montant par exemple à une valeur intermédiaire V_m , sauf la rampe de la phase de lecture finale de la trame, qui est par exemple une rampe pleine plage.
- [0159] On notera que la durée variable de chaque marche de la rampe de tension V_RAMP pourrait conduire, dans le cas de niveaux d'éclairement relativement élevés dans l'image, à une situation dans laquelle la première phase de lecture n'est pas achevée par l'instant T_2 auquel la deuxième phase de lecture doit commencer. Certaines techniques pour pallier à cette situation seront maintenant décrites en relation avec les figures 16 à 20.

- [0160] La figure 16 est un autre chronogramme représentant des phases de lecture du capteur d'image de la figure 14 selon un exemple de mode de réalisation de la présente description. La figure 16 est similaire au diagramme de la figure 6, si ce n'est que les phases de lecture d'une seule trame sont illustrées en figure 16 et que la synchronisation temporelle de la deuxième phase de lecture est modifiée. En particulier, si la première phase de lecture s'étend au-delà de l'instant de début T_2 de la deuxième phase de lecture, la deuxième phase de lecture est retardée pour commencer à un instant T_2' .
- [0161] Bien entendu, modifier le début de la deuxième phase de lecture implique de modifier la courbe de compression utilisée pour convertir la tension de nœud de lecture V_{pix} en la valeur de pixel d'image. En outre, il y a un risque que certains circuits de pixel puissent saturer, provoquant une perte d'informations.
- [0162] La figure 17 est un autre chronogramme représentant des phases de lecture du capteur d'image de la figure 14 selon un autre exemple de mode de réalisation de la présente description. La figure 17 est similaire au chronogramme de la figure 16, si ce n'est que, plutôt que de retarder la deuxième phase de lecture, la première phase de lecture est divisée en deux parties a et b à des instants T_{1a} et T_{1b} respectivement. Dans ce cas, seulement le signal AZ est généré aux instants T_{1a} et T_{1b} et aucun INIT n'est utilisé, les pixels ayant été lus demeurant désactivés. Cette approche peut bien marcher dans certaines applications, mais pour certaines applications cela pourrait conduire à l'effet d'image rémanente pour des scènes bougeant très vite, en raison de la réinitialisation par le signal AZ à deux instants différents.
- [0163] La figure 18 est un autre chronogramme représentant des phases de lecture du capteur d'image de la figure 14 selon encore un autre exemple de mode de réalisation de la présente description. Le chronogramme de la figure 18 est similaire à celui de la figure 6 et représente les valeurs de pixel (PIXEL VALUES) sur la base de tensions de nœud de lecture sur deux trames consécutives n (FRAME_n) et n+1 (FRAME_n+1). Toutefois, dans l'exemple de la figure 18, les phases de lecture aux instants T_1 et T_2 impliquent un échantillonnage de la tension de nœud de lecture dans chaque circuit de pixel et un stockage local de la présence d'événements, sans lire l'événement en utilisant le circuit de signalisation d'événement. La lecture est effectuée après la troisième phase de lecture (READ PHASE 3), comme il y a un plus grand intervalle de temps entre les instants T_3 et T_4 dans lequel effectuer cette opération. La phase finale de lecture (READ PHASE 4) se passe par exemple comme dans les exemples précédents.
- [0164] Selon la solution de la figure 19, la rampe de tension d'entrée du comparateur V_RAMP est par exemple fixée à un niveau constant de V_m pendant les première et deuxième phases et des pixels ayant des valeurs entre cette valeur et V_{sat} à la fin de chaque temps d'intégration T_1 , T_2 seront estampillés avec la valeur $STAMP_INT$ cor-

respondante et la commande TG correspondante est par exemple désactivée jusqu'à la fin du cycle de trame. Par conséquent, la tension de nœud de lecture V_{pix} est stockée au niveau du nœud de lecture SN de ces pixels jusqu'à la troisième phase de lecture à un instant T_3 , moment auquel tous les pixels ayant des événements aux instants T_1 , T_2 ou T_3 sont lus. A l'instant T_4 , les pixels restants peuvent être lus avec toute la plage dynamique appliquée à la rampe de tension V_RAMP , comme cela a été expliqué précédemment. A cet instant, ou optionnellement une fois la phase de lecture finale achevée, la phase d'intégration d'une nouvelle trame débute par exemple.

[0165] Le stockage local dans les circuits de pixel de la valeur de cachet STAMP_INT est par exemple effectué en utilisant un registre interne et un circuit logique est par exemple également ajouté dans chaque pixel afin de désactiver l'arrivée de l'impulsion TG pour des pixels détectant des événements pendant les première et deuxième phases de lecture comme cela sera maintenant décrit en relation avec la [Fig.19].

[0166] La figure 19 représente schématiquement un circuit de pixel 1900 selon encore un autre exemple de mode de réalisation de la présente description. Le circuit de pixel 1900 a de nombreux éléments commun au circuit 1100 de la figure 12 et ces éléments sont désignés par de mêmes références et ne seront pas de nouveau décrits en détail. Toutefois, dans le circuit de pixel 1900, la sortie de comparateur, correspondant par exemple à la sortie de la bascule de Schmitt 206, est commutée par une bascule 1902, dont la sortie désactive la commande d'entrée TG arrivant au niveau du pixel. Par exemple, la bascule 1902 est une bascule RS et une sortie d'inverseur \bar{Q} de cette bascule est par exemple reliée à une entrée d'une porte ET 1904, dont l'autre entrée est reliée à la ligne TG recevant le signal TG. La sortie de la porte ET 1904 est reliée, par exemple par l'intermédiaire des connexions inter-étages 212, 210 (au lieu du signal de désactivation), à la sortie de commande de la grille de transfert 106. Par conséquent, si la tension au nœud de lecture V_{pix} atteint V_m pendant les première et deuxième phases de lecture, la grille de transfert 106 demeurera désactivée jusqu'à une commande INIT suivante. Une flèche descendante dans la bascule de Schmitt 206 et une flèche montante dans la porte ET 1904 indiquent un décalage de niveau vers le haut ou vers le bas afin d'adapter les deux alimentations différentes. Par exemple, des niveaux d'alimentation et de signal dans l'étage TIER 3 sont des tensions relativement basses, telles que 1 V ou 1,2 V, dans la mesure où cet étage est par exemple mis en œuvre dans un processus logique avancée, alors que, dans les étages TIER 1 et TIER 2, des dispositifs sont mis par exemple en œuvre conformément à un processus analogique avec une tension d'alimentation plus élevée, telle que 2,5 V.

[0167] Une porte OU 1906 est également par exemple ajoutée dans le circuit de pixel 1900 par rapport au circuit de pixel 1200, cette porte OU ayant une entrée recevant un signal d'entrée INH du circuit de pixel, et son autre entrée reliée à la sortie de la porte ET

1230. Ce signal d'entrée INH qui est généré par exemple par le circuit de commande 1420 est par exemple utilisé afin de désactiver le circuit de signalisation d'événement 1102 jusqu'à ce que la lecture doive être effectuée pendant la troisième phase de lecture à l'instant T_3 .

[0168] Un registre à 3 bits (3-BIT REG) 1908 est également ajouté, ce registre recevant, au niveau d'une entrée de données, le signal de cachet STAMP_INT, et étant commandé par la sortie non inverseuse Q de la bascule 1902 pour stocker la valeur du signal STAMP_INT lorsqu'un événement est détecté pendant la première ou la deuxième phase de lecture. Une sortie du registre 1908 est reliée à un bus de données STAMP_BUS qui est par exemple commun aux circuits de pixel d'une même rangée du réseau. Le registre 1908 est par exemple commandé pour fournir en sortie sa valeur stockée par une sortie d'une porte ET 1910, qui a une de ses entrées reliée à la sortie de la porte ET 1216 et son autre entrée reliée à la ligne 1206 recevant le signal d'accusé de réception ackx. Par exemple, le bus de données STAMP_BUS est un bus à haute impédance qui peut par exemple être mis en œuvre en utilisant des transistors similaires au transistor 1220 pour abaisser la tension sur le bus.

[0169] L'une ou l'autre des solutions de synchronisation de lecture décrites en relation avec les figures 16 à 19 peuvent être préférables en fonction du nombre de circuits de pixel qui ont des valeurs d'éclairement fortes ou faibles. Dans certaines solutions d'architecture pilotées par événement, un histogramme d'image en temps réel est par exemple généré en même temps que l'opération de capture de trame d'image et utilisée par exemple pour régler les rapports de temps d'exposition et/ou le mode de lecture pour des trames suivantes, comme cela sera maintenant décrit plus en détail en relation avec la [Fig.20].

[0170] La [Fig.20] est un chronogramme représentant des phases de lecture du capteur d'image de la [Fig.14] selon encore un autre exemple de mode de réalisation de la présente description. Le chronogramme de la [Fig.20] est identique à celui de la [Fig.15], si ce n'est qu'un signal PIXEL_COUNTER est ajouté, représentant la génération de l'histogramme d'image. Par exemple, à chaque marche du signal de rampe numérique DATA_RAMP pendant chacune des phases de lecture, un compteur d'événement est utilisé pour compter le nombre de circuits de pixels ayant des événements apparaissant au niveau donné et, lorsque le signal de rampe de données numérique DATA_RAMP est incrémenté, la valeur de compte est par exemple stockée dans une mémoire (non représentée). Par exemple, ce compteur d'événements fait partie du circuit de commande 1420 (représenté par un bloc en traits pointillés EVENT_COUNTER 1422 en [Fig.14]) et est incrémenté chaque fois que le signal d'écriture WRITE est activé, indiquant qu'un événement a été détecté. A la fin du cycle de trame, les valeurs de compte atteinte par chaque compteur pour les différents niveaux de du

signal de rampe numérique fournissent l'histogramme d'image (HISTOGRAM), dont un exemple est représenté au bas de la [Fig.20]. Ce graphe de distribution de valeur de pixel peut être utilisé pour calculer les paramètres d'intégration et de conversion appliqués à une ou plusieurs trames d'image suivantes. Par exemple, un processeur dédié est utilisé pour calculer la configuration de trame suivante.

Aspects communs

- [0171] Un avantage des circuits de pixel et des capteurs d'image décrits ici est que des images à large gamme dynamique peuvent être générées sans augmenter significativement l'encombrement de pixel et avec une consommation d'énergie relativement réduite. En outre, un traitement de post-production peut être effectué afin de reconstruire les images à large gamme dynamique sur la base des valeurs de pixel lues.
- [0172] Un avantage d'effectuer la conversion analogique vers numérique localement dans chaque pixel et de stocker les valeurs de pixel numériques dans la mémoire locale comme cela a été décrit en relation avec les figures 1 à 10 est que les pixels sont presque immédiatement lus après un transfert de charge. Cette caractéristique évite que des spécifications restreintes doivent prendre en compte, par exemple, des fuites au nœud de lecture ainsi qu'une sensibilité à des lumières parasites (PLS), ce qui peut être critique dans une opération de prise de vue instantanée classique (obturateur global), où le nœud de lecture est laissé flottant pendant toute une longueur de trame qui est typiquement entre 10 ms et 20 ms. Comme le nœud de lecture est un mode à haute impédance, il est également très sensible aux parasites et au bruit.
- [0173] Un avantage de la réinitialisation et de la désactivation des photodiodes de pixels qui ont été lus est que cela évite la saturation des photodiodes et le risque que des charges provenant de photodiodes saturées ne migrent vers des pixels environnants.
- [0174] Divers modes de réalisation et variantes ont été décrits. La personne du métier comprendra que certaines caractéristiques de ces divers modes de réalisation et variantes pourraient être combinées, et d'autres variantes apparaîtront à la personne du métier. Par exemple, bien que des modes de réalisation soient décrits dans lesquels une tension de rampe V_RAMP est utilisée pour effectuer une conversion analogique vers numérique ou une détection d'événement, un autre mode de détection à seuil pourrait également être mise en œuvre dans lequel une tension constante, par exemple au niveau de tension V_m , est appliquée au lieu de la rampe de tension, de sorte que des pixels qui sont éclairés au-delà d'un seuil correspondant peuvent être détectés. Cela pourrait par exemple être utilisé dans la détection d'objets brillants tels que des phares d'un véhicule, ou d'autres feux de signalisation dans la scène d'image. Dans la configuration pilotée par événement, la valeur ajoutée est qu'une détection directe d'adresse de pixel qui indique la position de l'objet peut être obtenue, sans lire toute la mémoire.
- [0175] En outre, bien que certains exemples d'amplitudes réduites de rampe aient été

fournis, il y a de nombreuses valeurs possibles. Par exemple, selon un mode de réalisation, une première amplitude de rampe pourrait être de 25 pour cent de la gamme complète et une deuxième amplitude de 50 pour cent.

[0176] En outre, il sera évident à la personne du métier que les différents circuits pourraient être modifiés pour remplacer les transistors NMOS par des transistors PMOS ou inversement et différentes technologies de transistors pourraient être utilisées.

[0177] Enfin, la mise en oeuvre pratique des modes de réalisation et variantes décrits est à la portée de la personne du métier à partir des indications fonctionnelles données ci-dessus.

Revendications

- [Revendication 1] Circuit de pixel d'un capteur d'image, le circuit de pixel comprenant :
- une photodiode pincée (PD) reliée à un nœud de lecture (SN) ;
 - un comparateur (104) configuré :
 - pour comparer, pendant une première phase de lecture, une première tension de nœud de lecture (V_{pix}) au niveau du nœud de lecture (SN), résultant d'une première période d'intégration de la photodiode pincée (PD), avec une première rampe de tension (V_RAMP) et pour générer un signal de sortie (WRITE) si la tension de la première rampe de tension (V_RAMP) croise la première tension de nœud de lecture (V_{pix}) ; et
 - si la tension de la première rampe de tension (V_RAMP) ne croise pas la première tension de nœud de lecture (V_{pix}) pendant la première phase de lecture, pour comparer, pendant une deuxième phase de lecture, une deuxième tension de nœud de lecture (V_{pix}) au niveau du nœud de lecture (SN), résultant de la première période d'intégration et d'une deuxième période d'intégration de la photodiode pincée (PD), avec une deuxième rampe de tension (V_RAMP) et pour générer un signal de sortie (WRITE) lorsque la tension de la deuxième rampe de tension (V_RAMP) croise la deuxième tension de nœud de lecture (V_{pix}) ; et
 - une mémoire (108) configurée pour recevoir une rampe numérique (DATA_RAMP) et pour stocker, en réponse au signal de sortie (WRITE) du comparateur (104), pendant la première ou la deuxième phase de lecture, une valeur de la rampe numérique (DATA_RAMP) pour constituer des données de pixel (DATA_PIX) du pixel, dans lequel une cathode de la photodiode (PD) est reliée au nœud de lecture (SN) par l'intermédiaire d'une grille de transfert (106), la grille de transfert étant activée par une première impulsion d'activation au début de la première phase de lecture et par une deuxième impulsion d'activation au début de la deuxième phase de lecture, la tension au niveau du nœud de lecture (SN) n'étant pas réinitialisée entre les première et deuxième phases de lecture.
- [Revendication 2] Circuit de pixel selon la revendication 1, le circuit de pixel comprenant en outre un circuit logique (110) configuré pour désactiver le comparateur pendant la deuxième phase de lecture si le signal de sortie (WRITE) est généré pendant la première phase de lecture.
- [Revendication 3] Circuit de pixel selon la revendication 1 ou 2, dans lequel le deuxième

- signal de rampe a une amplitude (A2) supérieure à l'amplitude (A1) du premier signal de rampe.
- [Revendication 4] Circuit de pixel selon l'une quelconque des revendications 1 à 3, dans lequel la mémoire (108) est en outre configurée pour recevoir un signal numérique (STAMP_INT) ayant une première valeur pendant la première phase de lecture et une deuxième valeur pendant la deuxième phase de lecture, la mémoire (108) étant configurée pour stocker, en réponse au signal de sortie (WRITE) du comparateur (104) pendant la première ou la deuxième phase de lecture, la valeur du signal numérique (STAMP_INT).
- [Revendication 5] Circuit de pixel selon la revendication 2, comprenant en outre un transistor de réinitialisation (MRST) reliant la cathode de la photodiode (PD) à un rail de tension de réinitialisation (Vrst), dans lequel le circuit logique (110) est en outre configuré pour activer le transistor de réinitialisation (MRST) en réponse au signal de sortie (WRITE) du comparateur (104) pendant la première ou la deuxième phase de lecture.
- [Revendication 6] Circuit de pixel selon l'une quelconque des revendications 1 à 5, dans lequel :
- si la tension de la deuxième rampe de tension (V_RAMP) ne croise pas la deuxième tension de nœud de lecture (Vpix) pendant la deuxième phase de lecture, le comparateur (104) est en outre configuré pour comparer, pendant une troisième phase de lecture, une troisième tension de nœud de lecture (Vpix) au niveau du nœud de lecture (SN) avec une troisième rampe de tension (V_RAMP) et pour générer un signal de sortie (WRITE) lorsque la tension de la troisième rampe de tension (V_RAMP) croise la troisième tension de nœud de lecture (Vpix) ; et
 - la mémoire (108) est en outre configurée pour stocker, en réponse au signal de sortie (WRITE) du comparateur (104) pendant la troisième phase de lecture, une valeur de la rampe numérique (DATA_RAMP) pour constituer des données de pixel (DATA_PIX) du pixel.
- [Revendication 7] Capteur d'image, comprenant :
- un réseau constitué d'une pluralité du circuit de pixel selon l'une quelconque des revendications 1 à 6.
- [Revendication 8] Capteur d'image selon la revendication 7 comprenant une pluralité du circuit de pixel selon les revendications 4 et 5, dans lequel :
- la première rampe de tension (V_RAMP) croise la première tension de nœud de lecture (Vpix) d'un premier des circuits de pixel pendant la première phase de lecture et la mémoire (108) du premier circuit de

pixel est configurée pour stocker : une première valeur de la rampe numérique (DATA_RAMP) correspondant à la première tension de nœud de lecture (V_{pix}) et la première valeur du signal numérique (STAMP_IN) ; et

- la deuxième rampe de tension (V_{RAMP}) croise la deuxième tension de nœud de lecture (V_{pix}) d'un deuxième des circuits de pixel pendant la deuxième phase de lecture et la mémoire (108) du deuxième circuit de pixel est configurée pour stocker : une deuxième valeur de la rampe numérique (DATA_RAMP) correspondant à la deuxième tension de nœud de lecture (V_{pix}) et la deuxième valeur du signal numérique (STAMP_IN).

[Revendication 9]

Capteur d'image selon la revendication 8, comprenant en outre un dispositif de reconstruction d'image (516) configuré pour reconstruire une image en générant :

- une première valeur de pixel de l'image sur la base des premières valeurs stockées dans la mémoire (108) du premier circuit de pixel ; et
 - une deuxième valeur de pixel de l'image sur la base des deuxièmes valeurs stockées dans la mémoire (108) du deuxième circuit de pixel et sur la base des durées relatives des première et deuxième périodes d'intégration.

[Revendication 10]

Capteur d'image selon l'une quelconque des revendications 7 à 9, comprenant en outre :

- un compteur (506) configuré pour générer la rampe numérique (DATA_RAMP) et pour fournir la rampe numérique à chaque circuit de la pluralité de circuits de pixel ; et
 - un convertisseur numérique vers analogique (508) configuré pour convertir la rampe numérique (DATA_RAMP) en la première rampe de tension (V_{RAMP}) pendant la première phase de lecture et en la deuxième rampe de tension pendant la deuxième phase de lecture.

[Revendication 11]

Capteur d'image selon l'une quelconque des revendications 7 à 10, comprenant en outre une interface de lecture (114) configurée pour lire, après les première et deuxième phases de lecture, une image provenant du capteur d'image en lisant les données de pixel (DATA_PIX) à partir de la mémoire (108) de chaque circuit de pixel.

[Revendication 12]

Capteur d'image selon l'une quelconque des revendications 7 à 11, comprenant des premier et deuxième étages empilés (TIER 1, TIER 2), chacun des circuits de pixel du réseau comprenant un capteur (102), le capteur (102) comprenant la photodiode pincée (PD) et le nœud de

lecture (SN) de chaque circuit de pixel, le capteur (102) étant formé dans le premier étage (TIER 1) et une partie du comparateur (104) étant formé dans le deuxième étage (TIER 2).

[Revendication 13] Capteur d'image selon la revendication 12, dans lequel la mémoire (108) est formée dans le deuxième étage (TIER 2), ou dans un troisième étage (TIER 3) du capteur d'image empilé avec les premier et deuxième étages (TIER 1, TIER 2).

[Revendication 14] Procédé de lecture d'un circuit de pixel d'un capteur d'image, le circuit de pixel comprenant une photodiode pincée (PD) reliée à un nœud de lecture (SN), le procédé comprenant :

- la comparaison, par un comparateur (104) pendant une première phase de lecture, d'une première tension de nœud de lecture (V_{pix}) au niveau du nœud de lecture (SN), résultant d'une première période d'intégration de la photodiode pincée (PD), avec une première rampe de tension (V_{RAMP}) et la génération, par le comparateur (104), d'un signal de sortie (WRITE) si la tension de la première rampe de tension (V_{RAMP}) croise la première tension de nœud de lecture (V_{pix}) ;
- si la tension de la première rampe de tension (V_{RAMP}) ne croise pas la première tension de nœud de lecture (V_{pix}) pendant la première phase de lecture, la comparaison, par le comparateur (104), pendant une deuxième phase de lecture, d'une deuxième tension de nœud de lecture (V_{pix}) au niveau du nœud de lecture (SN), résultant de la première période d'intégration et d'une deuxième période d'intégration de la photodiode pincée (PD), avec une deuxième rampe de tension (V_{RAMP}) et la génération d'un signal de sortie (WRITE) lorsque la tension de la deuxième rampe de tension (V_{RAMP}) croise la deuxième tension de nœud de lecture (V_{pix}) ;
- la réception, par une mémoire (108) du circuit de pixel, d'une rampe numérique (DATA_RAMP) ; et
- le stockage, en réponse au signal de sortie (WRITE) du comparateur (104), pendant la première ou la deuxième phase de lecture, d'une valeur de la rampe numérique (DATA_RAMP) pour constituer des données de pixel (DATA_PIX) du pixel, dans lequel une cathode de la photodiode (PD) est reliée au nœud de lecture (SN) par l'intermédiaire d'une grille de transfert (106), la grille de transfert étant activée par une première impulsion d'activation au début de la première phase de lecture et par une deuxième impulsion d'activation au début de la deuxième phase de lecture, la tension au niveau du nœud de lecture (SN) n'étant pas réini-

tialisée entre les première et deuxième phases de lecture.

[Fig. 1]

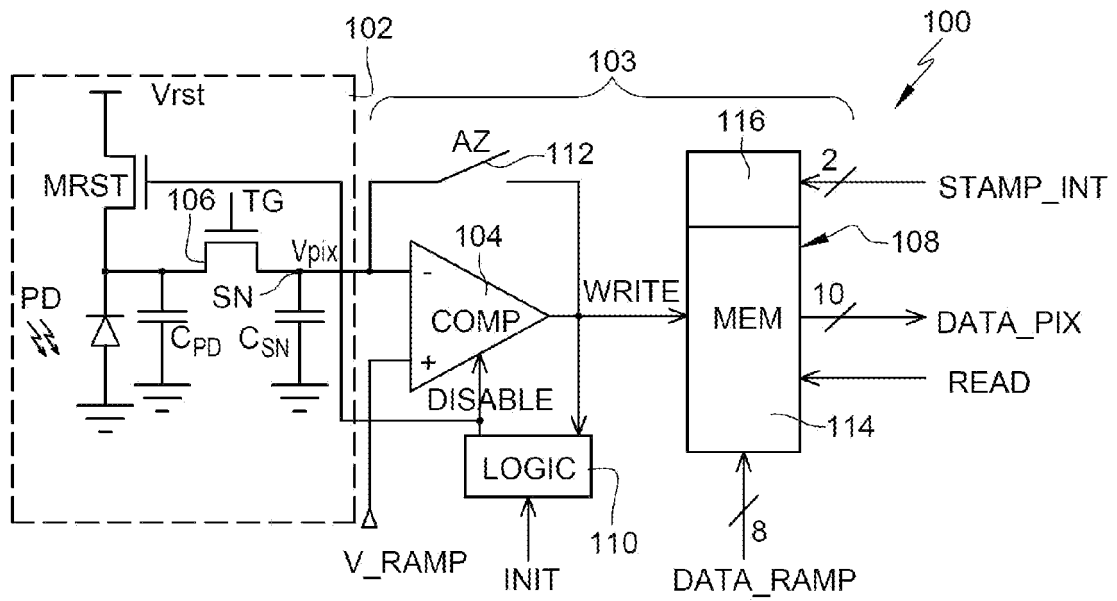


Fig. 1

[Fig. 2]

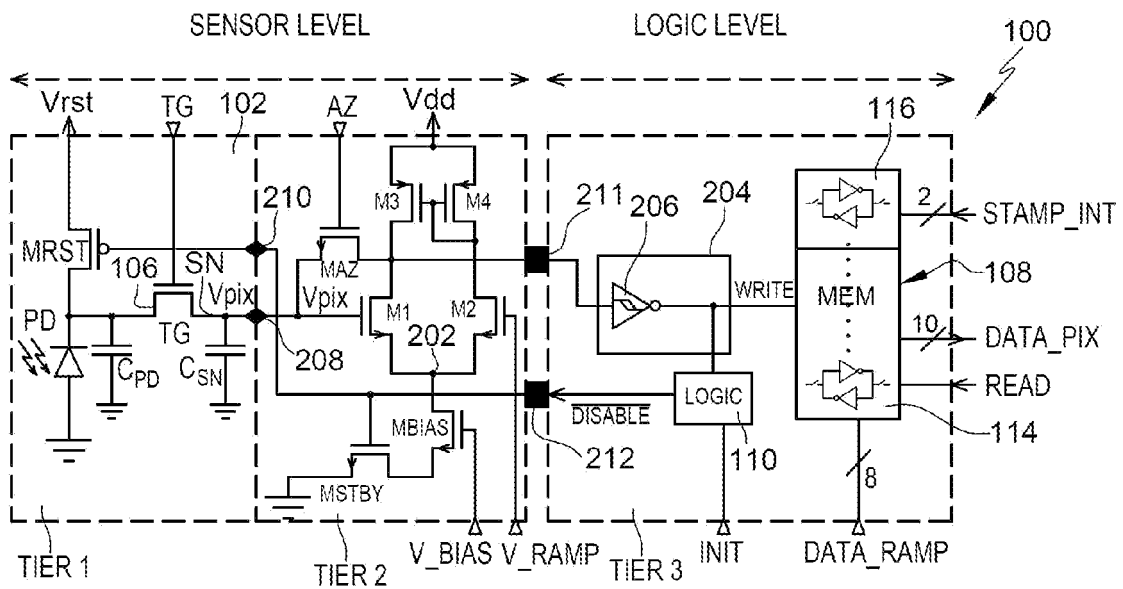


Fig. 2

[Fig. 3]

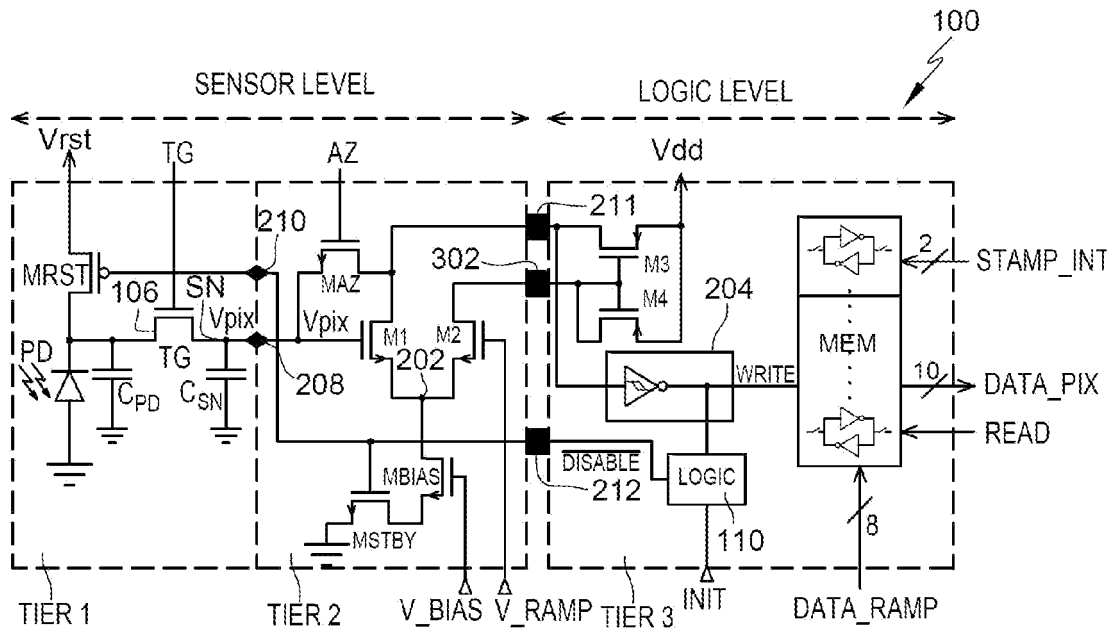


Fig. 3

[Fig. 4]

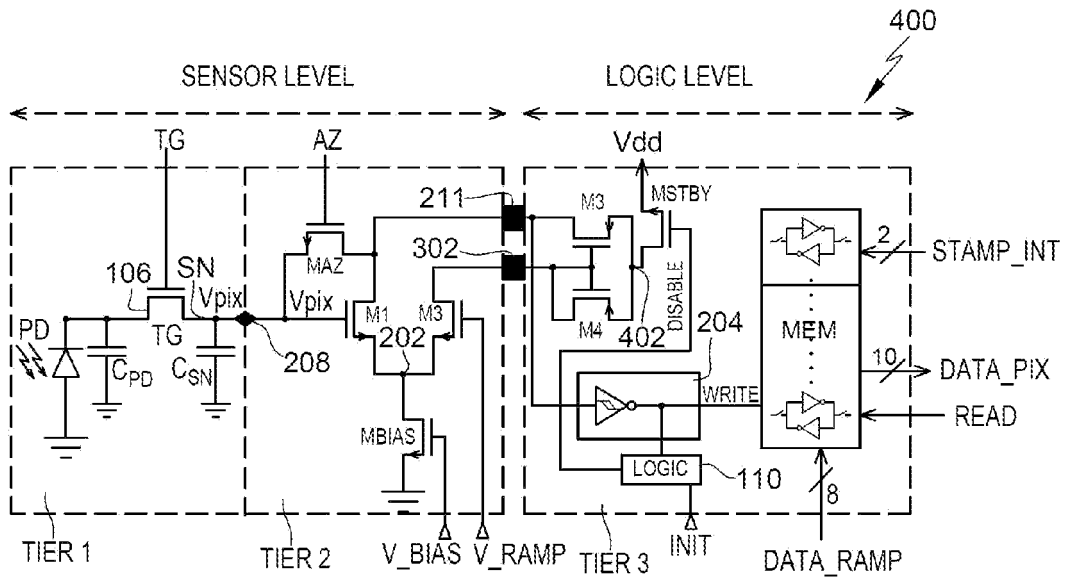


Fig. 4

[Fig. 5]

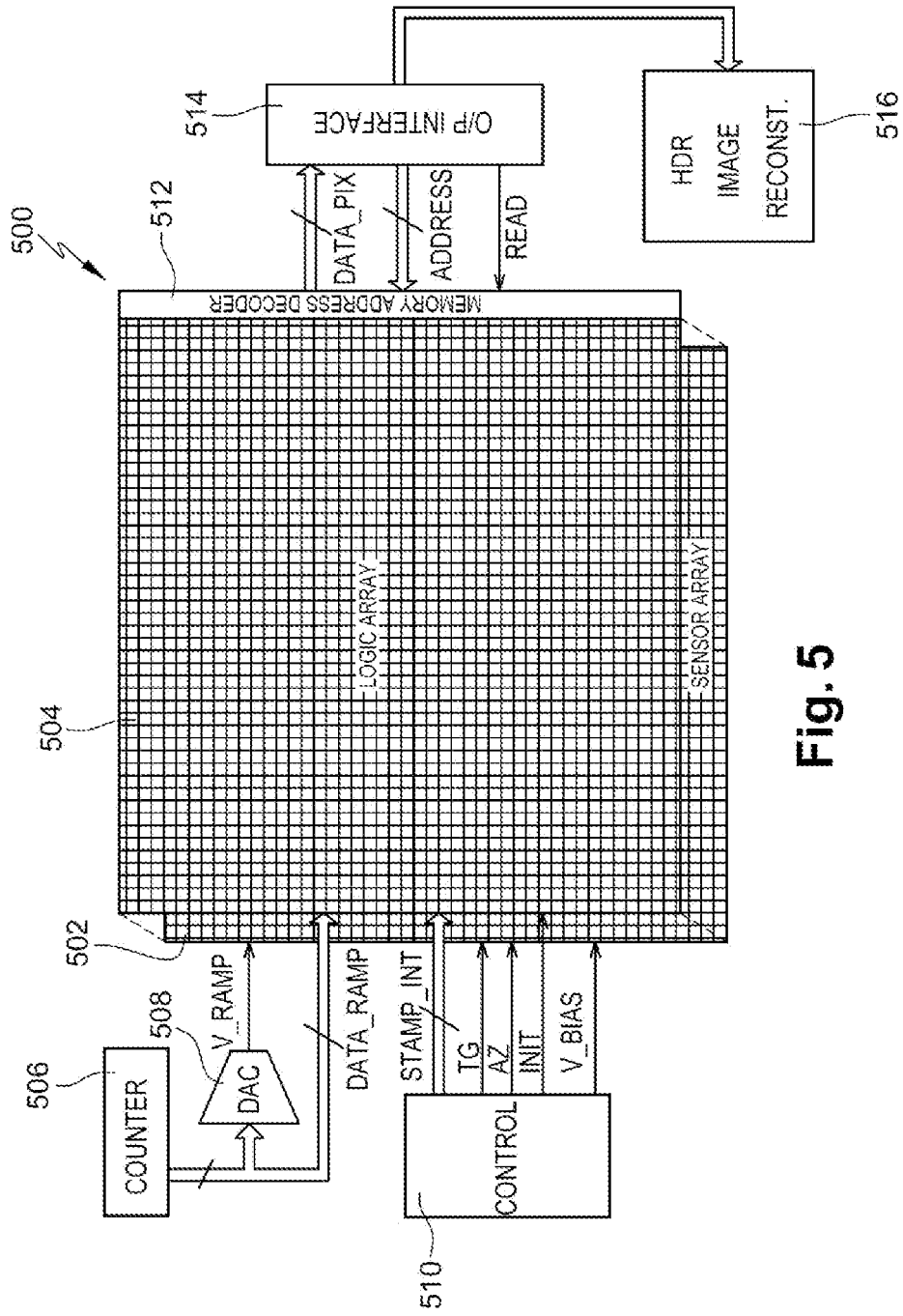


Fig. 5

[Fig. 6]

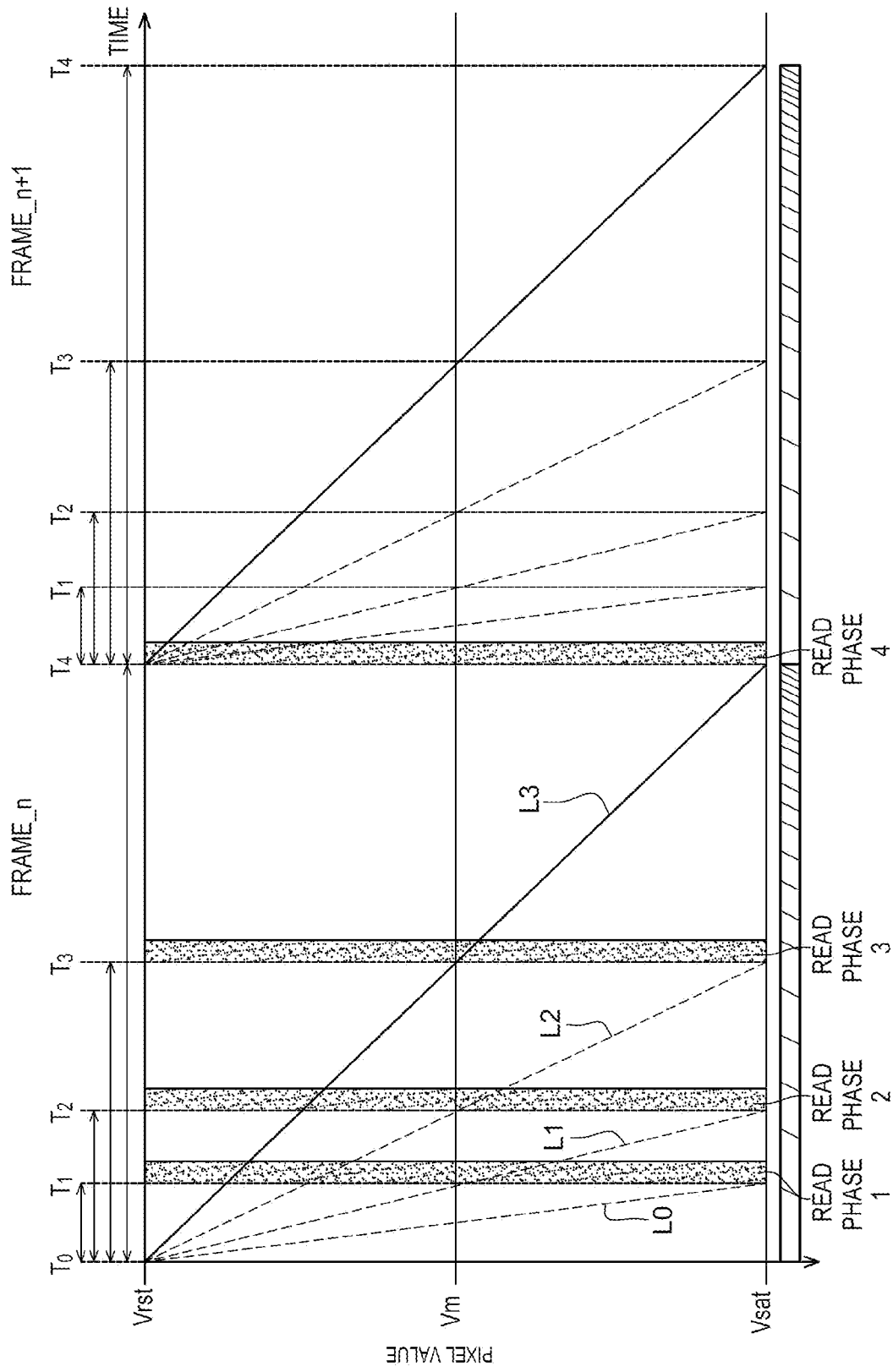


Fig. 6

[Fig. 7]

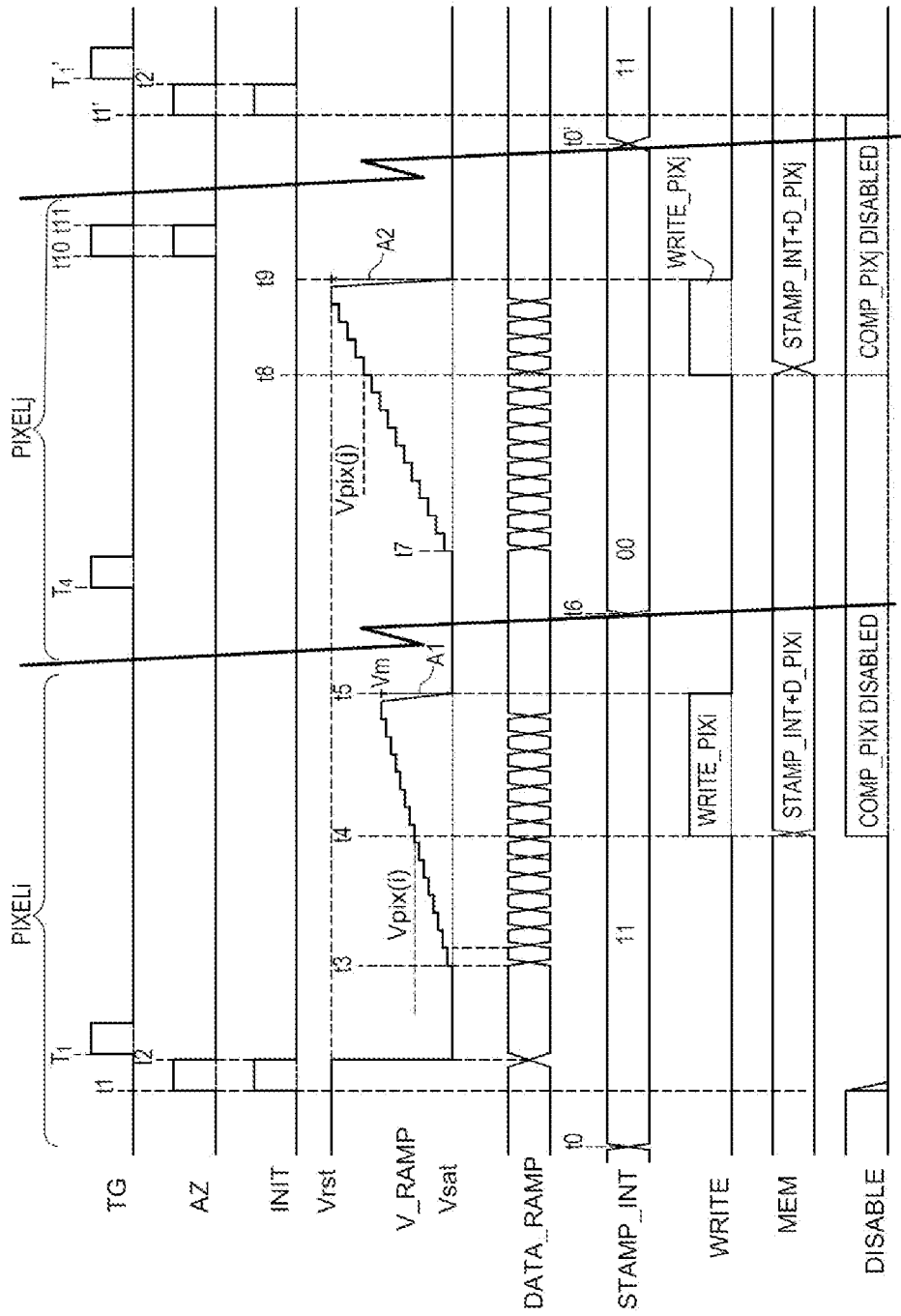
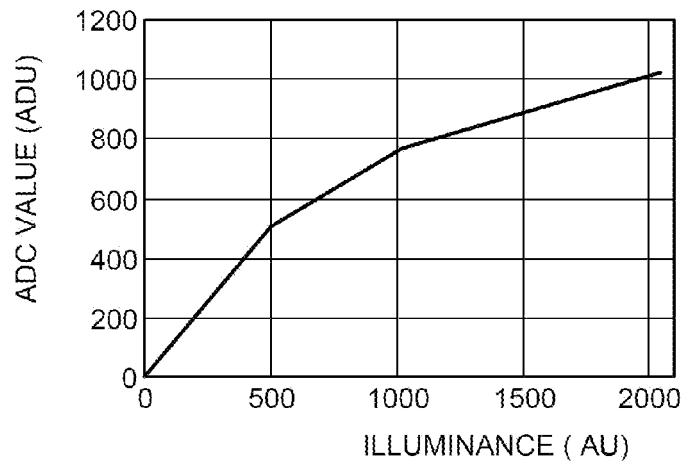
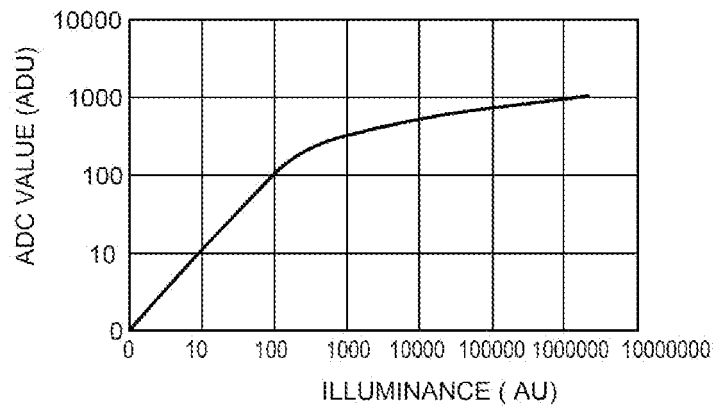


Fig. 7

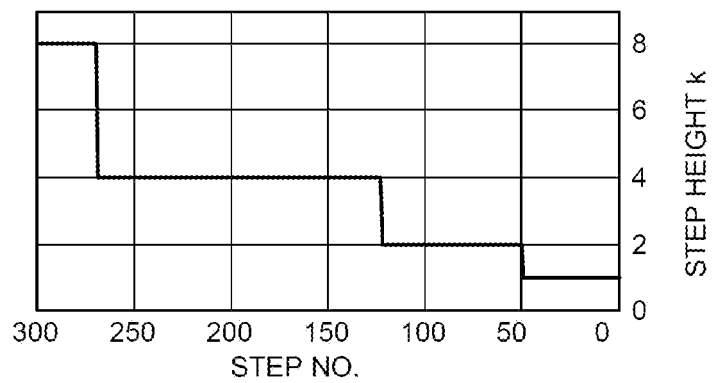
[Fig. 8]

Fig. 8

[Fig. 9]

Fig. 9

[Fig. 10]

Fig. 10

[Fig. 14]

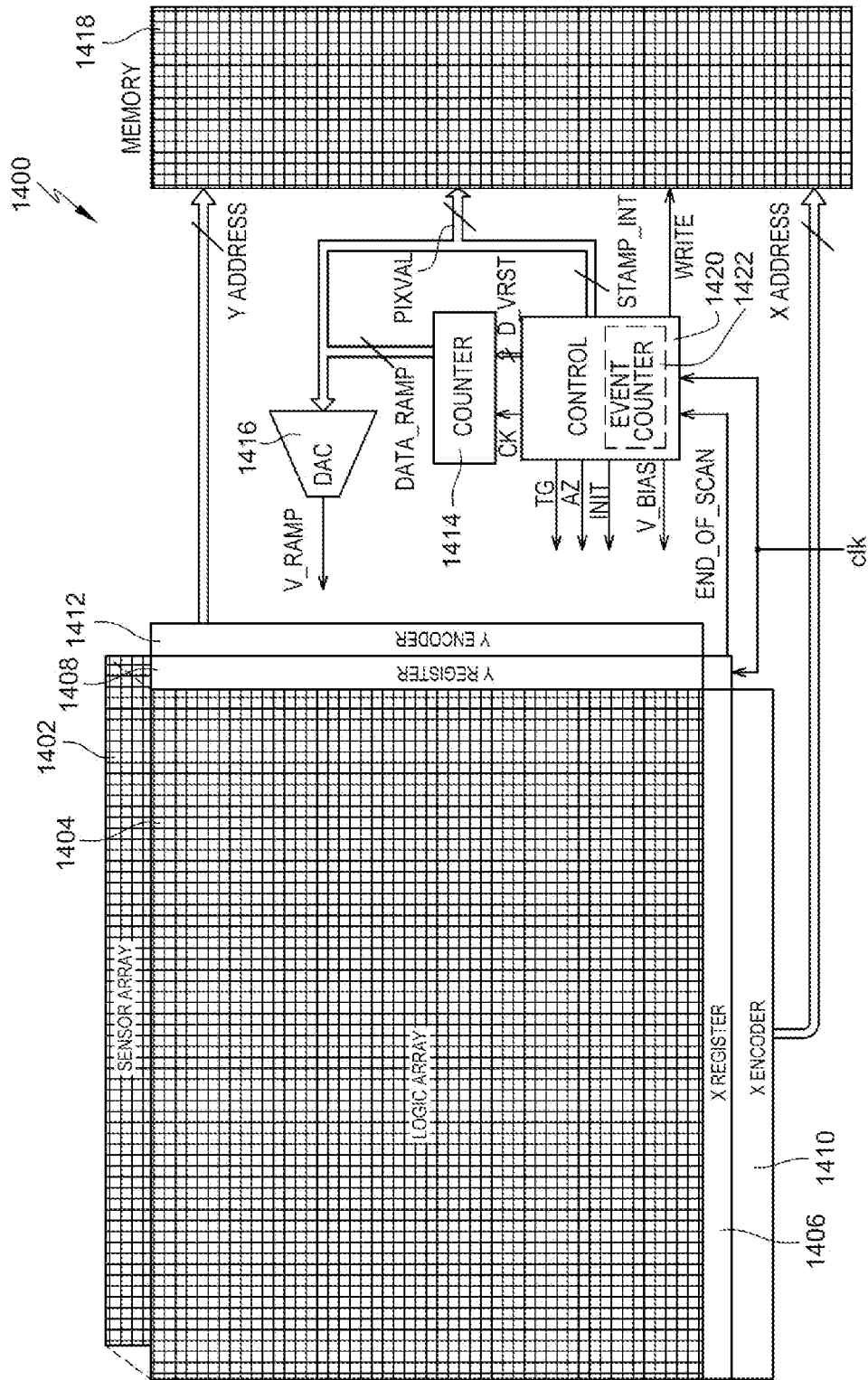


Fig. 14

[Fig. 15]

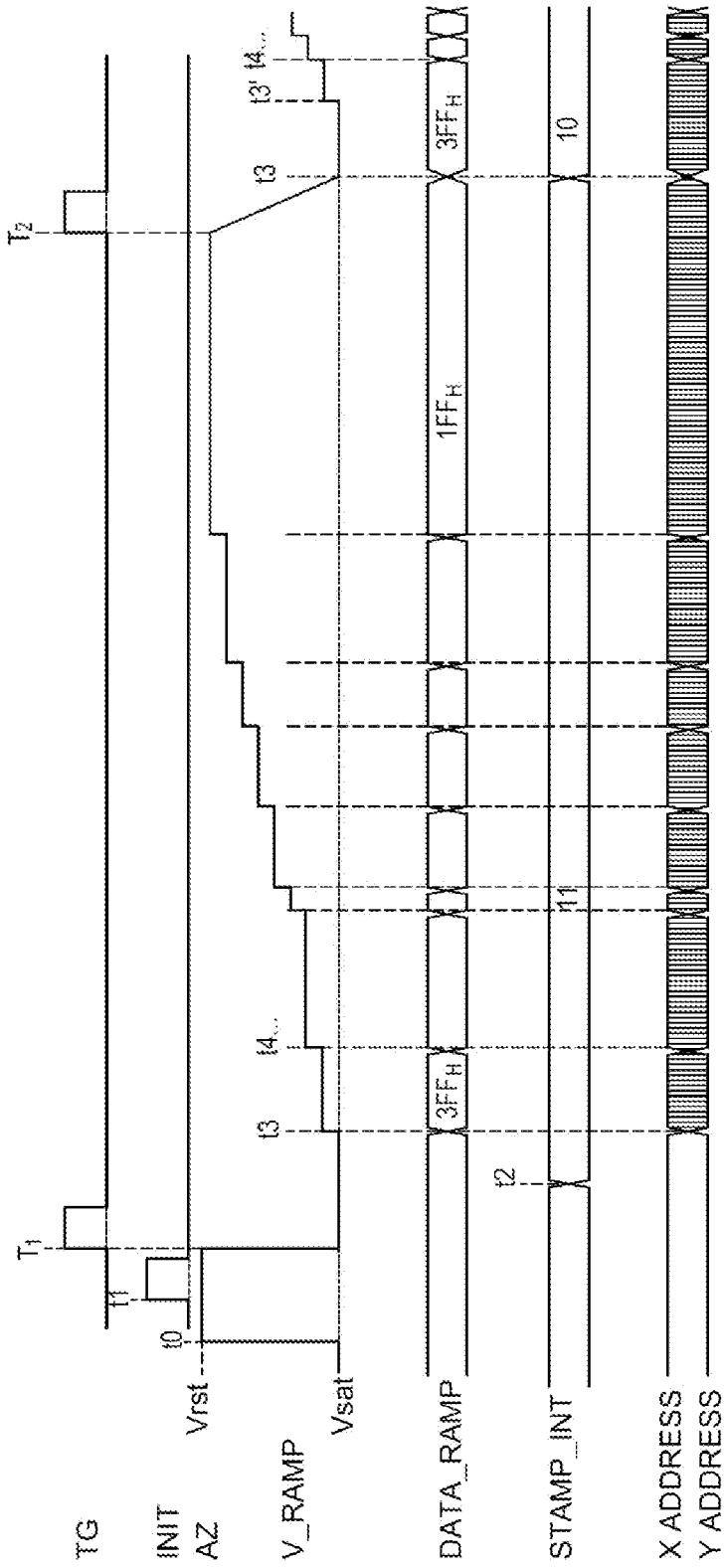


Fig. 15

[Fig. 16]

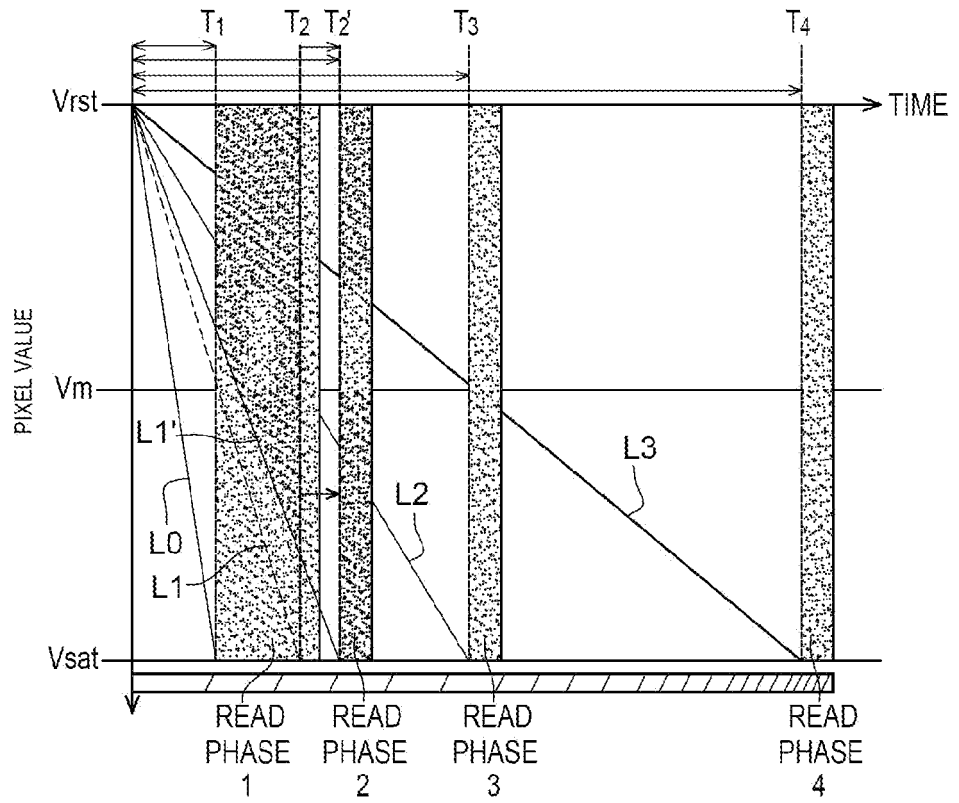


Fig. 16

[Fig. 17]

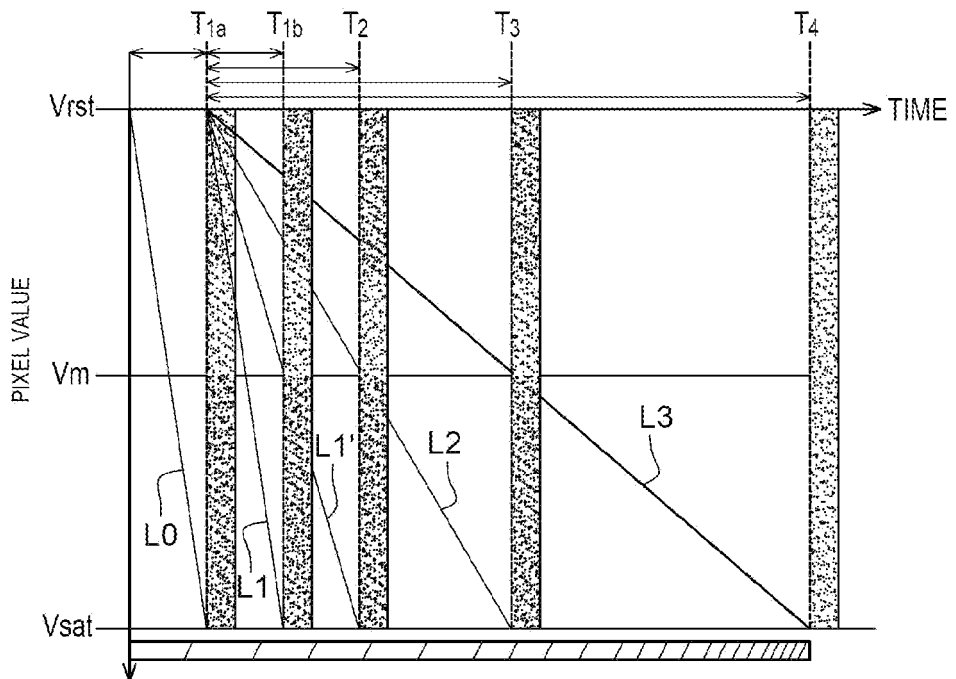


Fig. 17

[Fig. 18]

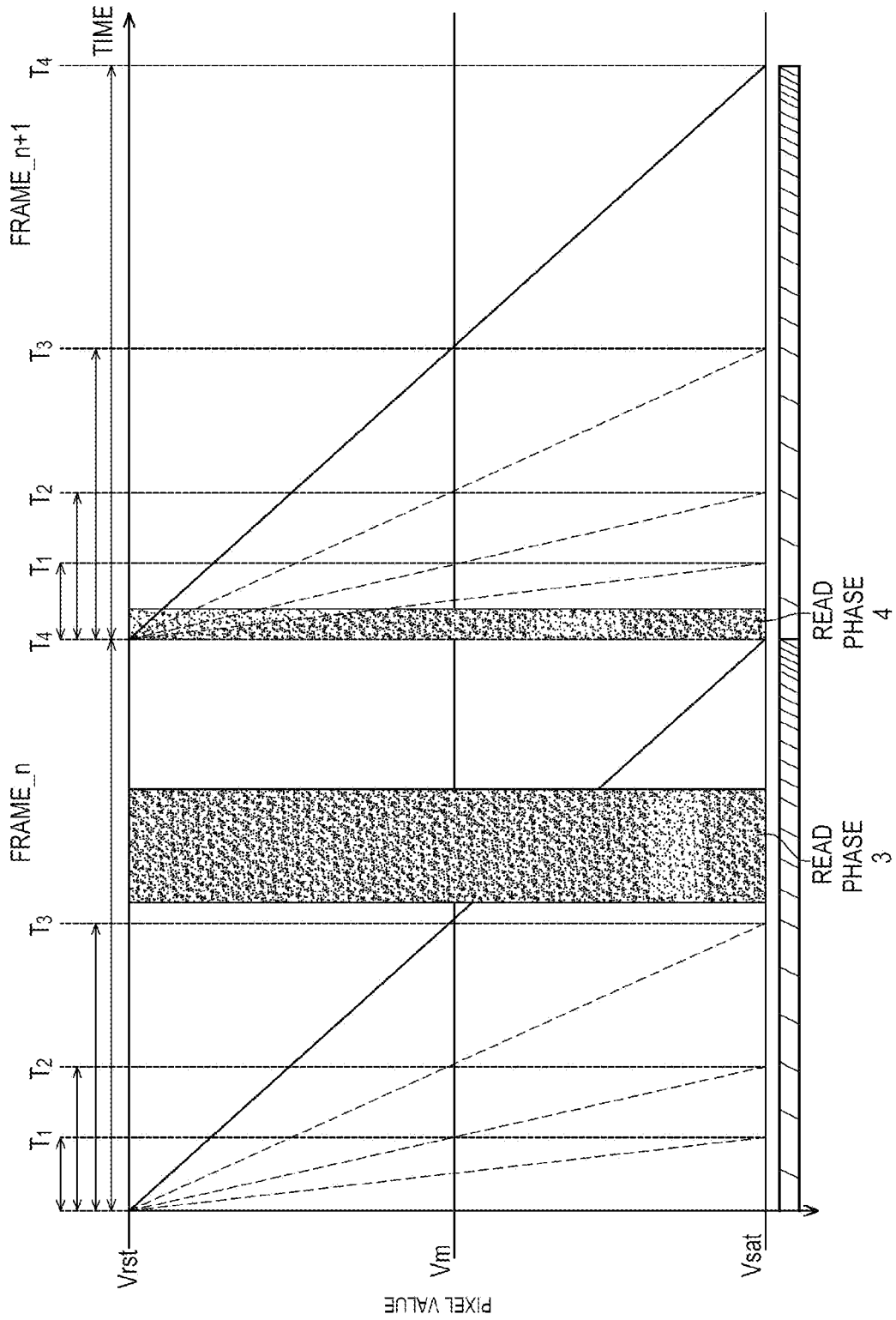


Fig. 18

[Fig. 19]

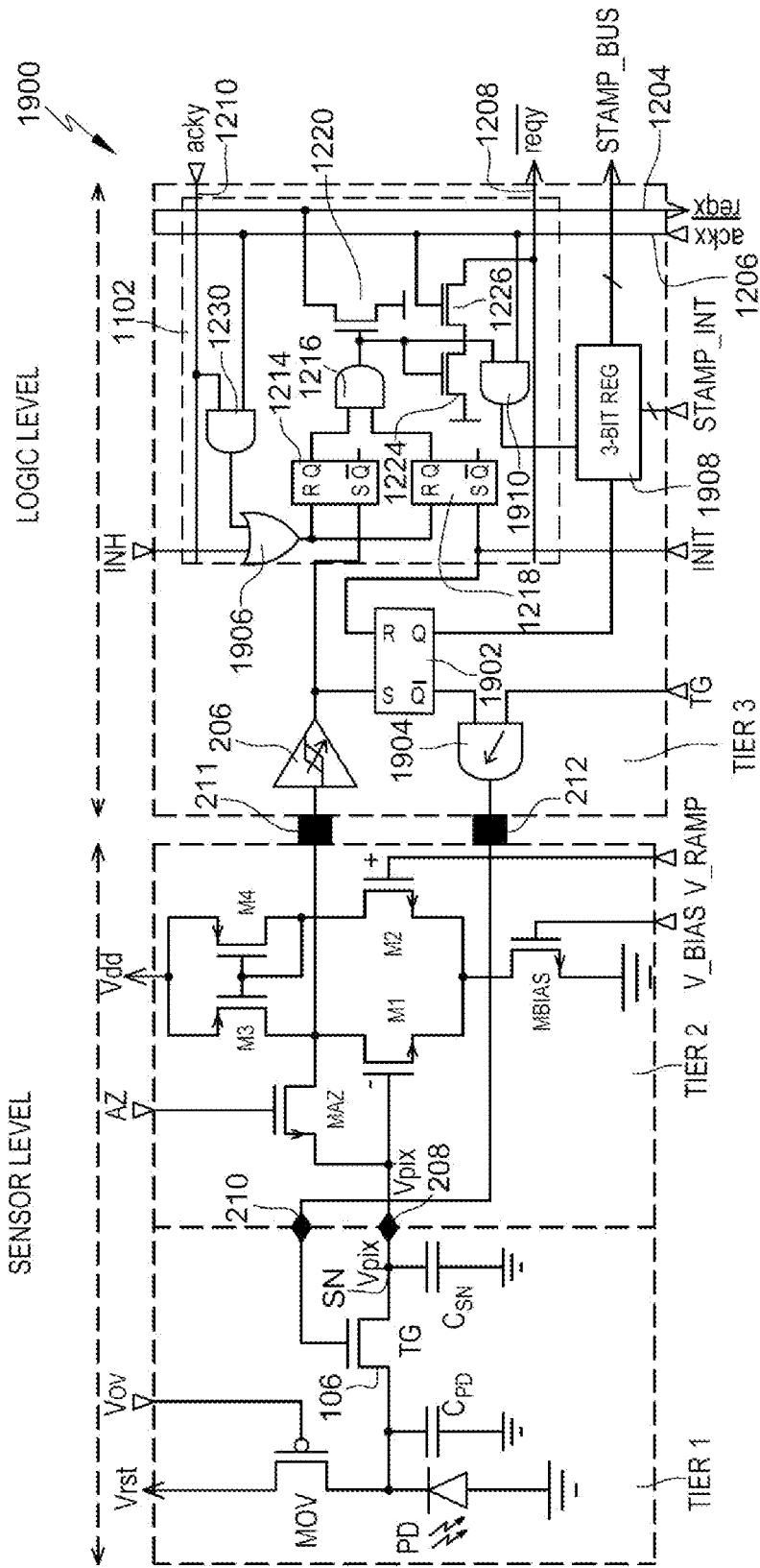


Fig. 19

[Fig. 20]

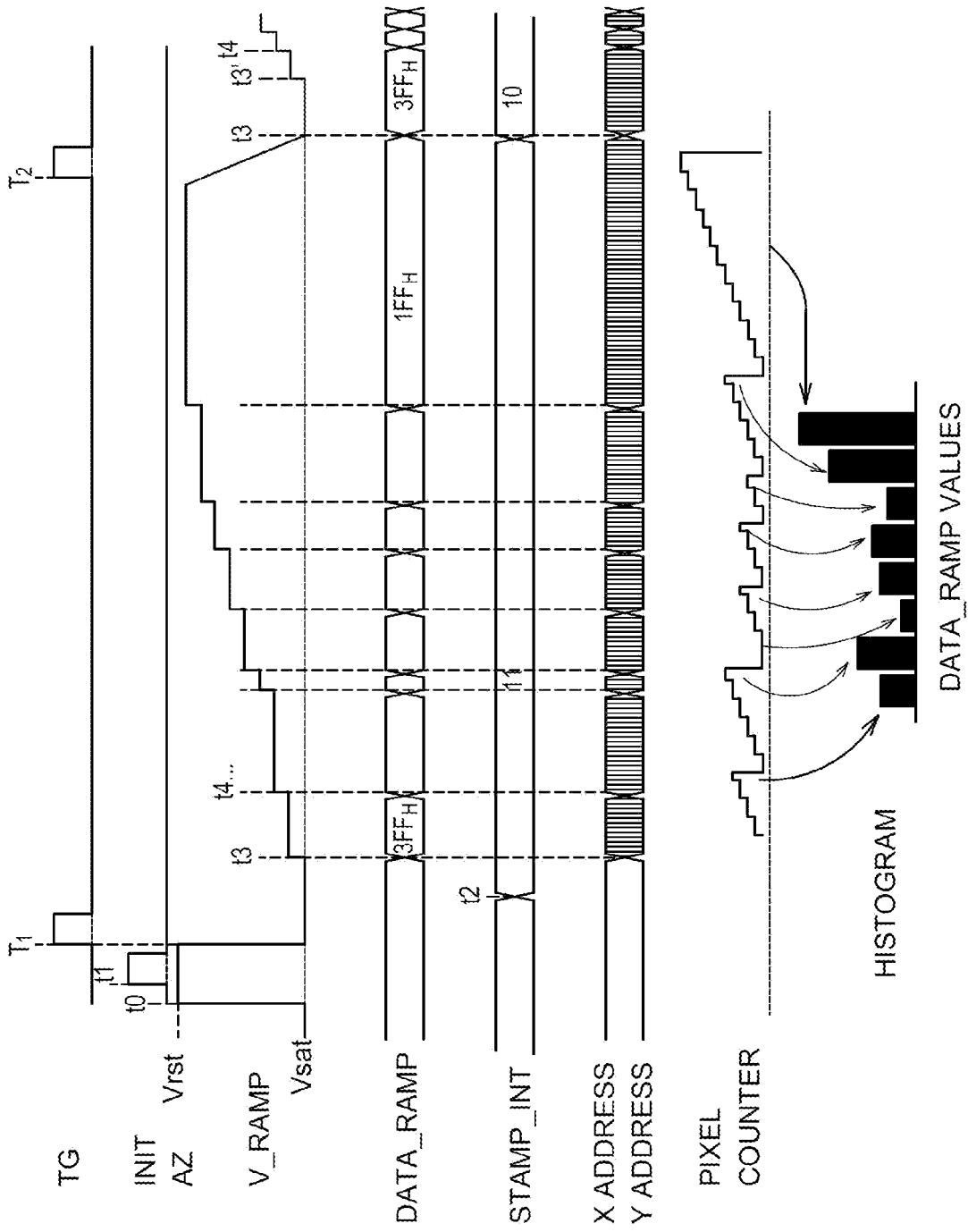


Fig. 20

RAPPORT DE RECHERCHE

articles L.612-14, L.612-53 à 69 du code de la propriété intellectuelle

OBJET DU RAPPORT DE RECHERCHE

L'I.N.P.I. annexe à chaque brevet un "RAPPORT DE RECHERCHE" citant les éléments de l'état de la technique qui peuvent être pris en considération pour apprécier la brevetabilité de l'invention, au sens des articles L. 611-11 (nouveau) et L. 611-14 (activité inventive) du code de la propriété intellectuelle. Ce rapport porte sur les revendications du brevet qui définissent l'objet de l'invention et délimitent l'étendue de la protection.

Après délivrance, l'I.N.P.I. peut, à la requête de toute personne intéressée, formuler un "AVIS DOCUMENTAIRE" sur la base des documents cités dans ce rapport de recherche et de tout autre document que le requérant souhaite voir prendre en considération.

CONDITIONS D'ETABLISSEMENT DU PRESENT RAPPORT DE RECHERCHE

Le demandeur a présenté des observations en réponse au rapport de recherche préliminaire.

Le demandeur a maintenu les revendications.

Le demandeur a modifié les revendications.

Le demandeur a modifié la description pour en éliminer les éléments qui n'étaient plus en concordance avec les nouvelles revendications.

Les tiers ont présenté des observations après publication du rapport de recherche préliminaire.

Un rapport de recherche préliminaire complémentaire a été établi.

DOCUMENTS CITES DANS LE PRESENT RAPPORT DE RECHERCHE

La répartition des documents entre les rubriques 1, 2 et 3 tient compte, le cas échéant, des revendications déposées en dernier lieu et/ou des observations présentées.

Les documents énumérés à la rubrique 1 ci-après sont susceptibles d'être pris en considération pour apprécier la brevetabilité de l'invention.

Les documents énumérés à la rubrique 2 ci-après illustrent l'arrière-plan technologique général.

Les documents énumérés à la rubrique 3 ci-après ont été cités en cours de procédure, mais leur pertinence dépend de la validité des priorités revendiquées.

Aucun document n'a été cité en cours de procédure.

1. ELEMENTS DE L'ETAT DE LA TECHNIQUE SUSCEPTIBLES D'ETRE PRIS EN CONSIDERATION POUR APPRECIER LA BREVETABILITE DE L'INVENTION

US 2020/228745 A1 (OTAKA TOSHINORI [JP])
16 juillet 2020 (2020-07-16)

US 2002/113887 A1 (IIMURA RUSSELL M [US]
ET AL) 22 août 2002 (2002-08-22)

2. ELEMENTS DE L'ETAT DE LA TECHNIQUE ILLUSTRANT L'ARRIERE-PLAN TECHNOLOGIQUE GENERAL

US 2002/140834 A1 (OLDING BENJAMIN P [US]
ET AL) 3 octobre 2002 (2002-10-03)

LULE T ET AL: "100000-pixel, 120-dB imager in TFA technology",
IEEE JOURNAL OF SOLID-STATE CIRCUITS,
IEEE, USA,
vol. 35, no. 5, 1 mai 2000 (2000-05-01),
pages 732-739, XP011450247,
ISSN: 0018-9200, DOI: 10.1109/4.841501

DAVID X D YANG ET AL: "A Nyquist-Rate Pixel-Level ADC for CMOS Image Sensors",
IEEE JOURNAL OF SOLID-STATE CIRCUITS,
IEEE, USA,
vol. 34, no. 3, 1 mars 1999 (1999-03-01),
XP011060973,
ISSN: 0018-9200

3. ELEMENTS DE L'ETAT DE LA TECHNIQUE DONT LA PERTINENCE DEPEND DE LA VALIDITE DES PRIORITES

NEANT