

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(43) 国际公布日
2011 年 12 月 29 日 (29.12.2011)

PCT

(10) 国际公布号
WO 2011/160591 A1

- (51) 国际专利分类号:
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
- (21) 国际申请号: PCT/CN2011/076175
- (22) 国际申请日: 2011 年 6 月 23 日 (23.06.2011)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201010213340.4 2010 年 6 月 25 日 (25.06.2010) CN
- (71) 申请人 (对除美国外的所有指定国): 无锡华润上华半导体有限公司 (CSMC TECHNOLOGIES FAB1 CO., LTD.) [CN/CN]; 中国江苏省无锡市国家高新技术产业开发区汉江路 5 号, Jiangsu 214028 (CN)。 无锡华润上华科技有限公司 (CSMC TECHNOLOGIES FAB2 CO., LTD.) [CN/CN]; 中国江苏省无锡市国家高新技术产业开发区新洲路 8 号, Jiangsu 214028 (CN)。
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): 王乐 (WANG, Le) [CN/CN]; 中国江苏省无锡市国家高新技术产业开发区新洲路 8 号, Jiangsu 214028 (CN)。
- (74) 代理人: 北京集佳知识产权代理有限公司 (UNITALEN ATTORNEYS AT LAW); 中国北京市朝阳区建国门外大街 22 号赛特广场 7 层, Beijing 100004 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,

[见续页]

(54) Title: VDMOS DEVICE AND MANUFACTURING METHOD THEREOF

(54) 发明名称: VDMOS 器件及其制作方法

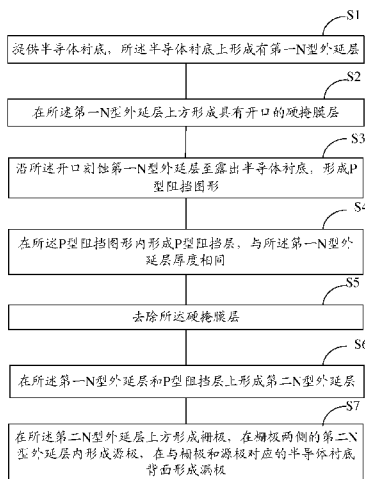


图 5 / FIG. 5

S1 PROVIDING A SEMICONDUCTOR SUBSTRATE AND FORMING A FIRST N-TYPE EPITAXIAL LAYER ON THE SEMICONDUCTOR SUBSTRATE
S2 FORMING A HARD MASK LAYER WITH AN OPENING ABOVE THE FIRST N-TYPE EPITAXIAL LAYER
S3 ETCHING THE FIRST EPITAXIAL LAYER ALONG THE OPENING UNTIL EXPOSING THE SEMICONDUCTOR SUBSTRATE TO FORM A P-TYPE BARRIER PATTERN
S4 FORMING A P-TYPE BARRIER LAYER WITH THE SAME THICKNESS AS THE FIRST N-TYPE EPITAXIAL LAYER IN THE P-TYPE BARRIER PATTERN
S5 REMOVING THE HARD MASK LAYER
S6 FORMING A SECOND N-TYPE EPITAXIAL LAYER ON THE FIRST N-TYPE EPITAXIAL LAYER AND THE P-TYPE BARRIER LAYER
S7 FORMING A GATE ELECTRODE ON THE SECOND EPITAXIAL LAYER, FORMING SOURCE IN THE SECOND N-TYPE EPITAXIAL LAYER ON BOTH SIDES OF THE GATE, AND FORMING A DRAIN ON THE BACK SURFACE OF THE SEMICONDUCTOR SUBSTRATE CORRESPONDING TO THE GATE AND THE SOURCE

(57) Abstract: A VDMOS device and a manufacturing method thereof are provided. The method includes: providing a semiconductor substrate and forming a first N-type epitaxial layer on the semiconductor substrate (S1); forming a hard mask layer with openings above the first N-type epitaxial layer (S2); etching the first N-type epitaxial layer along the openings until exposing the semiconductor substrate to form a P-type barrier pattern (S3); forming a P-type barrier layer with the same thickness as the first N-type epitaxial layer in the P-type barrier pattern (S4); removing the hard mask layer (S5); forming a second N-type epitaxial layer on the first N-type epitaxial layer and the P-type barrier layer (S6); forming a gate electrode on the second N-type epitaxial layer, forming sources in the second N-type epitaxial layer on both sides of the gate, and forming a drain on the back surface of the semiconductor substrate corresponding to the gate and the sources (S7). The method has no need to perform ion implantation and high temperature annealing repeatedly, and can form a P-type barrier layer with good uniformity at a time. The process of the method is simple and can be easily controlled, thereby decreasing the manufacturing cost of the device.

[见续页]

WO 2011/160591 A1



NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,

CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(57) 摘要:

提供了一种 VDMOS 器件及其制造方法。该方法包括: 提供半导体衬底, 在半导体衬底上形成有第一 N 型外延层 (S1); 在第一 N 型外延层上方形成具有开口的硬掩膜层 (S2); 沿开口刻蚀第一 N 型外延层至露出半导体衬底, 形成 P 型阻挡图形 (S3); 在 P 型阻挡图形内形成 P 型阻挡层, 与第一 N 型外延层厚度相同 (S4); 除去硬掩膜层 (S5); 在第一 N 型外延层和 P 型阻挡层上形成第二 N 型外延层 (S6); 在第二 N 型外延层上方形成栅极, 在栅极两侧的第二 N 型外延层内形成源极, 在与栅极和源极对应的半导体衬底背面形成漏极 (S7)。该方法不需要进行多次离子注入和高温退火, 一次形成均匀度较好的 P 型阻挡层。该方法工艺简单, 容易控制并且降低了器件的制作成本。

VDMOS 器件及其制作方法

本申请要求于 2010 年 6 月 25 日提交中国专利局、申请号为 201010213340.4、发明名称为“VDMOS 器件及其制作方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

5

技术领域

本发明涉及功率器件，特别涉及利用选择性外延工艺制作 VDMOS 器件的方法及 VDMOS 器件的结构。

10 背景技术

垂直双扩散金属氧化物半导体场效应管(VDMOS)作为功率器件的一种，由于其具有高输入阻抗和低导通压降的优点而被广泛应用。

现有技术 VDMOS 器件的制作方法如申请号为 200810057881.5 的中国专利申请中公开的，具体参考图 1 至图 4 所示。如图 1 所示，首先，提供 N 型半导体衬底 100，在所述 N 型半导体衬底 100 上形成 N 型外延层 101；然后，在所述 N 型外延层 101 上方依次形成栅氧化层 111 和位于所述栅氧化层 111 上方的多晶硅栅层 108；接着，请参考图 2，对所述 N 型外延层 101 进行 P 阱注入，形成 P 阱 107，所述 P 阱 107 位于多晶栅层 108 的两侧；接着，对所述 P 阱 107 下方的 N 型外延层 101 进行离子注入，形成 P 型阻挡层 104；然后，参考图 3，进行重掺杂离子注入，在所述 P 阱 107 内形成 N 型重掺杂区 106；最后，参考图 4，进行金属化工艺，在多晶硅栅层 108 上方形成栅极金属层 109，在 N 型重掺杂区 106 上方形成源极金属层 110，在半导体衬底 100 的背面形成漏极金属层 112，所述背面是指半导体衬底 100 上器件生长面的相对面。所述栅极金属层 109 与多晶硅栅层 108 共同构成栅极 G，所述源极金属层 110 和 N 型重掺杂区 106 共同构成了源极 S，所述漏极金属层 112 与半导体衬底 100 构成了漏极 D。

现有技术形成的 P 型阻挡层的掺杂杂质的均匀性不好，增大了 VDMOS 器件的导通压降与沟道电阻。

为了解决上述问题，现有技术在所述 N 型外延层 101 进行多次离子注

-2-

入以及高温退火步骤，在 N 型外延层 101 两侧形成 P 型阻挡层。但是多次离子注入和高温退火步骤，工艺复杂，离子注入的均匀性不好控制，并且制造成本高。

因此，需要一种 VDMOS 器件的制作方法，能够形成均匀性较好的 P 型阻挡层，同时工艺简单，容易控制，制造成本低。

发明内容

本发明提供了一种 VDMOS 器件的制作方法，能够形成均匀性较好的 P 型阻挡层，同时工艺简单，容易控制，制造成本低。

10 为了实现上述目的，本发明提供了一种 VDMOS 器件的制作方法，包括：
提供半导体衬底，所述半导体衬底上形成有第一 N 型外延层；
在所述第一 N 型外延层上方形成具有开口的硬掩膜层；
沿所述开口刻蚀第一 N 型外延层至露出半导体衬底，形成 P 型阻挡图
形；

15 在所述 P 型阻挡图形内形成 P 型阻挡层，与所述第一 N 型外延层厚度
相同；

去除所述硬掩膜层；

在所述第一 N 型外延层和 P 型阻挡层上形成第二 N 型外延层；

20 在所述第二 N 型外延层上方形成栅极，在栅极两侧的第二 N 型外延层
内形成源极，在与栅极和源极对应的半导体衬底背面形成漏极。

可选的，所述第一 N 型外延层的材料为外延单晶硅，厚度范围为 5~20
微米，电阻率范围为 30~60 欧姆·厘米。

可选的，所述 P 型阻挡层的材料为外延单晶硅，电阻率为 10~20 欧姆·
厘米。

25 可选的，所述第二 N 型外延层的材料为外延单晶硅，厚度范围为 3~5
微米，电阻率为 30~60 欧姆·厘米。

可选的，所述 P 型阻挡层的形成方法为选择性外延法。

可选的，所述硬掩膜层的材质选自氧化硅、氮化硅、低温氧化物。

可选的，所述第二 N 型外延层和第一 N 型外延层的掺杂浓度和掺杂类

型相同。

5 相应的，本发明还提供一种 VDMOS 器件，包括：半导体衬底，位于半导体衬底中的第一 N 型外延层，还包括：位于第一 N 型外延层两侧的与第一 N 型外延层厚度相同的 P 型阻挡层；位于所述第一 N 型外延层和 P 型阻挡层上方的第二 N 型外延层，位于所述第二 N 型外延层上的栅极，位于栅极两侧的第二 N 型外延层内的源极，位于栅极和源极对应的半导体衬底背面的漏极。

可选的，所述第一 N 型外延层的材料为外延单晶硅，厚度范围为 5~20 微米，电阻率范围为 30~60 欧姆·厘米。

10 可选的，所述 P 型阻挡层的材料为外延单晶硅，电阻率为 10~20 欧姆·厘米。

可选的，所述第二 N 型外延层的材料为外延单晶硅，厚度范围为 3~5 微米，电阻率为 30~60 欧姆·厘米。

与现有技术相比，本发明具有以下优点：

15 通过刻蚀 N 型外延层，并在 N 型外延层两侧形成与其相邻的 P 型阻挡层，所述方法无需进行高能离子注入，并且不需要进行多次离子注入和高温退火，一次形成均匀度较好的 P 型阻挡层，所述方法工艺简单，容易控制，并且降低了 VDMOS 器件的制作成本。

20 附图说明

通过附图所示，本发明的上述及其它目的、特征和优势将更加清晰。在全部附图中相同的附图标记指示相同的部分。并未刻意按实际尺寸等比例缩放绘制附图，重点在于示出本发明的主旨。

图 1 至图 4 是现有技术 VDMOS 器件的制作方法剖面结构示意图；

25 图 5 是本发明的 VDMOS 器件制作方法流程示意图；

图 6 至图 12 是本发明的 VDMOS 器件制作方法剖面结构示意图。

具体实施方式

为使本发明的上述目的、特征和优点能够更加明显易懂，下面结合附图对本发明的具体实施方式做详细的说明。

下文的公开提供了许多不同的实施例或例子用来实现本发明的不同结构。

5 为了简化本发明的公开，下文中对特定例子的部件和设置进行描述。当然，它们仅仅为示例，并且目的不在于限制本发明。此外，本发明可以在不同例子中重复参考数字和/或字母。这种重复是为了简化和清楚的目的，其本身不指示所讨论各种实施例和/或设置之间的关系。此外，本发明提供了的各种特定的工艺和材料的例子，但是本领域普通技术人员可以意识到其他工艺的可应用于性和/或其他材料的使用。

另外，以下描述的第一特征在第二特征之“上”的结构可以包括第一和第二特征形成直接接触的实施例，也可以包括另外的特征形成在第一和第二特征之间的实施例，这样第一和第二特征可能不是直接接触。

为了减小 VDMOS 器件的导通压降并且改善沟道电阻，现有技术提高第一
15 N 型外延层的掺杂浓度，在第一 N 型外延层两侧形成与第一 N 型外延层厚度相同的 P 型阻挡层。现有技术分为多个外延步骤形成第一 N 型外延层，其中，每个外延步骤形成一个子外延层，其厚度为第一 N 型外延层厚度的一部分。在形成一子外延层后，以一定的倾斜角度（例如是 45 度）对该子外延层进行 P 型离子注入，在所述子外延层两侧形成子阻挡层，直至多个子外延层构成所
20 述第一 N 型外延层，所述子外延层两侧的子阻挡层构成 P 型阻挡层。通常为了保证注入的离子激活，现有技术在进行 P 型离子注入后还需要进行高温退火步骤。

由于现有技术需要多次离子注入以及高温退火步骤，使 VDMOS 器件制作方法工艺较复杂，不易控制，并且 VDMOS 器件的制造成本较高。发明人经过
25 研究发现，对第一 N 型外延层进行刻蚀后，在其两侧直接形成与其厚度一致的 P 型阻挡层，然后在所述第一 N 型外延层和 P 型阻挡层上方形成第二 N 型外延层，在所述第二 N 型外延层形成 VDMOS 器件。所述方法简单，容易控

—5—

制，形成的 VDMOS 器件的参数稳定，降低了生产成本。请参考图 5，图 5 是本发明 VDMOS 器件制作方法流程示意图。所述方法包括：

步骤 S1，提供半导体衬底，所述半导体衬底上形成有第一 N 型外延层；

步骤 S2，在所述第一 N 型外延层上方形成具有开口的硬掩膜层；

5 步骤 S3，沿所述开口刻蚀第一 N 型外延层至露出半导体衬底，形成 P 型阻挡图形；

步骤 S4，在所述 P 型阻挡图形内形成 P 型阻挡层，与所述第一 N 型外延层厚度相同；

步骤 S5，去除所述硬掩膜层；

10 步骤 S6，在所述第一 N 型外延层和 P 型阻挡层上形成第二 N 型外延层；

步骤 S7，在所述第二 N 型外延层上方形成栅极，在栅极两侧的第二 N 型外延层内形成源极，在与栅极和源极对应的半导体衬底背面形成漏极。

下面将结合具体实施例对本发明的技术方案进行详细说明。请参考图 6 至图 12，图 6 至图 12 是本发明的 VDMOS 器件制作方法剖面结构示意图。

15 首先，请参考图 6，提供半导体衬底 200。作为一个实施例，所述半导体衬底 200 的导电类型为 N 型。在所述半导体衬底 200 上方形成第一 N 型外延层 201。所述第一 N 型外延层 201 的材料为外延单晶硅，其电阻率范围为 30~60 欧姆·厘米，厚度范围为 5~20 微米，掺杂杂质为 AS，掺杂杂质浓度范围为 $1\text{E}13\sim1\text{E}15\text{cm}^{-2}$ 。

20 继续参考图 6，在所述第一 N 型外延层 201 上方沉积硬掩膜层 202，所述硬掩膜层 202 的材质选自氧化硅或氮化硅。作为本发明的一个实例，所述硬掩膜层 202 的材质选自氧化硅，其厚度范围为 300~500 埃，形成方法可以是热氧化方法和低温氧化的方法。作为本发明的另一实施例，所述硬掩膜层 202 的材质可以为氮化硅，其厚度范围为 500~3500 埃，形成方法可以是低压气相沉积方法；
25 当所述硬掩膜层 202 为氮化硅时，则硬掩膜层 202 和第一 N 型外延层 201 之间还包括厚度为 20~100 埃的缓冲氧化层，用于缓冲硬掩膜层 202 与第一 N 型外延层 202 之间的应力。

接着,参考图 7,在所述硬掩膜层 202 上方形成光阻图案 203,所述光阻图案 203 覆盖部分硬掩膜层 202,以所述光阻图案 203 为掩膜,进行干法刻蚀工艺,去除未被所述光阻图案 203 保护的硬掩膜层 202,在所述硬掩膜层 202 内形成开口 d。需要说明的是,作为示意,在图 7 中仅示出了两个开口 d 之间的硬掩膜层 202。

作为优选的实施例,参考图 8,在所述硬掩膜层 202 内形成开口 d 后,保留所述光阻图案 203,利用刻蚀所述硬掩膜层 202 的同一刻蚀机台,沿所述开口 d 进行刻蚀直至露出半导体衬底 200,形成 P 型阻挡图形 215,这样可以减小将产品暴露于空气的时间,减少产品的颗粒污染。然后,参考图 9,进行湿法刻蚀工艺,去除光阻图案 203。然后,在所述 P 型阻挡图形 215 内形成 P 型阻挡层 204,与所述第一 N 型外延层 201 厚度相同。所述 P 型阻挡层 204 的制作方法为选择性外延工艺。所述 P 型阻挡层 204 的材料为外延单晶硅,电阻率为 10~20 欧姆·厘米。

作为又一实施例,可以在所述硬掩膜层内形成开口后,进行湿法刻蚀工艺,去除所述光阻图案。之后,沿所述开口进行干法刻蚀,直至露出半导体衬底,形成 P 型阻挡图形。然后,在所述 P 型阻挡图形内形成 P 型阻挡层。所述 P 型阻挡层的材料为外延单晶硅,电阻率为 10~20 欧姆·厘米。

接着,参考图 10,进行刻蚀工艺,去除硬掩膜层 202,露出剩余的第一 N 型外延层 201;在所述剩余的第一 N 型外延层 201 和所述 P 型阻挡层 204 上方形成第二 N 型外延层 205。所述第二 N 型外延层 205 的材质为外延单晶硅,其厚度范围为 3~5 微米,电阻率范围为 10~20 欧姆·厘米。所述第二 N 型外延层 205 与第一 N 型外延层 201 利用同一外延沉积参数形成,这样保证第二 N 型外延层 205 的电阻率和掺杂浓度、掺杂类型与第一 N 型外延层 201 完全相同。

如图 10 所示,经过上述步骤,在第一 N 型外延层 201 两侧形成了与其具有相反导电类型的 P 型阻挡层 204,所述 P 型阻挡层 204 的厚度与第一 N 型外延层 201 相同。所述 P 型外延层 204 的电阻率需要根据现有技术的 P 型阻挡层的掺杂浓度和电阻率进行具体的设置。由于仅采用一个工艺步骤形成 P 型阻挡

-7-

层,与现有技术采用多次外延工艺、多次离子注入以及高温退火工艺相比,大大减少了工艺步骤,降低了工艺复杂程度,降低了 VDMOS 器件的制造成本。

然后,请参考图 11,在所述第二 N 型外延层 205 上沉积氧化层,对所述氧化层进行刻蚀,形成栅介质层 211。所述栅介质层 211 的宽度大于其下方的第二 N 型外延层 205 的宽度。所述栅介质层 211 的厚度范围为 30~1000 埃。
5 在所述栅介质层 211 上沉积多晶硅,对其进行刻蚀,形成多晶硅栅层 208,所述多晶硅栅层 208 的厚度范围为 1000~4000 埃。

然后,继续参考图 11,在所述栅介质层 211 和多晶硅栅 208 两侧的第二 N 型外延层 205 内进行 P 阱注入,形成 P 阱 207。所述 P 阱 207 与 P 型阻挡层 204、
10 第一 N 型外延层 205 接触,并且所述 P 阱 207 的宽度大于其下方的 P 型阻挡层 204 的宽度。作为一个实施例,所述 P 阱注入的元素为 B、 BF_2 ,能量范围为 40~80KEV,剂量范围为 $1\text{E}12\sim1\text{E}13\text{cm}^{-2}$ 。然后,在所述 P 阱 207 内进行 N 型重掺杂离子注入,形成 N 型重掺杂区 206。所述 N 型重掺杂离子注入的元素为 P、As,能量范围为 50~130KEV,剂量范围为 $1\text{E}15\sim2\text{E}16\text{cm}^{-2}$ 。

15 接着,参考图 12,对所述器件进行金属化工艺,在所述 N 型重掺杂区 206 上方形成源极金属层 210,在多晶硅栅层 208 上方形成栅极金属层 209;对所述半导体衬底 200 进行背面减薄以及背面金属工艺,在多晶硅栅层 208 和 N 型重掺杂区 206 对应的半导体衬底 200 背面形成漏极金属层 212。其中本发明所述背面是指半导体衬底 200 上器件生长面的相对面。所述多晶硅栅层 208
20 与栅极金属层 209 构成了 VDMOS 器件的栅极 G,所述 N 型重掺杂区 206 与源极金属层 210 共同构成了 VDMOS 器件的源极 S,所述半导体衬底 200 与漏极金属层 212 共同构成了 VDMOS 的漏极。

相应的,本发明还提供一种 VDMOS 器件,请参考图 12,所述器件包括:
N 型半导体衬底 200;位于所述半导体衬底 200 上方的第一 N 型外延层 201,
25 位于第一 N 型外延层 201 两侧的与第一 N 型外延层 201 厚度相同的 P 型阻挡层 204;位于所述第一 N 型外延层 201 和 P 型阻挡层 204 上方的第二 N 型外延层 205,位于所述第二 N 型外延层 205 上方的 VDMOS 的源极 S,位于源极 S 两侧的第二 N 型外延层 205 内的栅极 G,位于所述栅极 S 和源极 G 下方的

半导体衬底 200 背面的 VDMOS 的漏极 D。其中本发明所述背面是指半导体衬底 200 上器件生长面的相对面。所述源极 S 由位于 P 型阻挡层 204 上方的 P 阱 207、位于 P 阱 207 内的 N 型重掺杂区 206 和位于 N 型重掺杂区 206 上方的源极金属 210 构成。所述栅极 G 由位于第二 N 型外延层 205 上方的多晶硅栅层 208、位于所述多晶硅栅层 208 上方的栅极金属层 209 构成。所述漏极 D 由所述半导体衬底 200 和位于半导体衬底 200 背面的漏极金属层 212 构成。所述 P 阱 207 与所述第一 N 型外延层 201、P 型阻挡层 204 接触，并且 P 阱 207 的宽度大于所述 P 型阻挡层 204 的宽度。本实施例中，所述第一 N 型外延层 201 的材料为外延单晶硅，厚度范围为 5~20 微米，电阻率范围为 30~60 欧姆·厘米。所述 P 型阻挡层 204 的材料为外延单晶硅，电阻率为 10~20 欧姆·厘米。所述第二 N 型外延层 205 的材料为外延单晶硅，厚度范围为 3~5 微米，电阻率为 30~60 欧姆·厘米。

需要说明的是，本发明提供的制作 VDMOS 器件的制作方法，还可以用于制作绝缘栅双极型晶体管（Insulated Gate Bipolar Transistor, IGBT）。作为一个实施例，所述方法包括：提供半导体衬底，所述半导体衬底上形成有第一 N 型外延层；在所述第一 N 型外延层上方形成具有开口的硬掩膜层；沿所述开口刻蚀第一 N 型外延层至露出半导体衬底，形成 P 型阻挡图形；在所述 P 型阻挡图形内形成 P 型阻挡层，与所述第一 N 型外延层厚度相同；去除所述硬掩膜层；在所述第一 N 型外延层和 P 型阻挡层上形成第二 N 型外延层；在所述第二 N 型外延层上方形成栅极，在栅极两侧的第二 N 型外延层内形成源极，在与栅极和源极对应的半导体衬底背面形成漏极。在制作所述漏极之前，需要对半导体衬底的背面进行 P 型重掺杂离子注入。其中本发明所述背面是指半导体衬底上器件生长面的相对面。

综上，本发明提供了一种 VDMOS 器件及其制作方法，所述方法直接在第一 N 型外延层两侧形成 P 型阻挡层，减少了 VDMOS 器件的制作步骤，降低了 VDMOS 器件的制作成本，所述方法还可以用于制作绝缘栅双极型晶体管。

本发明虽然已以较佳实施例公开如上，但其并不是用来限定本发明，任何本领域技术人员在不脱离本发明的精神和范围内，都可以利用上述揭示的方法

和技术内容对本发明技术方案做出可能的变动和修改，因此，凡是未脱离本发明技术方案的内容，依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化及修饰，均属于本发明技术方案的保护范围。

权 利 要 求

1. 一种 VDMOS 器件的制作方法，其特征在于，包括：
提供半导体衬底，所述半导体衬底上形成有第一 N 型外延层；
在所述第一 N 型外延层上方形成具有开口的硬掩膜层；
5 沿所述开口刻蚀第一 N 型外延层至露出半导体衬底，形成 P 型阻挡图形；
在所述 P 型阻挡图形内形成 P 型阻挡层，与所述第一 N 型外延层厚度相同；
去除所述硬掩膜层；
在所述第一 N 型外延层和 P 型阻挡层上形成第二 N 型外延层；
在所述第二 N 型外延层上方形成栅极，在栅极两侧的第二 N 型外延层内形
10 成源极，在与栅极和源极对应的半导体衬底背面形成漏极。
2. 如权利要求 1 所述的 VDMOS 器件的制作方法，其特征在于，所述第一 N 型外延层的材料为外延单晶硅，厚度范围为 5~20 微米，电阻率范围为 30~60 欧姆·厘米。
3. 如权利要求 1 所述的 VDMOS 器件的制作方法，其特征在于，所述 P 型阻
15 挡层的材料为外延单晶硅，电阻率为 10~20 欧姆·厘米。
4. 如权利要求 1 所述的 VDMOS 器件的制作方法，其特征在于，所述第二 N 型外延层的材料为外延单晶硅，厚度范围为 3~5 微米，电阻率为 30~60 欧姆·厘米。
5. 如权利要求 1 所述的 VDMOS 器件的制作方法，其特征在于，所述 P 型阻
20 挡层的形成方法为选择性外延法。
6. 如权利要求 1 所述的 VDMOS 器件的制作方法，其特征在于，所述硬掩膜层的材质选自氧化硅、氮化硅、低温氧化物。

7. 如权利要求 1 所述的 VDMOS 器件的制作方法, 其特征在于, 所述第二 N 型外延层和第一 N 型外延层的掺杂浓度和掺杂类型相同。
8. 一种 VDMOS 器件, 包括: 半导体衬底, 位于半导体衬底上方的第一 N 型外延层, 其特征在于, 还包括: 位于第一 N 型外延层两侧的与第一 N 型外延层厚度相同的 P 型阻挡层; 位于所述第一 N 型外延层和 P 型阻挡层上方的第二 N 型外延层, 位于所述第二 N 型外延层上的栅极, 位于栅极两侧的第二 N 型外延层内的源极, 位于栅极和源极对应的半导体衬底背面的漏极。
9. 如权利要求 9 所述的 VDMOS 器件, 其特征在于, 所述第一 N 型外延层的材料为外延单晶硅, 厚度范围为 5~20 微米, 电阻率范围为 30~60 欧姆·厘米。
10. 如权利要求 9 所述的 VDMOS 器件, 其特征在于, 所述 P 型阻挡层的材料为外延单晶硅, 电阻率为 10~20 欧姆·厘米。
11. 如权利要求 9 所述的 VDMOS 器件的制作方法, 其特征在于, 所述第二 N 型外延层的材料为外延单晶硅, 厚度范围为 3~5 微米, 电阻率为 30~60 欧姆·厘米。

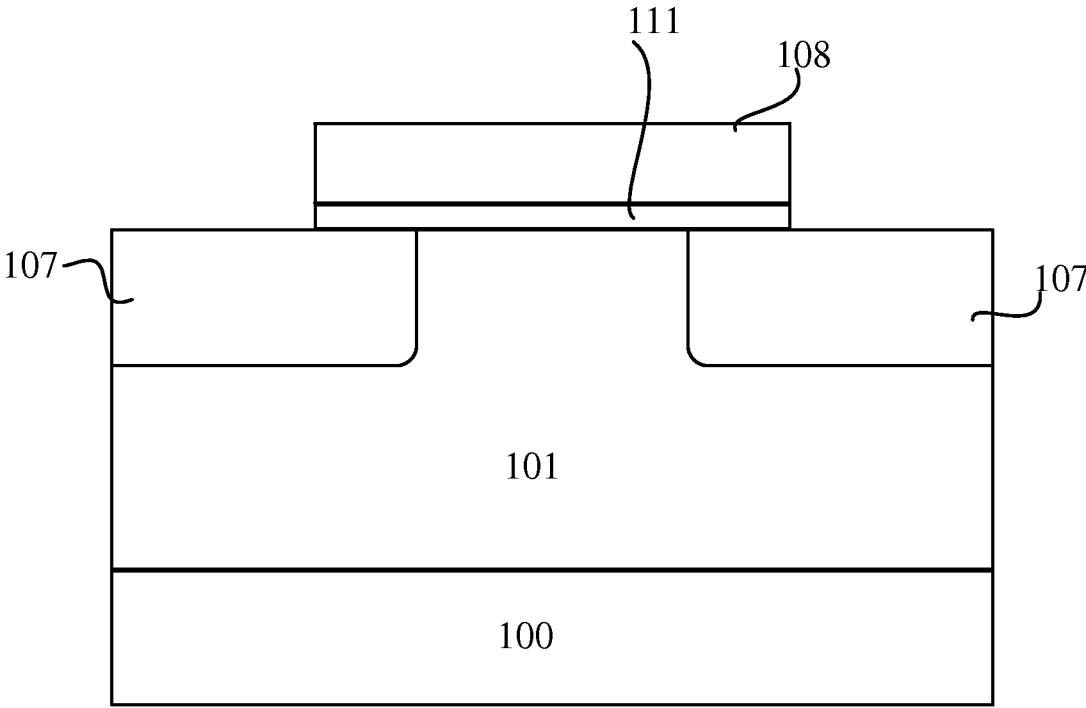


图 1

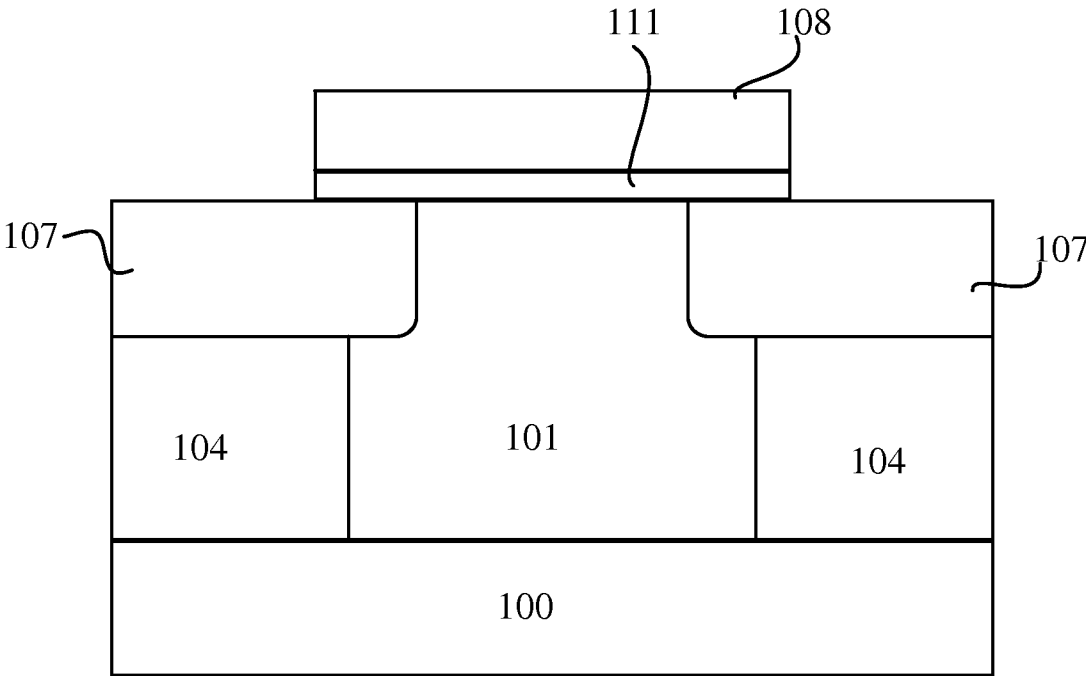


图 2

—2/7—

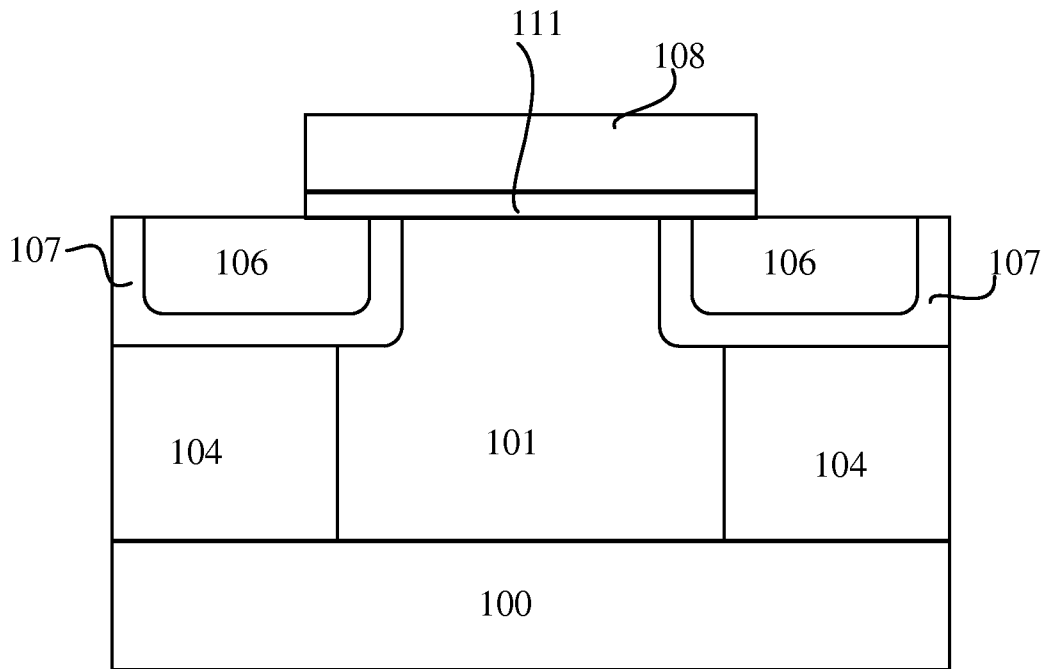


图 3

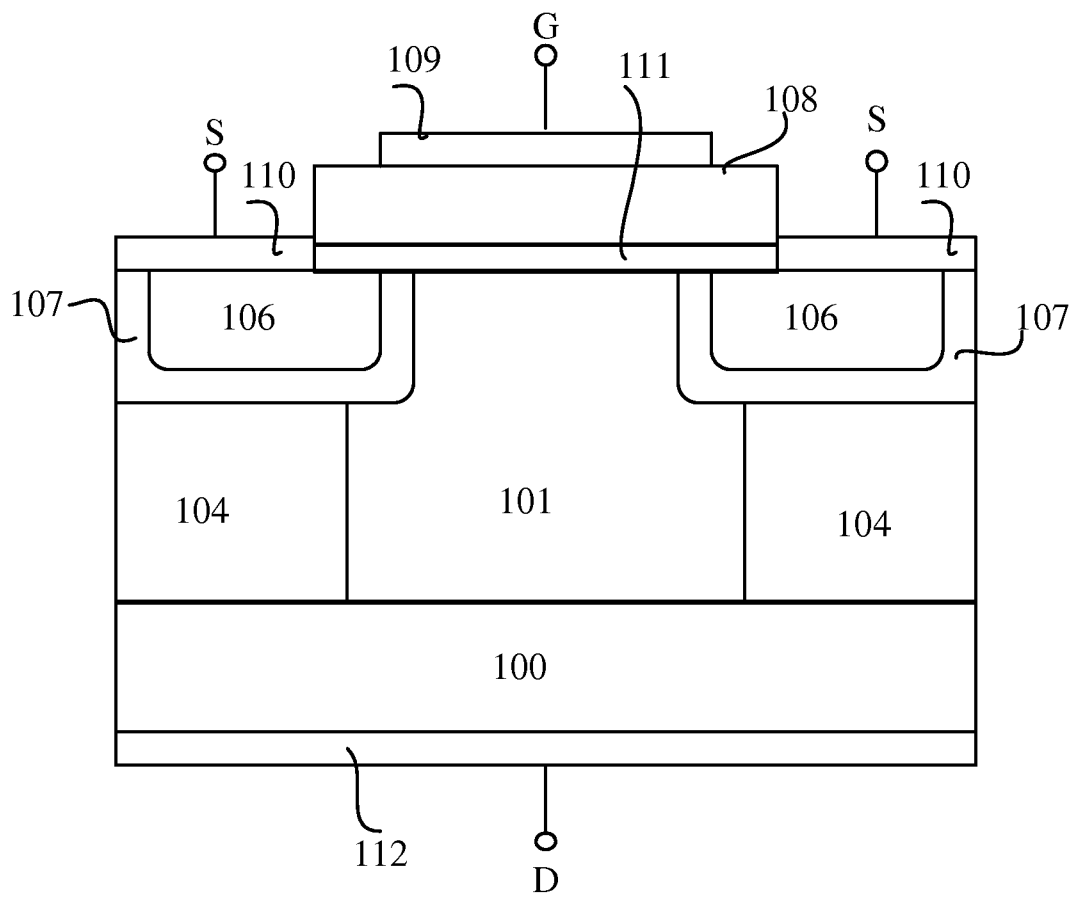


图 4

— 3/7 —

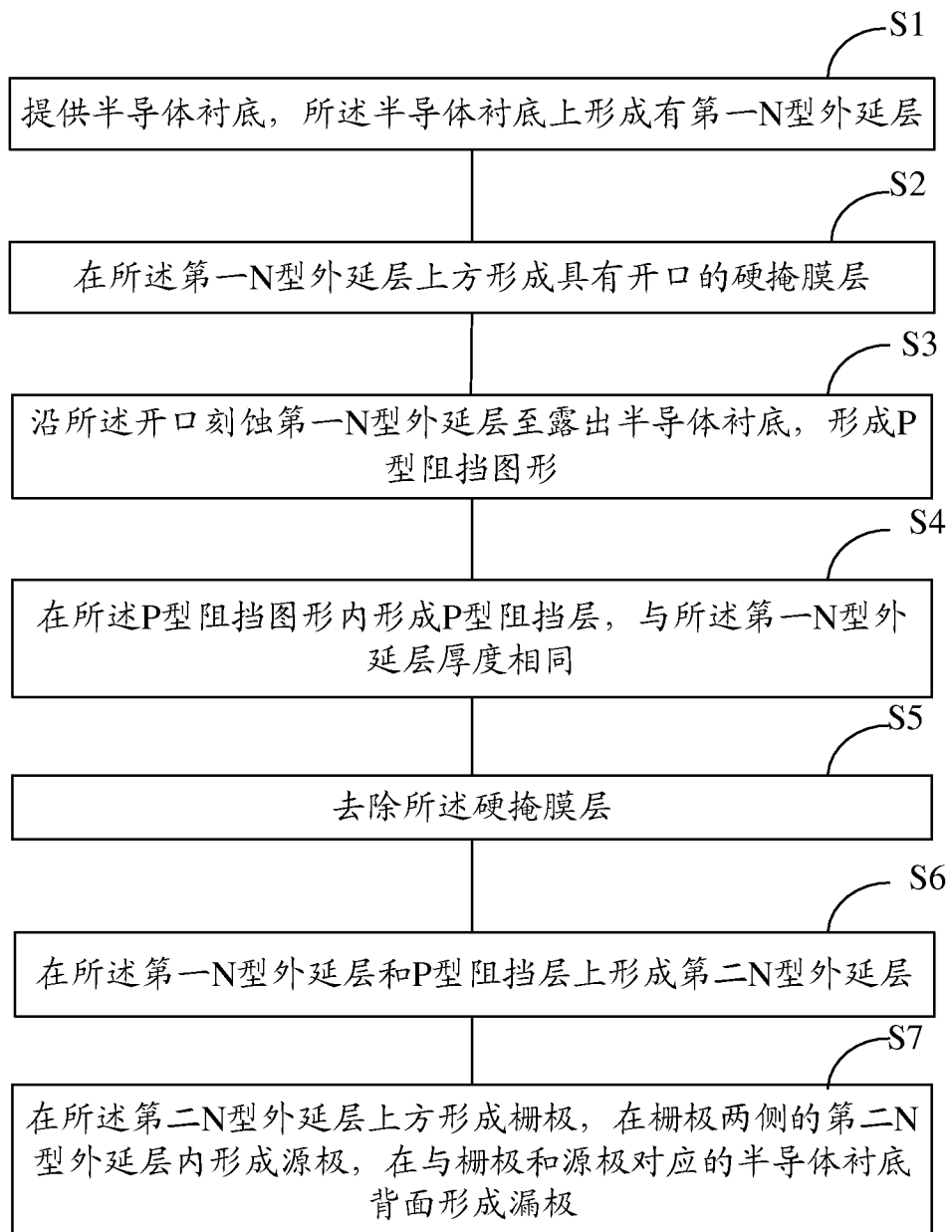


图 5

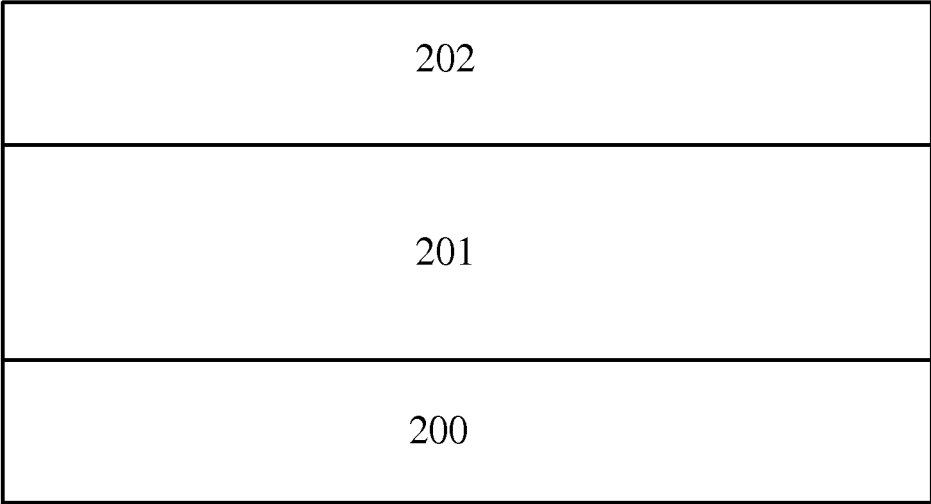


图 6

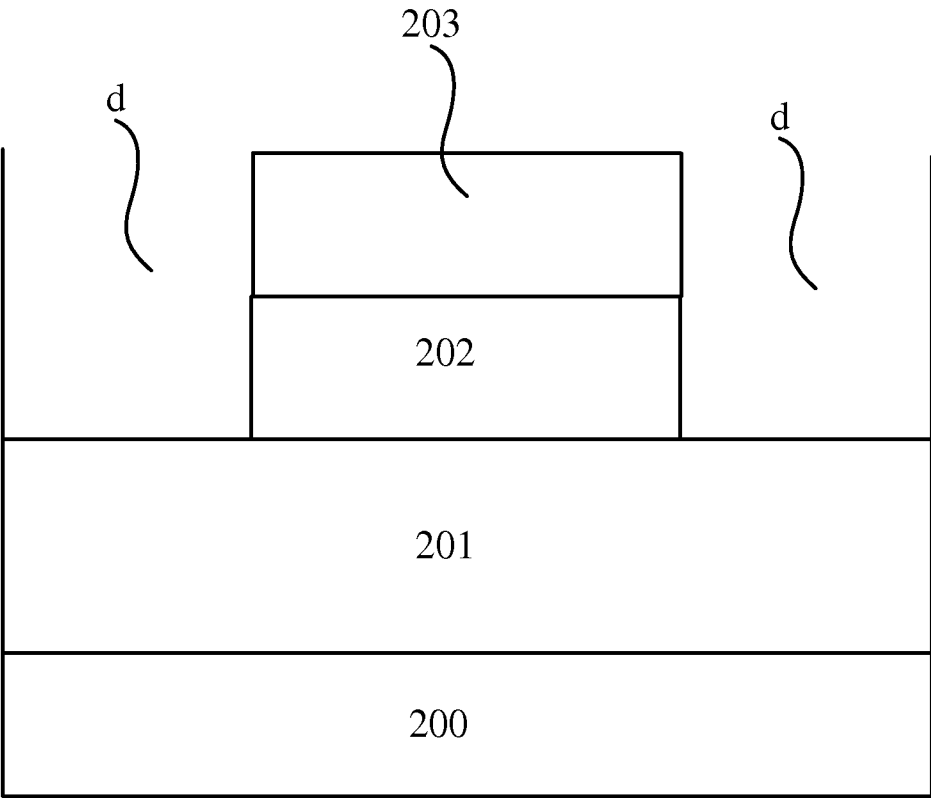


图 7

— 5/7 —

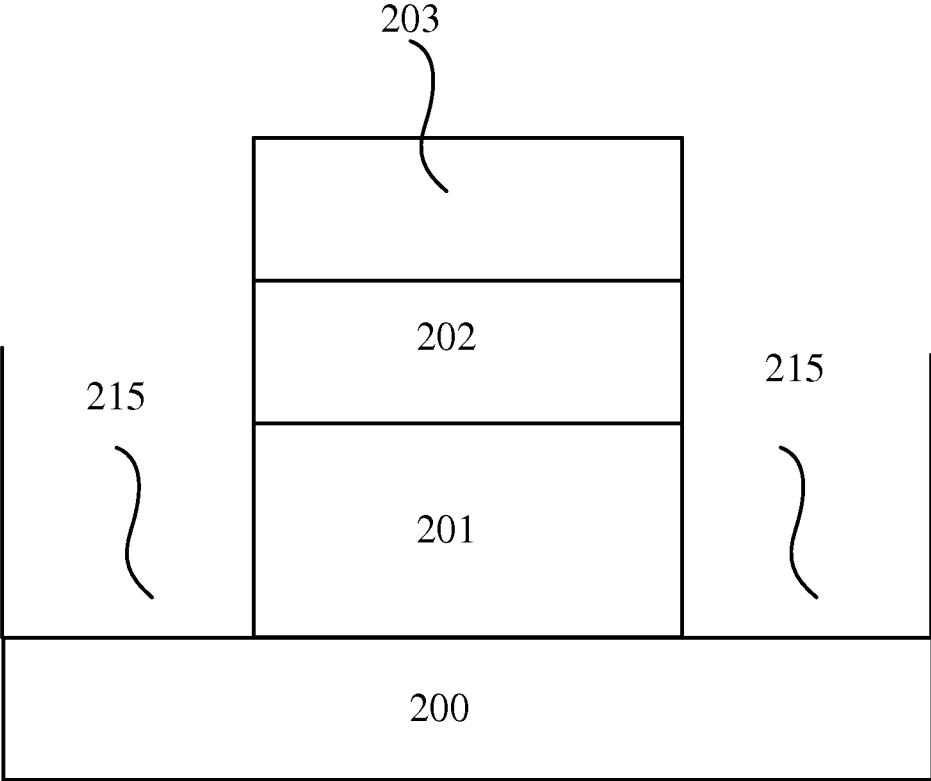


图 8

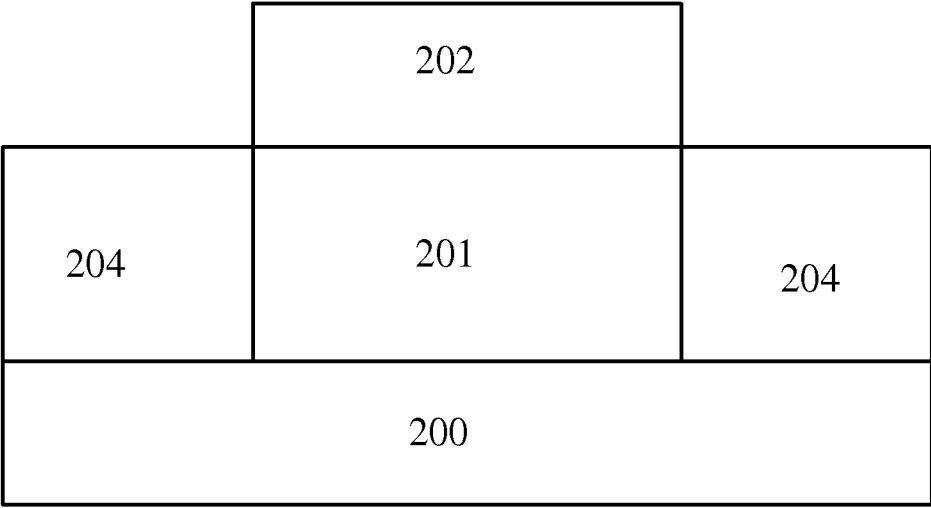


图 9

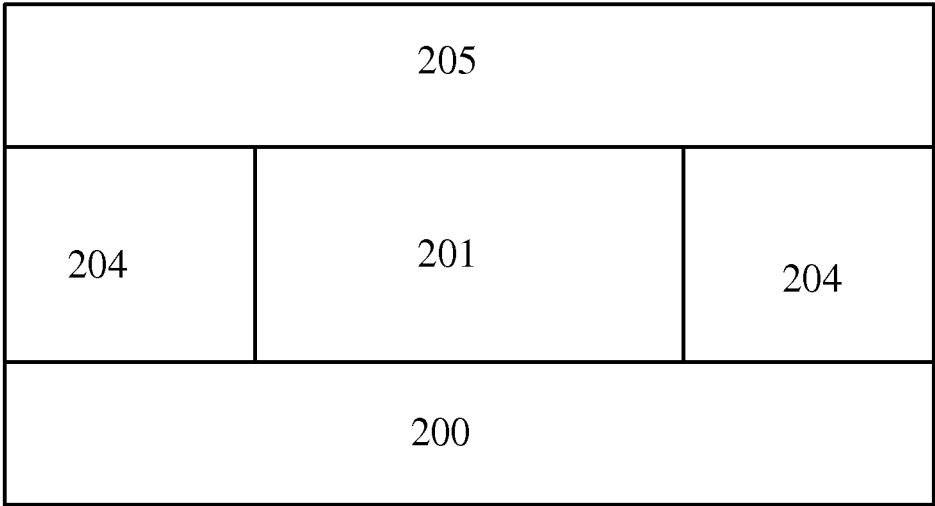


图 10

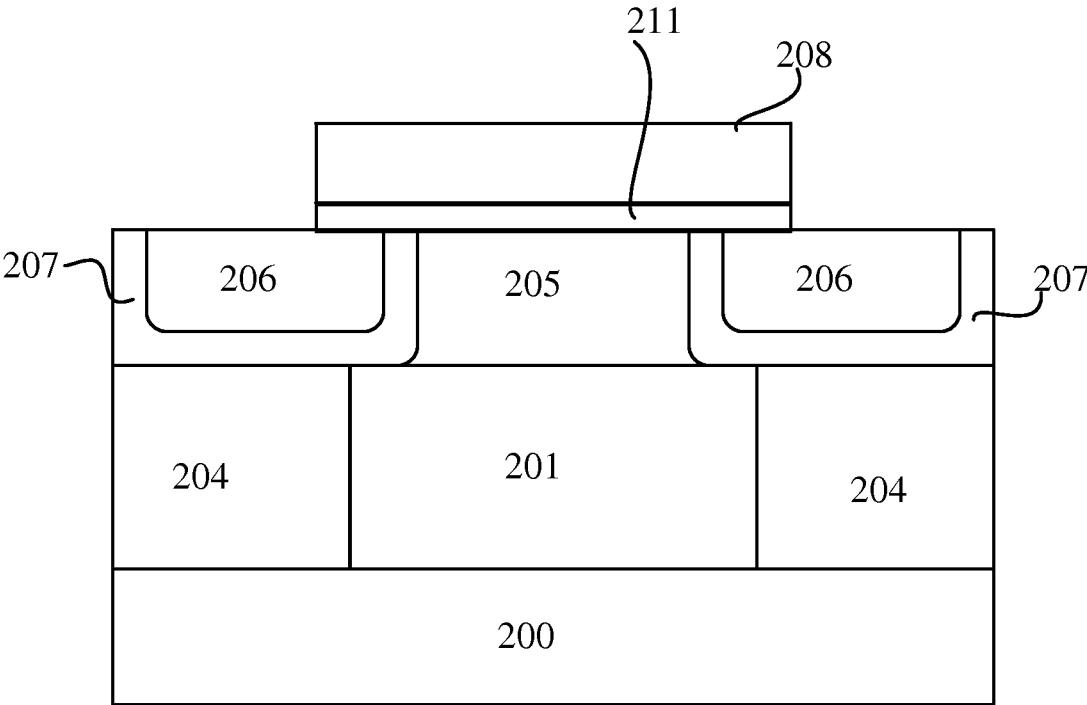


图 11

—7/7—

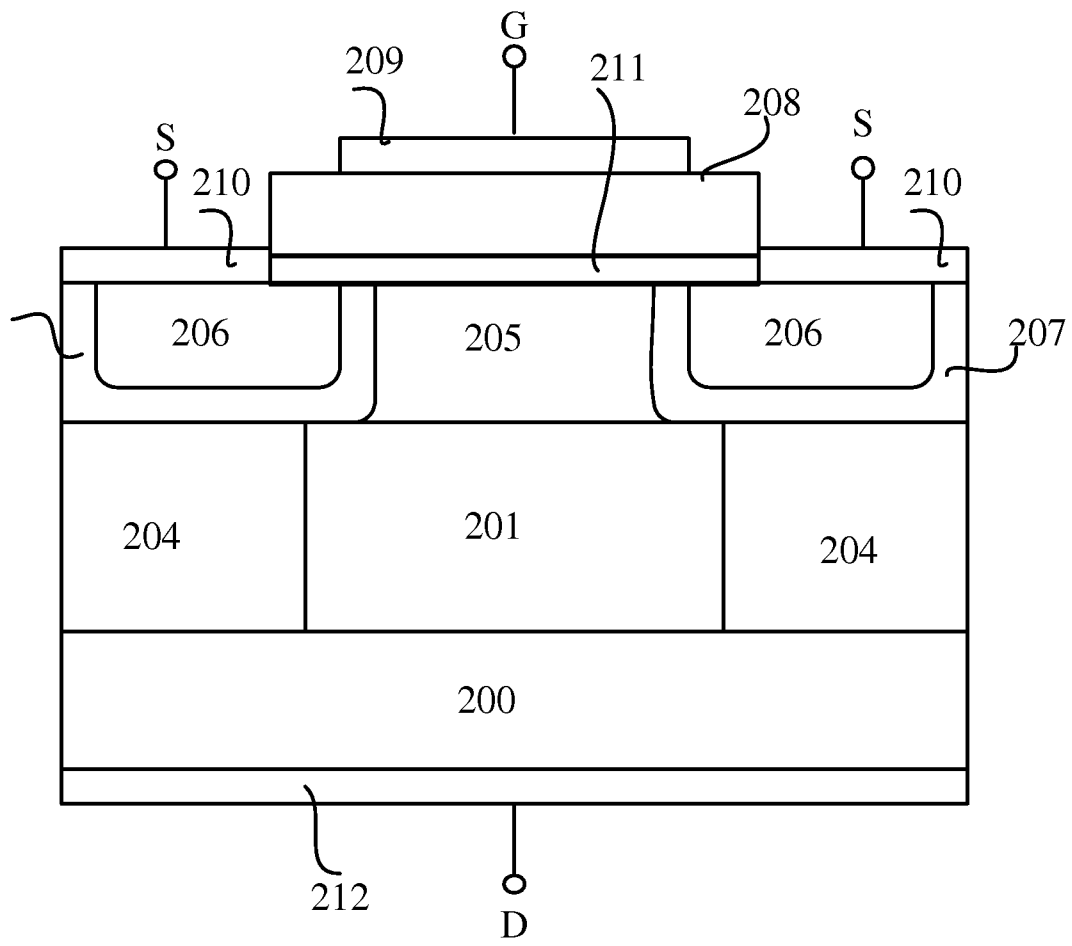


图 12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/076175

A. CLASSIFICATION OF SUBJECT MATTER

See extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 21/-; H01L 29/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC:VDMOS semiconductor substrate epitaxial opening hard mask barrier source drain gate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN101692426A(SHANGHAI GRACE SEMICONDUCTOR MFG CORP) 07 Apr. 2010 (07.04.2010) the whole document	1-11
A	JP2009-70849A (ROHM CO., LTD.) 02 Apr. 2009 (02.04.2009) the whole document	1-11
A	CN101515547A (INST MICROELECTRONICS CHINESE ACAD SCI) 26 Aug. 2009 (26.08.2009) the whole document	1-11

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 25 Aug. 2011 (25.08.2011)	Date of mailing of the international search report 13 Oct. 2011 (13.10.2011)
Name and mailing address of the ISA/CN The State Intellectual Property Office, the P.R.China 6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China 100088 Facsimile No. 86-10-62019451	Authorized officer WANG Lin Telephone No. (86-10)6241 1816

International application No.
PCT/CN2011/076175

Form PCT/ISA /210 (patent family annex) (July 2009)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/076175

CLASSIFICATION OF SUBJECT MATTER

H01L 21/336 (2006.01) i

H01L 29/78 (2006.01) i

国际检索报告

国际申请号
PCT/CN2011/076175

A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L 21/-; H01L 29/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, WPI, EPODOC: 垂直 扩散 场效应晶体管 半导体 衬底 外延 开口 硬掩膜 阻挡 源极 漏极 栅极 VDMOS semiconductor substrate epitaxial opening hard mask barrier source drain gate

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN101692426A (上海宏力半导体制造有限公司) 07.4 月 2010 (07.04.2010) 全文	1-11
A	JP2009-70849A (ROHM CO., LTD.) 02.4 月 2009 (02.04.2009) 全文	1-11
A	CN101515547A (中国科学院微电子研究所) 26.8 月 2009 (26.08.2009) 全文	1-11

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期
25.8 月 2011 (25.08.2011)

国际检索报告邮寄日期
13.10 月 2011 (13.10.2011)

ISA/CN 的名称和邮寄地址:
中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088
传真号: (86-10)62019451

受权官员
王琳
电话号码: (86-10) 62411816

关于同族专利的信息

PCT/CN2011/076175

PCT/ISA/210 表(同族专利附件)(2009 年 7 月)

主题的分类

H01L 21/336 (2006.01) i

H01L 29/78 (2006.01) i