

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-56515
(P2010-56515A)

(43) 公開日 平成22年3月11日(2010.3.11)

(51) Int.Cl.
H01L 27/146 (2006.01)

F I
H01L 27/14

テーマコード(参考)
4M118

審査請求 未請求 請求項の数 5 O L (全 33 頁)

(21) 出願番号 特願2009-9523 (P2009-9523)
 (22) 出願日 平成21年1月20日(2009.1.20)
 (31) 優先権主張番号 特願2008-199520 (P2008-199520)
 (32) 優先日 平成20年8月1日(2008.8.1)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000002185
ソニー株式会社
東京都港区港南1丁目7番1号
 (74) 代理人 110000925
特許業務法人信友国際特許事務所
 (72) 発明者 松本 拓治
東京都港区港南1丁目7番1号 ソニー株式会社内
 (72) 発明者 田谷 圭司
東京都港区港南1丁目7番1号 ソニー株式会社内
 (72) 発明者 館下 八州志
東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

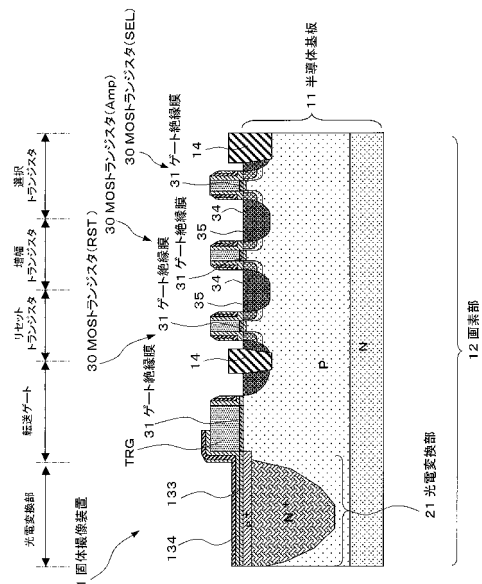
(54) 【発明の名称】 固体撮像装置、その製造方法および撮像装置

(57) 【要約】

【課題】周辺回路部のMOSトランジスタのゲート絶縁膜に酸化窒化膜を適用して動作速度を向上させ、光電変換部の性能劣化を抑制することを可能にする。

【解決手段】半導体基板11に、入射光を光電変換して電気信号を得る光電変換部21を備えた画素部12と前記画素部12の周辺に形成された周辺回路部13を有し、前記周辺回路部13のMOSトランジスタ50のゲート絶縁膜51は酸化窒化膜からなり、前記画素部12のMOSトランジスタ30のゲート絶縁膜31は酸化窒化膜からなり、前記画素部12の光電変換部12の直上に酸化膜が形成されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板に、入射光を光電変換して電気信号を得る光電変換部を備えた画素部と前記画素部の周辺に形成された周辺回路部を有し、

前記周辺回路部のMOSトランジスタのゲート絶縁膜は酸窒化膜からなり、

前記画素部のMOSトランジスタのゲート絶縁膜は酸窒化膜からなり、

前記画素部の光電変換部の直上に酸化膜が形成されている

固体撮像装置。

【請求項 2】

前記周辺回路部のMOSトランジスタのゲート電極の側壁にサイドウォールが形成され

10

、
前記画素部のMOSトランジスタのゲート電極の側壁にサイドウォールに形成され、
前記サイドウォールの直下に前記ゲート絶縁膜の酸窒化膜が延長されて形成されている
請求項 1 記載の固体撮像装置。

【請求項 3】

半導体基板に、入射光を光電変換して電気信号を得る光電変換部を備えた画素部と前記画素部の周辺に形成された周辺回路部を形成する際に、

前記半導体基板上の全面に酸窒化膜からなるゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜を介して前記画素部および前記周辺回路部に形成されるMOSトランジスタのゲート電極を形成する工程と、

20

前記各ゲート電極直下の前記ゲート絶縁膜を残してその他の領域の前記ゲート絶縁膜を除去する工程を有する

固体撮像装置の製造方法。

【請求項 4】

半導体基板に、入射光を光電変換して電気信号を得る光電変換部を備えた画素部と前記画素部の周辺に形成された周辺回路部を形成する際に、

前記半導体基板上の全面に酸窒化膜からなるゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜を介して前記画素部および前記周辺回路部に形成されるMOSトランジスタのゲート電極を形成する工程と、

前記各ゲート電極の側壁にサイドウォールを形成する工程と、

30

前記各ゲート電極および前記サイドウォール直下の前記ゲート絶縁膜を残してその他の領域の前記ゲート絶縁膜を除去する工程を有する

固体撮像装置の製造方法。

【請求項 5】

入射光を集光する集光光学部と、

前記集光光学部で集光した光を受光して光電変換する固体撮像装置と、

光電変換された信号を処理する信号処理部を有し、

前記固体撮像装置は、

半導体基板に、入射光を光電変換して電気信号を得る光電変換部を備えた画素部と前記画素部の周辺に形成された周辺回路部を有し、

40

前記周辺回路部のMOSトランジスタのゲート絶縁膜は酸窒化膜からなり、

前記画素部のMOSトランジスタのゲート絶縁膜は酸窒化膜からなり、

前記画素部の光電変換部の直上に酸化膜が形成されている

撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置、その製造方法および撮像装置に関するものである。

【背景技術】

【0002】

50

半導体基板に、入射光を光電変換して電気信号を得る光電変換部を備えた画素部と、この画素部の周辺に形成された周辺回路部を有するCMOSセンサーのような固体撮像装置では、周辺回路部（ロジック素子部）は、素子の微細化に伴い、ゲート絶縁膜が薄膜化されてきている。それにともない、ゲート絶縁膜のトンネル電流増加が問題になる。MOSトランジスタ技術では、ゲート絶縁膜のトンネル電流を抑制するために、ゲート絶縁膜に酸窒化膜が用いられている（例えば、特許文献1参照）。

【0003】

CMOSセンサーの周辺回路部に形成された素子（MOSトランジスタ）のゲート絶縁膜に酸窒化膜を有するロジックトランジスタを適用したとき、CMOSセンサーの性能を悪化させないようにすることが必要である。

10

【0004】

また、図46に示すように、光電変換部（例えばフォトダイオード）21上に酸窒化膜からなるゲート絶縁膜31を残すとゲート絶縁膜31中の固定電荷により、白傷を悪化させる問題があった。

【0005】

また、図47に示すように、光電変換部（例えばフォトダイオード）21直上の反射防止部に関して、酸化シリコン膜/窒化シリコン膜/酸化シリコン膜の3層構造（図示せず）から、酸化シリコン（ SiO_2 ）膜/窒化シリコン（ SiN ）膜/酸化シリコン（ SiO_2 ）膜/酸窒化膜の多重構造になるため、光は多重反射し、分光のリプル特性が悪くなる。また、リプル特性が悪くなるので、チップ間の分光のばらつきが大きくなる問題が生じる。

20

また、多重構造になるため最適化が複雑になる問題があった。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特許公報 特許第3752241号

【発明の概要】

【発明が解決しようとする課題】

【0007】

解決しようとする問題点は、周辺回路部のMOSトランジスタのゲート絶縁膜に酸窒化膜を適用したとき、CMOSセンサーの光電変換部（フォトダイオード）の性能を悪化させる点である。

30

【0008】

本発明は、周辺回路部のMOSトランジスタのゲート絶縁膜に酸窒化膜を適用し、光電変換部の性能劣化を抑制することを可能にする。

【課題を解決するための手段】

【0009】

本発明の固体撮像装置は、半導体基板に、入射光を光電変換して電気信号を得る光電変換部を備えた画素部と前記画素部の周辺に形成された周辺回路部を有し、
前記周辺回路部のMOSトランジスタのゲート絶縁膜は酸窒化膜からなり、
前記画素部のMOSトランジスタのゲート絶縁膜は酸窒化膜からなり、
前記画素部の光電変換部の直上に酸化膜が形成されている。

40

【0010】

本発明の固体撮像装置では、周辺回路部のおよび画素部のMOSトランジスタのゲート絶縁膜が酸窒化膜からなることから、トンネル電流の発生が防止される。また、光電変換部直上は、酸窒化膜ではなく、酸化膜が形成されていることから、酸窒化膜で問題となった光電変換部直上の膜中の固定電荷による白傷、暗電流を悪化が防止できる。

【0011】

本発明の固体撮像装置の製造方法は、半導体基板に、入射光を光電変換して電気信号を得る光電変換部を備えた画素部と前記画素部の周辺に形成された周辺回路部を形成する際

50

に、

前記半導体基板上の全面に酸窒化膜からなるゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜を介して前記画素部および前記周辺回路部に形成されるMOSトランジスタのゲート電極を形成する工程と、
前記各ゲート電極直下の前記ゲート絶縁膜を残してその他の領域の前記ゲート絶縁膜を除去する工程を有する。

【0012】

本発明の固体撮像装置の製造方法では、周辺回路部のおよび画素部のMOSトランジスタのゲート絶縁膜を酸窒化膜で形成することから、トンネル電流の発生が防止される。また、光電変換部直上の酸窒化膜を除去していることから、酸窒化膜中の固定電荷による白傷、暗電流を悪化が防止できる。

10

【0013】

本発明の撮像装置は、入射光を集光する集光光学部と、
前記集光光学部で集光した光を受光して光電変換する固体撮像装置と、
光電変換された信号を処理する信号処理部を有し、
前記固体撮像装置は、
半導体基板に、入射光を光電変換して電気信号を得る光電変換部を備えた画素部と前記画素部の周辺に形成された周辺回路部を有し、
前記周辺回路部のMOSトランジスタのゲート絶縁膜は酸窒化膜からなり、
前記画素部のMOSトランジスタのゲート絶縁膜は酸窒化膜からなり、
前記画素部の光電変換部の直上に酸化膜が形成されている。

20

【0014】

本発明の撮像装置では、本願発明の固体撮像装置を用いることから、周辺回路部のMOSトランジスタを微細化できるので性能が向上し、また各画素の光電変換部における白傷、暗電流を悪化が防止される。

【発明の効果】

【0015】

本発明の固体撮像装置は、トンネル電流の発生が防止されるため、周辺回路部、画素部のトランジスタ特性が向上される。また光電変換部における固定電荷による白傷、暗電流を悪化が防止できるので、画質の向上が図れるという利点がある。

30

【0016】

本発明の固体撮像装置の製造方法は、トンネル電流の発生が防止されるため、周辺回路部、画素部のトランジスタ特性が向上される。また光電変換部における固定電荷による白傷、暗電流を悪化が防止できるので、画質の向上が図れるという利点がある。

【0017】

本発明の撮像装置は、本願発明の固体撮像装置を用いることから、周辺回路部のMOSトランジスタを微細化できるので性能が向上し、また各画素の光電変換部における白傷、暗電流を悪化が防止されるので、画像品質の向上が図れるという利点がある。

【図面の簡単な説明】

【0018】

【図1】本発明の固体撮像装置に係る一実施の形態（第1実施例）を示した概略構成断面図である。

【図2】本発明の固体撮像装置に係る一実施の形態（第1実施例）を示した概略構成断面図である。

【図3】本発明の固体撮像装置に係る一実施の形態（第1実施例の変形例）を示した概略構成断面図である。

【図4】本発明の固体撮像装置に係る一実施の形態（第2実施例）を示した概略構成断面図である。

【図5】本発明の固体撮像装置に係る一実施の形態（第2実施例）を示した概略構成断面図である。

40

50

【図 6】本発明の固体撮像装置に係る一実施の形態（第 2 実施例の変形例）を示した概略構成断面図である。

【図 7】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図（1）である。

【図 8】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図（2）である。

【図 9】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図（3）である。

【図 10】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図（4）である。

10

【図 11】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図（5）である。

【図 12】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図（6）である。

【図 13】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図（7）である。

【図 14】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図（8）である。

【図 15】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図（9）である。

20

【図 16】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図（10）である。

【図 17】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図（11）である。

【図 18】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図（12）である。

【図 19】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図（13）である。

【図 20】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図（14）である。

30

【図 21】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図（15）である。

【図 22】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図（16）である。

【図 23】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図（17）である。

【図 24】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図（18）である。

【図 25】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図（19）である。

40

【図 26】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図（20）である。

【図 27】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図（21）である。

【図 28】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図（22）である。

【図 29】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図（23）である。

【図 30】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図（24）である。

50

【図 3 1】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図 (25) である。

【図 3 2】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図 (26) である。

【図 3 3】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図 (27) である。

【図 3 4】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図 (28) である。

【図 3 5】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図 (29) である。

10

【図 3 6】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図 (30) である。

【図 3 7】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図 (31) である。

【図 3 8】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図 (32) である。

【図 3 9】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図 (33) である。

【図 4 0】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図 (34) である。

20

【図 4 1】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図 (35) である。

【図 4 2】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図 (36) である。

【図 4 3】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図 (37) である。

【図 4 4】本発明の固体撮像装置の製造方法に係る一実施の形態を示した製造工程断面図 (38) である。

【図 4 5】本発明の撮像装置に係る一実施の形態を示したブロック図である。

【図 4 6】従来の CMOS センサーの概略構成断面図である。

30

【図 4 7】従来の CMOS センサーの概略構成断面図である。

【発明を実施するための形態】

【0019】

本発明の固体撮像装置に係る一実施の形態の第 1 実施例を、図 1 の画素部の概略構成断面図および図 2 の周辺回路部の概略構成断面図によって説明する。図 1 に示した画素部および図 2 に示した周辺回路部は同一の半導体基板に形成されているものである。

【0020】

図 1 および図 2 に示すように、半導体基板 11 に、入射光を光電変換して電気信号を得る光電変換部 21 を備えた画素部 12 と、この画素部 12 の周辺に形成された周辺回路部 13 を有する。上記画素部 12 と上記周辺回路部 13 とは素子分離領域 14 によって分離されている。

40

上記画素部 12 の半導体基板 11 には、光電変換部 21 が形成され、この光電変換部 21 に接続して転送ゲート TRG、リセットトランジスタ RST、増幅トランジスタ Amp、選択トランジスタ SEL が順に直列に形成されている。上記光電変換部 21 は例えばフォトダイオードで構成されている。

また、上記転送ゲート TRG と、リセットトランジスタ RST、増幅トランジスタ Amp、選択トランジスタ SEL の画素トランジスタとは、素子分離領域 14 によって分離されている。

したがって、上記増幅トランジスタ Amp のソース・ドレイン領域 34 は、リセットトランジスタ RST のソース・ドレイン領域 35 と共通の拡散層となっており、上記増幅ト

50

ランジスタ A m p のソース・ドレイン領域 3 5 は、選択トランジスタ S E L のソース・ドレイン領域 3 4 と共通の拡散層となっている。

なお、上記転送ゲート T R G と上記リセットトランジスタ R S T との間の素子分離領域 1 4 を形成せず、上記転送ゲート T R G の拡散層と、上記リセットトランジスタ R S T の拡散層が共通に形成されている構成であってもよい。

また、上記画素部 1 2 のトランジスタ群は、図示はしていないが、上記光電変換部 2 1 に接続して転送ゲート T R G 、選択トランジスタ S E L 、増幅トランジスタ A m p 、リセットトランジスタ R S T が順に直列に形成されている構成であってもよい。

【 0 0 2 1 】

上記画素部 1 2 の M O S トランジスタ 3 0 である上記転送ゲート T R G 、リセットトランジスタ R S T 、増幅トランジスタ A m p 、選択トランジスタ S E L の各ゲート絶縁膜 3 1 は酸窒化膜からなる。

また上記周辺回路部 1 3 の各 M O S トランジスタ 5 0 のゲート絶縁膜 5 1 は酸窒化膜からなる。

上記酸窒化膜としては、酸窒化シリコン膜がある。この酸窒化シリコン膜は、酸化シリコン膜と比較して膜中に正の固定電荷を有する。

また、上記画素部 1 2 の光電変換部 2 1 の直上には、酸窒化膜は形成されておらず、例えば酸化膜 1 3 3 、酸化膜 1 3 4 として酸化シリコン膜が形成されている。

【 0 0 2 2 】

なお、図 3 の概略構成断面図に示すように、画素部 1 2 において、M O S トランジスタ 3 0 である、リセットトランジスタ R S T 、増幅トランジスタ A m p 、選択トランジスタ S E L を素子分離領域 1 4 で分離した構成であってもよい。この場合、トランジスタの配置は上記順でなくてもよい。

【 0 0 2 3 】

上記固体撮像装置 1 では、周辺回路部 1 3 のおよび画素部 1 2 の各 M O S トランジスタ 5 0 、3 0 のゲート絶縁膜 5 1 、3 1 が酸窒化膜からなることから、トンネル電流の増加を抑制できる。また、光電変換部 2 1 直上は、酸窒化膜ではなく、酸化膜 1 3 3 、酸化膜 1 3 4 が形成されていることから、酸窒化膜で問題となった光電変換部 2 1 直上の膜中の固定電荷による白傷の悪化が防止できる。

【 0 0 2 4 】

次に、本発明の固体撮像装置に係る一実施の形態の第 2 実施例を、図 4 の画素部の概略構成断面図および図 5 の周辺回路部の概略構成断面図によって説明する。図 4 に示した画素部および図 5 に示した周辺回路部は同一の半導体基板に形成されているものである。

【 0 0 2 5 】

図 4 および図 5 に示すように、半導体基板 1 1 に、入射光を光電変換して電気信号を得る光電変換部 2 1 を備えた画素部 1 2 と、この画素部 1 2 の周辺に形成された周辺回路部 1 3 を有する。

上記画素部 1 2 の半導体基板 1 1 には、光電変換部 2 1 が形成され、この光電変換部 2 1 に接続して転送ゲート T R G 、リセットトランジスタ R S T 、増幅トランジスタ A m p 、選択トランジスタ S E L が順に直列に形成されている。上記光電変換部 2 1 は例えばフォトダイオードで構成されている。

また、上記転送ゲート T R G と、リセットトランジスタ R S T 、増幅トランジスタ A m p 、選択トランジスタ S E L の画素トランジスタとは、素子分離領域 1 4 によって分離されている。

したがって、上記増幅トランジスタ A m p のソース・ドレイン領域 3 4 は、リセットトランジスタ R S T のソース・ドレイン領域 3 5 と共通の拡散層となっており、上記増幅トランジスタ A m p のソース・ドレイン領域 3 5 は、選択トランジスタ S E L のソース・ドレイン領域 3 4 と共通の拡散層となっている。

なお、上記転送ゲート T R G と上記リセットトランジスタ R S T との間の素子分離領域 1 4 を形成せず、上記転送ゲート T R G の拡散層と、上記リセットトランジスタ R S T の

10

20

30

40

50

拡散層が共通に形成されている構成であってもよい。

また、上記画素部 1 2 のトランジスタ群は、図示はしていないが、上記光電変換部 2 1 に接続して転送ゲート T R G、選択トランジスタ S E L、増幅トランジスタ A m p、リセットトランジスタ R S T が順に直列に形成されている構成であってもよい。

【 0 0 2 6 】

上記画素部 1 2 の M O S トランジスタ 3 0 である上記転送ゲート T R G、リセットトランジスタ R S T、増幅トランジスタ A m p、選択トランジスタ S E L の各ゲート絶縁膜 3 1 は酸窒化膜からなる。このゲート絶縁膜 3 1 は、各ゲート電極 3 2 の側壁に形成された第 1 サイドウォール 3 3 の直下にも形成されている。

また上記周辺回路部 1 3 の各 M O S トランジスタ 5 0 のゲート絶縁膜 5 1 は酸窒化膜からなる。このゲート絶縁膜 5 1 は、各ゲート電極 5 2 の側壁に形成された第 2 サイドウォール 5 3 の直下にも形成されている。

上記酸窒化膜としては、酸窒化シリコン膜がある。この酸窒化シリコン膜は、酸化シリコン膜と比較して膜中に正の固定電荷を有する。

また、上記画素部 1 2 の光電変換部 2 1 の直上には、酸窒化膜は形成されておらず、例えば酸化膜 1 3 4 として酸化シリコン膜が形成されている。

【 0 0 2 7 】

なお、図 6 の概略構成断面図に示すように、画素部 1 2 においては、M O S トランジスタ 3 0 である、リセットトランジスタ R S T、増幅トランジスタ A m p、選択トランジスタ S E L を素子分離領域 1 4 で分離した構成であってもよい。この場合、トランジスタの配置は上記順でなくてもよい。

【 0 0 2 8 】

上記固体撮像装置 2 では、周辺回路部 1 3 のおよび画素部 1 2 の各 M O S トランジスタ 5 0、3 0 のゲート絶縁膜 5 1、3 1 が酸窒化膜からなることから、トンネル電流の増加が抑制できる。また、光電変換部 2 1 直上は、酸窒化膜ではなく、酸化膜 1 3 4 が形成されていることから、酸窒化膜で問題となった光電変換部 2 1 直上の膜中の固定電荷による白傷、暗電流を悪化が防止できる。

【 0 0 2 9 】

なお、固体撮像装置 2 では、各第 1、第 2 サイドウォール 3 3、5 3 の直下に酸窒化膜からなるゲート絶縁膜 3 1、5 1 を残している。このため、前記第 1 実施例の固体撮像装置 1 より、転送ゲート T R G 端の正の固定電荷による白傷悪化が多少は懸念されるが、従来の固体撮像装置よりは固定電荷による白傷の悪化が抑制できる。

【 0 0 3 0 】

次に、本発明の固体撮像装置の製造方法に係る一実施の形態を、図 7 ~ 図 4 0 の製造工程断面図によって説明する。

【 0 0 3 1 】

図 7 (1) に示すように、半導体基板 1 1 には例えばシリコン基板を用いる。

上記半導体基板 1 1 上にパッド酸化膜 1 1 1、窒化シリコン膜 1 1 2 を形成する。

上記パッド酸化膜 1 1 1 は、例えば熱酸化法により、半導体基板 1 1 表面を酸化して形成する。このパッド酸化膜 1 1 1 は、例えば 1 5 n m の厚さに形成する。

次に、例えば L P - C V D (Low Pressure CVD) 法により、上記パッド酸化膜 1 1 1 上に窒化シリコン膜 1 1 2 を形成する。この窒化シリコン膜 1 1 2 は、例えば 1 6 0 n m の厚さに形成される。

上記説明した構成では、窒化シリコン膜 / パッド酸化膜の構造であるが、窒化シリコン膜 / ポリシリコン膜またはアモルファスシリコン膜 / パッド酸化膜の構造であっても良い。

【 0 0 3 2 】

次に、図 8 (2) に示すように、上記窒化シリコン膜 1 1 2 上に素子分離領域を形成する領域上に開口部を設けたレジストマスク (図示せず) を形成した後、エッチングによって上記窒化シリコン膜 1 1 2 および上記パッド酸化膜 1 1 1 に開口部 1 1 3 を形成する。

上記エッチングでは、例えば反応性イオンエッチング（R I E : Reactive Ion Etching）装置または電子サイクロトロン共鳴（E C R : Electron Cyclotron Resonance）エッチング装置などを用いることができる。加工後、アッシング装置などにより上記レジストマスクの除去を行う。

【 0 0 3 3 】

次に、図 9（ 3 ）に示すように、上記窒化シリコン膜 1 1 2 をエッチングマスクに用いて、上記半導体基板 1 1 に素子分離溝（第 1 素子分離溝 1 1 4、第 2 素子分離溝 1 1 5）を形成する。このエッチングには、例えば R I E 装置または E C R エッチング装置などを用いる。

まず、周辺回路部（および画素部）の第 2 素子分離溝 1 1 5（および第 1 素子分離溝 1 1 4）の第 1 エッチングを行う。このとき、各第 1、第 2 素子分離溝 1 1 4、1 1 5 の深さは 5 0 n m ~ 1 6 0 n m である。

図示はしないが画素部上にレジストマスクを形成し、さらに周辺回路部のみ素子分離溝 1 1 5 を延長形成する第 2 エッチングを行い、周辺回路部のみ第 2 素子分離溝 1 1 5 の深さを、例えば 0 . 3 μ m に形成する。その後、レジストマスクを除去する。

【 0 0 3 4 】

このように、画素部の第 1 素子分離溝 1 1 4 を浅くすることにより、エッチングダメージによる白傷を抑制する効果がある。第 1 素子分離溝 1 1 4 を浅くすることで、実効的な光電変換部の面積が増えるため、飽和電荷量（Q s）が大きくなる効果がある。高速動作を実現するために周辺回路部の第 2 素子分離領域は S T I 深さを深くして、配線・基板間の寄生容量を低減させている。

【 0 0 3 5 】

次に、図示はしないが、ライナー膜を形成する。このライナー膜は、例えば約 8 0 0 ~ 9 0 0 の熱酸化で形成される。上記ライナー膜は、酸化シリコン膜、窒素を含んだ酸化シリコン膜または C V D 窒化シリコン膜でもよい。その膜厚は、約 4 n m ~ 1 0 n m とする。

また図示はしないが、レジストマスクを用いて画素部 1 2 に暗電流抑制するためのホウ素（B）をイオン注入する。そのイオン注入条件は、一例として、打ち込みエネルギーを 1 0 k e V 程度に設定し、ドーズ量を $1 \times 10^{12} / \text{cm}^2 \sim 1 \times 10^{14} / \text{cm}^2$ に設定して行う。画素部内の素子分離領域が形成される第 1 素子分離溝 1 1 4 の周りは、ホウ素濃度が高いほど、暗電流が抑制され、寄生トランジスタ動作が抑制される。しかし、ホウ素の濃度を高くしすぎると、光電変換部を形成するフォトダイオードの面積が小さくなり、飽和電荷量（Q s）が小さくなるので、上記ドーズ量としている。

【 0 0 3 6 】

次に、図 1 0（ 4 ）に示すように、上記第 2 素子分離溝 1 1 5（および第 1 素子分離溝 1 1 4）の内部を埋め込むように、上記窒化シリコン膜 1 1 2 上に絶縁膜を形成する。この絶縁膜は、例えば高密度プラズマ C V D 法によって酸化シリコンを堆積して形成する。

次いで、上記窒化シリコン膜 1 1 2 上の余剰な上記絶縁膜を、例えば化学的機械研磨（C M P : Chemical Mechanical Polishing）によって除去し、第 2 素子分離溝 1 1 5（第 1 素子分離溝 1 1 4）の内部に残して上記絶縁膜で第 2 素子分離領域 1 5（第 1 素子分離領域 1 4）を形成する。上記 C M P では、窒化シリコン膜 1 1 2 がストッパとなって、C M P を停止させる。

第 1 素子分離領域 1 4 は、周辺回路部 1 3 の第 2 素子分離領域 1 5 よりも浅く形成しているが、窒化シリコン膜 1 1 2 のストッパが同じであるため、素子分離の突き出し量は、同じに設定される。ここで、第 1 素子分離領域 1 4 と第 2 素子分離領域 1 5 の突出高さが同じ突出高さとは、製造加工精度に基づく加工ばらつきの範囲内であれば、同じ突出高さであると定義する。すなわち、溝（トレンチ）加工でのマスクとして用いる窒化シリコン膜 1 1 2 の膜厚は、一般的に 1 6 0 n m 程度の窒化シリコン膜でウエハの面内ばらつきが ± 1 0 % 程度ある。C M P（化学機械研磨）による研磨ばらつきについても、± 2 0 n m ~ 3 0 n m 程度ある。したがって、画素部と周辺回路部が同じになるように工夫しても、

10

20

30

40

50

20 nm ~ 30 nm 程度変動する可能性がある。厳密に観察してチップ面内のどこかで画素部と周辺回路部を比較した場合、完全に同じ突出高さでないとしても、画素部と周辺回路部において両突出高さとの差が30 nm 以内に入っていれば、本発明でいう「同じ高さ」の範疇に入るものとする。

最終的には、第1素子分離領域14と第2素子分離領域15の突き出し量の高さは、一例としてシリコン表面から0 ~ 20 nm 程度に低く設定される。

【0037】

次に、図11(5)に示すように、半導体基板11表面からの第1素子分離領域14の高さを調整するために、酸化膜のウエットエッチを行う。酸化膜のエッチング量は例えば40 nm ~ 100 nm とする。

次いで上記窒化シリコン膜112(前記図10(4)参照)を除去し、パッド酸化膜111を露出させる。上記窒化シリコン膜112は、例えば熱リン酸によるウエットエッチングにより除去される。

【0038】

次に、図12(6)に示すように、pウエルを形成する領域上に開口部を設けたレジストマスク(図示せず)を用いて、パッド酸化膜111を形成した状態で、イオン注入により、半導体基板11にpウエル121を形成する。さらに、チャンネルイオン注入を行う。その後、上記レジストマスクを除去する。

また、nウエルを形成する領域上に開口部を設けたレジストマスク(図示せず)を用いて、パッド酸化膜111を形成した状態で、イオン注入により、半導体基板11にnウエル123を形成する。さらに、チャンネルイオン注入を行う。その後、上記レジストマスクを除去する。

上記pウエル121は、イオン注入種にホウ素(B)を用い、打ち込みエネルギーを例えば200 keV、ドーズ量を例えば $1 \times 10^{13} \text{ cm}^{-2}$ に設定して行う。上記pウエル121のチャンネルイオン注入は、イオン注入種にホウ素(B)を用い、打ち込みエネルギーを例えば10 keV ~ 20 keV、ドーズ量を例えば $1 \times 10^{11} \text{ cm}^{-2} \sim 1 \times 10^{13} \text{ cm}^{-2}$ に設定して行う。

上記nウエル123は、イオン注入種に例えばリン(P)を用い、打ち込みエネルギーを例えば200 keV、ドーズ量を例えば $1 \times 10^{13} \text{ cm}^{-2}$ に設定して行う。上記nウエル123のチャンネルイオン注入は、イオン注入種に例えばヒ素(As)を用い、打ち込みエネルギーを例えば100 keV、ドーズ量を例えば $1 \times 10^{11} \text{ cm}^{-2} \sim 1 \times 10^{13} \text{ cm}^{-2}$ に設定して行う。

また、図示はしないが、次に、光電変換部にフォトダイオードを形成するイオン注入を行い、p型領域を形成する。例えば、光電変換部が形成される半導体基板の表面には、ホウ素(B)のイオン注入を行い、深い領域にヒ素(As)もしくはリン(P)を用いてイオン注入を行、上記p型領域の下部に接合するn型領域を形成する。このようにして、pn接合の光電変換部を形成する。

【0039】

次に、図13(7)に示すように、パッド酸化膜111(前記図12(6)参照)を、例えばウエットエッチングにより除去する。

次に、半導体基板11上に、高電圧用の厚膜のゲート絶縁膜51Hを形成する。膜厚は、電源電圧3.3V用トランジスタで約7.5 nm、2.5V用トランジスタで約5.5 nm とする。次いで、高電圧用の厚膜のゲート絶縁膜51H上にレジストマスク(図示せず)を形成し、低電圧用トランジスタ領域に形成された厚膜のゲート絶縁膜51Hを除去する。

上記レジストマスクを除去した後、半導体基板11上に、低電圧用トランジスタ領域に薄膜のゲート絶縁膜51Lを形成する。膜厚は、電源電圧1.0V用トランジスタで約1.2 nm ~ 1.8 nm とする。同時に画素部のトランジスタ形成領域にも、薄膜のゲート絶縁膜(図示せず)が、酸窒化膜で形成される。

上記酸窒化膜としては、酸窒化シリコン膜がある。この酸窒化シリコン膜は、酸化シリ

10

20

30

40

50

コン膜と比較して膜中に正の固定電荷を有する。

上記酸窒化膜は、例えば一酸化二窒素 (N_2O) または、酸化窒素 (NO)、または二酸化窒素 (NO_2) となる窒素原子を含んだ雰囲気中で形成される。例えば熱酸化とプラズマ窒化法、熱酸窒化法等が採用される。なお、単純に直接、シリコン基板を熱酸窒化すると、工程数が少ないメリットがあるものの、シリコン (Si) 界面に多数の窒素が分布し、デバイス性能を劣化させる。また界面準位増加に伴う移動度の悪化を引き起こす。

したがって、熱酸化とプラズマ窒化法による成膜が好ましい。

また、PMOSのNBTIを悪化させ、信頼性低下を引き起こす問題がある。なお、高電圧トランジスタの酸化膜もこの酸窒化膜で増膜し、窒素が導入され、プラスの固定電荷を発生させることもできる。

10

【0040】

上記正の固定電荷により、純粋な酸化膜でゲート絶縁膜を形成した場合と比較すると、nMOSFETのしきい値電圧 V_{th} を低く、pMOSFETのしきい値電圧 V_{th} を高く移行 (シフト) させる。

また、ゲート絶縁膜を酸窒化膜にすることにより物理膜厚が厚くなるものの、誘電率が上がることから電氣的な等価酸化膜厚は薄くなり、ゲートリーク電流を低くすることができる。

さらに、pMOSFETのゲート電極にポリシリコンを用いた場合、ゲート電極中のホウ素 (B) のゲート絶縁膜の突き抜けを防ぎ、pMOSFETの特性変動を抑える効果がある。

20

上記酸窒化膜は、膜厚 3.5 nm 以下で、ゲート長 $0.18 \mu\text{m}$ 以下の世代で使われている。このような酸窒化膜は、シリコン (Si) 界面の窒素濃度が高くなるため、通常の熱酸化を行い、プラズマ窒化することにより熱酸化膜表面近傍に窒素濃度を高く、シリコン (Si) 界面の濃度をできるだけ低くする方法が好ましい。プラズマ窒化直後、RTAにより膜質の改善をする。

プラズマ窒化による方法は、一般的に膜厚が 2.5 nm 以下、ゲート長 $0.15 \mu\text{m}$ 以下の世代で使われる。直接、シリコン基板を窒化酸化して酸窒化膜を形成するより、熱酸化膜を形成した後にプラズマ窒化する方法のほうが、撮像素子の特性を良くできる。

【0041】

以後、図示では、便宜上、厚膜のゲート絶縁膜 $51H$ と薄膜のゲート絶縁膜 $51L$ とを同等の膜厚に描いている。

30

【0042】

次に、図14(8)の画素部の断面図および図15(9)の周辺回路部の断面図に示すように、ゲート絶縁膜 51 ($51H$ 、 $51L$)、ゲート絶縁膜 31 上にゲート電極形成膜 131 を形成する。上記ゲート電極形成膜 131 は、例えばLP-CVD法により、ポリシリコンを堆積して形成する。堆積膜厚は、技術ノードにもよるが、 90 nm ノードでは、 $150 \text{ nm} \sim 200 \text{ nm}$ とする。

また、膜厚は、加工の制御性から一般にゲートアスペクト比を大きくしないため、ノード毎に薄くなる傾向にある。

そして、ゲート空乏化対策として、ポリシリコンの代わりにシリコンゲルマニウム ($SiGe$) を用いてよい。このゲート空乏化とは、ゲート酸化膜の膜厚が薄膜化するに伴い、物理的なゲート酸化膜の膜厚だけでなくゲートポリシリコン内の空乏層の膜厚の影響が無視できなくなると、実効的なゲート酸化膜の膜厚が薄くならず、トランジスタ性能が落ちてしまうという問題である。

40

【0043】

次に、図16(10)の画素部の断面図および図17(11)の周辺回路部の断面図に示すように、ゲート空乏化対策を行う。まず、pMOSトランジスタの形成領域上にレジストマスク 132 を形成し、nMOSトランジスタの形成領域の上記ゲート電極形成膜 131 にn型不純物をドーピングする。このドーピングは、例えばリン (P) またはヒ素 (As) をイオン注入して行う。イオン注入量は、約 $1 \times 10^{15} / \text{cm}^2 \sim 1 \times 10^{16} / \text{cm}^2$

50

m^2 である。その後、上記レジストマスク 132 を除去する。

次いで、図示はしていないが、nMOSトランジスタの形成領域上にレジストマスク（図示せず）を形成し、pMOSトランジスタの形成領域の上記ゲート電極形成膜 131 に p型不純物をドーピングする。このドーピングは、例えばホウ素（B）または二フッ化ホウ素（ BF_2 ）またはインジウム（In）をイオン注入して行う。イオン注入量は、約 $1 \times 10^{15} / cm^2 \sim 1 \times 10^{16} / cm^2$ である。その後、上記レジストマスクを除去する。

上記イオン注入は、どちらを先に行ってもよい。

また、上記各イオン注入において、イオン注入した不純物がゲート絶縁膜の直下に突き抜けるのを防ぐために、窒素（ N_2 ）のイオン注入を組み合わせても良い。

【0044】

次に、図18（12）の画素部の断面図および図19（13）の周辺回路部の断面図に示すように、上記ゲート電極形成膜 131 上に各ゲート電極を形成するためのレジストマスク（図示せず）を形成する。このレジストマスクをエッチングマスクに用いた反応性イオンエッチングによって、上記ゲート電極形成膜 131 上をエッチング加工して画素部 12 の各MOSトランジスタのゲート電極 32、周辺回路部 13 の各MOSトランジスタのゲート電極 52 を形成する。

【0045】

次に、図20（14）の画素部の断面図および図21（15）の周辺回路部の断面図に示すように、上記ゲート電極 32、52 の直下のゲート絶縁膜 31、51 を残して、その他の領域の上記ゲート絶縁膜 31、51 を除去する。ゲート絶縁膜 31、51 の除去は、下地へのエッチダメージを防止するためにウエットエッチで行うことが望ましい。

【0046】

次に、図22（16）の画素部の断面図および図23（17）の周辺回路部の断面図に示すように、上記各ゲート電極 32、52 の表面を酸化して酸化膜 133 を形成する。

上記酸化膜 133 の膜厚は、例えば $1 nm \sim 10 nm$ とする。また、上記酸化膜 133 は、上記ゲート電極 32、52 の側壁とともに上面にも形成されている。

さらに、上記酸化工程によって、上記ゲート電極 32、52 のエッジ部分を丸めることによって、酸化膜耐圧を改善することができる効果がある。

また、上記熱処理が行われることによって、エッチダメージを低減することができる。

また、上記ゲート電極加工において、光電変換部 21 上に形成されていた上記ゲート絶縁膜が除去されたとしても、光電変換部 21 上にも上記酸化膜 133 が形成される。このため、次工程のリソグラフィ技術においてレジスト膜を形成した際に、シリコン表面に直付けではなくなるために、このレジストによる汚染を防止できる。よって、画素部 12 の光電変換部 21 にとっては、白傷防止対策になる。

【0047】

次に、図24（18）の画素部の断面図および図25（19）の周辺回路部の断面図に示すように、画素部 12 の各MOSトランジスタのLDD 38、39等を形成するとともに、周辺回路部 13 の各MOSトランジスタのLDD 61、62、63、64等を形成する。このとき、リセットトランジスタのLDD 39と増幅トランジスタのLDD 38は共通の拡散層で形成され、増幅トランジスタのLDD 39と選択トランジスタのLDD 38は共通の拡散層で形成される。

【0048】

まず、周辺回路部 13 に形成されるNMOSトランジスタに関しては、各ゲート電極 52（52N）の両側における半導体基板 11 にポケット拡散層 65、66 を形成する。このポケット拡散層 65、66 は、イオン注入により形成され、イオン注入種に例えば二フッ化ホウ素（ BF_2 ）またはホウ素（B）またはインジウム（In）を用い、ドーズ量を例えば $1 \times 10^{12} / cm^2 \sim 1 \times 10^{14} / cm^2$ に設定する。

さらに各ゲート電極 52（52N）の両側における半導体基板 11 にLDD 61、62 を形成する。LDD 61、62 は、イオン注入により形成され、イオン注入種に例えばヒ素（As）もしくはリン（P）を用い、ドーズ量を例えば $1 \times 10^{13} / cm^2 \sim 1 \times 10^{14}$

10

20

30

40

50

$5 / \text{cm}^2$ に設定する。

【0049】

上記画素部12に形成されるMOSトランジスタに関しては、各ゲート電極32の両側における半導体基板11にLDD38、39を形成する。LDD38、39は、イオン注入により形成され、イオン注入種に例えばヒ素(As)もしくはリン(P)を用い、ドーズ量を例えば $1 \times 10^{13} / \text{cm}^2 \sim 1 \times 10^{15} / \text{cm}^2$ に設定する。また、ポケット拡散層を形成してもよい。

上記画素部12に形成されるMOSトランジスタに関しては、工程削減の観点から、LDDを形成しなくてもよい。もしくは、周辺回路部13に形成されるMOSトランジスタのLDDイオン注入と兼ねてもよい。

【0050】

周辺回路部13のPMOSトランジスタの形成領域に関しては、各ゲート電極52(52P)の両側における半導体基板11にポケット拡散層67、68を形成する。このポケット拡散層67、68は、イオン注入により形成され、イオン注入種に例えばヒ素(As)またはリン(P)を用い、ドーズ量を例えば $1 \times 10^{12} / \text{cm}^2 \sim 1 \times 10^{14} / \text{cm}^2$ に設定する。

さらに各ゲート電極52(52P)の両側における半導体基板11にLDD63、64を形成する。LDD63、64は、イオン注入により形成され、イオン注入種に例えば二フッ化ホウ素(BF₂)またはホウ素(B)またはインジウム(In)を用い、ドーズ量を例えば $1 \times 10^{13} / \text{cm}^2 \sim 1 \times 10^{15} / \text{cm}^2$ に設定する。

【0051】

また、周辺回路部のNMOSトランジスタ、PMOSトランジスタのポケットイオン注入前に、注入のチャネリング抑制技術として、ゲルマニウム(Ge)をイオン注入することなどでプリアモルファス化を行ってもよい。また、LDD形成後、TED(Transient Enhanced Diffusion)などを引き起こす注入欠陥を小さくするために、800 ~ 900程度のRTA(Rapid Thermal Annealing)処理を追加してもよい。

【0052】

次に、図26(20)の画素部の断面図および図27(21)の周辺回路部の断面図に示すように、画素部12および周辺回路部13の全面に酸化シリコン(SiO₂)膜134を形成する。この酸化シリコン膜134は、ノンドープトシリケートガラス(NSG)またはLP-TEOS(Tetra Ethyl Ortho Silicate)または高温酸化(HTO)膜等の堆積膜で形成される。上記酸化シリコン膜134は、例えば5nm~20nmの膜厚に形成される。

次に、上記酸化シリコン膜134上に窒化シリコン膜135を形成する。この窒化シリコン膜135は、例えばLPCVDにて形成された窒化シリコン膜を用いる。その膜厚は、例えば10nm~100nmとする。

上記窒化シリコン膜135は、低温で成膜できる原子層蒸着法により成膜されたALD窒化シリコン膜でもよい。

上記窒化シリコン膜135の直下の酸化シリコン膜134は、画素部12の光電変換部21上では、その膜厚が薄いほど、光反射を防ぐので、光電変換部21の感度が良くなる。

次に、必要に応じて、上記窒化シリコン膜135上に3層目の酸化シリコン(SiO₂)膜136を堆積する。この酸化シリコン膜136は、NSGまたはLP-TEOSまたはHTO等の堆積膜で形成される。この酸化シリコン膜136は、例えば10nm~100nmの膜厚に形成される。

【0053】

したがって、サイドウォール形成膜137は、酸化シリコン膜136/窒化シリコン膜135/酸化シリコン膜134の3層構造膜となる。なお、このサイドウォール形成膜137は、窒化シリコン膜/酸化シリコン膜の2層構造膜であってもよい。以下、3層構造膜のサイドウォール形成膜137で説明する。

10

20

30

40

50

【 0 0 5 4 】

次に、図 2 8 (2 2) の画素部の断面図および図 2 9 (2 3) の周辺回路部の断面図に示すように、最上層に形成されている上記酸化シリコン膜 1 3 6 をエッチバックして、各ゲート電極 3 2、5 2 等の側部側にのみ残す。上記エッチバックは、例えば反応性イオンエッチング (R I E) によって行う。このエッチバックでは、上記窒化シリコン膜 1 3 5 でエッチングを停止する。このように、窒化シリコン膜 1 3 5 でエッチングを停止するため、画素部 1 2 の光電変換部 2 1 へのエッチダメージを低減することができるので、白傷を低減することができる。

【 0 0 5 5 】

次に、図 3 0 (2 4) の画素部の断面図および図 3 1 (2 5) の周辺回路部の断面図に示すように、画素部 1 2 の光電変換部 2 1 上の全面および転送ゲート T R G 上の一部にかかるように、レジストマスク 1 3 8 を形成する。

その後、上記窒化シリコン膜 1 3 5、上記酸化シリコン膜 1 3 4 をエッチバックして、各ゲート電極 3 2、5 2 の側壁部に酸化シリコン膜 1 3 4、窒化シリコン膜 1 3 5、酸化シリコン膜 1 3 6 からなる第 1 サイドウォール 3 3、第 2 サイドウォール 5 3 を形成する。このとき、光電変換部 2 1 上の窒化シリコン膜 1 3 5、酸化シリコン膜 1 3 4 は、レジストマスク 1 3 8 で被覆されているので、エッチングされない。

【 0 0 5 6 】

次に、図 3 2 (2 6) の画素部の断面図および図 3 3 (2 7) の周辺回路部の断面図に示すように、周辺回路部 1 3 の N M O S トランジスタの形成領域上を開口したレジストマスク (図示せず) を形成し、これを用いてイオン注入により、周辺回路部 1 3 の N M O S トランジスタの形成領域に深いソース・ドレイン (Deep Source-Drain) 領域 5 4 (5 4 N)、5 5 (5 5 N) を形成する。すなわち、各ゲート電極 5 2 の両側に、上記 L D D 5 8、5 9 等を介して、半導体基板 1 1 に上記ソース・ドレイン領域 5 4 N、5 5 N が形成される。上記ソース・ドレイン領域 5 4 N、5 5 N は、イオン注入により形成され、イオン注入種に例えばヒ素 (A s) またはリン (P) を使い、ドーズ量を例えば $1 \times 10^{15} / \text{cm}^2 \sim 1 \times 10^{16} / \text{cm}^2$ に設定する。その後、上記レジストマスクを除去する。

【 0 0 5 7 】

次に、画素部 1 2 の N M O S トランジスタの形成領域上を開口したレジストマスク (図示せず) を形成し、これを用いてイオン注入により、画素部 1 2 の N M O S トランジスタの形成領域に深いソース・ドレイン (Deep Source-Drain) 領域 3 4、3 5 を形成する。すなわち、各ゲート電極 3 2 の両側に、上記 L D D 3 8、3 9 等を介して、半導体基板 1 1 に上記ソース・ドレイン領域 3 4、3 5 が形成される。上記ソース・ドレイン領域 3 4、3 5 は、イオン注入により形成され、イオン注入種に例えばヒ素 (A s) またはリン (P) を使い、ドーズ量を例えば $1 \times 10^{15} / \text{cm}^2 \sim 1 \times 10^{16} / \text{cm}^2$ に設定する。その後、上記レジストマスクを除去する。

このイオン注入は、上記周辺回路部の N M O S トランジスタの上記ソース・ドレイン領域 5 4 N、5 5 N を形成するイオン注入と兼ねることができる。

上記イオン注入では、上記増幅トランジスタのソース・ドレイン領域 3 4 は、リセットトランジスタのソース・ドレイン領域 3 5 と共通の拡散層として形成され、上記増幅トランジスタのソース・ドレイン領域 3 5 は、選択トランジスタのソース・ドレイン領域 3 4 と共通の拡散層として形成される。

従来技術で説明した国際公開 W O 2 0 0 3 / 0 9 6 4 2 1 号公報に記載されたソース・ドレイン領域の形成では、3 層の膜越しのイオン注入と膜が形成されていない状態でのイオン注入となるため、兼ねることは困難である。

【 0 0 5 8 】

次に、周辺回路部 1 3 の P M O S トランジスタの形成領域上を開口したレジストマスク (図示せず) を形成し、これを用いてイオン注入により、周辺回路部 1 3 の P M O S トランジスタの形成領域に深いソース・ドレイン (Deep Source-Drain) 領域 5 4 (5 4 P)、5 5 (5 5 P) を形成する。すなわち、各ゲート電極 5 2 の両側に、上記 L D D 6 0、

6 1等を介して、半導体基板 1 1に上記ソース・ドレイン領域 5 4 P、5 5 Pが形成される。上記ソース・ドレイン領域 5 4 P、5 5 Pは、イオン注入により形成され、イオン注入種に例えばホウ素 (B) または二フッ化ホウ素 ($B F_2$) を用い、ドーズ量を例えば $1 \times 10^{15} / \text{cm}^2 \sim 1 \times 10^{16} / \text{cm}^2$ に設定する。その後、上記レジストマスクを除去する。

次に、各ソース・ドレイン領域の活性化アニールを行う。この活性化アニールは、例えば約 8 0 0 ~ 1 1 0 0 で行う。この活性化アニールを行う装置は、例えば R T A (Rapid Thermal Annealing) 装置、スパイク - R T A 装置などを用いることができる。

【 0 0 5 9 】

上記ソース・ドレイン領域の活性化アニール前においては、光電変換部 2 1 上を被覆するサイドウォール形成膜 1 3 7 が画素部 1 2 の M O S トランジスタのゲート電極 3 2 上で、サイドウォール形成膜 1 3 7 にて形成されるサイドウォール 3 3 と分断されている。このため、上記従来技術で説明した S M T (Stress Memorization Technique) に起因した応力 (Stress) による悪化がない。

よって、白傷、ランダムノイズ等を改善できる。

また、光電変換部 2 1 上は、サイドウォール形成膜 1 3 7 で覆われており、ソース・ドレイン領域を形成するイオン注入時のレジストマスクは、サイドウォール形成膜 1 3 7 を介して光電変換部 2 1 上に形成されるため、光電変換部 2 1 表面に直付けにならない。このため、光電変換部 2 1 は、レジスト中の汚染物質により汚染されることがないので、白傷、暗電流等の増加を抑えることができる。

また、ソース・ドレイン領域を形成するイオン注入では、膜越しのイオン注入ではないため、表面の濃度を高くした状態で深さを設定できる。このため、ソース・ドレイン領域の直列抵抗の増加を抑制できる。

また、上記光電変換部 2 1 上を被覆している上記サイドウォール形成膜 1 3 7 は、その後の工程で、第 1 シリサイドブロック膜 7 1 として用いられる。

【 0 0 6 0 】

次に、図 3 4 (2 8) の画素部の断面図および図 3 5 (2 9) の周辺回路部の断面図に示すように、画素部 1 2 および周辺回路部 1 3 上の全面に第 2 シリサイドブロック膜 7 2 を形成する。第 2 シリサイドブロック膜 7 2 は、酸化シリコン ($S i O_2$) 膜 1 3 8 と窒化シリコン ($S i_3 N_4$) 膜 1 3 9 の積層膜からなる。例えば、上記酸化シリコン膜 1 3 8 は、例えば 5 n m ~ 4 0 n m の膜厚に形成されていて、上記窒化シリコン膜 1 3 9 は、例えば 5 n m ~ 6 0 n m の膜厚に形成されている。

上記酸化シリコン膜 1 3 8 は、N S G、L P - T E O S、H T O 膜等を用いる。上記窒化シリコン膜 1 3 9 は、A L D - S i N、プラズマ窒化膜、L P - S i N 等を用いる。この 2 層の膜の成膜温度が高いと、P M O S F E T のゲート電極において、ボロンの不活性化が起こり、ゲート空乏化により、P M O S F E T の電流駆動能力が低下する。したがって、相対的にサイドウォール形成膜 1 3 7 より成膜温度が低いことが望ましい。成膜温度は例えば 7 0 0 以下が望ましい。

【 0 0 6 1 】

次に、図 3 6 (3 0) の画素部の断面図および図 3 7 (3 1) の周辺回路部の断面図に示すように、画素部 1 2 の M O S トランジスタの形成領域上をほぼ被覆するように、レジストマスク 1 4 1 を形成する。このレジストマスク 1 4 1 をエッチングマスクに用いて、上記画素部 1 2 の光電変換部 2 1 上 (転送ゲート T R G 上の一部も含む) および周辺回路部 1 3 上の上記第 2 シリサイドブロック膜 7 2 をエッチングにより除去する。

この結果、光電変換部 2 1 上は、上層より窒化シリコン膜 1 3 5、酸化シリコン膜 1 3 4 となり、分光のリップルを防ぐことができる。一方、上記エッチングを行わない場合には、光電変換部 2 1 上は、上層より窒化シリコン膜 1 3 9、酸化シリコン膜 1 3 8、窒化シリコン膜 1 3 5、酸化シリコン膜 1 3 4 の構造になり、入射光は多重反射し、分光のリップル特性が悪化する。リップル特性が悪くなるので、Chip to Chip の分光のばらつきが大きくなる。そのため、本実施例では、光電変換部 2 1 上の第 2 シリサイドブロック膜 7

10

20

30

40

50

2を故意に剥離している。

【0062】

次に、図38(32)の画素部の断面図および図39(33)の周辺回路部の断面図に示すように、周辺回路部13の各MOSトランジスタ50のソース・ドレイン領域54、55上およびゲート電極52上にシリサイド層56、57、58を形成する。

上記シリサイド層56、57、58には、コバルトシリサイド(CoSi_2)、ニッケルシリサイド(NiSi)、チタンシリサイド(TiSi_2)、白金シリサイド(PtSi)、タングステンシリサイド(WSi_2)などを用いる。

シリサイド層56、57、58の形成例として、ニッケルシリサイドを形成する一例を以下に説明する。

まず全面にニッケル(Ni)膜を形成する。このニッケル膜は、例えばスパッタ装置を用いて、例えば10nmの厚さに形成される。次いで、300~400程度でアニール処理を行って、ニッケル膜と下地にシリコンとを反応させて、ニッケルシリサイド層を形成する。その後、未反応なニッケルをウエットエッチングにより除去する。このウエットエッチングによって、絶縁膜以外のシリコンまたはポリシリコン表面のみ、自己整合的にシリサイド層56、57、58が形成される。

その後、500~600程度で再度、アニール処理を行い、ニッケルシリサイド層を安定化させる。

上記シリサイド化工程では、画素部12のMOSトランジスタのソース・ドレイン領域34、35、ゲート電極32上にはシリサイド層が形成されない。これは、シリサイドの金属が光電変換部21上まで拡散することによる白傷や暗電流の増加をなくすためである。

したがって、画素部12のMOSトランジスタのソース・ドレイン領域34、35表面の不純物濃度を濃くしないと、コンタクト抵抗が激増することになる。本実施例では、上記ソース・ドレイン領域34、35表面の不純物濃度を高くすることができるので、コンタクト抵抗増加を比較的抑制できるという利点がある。

【0063】

次に、図40(34)の画素部の断面図および図41(35)の周辺回路部の断面図に示すように、画素部12および周辺回路部13上の全面にエッチングストップ膜74を形成する。上記エッチバックストップ膜74は、例えば窒化シリコン膜で形成される。この窒化シリコン膜としては、例えば、減圧CVD法により成膜される窒化シリコン膜もしくはプラズマCVD法により成膜される窒化シリコン膜を用いる。窒化シリコン膜の膜厚は、例えば10nm~100nmとする。

上記窒化シリコン膜は、コンタクトホールを形成するエッチング時のオーバーエッチングを最小限にするという効果がある。またエッチングダメージによる接合リーク増加を抑制する効果を有する。

【0064】

次に、図42(36)の画素部の断面図および図43(37)の周辺回路部の断面図に示すように、上記エッチバックストップ膜74上に層間絶縁膜76を形成する。上記層間絶縁膜76は、例えば酸化シリコン膜で形成され、例えば100nm~1000nmの厚さに形成される。上記酸化シリコン膜は、例えばCVD法により形成される。この酸化シリコン膜としては、TEOS、PSG、BPSG等を用いる。また、窒化シリコン膜などを用いることもできる。

次に、上記層間絶縁膜76の表面を平坦化する。この平坦化は、例えば化学的機械研磨(CMP)により行う。

次いで、コンタクトホールを形成するためのレジストマスク(図示せず)を形成した後、例えば画素部12の上記層間絶縁膜76、エッチングストップ膜74、第2シリサイドブロック膜72等をエッチングして、コンタクトホール77、78、79を形成する。また同様にして、周辺回路部13にもコンタクトホール81、82を形成する。

図面では一例として、画素部12では、転送ゲートTRG、選択トランジスタSELの

10

20

30

40

50

ゲート電極 32、増幅トランジスタ Amp のゲート電極 32 に達するコンタクトホール 77、78、79 を示した。また周辺回路部 13 では、N チャネル (Nch) 低耐圧トランジスタソース・ドレイン領域 55、P チャネル (Pch) 低耐圧トランジスタのソース・ドレイン領域 55 に達するコンタクトホール 81、82 を示した。しかしながら、その他のトランジスタのゲート電極、ソース・ドレイン領域に達するコンタクトホールも図示はしていないが、同時に形成される。

上記コンタクトホール 77~79、81、82 を形成するときには、第 1 ステップとして層間絶縁膜 76 をエッチングする。そして、エッチングストップ膜 74 上でエッチングを一旦停止する。これによって、層間絶縁膜 76 の膜厚ばらつき、エッチングばらつき等が吸収される。第 2 ステップとして、窒化シリコンからなるエッチングストップ膜 74 をエッチングし、さらにエッチングを進めて、コンタクトホール 77~79、81、82 を完成させる。

上記コンタクトホールのエッチングには、例えば反応性イオンエッチング装置を用いる。

【0065】

次に、各コンタクトホール 77~79、81、82 の内部に密着層 (図示せず) とバリアメタル層 84 を介してプラグ 85 を形成する。

上記密着層には、例えばチタン (Ti) 膜、タンタル (Ta) 膜等を用い、上記バリアメタル層 84 には例えば窒化チタン膜、窒化タンタル膜等を用いる。これらの膜は、例えばスパッタリング法もしくは CVD 法によって成膜される。

また、上記プラグ 85 は、タングステン (W) を用いる。例えば、タングステン膜を上記コンタクトホール 77~79、81、82 内に埋め込むように、上記層間絶縁膜 76 上に形成する。その後、層間絶縁膜 76 上のタングステン膜を除去して、各コンタクトホール 77~79、81、82 内にタングステン膜からなるプラグ 85 を形成する。このプラグ 85 は、タングステンのほかに、より低抵抗であるアルミニウム (Al)、銅 (Cu) 等で形成することもできる。例えば銅 (Cu) を用いた場合には、例えば、密着層にタンタル膜を用い、バリアメタル層 84 に窒化タンタル膜を用いる。

その後、図示はしないが、多層配線を形成する。多層配線は必要に応じて、2 層、3 層、4 層またはそれ以上に多層化してもよい。

【0066】

次に、図 44 (38) の画素部の断面図に示すように、光電変換部 21 上に導波路 23 形成してもよい。また、光電変換部 21 に入射光を集光するために、集光レンズ 25 を形成してもよい。

また、上記導波路 23 と集光レンズ 25 との間に、光を分光するためのカラーフィルタ 27 を形成してもよい。

【0067】

上記固体撮像装置の製造方法では、周辺回路部 13 のおよび画素部 12 の MOS トランジスタ 50、30 のゲート絶縁膜 51、31 を酸窒化膜で形成することから、トンネル電流の発生が防止される。よって、周辺回路部、画素部のトランジスタ特性が向上される。また、光電変換部 21 直上の酸窒化膜を除去していることから、酸窒化膜中の固定電荷による白傷、暗電流を悪化が防止できる。よって、画質の向上が図れるという利点がある。

【0068】

上記固体撮像装置の製造方法において、ゲート電極 32、52 を形成した直後に、ゲート電極 32、52 直下のゲート絶縁膜 31、51 を残してその他の領域のゲート絶縁膜 31、51 を除去する工程を行わない。そのかわりに、第 1、第 2 サイドウォール 33、53 を形成した直後に、ゲート電極 32、52 および第 1、第 2 サイドウォール 33、53 直下のゲート絶縁膜 31、51 を残してその他の領域のゲート絶縁膜 31、51 を除去する工程をいってもよい。ゲート絶縁膜 31、51 の除去は、エッチダメージを防止するためにウエットエッチで行うことが望ましい。

この場合も、周辺回路部 13 のおよび画素部 12 の各 MOS トランジスタ 50、30 の

10

20

30

40

50

ゲート絶縁膜 5 1 , 3 1 が酸窒化膜からなることから、トンネル電流の発生が防止される。また、光電変換部 2 1 直上は、酸窒化膜ではなく、酸化膜 1 3 4 が形成されていることから、酸窒化膜で問題となった光電変換部 2 1 直上の膜中の固定電荷による白傷、暗電流を悪化が防止できる。

ただし、各第 1、第 2 サイドウォール 3 3、3 5 の直下に酸窒化膜からなるゲート絶縁膜 3 1、5 1 を残している。このため、前記第 1 実施例の固体撮像装置 1 より、転送ゲート T R G 端の正の固定電荷による白傷悪化が多少は懸念されるが、従来の固体撮像装置よりは固定電荷による白傷の悪化が抑制できる。

【 0 0 6 9 】

また、光電変換部 2 1 上のゲート絶縁膜に用いた酸窒化膜の除去は、光電変換部 2 1 への汚染防止の観点からは、できうる限り後工程のほうが好ましい。

上記第 1 実施例では、ゲート電極の加工を行った後、ゲート電極の側壁酸化により、光電変換部 2 1 上にも酸化膜 1 3 3 を形成して、後工程での光電変換部 2 1 上に直接レジストマスクが形成されないようにして汚染を抑制する。

しかしながら、酸化膜 1 3 3 の膜厚は、周辺回路のロジック特性にも影響を与え、厚すぎるとトランジスタの電流駆動能力が悪化して動作速度の低下を招く。酸化膜 1 3 3 の膜厚は、それほど厚くできない。例えば 1 0 n m 以下が好ましい。

また、汚染（コンタミネーション）の少ないレジストを用いることや、スループットが悪くなるものの洗浄を十分にすれば、光電変換部 2 1 直上の酸化膜 1 3 3 の膜厚が薄くても汚染による白傷悪化の影響はなくなる。このような場合は問題ないが、レジストによる汚染が支配的な場合は、できるだけ酸窒化膜の除去は、光電変換部 2 1 への汚染防止の観点からは、できうる限り後工程のほうが望ましい。

【 0 0 7 0 】

また、サイドウォールを形成する窒化シリコン膜の加工で、光電変換部 2 1 上の酸化シリコン膜でエッチングを止めして、その後ウェット剥離して、フォトダイオード直上の酸窒化膜を除去しても良い。

その場合は、上記説明したように、サイドウォール 3 3 , 5 3 直下には、酸窒化膜が残り、その部分起因の白傷、暗電流が悪化するおそれもあるが、先ほどのレジスト汚染との影響度合いが大きければ、光電変換部 2 1 上の酸窒化膜を剥離できることで、白傷、暗電流の改善となる。

【 0 0 7 1 】

上記説明したように、本発明では、ゲート絶縁膜に酸窒化膜を適用して、周辺回路部 1 3 の M O S トランジスタ 5 0 の動作速度の向上を図り、トンネル電流を抑制し、消費電力の増加を抑制しつつ、C M O S センサーの撮像特性を悪化させないという効果がある。

【 0 0 7 2 】

光電変換部 2 1 直上の反射防止部に関して、光電変換部 2 1 直上のゲート絶縁膜に用いた酸窒化膜を除去している。このため、光電変換部 2 1 直上は、酸化シリコン (S i O ₂) / 窒化シリコン (S i N) / 酸化シリコン (S i O ₂) 構造となる。多重構造にならないため、リップルの悪化がなくなり、分光特性が良くなる。最適化もしやすくなる。

【 0 0 7 3 】

また、白傷悪化を防ぐことができるので、光電変換部 2 1 では、埋め込みフォトダイオードの P⁺濃度を高く設定する必要がない。P⁺濃度を高く設定すると、フォトダイオードの面積が相対的に小さくなり、飽和電荷量 (Q_s) の低下を招く。また転送ゲート T R G 端の濃度も高くなり、残像の悪化を招く。したがって、本発明の固体撮像装置 1、2 では、埋め込みフォトダイオードの表面の P⁺濃度を比較的薄くできるため、飽和電荷量 (Q_s)、残像等の悪化を防ぐことができる。

さらに、ゲート電極 3 2、5 2 直下以外のゲート絶縁膜 3 1、5 1 となる酸窒化膜を除去して、光電変換部 2 1 上には、新たに酸化膜 1 3 3 を形成している。このため、各イオン注入における注入プロファイルの制御性を良くする。

【 0 0 7 4 】

10

20

30

40

50

上記各実施例の説明ではN型基板にPウエルを形成し、光電変換部21のフォトダイオードを上層よりP⁺層とN⁺層とで形成したが、P型基板にNウエルを形成し、光電変換部21のフォトダイオードを上層よりN⁺層とP⁺層とで形成することもできる。

また、上記製造方法の説明では、上記転送ゲートと、リセットトランジスタ、増幅トランジスタ、選択トランジスタの画素トランジスタとは、素子分離領域14によって分離されている構成の製造方法を説明した。したがって、上記増幅トランジスタのソース・ドレイン領域34は、リセットトランジスタのソース・ドレイン領域35と共通の拡散層として形成され、上記増幅トランジスタのソース・ドレイン領域35は、選択トランジスタのソース・ドレイン領域34と共通の拡散層として形成される。

なお、上記転送ゲートと上記リセットトランジスタとの間の素子分離領域14を形成せず、上記転送ゲートTRGの拡散層と、上記リセットトランジスタRSTの拡散層が共通に形成されていても、「上記同様な製造方法を適用できる。この場合、転送ゲートの拡散層とリセットトランジスタの拡散層(ソース・ドレイン領域34)を共通の拡散層として形成できる。

10

また、上記リセットトランジスタ、増幅トランジスタ、選択トランジスタのそれぞれを素子分離領域14によって分離した構成についても、上記説明したのと同様な製造方法を適用できる。

さらに、上記画素部12のトランジスタ群は、図示はしていないが、上記光電変換部21に接続して転送ゲートTRG、選択トランジスタSEL、増幅トランジスタAmp、リセットトランジスタRSTが順に直列に形成されている構成に形成されてもよい。

20

【0075】

次に、本発明の撮像装置に係る一実施の形態を、図45のブロック図によって説明する。この撮像装置は、本発明の固体撮像装置を用いたものである。

【0076】

図45に示すように、撮像装置200は、撮像部201に固体撮像装置(図示せず)を備えている。この撮像部201の集光側には像を結像させる集光光学部202が備えられ、また、撮像部201には、それを駆動する駆動回路、固体撮像装置で光電変換された信号を画像に処理する信号処理回路等を有する信号処理部203が接続されている。また上記信号処理部203によって処理された画像信号は画像記憶部(図示せず)によって記憶させることができる。このような撮像装置200において、上記固体撮像装置には、前記

30

【0077】

本発明の撮像装置200では、本願発明の固体撮像装置1を用いることから、上記説明したのと同様に、各画素の光電変換部の感度が十分に確保される。よって、画素特性、例えば白傷の低減が可能になるという利点がある。

【0078】

なお、本発明の撮像装置200は、上記構成に限定されることはなく、固体撮像装置を用いる撮像装置であれば如何なる構成のものにも適用することができる。

【0079】

上記固体撮像装置1は、ワンチップとして形成された形態であってもよいし、撮像部と、信号処理部または光学系とがまとめてパッケージングされた撮像機能を有するモジュール状の形態であってもよい。また、本発明は、上記のような撮像装置にも適用可能である。この場合、撮像装置として、高画質化の効果が得られる。ここで、撮像装置は、例えば、カメラや撮像機能を有する携帯機器のことをいう。また「撮像」は、通常のカメラ撮影時における像の撮りこみだけでなく、広義の意味として、指紋検出なども含むものである。

40

【符号の説明】

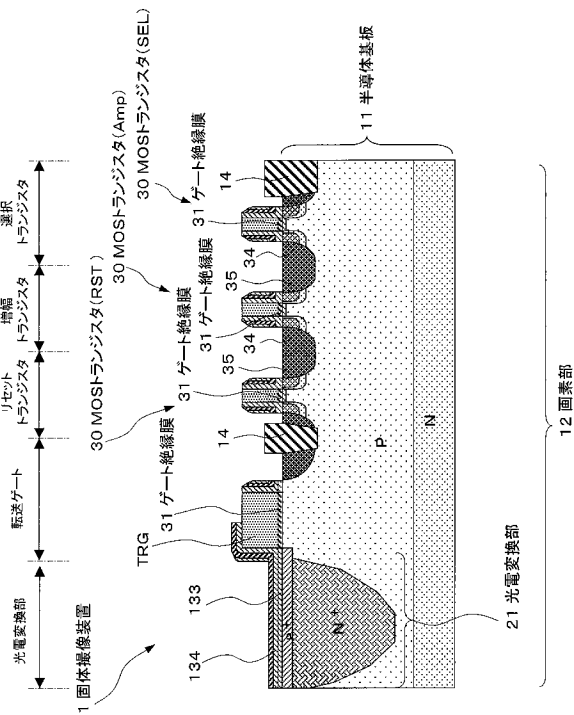
【0080】

1...固体撮像装置、11...半導体基板、12...画素部、13...周辺回路部、21...光電変換部21、30...MOSトランジスタ、31...ゲート絶縁膜、50...MOSトランジス

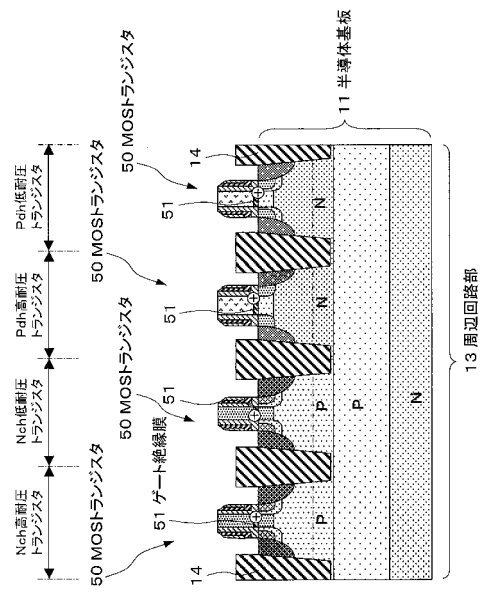
50

タ、51...ゲート絶縁膜

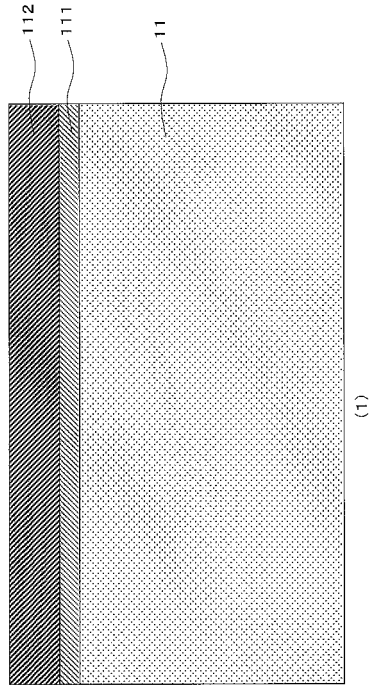
【図1】



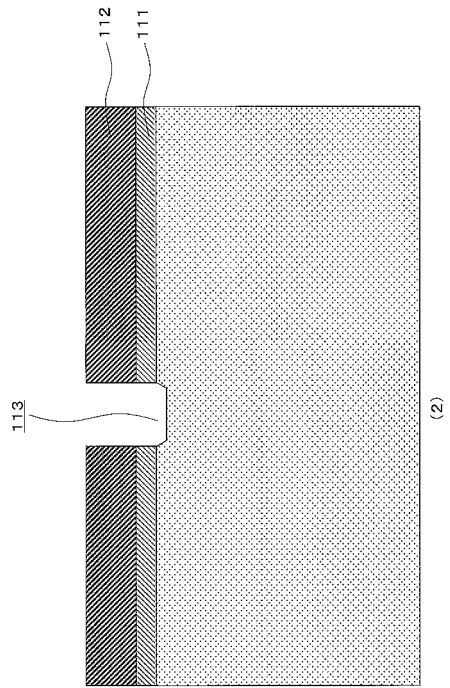
【図2】



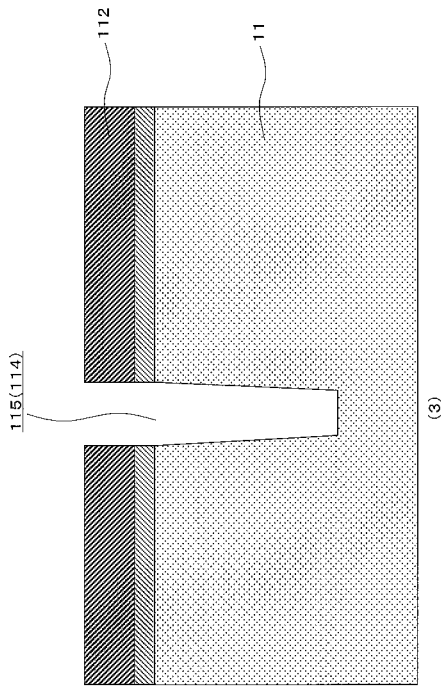
【 図 7 】



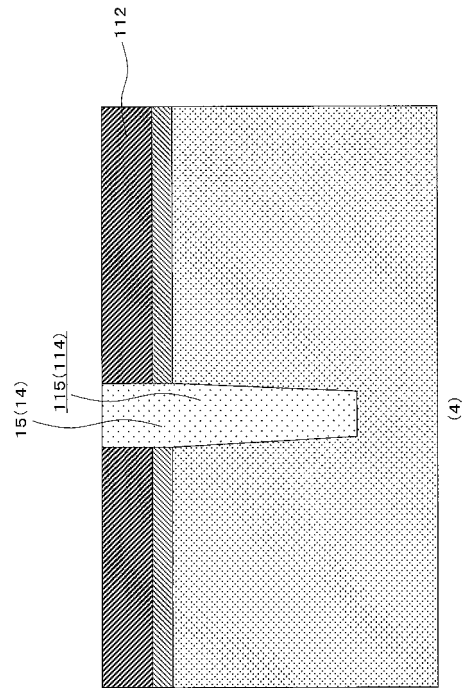
【 図 8 】



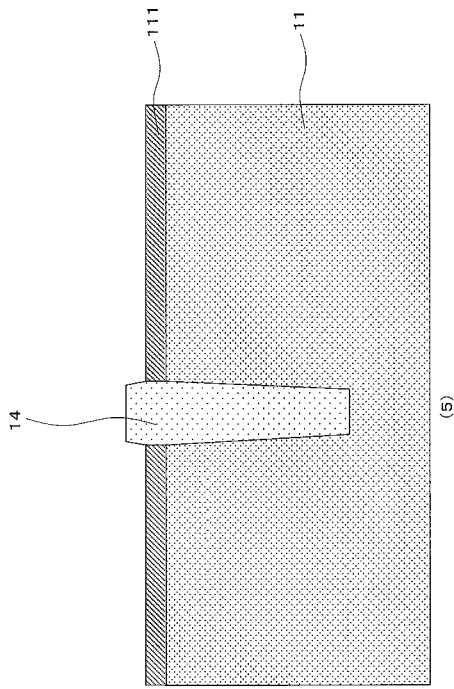
【 図 9 】



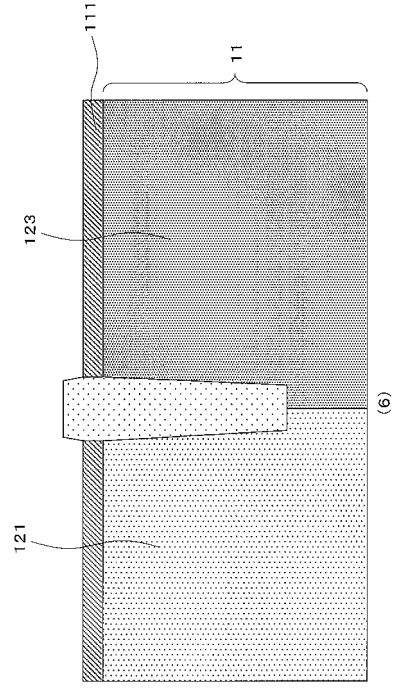
【 図 10 】



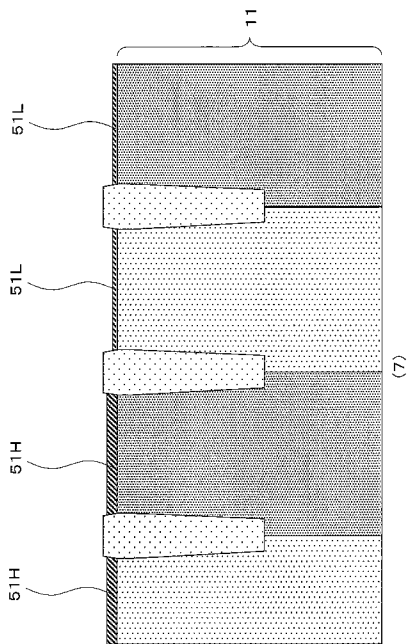
【図 1 1】



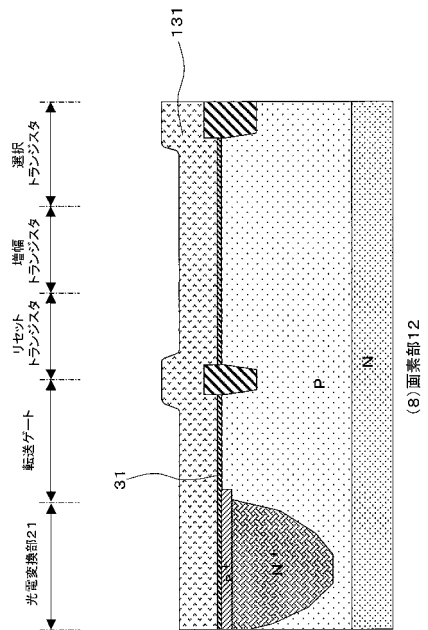
【図 1 2】



【図 1 3】

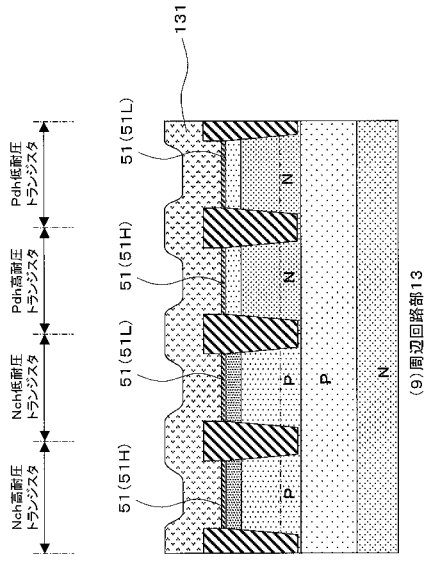


【図 1 4】

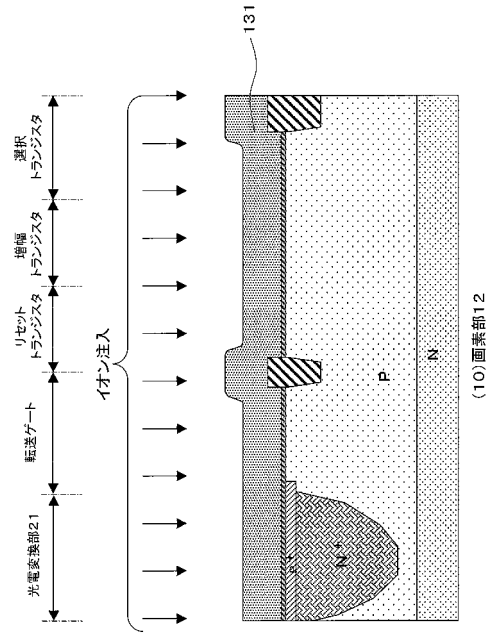


(8) 図素部12

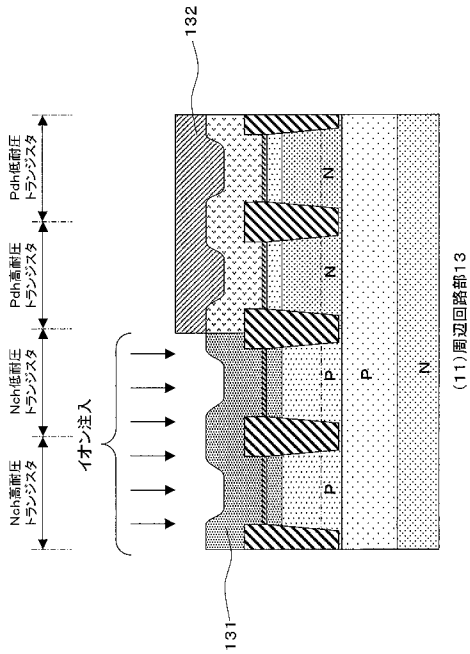
【 図 1 5 】



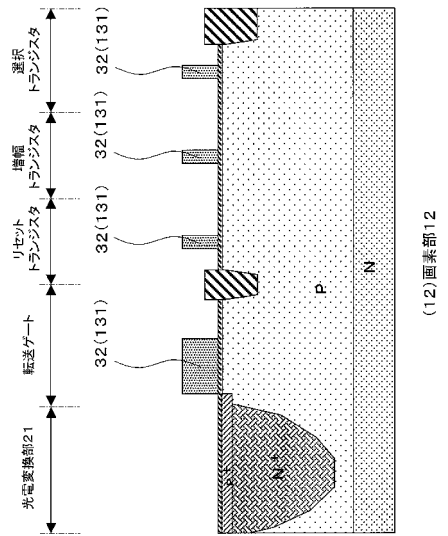
【 図 1 6 】



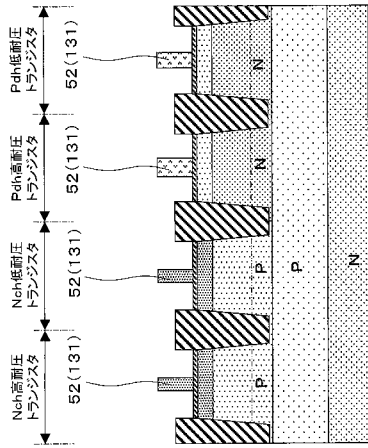
【 図 1 7 】



【 図 1 8 】

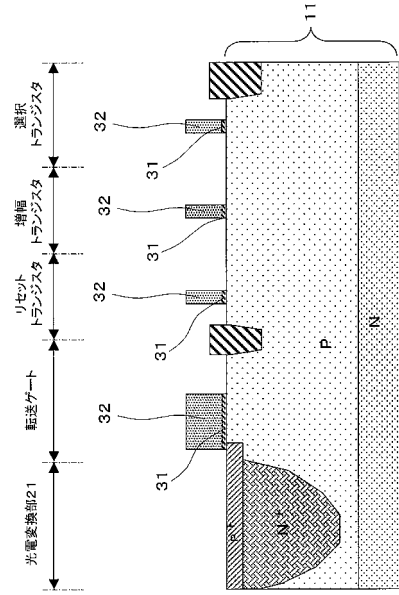


【図 19】



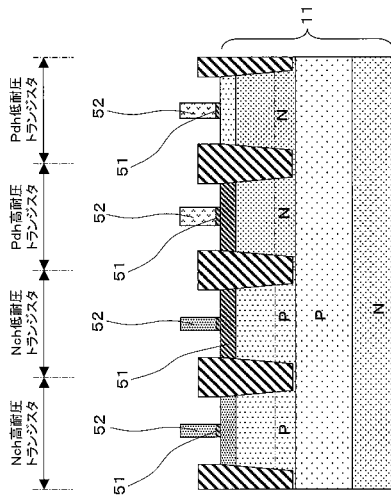
(13)周辺回路部13

【図 20】



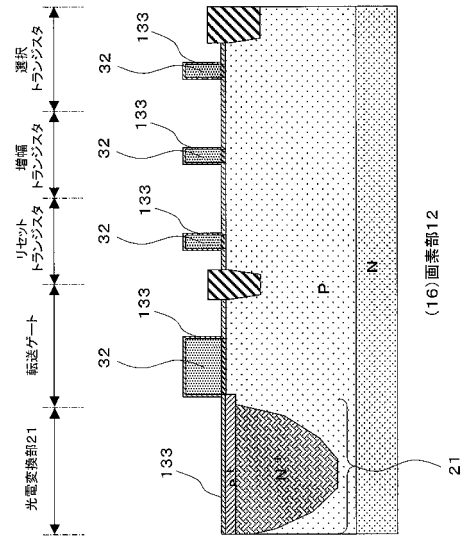
(14)画素部12

【図 21】



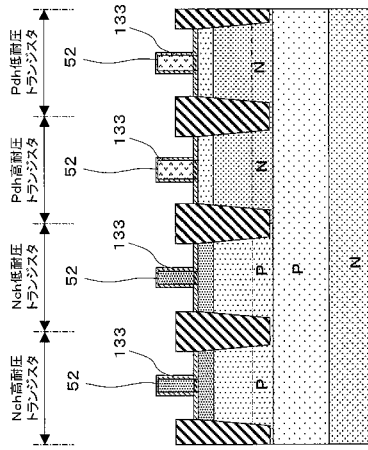
(15)周辺回路部13

【図 22】



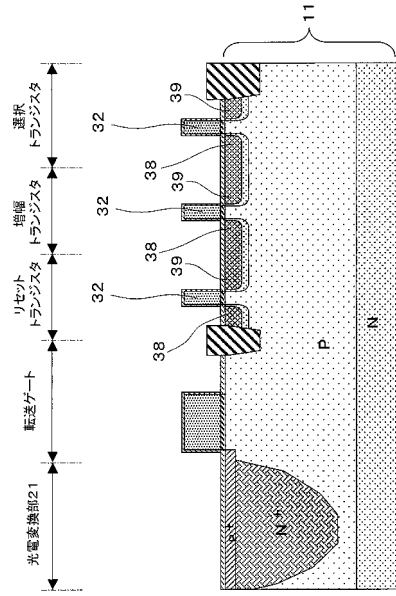
(16)画素部12

【図 2 3】



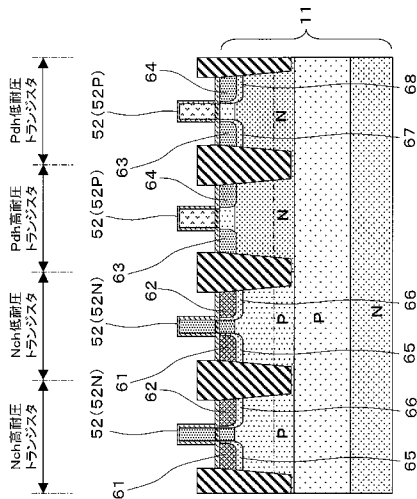
(17)周辺回路部13

【図 2 4】



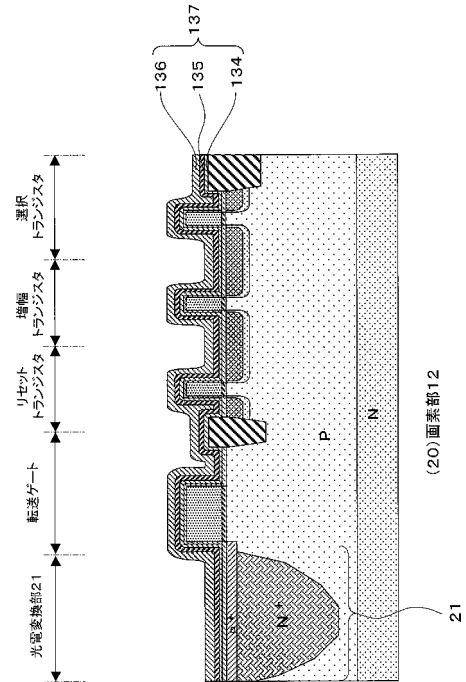
(18)画素部12

【図 2 5】



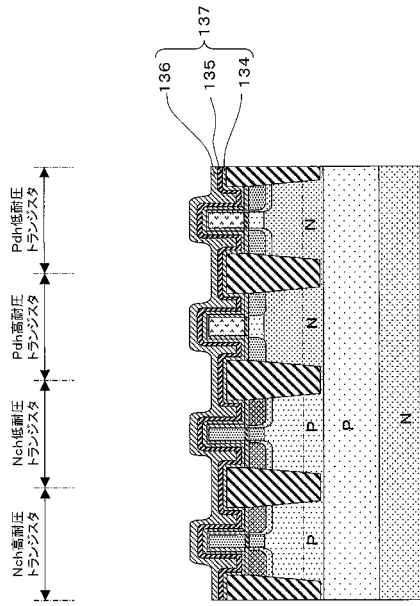
(19)周辺回路部13

【図 2 6】



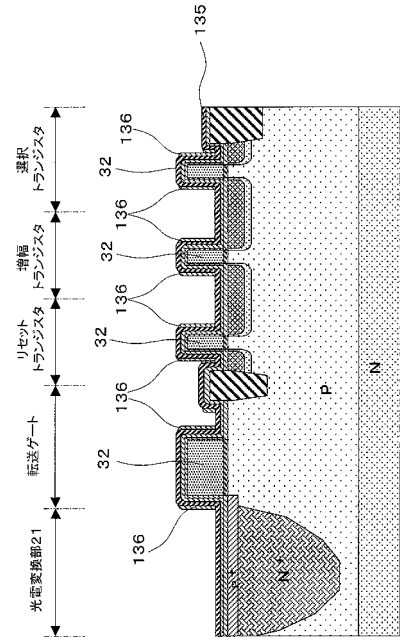
(20)画素部12

【図 27】



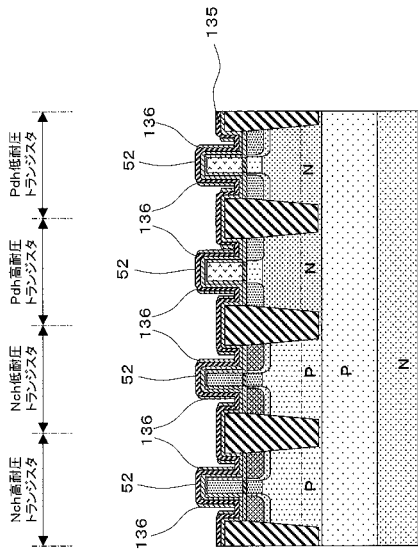
(21)周辺回路部13

【図 28】



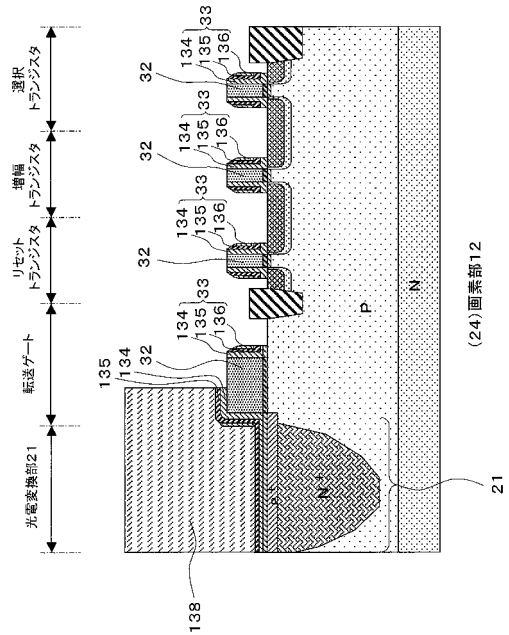
(22)画素部12

【図 29】



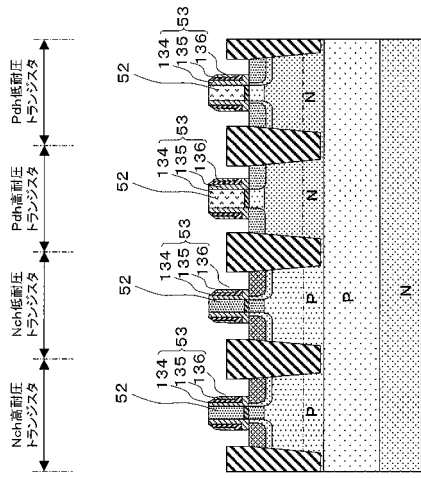
(23)周辺回路部13

【図 30】

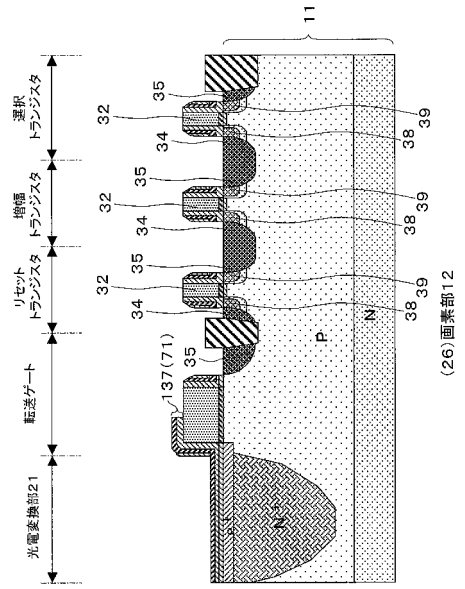


(24)画素部12

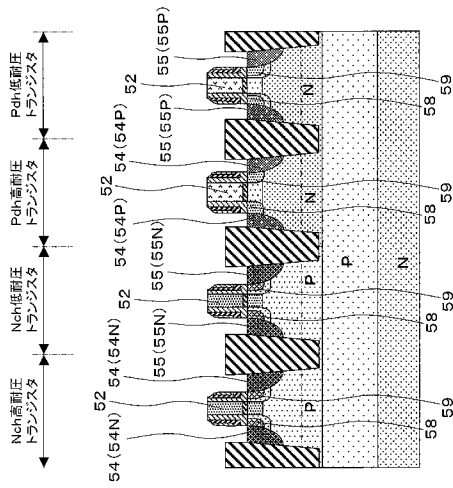
【図 3 1】



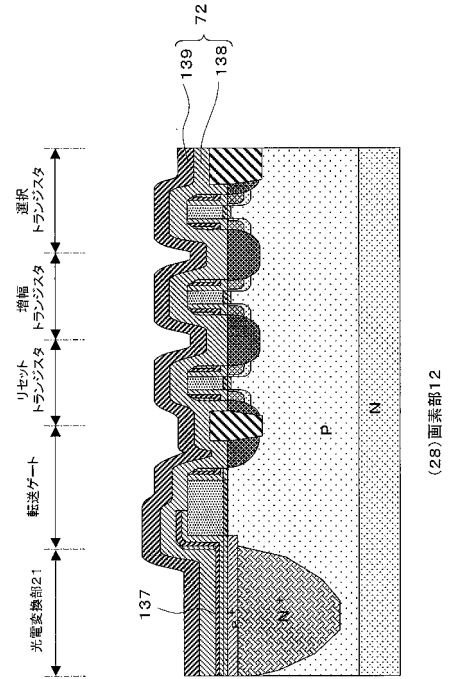
【図 3 2】



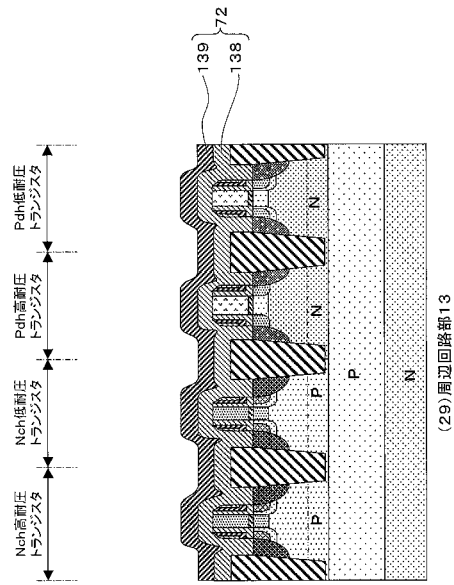
【図 3 3】



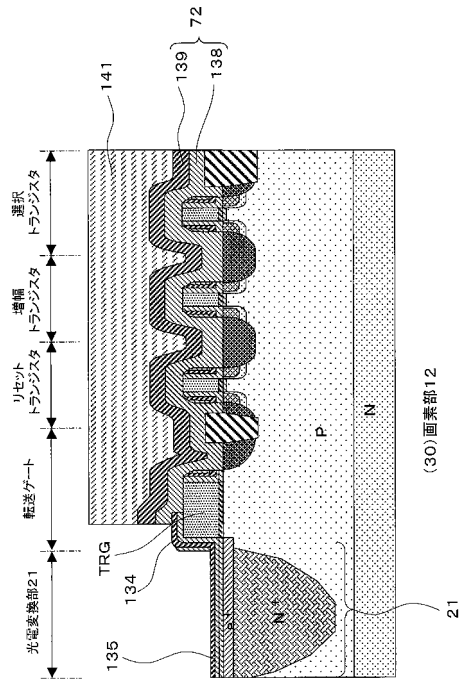
【図 3 4】



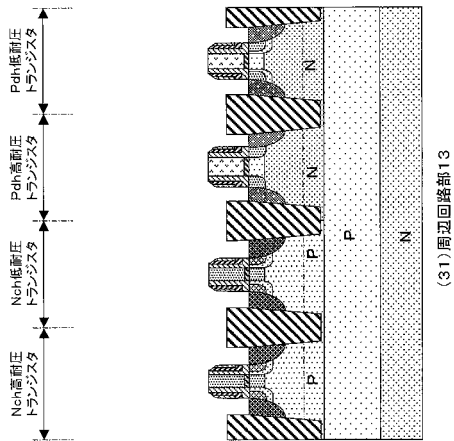
【図 3 5】



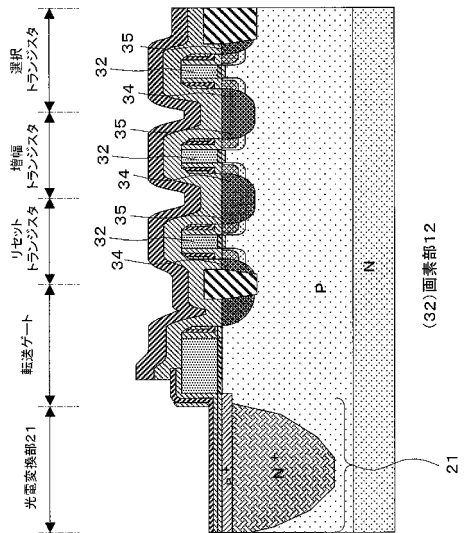
【図 3 6】



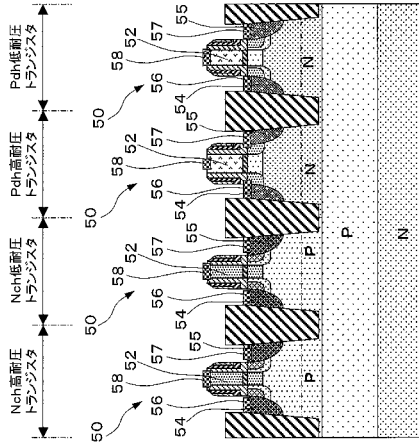
【図 3 7】



【図 3 8】

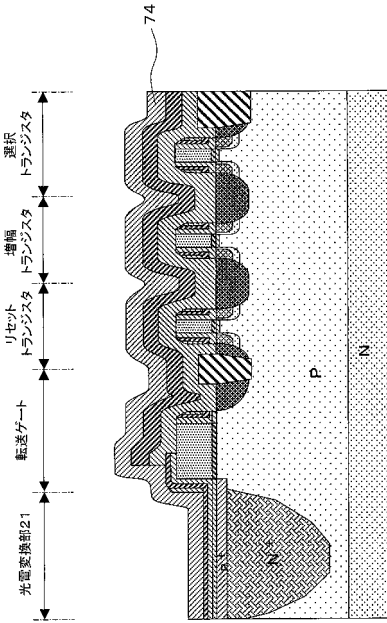


【図 39】



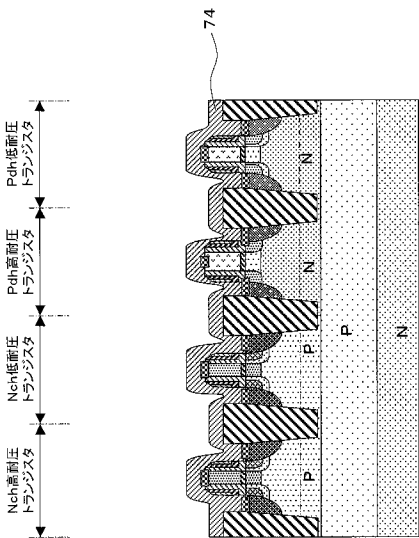
(33)周辺回路部13

【図 40】



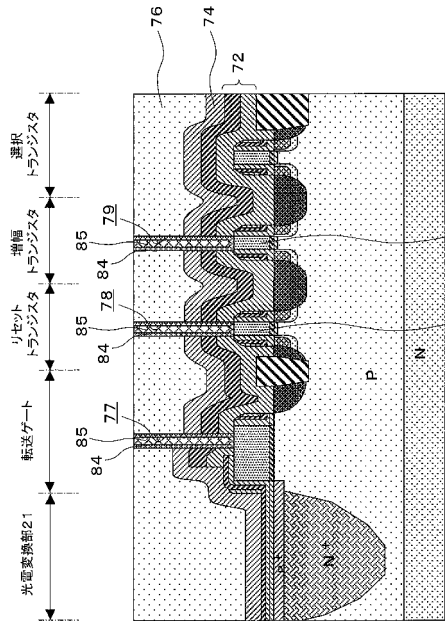
(34)画素部12

【図 41】



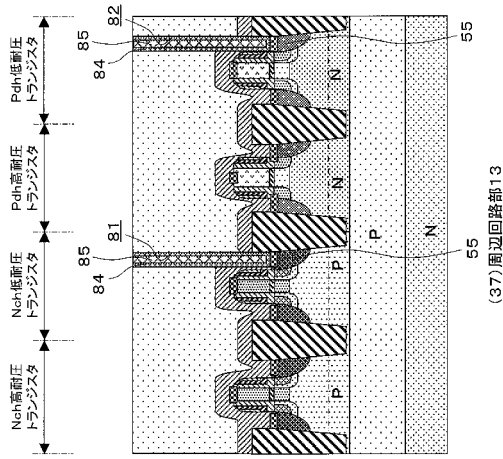
(35)周辺回路部13

【図 42】

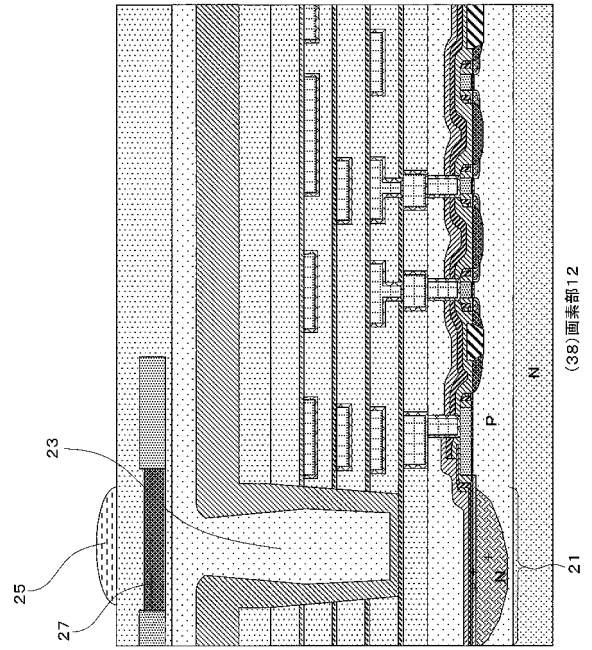


(36)画素部12

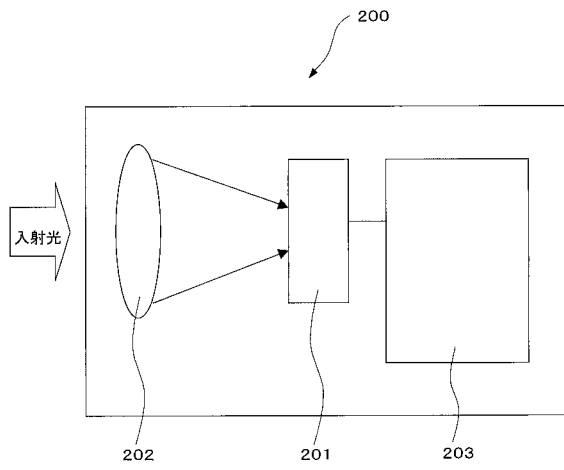
【図 4 3】



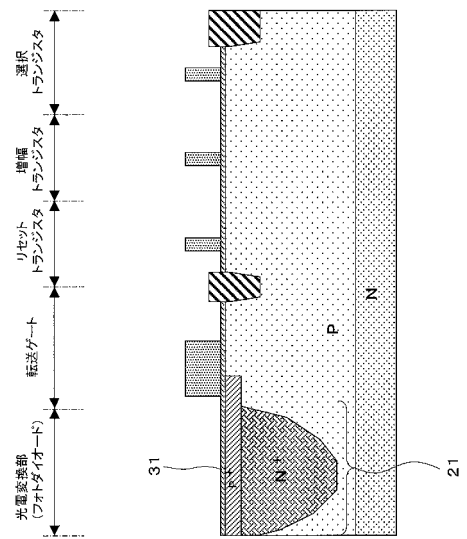
【図 4 4】



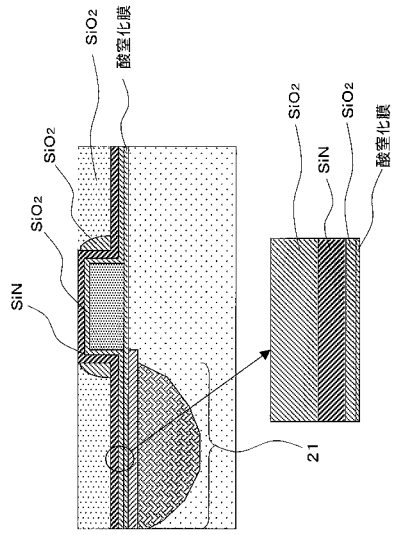
【図 4 5】



【図 4 6】



【 図 4 7 】



フロントページの続き

(72)発明者 糸長 総一郎

東京都港区港南1丁目7番1号 ソニー株式会社内

Fターム(参考) 4M118 AA05 AB01 BA14 CA04 CA18 CA32 DD04 DD12 EA01 EA14
EA15 FA27 FA28 FA33