



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년12월03일
(11) 등록번호 10-0781449
(24) 등록일자 2007년11월26일

(51) Int. Cl.

H01L 21/265 (2006.01)

(21) 출원번호 10-2006-0083922
(22) 출원일자 2006년08월31일
심사청구일자 2006년08월31일

(56) 선행기술조사문헌
KR1019980026243 A
KR1019990854780 A
US6500739 B1

(73) 특허권자

동부일렉트로닉스 주식회사
서울 강남구 대치동 891-10

(72) 발명자

박진하
경기 이천시 부발읍 신하리 진우아파트 101동 601호

(74) 대리인

김원준, 장성구

전체 청구항 수 : 총 4 항

심사관 : 이별섭

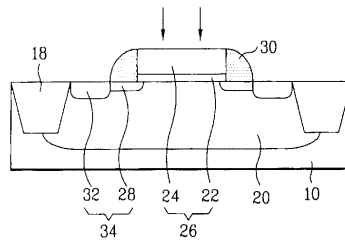
(54) 다중 이온주입 공정

(57) 요약

다중 이온주입 공정이 개시된다. 이 방법은 반도체 기판내에 이온을 주입하는 방법에 있어서, P+ 이온을 도펀트로 하여 제 1 이온주입 공정을 진행하는 단계, As+ 이온을 도펀트로 하여 제 2 이온주입 공정을 진행하는 단계, P+ 이온을 도펀트로 하여 제 3 이온주입 공정을 진행하는 단계를 포함하는 것을 특징으로 한다.

본 발명에 따르면, 이온 주입 공정에 있어서 P+보다 무거운 AS+이온을 도펀트로 사용함으로써 측면 확산을 감소시킬 수 있고, P+ 이온을 도펀트로 하여 이온 주입 과정을 2회 진행함으로써, As+ 이온만을 도펀트로 사용한 경우에 발생할 수 있는 누설 전류(diode leakage)를 제거할 수 있는 효과가 있다.

대표도 - 도3



특허청구의 범위

청구항 1

반도체 기판내에 이온을 주입하는 방법에 있어서,
P+ 이온을 도펀트로 하여 제 1 이온주입 공정을 진행하는 단계;
As+ 이온을 도펀트로 하여 제 2 이온주입 공정을 진행하는 단계; 및
P+ 이온을 도펀트로 하여 제 3 이온주입 공정을 진행하는 단계
를 포함하는 반도체 소자의 제조방법.

청구항 2

제 1항에 있어서,
상기 제 1 이온주입 공정은

20KeV ~ 40KeV 범위의 이온주입에너지로 진행하고, 상기 도펀트의 도즈량은 $4E13 \sim 8E13 /cm^2$ 범위인 것을 특징으로 하는
반도체 소자의 제조 방법.

청구항 3

제 1항에 있어서,
상기 제 2 이온주입 공정은

20KeV ~ 40KeV 범위의 이온주입에너지로 진행하고, 상기 도펀트의 도즈량은 $1E15 \sim 3E15 /cm^2$ 범위인 것을 특징으로 하는
반도체 소자의 제조 방법.

청구항 4

제 1항에 있어서,
상기 제 3 이온주입 공정은

6KeV ~ 10KeV 범위의 이온주입에너지로 진행하고, 상기 도펀트의 도즈량은 $5E14 \sim 1.5E15 /cm^2$ 범위인 것을 특징으로 하는
반도체 소자의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<5> 본 발명은 반도체 제조방법에 관한 것으로서, 특히 다중 이온 주입 공정을 포함하는 반도체 소자의 제조방법에 관한 것이다.

<6> 일반적으로, 반도체 소자중 MOS 트랜지스터는 필드 효과 트랜지스터의 일종으로서, 실리콘 반도체 기판 상에 게이트 산화막과 게이트 전극이 형성되며, 게이트 전극의 양측의 반도체 기판에는 소오스/드레인 영역

이 형성된다. 또한, 소오스/드레인 영역의 안쪽에는 비교적 농도가 낮은 LDD(Lightly Doped Drain)영역이 형성된다.

- <7> 상기와 같은 MOS 트랜지스터는 채널의 종류에 따라 N-채널 MOS 트랜지스터와 P-채널 MOS 트랜지스터로 분리되며, 각 채널의 MOS 트랜지스터가 단일 반도체 기판에 형성되는 경우, 이를 CMOS 트랜지스터라 한다.
- <8> 이하, 첨부된 도면을 참조하여 종래의 CMOS형 반도체 소자의 제조방법을 상세히 설명하면 다음과 같다.
- <9> 도 1a 내지 도 1i는 종래의 CMOS형의 반도체 소자의 제조방법에 대한 공정단면도이다.
- <10> 한편, 도 1a 내지 도 1i는 NMOS 영역 및 테스트 영역만을 나타낸 것으로, PMOS 영역은 상기 NMOS 영역과 동일한 공정으로 형성되므로 상기 PMOS 영역에 대한 도면은 생략하였다.
- <11> 먼저, 도 1a에 도시된 바와 같이, NMOS 영역, PMOS 영역, 비활성영역 및 테스트 영역으로 정의된 반도체 기판(10)을 준비하고, 상기 반도체 기판(10)의 전면에, 후속 공정인 아이솔레이션 공정(ISO)을 실시하기 위해 패드 산화막(12)과 패드 질화막(14)을 순차적으로 형성한다.
- <12> 이어서 도 1b에 도시된 바와 같이, 상기 패드 산화막(12)과 패드 질화막(14)을 포함한 상기 반도체 기판(10)의 전면에 포토레지스트를 증착한 후, 이를 포토 마스크를 이용한 노광공정을 실시하여 제 1 포토레지스트 패턴을 형성한다. 이어서, 상기 제 1 포토레지스트 패턴을 아이솔레이션 마스크로 이용한 STI공정을 실시하여 상기 반도체기판(10)의 비활성영역에 소자 분리막(18)을 형성한다.
- <13> 다음으로 도 1c에 도시된 바와 같이, 제 1 포토레지스트 패턴을 제거하기 위한 스트립 공정을 실시하여 상기 제1 포토레지스트 패턴을 제거한 후 소정의 세정공정을 실시하여 패드 질화막(14) 및 패드 산화막(12)을 순차적으로 제거한다.
- <14> 이어서, 제 1 웰 이온 주입용 마스크를 이용한 웰 이온 주입 공정을 실시하여 반도체 기판(10)의 NMOS 영역에 웰 영역(20)을 선택적으로 형성한다.
- <15> 이후, 도면에 도시하지 않았지만, 제 2 웰 이온 주입용 마스크를 이용한 웰 이온 주입 공정을 실시하여, 상기 반도체 기판(10)의 PMOS영역에 웰 영역을 선택적으로 형성한다. 이렇게 함으로써, 상기 NMOS 영역의 웰 영역(20)은 P형 이온으로 도핑되고, 상기 PMOS 영역의 웰 영역은 N형 이온으로 도핑된다.
- <16> 다음으로 도 1d에 도시된 바와 같이, 상기 웰 영역(20)이 형성된 반도체 기판(10)의 전면에 열 산화공정이나 급속 열처리 공정을 실시하여 게이트 산화막(22)을 형성한다.
- <17> 이어서, 상기 게이트 산화막(22)이 형성된 반도체 기판(10)의 전면에 게이트 전극(26)용 폴리실리콘층(24)을 형성한다.
- <18> 이후 도 1e에 도시된 바와 같이, 게이트 전극 패턴용 마스크를 이용한 포토 및 식각공정을 실시하여 상기 폴리실리콘층(24) 및 게이트 산화막(22)을 순차적으로 식각함으로써, 상기 NMOS 영역과 PMOS 영역에 각각 게이트 전극(26)을 형성함과 동시에, 상기 테스트 영역상에 더미 게이트 전극(99)을 형성한다. 여기서, 상기 더미 게이트 전극(99)은 다수개의 제 1 영역과 제 2 영역으로 정의되며, 각 제 2 영역은 상기 제1영역 사이에 위치한다.
- <19> 이어서, 제 2 포토레지스트 패턴을 마스크로 하여 PMOS 영역 및 상기 더미 게이트 전극(99)의 제 2 영역을 가리고, NMOS 영역의 활성영역 및 상기 더미 게이트 전극(99)의 제 1 영역에 선택적으로 N형 저농도 이온 주입 공정을 실시하여, 상기 NMOS 영역에 저농도 집합영역(28)을 형성하고, 상기 더미 게이트 전극(99)의 제 1 영역을 N형 저농도 이온으로 도핑시킨다.
- <20> 다음으로, 도 1f에 도시된 바와 같이, 제 3 포토레지스트 패턴(PR3)을 마스크로 하여 NMOS 영역 및 더미 게이트 전극(99)의 제 2 영역을 가리고, PMOS 영역의 활성영역 및 상기 더미 게이트 전극(99)의 제 2영역에 선택적으로 P형 저농도 이온 주입 공정을 실시하여, 상기 PMOS 영역에 저농도 집합영역(28)을 형성하고, 상기 더미 게이트 전극(99)의 제 1 영역을 P형 저농도 이온으로 도핑시킨다.
- <21> 이어서, 도 1g에 도시된 바와 같이, 소정의 증착 및 식각공정을 순차적으로 실시하여 NMOS 영역과 PMOS 영역의 게이트 전극(26)의 측벽에 LDD(Lightly Doped Drain) HLD(High temperature Low pressure Dielectric)용 스페이서(30)를 형성한다.
- <22> 이후, 제 4 포토레지스트 패턴(PR4)을 마스크로 하여 상기 PMOS 영역, 상기 더미 게이트 전극(99)의 제

2 영역을 가림과 아울러, 상기 스페이서(30)를 마스크로 하여 상기 NMOS 영역에 형성된 저농도 접합영역(28)의 일부를 가리고, 상기 NMOS 영역의 활성영역 및 상기 더미 게이트 전극(99)의 제 1 영역에 선택적으로 N형 고농도 이온 주입 공정을 실시하여, 상기 NMOS 영역에 고농도 접합영역(32)을 형성하고, 상기 더미 게이트 전극(99)의 제 1 영역을 N형 고농도 이온으로 도핑시킨다.

<23> 다음으로, 도 1h에 도시된 바와 같이, 제 5 포토레지스트 패턴(PR5)을 마스크로 하여 상기 NMOS영역, 상기 더미 게이트 전극(99)의 제 1 영역을 가림과 아울러, 스페이서를 마스크로 하여 상기 PMOS 영역에 형성된 저농도 접합영역의 일부를 가리고, 상기 PMOS 영역의 활성영역 및 상기 더미 게이트 전극(99)의 제 2 영역에 선택적으로 P형 고농도 이온 주입 공정을 실시하여, 상기 PMOS 영역에 고농도 접합영역을 형성하고, 상기 더미 게이트 전극(99)의 제 2 영역을 P형 고농도 이온으로 도핑시킨다.

<24> 이로써 상기 NMOS 영역의 게이트 전극(26)은 N형 고농도 이온으로 도핑되고 상기 PMOS 영역의 게이트 전극은 P형 고농도 이온으로 도핑된다.

<25> 그리고, 각 NMOS 영역과 PMOS영역에는 저농도 접합영역과(28)과 고농도 접합영역(32)으로 이루어진 소오스/드레인 영역(34)이 형성된다.

<26> 또한, 상기 더미 게이트 전극(99)의 제 1 영역은 N형 고농도 이온으로 도핑되고, 제 2 영역은 P형 고농도 이온으로 도핑된다.

<27> 이어서, 도1i에 도시된 바와 같이, NMOS 영역과 PMOS 영역의 고농도 접합영역(32), 상기 게이트 전극(26), 및 더미 게이트 전극(99) 상에 살리사이드 층(36)을 형성한다.

<28> 그러나, 이와 같이 형성된 반도체 소자에는 다음과 같은 문제점이 있었다. NMOS 소오스/드레인을 형성하기 위해서, 기존에는 이온주입공정에서 31+ 인산을 사용하고 있었다. 31P+ 의 경우 질량이 작기 때문에 열처리 과정에 의해서 쉽게 측면 확산이 일어나게 된다. 도 2는 이온주입공정에서 P+만을 도펀트로 한 경우의 접합면의 프로파일을 도시한 것이다. 도 2를 참조하면, 이온주입공정에서 P+만을 도펀트로 한 경우, 소오스(20)와 드레인(22)간의 정선(Junction) 및 정선 간의 거리(24)가 짧아서 서브 쓰레숄드 누설값이 크게 증가하게 되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

<29> 본 발명은 상기한 종래 기술의 문제점을 해결하기 위한 것으로, 측면 확산 현상 및 누설 전류를 감소시키기 위하여, 이온 주입 공정에 있어서 P+보다 무거운 As+이온을 도펀트로 사용하고, P+ 이온을 도펀트로 하여 이온 주입 과정을 2회 진행하는 이온주입 공정을 포함하는 반도체 소자 제조방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

<30> 상기의 기술적 과제를 이루기 위한, 본 발명에 의한 반도체 소자의 제조방법은 반도체 기판내에 이온을 주입하는 방법에 있어서, P+ 이온을 도펀트로 하여 제 1 이온주입 공정을 진행하는 단계, As+ 이온을 도펀트로 하여 제 2 이온주입 공정을 진행하는 단계, P+ 이온을 도펀트로 하여 제 3 이온주입 공정을 진행하는 단계를 포함한다.

<31> 바람직하게는 제 1 이온주입 공정은 20KeV ~ 40KeV 범위의 이온주입에너지로 진행하고, 상기 도펀트의 도즈량은 $4E13 \sim 8E13 /cm^2$ 범위인 것을 특징으로 한다.

<32> 바람직하게는 제 2 이온주입 공정은 20KeV ~ 40KeV 범위의 이온주입에너지로 진행하고, 상기 도펀트의 도즈량은 $1E15 \sim 3E15 /cm^2$ 범위인 것을 특징으로 한다.

<33> 바람직하게는 제 3 이온주입 공정은 6KeV ~ 10KeV 범위의 이온주입에너지로 진행하고, 상기 도펀트의 도즈량은 $5E14 \sim 1.5E15 /cm^2$ 범위인 것을 특징으로 한다. 이하, 본 발명에 의한 반도체 소자의 제조방법을 첨부된 도면을 참조하여 다음과 같이 설명한다.

<34> 도 3은 본 발명에 의한 반도체 소자의 제조방법에서 반도체 기판 내에 이온을 주입하는 공정의 단면도이다. 도 3을 참조하면, 웰 영역(20)이 형성된 반도체 기판(10)의 전면에 열 산화공정이나 급속 열처리 공정을 실시하여

게이트 산화막(22)을 형성한다. 이어서, 상기 게이트 산화막(22)이 형성된 반도체기판(10)의 전면에 게이트 전극(26)용 폴리실리콘층(24)을 형성한다. 이어서 소정의 증착 및 식각공정을 순차적으로 실시하여 NMOS 영역의 게이트전극(26)의 측면에 LDD, HLD용 스페이서(30)를 형성한다. 다음으로 본 발명에 의한 이온주입 과정을 거쳐서 NMOS영역에 저농도 접합영역(28)과 고농도 접합영역(32)으로 이루어진 소오스/드레인 영역(34)이 형성된다.

<35> 이때 이온주입 과정은 다음과 같은 3단계공정을 거친다. 먼저, P+ 이온을 도펀트로 하여 제 1 이온주입 공정을 진행한다. 이때, 제 1 이온주입 공정은 20KeV ~ 40KeV 범위의 이온주입에너지로 진행하고, 상기 도펀트의 도즈

2

량은 $4E13 \sim 8E13 /cm^2$ 범위로 하는 것이 바람직하다. 도펀트를 반도체 기판으로 주입하는 것은 이온 주입 공정에 의한다. 이온 주입에서, 목적하는 성분을 포함하는 공급 물질은 이온 소스로 도입되고, 에너지는 공급 물질을 이온화하기 위해 도입되어, 도펀트 성분을 포함하는 이온을 생성한다. 가속용 전기장은 양으로 하전된 이온을 추출하고 가속화하여 이온빔을 생성하기 위해 제공된다. 이어 질량분석은 주입될 종을 선별하기 위해 사용되고, 이온빔은 반도체 기판으로 향한다. 가속용 전기장은 상기 이온이 표적물을 투과하도록 하는 이온 운동 에너지를 제공한다. 에너지 및 이온의 질량은 표적물 내로의 이들의 투과 깊이를 결정하되, 보다 높은 에너지 및 보다 낮은 질량 이온은 이들의 보다 큰 속도로 인해 표적물을 보다 깊이 투과하게 한다. 이온 주입 시스템은 표적물에서 이온빔 에너지, 이온빔 질량, 이온빔 전류 및 이온 투여량과 같은 주입 공정에서의 중요한 변수를 조심스럽게 조절하기 위해 구축되었다. 추가로, 빔각 분산(이온이 기판과 충돌하였을 때의 각의 변화) 및 빔 공간 균일성 및 정도는 또한 반도체 디바이스 수율을 보전하기 위해 조절되어야 한다.

<36> 그 다음으로, As+ 이온을 도펀트로 하여 제 2 이온주입 공정을 진행한다. 이때, 제 2 이온주입 공정은

2

20KeV ~ 40KeV 범위의 이온주입에너지로 진행하고, 상기 도펀트의 도즈량은 $1E15 \sim 3E15 /cm^2$ 범위인 것이 바람직하다. 이 경우, 질량이 75인 Arseni(As)를 사용하므로 측면 확산을 감소시킬 수 있다.

<37> 끝으로, P+ 이온을 도펀트로 하여 제 3 이온주입 공정을 진행한다. 이때, 상기 제 3 이온주입 공정은

2

6KeV ~ 10KeV 범위의 이온주입에너지로 진행하고, 상기 도펀트의 도즈량은 $5E14 \sim 1.5E15 /cm^2$ 범위인 것이 바람직하다. 2 단계에 걸친 P+ 이온 주입 공정을 사용함으로써, 프로파일을 변화를 통하여 As만을 사용할 때 생길 수 있는 누설 전류(diode leakage)를 제거할 수 있다.

<38> 도 4는 본 발명에 의한 이온주입공정을 거친 경우의 접합면의 프로파일을 도시한 도이다. 도 4를 참조하면, 소

오스(40)와 드레인(42)간의 정션(Junction) 및 정션 간의 거리(44)가 짧아서 누설 전류 특성이 $5.2E-8 A/\mu m$ 에서 $2.03E-9 A/\mu m$ 으로 감소되었음을 알 수 있다. 또한 측면 확산 거리도 줄어 들었음을 알 수 있다.

<39> 이러한 본원 발명인 방법 및 장치는 이해를 돕기 위하여 도면에 도시된 실시예를 참고로 설명되었으나, 이는 예시적인 것에 불과하며, 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위에 의해 정해져야 할 것이다.

발명의 효과

<40> 본 발명에 따르면, 이온 주입 공정에 있어서 P+보다 무거운 AS+이온을 도펀트로 사용함으로써 측면 확산을 감소시킬 수 있고, P+ 이온을 도펀트로 하여 이온 주입 과정을 2회 진행함으로써, As+ 이온만을 도펀트로 사용한 경우에 발생할 수 있는 누설 전류(diode leakage)를 제거할 수 있는 효과가 있다.

도면의 간단한 설명

<1> 도 1a 내지 도 1i는 종래의 CMOS 형의 반도체 소자의 제조방법에 대한 공정단면도,

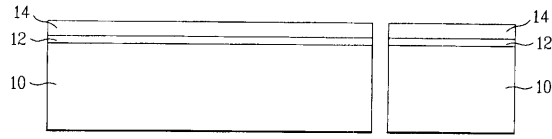
<2> 도 2는 이온주입공정에서 P+만을 도펀트로 한 경우의 접합면의 프로파일을 도시한 도.

<3> 도 3은 본 발명에 의한 반도체 소자의 제조방법에서 반도체 기판 내에 이온을 주입하는 공정의 단면도.

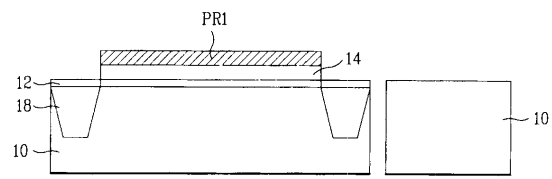
<4> 도 4는 본 발명에 의한 이온주입공정을 거친 경우의 접합면의 프로파일을 도시한 도.

도면

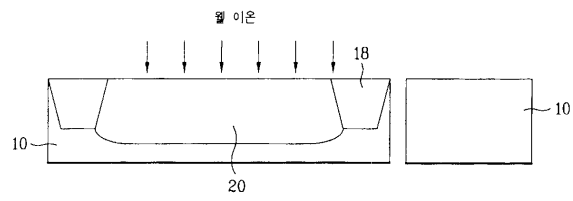
도면1a



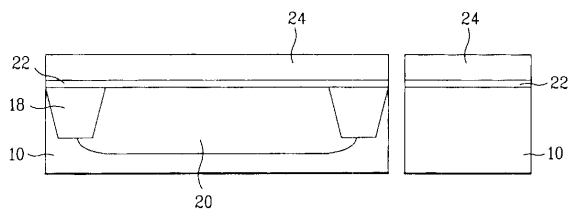
도면1b



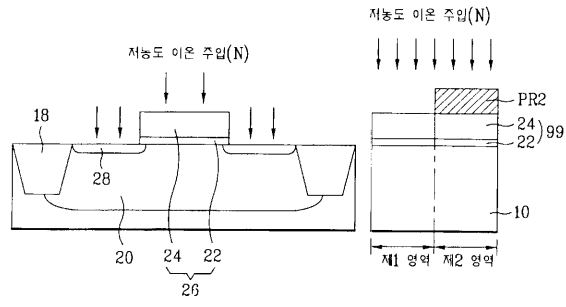
도면1c



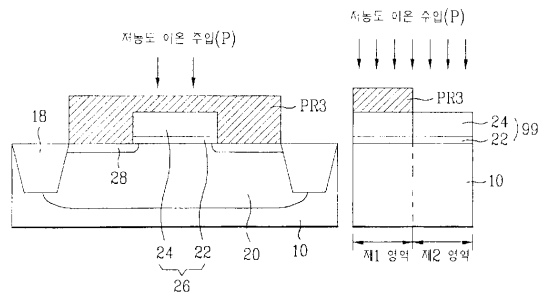
도면1d



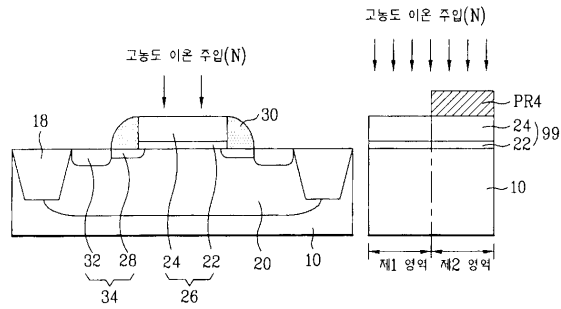
도면1e



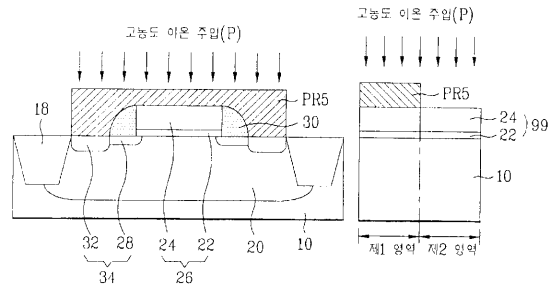
도면1f



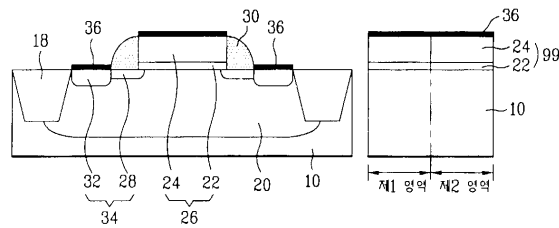
도면1g



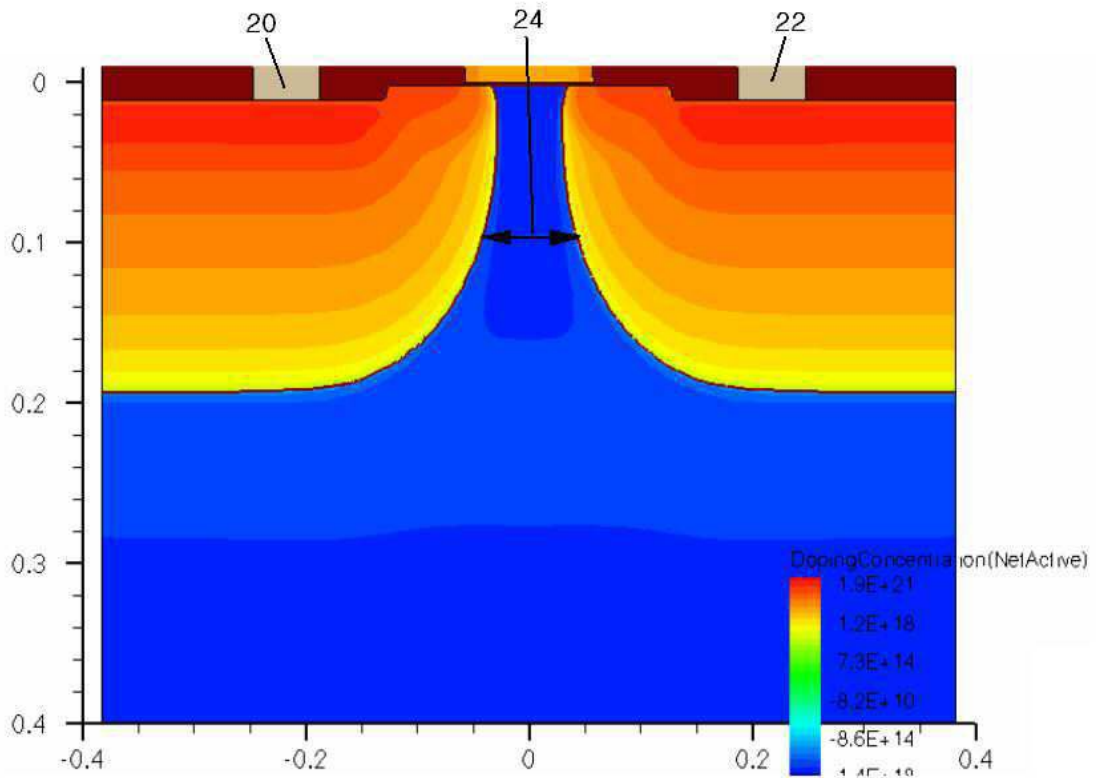
도면1h



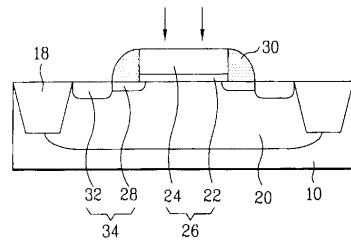
도면1i



도면2



도면3



도면4

