

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年5月23日(23.05.2019)



(10) 国際公開番号

WO 2019/097971 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01) H04N 5/369 (2011.01)
H01L 31/10 (2006.01)
- (21) 国際出願番号: PCT/JP2018/039594
- (22) 国際出願日: 2018年10月25日(25.10.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-219194 2017年11月14日(14.11.2017) JP
- (71) 出願人: マッハコーポレーション株式会社(MACH CORPORATION CO., LTD.) [JP/JP];
〒2200004 神奈川県横浜市西区北幸二丁目5番15号 Kanagawa (JP). 国立研究開発法人宇宙航空研究開発機構(JAPAN AEROSPACE EXPLORATION AGENCY) [JP/JP]; 〒1828522

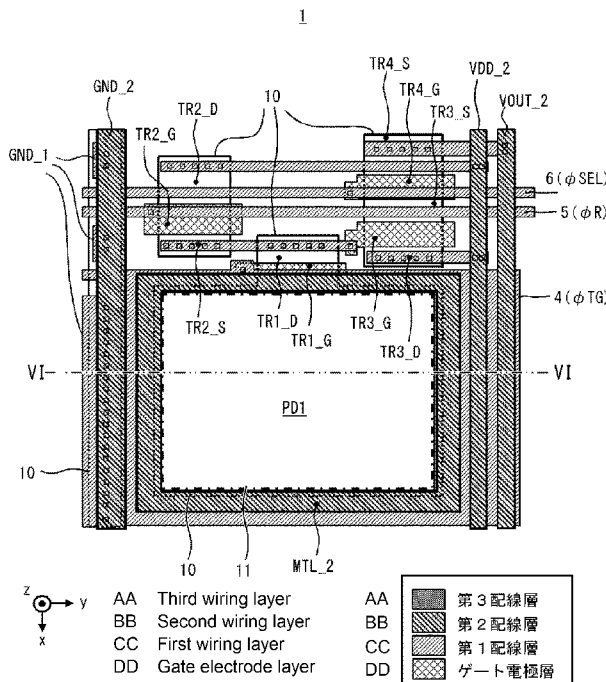
東京都調布市深大寺東町七丁目4番地1 Tokyo (JP).

- (72) 発明者: 原口 能純(HARAGUCHI Yoshizumi);
〒2200004 神奈川県横浜市西区北幸二丁目5番15号 マッハコーポレーション株式会社内 Kanagawa (JP). 福田 盛介(FUKUDA Seisuke);
〒2525210 神奈川県相模原市中央区由野台三丁目1番1号 国立研究開発法人宇宙航空研究開発機構 宇宙科学研究所内 Kanagawa (JP). 池田 博一(IKEDA Hirokazu);
〒2525210 神奈川県相模原市中央区由野台三丁目1番1号 国立研究開発法人宇宙航空研究開発機構 宇宙科学研究所内 Kanagawa (JP).

- (74) 代理人: 家入 健(IEIRI Takeshi); 〒2210835 神奈川県横浜市神奈川区鶴屋町三丁目3

(54) Title: SOLID-STATE IMAGING ELEMENT AND METHOD FOR FORMING SAME

(54) 発明の名称: 固体撮像素子及びその形成方法



(57) Abstract: According to one embodiment of the present invention, a solid-state imaging element is provided with: a semiconductor substrate (100); a PN junction photodiode (PD1) which is formed in the surface of the semiconductor substrate (100); an insulating film (106) which is formed on the surface of the semiconductor substrate (100) including the surface region where the photodiode (PD1) is formed; and a metal electrode (MTL) which is formed in a wiring layer that is at a higher position than a first wiring layer that is adjacent to the photodiode (PD1) among a plurality of wiring layers that are laminated on the insulating film (106), and to which a negative voltage is applied.

(57) 要約: 一実施の形態によれば、固体撮像素子は、半導体基板(100)と、半導体基板(100)の表面に形成されたPN接合型のフォトダイオード(PD1)と、フォトダイオード(PD1)の形成面上を含む半導体基板(100)の表面上に形成された絶縁膜(106)と、絶縁膜(106)上に積層された複数の配線層のうち、フォトダイオード(PD1)に隣接する第1配線層よりも上位階層の配線層に形成され、かつ、負電圧が印加されたメタル電極(MTL)と、を備える。



3 番 8 アサヒビルディング 5 階 響 国 際
特許事務所 Kanagawa (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

明 細 書

発明の名称： 固体撮像素子及びその形成方法

技術分野

[0001] 本発明は、固体撮像素子及びその形成方法に関し、例えば放射線の照射に起因して生じる画質の劣化を防ぐのに適した固体撮像素子及びその形成方法に関する。

背景技術

[0002] 近年、宇宙技術分野、原子力分野等では、高性能カメラの運用が期待されている。例えば、特許文献1には、高性能カメラに用いられる固体撮像素子に関する技術が開示されている。

[0003] 特許文献1に開示された感光素子（固体撮像素子）は、半導体基板に形成されたPウェル及びその表面に形成されたN型の感光領域からなるフォトダイオードと、感光領域の表面に形成された透明絶縁層と、透明絶縁層の表面に形成されたインジウム錫酸化物（ITO）からなる透明導電層と、を備える。さらに、この感光素子は、透明導電層から感光領域に対して負電圧を印加することにより、感光領域の表面にP型のピン止め層（ピニング層）を形成している。それにより、この感光素子は、感光領域と透明絶縁層との界面において熱励起により発生した暗電流を、ピン止め層を経由してグランドに掃引することができるため、画像の品質を向上させることができる。

先行技術文献

特許文献

[0004] 特許文献1：特許第3049015号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、宇宙空間、原子力施設、放射線施設内等で用いられる電子機器では、通常環境とは異なり、ガンマ線等の放射線の照射によって発生するトータルドーズ効果の電離作用によって、絶縁膜中に固定正電荷が蓄積さ

れるため、その影響で諸特性が劣化してしまうという問題があった。

[0006] 具体的には、特許文献 1 に開示された感光素子の構成では、放射線の照射によって発生するトータルドーズ効果の電離作用によって、透明絶縁層に固定正電荷が蓄積されるため、その影響で P 型のピン止め層が N 型に反転してしまい、当該ピン止め層が正常に機能しなくなってしまう。その結果、この感光素子では、感光領域と透明絶縁層との界面において暗電流が蓄積されてしまうため、ホワイトアウト等の画質の劣化が発生してしまうという問題があった。その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0007] 一実施の形態によれば、固体撮像素子は、半導体基板と、前記半導体基板の表面に形成された P N 接合型のフォトダイオードと、前記フォトダイオードの形成面上を含む前記半導体基板の表面上に形成された絶縁膜と、前記絶縁膜上に積層された複数の配線層のうち、前記フォトダイオードに隣接する第 1 配線層よりも上位階層の配線層に形成され、かつ、負電圧が印加された第 1 メタル電極と、を備える。

[0008] また、一実施の形態によれば、固体撮像素子の形成方法は、半導体基板の表面に P N 接合型のフォトダイオードを形成し、前記フォトダイオードの形成面上を含む前記半導体基板の表面上に絶縁膜を形成し、前記絶縁膜上に積層される複数の配線層のうち、前記フォトダイオードに隣接する第 1 配線層よりも上位階層の配線層に第 1 メタル電極を形成し、前記第 1 メタル電極に負電圧を印加する。

発明の効果

[0009] 前記一実施の形態によれば、固体撮像素子及びその形成方法に関し、例えば放射線の照射に起因して生じる画質の劣化を防ぐのに適した固体撮像素子及びその形成方法を提供することができる。

図面の簡単な説明

[0010] [図1]実施の形態 1 に係る CMOS イメージセンサに用いられる画素部の基本

的な回路構成を示す図である。

[図2]図1に示す画素部の基本的部分の平面レイアウト図である。

[図3]図1に示す画素部の基本的部分の断面模式図である。

[図4]実施の形態1に係るCMOSイメージセンサの画素部の第2配線層以下の平面レイアウト図である。

[図5]実施の形態1に係るCMOSイメージセンサの画素部の第3配線層の平面レイアウト図である。

[図6]実施の形態1に係るCMOSイメージセンサの画素部の断面模式図である。

[図7]実施の形態2に係るCMOSイメージセンサの画素部の第2配線層以下の平面レイアウト図である。

[図8]実施の形態2に係るCMOSイメージセンサの画素部の第3配線層の平面レイアウト図である。

[図9]実施の形態2に係るCMOSイメージセンサの画素部の断面模式図である。

[図10]埋め込みフォトダイオードの断面模式図である。

[図11]図10に示す埋め込みフォトダイオードに放射線が照射された場合の課題を説明するための図である。

発明を実施するための形態

[0011] 以下、図面を参照しつつ、実施の形態について説明する。なお、図面は簡略的なものであるから、この図面の記載を根拠として実施の形態の技術的範囲を狭く解釈してはならない。また、同一の要素には、同一の符号を付し、重複する説明は省略する。

[0012] 以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、応用例、詳細説明、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、

特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

[0013] さらに、以下の実施の形態において、その構成要素（動作ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数等（個数、数値、量、範囲等を含む）についても同様である。

[0014] <発明者らによる事前検討>

実施の形態1にかかるCMOSイメージセンサ（固体撮像素子）について説明する前に、まず、一般的な表面照射型CMOSイメージセンサに設けられた埋め込みフォトダイオードについて説明する。

[0015] 図10は、埋め込みフォトダイオードの断面模式図である。

図10に示すように、シリコン基板に形成されたPウェルの表面には、N型拡散領域（N⁻領域）が形成されている。このN型拡散領域は、Pウェルの表面にN型不純物をドーピングすることにより形成されている。ここで、PウェルとN型拡散領域とによってPN接合型のフォトダイオードが構成されている。

[0016] また、Pウェルの表面には、N型拡散領域と間隔を空けて、素子分離領域（STI；Shallow Trench Isolation）が形成されている。また、N型拡散領域の表面を含む、素子分離領域に囲まれた活性領域の表面には、P型のピニング層が形成されている。このピニング層は、素子分離領域に囲まれた活性領域の表面にP型不純物をドーピングすることにより形成されている。さらに、その表面には、SiO₂絶縁膜（PMD；Pre Metal Dielectric）が形成されている。

[0017] なお、通常の写真ダイオードは、図10に示す埋め込みフォトダイオード

ドのうち、ピニング層を持たず、N型拡散領域の表面が直接PMDで覆われた構造を有している。

[0018] 固体撮像素子に用いられるフォトダイオードでは、通常、光信号によって励起された信号電子に加えて、熱励起による暗電流電子が生成される。この暗電流電子の出力は0に近いほどよく、暗電流の増大は、画質の劣化を生じさせる。

[0019] 例えば、ピニング層を持たない通常のフォトダイオードの場合、N型拡散領域とPMDとの界面にダングリングボンドや結晶欠陥が多数存在するため、バンド構造の禁制帯領域に欠陥準位が生じてしまう。その結果、熱励起によって生成される暗電流電子が増加して、暗電流が増大してしまう。それに対し、ピニング層を持つ埋め込みフォトダイオードの場合、熱励起によって生成された暗電流電子は、P型のピニング層及びPウェルを伝搬してグラウンドに掃引される。それにより、暗電流の増大が抑制されるため、画像の品質劣化は抑制される。

[0020] なお、ピニング層は、活性領域の表面にP型不純物のドーピングすることにより形成される場合に限られない。ピニング層は、例えば、特許文献1に開示されているように、基板上に形成されたITO透明導電層から感光領域（活性領域）に対して負電圧を印加することにより形成されることもある。

[0021] 続いて、図11を用いて、図10に示す埋め込みフォトダイオードが宇宙空間、原子力施設、放射線施設内等で用いられた場合の課題について説明する。

[0022] 図11に示すように、ガンマ線等の放射線が埋め込みフォトダイオードに照射された場合、放射線の照射によって発生するトータルドーズ効果の電離作用により、絶縁体であるPMD中に電荷が生成される。この電荷のうち、負電荷である電子は、移動度が高いため、比較的短い時間で電極側に掃引され、電極において消滅する。それに対し、正電荷である正孔は、負電荷よりも移動度が低いため、PMD中に残り残されてしまう。この正電荷は、徐々にPMD外に掃引されるが、その過程において、PMDとシリコン基板との

界面近傍に存在する欠陥にトラップされ、固定正電荷となる。このように、PMDとシリコン基板との界面近傍に固定正電荷が発生すると、埋め込みフォトダイオードの表面に形成されたP型のピニング層がN型に反転してしまう可能性がある。その場合、ピニング層による暗電流抑制の効果が無くなってしまう可能性がある。

[0023] そこで、発明者らは、ピニング層の機能を失わせることなく、放射線の照射に起因して生じる画質の劣化を防ぐことが可能な、実施の形態1にかかるCMOSイメージセンサ（固体撮像素子）を見出した。

[0024] <実施の形態1>

まず、図1、図2及び図3を用いて、表面照射型CMOSイメージセンサ（固体撮像素子）の画素部の基本構成を説明する。

[0025] （CMOSイメージセンサの画素部1の基本的な回路構成）

図1は、実施の形態1に係るCMOSイメージセンサに用いられる画素部の基本的な回路構成を示す図である。図1に示すCMOSイメージセンサの画素部1は、所謂、APS（Active Pixel Sensor）とも呼ばれる典型的な4トランジスタ型CMOSイメージセンサの画素部である。

[0026] 図1に示すように、画素部1は、4つのNチャネルMOSトランジスタTR1～TR4と、フォトダイオードPD1と、を備える。以下、4つのNチャネルMOSトランジスタTR1～TR4を、それぞれ、トランスファトランジスタTR1、リセットトランジスタTR2、増幅トランジスタTR3、及び、行選択トランジスタTR4とも称す。

[0027] フォトダイオードPD1のアノードは、接地電圧線GNDに接続され、フォトダイオードPD1のカソードは、トランスファトランジスタTR1のソースに接続されている。トランスファトランジスタTR1では、ドレイン（TR1__D）がノードN1に接続され、ゲート（TR1__G）が、転送ゲート駆動信号φTGの伝搬する転送ゲート駆動ライン4に接続されている。

[0028] リセットトランジスタTR2では、ソース（TR2__S）がノードN1に

接続され、ドレイン（TR2__D）が電源電圧線VDDに接続され、ゲート（TR2__G）が、リセット信号φRの伝搬するリセット信号線5に接続されている。

[0029] 増幅トランジスタTR3では、ソース（TR3__S）がノードN2に接続され、ドレイン（TR3__D）が電源電圧線VDDに接続され、ゲート（TR3__G）がノードN1に接続されている。つまり、トランスファトランジスタTR1のドレイン、リセットトランジスタTR2のソース、及び、増幅トランジスタTR3のゲートは、ノードN1において互いに接続されている。また、ノードN1には、浮遊拡散層容量FD1が形成されている。

[0030] 行選択トランジスタTR4では、ソース（TR4__S）が、列方向に設けられた他の複数の画素とともに出力信号線VOUTに接続され、ドレインがノードN2に接続され、ゲート（TR4__G）が、行選択信号φSELの伝搬する行選択信号線6に接続されている。

[0031] フォトダイオードPD1は、受光した光信号を電気信号に変換する。トランスファトランジスタTR1は、転送ゲート駆動信号φTGがアクティブになった場合にオンし、フォトダイオードPD1によって光信号から変換された電気信号をノードN1に転送する。それにより、ノードN1に形成された浮遊拡散層容量FD1には、フォトダイオードPD1からの電気信号に応じた電荷が蓄積される。増幅トランジスタTR3は、ノードN1の電圧をドライブしてノードN2に出力する。行選択トランジスタTR4は、行選択信号φSELがアクティブになった場合にオンし、ノードN2の電圧（即ち、フォトダイオードPD1によって光信号から変換された電気信号）を、出力信号線VOUTに出力する。

[0032] （画素部1の基本的部分の平面レイアウト図及び断面模式図）

図2は、図1に示す画素部1の基本的部分を画素部1Bとして示す平面レイアウト図である。図3は、図2に示す平面レイアウト図のIII-III部分の断面模式図である。

[0033] 図2に示すように、平面視上、画素部1Bの大部分を占める領域に、矩形

状のフォトダイオードPD1が形成され、その外周を囲むようにして、転送ゲート駆動ライン4のメタルが形成されている。

[0034] また、平面視上、矩形状のフォトダイオードPD1の一辺側の周辺領域（図2の紙面の上部）には、4つのトランジスタTR1～TR4が形成されている。さらに、平面視上、フォトダイオードPD1及びトランジスタTR1～TR4を挟むようにして、接地電圧線GNDと、電源電圧線VDD及び出力信号線VOUTと、が並行に配置されている。

[0035] 図3に示すように、半導体基板100に形成されたPウェル101の表面には、N型拡散領域103が形成されている。このN型拡散領域103は、Pウェル101の表面にN型不純物をドーピングすることにより形成されている。ここで、Pウェル101とN型拡散領域103とによってPN接合型のフォトダイオードPD1が構成されている。

[0036] また、Pウェル101の表面には、N型拡散領域103と間隔を空けて、素子分離領域（STI）102が形成されている。N型拡散領域103の表面を含む、素子分離領域102に囲まれた活性領域の表面には、P型のピニング層104が形成されている。このピニング層104は、素子分離領域102に囲まれた活性領域の表面にP型不純物をドーピングすることにより形成されている。

[0037] なお、N型拡散領域103の外周辺（換言すると、フォトダイオードPD1の外周辺）は、図2において一点鎖線11で示されている。また、素子分離領域102とそれに囲まれた活性領域との境界線は、図2において実線10で示されている。ただし、素子分離領域102とそれに囲まれた活性領域との境界線のうち、配線層に隠れている境界線については、破線10で示されている。

[0038] また、Pウェル101の表面には、N型拡散領域103と分離してP型拡散領域105が形成されている。このP型拡散領域105は、Pウェル101の表面にP型不純物をドーピングすることにより形成される。

[0039] さらに、半導体基板100の表面には、例えばCVD（Chemical

Vapor Deposition) 法によって、 SiO_2 等の透明の絶縁膜106（不図示）が形成されている。

[0040] この絶縁膜上に積層された複数の配線層のうち、半導体基板100に隣接する（最も近接する）第1配線層には、前述した転送ゲート駆動ライン4のメタルが、平面視上、フォトダイオードPD1の外周（N型拡散領域103の外周）を囲むようにして形成されている。それにより、周辺からフォトダイオードPD1に迷光が入り込むのを防ぐことができる。

[0041] また、第2配線層には、前述した、接地電圧線GNDと、電源電圧線VDD及び出力信号線VOUTとが、平面視上、フォトダイオードPD1及びトランジスタTR1～TR4を挟むようにして並列に配置されている。なお、第2配線層に配置された接地電圧線GND、電源電圧線VDD及び出力信号線VOUTを、それぞれ、接地電圧線GND__2、電源電圧線VDD__2及び出力信号線VOUT__2とも称す。図3の例では、第2配線層に配置された接地電圧線GND__2は、ビアV1を介して、第1配線層に配置された接地電圧線GND__1に接続されている。そして、第1配線層に配置された接地電圧線GND__1は、コンタクトCT1を介して、P型拡散領域105に接続されている。

[0042] （本発明の特徴部分が追加された画素部1の平面レイアウト図及び断面模式図）

図4及び図5は、図2に示す画素部1の基本的部分に対し、本発明の特徴の一つを追加した構成の平面レイアウト図である。なお、図4では、複数の配線層のうち第1及び第2配線層のみが示されており、図5では、複数の配線層のうち第3配線層のみが示されている。図6は、図4及び図5に示す平面レイアウト図のV1ーV1部分の断面模式図である。

[0043] 図4～図6に示すように、画素部1は、図2に示す画素部1Bと比較して、複数の配線層のうち、第1配線層より上位階層の配線層において、メタル電極MTLがさらに形成されている。本例では、第2及び第3配線層のそれぞれにメタル電極MTL__2、MTL__3が形成され、それらがビアV2に

よって電氣的に接続されている。これらメタル電極MTL__2, MTL__3及びビアV2によってメタル電極MTLが構成されている。

[0044] メタル電極MTL__2は、第2配線層において、平面視上、フォトダイオードPD1の外周（N型拡散領域103の外周）を囲むようにしてリング状に形成されている。また、メタル電極MTL__3は、第3配線層において、平面視上、フォトダイオードPD1の外周（N型拡散領域103の外周）を囲むようにして形成されている。そのため、フォトダイオードPD1の受ける光がメタル電極MTL__2, MTL__3によって遮られることはない。

[0045] ここで、メタル電極MTL（メタル電極MTL__2, MTL__3）には、負電圧が印加されている。そのため、ガンマ線等の放射線の照射によって発生するトータルドーズ効果の電離作用によって、絶縁膜106に固定正電荷が蓄積された場合でも、メタル電極MTLの負電圧を用いてフォトダイオードPD1に電界を生じさせることにより、ピニング層104が受ける固定正電荷の影響を相殺させることができる。それにより、ピニング層104の機能が維持されるため、N型拡散領域103と絶縁膜106との界面において熱励起により発生した暗電流は、ピニング層104を経由してグランドに掃引される。その結果、画素部1によって表示される画像の品質劣化が抑制される。

[0046] なお、仮に、MOSトランジスタのゲート電極等に用いられるポリシリコンや、第1配線層に形成されるメタルを、メタル電極MTLとして採用した場合、メタル電極MTLとフォトダイオードPD1と間の距離が近づきすぎてしまう。この場合、平面視上、フォトダイオードPD1の形成領域のうち、メタル電極MTLに近い周辺部近傍には電界が生成されるが、中央部に電界がほとんど生成されない。そのため、フォトダイオードPD1の中央部では、ピニング層104が受ける固定正電荷の影響を十分に相殺することができない。この問題は、フォトダイオードPD1の形成領域が大きくなるほど顕著になる。

[0047] それに対し、本実施の形態にかかるCMOSイメージセンサの画素部1で

は、第1配線層より上位階層の配線層に形成されるメタルを、メタル電極MTLとして採用している。それにより、メタル電極MTLとフォトダイオードPD1との間の距離が適度に離れるため、平面視上、フォトダイオードPD1の周辺部のみならず中央部にも比較的均一に電界が生成される。そのため、フォトダイオードPD1では、全面にわたって、ピニング層104が受ける固定正電荷の影響を相殺することができる。それにより、本実施の形態にかかるCMOSイメージセンサの画素部1は、ピニング層104を精度良く機能させることができるため、暗電流の増大を抑制することができ、その結果、画質の劣化を抑制することができる。

[0048] このように、実施の形態1に係るCMOSイメージセンサの画素部1では、第1配線層よりも上位階層において、平面視上、フォトダイオードPD1の形成領域の外周を囲むようにして、負電圧の印加されたメタル電極MTLが形成されている。それにより、画素部1は、放射線の照射によって発生するトータルドーズ効果の電離作用によって絶縁膜106に固定正電荷が蓄積された場合でも、メタル電極MTLの負電圧を用いてフォトダイオードPD1に電界を生じさせることにより、ピニング層104が受ける固定正電荷の影響を相殺させることができる。それにより、本実施の形態にかかるCMOSイメージセンサの画素部1は、ピニング層104を精度良く機能させることができるため、暗電流の増大を抑制することができ、その結果、画質の劣化を抑制することができる。

[0049] なお、本実施の形態にかかるCMOSイメージセンサの画素部1では、配線層にメタル電極MTLを形成しているため、特許文献1に開示されているようにITO透明導電層を形成する場合と異なり、特殊な製造プロセスは不要である。そのため、製造上の問題やITO透明電極追加に伴うプロセスコストの増大を抑制することができる。

[0050] 本実施の形態では、フォトダイオードPD1が、ピニング層104で予め覆われた埋め込み型の構造である場合を例に説明したが、これに限られない。フォトダイオードPD1は、ピニング層104で予め覆われていない構造

であってもよい。この場合、メタル電極MTLに印加される負電圧を大きくすることによって、N型拡散領域103の表面に、ピニング層104に相当するP型拡散領域を形成することができる。

[0051] また、本実施の形態では、メタル電極MTLが2つの配線層に跨って形成された場合を例に説明したが、これに限られない。メタル電極MTLは、第1配線層より上位階層の一つの配線層にのみ形成されてもよいし、第1配線層より上位階層の3つ以上の配線層に跨って形成されてもよい。

[0052] <実施の形態2>

図7及び図8は、実施の形態2に係る表面照射型CMOSイメージセンサの画素部2の平面レイアウト図である。なお、図7では、複数の配線層のうち第1及び第2配線層のみが示されており、図8では、複数の配線層のうち第3配線層のみが示されている。図9は、図7及び図8に示す平面レイアウト図の1X-1X部分の断面模式図である。

[0053] 図7～図9に示すように、画素部2は、画素部1と比較して、メタル電極MTL__2aをさらに備える。メタル電極MTL__2aは、第2配線層において、平面視上、フォトダイオードPD1の形成領域の一部と重なるように形成されている。本例では、メタル電極MTL__2aは、第2配線層において、平面視上、フォトダイオードPD1の形成領域の中央部と重なるように、メタル電極MTL2の一辺から対向する他辺にかけて帯状に形成されている。また、メタル電極MTL__2aは、メタル電極MTL__2と電氣的に接続されている。そのため、メタル電極MTL__2aにも負電圧が印加されている。

[0054] 画素部2のその他の構造については、画素部1の場合と同様であるため、その説明を省略する。

[0055] このように、実施の形態2に係るCMOSイメージセンサの画素部2では、第1配線層よりも上位階層において、平面視上、フォトダイオードPD1の形成領域の外周を囲むようにして、負電圧の印加されたメタル電極MTLが形成されている。それにより、画素部2は、放射線の照射によって発生す

るトータルドーズ効果の電離作用によって絶縁膜 106 に固定正電荷が蓄積された場合でも、メタル電極 MTL の負電圧を用いてフォトダイオード PD 1 に電界を生じさせることにより、ピニング層 104 が受ける固定正電荷の影響を相殺させることができる。それにより、本実施の形態にかかる CMOS イメージセンサの画素部 2 は、ピニング層 104 を精度良く機能させることができるため、暗電流の増大を抑制することができ、その結果、画質の劣化を抑制することができる。

[0056] さらに、本実施の形態にかかる CMOS イメージセンサの画素部 2 では、第 1 配線層よりも上位階層において、平面視上、フォトダイオード PD 1 の形成領域の一部（特に中央部）と重なるようにして、負電圧の印加されたメタル電極 MTL__2 a が形成されている。それにより、画素部 2 は、フォトダイオード PD 1 上面の周辺部のみならず中央部にも強い電界を生じさせることができる。つまり、画素部 2 は、フォトダイオード PD 1 上面の全面にわたってより均一に電界を生じさせることができる。それにより、画素部 2 は、ピニング層 104 が受ける固定正電荷の影響をより高精度に相殺させることができる。それにより、本実施の形態にかかる CMOS イメージセンサの画素部 2 は、ピニング層 104 をより精度良く機能させることができるため、暗電流の増大をさらに抑制することができ、その結果、画質の劣化をさらに抑制することができる。

[0057] なお、本実施の形態では、メタル電極 MTL として、メタル電極 MTL__2, MTL__3 に加えてメタル電極 MTL__2 a が設けられている場合について説明したが、これに限られない。メタル電極 MTL として、メタル電極 MTL__2 a 単体が設けられていてもよい。その場合でも、メタル電極 MTL__2 a を、第 1 配線層よりも上位階層の配線層に形成することにより、メタル電極 MTL__2 a とフォトダイオード PD 1 との間の距離を適度に離すことができるため、フォトダイオード PD 1 上面の全面にわたって比較的均一に電界を生じさせることができる。

[0058] また、本実施の形態では、平面視上、メタル電極 MTL__2 a がフォトダ

イオードPD1の形成領域の一部と重なるように形成されているが、メタル電極MTL__2aの幅を、他の最も細い配線幅を有するメタル配線の配線幅に対応する幅とすることにより（具体的には、プロセスルール上の最小寸法とすることにより）、遮光によるフォトダイオードPD1の感度低下の影響は最小限に抑えられる。

[0059] また、本実施の形態では、平面視上、メタル電極MTL__2aが矩形状のフォトダイオードPD1の形成領域の一辺から対向する他辺にかけて帯状に形成されているが、これに限られない。メタル電極MTL__2aは、フォトダイオードPD1上面の全面にわたって均一に電界を生じさせることができ、かつ、遮光によるフォトダイオードPD1の感度低下を許容範囲に抑えられるのであれば、どのような形状であってもよい。また、メタル電極MTL__2aは、第1配線層よりも上位階層であればどの配線層に配置されてもよい。

[0060] さらに、本実施の形態では、フォトダイオードPD1が、ピニング層104で予め覆われた埋め込み型の構造である場合を例に説明したが、これに限られない。フォトダイオードPD1は、ピニング層104で予め覆われていない構造であってもよい。この場合、メタル電極MTLに印加された負電圧を大きくすることによって、N型拡散領域103の表面に、ピニング層104に相当するP型拡散領域を形成することができる。

[0061] 以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は既に述べた実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々の変更が可能であることはいうまでもない。例えば、各MOSトランジスタの導電型は、P型からN型、N型からP型にそれぞれ置き換えられてもよい。

[0062] この出願は、2017年11月14日に提出された日本出願特願2017-219194を基礎とする優先権を主張し、その開示の全てをここに取り込む。

産業上の利用可能性

[0063] 本発明は、高性能カメラに用いられる固体撮像素子に好適に適用することができる。

符号の説明

- [0064] 1, 2 画素部
- 1 B 画素部の基本的部分
- 4 転送ゲート駆動ライン
- 5 リセット信号線
- 6 行選択信号線
- 1 0 素子分離領域とそれに囲まれた活性領域との境界線
- 1 1 N型拡散領域の外周辺
- 1 0 0 半導体基板
- 1 0 1 Pウェル
- 1 0 2 素子分離領域
- 1 0 3 N型拡散領域
- 1 0 4 ピニング層
- 1 0 5 P型拡散領域
- 1 0 6 絶縁膜
- C T 1 コンタクト
- F D 1 浮遊拡散容量
- M T L メタル電極
- M T L __ 1 第1層に配線されたメタル電極
- M T L __ 2 第2層に配線されたメタル電極
- M T L __ 2 a 第2層に配置された追加メタル電極
- N 1, N 2 ノード
- P D 1 フォトダイオード
- T R 1 トランスファートランジスタ
- T R 2 リセットトランジスタ
- T R 3 増幅トランジスタ

T R 4 行選択トランジスタ

G N D 接地電圧線

G N D__1 第1層に配線された接地電圧線

G N D__2 第2層に配線された接地電圧線

V 1, V 2 ビア

V D D 電源電圧線

V D D__2 第2層に配線された電源電圧線

V O U T 出力信号線

V O U T__2 第2層に配線された出力信号線

請求の範囲

- [請求項1] 半導体基板と、
 前記半導体基板の表面に形成されたPN接合型のフォトダイオードと、
 前記フォトダイオードの形成面上を含む前記半導体基板の表面上に形成された絶縁膜と、
 前記絶縁膜上に積層された複数の配線層のうち、前記フォトダイオードに隣接する第1配線層よりも上位階層の配線層に形成され、かつ、負電圧が印加された第1メタル電極と、
 を備えた、固体撮像素子。
- [請求項2] 前記第1メタル電極は、平面視上、前記フォトダイオードの形成領域の外周を囲むように形成されている、
 請求項1に記載の固体撮像素子。
- [請求項3] 前記第1メタル電極は、
 前記複数の配線層のうち、前記第1配線層よりも上位階層の2以上の配線層において形成されている、
 請求項1又は2に記載の固体撮像素子。
- [請求項4] 前記第1メタル電極は、
 前記2以上の配線層間に設けられたビアを含む、
 請求項3に記載の固体撮像素子。
- [請求項5] 前記複数の配線層のうち前記第1配線層よりも上位階層の配線層において、平面視上、前記フォトダイオードの形成領域の一部と重なるように形成され、かつ、前記第1メタル電極と電氣的に接続された第2メタル電極をさらに備えた、
 請求項1～4の何れか一項に記載の固体撮像素子。
- [請求項6] 前記第2メタル電極は、平面視上、前記フォトダイオードの形成領域の中央部と重なるように形成されている、
 請求項5に記載の固体撮像素子。

- [請求項7] 前記第2メタル電極は、平面視上、矩形状の前記フォトダイオードの形成領域の一辺から前記中央部を通過して対向する他辺にかけて帯状に形成され、
- 前記第2メタル電極は、他の最も細い配線幅を有するメタル配線の配線幅、に対応する帯幅となるように形成されている、
- 請求項6に記載の固体撮像素子。
- [請求項8] 前記第1メタル電極は、平面視上、前記フォトダイオードの形成領域の一部と重なるように形成されている、
- 請求項1に記載の固体撮像素子。
- [請求項9] 前記第1メタル電極は、平面視上、前記フォトダイオードの形成領域の中央部と重なるように形成されている、
- 請求項8に記載の固体撮像素子。
- [請求項10] 前記第1メタル電極は、平面視上、他の最も細い配線幅を有するメタル配線の配線幅、に対応する帯幅を有するように帯状に形成されている、
- 請求項9に記載の固体撮像素子。
- [請求項11] 前記フォトダイオードは、
- 前記半導体基板に形成された一方の導電型のウェルと、
- 前記ウェル上に形成された他方の導電型の拡散領域と、によって構成される、
- 請求項1～10の何れか一項に記載の固体撮像素子。
- [請求項12] 前記フォトダイオードは、
- 前記半導体基板に形成された一方の導電型のウェルと、
- 前記ウェル上に形成された他方の導電型の拡散領域と、
- 前記拡散領域の表面に形成された一方の導電型のピニング層と、によって構成される、
- 請求項1～10の何れか一項に記載の固体撮像素子。
- [請求項13] 前記第1配線層において、平面視上、前記フォトダイオードの形成

領域の外周を囲むように形成され、かつ、前記第 1 メタル電極と電氣的に分離して形成されたメタル配線をさらに備えた、

請求項 1 ～ 1 2 の何れか一項に記載の固体撮像素子。

[請求項 14]

半導体基板の表面に P N 接合型のフォトダイオードを形成し、

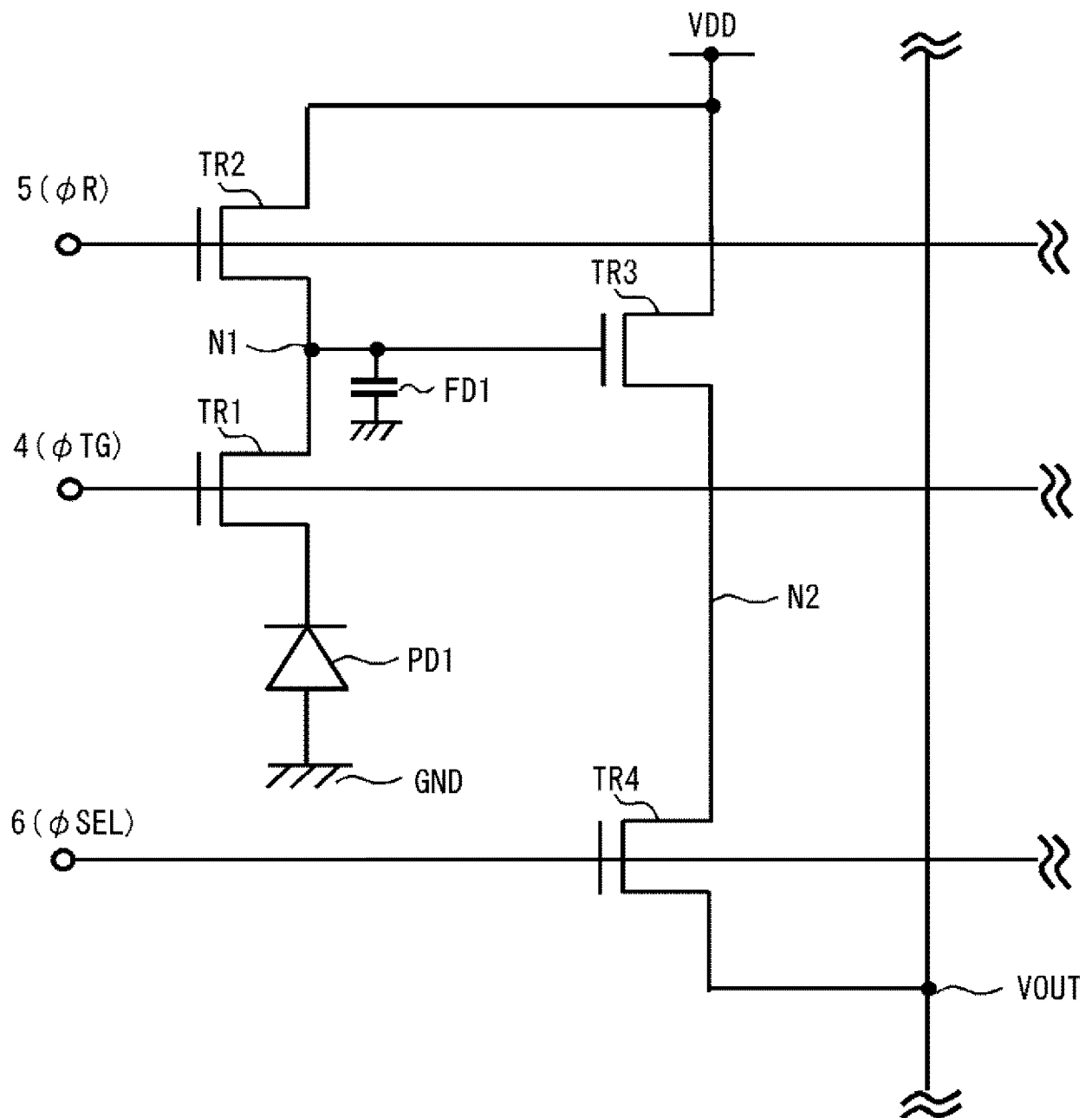
前記フォトダイオードの形成面上を含む前記半導体基板の表面上に絶縁膜を形成し、

前記絶縁膜上に積層される複数の配線層のうち、前記フォトダイオードに隣接する第 1 配線層よりも上位階層の配線層に第 1 メタル電極を形成し、

前記第 1 メタル電極に負電圧を印加する、

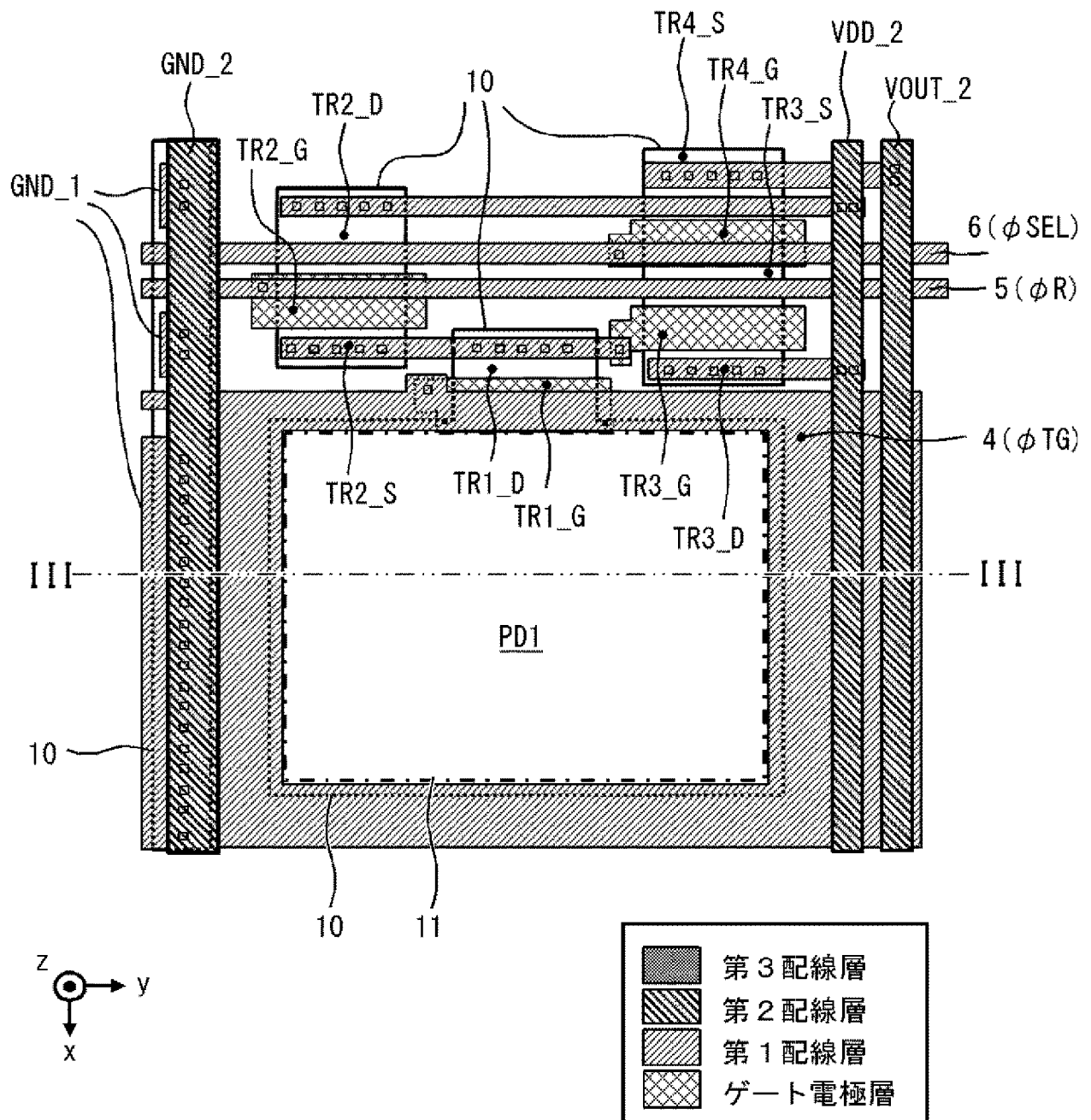
固体撮像素子の形成方法。

[図1]

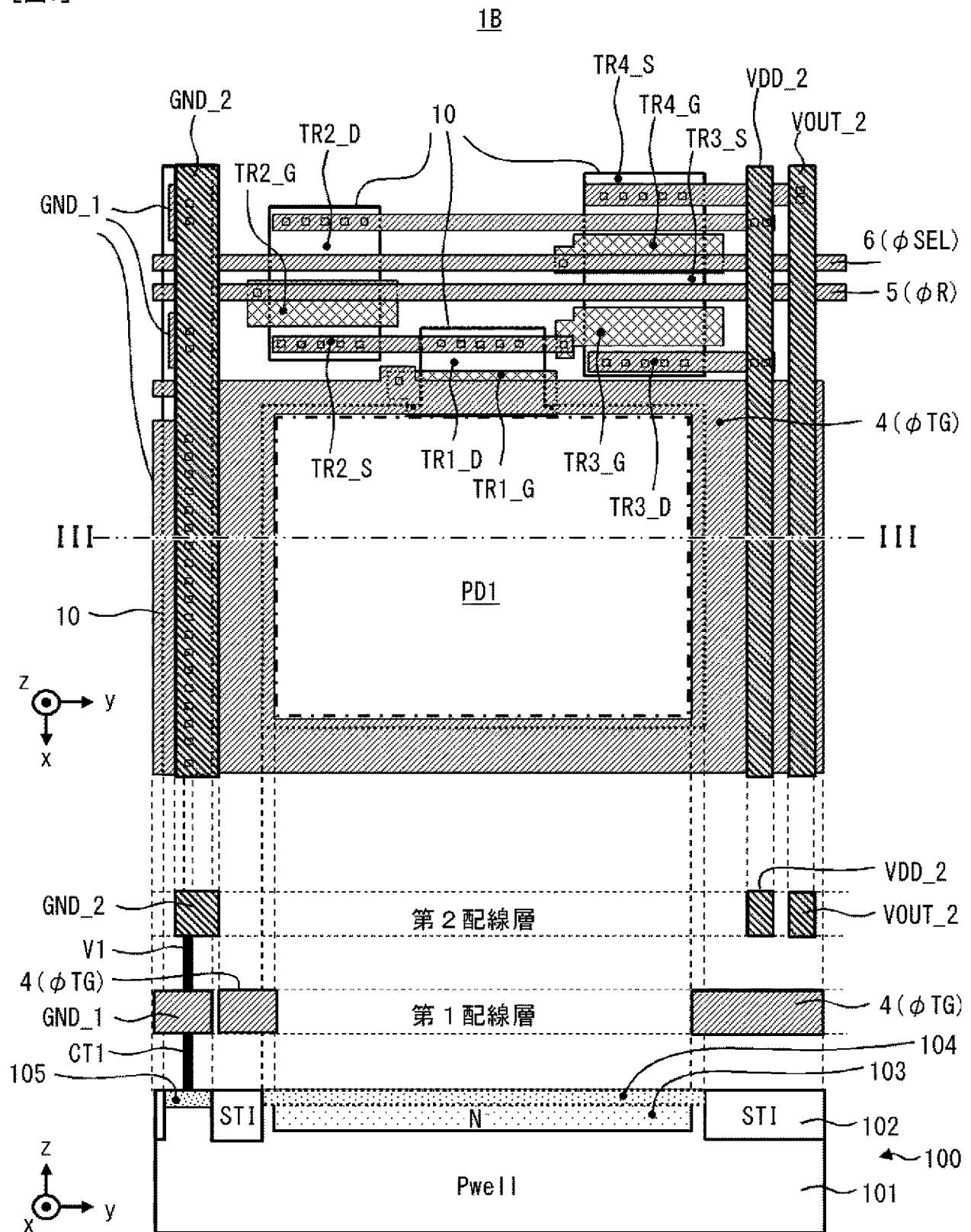
1

[図2]

1B

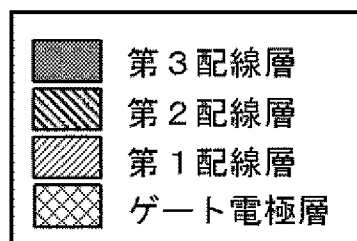
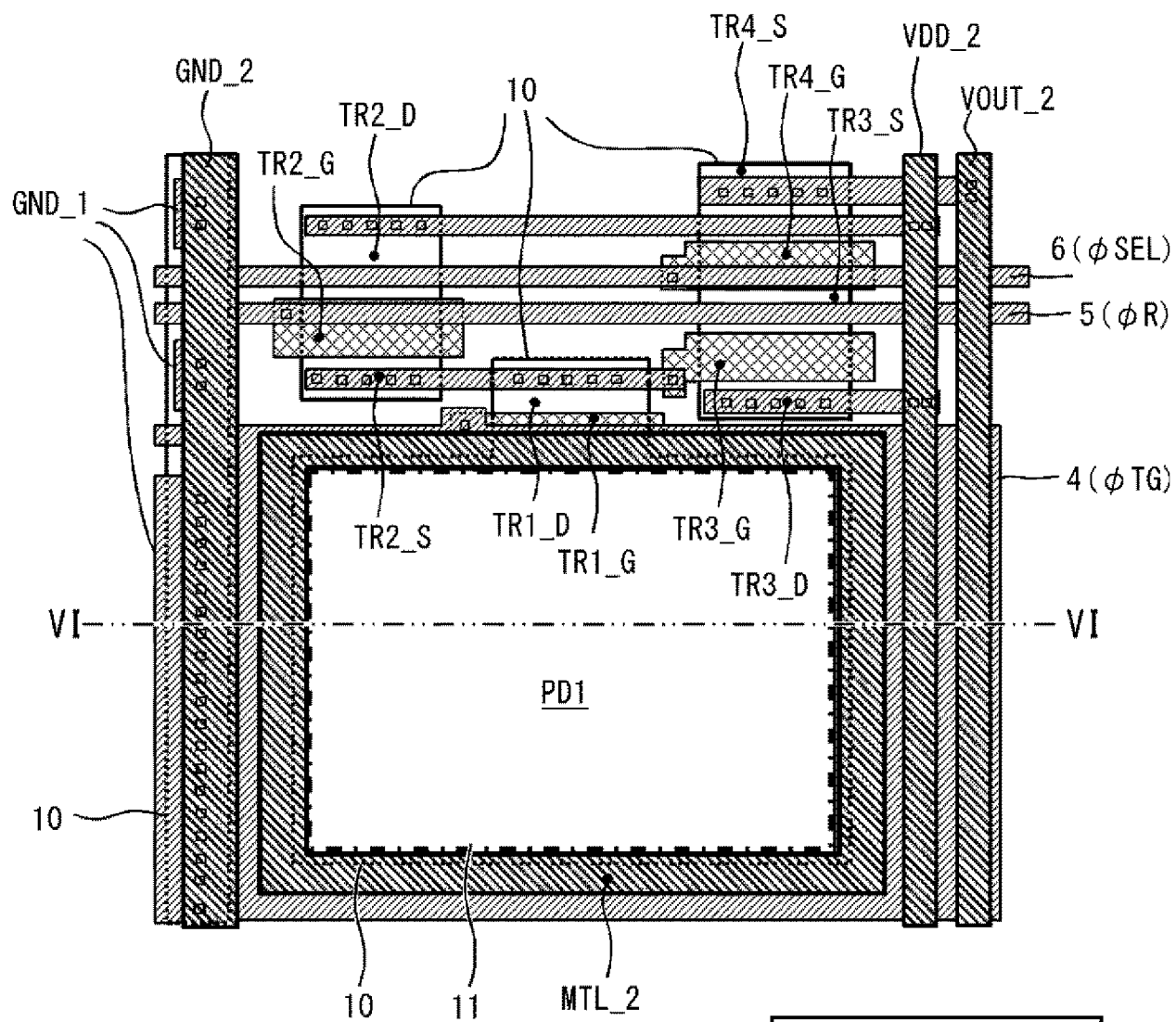


[図3]

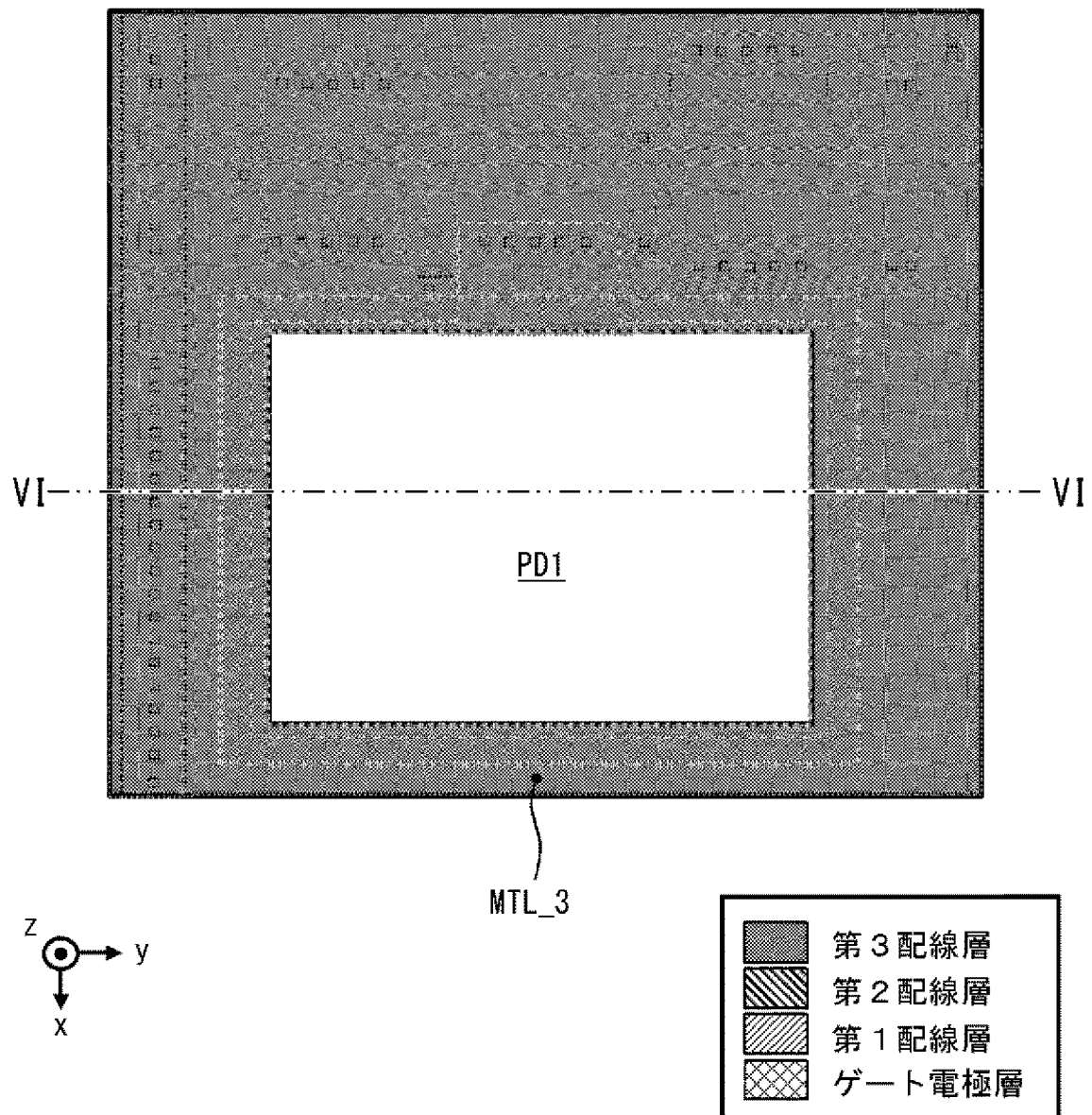


[図4]

1

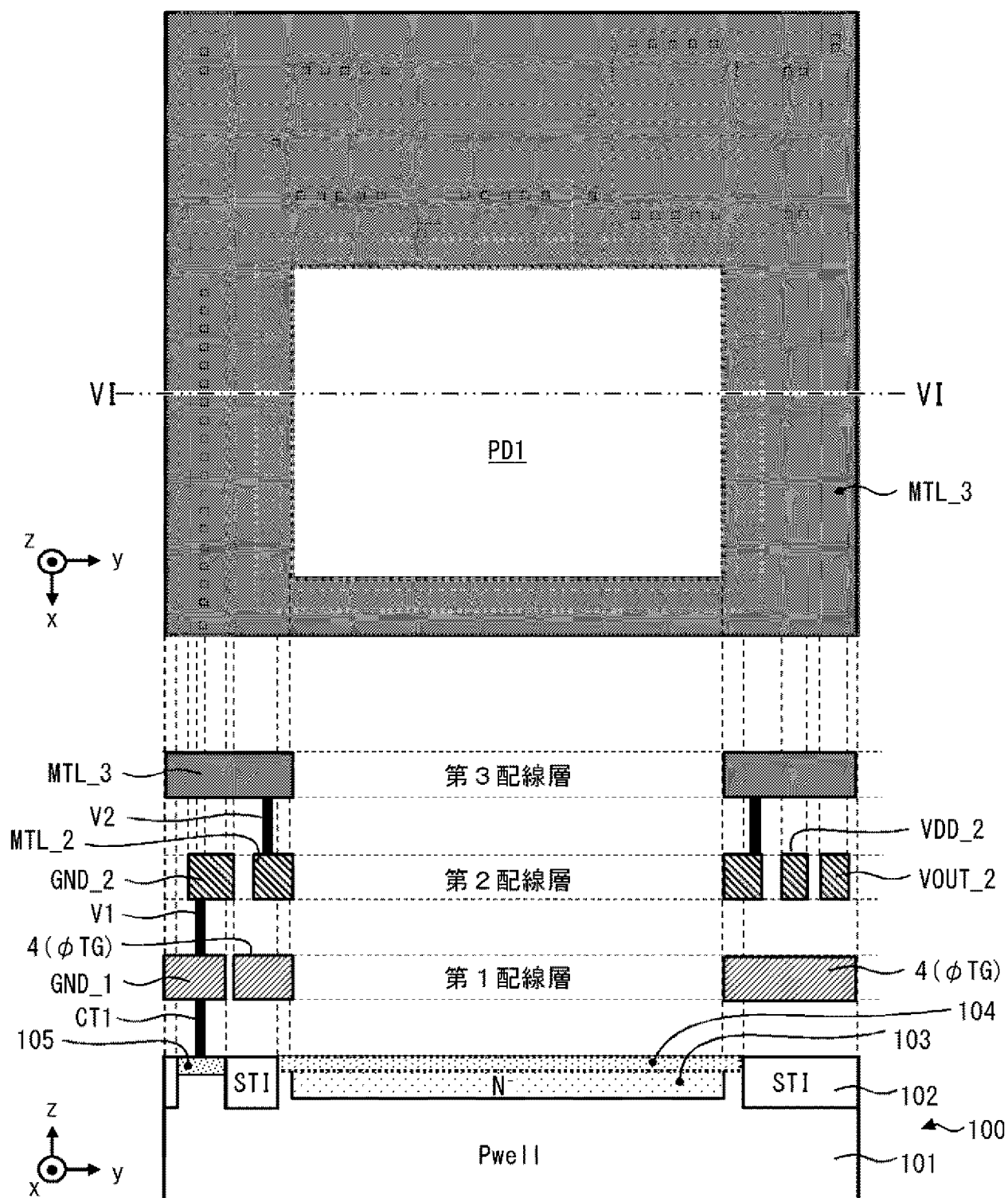


[図5]

1

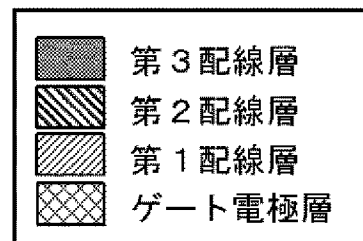
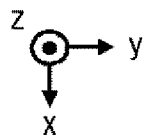
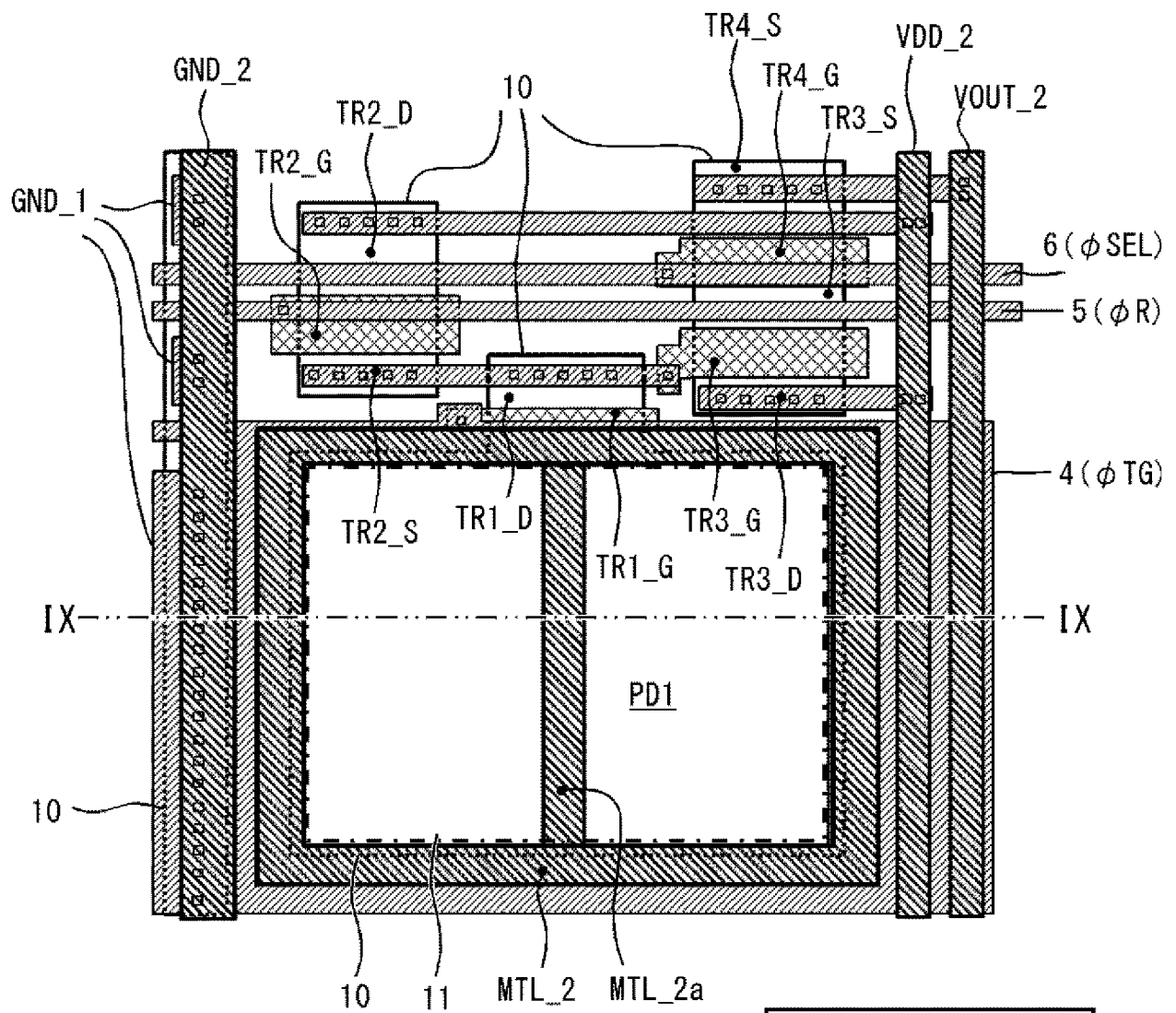
[図6]

1

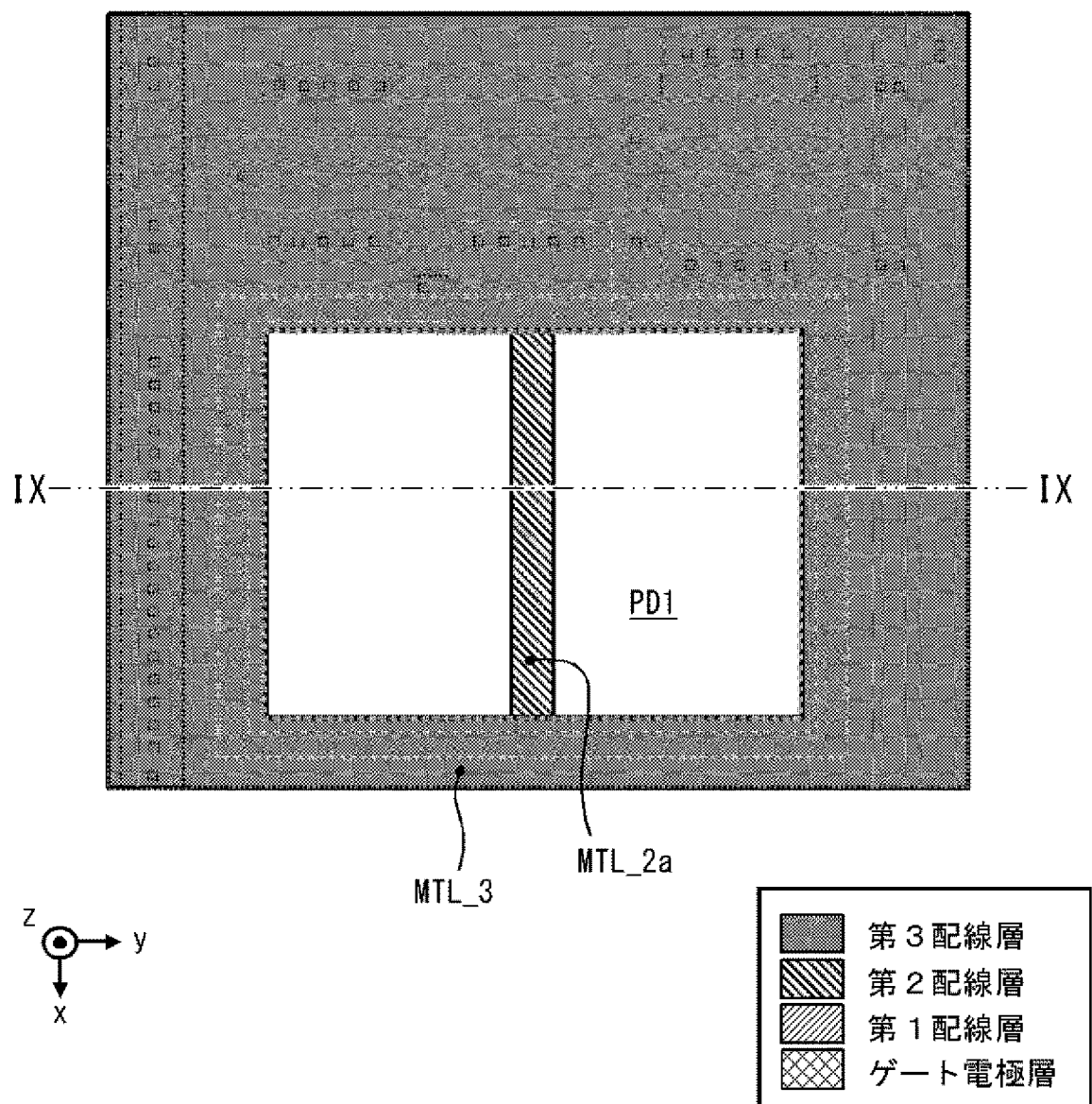


[図7]

2

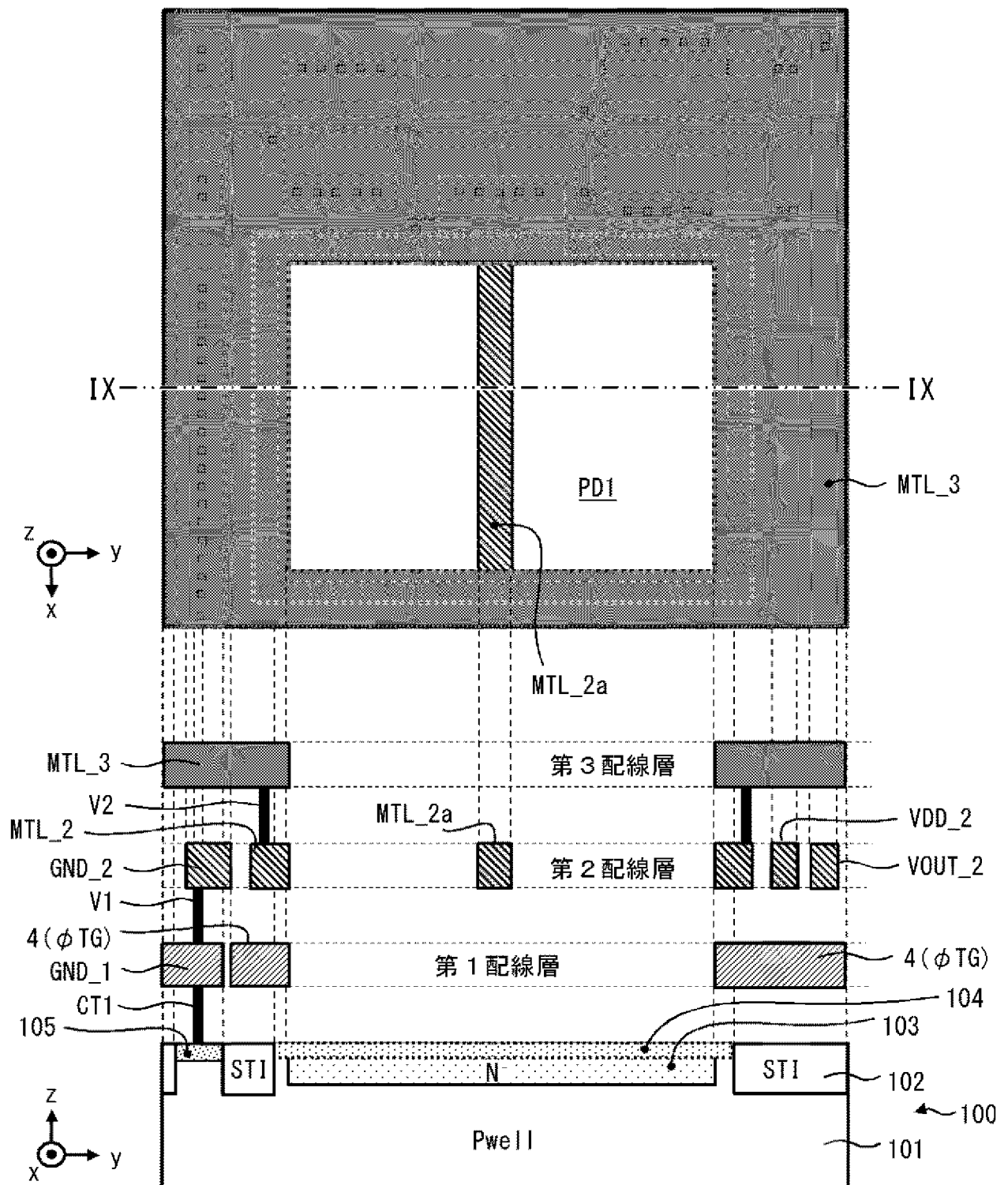


[図8]

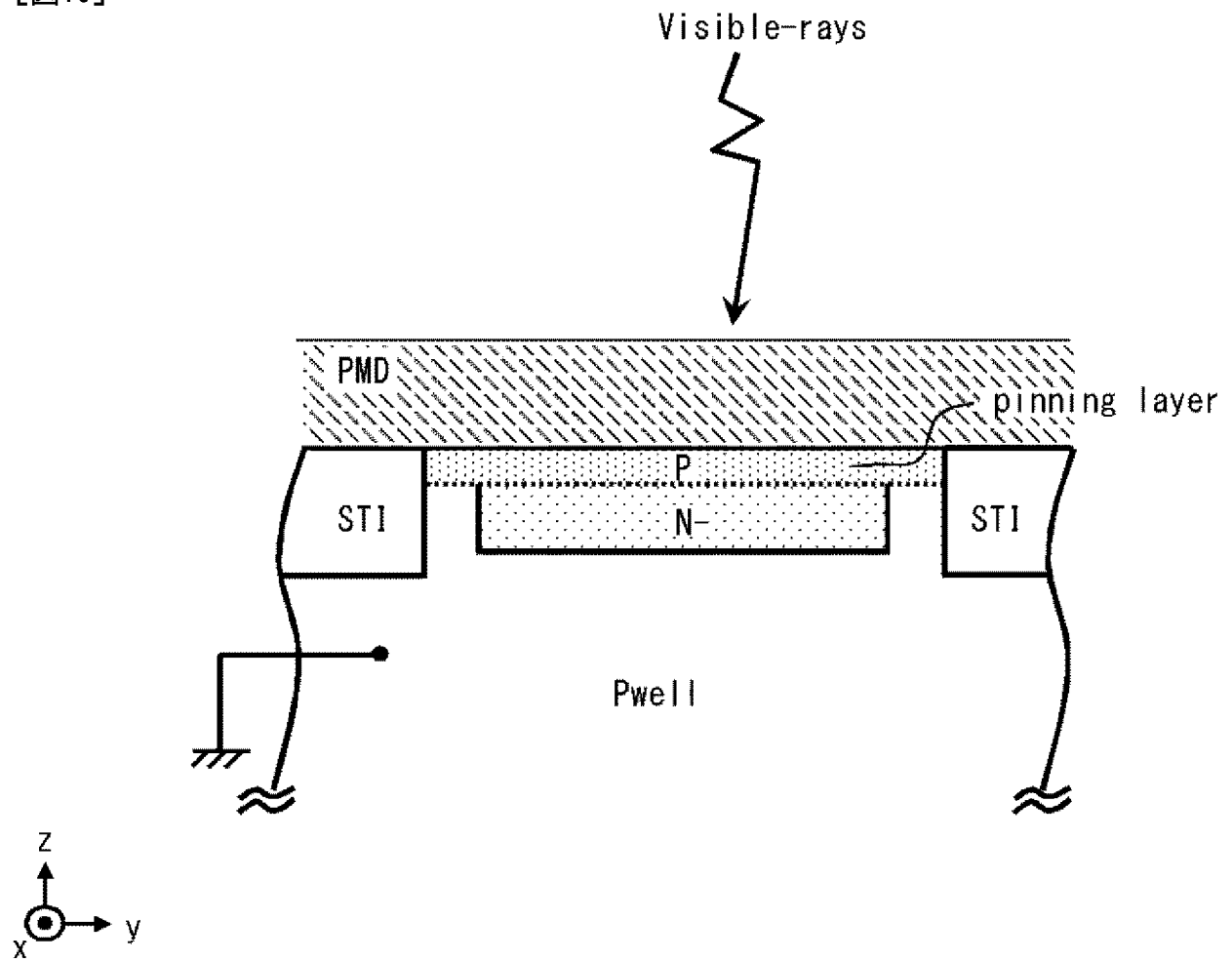
2

[図9]

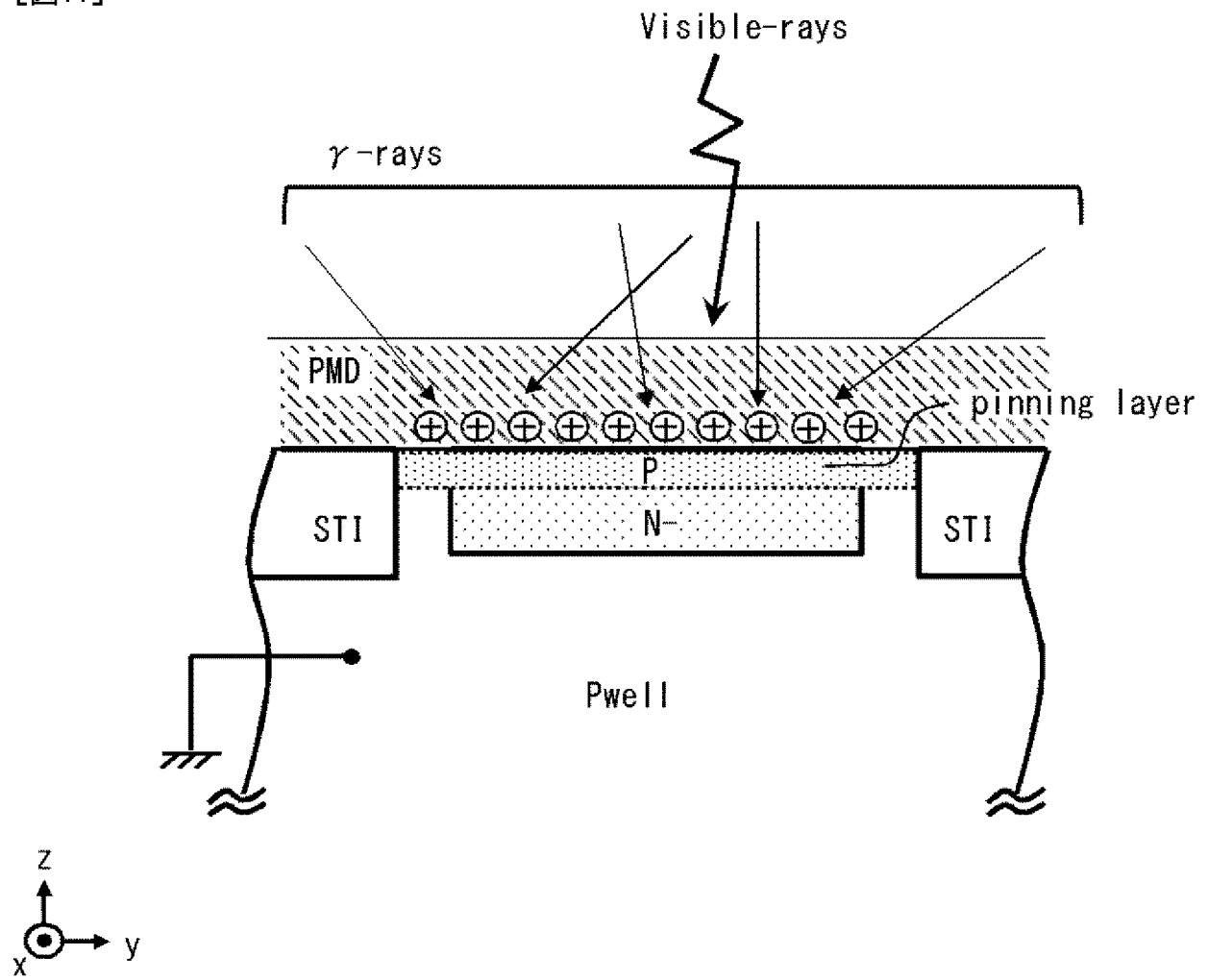
2



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/039594

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L27/146 (2006.01) i, H01L31/10 (2006.01) i, H04N5/369 (2011.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L27/146, H01L31/10, H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2012/117931 A1 (SONY CORP.) 07 September 2012,	1, 3, 4, 14
Y	paragraphs [0025]-[0098], fig. 15 & US	5-12
A	2014/0054662 A1, paragraphs [0056]-[0140], fig. 15	2, 13
	& CN 103403869 A & KR 10-2014-0015326 A	
Y	WO 2017/018258 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 02 February 2017, paragraphs [0035]-[0053], fig. 2, 3 & CN 107924923 A	5-12
A	JP 2013-012556 A (SONY CORP.) 17 January 2013, paragraphs [0033]-[0057], fig. 3 & US 2013/0001730 A1, paragraphs [0058]-[0088], fig. 3 & CN 102856333 A	1-14

☐

Further documents are listed in the continuation of Box C.

☐

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
14.12.2018

Date of mailing of the international search report
25.12.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L27/146(2006.01)i, H01L31/10(2006.01)i, H04N5/369(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L27/146, H01L31/10, H04N5/369

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	WO 2012/117931 A1（ソニー株式会社）2012.09.07, [0025]-[0098], 図 15 & US 2014/0054662 A1, [0056]-[0140], FIG. 15 & CN 103403869 A & KR 10-2014-0015326 A	1, 3, 4, 14 5-12 2, 13
Y	WO 2017/018258 A1（ソニーセミコンダクタソリューションズ株式会 社）2017.02.02, [0035]-[0053], 図 2, 3 & CN 107924923 A	5-12

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

14.12.2018

国際調査報告の発送日

25.12.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

加藤 俊哉

5 F

9554

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2013-012556 A (ソニー株式会社) 2013. 01. 17, [0033]-[0057], 図 3 & US 2013/0001730 A1, [0058]-[0088], FIG. 3 & CN 102856333 A	1-14