

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4732009号
(P4732009)

(45) 発行日 平成23年7月27日(2011.7.27)

(24) 登録日 平成23年4月28日(2011.4.28)

(51) Int.Cl. F I
H05K 3/22 (2006.01) H05K 3/22 C

請求項の数 3 (全 7 頁)

(21) 出願番号	特願2005-161338 (P2005-161338)	(73) 特許権者	597079681
(22) 出願日	平成17年6月1日(2005.6.1)		株式会社 大昌電子
(65) 公開番号	特開2006-339351 (P2006-339351A)		東京都大田区田園調布2丁目16番5号
(43) 公開日	平成18年12月14日(2006.12.14)	(74) 代理人	100064908
審査請求日	平成20年4月30日(2008.4.30)		弁理士 志賀 正武
		(74) 代理人	100108578
			弁理士 高橋 詔男
		(74) 代理人	100101465
			弁理士 青山 正和
		(72) 発明者	小山 充
			栃木県今市市土沢1383番地 株式会社
			大昌電子 栃木工場内
		(72) 発明者	今村 英治
			栃木県今市市土沢1383番地 株式会社
			大昌電子 栃木工場内

最終頁に続く

(54) 【発明の名称】 プリント配線板

(57) 【特許請求の範囲】

【請求項1】

絶縁基板と、
 該絶縁基板の一方の面に形成された導体層と、
 該導体層の上における一部の領域に形成された端子層と、
 該導体層の上における他の領域に、前記端子層より厚い厚みで形成されたレジスト層とを備えてなり、

前記絶縁基板の、前記導体層が形成された面に対し反対側の面における、前記端子層が形成された領域と前記レジスト層が形成された領域との境界面に対応する位置に、ICチップが搭載されて使用されるプリント配線板であって、

前記導体層は、前記レジスト層の高さを前記端子層の高さに近づけるかもしくは一致させるように、前記レジスト層が形成される領域を、前記端子層が形成される領域に対して薄肉に形成してなることを特徴とするプリント配線板。

【請求項2】

前記レジスト層の表面と前記端子層の表面とが、略面一となるように構成されたことを特徴とする請求項1に記載のプリント配線板。

【請求項3】

前記導体層は、前記薄肉の領域が、ハーフエッチング処理により形成されていることを特徴とする請求項1または請求項2に記載のプリント配線板。

【発明の詳細な説明】

10

20

【技術分野】

【0001】

本発明は、絶縁基板の上に導体層を形成してなるプリント配線板に関する。

【背景技術】

【0002】

プリント配線板は、生産性の向上、量産品質の確保、信頼性の向上等を目的として、テレビ等の量産機器からロケット等の高い信頼性を要求される機器まで、あらゆる電子機器に使用されている。近年、電子機器の小型化が進み、それに伴いプリント配線板の高精度化及び高密度化が要求されている。

【0003】

この種のプリント配線板としては、例えば、パッケージ基板に、上下面を電氣的に接続するためのNC穴を、配線によりICとの電氣的接続に使われるボンディングパターンに接続して、ボンディングパターンを開口するとともにNC穴を被覆しているソルダレジストを形成してなる構成のものが開示されている（特許文献1参照）。

【特許文献1】特開2002-232103号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、従来の技術においては、基板上に形成される外部電極（端子部）とソルダレジストとの高さに差があり、その結果、両者の境界部分に応力が集中しやすいという問題がある。

これについて、図8を用いて説明する。図8は従来におけるプリント配線板の断面図である。同図には、絶縁基板2の一方の面に銅箔よりなる導体層22を形成して、この導体層22の上にソルダレジスト24や金メッキ23を形成してなる従来のプリント配線板20を示している。同図に示すように、プリント配線板20の高さは、ソルダレジスト24や金メッキ23に要求される必要厚さの関係上、ソルダレジスト24を形成した領域の方が金メッキ23を形成した領域よりも高くなってしまふ。その結果、それぞれの領域の境界面に生じる段差部21に応力が集中しやすくなってしまい、この段差部21での劣化が絶縁基板20に発生しやすくなるため、絶縁基板2に搭載される部品（ICチップやコンデンサ等）に悪影響を及ぼす虞がある。特に、ICチップ11が絶縁基板2の裏面に搭載される場合には、ICチップ11を絶縁基板2に装着する際に、ICチップ11に応力がかかり破損することがあり問題となっている。

【0005】

これに対して、金メッキ23の厚さを増大させることにより、ソルダレジスト24との高さバラツキを抑制する手法が考えられるが、金メッキの厚さ制御が困難であり、メッキの形成に必要な時間が大幅に増大してしまうため、現実的ではない。

このように、絶縁基板の小型化、薄板化という要望を満たしつつ、絶縁基板に搭載される部品の破損を防止する技術が要望されている。

【0006】

従って、本発明は、上記事情に鑑みてなされたものであり、その目的は、小型化、薄板化の要請を満たしつつ、絶縁基板に搭載されるICチップの破損を防止することができるプリント配線板を提供することにある。

【課題を解決するための手段】

【0007】

上記課題を解決するために、本発明の請求項1に係るプリント配線板は、絶縁基板と、該絶縁基板の一方の面に形成された導体層と、該導体層の上における一部の領域に形成された端子層と、該導体層の上における他の領域に、前記端子層より厚い厚みで形成されたレジスト層とを備えてなり、前記絶縁基板の、前記導体層が形成された面に対し反対側の面における、前記端子層が形成された領域と前記レジスト層が形成された領域との境界面に対応する位置に、ICチップが搭載されて使用されるプリント配線板であって、前記導

10

20

30

40

50

体層は、前記レジスト層の高さを前記端子層の高さに近づけるかもしくは一致させるように、前記レジスト層が形成される領域を、前記端子層が形成される領域に対して薄肉に形成してなることを特徴とする。

【0008】

請求項1に係る発明によれば、基本的には、ＩＣチップが搭載されて使用されるプリント配線板について、レジスト層の高さを端子層の高さに近づけるかもしくは一致させるように、導体層における薄肉に形成した部位の上に、端子層に対し相対的に厚い前記レジスト層を形成し、前記導体層における厚肉に形成した部位の上に前記端子層を形成して、レジスト層の高さを前記端子層の高さに近づけるかもしくは一致させるようにしているため、前記レジスト層および前記導体層のそれぞれについて信頼性を確保できる必要厚さを維持しつつ、前記レジスト層表面の高さを、端子層表面の高さに近づけ（場合によっては一致させ）て、それぞれの部位の境界面における段差を低減する（場合によっては無くす）ことができるので、前記境界面に応力が集中することを抑制することができ、小型化、薄板化した絶縁基板に搭載されるＩＣチップの破損を防止することができる。

10

【0009】

本発明の請求項2に係るプリント配線板は、請求項1に記載のものであって、前記レジスト層の表面と前記端子層の表面とが、略面一となるように構成されたことを特徴とする

。この請求項2の発明によれば、レジスト層の表面と端子層の表面とが、略面一となるため、それぞれの部位の境界面における段差を無くして、その境界面に応力が集中することを、より確実に抑制することができる。

20

【0010】

本発明の請求項3に係るプリント配線板は、請求項1または請求項2に記載のものであって、前記導体層は、前記薄肉の領域が、ハーフエッチング処理により形成されていることを特徴とする。

この請求項3の発明によれば、前記レジスト層が形成される領域の厚さを、ハーフエッチング処理により精度良く調整することができ、製造歩留まりを向上することができる。

【発明の効果】

【0011】

本発明の請求項1に係る発明によれば、小型化、薄板化の要請を満たしつつ、絶縁基板に搭載されるＩＣチップの破損を防止することができる。

30

本発明の請求項2に係る発明によれば、絶縁基板に搭載されるＩＣチップの破損を、より確実に防止することができる。

本発明の請求項3に係る発明によれば、前記レジスト層が形成される領域の厚さを精度良く調整することができ、製造歩留まりを向上することができる。

【発明を実施するための最良の形態】

【0012】

以下、本発明を実施するための最良の形態について、図1～図7を参照して説明する。

まず、プリント配線板の一実施例について、図7を参照しながら説明する。

このプリント配線板1において、絶縁基板2の表面には、銅箔の厚肉部6と、銅箔の薄肉部5とが形成されている。銅箔のそれぞれの部位5、6の表面およびスルーホール7の内壁面には、銅メッキ8が形成されている。厚肉部5、薄肉部6および銅メッキ8により導体層が構成されている。

40

【0013】

この導体層のうち、高さ方向に一段高く形成されている部位には、外部機器と電氣的に接続される端子層を構成する金メッキ10が形成されている。一方、前記導体層のうち、高さ方向に一段低く形成されている部位（薄肉部5に対応する部位）およびスルーホール7の内周部には、ソルダレジスト9が形成されている。ここで、ソルダレジスト9は、端子層を構成する金メッキ10よりも大きい厚みを有しているが、導体層の薄肉部5に対応する部位に形成されるため、結果として、絶縁基板2上におけるソルダレジスト9表面と

50

、端子層である金メッキ10表面とは、略面一となるように形成されることとなる。

【0014】

このように、導体層における薄肉に形成した部位5、8の上にソルダレジスト9が形成され、前記導体層における厚肉に形成した部位6、8の上に端子層として金メッキ10が形成される。ゆえに、ソルダレジスト9および端子層(金メッキ10)のそれぞれについて信頼性を確保できる必要厚さを維持しつつ、絶縁基板2上におけるソルダレジスト9が形成される領域の高さを、端子層(金メッキ10)が形成される領域の高さに略一致させることができる。これにより、ソルダレジスト9が形成される領域(ソルダレジスト形成領域)と、金メッキ10が形成される領域(端子層形成領域)との、それぞれの部位の境界面における段差をほぼ無くすることができる。従って、絶縁基板2上の境界面に応力が集中することを抑制することができるので、小型化、薄板化した絶縁基板2の裏面、特に端子層(金メッキ10)が形成された領域と前記レジスト層が形成された領域との境界面に対応する位置にICチップ11を搭載する際におけるICチップ11の応力破損を防止出来る。

10

【0015】

次に、このプリント配線板1の製造方法の一実施例について、図1～図7を参照しながら説明する。

まず、絶縁基板2の表面に導体パターンを形成するための銅箔3が貼着されてなる銅張り積層板を用意する(図1)。そして、端子層形成領域における銅箔3に、マスク(エッチングレジスト)4をラミネート(積層)する(図2)。このマスク4は、感光性レジストを銅箔3の全面に塗布し、フォトマスクを用いてソルダレジスト形成領域の部位を紫外線露光、更に、現像を行うことで、形成することが好適である。

20

【0016】

ついで、ソルダレジスト形成領域における銅箔3に、ハーフエッチング処理を行う(図3)。このハーフエッチング処理により、ソルダレジスト形成領域における銅箔3が、厚さ方向途中まで(略半分の厚さ)まで薄肉化される。この薄肉化された部位が薄肉部5となり、薄肉化されずに肉厚を維持される部位が厚肉部6となる。このハーフエッチング処理は、例えば硫酸と過酸化水素水の混合溶液を用いたエッチング液により行うことが好適である。なお、レーザートリミング、イオンミリング、サンドブラスト、プラズマエッチング等の物理的エッチングを用いてもよい。

30

【0017】

次に、その一方の面から他方の面にかけて、絶縁基板2における表裏両面に形成される導体回路を適所で層間接続させるためのスルーホール7を形成する(図4)。

そして、アセトン等の有機溶媒でマスク4を除去した後、製面及びデスマリアを行い、無電解銅めっきの付着性を向上させるための触媒、例えばパラジウム(Pd)を銅箔5、6の表面及びスルーホール7の内壁に吸着させて、銅メッキ8を形成する(図5)。

【0018】

次に、高さが一段低く形成されている銅メッキ8の上(ソルダレジスト形成領域)にソルダレジスト9を形成する(図6)。そして、高さが一段高く形成されている銅メッキ8の上(端子層形成領域)に、金の無電解メッキ処理或いは電気メッキ処理を行い、銅メッキ8上に、端子層として金メッキ10を形成する(図7)。

40

【0019】

なお、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々の設計変更が可能である。

例えば、実施の形態では、スルーホール7の内周部をソルダレジストにより穴埋めした場合について説明したが、導体パターンを給電部として電解銅メッキを行って銅メッキにより穴埋めしてもよい。また、実施の形態では、ソルダレジストと金メッキの表面がほぼ面一となるように形成しているが、若干高さのずれが生じるように構成してもよい。この場合にであっても、従来に比して応力集中を低減できているので、絶縁基板2に搭載されるICチップ11の破損を防止することができ、製造歩留まりを高めることができる。

50

【図面の簡単な説明】

【0020】

【図1】本発明の一実施例によるプリント配線板を構成する銅張積層板を示す断面図である。

【図2】図1に示す銅張り積層板にマスクを形成した状態を示す断面図である。

【図3】図2に続いて、マスクから露出する銅箔をエッチングを施した状態を示す断面図である。

【図4】図3に続いて、スルーホールを形成した状態を示す断面図である。

【図5】図4に続いて、マスクを除去した後に、スルーホールの内壁とエッチングされた銅箔部分に無電解めっきを施した状態を示す断面図である。

10

【図6】図5に続いて、エッチングを施した銅箔上の銅メッキおよびスルーホールにソルダレジストを形成した状態を示す断面図である。

【図7】図6に続いて、エッチングを施していない銅箔上の銅メッキに金メッキを形成した状態を示す断面図である。

【図8】従来におけるプリント配線板の断面図である。

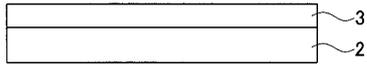
【符号の説明】

【0021】

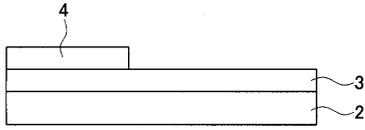
- 1 ... プリント配線板
- 2 ... 絶縁基板
- 3 ... 銅箔
- 5 ... 薄肉部（導体層）
- 6 ... 厚肉部（導体層）
- 8 ... 銅メッキ（導体層）
- 9 ... ソルダレジスト（レジスト層）
- 10 ... 金メッキ（端子層）
- 11 ... ICチップ

20

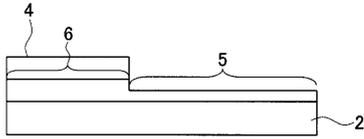
【図 1】



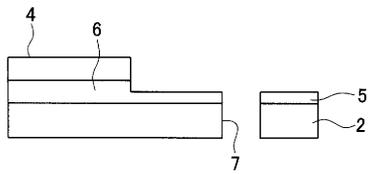
【図 2】



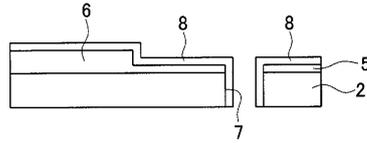
【図 3】



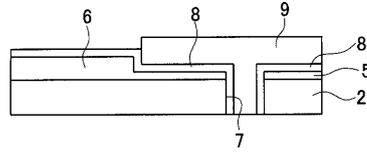
【図 4】



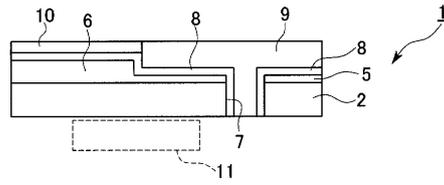
【図 5】



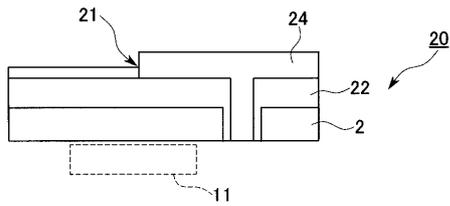
【図 6】



【図 7】



【図 8】



フロントページの続き

審査官 奥村 一正

(56)参考文献 特開平11-126795(JP,A)
特開平06-268355(JP,A)

(58)調査した分野(Int.Cl., DB名)
H05K 3/22