

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2010 年 9 月 30 日(30.09.2010)

PCT

(10) 国際公開番号  
WO 2010/109712 A1

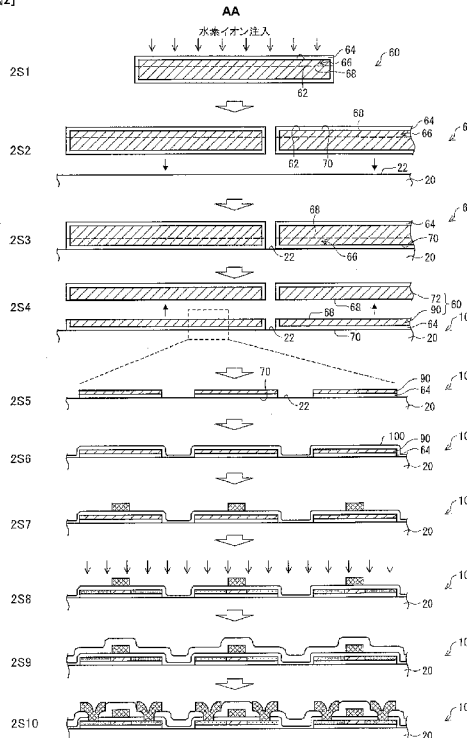
- (51) 国際特許分類:  
H01L 21/02 (2006.01) H01L 27/12 (2006.01)  
H01L 21/336 (2006.01) H01L 29/786 (2006.01)
- (21) 国際出願番号: PCT/JP2009/068342
- (22) 国際出願日: 2009 年 10 月 26 日(26.10.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2009-074752 2009 年 3 月 25 日(25.03.2009) JP
- (71) 出願人 (米国を除く全ての指定国について):  
シャープ株式会社(SHARP KABUSHIKI KAISHA)  
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町  
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 富安 一秀  
(TOMIYASU, Kazuhide). ▲高▼藤 裕(TAKAFU-  
JI, Yutaka). 福島 康守(FUKUSHIMA, Yasumori).
- 中川 和男(NAKAGAWA, Kazuo). 多田 憲史  
(TADA, Kenshi). 竹井 美智子(TAKEI, Michiko).  
松本 晋(MATSUMOTO, Shin).
- (74) 代理人: 特許業務法人原謙三国際特許事務所  
(HARAKENZO WORLD PATENT & TRADE-  
MARK); 〒5300041 大阪府大阪市北区天神橋 2  
丁目北 2 番 6 号 大和南森町ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保  
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,  
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,  
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,  
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,  
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,  
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,  
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH,  
PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST,  
SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,  
VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保  
護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ,

[続葉有]

(54) Title: INSULATING SUBSTRATE FOR SEMICONDUCTOR DEVICE, AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置用の絶縁基板、及び、半導体装置

[図2]



AA HYDROGEN ION IMPLANTATION

(57) Abstract: Disclosed is a glass substrate (20) which is provided with a single crystal silicon thin film (90) on the surface by transfer and is thus capable of forming a semiconductor device (10). The surface of the glass substrate (20) is provided with a transfer-receiving surface (22) on which the single crystal silicon thin film (90) can be formed, and the height of waves with a period of 200-500 microns in the transfer-receiving surface (22) is not more than 0.40 nm.

(57) 要約: 表面に単結晶シリコン薄膜 (90) が転写により設けられることで半導体装置 (10) を構成することが可能なガラス基板 (20) であって、表面には、単結晶シリコン薄膜 (90) を設けることが可能な被転写面 (22) が設けられており、被転写面 (22) の、二百ミクロン～五百ミクロンの周期のうねりの高さが、0.40 nm 以下である。

WO 2010/109712 A1



NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア  
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ  
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,  
GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,  
NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,

CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,  
TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

## 明 細 書

**発明の名称：**半導体装置用の絶縁基板、及び、半導体装置

### 技術分野

[0001] 本発明は、主に絶縁基板上に半導体層が設けられた半導体装置の絶縁基板、及び、上記半導体装置に関するものである。詳しくは、シリコンの単結晶片、半導体片、及び、半導体デバイス等を、ガラス基板等の基板に転写することで、基板上にシリコン単結晶膜等が形成された半導体装置、及び、それに用いられる絶縁基板に関するものである。

### 背景技術

[0002] 従来、単結晶シリコン基板を加工して、上記基板上に数億個程度のトランジスタを形成する集積回路素子技術や、ガラス基板などの光透過性非晶質材料の上にシリコン膜などの多結晶体半導体膜を形成した後、トランジスタに加工して、液晶ディスプレイ装置の絵素やスイッチング素子やドライバ等を製造する薄膜トランジスタ技術（TFT：Thin Film Transistor）が提案され、液晶ディスプレイの普及などと共に、大いなる発展をとげてきた。

[0003] （集積回路素子技術）

上記技術のうち、集積回路素子技術は、例えば、市販されている厚さ1mm足らず、直径200mm程度の単結晶シリコンウエハを加工して、このシリコンウエハ上に多数のトランジスタを形成するという技術である。

[0004] （薄膜トランジスタ技術）

また、上記薄膜トランジスタ技術は、これがTFTー液晶ディスプレイ装置に用いられた場合に、例えば、光透過性（非晶質高歪点）無アルカリガラス基板上に形成された非晶質シリコン膜あるいはこれをレーザーなどの熱で熔融・多結晶化し、それを加工して、そのスイッチング素子であるMOS（Metal Oxide Semiconductor）型トランジスタを形成するという技術である。

[0005] (半導体装置)

また、絶縁体上にシリコン膜、特に単結晶シリコン薄膜を転写法で形成する技術が提案されている。この転写法によって形成された半導体装置は、SOI (Silicon on Insulator) 基板と呼ばれる場合がある。

[0006] (集積回路における半導体装置)

上記半導体装置は、集積回路の分野において、トランジスタなどの半導体素子の機能を向上させることを目的として用いられる。

[0007] すなわち、上記半導体装置を用いてトランジスタを作製することで、素子の完全分離が容易になる。そのため、動作上の制約が少なくなり、良好なトランジスタ特性と高い性能とを実現することができる。

[0008] ここで、この集積回路の分野に用いられる基板は、絶縁体又は絶縁膜であればよく、それが透明であるか否か、結晶質であるか否かは問われない。

[0009] (表示装置における半導体装置)

これに対し、TFT-液晶ディスプレイ (LCD: Liquid Crystal Display) 装置やTFT-有機エレクトロ・ルミネッセンス (OLED: Organic Light Emitting Diode) 表示装置等ではその構造により基板は透明であることが必要であり、典型的にはガラス基板などの非晶質の基板が用いられる。

[0010] そして、上記基板の上に、アモルファスシリコン膜やポリシリコン膜が形成された後に、それに基づいて上記TFTが形成される。このTFTは、上記ディスプレイ装置をいわゆるアクティブマトリクス駆動するためのスイッチング素子等として用いられる。

[0011] さらに、上記アクティブマトリクス駆動に用いられる周辺ドライバ、タイミングコントローラ等を基板上に集積化するために、より高性能なシリコン膜形成基板に関する研究がなされてきた。

[0012] (ポリシリコン膜)

すなわち、従来、シリコン膜としてポリシリコン膜を用いた場合、結晶性

の不完全性に起因するギャップ内の局在準位や、結晶粒界付近の欠陥に伴うギャップ内局在準位が存在しやすかった。そして、このような局在準位の存在は、移動度の低下や、サブスレッショルド係数（S係数）の増大等の原因となり、トランジスタの性能を低下させていた。

[0013] また、ポリシリコン膜においてシリコン膜の結晶性が不完全であれば、上記薄膜トランジスタにおいて、シリコン膜－ゲート絶縁膜界面に局在準位や固定電荷が形成されやすかった。そして、このような固定電荷の形成は、薄膜トランジスタの閾値電圧制御を困難にしたり、望む閾値電圧値の実現を困難にしたりしていた。

[0014] また、特に大型ガラス基板上のポリシリコン膜では、形成されるトランジスタ等のデバイスの微細化が困難であり、その結果、デバイスの高性能化や高速化が困難となっていた。

[0015] また、非晶質シリコン膜にレーザー光を照射して加熱することによって得られたポリシリコン膜では、形成されたトランジスタの移動度や閾値電圧に大きなばらつきが生じていた。これは、多結晶Siの結晶粒界の存在及び上記レーザー光の照射の際、照射エネルギーの揺らぎのため、得られたポリシリコン膜の粒径が不均一になるためである。

[0016] （単結晶）

そこで、ポリシリコン膜を用いた際の上記問題を改善するために、単結晶シリコンを用いたデバイスについての検討が行われている。

[0017] （特許文献1）

そして、上記単結晶シリコンを用いたデバイスの一例としては、下記特許文献1に記載の技術がある。

[0018] すなわち、下記特許文献1には、半導体装置用の絶縁基板としてのガラス基板に形成されたコーティング膜上に単結晶シリコン薄膜が設けられた半導体装置であって、上記単結晶シリコン薄膜が、単結晶シリコン基板に水素イオンを注入することで層分離されたものについて記載されている。

**先行技術文献**

## 特許文献

[0019] 特許文献1：日本国公開特許公報「特開2004-134675号公報（2004年4月30日公開）」

特許文献2：米国特許明細書「米国特許第7176528号明細書（2007年2月13日特許）」

特許文献3：日本国公表特許公報「特表2006-518116号公報（2006年8月3日公表）」

## 発明の概要

### 発明が解決しようとする課題

[0020] （気泡）

しかしながら、上記従来の半導体装置では、ガラス基板と単結晶シリコン薄膜との間に気泡が発生する場合がある。

[0021] ここで、上記ガラス基板と単結晶シリコン薄膜との間の気泡とは、ガラス基板と単結晶シリコン薄膜との間に生じる微小な気泡を意味し、上記部分では、単結晶シリコン薄膜はガラス基板から浮いた状態であり、単結晶シリコン薄膜とガラス基板とは接していない。以下、説明する。

[0022] （半導体装置の構造）

まず、半導体装置の一般的な構造、及び、製造方法について、図9の（a）～（e）に基づいて説明する。ここで、図9の（a）～（e）は、半導体装置の製造工程の概略を示す断面図である。

[0023] 半導体装置の概略構成を示す断面図である図9の（e）に示すように、半導体装置10は、ガラス基板20などの半導体装置用の絶縁基板に単結晶シリコン薄膜90が設けられたものである。

[0024] （半導体装置の製法）

そして、上記半導体装置10は、以下のように製造される。

[0025] すなわち、まずガラス基板20などの半導体装置用の絶縁基板と、単結晶シリコン基板60とを準備する（図9の（a）及び（b）参照）。なお、上記単結晶シリコン基板60の表面には、二酸化珪素（ $\text{SiO}_2$ ）膜61が設け

られている。

[0026] (イオン注入)

そして、図9の(c)に示すように、上記単結晶シリコン基板60に対して分離物質を注入する。具体的には、単結晶シリコン基板60の1方の面である水素イオン注入側表面62から、分離物質としての水素イオンを、上記水素イオン注入側表面62のほぼ全面から注入する(図9の(c)に示す矢印参照)。

[0027] 上記水素イオンの注入の後、注入された上記水素イオンは、上記水素イオン注入側表面62から単結晶シリコン基板60内部の所定の深さまで達し、その部分にとどまることで、分布のピークを有する水素イオン注入領域66を形成する。

[0028] そして、注入された水素イオンは、単結晶シリコン基板60の深さ方向において濃度分布に関するプロファイルを形成し、上記濃度のピーク位置近傍領域が、後に説明する分離界面68となる。

[0029] (貼り合わせ)

つぎに、図9の(d)に示すように、図9の(a)に示した上記ガラス基板20と、図9の(c)に示した単結晶シリコン基板60とを貼り合わせる。その際、上記単結晶シリコン基板60における上記水素イオン注入側表面62が上記ガラス基板20に接するように貼り合わせる。すなわち、上記単結晶シリコン基板60の上記水素イオン注入側表面62が、ガラス基板20への転写面70となり、ガラス基板20の被転写面22に転写される。

[0030] (劈開分離)

つぎに、単結晶シリコン基板60を劈開分離して、上記ガラス基板20に単結晶シリコン薄膜90を形成する。

[0031] 具体的には、例えば600度で、上記単結晶シリコン基板60が貼り合わされた上記ガラス基板20を加熱する。これにより、図9の(e)に示すように、単結晶シリコン基板60が上記分離界面68を界面として、単結晶シリコン基板本体72と単結晶シリコン薄膜90とに劈開分離する。そして、

単結晶シリコン薄膜 90 が設けられた上記ガラス基板 20 である半導体装置 10 の一部が形成される。

[0032] (デバイス転写)

なお、上記の説明においては、単結晶シリコン基板 60 を上記ガラス基板 20 に貼り合わせることで、上記ガラス基板 20 上に単結晶シリコン薄膜 90 が設けられた半導体装置 10 を得ることについて説明したが、単結晶シリコン基板 60 のかわりに、あらかじめデバイス等が形成された半導体基板を貼り合わせることも、同様の工程で可能である。

[0033] (気泡)

上述のような方法で形成された半導体装置 10 においては、例えば上記単結晶シリコン薄膜 90 と上記ガラス基板 20 との界面 92 に気泡 94 が発生するという問題点がある。

[0034] すなわち、半導体装置 10 の断面図である図 10 に示すように、上記気泡 94 は、上記単結晶シリコン薄膜 90 と上記ガラス基板 20 との界面 92 に発生する。そして、上記部分では、上記ガラス基板 20 に転写された単結晶シリコン薄膜 90 は、上記ガラス基板 20 から浮き上がっている。

[0035] (気泡の発生原因)

上記気泡 94 の発生の要因は多岐にわたると考えられる。

[0036] 多くの場合、上記ガラス基板 20 に貼り合わされた上記単結晶シリコン基板 60 を、上記分離界面 68 を界面として劈開分離させる際の加熱工程で発生する。

[0037] すなわち、上記単結晶シリコン基板や、デバイス等が形成された半導体基板を光透過基板に貼り合わせた後、水素イオン注入領域 66 の分離界面 68 に沿って分離させるための加熱工程で、上記気泡 94 が発生しやすいと考えられる。また、上記気泡 94 は、転写の界面 92 における結合エネルギーの弱い領域に、単結晶シリコン基板や単結晶シリコン薄膜などに含まれる水素や、水などが集まって形成される場合が多いと考えられる。

[0038] そして、上記転写の界面 92 に気泡 94 が発生した半導体装置 10 は、本

来の半導体装置 10 として、使用することができず、半導体装置 10 の製造における歩留り低下の要因となっていた。

[0039] (特許文献 2、3)

また、特許文献 2 及び特許文献 3 には、SOI (Silicon On Insulator: 絶縁体上の半導体) 構造の形成方法として、半導体層に酸素濃度の増加した部分や陽イオンが減少した部分を設け、電圧や温度を加えて SOI 構造を形成する方法が記載されている。

[0040] しかし、上記の方法には、半導体層の構造が複雑であったり、また、電圧や温度を加えることが必要であったりするため、製造工程が煩雑になるなどの問題点がある。

[0041] そこで本発明は、上記課題を解決するためになされたものであり、その目的は、絶縁基板とシリコン薄膜との接合性がよく、また、絶縁基板とシリコン薄膜との接合界面に気泡が発生しにくい、半導体装置用の絶縁基板、及び、半導体装置を提供することにある。

### 課題を解決するための手段

[0042] 本発明の半導体装置用の絶縁基板は、上記課題を解決するために、表面にシリコン膜が転写により設けられることで半導体装置を構成することが可能な、絶縁材料からなる半導体装置用の絶縁基板であって、上記表面には、上記シリコン膜を設けることが可能な被転写面が設けられており、上記被転写面の、二百ミクロン～五百ミクロンの周期のうねりの高さが、0.40 nm 以下であることを特徴とする。

[0043] また、本発明の半導体装置用の絶縁基板は、上記うねりの高さが 0.35 nm 以下であることを特徴とする。

[0044] 上記の構成によれば、絶縁基板の二百ミクロン～五百ミクロンの周期のうねりの高さ、すなわちミドルレンジラフネスが 0.40 nm 以下、より好ましくは、0.35 nm 以下である。

[0045] そのため、上記ミドルレンジラフネスが 0.40 nm を超える場合に発生しやすい気泡の発生が抑制される。

[0046] これは、上記ミドルレンジラフネスが0.40nm以下、より好ましくは0.35nm以下である場合には、ガラス基板などの絶縁基板に対して、シリコン膜の自発接合が発現しやすいためである。そして、絶縁基板とシリコン膜との自発接合が発現しやすいため、絶縁基板とシリコン膜との接合界面に気泡が発生しにくい。

[0047] よって、上記の構成によれば、絶縁基板とシリコン膜との接合性がよく、また、絶縁基板とシリコン膜との接合エネルギーが大きく接合界面に気泡が発生しにくい半導体装置用の絶縁基板を提供することができる。

### 発明の効果

[0048] 本発明の半導体装置用の絶縁基板は、以上のように、表面には、シリコン膜を設けることが可能な被転写面が設けられており、被転写面の、二百ミクロン～五百ミクロンの周期のうねりの高さが、0.40nm以下である。

[0049] それゆえ、絶縁基板とシリコン薄膜との接合性がよく、また、絶縁基板とシリコン薄膜との接合界面に気泡が発生しにくい、半導体装置用の絶縁基板を提供することができるという効果を奏する。

### 図面の簡単な説明

[0050] [図1]本発明の実施の形態を示すものであり、半導体装置の製造方法の概略を示す図である。

[図2]本発明の実施の形態を示すものであり、半導体装置の製造方法の概略を示す図である。

[図3]ガラス基板のマイクロラフネスと、接合性及び接合エネルギーとの関係を示す図である。

[図4]ガラス基板のミドルレンジラフネスと、接合性及び接合エネルギーとの関係を示す図である。

[図5]ガラス基板のラフネスを模式的に示す図である。

[図6]ガラス基板のラフネスを模式的に示す図である。

[図7]本発明の他の実施の形態を示すものであり、半導体装置の概略構成を示す図である。

[図8]本発明の他の実施の形態を示すものであり、半導体装置の製造工程を示す、半導体装置の断面図である。

[図9]半導体装置の製造工程を示す、半導体装置の断面図である。

[図10]半導体装置における気泡の発生を示す、半導体装置の断面図である。

### 発明を実施するための形態

[0051] 以下、本発明の実施の形態について説明する。

[0052] 〔実施の形態１〕

まず、本実施の形態の半導体装置１０、及び、半導体装置１０の製造方法の概略について図１に基づいて説明する。

[0053] 図１は、本実施の形態の半導体装置１０に関する製造方法の概略を示す図である。

[0054] （単結晶シリコン基板）

まず、あらかじめ表面を酸化すること、又は、CVD（Chemical Vapor Deposition）等で二酸化珪素（ $\text{SiO}_2$ ）膜を表面に積層することで、二酸化珪素膜が形成された単結晶シリコン基板６０を用意する。

[0055] そして、図１のステップ１（１Ｓ１）に示すように、上記単結晶シリコン基板６０に、所定の濃度の水素イオン（ $\text{H}^+$ ）を、所定のエネルギーで注入する。

[0056] その後、図１のステップ２（１Ｓ２）に示すように、上記単結晶シリコン基板６０を所定の形状に分断する。

[0057] （ガラス基板）

他方、絶縁基板としてガラス基板２０を用意する。その際、ガラス基板２０の、数百ミクロンのスパンでラフネス（ミドルレンジラスネス）の値を０．１～０．３３nmとする。そして、上記ガラス基板２０の表面を活性化処理しておく。

[0058] ここで、上記ガラス基板２０には、例えばコーニング社のアルカリ土類－アルミノ硼珪酸ガラスである＃（code）１７３７（商品名）を直接用い

ることができる。

[0059] また、ガラス基板 20 の他の例としては、表面の全面にプラズマ CVD で薄い二酸化珪素膜を堆積するとともに、厚さが、例えば 50 ~ 100 nm の非晶質シリコン (Si) 膜を堆積したガラス基板 20 を用いることもできる。その際、所定の領域の上記二酸化珪素膜と上記非晶質シリコン膜を除去しておく。

[0060] また、上記非晶質シリコン膜はレーザー照射、又は、固相成長等で結晶化しておくこともできる。

[0061] (SC1 溶液)

そして、上記ガラス基板 20 の表面を洗浄するとともに、表面を活性化させる目的で、上記ガラス基板 20 に SC1 溶液を浴びせたり (SC1 溶液シャワー)、上記ガラス基板 20 を SC1 溶液に浸漬したりすることができる。

[0062] ここで上記 SC1 溶液は、市販のアンモニア水 ( $\text{NH}_4\text{OH}$ : 30%) と、過酸化水素水 ( $\text{H}_2\text{O}_2$ : 30%) と純水 ( $\text{H}_2\text{O}$ ) とを混合して作製する。一例としては、上記薬液を、5 : 12 : 60 の割合で混合したものが用いられる。

[0063] (酸化珪素膜)

なお、上記の通り、ガラス基板 20 の表面には薄い二酸化珪素膜を堆積しても良い。そして、この二酸化珪素膜の堆積は、TEOS (Tetraethyl Orthosilicate) 酸素混合ガスを用いてプラズマ CVD で堆積することが好ましい。

[0064] 二酸化珪素膜を堆積することで、SC1 溶液で処理することによるガラス基板 20 の表面の荒れは小さくなる。

[0065] しかし、一方で、CVD で二酸化珪素膜を堆積することで、ガラス基板 20 の表面の平坦性は低下する。

[0066] そこで、上記相反する側面に関して詳細に検討した結果、フュージョン法で製造されたガラス基板 20 では、総合的にガラス基板 20 の表面に二酸化

珪素膜をデポジット（堆積）しない方が、単結晶シリコン基板との接合性が優れていた。

[0067] 上記酸化膜としての二酸化珪素膜を設ける場合、その膜厚は、数10nm以下、具体的には30nmとすることが望ましい。上記酸化膜を設ける際、その膜厚は5nm以上であることが好ましい。

[0068] なお、上記酸化膜としての二酸化珪素膜は、必ずしも設ける必要はない。

[0069] （貼り合わせ）

つぎに、図1のステップ3（1S3）及び図1のステップ4（1S4）に示すように、ガラス基板20と、単結晶シリコン基板60の水素イオン注入側表面62とを密着させて貼り合わせる。

[0070] （劈開分離）

その後、約250度で約1時間熱処理し、さらに600度で5分程度の急速熱処理を行い、上記単結晶シリコン基板60を水素イオン注入領域66における分離界面68を境に劈開分離する。

[0071] ここで、水素イオン注入領域66とは、先に説明した水素イオンの注入により、単結晶シリコン基板60において、水素イオンの分布が所定の濃度となっている領域を意味する。

[0072] つぎに、上記劈開分離によりガラス基板20上に残存する単結晶シリコンの表面を、ドライエッチングとドライエッチ時の損傷除去にためTMAH（テトラメチルアンモニウムヒドロキシド： $\text{N}(\text{CH}_3)_4\text{OH}$ ）とで約200nmエッチングする。これにより、ガラス基板20上に約50nmの膜厚のシリコン膜としての単結晶シリコン薄膜を得る。

[0073] その後、約800度で1分のランプアニールを行い、デバイスの活性領域となる部分を島状に残し不要な単結晶シリコン薄膜をエッチングにより除去する。

[0074] そして、約100nmの二酸化珪素膜を堆積させた後、この二酸化珪素膜をRIE（Reactive Ion Etching：反応性イオンエッチング）で約120nm相当エッチバックする。

[0075] つぎに、ゲート酸化膜としてモノシラン ( $\text{SiH}_4$ ) と一酸化二窒素 ( $\text{N}_2\text{O}$ ) との混合ガスを用い、プラズマCVDで約20nmの酸化膜を形成する。

[0076] そして、一般的なポリシリコンTFT形成プロセスと同様のプロセスにより、ゲート電極、 $\text{N}^+ \cdot \text{P}^+$ 注入、二酸化珪素第1層間絶縁膜、及び、コンタクトホール、金属 ( $\text{AlSi}$ ) 配線、シリコン窒化物 ( $\text{SiN}_x$ ) 及び二酸化珪素から成る層間絶縁膜、ビアホール、透明電極を順次形成することで単結晶シリコンの集積回路、又は、液晶表示装置等の画素アレイTFT (Thin Film Transistor) を形成する。

[0077] (詳細な工程)

以下、各構成について、図2に基づいてより詳しく説明する。

[0078] 図2は、本実施の形態の半導体装置に関する製造方法の概略を示す図である。

[0079] (ガラス基板)

まず、絶縁基板として、数百ミクロンのスパンでラフネスの値が、0.1~0.33nmであり、表面をSC1等の過酸化水素水を含む溶液で活性化処理したガラス基板20を用意する。

[0080] ここで、上記ガラス基板20としては、例えばコーニング社の#1737 (商品名、アルカリ土類-アルミノ硼珪酸ガラス) を直接用いる。

[0081] ・SC1洗浄

また、上記ガラス基板20には、表面の洗浄化と活性化との目的で、SC1溶液のシャワー又は浸漬処理を行った。

[0082] なお、ガラス基板20としては、上記のものに限定されず、例えば、その表面に、二酸化珪素膜、非晶質シリコン膜が堆積されたものを用いることができるのは、上述の通りである。

[0083] (2S1)

一方、単結晶シリコン基板60は、以下のように用意する。

[0084] ・二酸化珪素膜

まず、単結晶シリコン基板 60 の表面に二酸化珪素膜 64 を形成する。この二酸化珪素膜 64 は、酸化、又は、CDV などにより形成することができる。

[0085] ・水素イオン注入

つぎに、単結晶シリコン基板 60 に対して、水素イオン ( $H^+$ ) を、水素イオン注入側表面 62 から、所定の濃度及びエネルギーで注入する。これにより、ガラス基板 20 への転写前の単結晶シリコン基板 60 (ウエハ) が用意される。

[0086] 本実施の形態では、熱酸化により、厚さが 200 nm の二酸化珪素膜 64 を単結晶シリコン基板 60 の表面に形成した。

[0087] そして、 $5 \times 10^{16} / \text{cm}^2$  のドーズ量の水素イオンを所定のエネルギーで、水素イオン注入側表面 62 から、単結晶シリコン基板 60 に注入した。

[0088] 上記水素イオンの注入の後、注入された上記水素イオンは、上記水素イオン注入側表面 62 から単結晶シリコン基板 60 内部の所定の深さまで達し、上記部分にとどまることで、水素イオン注入領域 66 を形成する。

[0089] そして、注入された水素イオンは、単結晶シリコン基板 60 の深さ方向において濃度分布に関するプロファイルを形成し、上記濃度のピーク位置近傍領域が、後に説明する分離界面 68 となる。

[0090] ・分断

つぎに、上記単結晶シリコン基板 60 を分断することで、所定の形状に切り出された単結晶シリコン基板 60 の小片を用意した。

[0091] 本実施の形態においては、上記小片は、200 mm ウエハから 1 辺約 15.1 mm の正方形を切り出した形状とした (4 隅が約 7 mm カットされた形状)。

[0092] (2S2、2S3)

・SC1 洗浄

そして、上記単結晶シリコン基板 60 の小片をガラス基板 20 に貼り合わせる。それに先立ち、上記単結晶シリコン基板 60 の小片を、SC1 で洗浄

した。

[0093] ・貼り合わせ

そして、上記小片4枚を、上記水素イオン注入側表面62が上記ガラス基板20の表面に密着するように貼り合わせた。すなわち、単結晶シリコン基板60の上記水素イオン注入側表面62をガラス基板20への転写面70として、その転写面70がガラス基板20の被転写面22と面するように、上記小片とガラス基板20とを貼り合わせた。

[0094] (2S4)

・熱処理

つぎに、貼り合わされたガラス基板20と単結晶シリコン基板60とを、約250度の温度で熱処理する。その後、さらに600度で5分程度の急速熱処理を行い、上記単結晶シリコン基板60を上記分離界面68で劈開分離させる。

[0095] この単結晶シリコン基板60の劈開分離により、上記単結晶シリコン基板60は、上記分離界面68を境にして、単結晶シリコン基板本体72と単結晶シリコン薄膜90とに分離する。そして、上記単結晶シリコン薄膜90が上記ガラス基板20上に残存する。

[0096] ・ドライエッチング

つぎに、上記ガラス基板20上の単結晶シリコン薄膜90の表面をドライエッチングとTMAHとで約200nmエッチングし、上記ガラス基板20上に、約50nmの膜厚の単結晶シリコン薄膜90を得た。

[0097] なお、上記ガラス基板20の表面には、薄い二酸化珪素膜を堆積しても良い。また、上記二酸化珪素膜は、TEOS酸素混合ガスを用いプラズマCVDで堆積することが好ましい。

[0098] 先に説明した通り、上記二酸化珪素を堆積することで、SC1処理によるガラス基板表面の荒れは小さくなるが、一方でCVDで二酸化珪素を堆積することで表面の平坦性は低下するという相反する側面があり、検討の結果、フュージョン法で製造されたガラス基板20では総合的にガラス基板20の

表面に二酸化珪素膜をデポしない状態が最も接合性が優れていた。

[0099] (2 S 5)

つぎに、上記単結晶シリコン薄膜 90 及びガラス基板 20 に、約 800 度で 15 秒間のランプアニールを行った。これにより、デバイスの活性領域となる部分を島状に残し、不要な単結晶シリコン薄膜 90 をエッチング除去した。

[0100] (2 S 6)

つづいて、残存した単結晶シリコン薄膜 90 に、約 100 nm の厚さの二酸化珪素膜 100 を堆積し、これを R I E で約 120 nm 相当エッチバックした。

[0101] つぎに、ゲート酸化膜として、モノシランと一酸化二窒素との混合ガスを用い、プラズマ C V D で約 60 nm の酸化膜を形成した。

[0102] 以降は通常によく知られたポリシリコン T F T 形成プロセスと同様のプロセスを用いることができる。

[0103] 詳細な説明は行わないが、図 2 に示すように、ゲート電極、 $N^+ \cdot P^+$  注入、二酸化珪素第 1 層間膜、コンタクトホール、金属 (A I S i) 配線を形成する。そして、以降の工程は図示しないが、シリコン窒化膜及び二酸化珪素から成る第 2 層間絶縁膜、ビアホール、透明電極を順次形成した。

[0104] (ガラス基板のマイクロラフネス)

つぎに、本実施の形態の半導体装置 10 のガラス基板 20 について説明する。

[0105] 具体的には、ガラス基板のマイクロラフネス（近距離ラフネス）及びミドルレンジラフネス（中距離ラフネス）と、ガラス基板と単結晶シリコン基板との接合性及び接合エネルギーとの関係について説明する。

[0106] 図 3 は、ガラス基板のマイクロラフネスと、接合性及び接合エネルギーとの関係を示す図である。

[0107] すなわち、図 3 に示すグラフの横軸は、マイクロラフネス (M i c r o R o u g h n e s s : R a) (nm) を示し、縦軸は、接合エネルギー (m

J/m<sup>2</sup>)を示している。

[0108] また、図3の黒丸及び白四角は、ガラス基板と単結晶シリコン基板との接合性を示している。すなわち、図3の黒丸は、ガラス基板と単結晶シリコン基板とを密着させた場合、自発的に接合 (Self Bonding) がどこまで進むか (自発接合度) の評価 (Gap Closing) を示し、白四角は、ガラス基板と単結晶シリコン基板とが一旦接合した後に、両基板を引き剥がす (Separation) 場合の剥がれ強度の評価を示している。

[0109] なお、上記マイクロラフネスとは、近距離、具体的には、数十ミクロン程度 (具体的には、例えば十ミクロン～三十ミクロン) のスパン (領域) での凹凸の算術平均粗さ (Ra: JIS B0601) を意味する。

[0110] また、上記マイクロラフネスのRaは、AFM (Atomic Force Microscope: 原始間力顕微鏡) で評価した。具体的には、Veeco Instruments社のDimension V Scanning Probe Microscopeを使用してマイクロラフネスを評価した。

[0111] そして、上記図3には、Raが0.15～0.25nmの種々のガラス基板に対して、ウエハから所定の形状に切り出した単結晶シリコン基板を密着させて貼り合わせた場合の、接合性 (自発接合度)、及び、接合エネルギー (剥がれ強度) が示されている。

[0112] なお、上記貼り合わせの際、単結晶シリコン基板の上記水素イオン注入側表面と、ガラス基板とは、SC1洗浄を行っている。

[0113] 上記図3に示すように、ガラス基板のマイクロラフネスが同等である場合でも、ガラス基板と単結晶シリコン基板との接合性が大きく変わる場合がある。また、同様にマイクロラフネスが同等である場合でも、ガラス基板と単結晶シリコン基板との接合エネルギーが大きく変わる場合がある。

[0114] これは、ガラス基板のマイクロラフネスと、ガラス基板と単結晶シリコン基板との接合性及び接合エネルギーとの間には、相関がないことを示してい

る。

[0115] そして、詳細に調べると、単結晶シリコン基板とガラス基板との親水性直接接合での剥離強度において、ガラス基板の種類（メーカー、又は、製造法、すなわちフロート法かフュージョン法か）と接合エネルギーとの間に強い相関があることが分かった。しかし、一般に言われているようなガラス基板のマイクロラフネスと、接合エネルギーとの相関は全く認められなかった。すなわち、ガラス基板の種類が異なり、接合エネルギーが変わる場合であっても、ガラス基板の表面のマイクロラフネスに実質的な差はなかった。

[0116] （ガラス基板のミドルレンジラフネス）

つぎに、ガラス基板のミドルレンジラフネス（中距離ラフネス）と、ガラス基板と単結晶シリコン基板と接合性及び接合エネルギーとの関係について説明する。

[0117] 図4は、ガラス基板のミドルレンジラフネスと、接合性及び接合エネルギーとの関係を示す図である。

[0118] 図4に示すグラフの横軸は、上記図3と同様に、ミドルレンジラフネス（Midrange Roughness : Ra）（nm）を示し、縦軸は、接合エネルギーを示している。

[0119] また、上記図3と同様に、上記図4の黒丸は、ガラス基板と単結晶シリコン基板とを密着させた場合、自発的に接合（Self Bonding）がどこまで進むか（自発接合度）の評価（Gap Closing）を示し、白四角は、ガラス基板と単結晶シリコン基板とが一旦接合した後に、両基板を引き剥がす（Separation）場合の剥がれ強度の評価を示している。

[0120] なお、上記ミドルレンジラフネスとは、中距離、具体的には、数百ミクロン程度（具体的には、例えば二百ミクロン～五百ミクロンのスパン（領域）での凹凸（うねり）の高さを意味する。

[0121] また、上記ミドルレンジラフネスの測定は、上記マイクロラフネスの測定とは異なり、AFMではなく、光学的なラフネス測定器を用いて行った。具

体的には、株式会社菱化システムの光干渉式表面形状測定装置（R B X 3 3 0 0 H L i t e : 製品名）を用いて、ミドルレンジラフネスを光学的に測定した。

[0122] 上記図4に示すように、ガラス基板のマイクロラフネスと、ガラス基板と単結晶シリコン基板との接合性及び接合エネルギーとの間には、強い相関があることが分かった。

[0123] すなわち、A F Mでは極めて測定が困難であり、光学測定装置で測定が可能な、数百ミクロンスパンのミドルレンジラフネスが、上記接合性及び接合エネルギーと強く相関していることが分かった。

[0124] すなわち、ミドルレンジラフネスが小さくなると、上記接合性及び接合エネルギーともに大きくなり、一方、ミドルレンジラフネスが大きくなると、上記接合性及び接合エネルギーともに小さくなる。

[0125] そして、上記ミドルレンジラフネスとガラス基板、特に、ガラス基板の製造方法との関係について、詳細な解析を行った。

[0126] その結果、従来のフロート法で製造されたガラス基板の表面は、数百ミクロンスパンの凹凸を持っていることが分かった。なお、上記方法で製造されたガラス基板は、一般に、錫汚染の防止のため、軽い研磨が行われている。

[0127] これに対し、フュージョン法で製造されたガラス基板の表面は、マイクロラフネスに関しては、上記フロート法で製造されたガラス基板とほぼ同じ値であるものの、ミドルレンジラフネスに関しては、上記フロート法で製造されたガラス基板よりも、その凹凸が小さいことが分かった。

[0128] そして、このミドルレンジラフネスの差異により、ガラス基板と単結晶シリコン基板との接合性及び接合エネルギーとの差異が生じていると考えられる。

[0129] （ガラス基板断面図）

図5及び図6は、ミドルレンジラフネスを模式的に垂直方向を誇張した図であり、図5はミドルレンジラフネスが大きい場合、図6はミドルレンジラフネスが小さい場合を示している。

- [0130] 図5に示すガラス基板20の被転写面22には、ミドルレンジラフネスが存在する。すなわち、上記被転写面22には、ミドルレンジラフネス凸部24と、ミドルレンジラフネス凹部26とが存在し、これらによりミドルレンジラフネス（うねり）が形成されている。
- [0131] これに対して、上記図6に示すガラス基板20の被転写面22には、上記ミドルレンジラフネスは形成されていない。すなわち、上記図6に示すガラス基板20は、その数百ミクロンのスパンでのラフネスの値が、 $0.1 \sim 0.33 \text{ nm}$ に抑制されている。
- [0132] なお、上記図5に示すガラス基板20の被転写面22にも、上記図6に示すガラス基板20の被転写面22にも、同程度の、数 $10 \text{ nm}$ のスパンで見られるマイクロラフネス28が存在している。
- [0133] 上記図5に示すガラス基板20と、図6に示すガラス基板20とで、ガラス基板20と単結晶シリコン薄膜90との界面92における気泡94の発生状況について説明する。
- [0134] 図5に示す、ミドルレンジラフネスが存在するガラス基板20では、上記界面92に、数 $10 \sim$ 数百個/ $\text{cm}^2$ の気泡94が発生した。
- [0135] これに対して、図6に示す、ミドルレンジラフネスが抑制されたガラス基板20では、上記界面92に発生した気泡94は、 $0 \sim$ 数個/ $\text{cm}^2$ 以下であった。
- [0136] 以上のように、ガラス基板20のミドルレンジラフネスを、 $0.40 \text{ nm}$ 以下、より好ましくは、 $0.35 \text{ nm}$ 以下である $0.1 \sim 0.33 \text{ nm}$ に抑制することで、ガラス基板20と単結晶シリコン薄膜90との界面92における気泡94の発生を大幅に抑制することができた。
- [0137] また、ガラス基板の製造方法に関しては、ミドルレンジラフネスが小さいとの観点から、フュージョン法で製造されていることが好ましい。
- [0138] ただし、ガラス基板は、フュージョン法で製造されているものに限定されず、例えば、フロート法で製造されていてもよい。フロート法で製造されている場合には、その表面、特に被転写面が研磨などされることにより、そ

のミドルレンジラフネスが0.40nm以下などの所望の値になっていることが好ましい。

[0139] また、上記ガラス基板のマイクロラフネスに関して、接合性及び接合エネルギーとの相関は大きくはないものの、その凹凸は小さいことが好ましい。具体的には、例えば、マイクロラフネスは、その算術平均粗さが0.25nm以下であることが好ましく、0.20nm以下であることがより好ましい。

[0140] 〔実施の形態2〕

本発明の半導体装置に関する他の実施形態について、図7に基づいて説明すれば、以下のとおりである。

[0141] なお、説明の便宜上、上記実施の形態1で説明した図面と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。

[0142] 本実施の形態の半導体装置10は、上記実施の形態1の半導体装置10と比べて、単結晶シリコン薄膜90が設けられている面積が異なる。

[0143] すなわち、上記実施の形態1の半導体装置10では、ガラス基板20のほぼ全面を覆うように、単結晶シリコン薄膜90が設けられていた。

[0144] これに対して、本実施の形態の半導体装置10では、単結晶シリコン薄膜90は、上記ガラス基板20に、部分的に設けられている。

[0145] 以下、本実施の形態の半導体装置10の概略構成を示す図である図7に基づいて説明する。

[0146] まず、上記実施の形態1と同様に、ガラス基板20に単結晶シリコン基板60を転写し、ガラス基板20上に単結晶シリコン薄膜90を形成する。

[0147] そして、上記単結晶シリコン薄膜90を、デバイスとなる部分を島状に残してエッチングする。その際、島の端にテーパが形成されるようにエッチングを行う。

[0148] なお、テーパが形成されるようにエッチングする代わりに、デバイスの加工精度とコスト面の必要条件とに応じて、島の端を垂直にエッチングし、その後、酸化膜を堆積し、RIEでエッチバックするなどして、サイドウォー

ルを形成することもできる。

[0149] つぎに、上記テーパが形成された単結晶シリコン薄膜 90 にゲート酸化膜を堆積し、つづいてアモルファスシリコンを堆積する。そして、アモルファスシリコンにレーザー光を照射するなどして、アモルファスシリコンを多結晶化し、単結晶シリコンと多結晶シリコンとを活性層とする TFT を形成する。なお、これらのプロセスは一般的なプロセスを用いることができる。

[0150] (大型ガラス基板)

ガラス基板 20 上の一部分のみに上記単結晶シリコン薄膜 90 を形成することで、大型のガラス基板 20 に対応することができる。以下、説明する。

[0151] 上記の構成によれば、単結晶シリコン薄膜 90 を、高機能の回路を作成する必要がある部分にのみ形成することができる。

[0152] そして、画素アレイのような単純な動作しか要求されないものの、その面積が大きい部分については、多結晶シリコンやアモルファスシリコンなどの非単結晶シリコンを形成することができる。

[0153] 図 7 に例示する半導体装置 10 では、表示部 12 には、単結晶シリコン薄膜 90 を設けず、表示部 12 の周辺領域である非表示部 14 に単結晶シリコン薄膜 90 を設けている。

[0154] そして、表示部 12 には、非単結晶シリコンが形成されている。

[0155] 以上のように単結晶シリコン薄膜 90 を配置することで、市販のシリコンウエハ（12” や 8”）に限られることなく、いわゆる第 5 世代、第 6 世代、又は、それよりも大きいガラス基板 20 に対しても、単結晶シリコンのデバイスと、非単結晶シリコンのデバイスとを混在させて液晶表示装置などを形成することが容易になる。

[0156] また、数百ミクロンのスパンでラフネスの値が  $0.1 \sim 0.33 \text{ nm}$  であるガラス基板 20 を用意することで、上記実施の形態 1 と同様に、ガラス基板 20 と単結晶シリコン薄膜 90 との界面 92 に発生する気泡 94 の数を、 $0.3 \sim$  数個 /  $\text{cm}^2$  以下に抑制することができた。

[0157] [実施の形態 3]

本発明の半導体装置 10 に関する他の実施形態について、図 8 の (a) ~ (e) に基づいて説明すれば、以下のとおりである。

[0158] 図 8 の (a) ~ (e) は、本実施の形態における半導体装置 10 の製造工程の概略を示す、半導体装置 10 の断面図である。

[0159] なお、説明の便宜上、上記実施の形態 1 で説明した図面と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。

[0160] 本実施の形態では、上記半導体装置 10 が TFT によるアクティブマトリクス基板として用いられている。

[0161] そして、本実施の形態の半導体装置 10 における絶縁基板としては、少なくとも、MOS 型の単結晶シリコントランジスタを LSI (Large Scale Integration) の構成要素として工業的に生産するために用いられている 6''、8'' 又は 12'' のシリコンウエハや石英ウエハよりも大きなガラス基板 20 などが想定されている。

[0162] 具体的には、例えば、通常アクティブマトリクス型表示パネル用の基板であるアクティブマトリクス基板の生産に用いられているガラス基板や、そのガラス基板と同様のサイズの基板で、絶縁性表面を有する基板などが想定されている。

[0163] そして、上記基板の一部分に、単結晶シリコン薄膜が形成されている。以下、各工程を具体的に説明する。

[0164] (ガラス基板)

まず、絶縁基板として、数百ミクロンのスパンでのラフネスの値が、0.1 ~ 0.33 nm のガラス基板 20 を用意する。その際、上記ガラス基板 20 は、表面が活性化処理され、かつ、透過性非晶質材料で形成されたガラス基板 20 とする。具体的には、例えばコーニング社のアルカリ土類-アルミノ硼珪酸ガラスである code 1737 (製品名) をそのまま用いることができる。

[0165] そして、上記ガラス基板 20 を SC1 溶液のシャワー又は浸漬処理して、表面の清浄化と活性化とを行う。

- [0166] なお、上記ガラス基板 20 の代わりに、その表面の全面にプラズマ CVD で、膜厚の薄い 5 ~ 20 nm の非晶質二酸化珪素膜を堆積したガラス基板 20 を用いることもできる。
- [0167] 絶縁基板として上記ガラス基板 20 (code 1737) を用いる場合は、上記ガラス基板 20 は光透過性であるので、本実施の形態の半導体装置は、例えば、液晶表示装置などに好適となる。なお、上記 code 1737 の歪点は 667 度程度である。また、上記 code 1737 は、フュージョン法で製造されている。
- [0168] (他のガラス基板)  
また上記 code 1737 以外のガラス基板 20 を用いることもできる。
- [0169] 例えば、フュージョン法で製造されたコーニング社の EAGLE (商品名) などの、ミドルレンジラフネスが 0.1 ~ 0.33 nm であるガラス基板 20 を用いることができる。上記ガラス基板 20 は、歪点については上記 code 1737 とは異なるものの、表面平坦性すなわち数百ミクロンのスパンでのラフネスは、上記 code 1737 と同等である。
- [0170] また、同じく、フュージョン法で製造された日本電気硝子社の OA-10 (商品名) を用いることができる。上記ガラス基板 20 は、上記 code 1737 とほぼ同等の数百ミクロンのスパンでのラフネスの値 (0.1 ~ 0.33 nm) と、ほぼ同等の歪み点とを有している。
- [0171] また、ガラス基板 20 は、上記フュージョン法で製造されたガラス基板 20 に限定されず、フロート法で製造されたガラス基板 20 を用いることもできる。ただ、フロート法で製造されたガラス基板 20 においても、上記ミドルレンジラフネスの値は、0.4 nm 以下、好ましくは 0.35 nm 以下であることが好ましい。また、フロート法で製造されたガラス基板 20 においては、ミドルレンジラフネスが上記範囲になるように、表面を研磨することが好ましい。
- [0172] なお、上記フュージョン法とは、ガラス基板の製造において、るつぼの両側の縁から溶融したガラスをオーバーフロさせ両者が融合し、表面がるつぼ

に触れず清浄な状態で溶融したガラスを垂直方向に下に取り出す方法であり、フロート法とは、溶融したSn（錫）の上に溶融したガラスを流し、水平に取り出す方法である。

[0173] （ガラス基板表面）

上記ガラス基板20には、ガラス基板20の表面が直接剥き出しになった単結晶シリコン基板60を接合する領域を除いて、下地絶縁膜、及び、多結晶シリコンの活性層を持つTFTの基本部分（活性層、ゲート酸化膜、ゲート電極、ソース／ドレインのドーピング）が形成されている。

[0174] 他方、ガラス基板20の表面が、単結晶シリコン基板60を接合するために直接剥き出しになった領域は、その上のシリコンや二酸化珪素膜をエッチング除去する際エッチングストoppaとなるMoなどの金属で保護しておく。

[0175] （概略構成）

本実施形態の半導体装置10は、図8の（e）に示すように、絶縁基板としてのガラス基板20の上に、非単結晶シリコン薄膜デバイス16と、単結晶シリコン薄膜デバイス18とが並存している。詳しくは、上記ガラス基板20の上には、酸化膜としての二酸化珪素膜、多結晶シリコンからなる非単結晶シリコン薄膜を含むMOS型の非単結晶シリコン薄膜トランジスタ（非単結晶シリコン薄膜デバイス16）、単結晶シリコン薄膜を備えたMOS型の単結晶シリコン薄膜トランジスタ（単結晶シリコン薄膜デバイス18）、及び、金属配線が設けられている。

[0176] （非単結晶シリコン薄膜デバイス）

非単結晶シリコン薄膜を含むMOS型の非単結晶シリコン薄膜トランジスタは、ベースコート絶縁膜としての二酸化珪素／窒化珪素膜上に、非単結晶シリコン薄膜、ゲート絶縁膜としての二酸化珪素膜、ゲート電極を備えている。ゲート電極は、窒化チタンから形成されているが、タングステン、モリブデンなど金属、又は、多結晶シリコン、シリサイド、若しくは、ポリサイドなどから形成されていてもよい。

[0177] （単結晶シリコン薄膜デバイス）

一方、単結晶シリコン薄膜 90 を含む MOS 型の単結晶シリコン薄膜トランジスタは、ゲート電極を有する平坦化層、ゲート絶縁膜としての二酸化珪素膜、単結晶シリコン薄膜 90 とを備えている。ゲート電極の材料は、ここではヘビードープの多結晶シリコン膜を用いた。

[0178] そして、本実施の形態の半導体装置 10 では、上記単結晶シリコン薄膜デバイスは、ガラス基板 20 上で順次形成されるのではなく、ガラス基板 20 に転写される単結晶シリコン基板 60 にあらかじめ形成されている。以下、説明する。

[0179] (単結晶シリコン薄膜トランジスタ)

単結晶シリコン薄膜デバイス 18 としての単結晶シリコン薄膜トランジスタは、ガラス基板 20 に接合される前に単結晶シリコン基板 60 の上で形成されている。また、上記単結晶シリコン薄膜トランジスタは、全体が平坦化され、所定の深さに所定の濃度の水素イオンが注入されている。

[0180] そして、上記単結晶シリコン薄膜トランジスタは、ゲート電極、ゲート絶縁膜、及び、単結晶シリコン薄膜 90 を含んだ状態で、ガラス基板 20 の上に接合・転写される。

[0181] 上記転写・接合の後、上記ガラス基板 20 及び単結晶シリコン基板 60 を熱処理し、水素イオンの注入部で微小気泡を生じせしめることで、単結晶シリコン基板 60 を上記分離界面 68 で劈開分離する。これにより、ガラス基板 20 上に、単結晶シリコン薄膜 90 が形成される。

[0182] なお、ゲート電極部分は、わずかに他の領域と水素イオンの飛程が異なるが劈開性に問題は無く、差異をあらかじめ考慮しておけば、問題なく上記劈開分離を行うことができる。

[0183] 以上の製造方法によれば、単結晶シリコン基板上でゲート電極、コンタクト及び第 1 金属配線を形成し、ソース・ドレインなどへの不純物イオン注入を行うことで、ガラス基板 20 上に転写した単結晶シリコン薄膜 90 から TFT を形成するよりも、微細な加工が容易になる。

[0184] 特に、水素イオンを用いて単結晶シリコン基板 60 を劈開分離する場合で

あって、絶縁基板としてガラス基板 20 を用いるときには、ガラス基板 20 の耐熱温度の制約から、転写後の熱処理に高温が使えない。ここで、水素イオンに由来する硼素の不活性化は、550 度程度で数時間熱処理することで水素原子を十分に除くことで、ほぼ回復させることができる。

[0185] また、工程中に生じた局在順位やディスロケーションなどは、650 度、数分以上の加熱によるトランジエントアニール (RTA) で取り除くことができる。

[0186] また、550 度以下のアニールでのサーマルドナの生成、又は、わずかに残った硼素の不活性化は、初期の硼素注入量を、これらを見込んで調整しておくか、又は、転写後に硼素をイオン注入 (イオンドーピング) するなどして補正する。

[0187] (並存の効果)

本実施形態の半導体装置 10 は、以上のように、1 枚のガラス基板 20 上に、MOS 型の非単結晶シリコン薄膜トランジスタと、MOS 型の単結晶シリコン薄膜トランジスタとを並存させることで、特性が異なる複数の回路を集積化した高性能・高機能な半導体装置 10 を得ることができる。また、1 枚のガラス基板 20 上に、すべて単結晶シリコン薄膜からなるトランジスタを形成するよりも、安価に高性能・高機能な半導体装置 10 を得ることができる。さらに、このような工程によれば、ウエハサイズによる制約が無く、現時点で市販されている 200 mm や 300 mm 径のシリコンウエハより大きいサイズのディスプレイ又は多面取りを、基板サイズの制約無く自由に形成することができる。

[0188] 例えば、本発明の半導体装置 10 を含む液晶表示装置用のアクティブマトリクス基板の場合には、さらに、液晶表示用に、窒化シリコン ( $\text{SiN}_x$ )、樹脂平坦化膜、ビアホール、透明電極が形成される。そして、非単結晶シリコン薄膜デバイスとしては、ドライバ及び表示部 12 用の TFT が形成される。

[0189] 他方、単結晶シリコン薄膜デバイスとしては、例えば非表示部 14 に、タ

イメージコントローラやメモリ等が形成される。これらは、上記表示部 12 用の T F T よりも、より高性能が要求されるデバイスだからである。

[0190] なお、上記ドライバも単結晶シリコン薄膜デバイスで形成することもでき、コストと性能とを考慮して、その構成を決定することができる。

[0191] (まとめ)

このように、単結晶シリコン薄膜 90 からなる薄膜トランジスタ、及び、非単結晶シリコン薄膜からなる薄膜トランジスタのそれぞれの特性に応じて、各薄膜トランジスタの機能・用途を決定することで、高性能・高機能な薄膜トランジスタを得ることができる。

[0192] また、上記半導体装置 10 においては、画素アレイを含む集積回路を、非単結晶シリコン薄膜の領域と単結晶シリコン薄膜 90 の領域とに、必要とする構成、及び、特性に応じて区別して形成することが容易になる。

[0193] これにより、それぞれの領域に、動作速度や動作電源電圧等が異なる性能の集積回路を形成することができる。具体的には、例えば、ゲート長、ゲート絶縁膜の膜厚、電源電圧、ロジックレベルのうち少なくとも 1 つが異なる集積回路を、上記各々の領域に形成することができる。

[0194] 以上より、領域ごとに異なる特性を有するデバイスを形成することができる、より多様な機能を備えた半導体装置 10 を得ることができる。

[0195] さらに、上記半導体装置 10 においては、集積回路が非単結晶シリコン薄膜の領域と単結晶シリコン薄膜 90 の領域とに形成される。そのため、それぞれの領域に形成された集積回路は、領域毎に異なる加工ルールを適用することができる。

[0196] 例えば、集積回路として短チャネル長の T F T を形成する場合、単結晶シリコン薄膜 90 の領域に形成したときは、単結晶シリコン薄膜 90 の領域には結晶粒界がないため、T F T 特性のバラツキはほとんど増加しない。

[0197] これに対して、上記 T F T を非単結晶シリコン薄膜である多結晶シリコン膜の領域に形成したときは、多結晶シリコン膜の領域では、結晶粒界の影響でバラツキが急速に増加する。

[0198] そのため、単結晶シリコン薄膜の領域と、非単結晶シリコン薄膜の領域とでは、加工ルールを変える必要がある。

[0199] この点、上記の製造方法では、集積回路が各々の上記領域に別個に形成されるので、各領域に形成される集積回路の特性に応じて、好ましい加工ルールを適用することができる。

[0200] なお、半導体装置 10 上に形成される単結晶シリコン薄膜デバイスのサイズは、一般に L S I 製造装置のウエハサイズによって決まることになる。ただし、単結晶シリコン薄膜 90 を必要とする高速性、消費電力、高速のロジック、タイミングジェネレータ、バラツキが問われる高速の D A C（電流バッファ）、又はプロセッサ等を形成するためには、一般的な L S I 製造装置のウエハサイズで充分であり、上記の構成においてウエハサイズは大きな問題とはならない。

[0201] （製造方法）

以下、本実施の形態の半導体装置 10 の製造方法について、図 8 の（a）～（e）を用いて、より具体的に説明する。

[0202] （図 8 の（a））

本実施形態の半導体装置 10 の製造方法では、薄膜化すれば単結晶シリコン薄膜トランジスタとなる部分を作り込んだ単結晶シリコン基板 60 を形成し、所定の濃度の水素イオンをあらかじめ所定の深さに注入しておき、この単結晶シリコン基板 60 を絶縁性表面を有するガラス基板 20 に接合し、加熱して水素イオン注入領域 66 における分離界面 68 から劈開分離する。

[0203] その後、上記単結晶シリコン基板 60 が劈開分離することでガラス基板 20 上に形成された単結晶シリコン薄膜 90 をエッチングにより薄膜化して、素子分離する。その後、さらに二酸化珪素膜を堆積する。

[0204] 具体的には、あらかじめ一般的な I C 製造ラインで CMOS（Complementary Metal Oxide Semiconductor）工程の一部、つまり単結晶シリコン基板 60 に対して、ゲート電極 110、ゲート絶縁膜 112、ソース・ドレイン不純物イオン注入（ $\text{BF}_2^+$ 、As

+)、チャネル注入（閾値電圧制御）、LDD（Lightly Doped Drain）注入、HALO注入（短チャネル効果抑制のための斜めイオン注入）、保護絶縁膜、平坦化膜を形成し、その後CMP（Chemical-Mechanical Polishing）によって平坦化処理を行う。

[0205] ここで、ソース・ドレイン不純物イオン注入（ $\text{BF}_2^+$ 、 $\text{As}^+$ ）、チャネル注入（閾値電圧制御）、LDD注入、HALO注入（短チャネル効果抑制のための斜めイオン注入）に関して、硼素又は2フッ化硼素の注入は、典型的には各々バルクシリコンのMOSトランジスタに対する最適注入量の2～5倍、Pの注入量に関しても $1 \sim 3 \times 10^{16} \text{ cm}^{-3}$ 程度増量するよう注入する。これらは、SOI化構造で要求される閾値電圧に対する注入量が異なることと、水素による硼素の不活性化、又は、サーマルドナの影響を相殺するため、熱処理条件、シリコン膜厚、ターゲットとするTFT特性に応じて調整される。

[0206] 不純物イオン注入後、活性化処理、層間絶縁膜114としての二酸化珪素のデポジット、平坦化を行い、つづいて $6 \times 10^{16} / \text{cm}^2$ のドーズ量の水素イオンを所定のエネルギーで注入し、コンタクトホール開口、金属層堆積、パターン化を順次行う。ここで金属配線にはタングステンと、バリア層として窒化チタンを用いた。さらに、その上に酸化膜116として二酸化珪素膜をデポジットし、その後平坦化処理を行い、単結晶シリコン基板60を所望の構造に作成する。上記平坦化処理には、必要に応じダミーパターンとCMPとを用いた。

[0207] 他方、本実施の形態の半導体装置10の製造方法では、ガラス基板20には、図8の（a）に示すように、あらかじめ、非単結晶シリコン薄膜デバイス16としての非単結晶シリコン薄膜トランジスタが形成されている。

[0208] （図8の（b）、（c））

上記の単結晶シリコン基板60は、所定のサイズに分断される。

[0209] ガラス基板20に関しては、絶縁性表面を持つ基板として、TFT-LC

D用に工業的に用いられている、いわゆる高歪み点ガラス基板の中から、数百ミクロンのスパンでのラフネスの値が0.1～0.33nmであるガラス基板を選ぶ。

[0210] そして、単結晶シリコン基板60及びガラス基板20の双方を親水化処理し所定の位置に貼り合わせる。なお、上記の通り、ガラス基板20の上記ミドルレンジラフネスは、ガラス基板20の製造法に依存する。

[0211] 具体的には、図8の(b)に示すように、絶縁性表面を有するガラス基板20、及び、所望の形状に分断した単結晶シリコン基板60の両基板をSC1洗浄し活性化(親水化)した後、単結晶シリコン基板60のデバイス側の表面、言い換えると、水素イオン注入側表面62を、ガラス基板20の所定の位置にアライメントし、室温で密着させて接合する。すなわち、上記単結晶シリコン基板60の転写面70としての水素イオン注入側表面62を、ガラス基板20の被転写面22に転写する。

[0212] ここで、上記SC1液とは、市販のアンモニア水( $\text{NH}_4\text{OH}$ :30%)と、過酸化水素水( $\text{H}_2\text{O}_2$ :30%)と、純水( $\text{H}_2\text{O}$ )とを混合して作製する。一例としては、上記薬液を、5:12:60の割合で混合したものが用いられる。SC1液の液温は、室温乃至80℃とすることができる。洗浄は、上記SC1液に基板を5分間浸すことで行われる。ここで、アンモニア水は、ガラス基板表面をスライトエッチするため、上記各基板をSC1液に長時間浸すことは好ましくない。

[0213] その後、上記各基板を純水(比抵抗値10MΩcm以上)で流水のもとに10分間洗浄し、スピンドライヤーなどで迅速に乾燥させる。これらの洗浄・乾燥後のガラス基板20と単結晶シリコン基板60とは、互いに接触させて、わずかな力で押してやることで、自発的に接着する。

[0214] この単結晶シリコン基板60とガラス基板20とは、Van der Waals力、及び、水素結合で接合されている。

[0215] その後、200～300度で約2時間熱処理を行い、結合の一部が強固なシロキサン(Siloxane)結合に変化する事で十分な接合強度が得ら

れた後、さらに580度で3分程度の急速熱処理を行い、図8の(c)に示すように、分離界面68を境に劈開剥離する。

[0216] ここで、単結晶シリコン薄膜デバイス18としての単結晶シリコン薄膜トランジスタは、ガラス基板20に対して、無機系の絶縁膜を介して接合される。そのため、従来の接着剤を用いて接合する場合と比較して、単結晶シリコン薄膜90が汚染されることを確実に防止することができる。

[0217] (ミドルレンジラフネスと気泡)

また、数百ミクロンのスパンでのラフネスの値が0.33nmであるガラス基板20を用いた場合には、ミドルレンジラフネスの値が、上記の値よりも大きいガラス基板20を用いた場合に比較して、最終的に得られた単結晶シリコン薄膜90とガラス基板20との界面92に発生する気泡94の個数が大幅に低減する。具体的には、ミドルレンジラフネスが大きい上記ガラス基板20では、上記界面92に、数10～数百個/cm<sup>2</sup>の気泡94が発生していたのに対して、ミドルレンジラフネスの値が0.1～0.33nmであるガラス基板20を用いた場合には、気泡94の個数は、0.3～数個/cm<sup>2</sup>以下に低減した。

[0218] そして、気泡94の個数が低減することで、最終的に単結晶シリコン基板60が転写されたデバイスである半導体装置10の欠陥発生率が大幅に低減した。

[0219] (図8の(e))

つづいて、ガラス基板20に転写された単結晶シリコン薄膜90をドライエッチングとTMAHとで約200nmエッチングする。

[0220] これにより、ガラス基板20上に約50nmの膜厚の単結晶シリコン薄膜90を得ることができる。

[0221] また、上記エッチングと同時に素子分離を行い、炉による560～650度、1～4時間の熱処理と、RTAによる650度以上、10分以下の短時間アニールを行い、全面にモノシランと一酸化二窒素との混合ガス、又はTEOSと酸素とを用いたプラズマCVDにより、膜厚約300nmの第2の

二酸化珪素膜を堆積する。上記RTAの時間は、ガラス基板20の耐熱性と関連し、許容されるガラス基板20の変形以下になるよう調節される。

[0222] そして、図8の(e)に示すように、コンタクトホールを開口し、コンタクトホールにAlSiを材料とする金属配線120を形成する。

[0223] (まとめ)

本実施形態の半導体装置10の製造方法では、以上のように、単結晶シリコン薄膜デバイス18としての単結晶シリコン薄膜トランジスタを、非単結晶シリコン薄膜(多結晶シリコン薄膜)をガラス基板20に形成した後に、形成している。具体的には、ガラス基板20に、非単結晶シリコン薄膜デバイス16としての非単結晶シリコン薄膜トランジスタを形成した後に、上記単結晶シリコン薄膜デバイス18としての単結晶シリコン薄膜トランジスタを形成している。

[0224] これにより、ガラス基板20の平坦性が保たれた状態で、単結晶シリコン基板60をガラス基板20に接合することができる。ここで、表面を保護し平坦性を維持するためにMo等で保護膜を形成し、接合領域の酸化膜を除去し、その後保護膜を除去することで、接合不良等の問題の発生を防止することができる。

[0225] また、以上の方法により、ガラス基板20上の領域ごとに異なる特性を有するデバイスを形成できるので、より多様な機能を備えた半導体装置10を得ることができる。

[0226] さらに、上記半導体装置10においては、集積回路が非単結晶シリコン薄膜の領域と単結晶シリコン薄膜90の領域とに形成されるため、それぞれの領域に形成された集積回路に対して、領域毎に異なる加工ルールを適用することができる。例えば、先に言及したように、短チャネル長の場合、単結晶シリコン薄膜領域には結晶粒界がないため、TFET特性のバラツキがほとんど増加しないのに対して、非単結晶シリコン薄膜領域である多結晶シリコン薄膜領域では、結晶粒界の影響でバラツキが急速に増加する。そのため、加工ルールを各々の領域で変える必要がある。この点、本実施の形態の半導体装

置 10 では、加工ルールに合わせて集積回路に適した領域に形成することができる。

[0227] また、本実施の形態の半導体装置 10 では、MOS 型の単結晶シリコン薄膜トランジスタにおいて、その金属配線パターンは、ゲートパターンよりも緩いデザインルールで形成することが可能である。

[0228] これにより、MOS 型の単結晶シリコン薄膜トランジスタを形成した半導体装置 10 のメタル配線又はメタル配線の一部を、大型基板上のメタル配線と同時に処理することができ、コストを抑え、かつ処理能力を向上させることができる。さらに、外部配線や他の回路ブロックや T F T アレイに対する接続が容易になり、外部装置等に対する接続不良による製品の歩留り低下を低減することができる。

[0229] 以上のように、上記半導体装置 10 の製造方法では、絶縁性表面を持つ基板として、T F T - L C D 用として工業的に用いられているいわゆる高歪み点ガラスの中から数百ミクロンのスパンでのラフネスの値が、0.1 ~ 0.33 nm であるガラス基板 20 を用いた点が特徴である。

[0230] そして、ガラス基板 20 及び単結晶シリコン基板 60 の双方を親水化処理した後に、所定の位置に貼り合わせている。

[0231] そして、絶縁性表面を有する最終基板であるガラス基板 20 及び切断した単結晶シリコン基板 60 の両基板を S C 1 洗浄し活性化（親水化）した後、単結晶シリコン基板 60 のデバイス側を、ガラス基板 20 の所定の位置にアライメントし、室温で密着させて接合する。

[0232] （汚染）

以上の製造方法によれば、従来の接着剤を用いて、単結晶シリコン基板 60 をガラス基板 20 に接合する場合と比較して、デバイスの高さを微視的にも一定に出来、かつ単結晶シリコン薄膜 90 が汚染されることを確実に防止することができる。

[0233] （気泡）

また、数百ミクロンのスパンでのラフネスの値が、0.1 ~ 0.33 nm

であるガラス基板を用いたものでは、そうでないものと比較し、最終的に得られたシリコン膜とガラスとの界面に生じていた気泡の発生が大幅に抑制され（数10～数百個/cm<sup>2</sup>から0～数個/cm<sup>2</sup>以下となった）るとともに、最終的に転写されたデバイスの欠陥発生率が大幅に低減した。

[0234] （多機能）

また、上記の半導体装置10では、領域ごとに異なる特性を有するデバイスを形成できるので、より多様な機能を備えた半導体装置10を得ることができる。すなわち、ガラス基板20上に、非単結晶シリコン薄膜デバイス16が設けられる領域と、単結晶シリコン薄膜デバイス18が設けられる領域とを並存させることが容易になる。そのため、半導体装置10に、多機能を付与することが容易になる。

[0235] （加工ルール）

また、上記の半導体装置10では、集積回路を、非単結晶シリコン薄膜が形成された領域と、単結晶シリコン薄膜が形成された領域とに分けて形成することができる。そのため、それぞれの領域に形成された集積回路は、領域毎に異なる加工ルールを適用することができる。したがって、例えば、加工ルールに合わせて集積回路を適した領域に形成することができる。

[0236] （デザインルール）

また、本実施の形態の半導体装置10では、MOS型の単結晶シリコン薄膜トランジスタにおいて、その金属配線パターンは、ゲートパターンよりも緩いデザインルールで形成することが可能である。

[0237] これにより、MOS型の単結晶シリコン薄膜トランジスタを形成した半導体装置10のメタル配線、又は、メタル配線の一部を大型基板上のメタル配線と同時に処理することができ、コストを抑え、かつ処理能力を向上させることができる。さらに、外部配線や他の回路ブロックのTFTアレイに対する接続が容易になり、外部装置等に対する接続不良による製品歩留りを低減することができる。

[0238] さらに、高性能高機能高集積の集積回路を、その面積の限定された一般的

なシリコンウエハで形成することができる。その上、シリコンウエハよりも数倍以上大きい面積を有する、面積の制約が大幅に緩和されたLCD製造用のガラス基板上に、TFTアレイを含むデバイスを配することができる。そして、これにより、低価格で大面積の表示装置の製造が可能となる。

[0239] なお、本発明は上記した各実施の形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施の形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施の形態についても本発明の技術的範囲に含まれる。

[0240] また、本発明の半導体装置用の絶縁基板は、上記被転写面の、十ミクロン～三十ミクロンの領域の凹凸の算術平均粗さが、0.25nm以下であることを特徴とする。

[0241] また、本発明の半導体装置用の絶縁基板は、上記凹凸の算術平均粗さが、0.20nm以下であることを特徴とする。

[0242] 上記の構成によれば、絶縁基板の被転写面は、上記ミドルレンジラフネスが上記所望の範囲内であることに加えて、十ミクロン～三十ミクロンの領域の凹凸の算術平均粗さ、すなわちマイクロラフネスが0.25nm以下、より好ましくは、0.20nm以下である。

[0243] そのため、絶縁基板とシリコン膜との接合性がより向上し、上記接合界面に発生する気泡の個数をより低減することができる。

[0244] また、本発明の半導体装置用の絶縁基板は、上記絶縁材料がガラスであり、フュージョン法で製造されていることを特徴とする。

[0245] 上記の構成によれば、ガラスを絶縁材料とする絶縁基板であるガラス基板と、シリコン膜との親水性直接接合において、上記ガラス基板がフュージョン法で製造されている。

[0246] 発明者等はフュージョン法で製造されたガラス基板は、一般的に上記ミドルレンジラフネスが小さい事を種々のガラス基板を比較評価した結果、見出した。

[0247] そのため、上記ガラス基板とシリコン膜との自発接合がより発現しやすく

、ガラス基板とシリコン膜との接合性がより向上するとともに、上記接合界面に発生する気泡の個数をより低減することができる。

[0248] また、本発明の半導体装置用の絶縁基板は、上記絶縁材料がガラスであり、フロート法で製造されていることを特徴とする。

[0249] また、本発明の半導体装置用の絶縁基板は、上記被転写面が、上記うねりの高さが0.40nm以下となるよう研磨されていることを特徴とする。

[0250] 上記の構成によれば、ガラスを絶縁材料とする絶縁基板であるガラス基板と、シリコン膜との親水性直接接合において、上記ガラス基板がフロート法で製造されており、より好ましくは、その被転写面が研磨されることで、上記うねりの高さが0.40nm以下となっている。

[0251] そのため、上記ガラス基板とシリコン膜との自発接合がより発現しやすく、ガラス基板とシリコン膜との接合性がより向上するとともに、上記接合界面に発生する気泡の個数をより低減することができる。

[0252] また、本発明の半導体装置用の絶縁基板は、上記被転写面には、酸化膜が設けられていないことを特徴とする。

[0253] 上記の構成によれば、被転写面に酸化膜が設けられていないので、被転写面の平坦性を損ないにくい。

[0254] そのため、絶縁基板とシリコン膜との接合性を高めることが容易になる。

[0255] また、本発明の半導体装置用の絶縁基板は、上記被転写面には、酸化膜が設けられており、上記酸化膜の膜厚が、30nm以下であることを特徴とする。

[0256] 上記の構成によれば、被転写面に、膜厚が30nm以下の酸化膜が設けられている。

[0257] そのため、被転写面の平坦性を損ないにくく、かつ、SC1溶液などで処理された際の被転写面の荒れを抑制することができる。

[0258] したがって、絶縁基板とシリコン膜との接合性を高めることが容易になる。

[0259] なお、上記酸化膜の膜厚は、30nm以上であることが好ましい。

- [0260] 上記酸化膜の膜厚が薄くなりすぎると、成膜条件等にも依存するが、S C 1の影響を受けやすくなる。なお、膜質が良い場合等には、膜厚を5 nmとすることもできる。他方、膜質が良くない場合等を考慮すると、膜厚は30 nm以上であることが好ましい。
- [0261] 一方、平坦性の観点からは、膜厚を例えば20 nm以下とすることが好ましいと考えられる。
- [0262] また、本発明の半導体装置は、上記の半導体装置用の絶縁基板に、シリコン膜が転写されていることを特徴とする。
- [0263] 上記の構成によれば、絶縁基板とシリコン膜との接合性がよく、また、絶縁基板とシリコン膜との接合界面に気泡が発生しにくいので、半導体装置の歩留り向上させることが容易になる。

### 産業上の利用可能性

- [0264] 本発明の半導体装置は、絶縁基板上に密着した半導体薄膜の形成が可能なので、高性能・高歩留りが要求されるアクティブマトリクス型液晶表示装置などに好適に利用することができる。

### 符号の説明

- [0265]      10   半導体装置  
            20   ガラス基板   （絶縁基板）  
            22   被転写面  
            24   ミドルレンジラフネス凸部  
            26   ミドルレンジラフネス凹部  
            28   マイクロラフネス  
            90   単結晶シリコン薄膜   （シリコン膜）

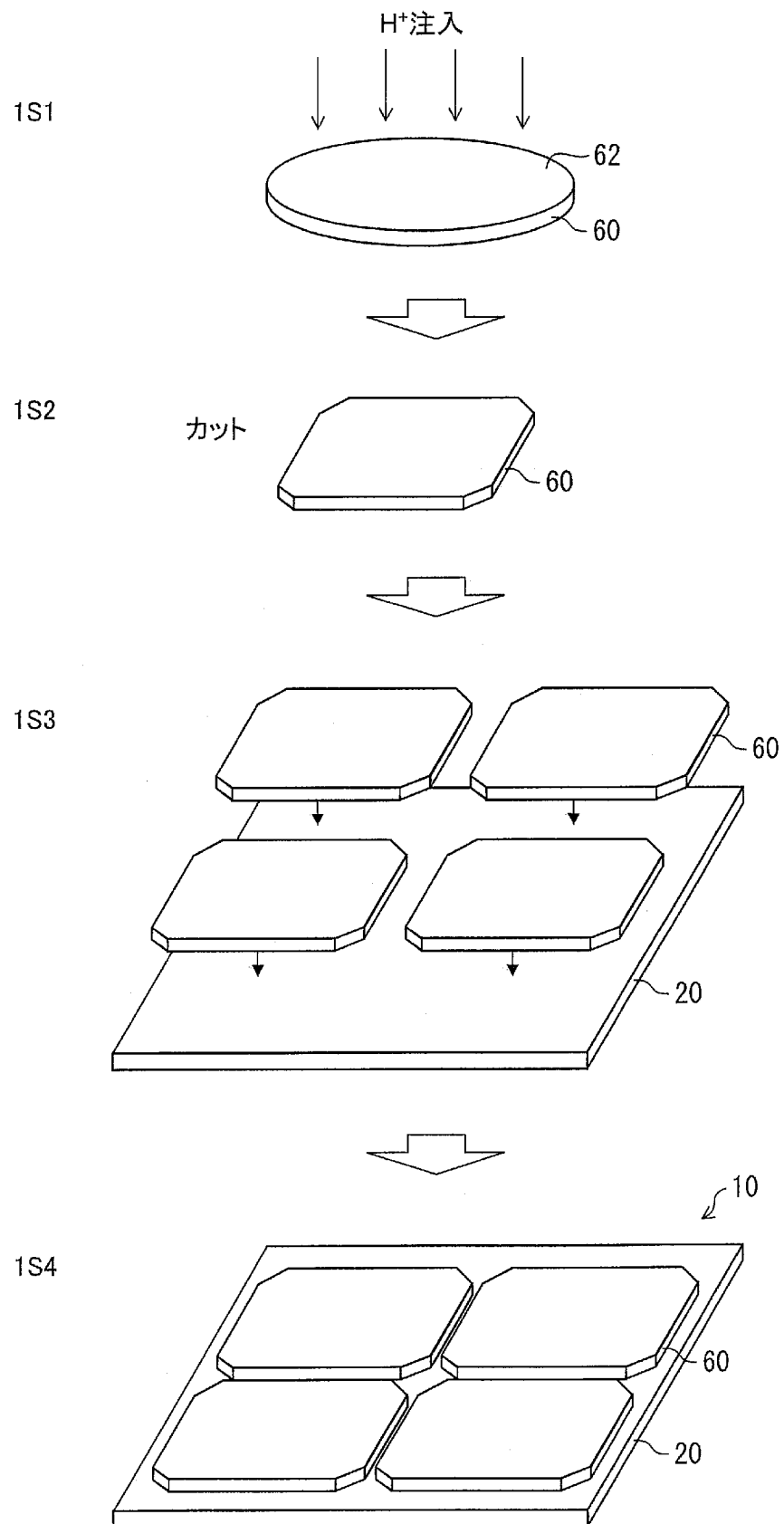
## 請求の範囲

- [請求項1] 表面にシリコン膜が転写により設けられることで半導体装置を構成することが可能な、絶縁材料からなる半導体装置用の絶縁基板であって、
- 上記表面には、上記シリコン膜を設けることが可能な被転写面が設けられており、
- 上記被転写面の、二百ミクロン～五百ミクロンの周期のうねりの高さが、 $0.40\text{ nm}$ 以下であることを特徴とする半導体装置用の絶縁基板。
- [請求項2] 上記うねりの高さが $0.35\text{ nm}$ 以下であることを特徴とする請求項1に記載の半導体装置用の絶縁基板。
- [請求項3] 上記被転写面の、十ミクロン～三十ミクロンの領域の凹凸の算術平均粗さが、 $0.25\text{ nm}$ 以下であることを特徴とする請求項1又は2に記載の半導体装置用の絶縁基板。
- [請求項4] 上記凹凸の算術平均粗さが、 $0.20\text{ nm}$ 以下であることを特徴とする請求項3に記載の半導体装置用の絶縁基板。
- [請求項5] 上記絶縁材料がガラスであり、
- フュージョン法で製造されていることを特徴とする請求項1～4のいずれか1項に記載の半導体装置用の絶縁基板。
- [請求項6] 上記絶縁材料がガラスであり、
- フロート法で製造されていることを特徴とする請求項1～4のいずれか1項に記載の半導体装置用の絶縁基板。
- [請求項7] 上記被転写面が、上記うねりの高さが $0.40\text{ nm}$ 以下となるように研磨されていることを特徴とする請求項6に記載の半導体装置用の絶縁基板。
- [請求項8] 上記被転写面には、酸化膜が設けられていないことを特徴とする請求項1～7のいずれか1項に記載の半導体装置用の絶縁基板。
- [請求項9] 上記被転写面には、酸化膜が設けられており、上記酸化膜の膜厚が

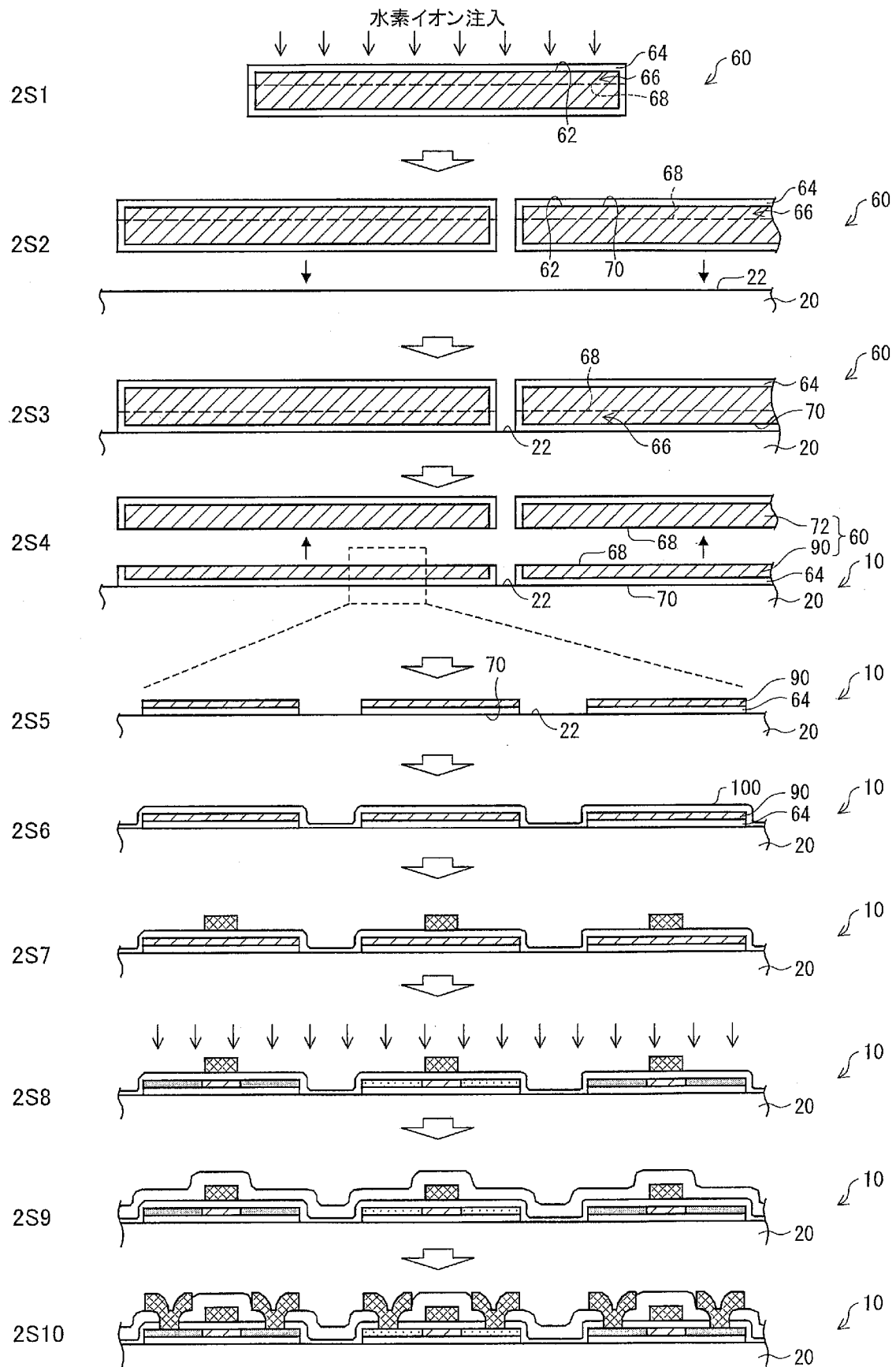
、三十nm以下であることを特徴とする請求項１～７のいずれか１項に記載の半導体装置用の絶縁基板。

[請求項10]      請求項１～９のいずれか１項に記載の半導体装置用の絶縁基板に、シリコン膜が転写された半導体装置。

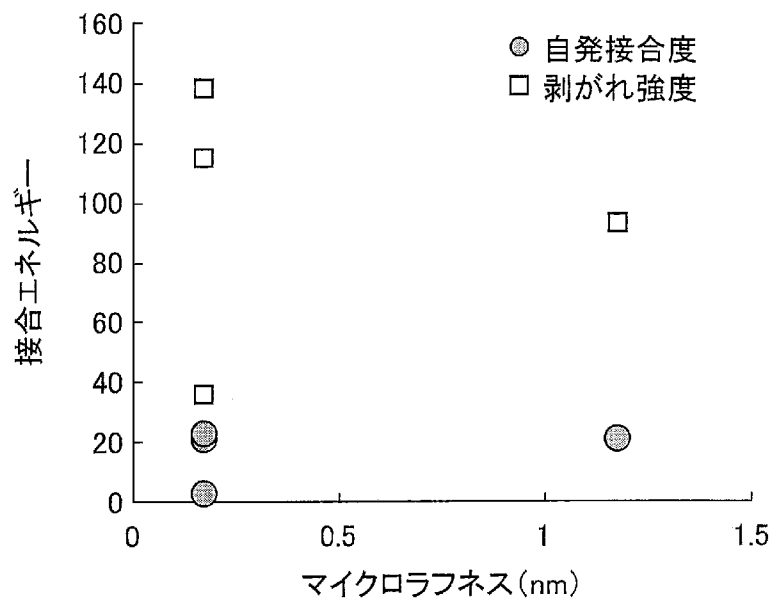
[図1]



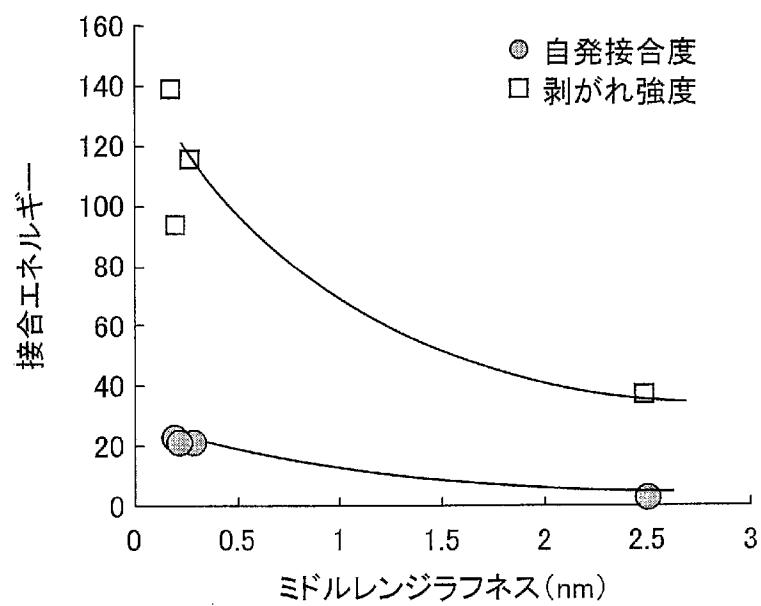
[図2]



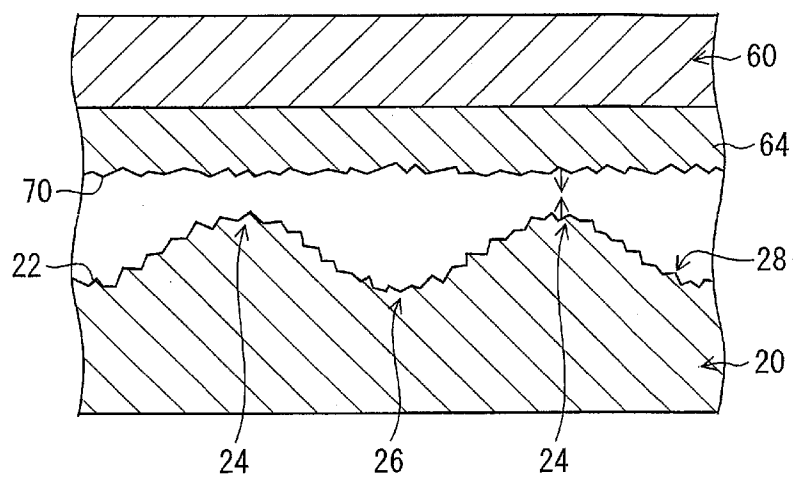
[図3]



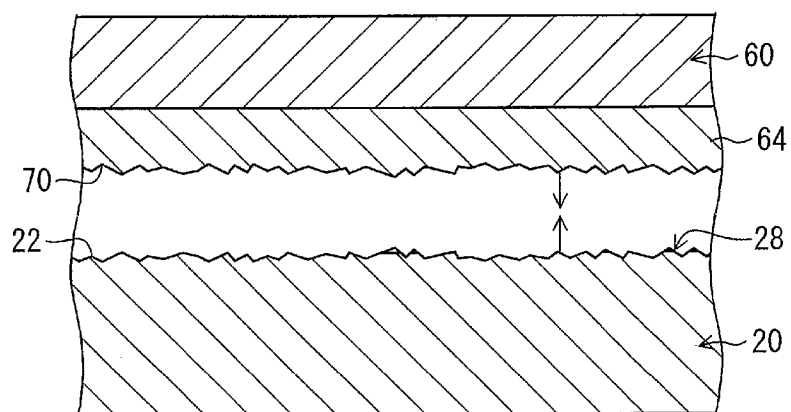
[図4]



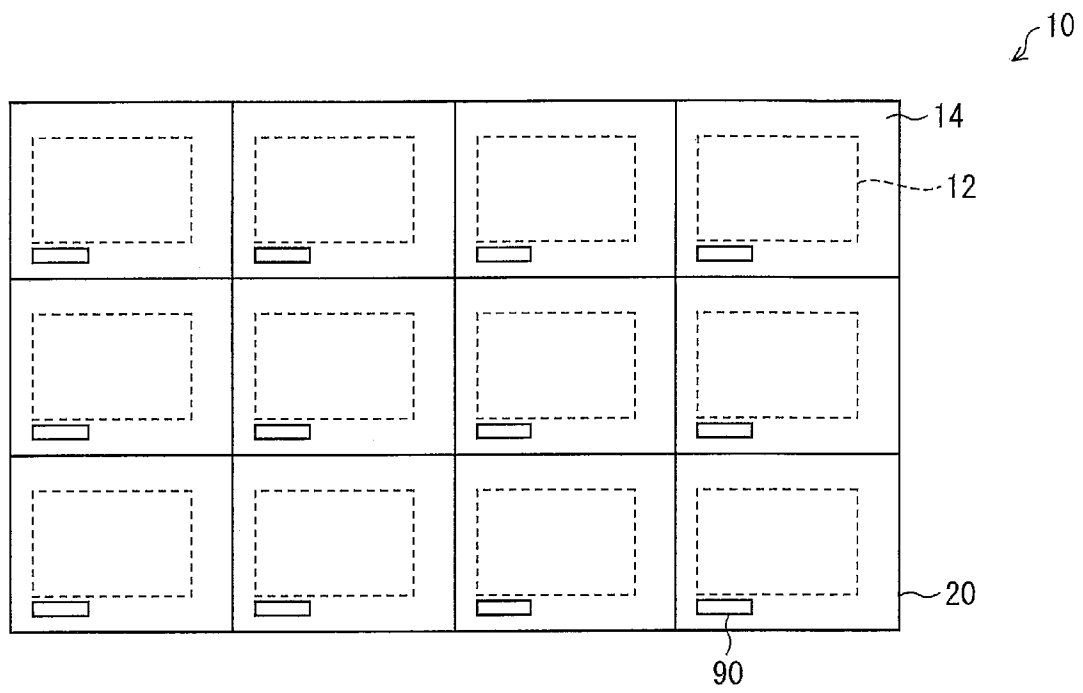
[図5]



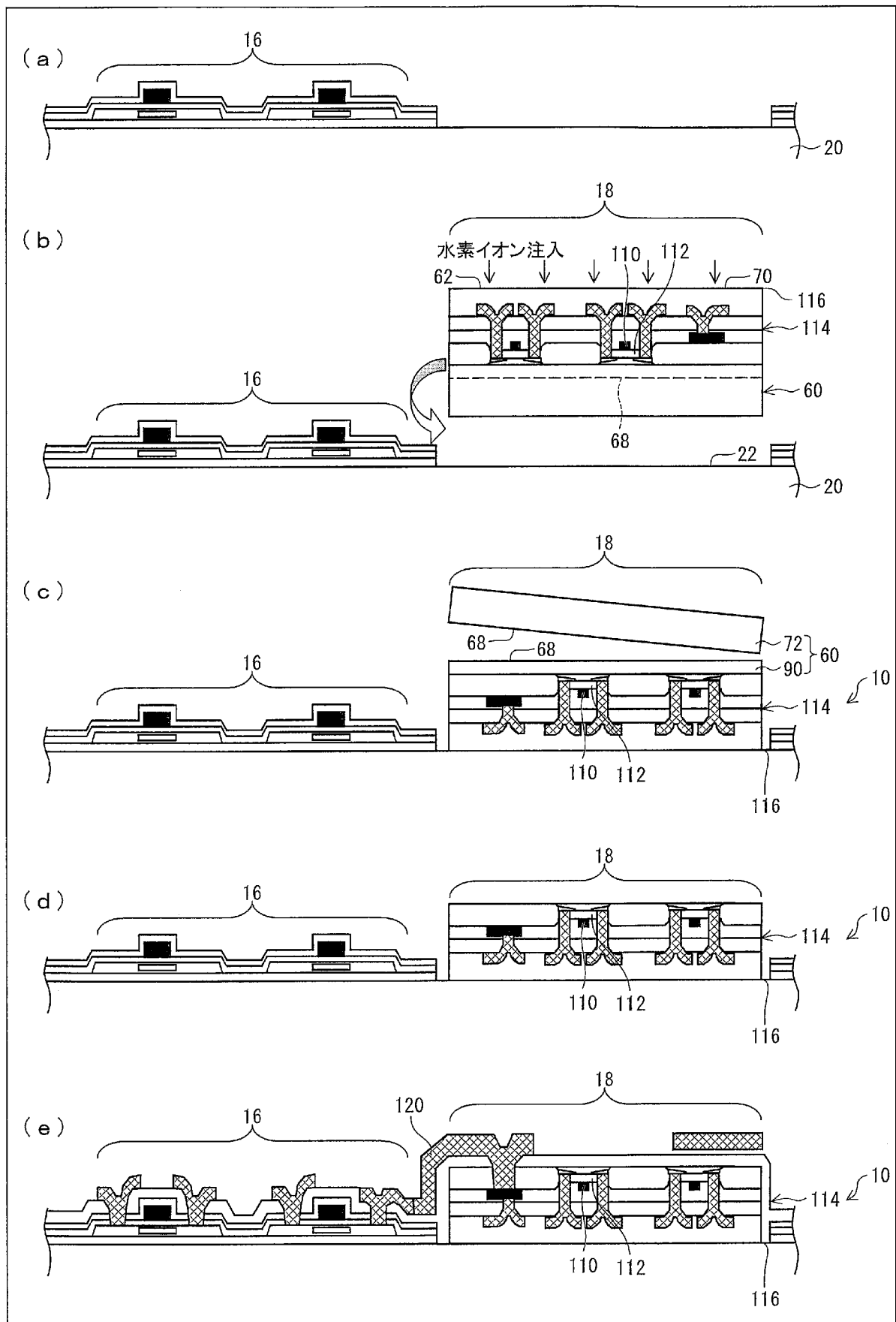
[図6]



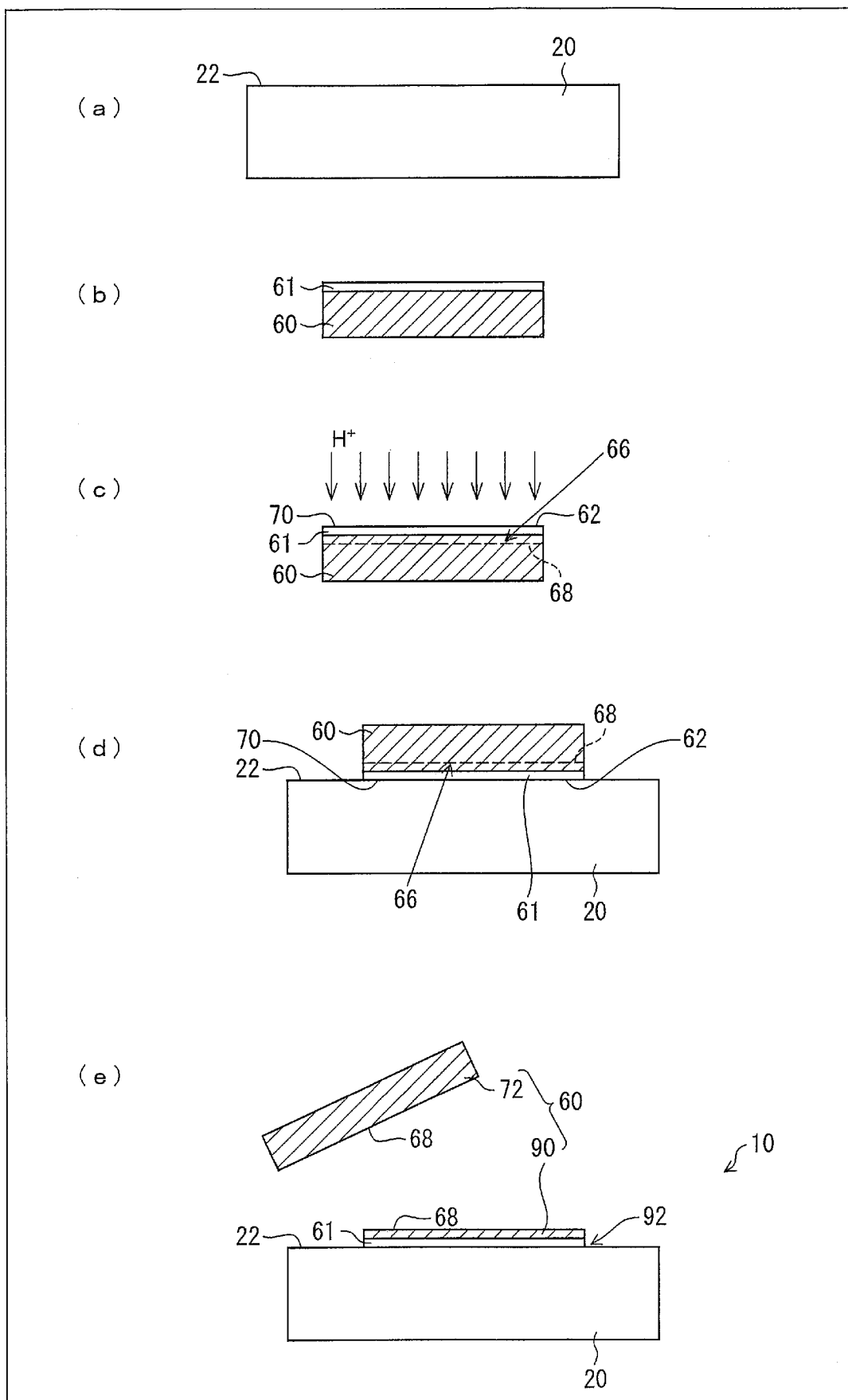
[図7]



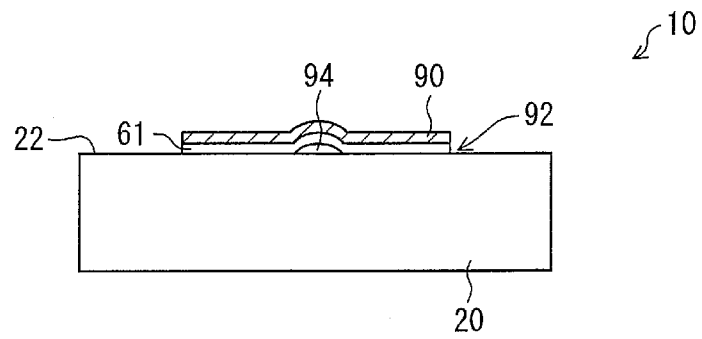
[図8]



[図9]



[図10]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/068342

## A. CLASSIFICATION OF SUBJECT MATTER

H01L21/02(2006.01)i, H01L21/336(2006.01)i, H01L27/12(2006.01)i,  
H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/02, H01L21/336, H01L27/12, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2010 |
| Kokai Jitsuyo Shinan Koho | 1971-2010 | Toroku Jitsuyo Shinan Koho | 1994-2010 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                                                                                                     | Relevant to claim No. |
|-----------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| X<br>A    | JP 2004-134675 A (Sharp Corp.),<br>30 April 2004 (30.04.2004),<br>entire text; all drawings; particularly,<br>paragraph [0083]; fig. 2<br>& US 2004/0061176 A1 & US 2009/0095956 A<br>& FR 2844394 A1 & TW 260746 B<br>& KR 10-2004-0027418 A & KR 10-2006-0004623 A<br>& CN 1492481 A | 1-5, 8-10<br>6, 7     |
| X<br>A    | JP 2003-174151 A (Matsushita Electric<br>Industrial Co., Ltd.),<br>20 June 2003 (20.06.2003),<br>paragraphs [0021] to [0025]; fig. 1<br>(Family: none)                                                                                                                                 | 1-5, 8-10<br>6, 7     |

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
18 January, 2010 (18.01.10)

Date of mailing of the international search report  
26 January, 2010 (26.01.10)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2009/068342

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                                                                                                                                                    | Relevant to claim No. |
|-----------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | JP 2008-21971 A (S.O.I. Tec Sillicon on Insulator Technologies),<br>31 January 2008 (31.01.2008),<br>entire text; all drawings; particularly,<br>paragraphs [0013], [0014], [0055], [0056]<br>& US 2008/0014712 A1 & US 2008/0014714 A1<br>& EP 1879220 A2 & FR 2903808 A<br>& CN 101106072 A & SG 139648 A<br>& KR 10-2008-0006490 A | 1-10                  |
| Y         | JP 9-232197 A (Sumitomo Sitix Corp.),<br>05 September 1997 (05.09.1997),<br>paragraphs [0008] to [0047]; all drawings<br>(Family: none)                                                                                                                                                                                               | 1-10                  |
| Y         | JP 7-263541 A (NEC Corp.),<br>13 October 1995 (13.10.1995),<br>paragraphs [0012], [0021]<br>& US 5773352 A                                                                                                                                                                                                                            | 1-10                  |
| Y         | JP 2003-509838 A (S.O.I. Tec Sillicon on Insulator Technologies),<br>11 March 2003 (11.03.2003),<br>paragraphs [0013] to [0015]<br>& US 7029993 B1 & US 2006/0189102 A1<br>& EP 1208589 A & WO 2001/015215 A1<br>& FR 2797713 A & FR 2797713 A1<br>& TW 515000 B                                                                      | 1-10                  |
| Y         | JP 2-126625 A (Shin-Etsu Handotai Co., Ltd.),<br>15 May 1990 (15.05.1990),<br>entire text; all drawings<br>(Family: none)                                                                                                                                                                                                             | 1-10                  |
| Y         | JP 2007-13106 A (Semiconductor Energy Laboratory Co., Ltd.),<br>18 January 2007 (18.01.2007),<br>paragraph [0007]<br>& US 2006/0270236 A1 & US 2009/0057680 A1<br>& CN 1873950 A                                                                                                                                                      | 6,7                   |
| A         | JP 5-275508 A (Mitsubishi Materials Corp.),<br>22 October 1993 (22.10.1993),<br>paragraphs [0002], [0003]<br>(Family: none)                                                                                                                                                                                                           | 1-10                  |
| A         | JP 5-166747 A (Sony Corp.),<br>02 July 1993 (02.07.1993),<br>paragraphs [0009], [0010]<br>(Family: none)                                                                                                                                                                                                                              | 1-10                  |

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/068342

## Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2. ☐ Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

## Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

As stated in "extra sheet", a group of inventions described in claims 1 - 10 do not satisfy the requirement of unity of invention.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

### Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/068342

Continuation of Box No.III of continuation of first sheet (2)

In order that a group of inventions described in claims satisfy the requirement of unity of invention, existence of a special technical feature for so linking the group of inventions as to form a single general inventive concept is required. Though, the group of inventions in claims 1 - 10 is linked to each other by only the matter described in claim 1.

However, the matter cannot be a special technical feature, since the matter is described in prior-art documents, for example, JP 2004-134675 A (Sharp Corp.), 30 April 2004 (30.04.2004), entire text, all drawings, particularly, paragraph [0083], fig. 2; JP 2003-174151 A (Matsushita Electric Industrial Co., Ltd.), 20 June 2003 (20.06.2003), paragraphs [0021] - [0025], fig. 1.

Therefore, there is no special technical feature for so linking as to form a single general inventive concept among a group of inventions in claims 1 - 10.

In conclusion, the group of inventions in claims 1 - 10 does not satisfy the requirement of unity of invention.

## A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/02 (2006.01) i, H01L21/336 (2006.01) i, H01L27/12 (2006.01) i, H01L29/786 (2006.01) i

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/02, H01L21/336, H01L27/12, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 0 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 0 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 0 年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                                                                                          | 関連する<br>請求項の番号    |
|-----------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------|
| X<br>A          | JP 2004-134675 A (シャープ株式会社) 2004. 04. 30,<br>全文、全図、特に段落【0083】、図2 & US 2004/0061176 A1<br>& US 2009/0095956 A & FR 2844394 A1 & TW 260746 B<br>& KR 10-2004-0027418 A & KR 10-2006-0004623 A & CN 1492481 A | 1-5, 8-10<br>6, 7 |
| X<br>A          | JP 2003-174151 A (松下電器産業株式会社) 2003. 06. 20,<br>段落【0021】 - 【0025】、図1 (ファミリーなし)                                                                                                                              | 1-5, 8-10<br>6, 7 |

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

1 8 . 0 1 . 2 0 1 0

国際調査報告の発送日

2 6 . 0 1 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小出 輝

4 M

3 6 4 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

| C (続き) . 関連すると認められる文献 |                                                                                                                                                                                                                                                        |                |
|-----------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                                                                                                                                      | 関連する<br>請求項の番号 |
| Y                     | JP 2008-21971 A (エス. オー. アイ. テック シリコン オン インシュレーター テクノロジーズ) 2008. 01. 31,<br>全文、全図、特に段落【0013】、【0014】、【0055】、【0056】<br>& US 2008/0014712 A1 & US 2008/0014714 A1 & EP 1879220 A2 & FR 2903808 A & CN 101106072 A & SG 139648 A<br>& KR 10-2008-0006490 A | 1-10           |
| Y                     | JP 9-232197 A (住友シチックス株式会社) 1997. 09. 05,<br>段落【0008】－【0047】、全図 (ファミリーなし)                                                                                                                                                                              | 1-10           |
| Y                     | JP 7-263541 A (日本電気株式会社) 1995. 10. 13,<br>段落【0012】、【0021】 & US 5773352 A                                                                                                                                                                               | 1-10           |
| Y                     | JP 2003-509838 A (エス オー イ テク シリコン オン インシュレータ テクノロジーズ) 2003. 03. 11,<br>段落【0013】－【0015】 & US 7029993 B1 & US 2006/0189102 A1<br>& EP 1208589 A & WO 2001/015215 A1 & FR 2797713 A<br>& FR 2797713 A1 & TW 515000 B                                      | 1-10           |
| Y                     | JP 2-126625 A (信越半導体株式会社) 1990. 05. 15,<br>全文、全図 (ファミリーなし)                                                                                                                                                                                             | 1-10           |
| Y                     | JP 2007-13106 A (株式会社半導体エネルギー研究所) 2007. 01. 18,<br>段落【0007】 & US 2006/0270236 A1 & US 2009/0057680 A1<br>& CN 1873950 A                                                                                                                                | 6, 7           |
| A                     | JP 5-275508 A (三菱マテリアル株式会社) 1993. 10. 22,<br>段落【0002】、【0003】 (ファミリーなし)                                                                                                                                                                                 | 1-10           |
| A                     | JP 5-166747 A (ソニー株式会社) 1993. 07. 02,<br>段落【0009】、【0010】 (ファミリーなし)                                                                                                                                                                                     | 1-10           |

## 第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。  
つまり、
2. ☐ 請求項 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

（特別ページ）に記載したように、請求項1－10に記載されている一群の発明は、発明の単一性の要件を満たしていない。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

## 追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

請求の範囲に記載されている一群の発明が単一性の要件を満たすためには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、請求項 1－10 に記載されている一群の発明は、請求項 1 に記載された事項でのみ連関している。

しかしながら、この事項は、先行技術文献、例えば、JP 2004-134675 A (シャープ株式会社) 2004.04.30, 全文、全図、特に段落【0083】、図 2、JP 2003-174151 A (松下電器産業株式会社) 2003.06.20, 段落【0021】－【0025】、図 1 に記載されているため、特別な技術的特徴とはなり得ない。

そうすると、請求項 1－10 に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための特別な技術的特徴は存在しないこととなる。

よって、請求項 1－10 に記載されている一群の発明は、発明の単一性の要件を満たしていない。