

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
H01L 27/092
H01L 29/78

(45) 공고일자 1993년 10월 14일
(11) 공고번호 특 1993-0010124

(21) 출원번호	특 1991-0003186	(65) 공개번호	특 1992-0017268
(22) 출원일자	1991년 02월 27일	(43) 공개일자	1992년 09월 26일
(71) 출원인	삼성전자 주식회사 김광호 경기도 수원시 권선구 매탄동 416번지		

(72) 발명자 장영태
경기도 안양시 관양동 1434-24 영광주택 다동 201호
강태구
서울특별시 구로구 시흥 1동 1002-1 럭키아파트 7-207
노병혁
경기도 시흥시 논곡동 192번지 7

(74) 대리인 이건주

심사관 : 정현영 (책자공보 제3442호)

(54) 반도체 트랜지스터의 제조방법 및 그 구조

요약

내용 없음.

대표도

도 1

명세서

[발명의 명칭]

반도체 트랜지스터의 제조방법 및 그 구조

[도면의 간단한 설명]

- 제 1 도는 종래의 일실시예에 따른 단면도.
- 제 2 도는 종래의 다른 실시예에 따른 단면도.
- 제 3 도는 종래의 또 다른 실시예에 따른 단면도.
- 제 4 도는 본 발명에 따른 단면도.
- 제 5 도는 본 발명에 따른 제조 공정도.
- 제 6 도는 본 발명의 다른 실시예에 따른 단면도.

[발명의 상세한 설명]

본 발명은 반도체 트랜지스터에 관한 것으로 특히 LDD(Lightly Doped Drain) 구조를 갖는 씨모우스 전계효과 트랜지스터(Complementray Metal-Oxide-Semiconductor Field Effect Transistor : CMOS FET)의 제조방법 및 그 구조에 관한 것이다.

반도체 제조기술이 소형화, 고밀도화되는 추세에 따라 모오스 전계효과 트랜지스터(이하 모오스 트랜지스터라고 한다)의 채널 길이가 짧아지고 있다. 그 결과 드레인으로 전계집중이 일어나게 되어 그에 기인하는 핫 캐리어(hot carrier)가 발생된다. 상기 핫 캐리어는 게이트로 주입되어 드레쉬 홀드 전압(threshold voltage)을 불안정하게 하는 등의 핫 캐리어 효과를 일으켜 소자의 동작 특성에 악영향을 미친다. 따라서 상기한 핫 캐리어 효과를 방지하기 위해 게이트의 측벽에 반응성이온 에칭 등으로 절연막 스페이서(spacer)를 형성한 후 소오스 및 드레인과 같은 도전형의 불순물을 저농도로 이온 주입하여 LDD(Lightly Dopde Drain) 구조를 형성하는 방법이 제안되었다.

제 1 도는 종래의 일실시예에 따른 단면도로서, 피모오스 트랜지스터와 엔 모오스 트랜지스터가 동일 기판상에 형성된 씨모오스 트랜지스터의 단면도이다. P웰(well) (4)과 n웰(6)이 서로 인접하여 형성된 n형 또는 p형의 반도체 기판(2)과, 상기 기판(2) 상면에 상기 P웰(4)과 n웰(6)을 전기적으로 분리하기 위해 형성된 필드 산화막(8)과, 상기 p웰(4)내의 채널 영역에 의해 서로 제1소정거리 이격

되어 형성된 저농도의 제1소오스 및 드레인(18,19)과, 상기 제1소정 거리보다 더 긴 제2소정거리 이격되어 형성된 고농도의 제2소오스 및 드레인(20,21)과, 상기 채널 영역 상부에 게이트 절연막(10)을 중간층으로 하는 제1게이트(12)와, 상기 게이트(12)측벽에 제1쪽으로 형성된 산화막 스페이서(16)를 도시하고 있다. 또한 상기 n웰(6)내의 채널 영역에 의해 서로 소정거리 이격되어 형성된 소오스 및 드레인(22,23)과, 상기 채널 영역 상부에 상기 게이트 절연막(10)을 중간층으로 하는 제2게이트(14)와, 상기 게이트(14)측벽에 제1쪽으로 형성된 산화막 스페이서(16)를 도시하고 있다. 상기 도면의 p웰(4)에 형성된 것과 같은 LDD 구조는 게이트의 패턴 형성이후 상기 기판 전면에 제1이온 주입공정을 실시하여 저농도 제1소오스 및 드레인 영역을 형성한 다음 상기 게이트의 양 측벽에 스페이서를 형성한 후 기판 전면에 제2이온 주입 공정을 실시하여 고농도의 제2소오스 및 드레인 영역을 형성함으로써 완성된다. 상기 p웰(4)내에 형성된 n모오스 트랜지스터의 경우 희망하는 LDD 구조를 구현할 수 있다.

그러나 상기 n웰(6)내에 형성된 p모오스 트랜지스터의 경우에는 이온 주입되는 p형 불순물의 외확산(out-diffusion)이 매우 크기 때문에 저농도 이온 주입 영역과 고농도 이온 주입 영역의 구분이 힘들어지게 된다. 즉, n모오스 트랜지스터의 스페이서와 p모오스 트랜지스터의 스페이서를 동시에 형성한 후 고농도 확산 영역을 위한 이온 주입 공정을 실시하게 되면 p형 불순물이 상기 스페이서의 폭에 상당하는 거리만큼 확산되어 버리고 만다. 그리하여 결과적으로 단일 드레인(single Drain ; SD) 구조를 가지게 된다.

제 2 도는 종래의 다른 실시예에 따른 단면도로서, 상기 제 1 도와 같은 공정에 의한 또다른 결과를 도시하고 있다. 상기 제 2 도는 p웰(24)과 n웰(26)이 서로 인접하여 형성된 n형 또는 p형의 반도체 기판(22)과 상기 기판(22) 상면에 상기 p웰(24)과 n웰(26)을 전기적으로 분리하기 위해 형성된 필드 산화막(28)과, 상기 p웰(24)내의 채널 영역에 의해 서로 제1소정거리 이격되어 형성된 저농도의 제1소오스 및 드레인(38,39)과, 상기 제1소정 거리보다 더 긴 제2소정거리 이격되어 형성된 고농도의 제2소오스 및 드레인(40,41)과, 상기 채널영역 상부에 게이트 절연막(30)을 중간층으로 하는 제1게이트(32)와, 상기 게이트(32)측벽에 제1쪽으로 형성된 산화막 스페이서(36)를 도시하고 있다. 또한 상기 n웰(26)내에는 채널 영역에 의해 서로 소정거리 이격되어 형성된 저농도의 제1소오스 및 드레인(42,43)과, 상기 제1소오스 및 드레인(42,43)을 감싸는 고농도의 제2소오스 및 드레인(44,45)과, 상기 채널영역 상부에 상기 게이트 절연막(30)을 중간층으로 하는 제2게이트(34)와, 상기 게이트(34)측벽에 제1쪽으로 형성된 산화막 스페이서(36)를 도시하고 있다.

상기 도면에 도시된 바와 같이 n웰(26)내에 형성된 p모오스 트랜지스터는 p형 불순물의 확산거리가 상기 스페이서(36)의 폭을 능가할 경우에는 고농도의 이온 주입 영역(44,45)이 저농도의 이온 주입 영역(42,43)을 감싸게 되고 만다.

제 3 도는 종래의 또다른 실시예에 따른 단면도로서, p형 불순물의 외확산을 고려하여 스페이서의 폭을 두껍게 해주었을 경우의 실시예이다. 상기 제 3 도는 p웰(44)과 n웰(46)이 서로 인접하여 형성된 n형 또는 p형의 반도체 기판(42)과, 상기 기판(42) 상면에 상기 p웰(44)과 n웰(46)을 전기적으로 분리하기 위해 형성된 필드산화막(48)과, 상기 p웰(44)내의 채널 영역에 의해 서로 제1소정거리 이격되어 형성된 저농도의 제1소오스 및 드레인(58,59)과, 상기 제1소정거리보다 더 긴 제2소정거리 이격되어 형성된 고농도의 제2소오스 및 드레인(60,61)과, 상기 채널영역 상부에 게이트 절연막(50)을 중간층으로 하는 제1게이트(52)와, 상기 게이트(52)측벽에 제1쪽으로 형성된 산화막 스페이서(56)를 도시하고 있다. 또한 상기 n웰(46)내의 채널영역에 의해 서로 제1소정거리보다 길고 상기 제2소정거리보다 짧은 제3소정거리 이격되어 형성된 고농도의 제2소오스 및 드레인(64,65)과, 상기 게이트 절연막(50)을 중간층으로 하여 상기 채널영역상부에 형성된 제2게이트(54) 및 그 측벽의 산화막 스페이서(56)를 도시하고 있다. 상기 산화막 스페이서(56)가 상기 게이트 절연막(50)과 접촉하는 폭은 2500Å 정도이다. p모오스 트랜지스터에서 문제가 되었던 p형 불순물의 큰 확산을 고려하여 상기 스페이서(56)의 폭을 충분히 넓게 형성함으로써 LDD 구조를 가지는 p모오스 트랜지스터를 형성할 수 있다.

그러나 상기 넓은 폭의 스페이서(56)는 n모오스 트랜지스터의 소오스와 드레인간의 확산 저항을 증가시켜 트랜지스터의 드레인 전류를 감소시키는 결과를 초래하게 된다.

상기한 바와 같이 종래에는 n모오스 트랜지스터와 p모오스 트랜지스터의 스페이서를 한번의 공정으로 동시에 형성한 후 각각의 트랜지스터 영역에 이온 주입 공정을 실시하였기 때문에 p모오스 트랜지스터 및 n모오스 트랜지스터에 희망하는 LDD 구조를 형성할 수 없다는 문제점이 있었다.

따라서 본 발명의 목적은 반도체 트랜지스터의 제조방법 및 그 구조에 있어서, n모오스 트랜지스터의 소오스와 드레인간의 확산저항을 증가시키지 않으면서 LDD 구조의 p모오스 트랜지스터를 형성하는 반도체 트랜지스터의 제조방법 및 그 구조를 제공함에 있다.

상기한 바와 같은 본 발명의 목적을 달성하기 위하여 n 및 p모오스 트랜지스터의 게이트 형성후 각각의 트랜지스터 영역에 저농도의 이온 주입을 실시하고, 그 다음 각각의 게이트 측벽에 제1스페이서를 형성한 후 상기 n 모오스 트랜지스터 영역에 고농도 이온 주입을 실시한다. 그 다음 각각의 제1스페이서 측면에 제2스페이서를 형성한 후 상기 p모오스 트랜지스터 영역에 이온 주입을 실시함을 특징으로 한다.

이하 본 발명을 첨부한 도면을 참조하여 상세히 설명한다.

제 4 도는 본 발명에 따른 최종 단면도이다. p웰(46)과 n웰(66)이 서로 인접하여 형성된 n형 또는 p형 반도체 기판(62)과, 상기 기판(62) 상면에 상기 p웰(64)과 n웰(66)을 전기적으로 분리하기 위해 형성된 필드 산화막(68)과, 상기 p웰(64) 및 n웰(66) 내의 채널 영역에 의해 서로 소정거리 이격되어 형성된 저농도의 제1소오스 및 드레인(80,81)과, 상기 채널 영역 상부에 게이트 절연막(72)을 중간층으로 하는 제 1 및 제 2 게이트(74,76)와, 상기 게이트 측벽에 형성된 제 1 및 제 2 스페이서(86, 94)와, 상기 n웰(64)내의 제 1 소오스 및 드레인(80,81)의 측면 경계로부터 상기 제1스페이서(86)의 폭에 의해 한정되는 간격을 가지는 제2소오스 및 드레인(89,90)과, 상기 p웰(66)내의 제1소

오스 및 드레인(83,84)의 측면 경계로부터 상기 제1 및 제2스페이서(86,94)의 전체폭에 의해 한정되는 간격을 가지는 제2소오스 및 드레인(98,99)으로 구성된다.

제 5a~g 도는 본 발명에 따른 제조공정으로서 상기 제 4 도와 같은 명칭에 해당하는 것은 같은 번호를 사용하였음에 유의해야 한다. 출발물질은 p형 또는 n형의 반도체 기판을 사용할 수 있으나 본 발명의 일실시예에서는 (100)의 결정 방향을 가지며 p형 불순물이 5E12ions/cm²의 농도로 도핑된 p형 반도체 기판으로 한다.

사이 제 5a 도에서 상기 기판(62)내에 p웰(64) 및 n웰(66) 영역을 서로 다른 식각 공정으로 한정된 후 이온 주입 공정을 실시하여 서로 인접하는 p웰(64) 및 n웰(66)을 형성한다. 상기 이온 주입시 p형 불순물 및 n형 불순물을 각각 80~100KeV의 에너지와 2E13ions/cm²의 도우즈로 하여 실시한다. 그 다음 상기 p웰(64)과 n웰(66)의 경계 부근의 영역을 한정하여 선택산화법으로 필드 산화막(68)을 형성한다. 상기 필드 산화막(68)의 두께는 3000~3500Å으로 한다. 그 다음 드레쉬홀드 전압(Threshold voltage)을 조절하기 위하여 p형 불순물을 1E12ions/cm²의 도우즈와 30KeV의 에너지로 이온 주입한다. 그 결과 상기 기판(62) 표면 부근에 p형 이온 주입 영역(70)이 형성된다.

상기 제 5b 도에서 상기 기판(62) 전면을 열산화시켜 80~100Å의 두께를 가지는 게이트 산화막(72)을 형성한다. 그 다음 상기 기판 전면에 다결정 실리콘을 2000Å정도 침적한 후 포클(POD₁₃)등으로 도우핑시킨다. 그 후 사진 식각 공정으로 패턴을 형성하여 제1 및 제2게이트(74,76)을 형성한다.

상기 제 5c 도에서 n웰(66) 영역 상면에 제1포도레지스트(78)를 형성한 후 기판 전면에 n형 불순물을 2.4E13ions/cm²의 도우즈와 40KeV의 에너지로 이온 주입한다. 그리하여 상기 제1게이트(74)의 하부를 제외한 기판(62)상에 n모오스 트랜지스터의 제1소오스 및 드레인(80,81)을 형성한다.

그 다음 상기 제 5d 도에서 상기 제1포도레지스트(78)를 제거한 후 p웰(64) 영역 상면에 제2포도레지스트(82)를 형성한 다음 기판(62) 전면에 p형 불순물을 2E13ion/cm²를 도우즈와 30KeV의 에너지로 이온주입한다. 그리하여 상기 제2게이트(76)의 하부를 제외한 기판(62)상에 p모오스 트랜지스터의 제1소오스 및 드레인(83,84)을 형성한다.

그 다음 상기 제 5e 도에서 상기 제2포도레지스트(82)를 제거한 후 상기 기판(62) 전면에 1000~1300Å의 두께를 실리콘 산화막을 도포한다. 그후 반응성 이온 식각(Reactive Ion Etching)을 실시하여 각각의 게이트 측벽에 제1산화막 스페이서(86)를 형성한다. 그 다음 상기 n웰(66) 영역 상면에 제3포도레지스트(88)를 형성한 후 기판 전면에 n형 불순물을 5E15ions/cm²의 도우즈와 40KeV의 에너지로 이온 주입한다. 그리하여 상기 제1게이트(74) 하부 및 제1산화막 스페이서(86) 하부를 제외한 기판상에 n모오스 트랜지스터의 제2소오스 및 드레인(89,90)을 형성한다.

상기 제 5f 도에서 상기 제3포도레지스트(88)를 제거한 후 상기 기판(62) 전면에 1000~1500Å의 두께로 실리콘 산화막(92)을 도포한다.

그 다음 상기 제 5g 도에서 반응성 이온 식각을 실시하여 각각의 제1산화막 스페이서(86) 측면에 제2산화막 스페이서(94)를 형성한다. 그후 상기 p웰(64)영역 상면에 제4포도레지스트(96)를 형성한 후 기판 전면에 p형 불순물을 5E15ions/cm²의 도우즈와 40KeV의 에너지로 이온 주입한다. 통상적으로 이온 주입 공정후의 열처리 공정에 의한 도우핑 영역의 최고 측면확산 거리는 최종 확산깊이의 0.75배 정도이다. 그러므로 상기 제1 및 제2산화막 스페이서(86,94)의 전체 폭이 상기 최종 확산깊이의 0.75배 정도보다 크도록 공정을 실시한다. 그결과 2회 과정에 걸쳐 형성된 제1 및 제2산화막 스페이서(86,94)의 폭이 p형 불순물의 확산거리 보다 훨씬 크기 때문에 이온 주입된 p형 불순물이 열처리 과정을 거치면서 확산되더라도 LDD구조의 p모오스 트랜지스터가 형성된다.

제 6 도는 본 발명의 다른 실시예에 따른 단면도로서, 상기 제 4 도 및 제 5 도와 같은 명칭에 해당하는 것은 같은 번호를 사용하였다.

상기 제 4 도 내지 제 5 도에 도시된 본 발명의 일실시예에서는 게이트(76)형성후 제1소오스 및 드레인(93,84)을 형성하고 제 2 산화막 스페이서(94) 형성후 제 2 소오스 및 드레인(98,99)을 형성하여 LDD구조를 구현하였다.

그러나 상기 제 6 도에 도시된 다른 실시예에서는 제1스페이서(86) 형성후 p형 불순물 이온 주입 공정을 더 구비하여 상기 제1소오스 및 드레인과 제2소오스 및 드레인 사이에 해당하는 농도를 가지는 제3소오스 및 드레인(100,101)을 형성하여 트리플(triple) 구조의 확산 영역을 형성할 수도 있다. 상기 제3소오스 및 드레인(100,101)을 형성하기 위한 이온 주입공정시의 도우즈는 약 5E14ions/cm²으로 한다.

또한 본 발명의 일실시예에서는 p모오스 트랜지스터의 제1소오스 및 드레인 영역을 게이트 형성후에 형성하였으나 본 발명의 다른 실시예에서는 제1스페이서 형성후에 형성할 수도 있다.

상기 제 6 도에 도시한 실시예의 제1소오스 및 드레인 영역을 제1스페이서 형성후에 형성하는 경우 에 있어서 상기 제2스페이서의 폭이 P형 불순물의 측면 확산거리보다 크도록 한다.

상술한 바와 같이 본 발명은 반도체 트랜지스터의 제조방법 및 그 구조에 있어서, 제1스페이서를 형성한 후 n모오스 트랜지스터의 제2소오스 및 드레인을 형성하기 위한 이온 주입을 실시하고, 제2스페이서를 형성한 후 p모오스 트랜지스터의 제2소오스 및 드레인을 형성하기 위한 이온 주입을 실시함으로써 n모오스 트랜지스터와 p모오스 트랜지스터 각각에 희망하는 LDD 구조의 확산 영역을 형성할 수 있는 효과가 있다.

뿐만 아니라 n모오스 트랜지스터의 확산 저항을 증가시키지 않고도 LDD 구조의 p모오스 트랜지스터를 구현할 수 있는 효과도 있다.

또한 LDD 구조의 p모오스 트랜지스터를 형성함으로써 p모오스 트랜지스터의 펀치스루(punch through)를 억제할 수 있다. 그 결과 p모오스 트랜지스터의 크기를 줄일 수 있을뿐만 아니라 그에

따라 동작 속도를 증가시킬 수 있는 효과도 있다.

(57) 청구의 범위

청구항 1

제1 또는 제2도전형의 반도체 기판내에 제1 및 제2도전형의 제1 및 제2트랜지스터 영역을 구비하는 반도체 트랜지스터의 제조방법에 있어서, 상기 제1 및 제2트랜지스터 영역(64,66) 상면에 게이트 절연막(72)을 중간층으로 하는 제1 및 제2게이트(74,76)를 형성한 후 서로 다른 사진 식각 공정에 의해 상기 각각의 트랜지스터 영역내에 제2 및 제1도전형의 불순물을 이온 주입하여 제1 및 제2농도의 확산영역(80,81)(83,84)을 형성하는 제1공정과, 상기 게이트(74,76)의 양 측벽에 제1절연막 스페이서(86)를 형성하는 제2공정과, 상기 제1트랜지스터 영역(64)만 노출되도록 한 후 제2도전형의 불순물을 이온 주입하여 제1농도보다 고농도를 갖는 제3농도의 확산영역(89,90)을 형성하는 제3공정과, 상기 제1절연막 스페이서(86)의 양 측면에 제2절연막 스페이서(94)를 형성하는 제4공정과, 상기 제2트랜지스터 영역(66)만 노출되도록 한 후 제1도전형의 불순물을 이온 주입하여 제2농도보다 고농도를 갖는 제4농도의 확산영역(98,99)을 형성하는 제5공정을 구비하여 상기 공정들이 순차적으로 이루어짐을 특징으로 하는 반도체 트랜지스터의 제조방법.

청구항 2

제 1 항에 있어서, 상기 제1 및 제2도전형이 각각 p형 및 n형임을 특징으로 하는 반도체 트랜지스터의 제조방법.

청구항 3

제 1 항에 있어서, 상기 제1트랜지스터의 제1 및 제3농도의 확산 영역 사이의 측면 간격이 상기 제1 절연막 스페이서(86)의 폭에 의해 한정되고, 상기 제2트랜지스터의 제2 및 제4농도의 확산 영역 사이의 측면 간격이 상기 제1 및 제2절연막 스페이서(86,94)의 전체폭에 의해 한정됨을 특징으로 하는 반도체 트랜지스터의 제조방법.

청구항 4

제 2 항에 있어서, 상기 제3공정후 상기 제2트랜지스터 영역(66)을 한정하여 제1도전형의 불순물을 상기 제1공정에서 보다 고농도이면서 제5공정에서 보다는 저농도로 이온 주입하는 공정을 더 구비하여 상기 제2트랜지스터가 트리플 구조의 확산영역을 가지도록 함을 특징으로 하는 반도체 트랜지스터의 제조방법.

청구항 5

제 2 항에 있어서, 상기 제2트랜지스터의 제2농도 확산영역을 형성하기 위한 이온 주입 공정이 상기 제1절연막 스페이서(86)를 형성한 후에 실시됨을 특징으로 하는 반도체 트랜지스터의 제조방법.

청구항 6

제 1 항에 있어서, 상기 게이트 절연막(72)이 산화막임을 특징으로 하는 반도체 트랜지스터의 제조방법.

청구항 7

제 1 항에 있어서, 상기 제1 및 제2절연막 스페이서(86,94)가 소정 두께의 절연막을 상기 기판(62) 상면에 형성한 후 반응성 이온 식각을 실시함에 의해 형성됨을 특징으로 하는 반도체 트랜지스터의 제조방법.

청구항 8

제 1 항에 있어서, 상기 제1 및 제2절연막 스페이서(86,94)가 산화막 또는 질화막으로 형성됨을 특징으로 하는 반도체 트랜지스터의 제조방법.

청구항 9

제 1 항에 있어서, 상기 게이트(74,76)가 제1 또는 제2도전형의 다결정 실리콘 또는 금속으로 형성됨을 특징으로 하는 반도체 트랜지스터의 제조방법.

청구항 10

제1도전형의 반도체 기판 또는 웰 내에 제1채널 영역에 의해 서로 소정거리 이격되어 형성된 제2도전형의 확산영역과, 상기 제1채널영역 상부에 형성된 게이트를 구비하는 제1트랜지스터와, 제2도전형의 웰 또는 반도체 기판내에 제2채널 영역에 의해 서로 소정거리 이격되어 형성된 제1도전형의 확산영역과, 상기 제2채널영역 상부에 형성된 게이트를 구비하는 제2트랜지스터를 구비하는 반도체 트랜지스터에 있어서, 상기 제1 및 제2트랜지스터가 각각의 게이트 측벽에 형성된 제1 및 제2절연막 스페이서를 구비하여 상기 제1트랜지스터의 확산영역이 상기 제1절연막 스페이서와 제1게이트의 폭에 의해 측면 경계 사이의 거리가 한정되는 제1농도 및 제3농도의 확산영역으로 이루어지고, 상기 제2트랜지스터의 확산 영역이 상기 제2게이트와 제1 및 제2절연막 스페이서의 전체 폭에 의해 측면 경계 사이의 거리가 한정되는 제3농도 및 제4농도의 확산 영역으로 이루어짐을 특징으로 하는 반도체 트랜지스터.

청구항 11

제 10 항에 있어서, 상기 제1도전형이 p형이고, 제2도전형이 n형임을 특징으로 하는 반도체 트랜지스터.

청구항 12

제 10 항에 있어서, 상기 제1 및 제2절연막 스페이서(86,94)의 전체 폭이 적어도 상기 제4농도의 확산영역(98,99)의 최종 확산깊이의 0.75배임을 특징으로 하는 반도체 트랜지스터.

청구항 13

제 12 항에 있어서, 상기 제2트랜지스터가 제3농도 및 제4농도의 확산 영역 사이에 상기 제2절연막 스페이서의 두께에 의해 상기 제4농도의 확산 영역의 측면 경계와의 거리가 한정되고 상기 제3농도와 제4농도 사이의 농도를 가지는 확산 영역을 더 구비함을 특징으로 하는 반도체 트랜지스터.

청구항 14

제 3 항에 있어서, 상기 제1 및 제2절연막 스페이서(86,94)의 전체 폭이 적어도 상기 제4농도의 확산영역(98,99)의 최종 확산깊이의 0.75배임을 특징으로 하는 반도체 트랜지스터의 제조방법.

청구항 15

제 5 항 또는 제 6 항에 있어서, 상기 제2절연막 스페이서(94)의 폭이 적어도 상기 제4농도의 확산영역(98,99)의 최종 확산깊이의 0.75배임을 특징으로 하는 반도체 트랜지스터의 제조방법.

청구항 16

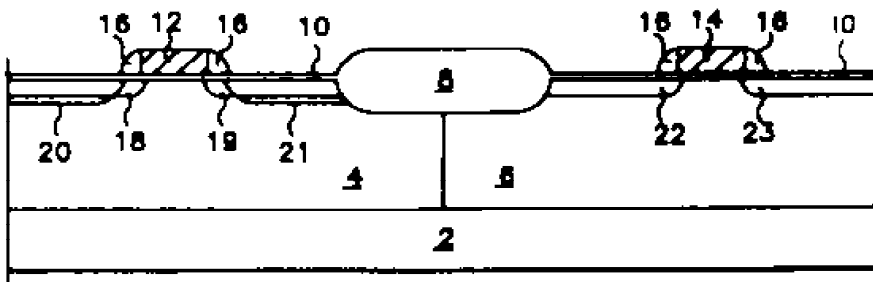
제 13 항에 있어서, 상기 제1 및 제2절연막 스페이서(86,94)의 전체 폭이 적어도 상기 제4농도의 확산영역의 최종 확산깊이의 0.75배임을 특징으로 하는 반도체 트랜지스터.

청구항 17

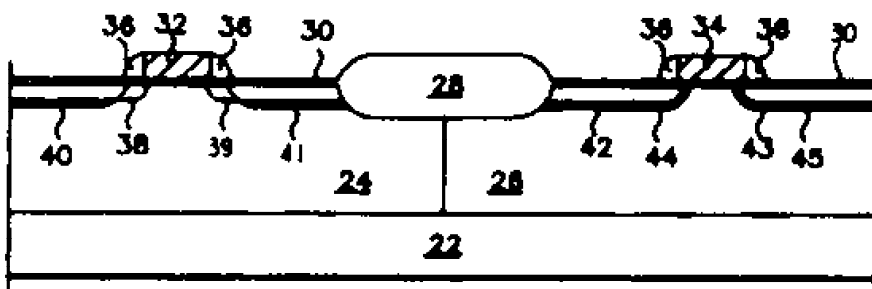
제 16 항에 있어서, 상기 제2절연막 스페이서(94)의 폭이 적어도 상기 제4농도의 확산영역의 최종 확산깊이의 0.75배임을 특징으로 하는 반도체 트랜지스터.

도면

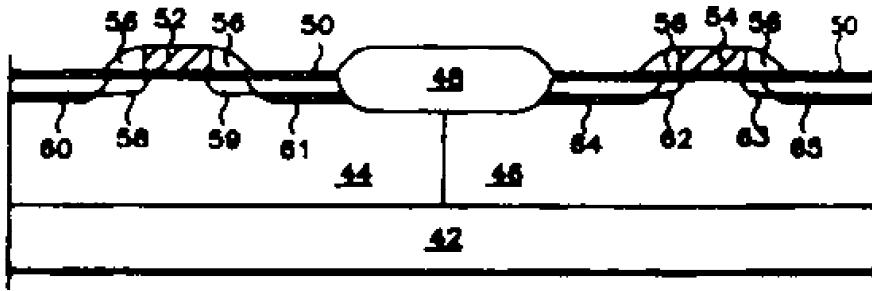
도면1



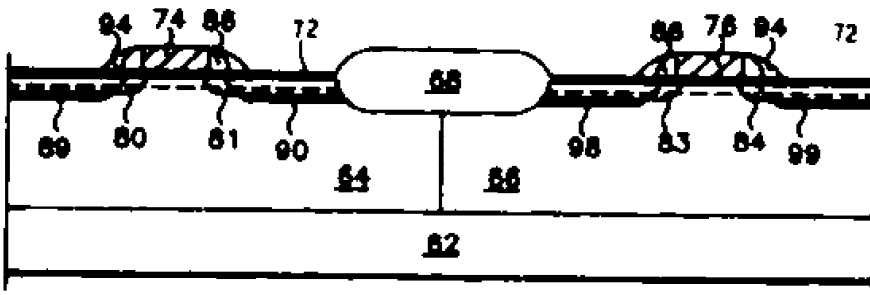
도면2



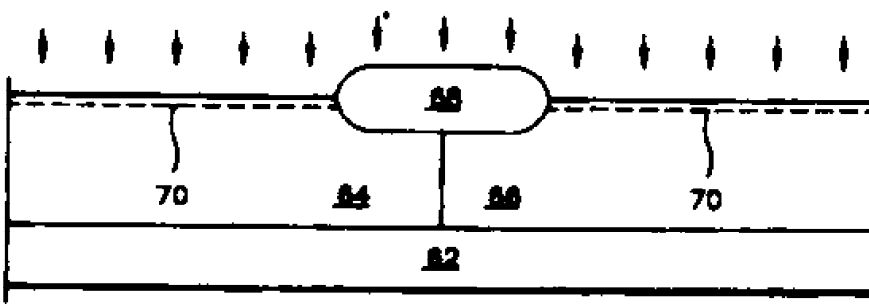
도면3



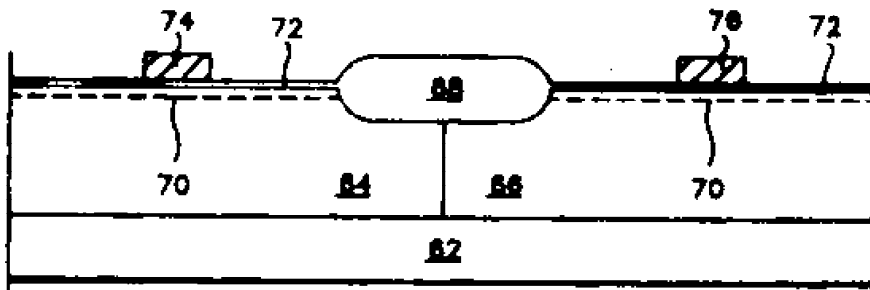
도면4



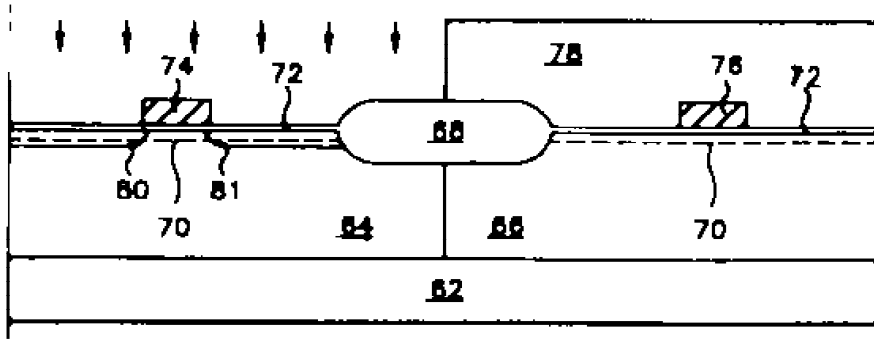
도면5-A



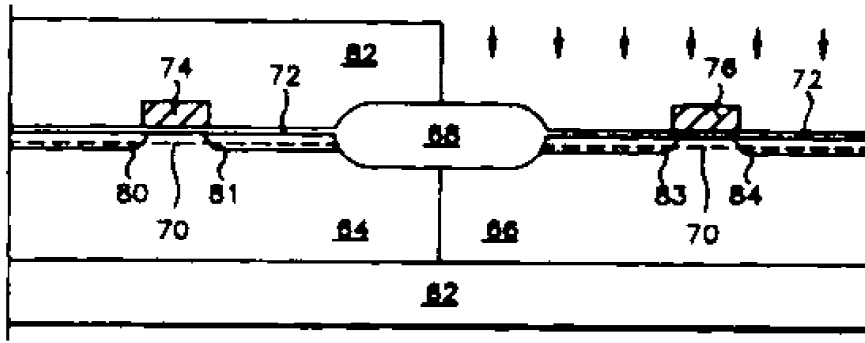
도면5-B



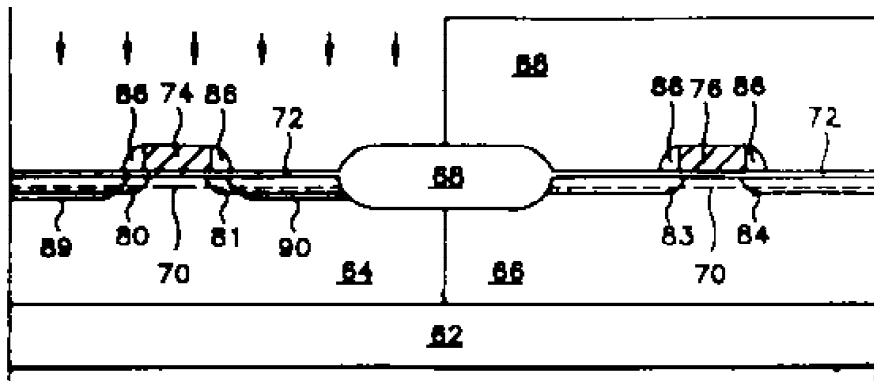
도면5-C



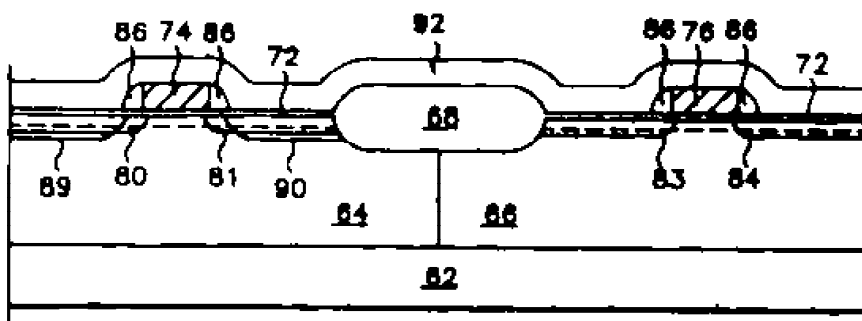
도면5-D



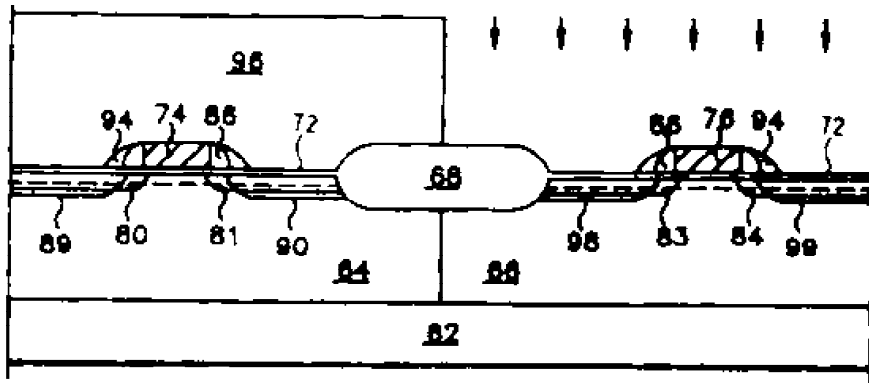
도면5-E



도면5-F



도면5-G



도면6

