

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3623400号
(P3623400)

(45) 発行日 平成17年2月23日(2005.2.23)

(24) 登録日 平成16年12月3日(2004.12.3)

(51) Int. Cl.⁷

F I

H O 1 L 21/8242

H O 1 L 27/10 6 2 5 A

H O 1 L 27/108

請求項の数 11 (全 21 頁)

(21) 出願番号	特願平11-195671	(73) 特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成11年7月9日(1999.7.9)	(74) 代理人	100083161 弁理士 外川 英明
(65) 公開番号	特開2000-307086(P2000-307086A)	(72) 発明者	高東 宏 神奈川県横浜市磯子区新杉田町8番地 株 式会社東芝 横浜事業所内
(43) 公開日	平成12年11月2日(2000.11.2)	(72) 発明者	国分 弘一 神奈川県横浜市磯子区新杉田町8番地 株 式会社東芝 横浜事業所内
審査請求日	平成15年1月16日(2003.1.16)	審査官	井原 純
(31) 優先権主張番号	特願平10-197736		
(32) 優先日	平成10年7月13日(1998.7.13)		
(33) 優先権主張国	日本国(JP)		
(31) 優先権主張番号	特願平11-35299		
(32) 優先日	平成11年2月15日(1999.2.15)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、この半導体基板に配列形成されたメモリセルとを有し、前記メモリセルは、ワード線に接続されるゲート電極及びこのゲート電極に整合されて形成された第1及び第2の不純物拡散層を有するMOSトランジスタと、前記第1及び第2の不純物拡散層のうち第1の不純物拡散層に接続されたキャパシタとから構成され、且つ前記第2の不純物拡散層がビット線に接続される半導体装置において、

前記メモリセルを構成するMOSトランジスタは、前記第2の不純物拡散層側に隣接するゲート電極との間隙よりも前記第1の不純物拡散層側に隣接するゲート電極との間隙が狭く、

前記メモリセルを構成するMOSトランジスタの前記第1及び第2の不純物拡散層のうち第2の不純物拡散層の表面に金属シリサイド膜が形成され、

前記MOSトランジスタのゲート電極の前記第1及び第2の不純物拡散層側の側壁にそれぞれ第1及び第2のスペーサ絶縁膜が形成され、前記第1のスペーサ絶縁膜は前記第1の不純物拡散層側に隣接するゲート電極のスペーサ絶縁膜と連続して前記第1の不純物拡散層上を覆い、前記第2のスペーサ絶縁膜は前記第2の不純物拡散層側に隣接するゲート電極のスペーサ絶縁膜とは所定の間隙をおいて分離されており、その間隙に整合されて前記第2の不純物拡散層の表面に金属シリサイド膜が形成されていることを特徴とする半導体装置。

【請求項2】

10

20

前記MOSトランジスタのゲート電極上に金属シリサイド膜が形成されていることを特徴とする請求項1に記載の半導体装置

【請求項3】

前記MOSトランジスタの第2の不純物拡散層の表面に形成された金属シリサイド膜は、前記ビット線のコンタクト部のサイズ及び位置に拘わらず前記第2の不純物拡散層領域に自己整合されていることを特徴とする請求項1に記載の半導体装置。

【請求項4】

前記半導体基板に複数のMOSトランジスタを有するロジック回路が集積形成され、このロジック回路を構成する各MOSトランジスタのソース、ドレイン拡散層及びゲート電極の表面に自己整合されて金属シリサイド膜が形成されていることを特徴とする請求項1に記載の半導体装置。

10

【請求項5】

半導体基板にキャパシタを形成する工程と、

前記半導体基板に、ワード線となるゲート電極、及びこのゲート電極に整合された第1及び第2の不純物拡散層を有し、前記第1の不純物拡散層が前記キャパシタの一方のノードに接続され、前記ゲート電極は前記第2の不純物拡散層側に隣接するゲート電極との間隙よりも前記第1の不純物拡散層側に隣接するゲート電極との間隙が狭いMOSトランジスタを形成する工程と、

前記MOSトランジスタのゲート電極の前記第1及び第2の不純物拡散層側の側壁にそれぞれ第1及び第2のスペーサ絶縁膜を、前記第1のスペーサ絶縁膜は前記第1の不純物拡散層側に隣接するゲート電極のスペーサ絶縁膜と連続して前記第1の不純物拡散層を覆い、前記第2のスペーサ絶縁膜は前記第2の不純物拡散層側に隣接するゲート電極のスペーサ絶縁膜とは所定の間隙をおいて分離されて前記第2の不純物拡散層が露出するように形成する工程と、

20

前記MOSトランジスタの前記第2の不純物拡散層の表面に金属シリサイド膜を形成する工程と、

前記MOSトランジスタの第2の不純物拡散層に前記金属シリサイド膜を介して接続されるビット線を形成する工程と有することを特徴とする半導体装置の製造方法。

【請求項6】

前記キャパシタはトレンチキャパシタであることを特徴とする請求項5に記載の半導体装置の製造方法。

30

【請求項7】

前記金属シリサイド膜を形成する工程は、前記MOSトランジスタの第2の不純物拡散層の領域と同時に前記MOSトランジスタのゲート電極にそれぞれ自己整合されて形成されることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項8】

半導体基板の素子形成領域の両端部にそれぞれキャパシタノードが埋め込まれた第1及び第2のトレンチキャパシタを形成する工程と、

前記第1及び第2のトレンチキャパシタに挟まれた前記素子領域に第1の間隔をおいて配置されて隣接する二つのメモリセルのワード線となる第1及び第2のゲート電極と、前記第1及び第2のトレンチキャパシタ領域上を前記第1及び第2のゲート電極に対してそれぞれ第1の間隔より狭い第2の間隔をおいて通過するように配置された第3及び第4のゲート電極とをパターン形成する工程と、

40

前記各ゲート電極をマスクとして前記素子形成領域に不純物をドーピングして、前記第1のゲート電極と前記第3のゲート電極の間及び前記第2のゲート電極と前記第4のゲート電極の間にそれぞれ前記第1及び第2のトレンチキャパシタのキャパシタノードに接続される第1の不純物拡散層を形成すると同時に、前記第1及び第2のゲート電極の間に前記二つのメモリセルで共有される第2の不純物拡散層を形成する工程と、

前記各ゲート電極の側壁に、前記第1のゲート電極と前記第3のゲート電極の間及び前記第2のゲート電極と前記第4のゲート電極の間では連続して前記第1の不純物拡散層を覆

50

い、前記第 1 のゲート電極と前記第 2 のゲート電極の間では分離されて前記第 2 の不純物拡散層が露出するようにスペーサ絶縁膜を形成する工程と、
前記各ゲート電極上と前記露出した第 2 の不純物拡散層上に金属シリサイド膜を形成する工程と、
前記第 2 の不純物拡散層に前記金属シリサイド膜を介して接続されるビット線を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 9】

ソース、ドレイン拡散層及びゲート電極のうちゲート電極の表面のみに金属シリサイド膜が形成された第 1 のトランジスタと、キャパシタノードが前記ソース、ドレイン拡散層の一方と電気的に接続されたトレンチキャパシタを有するメモリセルアレイ部と、
ソース、ドレイン拡散層及びゲート電極の表面に金属シリサイド膜が形成された第 2 のトランジスタを有するロジック回路部とを具備し、
前記第 1 のトランジスタのゲート電極の側壁にはそれぞれ第 1 及び第 2 の側壁絶縁膜が形成され、前記第 1 の側壁絶縁膜は前記ソース、ドレイン拡散層の一方の側に隣接するゲート電極の側壁絶縁膜と連続して前記ソース、ドレイン拡散層の一方を覆い、前記ソース、ドレイン拡散層の他方側の第 2 の側壁絶縁膜は前記ソース、ドレイン拡散層の他方の側に隣接するゲート電極の側壁絶縁膜とは所定の間隙をおいて分離されていることを特徴とする半導体装置。

10

【請求項 10】

前記金属シリサイド膜は、コバルトシリサイド膜であることを特徴とする請求項 1 又は請求項 9 に記載の半導体装置。

20

【請求項 11】

半導体基板のメモリセルアレイ領域にメモリセルを構成するキャパシタを形成する工程と、
前記半導体基板のメモリセルアレイ領域にゲート電極が連続的に配設されてワード線となり、ソース、ドレイン拡散層の一方が前記キャパシタに接続され、他方がビット線コンタクト層となる第 1 のトランジスタを、それらのゲート電極がビット線コンタクト層側に隣接するゲート電極とのスペースよりキャパシタ側に隣接するゲート電極とのスペースが狭い不均一ピッチで配列されるように形成し、同時にロジック回路領域に第 2 のトランジスタを形成する工程と、
前記第 1 及び第 2 のトランジスタのゲート電極の側面に、前記メモリセルアレイ領域のゲート電極間スペースのうち狭いスペースを埋めるように側壁絶縁膜を形成する工程と、
前記第 1 及び第 2 のトランジスタのソース、ドレイン拡散層に重ねてゲート電極と前記側壁絶縁膜に自己整合された高濃度不純物拡散層を形成する工程と、
前記半導体基板に前記側壁絶縁膜と同種の第 1 の絶縁膜及びこれと異種の第 2 の絶縁膜を順次堆積する工程と、
前記第 2 の絶縁膜をエッチングして前記メモリセルアレイ領域のゲート電極間スペースのうち広いスペースのみに残す工程と、
前記第 2 の絶縁膜をマスクとして前記第 1 の絶縁膜をエッチング除去して、前記メモリセルアレイ領域の第 1 のトランジスタのゲート電極の表面、前記ロジック回路領域の第 2 のトランジスタのソース、ドレイン拡散層及びゲート電極の表面を露出させる工程と、
前記第 1 のトランジスタのゲート電極の表面及び、前記第 2 のトランジスタのソース、ドレイン拡散層及びゲート電極の表面に自己整合的に金属シリサイド膜を形成する工程と、
を有することを特徴とする半導体装置の製造方法。

30

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置及びその製造方法に係り、特にロジック / D R A M 混載デバイスに好適なメモリセルトランジスタ構造とその製造方法に関する。

【0002】

50

【従来の技術】

近年、メモリとの高速且つ大量のデータ転送を実現するため、ロジックとDRAMを1つのチップに混載する技術が求められている。ロジック回路デバイスにおいては、従来より、回路性能を高めるために、MOSトランジスタのゲート電極及びソース、ドレイン拡散層に金属シリサイドを貼り付けて低抵抗化する技術が用いられている。従って、ロジック/DRAM混載デバイスのDRAMメモリセルについても、同様の低抵抗化技術を適用することが望まれる。

しかし、DRAMメモリセルについては、メモリキャパシタに繋がる接合でのリーク電流を抑制し電荷保持特性を向上されるためには、金属シリサイドをソース、ドレイン領域に貼り付けない方が良くとされている（例えば、“Trade-offs in the Integration of High Performance Devices with Trench Capacitor DRAM”, S. Crowder et al., p45-48, IEDM971）。これは一つには、金属シリサイド膜をソース、ドレイン領域の表面に形成した場合に、金属シリサイドが拡散層を突き抜けることによる接合リークが生じるおそれがあるからである。また金属シリサイド膜を形成するためには通常、ソース、ドレイン領域に $1E15/cm^2$ 程度以上のドーズ量で高濃度不純物拡散層を形成することが必要となる。このような高濃度不純物拡散層を形成すると、この高濃度不純物拡散層を起因して接合リークが大きくなる。

【0003】

【発明が解決しようとする課題】

ロジック/DRAM混載デバイスにおいては、製造工程数を如何に低減するかが重要な課題である。従って、製造工程を簡略化しながら、ソース、ドレイン拡散層及びゲート電極の低抵抗化を図り、しかもメモリキャパシタの優れた電荷保持特性を保つようなロジック/DRAM混載デバイスの製造技術が求められている。

もし、1チップ内で、ロジック回路部では金属シリサイドを貼り付け、DRAMセルアレイ部では金属シリサイド膜を貼り付けない、というように領域を分けるとすると、そのためのマスク工程とそれに付随する加工工程を追加することが必要となり、製造工程数の増加を招く。

本発明は、上記事情を考慮してなされたもので、信号蓄積ノードとなる不純物拡散層の信号保持特性を劣化させず、また製造工程数の増加を招くことのない半導体装置とその製造方法を提供することを目的としている。

【0004】

【課題を解決するための手段】

本願発明の一態様によれば、半導体基板と、この半導体基板に配列形成されたメモリセルとを有し、前記メモリセルは、ワード線に接続されるゲート電極及びこのゲート電極に整合されて形成された第1及び第2の不純物拡散層を有するMOSトランジスタと、前記第1及び第2の不純物拡散層のうち第1の不純物拡散層に接続されたキャパシタとから構成され、且つ前記第2の不純物拡散層がビット線に接続される半導体装置において、前記メモリセルを構成するMOSトランジスタは、前記第2の不純物拡散層側に隣接するゲート電極との間隙よりも前記第1の不純物拡散層側に隣接するゲート電極との間隙が狭く、前記メモリセルを構成するMOSトランジスタの前記第1及び第2の不純物拡散層のうち第2の不純物拡散層の表面に金属シリサイド膜が形成され、前記MOSトランジスタのゲート電極の前記第1及び第2の不純物拡散層側の側壁にそれぞれ第1及び第2のスペーサ絶縁膜が形成され、前記第1のスペーサ絶縁膜は前記第1の不純物拡散層側に隣接するゲート電極のスペーサ絶縁膜と連続して前記第1の不純物拡散層上を覆い、前記第2のスペーサ絶縁膜は前記第2の不純物拡散層側に隣接するゲート電極のスペーサ絶縁膜とは所定の間隙をおいて分離されており、その間隙に整合されて前記第2の不純物拡散層の表面に金属シリサイド膜が形成されていることを特徴とする半導体装置が提供される。

【0005】

また、本願発明の他の一態様によれば、ソース、ドレイン拡散層及びゲート電極のうち

ゲート電極の表面のみに金属シリサイド膜が形成された第1のトランジスタと、キャパシタノードが前記ソース、ドレイン拡散層の一方と電氣的に接続されたトレンチキャパシタを有するメモリセルアレイ部と、ソース、ドレイン拡散層及びゲート電極の表面に金属シリサイド膜が形成された第2のトランジスタを有するロジック回路部とを具備し、前記第1のトランジスタのゲート電極の側壁にはそれぞれ第1及び第2の側壁絶縁膜が形成され、前記第1の側壁絶縁膜は前記ソース、ドレイン拡散層の一方の側に隣接するゲート電極の側壁絶縁膜と連続して前記ソース、ドレイン拡散層の一方を覆い、前記ソース、ドレイン拡散層の他方側の第2の側壁絶縁膜は前記ソース、ドレイン拡散層の他方の側に隣接するゲート電極の側壁絶縁膜とは所定の間隙をおいて分離されていることを特徴とする半導体装置が提供される。

10

【0006】

また、本願発明の他の一態様によれば、半導体基板にキャパシタを形成する工程と、前記半導体基板に、ワード線となるゲート電極、及びこのゲート電極に整合された第1及び第2の不純物拡散層を有し、前記第1の不純物拡散層が前記キャパシタの一方のノードに接続され、前記ゲート電極は前記第2の不純物拡散層側に隣接するゲート電極との間隙よりも前記第1の不純物拡散層側に隣接するゲート電極との間隙が狭いMOSトランジスタを形成する工程と、前記MOSトランジスタのゲート電極の前記第1及び第2の不純物拡散層側の側壁にそれぞれ第1及び第2のスペーサ絶縁膜を、前記第1のスペーサ絶縁膜は前記第1の不純物拡散層側に隣接するゲート電極のスペーサ絶縁膜と連続して前記第1の不純物拡散層を覆い、前記第2のスペーサ絶縁膜は前記第2の不純物拡散層側に隣接するゲート電極のスペーサ絶縁膜とは所定の間隙をおいて分離されて前記第2の不純物拡散層が露出するように形成する工程と、前記MOSトランジスタの前記第2の不純物拡散層の表面に金属シリサイド膜を形成する工程と、前記MOSトランジスタの第2の不純物拡散層に前記金属シリサイド膜を介して接続されるビット線を形成する工程とを有することを特徴とする半導体装置の製造方法が提供される。

20

【0007】

また、本願発明の他の一態様によれば、半導体基板の素子形成領域の両端部にそれぞれキャパシタノードが埋め込まれた第1及び第2のトレンチキャパシタを形成する工程と、前記第1及び第2のトレンチキャパシタに挟まれた前記素子領域に第1の間隔をおいて配置されて隣接する二つのメモリセルのワード線となる第1及び第2のゲート電極と、前記第1及び第2のトレンチキャパシタ領域上を前記第1及び第2のゲート電極に対してそれぞれ第1の間隔より狭い第2の間隔をおいて通過するように配置された第3及び第4のゲート電極とをパターン形成する工程と、前記各ゲート電極をマスクとして前記素子形成領域に不純物をドーピングして、前記第1のゲート電極と前記第3のゲート電極の間及び前記第2のゲート電極と前記第4のゲート電極の間にそれぞれ前記第1及び第2のトレンチキャパシタのキャパシタノードに接続される第1の不純物拡散層を形成すると同時に、前記第1及び第2のゲート電極の間に前記二つのメモリセルで共有される第2の不純物拡散層を形成する工程と、前記各ゲート電極の側壁に、前記第1のゲート電極と前記第3のゲート電極の間及び前記第2のゲート電極と前記第4のゲート電極の間では連続して前記第1の不純物拡散層を覆い、前記第1のゲート電極と前記第2のゲート電極の間では分離されて前記第2の不純物拡散層が露出するようにスペーサ絶縁膜を形成する工程と、前記各ゲート電極上と前記露出した第2の不純物拡散層上に金属シリサイド膜を形成する工程と、前記第2の不純物拡散層に前記金属シリサイド膜を介して接続されるビット線を形成する工程とを有することを特徴とする半導体装置の製造方法が提供される。

30

40

【0008】

また、本願発明の他の一態様によれば、半導体基板のメモリセルアレイ領域にメモリセルを構成するキャパシタを形成する工程と前記半導体基板のメモリセルアレイ領域にゲート電極が連続的に配設されてワード線となり、ソース、ドレイン拡散層の一方が前記キャパシタに接続され、他方がビット線コンタクト層となる第1のトランジスタを、それらのゲート電極がビット線コンタクト層側に隣接するゲート電極とのスペースよりキャパシタ

50

側に隣接するゲート電極とのスペースが狭い不均一ピッチで配列されるように形成し、同時にロジック回路領域に第2のトランジスタを形成する工程と、前記第1及び第2のトランジスタのゲート電極の側面に、前記メモリセルアレイ領域のゲート電極間スペースのうち狭いスペースを埋めるように側壁絶縁膜を形成する工程と、前記第1及び第2のトランジスタのソース、ドレイン拡散層に重ねてゲート電極と前記側壁絶縁膜に自己整合された高濃度不純物拡散層を形成する工程と、前記半導体基板に前記側壁絶縁膜と同種の第1の絶縁膜及びこれと異種の第2の絶縁膜を順次堆積する工程と、前記第2の絶縁膜をエッチングして前記メモリセルアレイ領域のゲート電極間スペースのうち広いスペースのみに残す工程と、前記第2の絶縁膜をマスクとして前記第1の絶縁膜をエッチング除去して、前記メモリセルアレイ領域の第1のトランジスタのゲート電極の表面、前記ロジック回路領域の第2のトランジスタのソース、ドレイン拡散層及びゲート電極の表面を露出させる工程と、前記第1のトランジスタのゲート電極の表面及び、前記第2のトランジスタのソース、ドレイン拡散層及びゲート電極の表面に自己整合的に金属シリサイド膜を形成する工程とを有することを特徴とする半導体装置の製造方法が提供される。

10

【0010】

【発明の実施の形態】

<第1の実施の形態>

以下、本発明の第1の実施の形態について図面(図1～図13)を参照して説明する。

図1の平面図及び図2の縦断面図に、本発明をロジック/DRAM混載デバイスに適用した第1の実施の形態におけるDRAMセルアレイ部の平面とそのA-A'線に沿う縦断面とを示す。

20

DRAMセルアレイ部には、シリコン基板1に、素子分離絶縁膜12により区画された細長い矩形の素子形成領域11が配列形成される。素子分離絶縁膜12は、例えばSTI(Shallow Trench Insulation)技術による埋め込み絶縁膜により形成されている。各素子形成領域11には、MOSトランジスタQMとキャパシタCMからなる二つのメモリセルが形成されている。キャパシタCMは素子形成領域11の両端部に配置される。

本実施の形態におけるキャパシタCMは、トレンチキャパシタである。即ちキャパシタCMは図2に示すように、基板11に加工されたトレンチ21と、このトレンチ21の側壁から基板1に拡散形成されたプレート電極となるn型層23と、トレンチ側壁に形成されたキャパシタ絶縁膜22と、トレンチ内部に埋め込まれたキャパシタノード24とを有する。

30

【0011】

キャパシタノード24は、n型不純物をドーブした多結晶シリコンである。キャパシタノード24の上面は、絶縁膜28により覆われる。トレンチ21の上部にはカラー25が形成され、その一部に開口26が開けられている。この開口26から基板1に拡散形成されるn型層27は、後に形成されるMOSトランジスタQMの拡散層34aとつながる。

キャパシタCMにより挟まれた一つの素子形成領域11内に、二つのMOSトランジスタQMが形成されている。MOSトランジスタQMは、シリコン基板1にゲート絶縁膜31を介して形成されたゲート電極32(32a, 32b, 32c, 32d, ...)と、このゲート電極32に自己整合されて形成された第1及び第2のn型拡散層34a, 34bとを有する。第1の拡散層34aは例えばソース領域であり、これはn型拡散層27を介してキャパシタノード24に接続される。第2の拡散層34bはドレイン領域であり、ビット線5に接続される。ゲート電極32は、図1に示すように、一方向に連続的に配設されて、ワード線WLとなる。

40

本実施の形態においては、メモリセルを構成するMOSトランジスタQMの第1の拡散層34aと第2の拡散層34bのうち、第2の拡散層34b側にも、高濃度のn+型層35が形成され、このn+型層35の表面にチタンシリサイド膜36が形成されている。キャパシタノード24に接続される第1の拡散層34aにはチタンシリサイド膜は形成されない。チタンシリサイド膜36は各ゲート電極32にも形成されている。

50

【0012】

また、本実施の形態では、格別のマスク工程を用いることなく、MOSトランジスタQMの第1の拡散層34aと第2の拡散層34bのうち、第2の拡散層34b側にのみ、チタンシリサイド膜35を形成している。これは、ゲート電極32のレイアウトを工夫したセルフアライン工程により可能となっている。以下に、具体的に説明する。

図2に示されたように、素子形成領域11において形成された二つの隣接メモリセルのMOSトランジスタQMを構成する第1のゲート電極32aと第2のゲート電極32bと間の間隔を、図1に示すようにL1とする。これら第1及び第2のゲート電極32a、32bの外側に、キャパシタCMの領域上を通過するワード線として配置される第3のゲート電極32c及び第4のゲート電極32dについては、それぞれ第1、第2のゲート電極32a、32bとの間隔をL2とする。本実施の形態では、図1に示すように、 $L1 > L2$ としている。

このようなゲート電極レイアウトとして、ゲート電極32の側壁にシリコン窒化膜によるスペーサ絶縁膜37を形成する。図2に示すように、第1、第2のゲート電極32a、32bと、第3、第4のゲート電極32c、32dの間では、スペーサ絶縁膜37が連続して第1の拡散層34aを覆う。第1、第2のゲート電極32a、32bの間では、スペーサ絶縁膜37が分離されて、第2のn型拡散層34bが露出した状態が得られる。具体的にこの状態は、間隔L1を、スペーサ絶縁膜37の膜厚の2倍以上とし、間隔L2をスペーサ絶縁膜37の膜厚の2倍以下とすることにより得られる。

【0013】

このようにしてスペーサ絶縁膜37を形成した状態で、n型不純物のドーピングを行うと、第1、第2のゲート電極32a、32bの間で、第2のn型拡散層34bにのみn+型層35が形成される。更に、チタンシリサイドの選択成長を行うことにより、図2に示したように、第2の拡散層34bの領域、及び各ゲート電極32の領域に自己整合されたチタンシリサイド膜36が形成されることになる。

MOSトランジスタQMが形成された後、層間絶縁膜4が堆積される。層間絶縁膜4は本実施の形態の場合、シリコン窒化膜41とシリコン酸化膜(BPSG膜)42の積層膜である。層間絶縁膜4にはビット線コンタクト用の孔43が開けられ、ここにコンタクト用タングステン層44が平坦に埋め込まれる。その後、層間絶縁膜4上にビット線5が配設される。

ここまでは、一つの素子形成領域11内の第1、第2のゲート電極32a、32bと、これらの外側の第3、第4のゲート電極32c、32dとの関係を説明した。更にこれらの外側、即ちビット線方向に隣接する素子形成領域に配置されるゲート電極32e、32fと第3、第4のゲート電極32c、32dとの間隔L3は、本実施の形態では、 $L2 < L3 < L1$ に設定されている。そして、これらのゲート電極32e、32fと第3、第4のゲート電極32c、32dとの間も、スペーサ絶縁膜37により埋め込まれるようにしている。具体的に本実施の形態の場合、間隔L3は、スペーサ絶縁膜37の膜厚の2倍より僅かに大きい値に設定しているが、スペーサ絶縁膜を形成する際のエッチング工程を工夫することにより、分子分離絶縁膜12が露出しないようにしている。

【0014】

以上のように本実施の形態では、一つの素子形成領域内で隣接する二つのメモリセルを構成するMOSトランジスタQMのビット線4に接続される第2のn型拡散層34b側にのみ、チタンシリサイド膜36が形成されている。この場合、チタンシリサイド膜36は、第2のn型拡散層34b及びゲート電極32に自己整合的に形成されていて、ビット線コンタクト孔43のサイズや位置とは無関係に形成することができる。

また本実施の形態のように、 $L2 < L1$ の関係を満たすことにより、拡散層35の上面上にはチタンシリサイド膜36が形成されているので、コンタクト抵抗を低減できると共に、拡散層34aの上にはチタンシリサイド膜が形成されていないので、キャパシタノード24に蓄積された電荷が拡散層34aを介してシリコン基板1へリークすることを防止することができる。

距離 L_3 は、隣接メモリセルのキャパシタの間隔でほぼ決まるが、 $L_3 < L_1$ なる関係は、ゲート電極 32c、32e の間、32b、32d の間にスペーサ絶縁膜 37 を残して、素子分離絶縁膜 12 が露出するのを防止し、後の工程で素子分離絶縁膜 12 がエッチングされるのを防止するために必要である。この要求を満たすためには、 L_3 はなるべく小さい方が良い。しかし極端に小さくなると、素子分離領域でのゲート電極短絡の原因となるから、 L_2 よりは大い値とすることが望ましい。

【0015】

また、拡散層 35 の上ゲート電極（ワード線）32 の上にチタンシリサイド膜 36 を形成し、拡散層 34a の上にはチタンシリサイド膜を形成しないようにするため、 $L_2 < L_1$ なる関係を満たすように、ゲート電極 32 を形成している。従って製造工程の増加もない

10

。またゲート電極 32 の側面は絶縁膜 33 と 37 で覆われており、且つチタンシリサイド膜 36 の上面及び側面は絶縁膜 41 で覆われているので、タンゲステン層 41 を形成する際、自己整合的に形成することができる。

更に、本実施の形態では、 $L_2 < L_1$ なる関係を満たせばよいので、 L_2 を小さくすることにより、ゲート電極 32a とキャパシタノード 24 との間の距離、即ち拡散層 34a の距離を短くすることが可能となり、抵抗を低減できる。

本実施の形態において、DRAM と混載されるロジック回路部の構造は、一つの MOS トランジスタ QC に着目して示すと、図 3 のようになる。図 2 のメモリセル部と同じ工程で形成される部分には同じ符号を付して、対応関係を明らかにしている。MOS トランジスタ QC は、シリコン基板 1 の素子分離絶縁膜 12 により囲まれた素子形成領域 13 に形成される。MOS トランジスタ QC のソース、ドレイン拡散層 34a、34b には共に、 n 型拡散層 35 が形成され、その表面にチタンシリサイド膜 36 が形成されている。ゲート電極 32 にもチタンシリサイド膜 35 が形成されている。ソース、ドレイン拡散層 34a、34b はそれぞれ層間絶縁膜 4 に埋め込まれたタンゲステン層 44 を介して信号配線 6、7 に接続される。信号配線 6、7 はビット線 5 と同じ導体配線膜をパターンニングして形成される。即ち、ロジック回路部では、メモリセル部で発生する電荷のリークという問題はないので、各ゲート電極 32 及び拡散層 35 上にチタンシリサイド膜 36 を形成することにより、抵抗を低減できる。

20

【0016】

次に、上記第 1 の実施の形態における具体的な製造工程を、DRAM セルアレイに着目して説明する。図 4 及び図 5 は、シリコン基板 1 にトレンチキャパシタ CM を形成し、素子分離を行った状態の平面図とその A-A 断面図である。ここまでの工程は通常知られている工程であるので、簡単に説明する。

30

まずシリコン基板 1 にトレンチ 21 を加工し、固相拡散等を利用して n 型層 23 を形成する。次いでトレンチ側壁にキャパシタ絶縁膜 22 を形成し、内部にキャパシタノード 24 を埋め込み形成する。キャパシタノード 24 の埋め込み工程は実際には複数ステップで行われる。トレンチ 21 の上部にはカラー 25 を形成し、その一部に開口 26 を開けて、キャパシタノード 24 の不純物を外方拡散させて n 型層 27 を形成する。

キャパシタ CM の形成後、素子分離絶縁膜 12 を STI 技術により埋め込み形成する。これにより、図 4 に示すように、細長い素子形成領域 11 が区画され、各素子形成領域 11 の両端部にキャパシタ CM が配置された状態が得られる。

40

図 6 及び図 7 は、MOS トランジスタ QM の形成工程を示す平面図とその A-A 断面図である。図示のように、素子形成領域 11 にゲート絶縁膜 31 を形成し、ゲート電極 32 をパターン形成する。続いてゲート電極 32 をマスクとして P (リン) のイオン注入により、第 1、第 2 の n 型拡散層 34a、34b を形成する。ゲート電極 32 は例えば、250 nm の多結晶シリコン膜である。ゲート電極 32 は図 6 に示すように連続的にパターン形成されてワード線 WL となるが、素子形成領域 11 上の有効なゲート電極幅は例えば、0.25 μm とする。

【0017】

50

ゲート電極 32 は、一つの素子形成領域 11 内のビット線コンタクト部を迂回するような屈曲パターンとする。即ち、一つの素子形成領域 11 内の隣接メモリの第 1, 第 2 のゲート電極 32a, 32b の間隔は、 $L1 = 0.55 \mu\text{m}$ とする。これらの第 1, 第 2 のゲート電極 32a, 32b と、それぞれの外側に配置される第 3, 第 4 のゲート電極 32c, 32d との間隔は、 $L2 = 0.2 \mu\text{m}$ とする。更に、第 3, 第 4 のゲート電極 32c, 32d と、それぞれの外側に配置されるゲート電極 32e, 32f との間隔は、 $L3 = 0.25 \mu\text{m}$ とする。

以下の工程は、断面図のみを用いて説明する。上述のように素子形成された基板に、図 8 に示すように、 20 nm のシリコン酸化膜 33 と、側壁絶縁膜 37 となる 90 nm のシリコン窒化膜、更に 75 nm のアモルファスシリコン膜 38 を順次堆積する。シリコン酸化膜 33 は、TEOS (tetraethyl oxysilane) を原料として CVD により形成される TEOS 酸化膜である。これにより、ゲート電極 32 の間のスペースのうち、狭い部分を完全に埋め込む。第 1, 第 2 のゲート電極 32a, 32b とそれぞれ第 3, 第 4 のゲート電極 32c, 32d の間は、シリコン窒化膜 37 のみで平坦に埋め込まれるが、その外側に残る狭いスペースを埋めるためにアモルファスシリコン膜 38 を堆積している。その後、CDE (Chemical Dry Etching) 等の等方性エッチングによりアモルファスシリコン膜 38 をエッチバックして、図 9 に示すように、第 3, 第 4 のゲート電極 32c, 32d の外側の狭いスペースのみにアモルファスシリコン膜 38 を残す。

【0018】

次に、シリコン窒化膜を、シリコン酸化膜及びアモルファスシリコンに対してエッチング選択比の大きい条件に設定された RIE (Reactive Ion Etching) によりエッチバックして、図 10 に示すように、ゲート電極 32 の側壁にスペース絶縁膜 37 を形成する。このとき、図示のように、大きいスペースを持つ第 1, 第 2 のゲート電極 32a, 32b の間では、スペース絶縁膜 37 が分離されて TEOS 酸化膜 33 が露出した状態になる。それ以外のゲート電極の間は、スペースが小さいため、スペース絶縁膜 37 が連続してスペースを完全に埋めた状態になる。

なお、図 8 及び図 9 で説明したアモルファスシリコン膜 38 の堆積とエッチングの工程は、付加的なものである。例えば、各ゲート電極間隔が、第 1, 第 2 のゲート電極 32a, 32b の間を除いて、シリコン酸化膜 33 とシリコン窒化膜 37 の合計膜厚の $1/2$ 以下であれば、アモルファスシリコン膜 38 の堆積とエッチングの工程は、不要となる。

この後、図 11 に示すように、As (砒素) イオン注入を行い、第 1, 第 2 のゲート電極 32a, 32b の間の第 2 の n 型拡散層 34b に重ねて、高濃度の n+ 型拡散層 35 を形成する。このとき同時に各ゲート電極 32 にも As がドーブされて、n+ 型層となる。キャパシタノード 24 に接続される第 1 の n 型拡散層 34a には、スペース絶縁膜 37 によりマスクされて As がドーブされない。n+ 型拡散層 35 は、イオン注入後のアニールにより活性化される。

【0019】

次に、フッ酸系のエッチング液によりゲート電極 32 上及びビット線コンタクト部の n+ 型拡散層 35 上に残るシリコン酸化膜 33 を除去し、図 12 に示すように、第 1 及び第 2 のゲート電極 32a, 32b の間の n+ 型拡散層 35、及び各ゲート電極 32 のシリコン面を露出させる。このとき、キャパシタノード 24 側の第 1 の n 型拡散層 34a の面は、シリコン窒化膜によるスペース絶縁膜 37 でマスクされていて露出しない。

次に、図 13 に示すように、n+ 型拡散層 35 及びゲート電極 32 上にチタンシリサイド膜 36 を選択的に形成する。この工程を具体的に説明すれば次のようになる。まず露出したシリコン面をアモルファス化するために、As イオン注入を行う。次いで、 30 nm 程度の Ti (チタン) 膜と TiN (チタン窒化物) 膜を続けて維持する。その後、RTA (Rapid Thermal Anneal) 等によりアニールすることにより、Ti/TiN 膜とシリコンを反応させてチタンシリサイド膜 36 を形成する。最後に、未反応の Ti/TiN 膜を選択的にエッチング除去する。

10

20

30

40

50

その後、図2に示すように、層間組織膜4として30nm程度のプラズマCVDシリコン窒化膜41及び700nm程度のBPSG膜42を堆積して平坦化する。そして、ビット線コンタクト部にコンタクト孔43を開口して、ここにW膜44を埋め込む。その後ビット線5をパターン形成する。

【0020】

上記実施の形態によれば、ロジック/DRAM混載デバイスを、比較的簡単な製造工程でしかも優れた特性をもって作ることができる。高密度化が強く要求されるDRAM単体の場合には、DRAMセルアレイのMOSトランジスタのゲート電極間隔、即ちワード線間隔をできる限り小さくすることが必要である。そのために、微細なゲート電極間のスペースにビット線をコンタクトさせるべく、ビット線のセルフアラインコンタクト技術が用いられる。このビット線のセルフアラインコンタクトを行うためには、ビット線とワード線の短絡防止のために、各ゲート電極の表面をシリコン窒化膜で覆うという工程が必要となる。

これに対して、ロジック/DRAM混載デバイスでは、DRAMの大規模化、高密度化よりも、如何に製造工程を簡単にし、且つ高性能を実現するかが重要になる。この様な観点から、図1及び図2で説明したように、ゲート電極32を屈曲パターンとして、ビット線コンタクト部を広くとることが許容される。そして、DRAMセルトランジスタのキャパシタノードに接続される拡散層を除いて、ロジック回路部及びDRAMセルアレイ部の全ての拡散層にチタンシリサイド膜を貼り付ける。これにより、キャパシタノードにつながる拡散層にシリサイド膜を形成することによるリーク増大を防止して、優れた電荷保持特性を実現すると同時に、ソース、ドレイン拡散層の低抵抗化を図ることができる。

【0021】

更に、上記実施の形態では、ビット線コンタクトにはセルフアラインコンタクト技術を用いないため、ゲート電極はシリコン窒化膜で覆われない。従って、DRAMセルアレイのゲート電極上にもソース、ドレイン拡散層上と同時にチタンシリサイド膜を形成することができる。しかも、特定の拡散層を除く全ての拡散層及びゲート電極へのチタンシリサイド膜の形成は、複雑なマスク工程を用いない選択成長技術により行われる。

即ち、ゲート電極パターンの設計と側壁絶縁膜形成工程の組み合わせを利用することにより、各拡散層及びゲート電極にセルフアラインされたチタンシリサイド膜が形成される。図2と図3から明らかなように、ロジック部とDRAMセルアレイ部のMOSトランジスタを基本的に同様の構造として、両者に共通の製造工程を適用することができる。

本発明は、上記実施の形態に限定されない。例えば、本発明をDRAM単体に適用した場合にも、一定の効果が得られる。即ち、DRAM単体の場合であっても、DRAMセルトランジスタのキャパシタノード側の第1の不純物拡散層には金属シリサイド膜を形成せず、第2の不純物拡散層にのみ金属シリサイドを形成すれば、優れたキャパシタの電荷保持特性を保ちながら、ビット線コンタクト側の第2の不純物拡散層を低抵抗化することができる。

【0022】

また、上記実施の形態では、ドレンチキャパシタ構造のDRAMを説明したが、スタック型キャパシタ構造のDRAMについても同様に本発明は有効である。スタック型キャパシタの場合にも、キャパシタ側の拡散層のリークが、電荷保持特性を劣化させることは、同じである。従って、キャパシタ側の第1の拡散層には金属シリサイドを形成せず、ビット線コンタクト側の第2の拡散層に金属シリサイドを形成することにより、先の実施の形態と同様に、信号蓄積ノードの接合リークに起因する信号電荷保持特性の劣化を防止することができ、製造工程数を増加させることなく、高速性能を得ることができる。

更に、本発明は、DRAM以外のMOSトランジスタ回路にも適用することができる。例えば、MOSトランジスタ集積回路においても、DRAMセルのMOSトランジスタと同様に、ソース、ドレイン拡散層のうち例えばソース拡散層がフローティングとなり得る信号蓄積ノードに接続されるといふMOSトランジスタの使用法がある。この様なMOSトランジスタについて、本実施の形態のDRAMセルのMOSトランジスタと同様の構造と

10

20

30

40

50

し、それ以外のMOSトランジスタについてはソース、ドレイン拡散層の双方の表面に金属シリサイド膜を形成することにより、同様の効果が得られる。

【0023】

DRAM以外の回路の一例として、フラッシュメモリにも本発明を適用することができることを以下に説明する。図24に、NAND型フラッシュメモリの回路構成を示す。1本のビット線BLと接地線GLとの間に、セレクトゲートSG1のソース及びドレインと、8つのコントロールゲートCG1~CG8のソース及びドレインと、セレクトゲートSG2のソース及びドレインとが、直列に接続されている。セレクトゲートSG1の一方の端子は、ビット線コンタクトBCを介してビット線BLに接続されている。

このフラッシュメモリの縦断面構造を図25に示す。この構造は、上記実施の形態によるDRAMにおいて、トレンチキャパシタCMを除去し、ビット線コンタクトBC間に、1つのセレクトゲートSG1、8つのコントロールゲートCG1~CG8、1つのセレクトゲートSG2を配置したものに对应する。

素子領域111において、セレクトゲートSG1としてのMOSトランジスタと、コントロールゲートCG1~CG8としてのフローティングゲートを有するMOSトランジスタとが形成されている。ここで、製造プロセスを共用するため、セレクトゲートSG1及び2においても、トランジスタの構造としてはコントロールゲートCG1~CG8と同様に、フローティングゲートを有しているが、回路動作としてはフローティングゲートは用いない。

【0024】

セレクトゲートSG1及びSG2としてのMOSトランジスタは、シリコン基板101上に、ゲート絶縁膜131を介して形成されたフローティングゲート電極201と、フローティングゲート電極201上に中間絶縁膜として形成されたONO(Oxide-Nitride-Oxide)膜202と、その表面上に形成されたゲート電極132と、このゲート電極132に自己整合的に形成された第1及び第2のn型拡散層134a, 134bとを有する。第1の拡散層134aは例えばソース領域である。第2の拡散層134bは例えばドレイン領域であり、ビット線コンタクトBCを介してビット線BLに接続されている。ゲート電極132は、図25に示すように、一方向に連続的に配設されて、ワード線WLを構成する。

このNAND型フラッシュメモリにおいては、このMOSトランジスタの第1の拡散層134aと第2の拡散層134bのうち、第2の拡散層134b側にのみ、高濃度のn+型層135が形成され、このn+型層135の表面にチタンシリサイド膜136が形成されている。第1の拡散層134aには、チタンシリサイド膜は形成されない。チタンシリサイド膜136は、コントロールゲートCG1~CG8の各ゲート電極132上にも形成されている。

【0025】

ここで、セレクトゲートSG1は信号電荷を蓄積するか否かを決定するスイッチング素子として作用し、上記第1の実施の形態によるDRAMにおけるトランジスタQMに対応する。8つのコントロールゲートCG1~CG8は、信号電荷を蓄積するためのエレメントであって、上記DRAMにおけるトレンチキャパシタに対応する。よって、セレクトゲートSG1の二つの拡散層134a, 134bのうち、コントロールゲートCG1の信号蓄積ノードに接続された拡散層134aの表面上にはチタンシリサイド膜が形成されておらず、ビット線コンタクトBCに接続された拡散層134bの表面上にチタンシリサイド膜136が形成されている。

また、このフラッシュメモリにおいても、上記第1の実施の形態によるDRAMと同様に、格別のマスク工程を用いることなく、セレクトゲートSG1及びSG2の第1の拡散層134aと第2の拡散層134bのうち、第2の拡散層134b側にのみ、チタンシリサイド膜135を形成している。これは、ゲート電極132のレイアウトを工夫したセルフアライン工程により可能となる。

さらに、上記実施の形態では、シリコン層の低抵抗化の材料として、チタンシリサイド膜

10

20

30

40

50

を用いたが、他の金属シリサイド膜を用いることができる。好ましい金属シリサイドは、抵抗率が低く、且つシリコン層への選択成長が可能なものである。

【0026】

<第2の実施の形態>

次に、本発明の第2の実施の形態について図面(図14~図26)を参照して説明する。図14に、本発明の実施の形態によるDRAM/ロジック混載半導体装置のDRAMセルアレイ領域のレイアウトを示す。図示のように、DRAMセルを構成するMOSトランジスタMQとキャパシタMCが配列形成されている。このMOSトランジスタMQは、情報転送用のものである。MOSトランジスタMQのゲート電極307は、一方向に連続的に配設されてワード線WLとなる。ワード線WLと交差して配設されるビット線BLは、ビット線コンタクトBCを介してMOSトランジスタMQに接続される。

10

図15は、図1のDRAMセルアレイ領域のA-A位置の断面と、ロジック回路領域の一つのトランジスタPQ部の断面を併せて示している。ロジック回路領域のMOSトランジスタPQでは、ソース、ドレイン拡散層312及びゲート電極307の上面に金属シリサイド膜315が形成されている。これに対して、DRAMセルアレイのMOSトランジスタMQでは、ソース、ドレイン拡散層312の表面には金属シリサイド膜が形成されておらず、ゲート電極307の上面にのみ金属シリサイド膜315が形成されている。

【0027】

そして、DRAMセルアレイ領域におけるビット線コンタクト領域では、ゲート電極間の距離がL2となっており、DRAMセルアレイにおける他の部分でのゲート電極間の距離L1よりも広がっている。そのため、ビット線コンタクト領域ではシリコン窒化膜311aが側壁絶縁膜として形成されているのに対し、他の部分ではシリコン窒化膜311aがゲート電極間に埋め込まれた構造となっている。

20

また、DRAMセルアレイ領域において、ソース、ドレイン拡散層312と電気的に接続されたコンタクトプラグ318が層間絶縁膜たるBPSG膜317内に形成されている。さらに、BPSG膜317の上面には、コンタクトプラグ318と電気的に接続されたビット線319が形成されている。

また、トレンチ型のキャパシタMCがシリコン基板301内に形成されている。このキャパシタMCはキャパシタノード306と、キャパシタ絶縁膜305と、プレート電極となるn+型拡散層304とからなる。そして、キャパシタノード306は、ソース、ドレイン領域308の一方と電気的に接続されている。

30

ここで、金属シリサイド膜315としては、例えばコバルトシリサイド膜やチタンシリサイド膜が用いられる。金属シリサイド膜としてコバルトシリサイド膜を用いると、素子の微細化が進み、例えば0.2 μ m程度以下の加工を施しても、シート抵抗が増加しないという効果が得られる。

【0028】

次に、図15の断面に着目して、この実施の形態での製造工程を、図16~図23を参照して説明する。図16に示すように、p型シリコン基板1のDRAMセルアレイ領域にはトレンチ型のキャパシタMCを形成し、また必要な素子分離絶縁膜302を形成する。キャパシタMCは、シリコン基板301に加工されたトレンチ303と、その内面に形成されたキャパシタ絶縁膜305と、トレンチ303に埋め込まれたn+型多結晶シリコンからなるキャパシタノード306とを有する。トレンチ303の側面には、不純物拡散によりn+型拡散層304が形成される。素子分離絶縁膜302は、STI(Shallow Trench Isolation)技術により埋め込み形成される。

40

その後、シリコン基板301にゲート酸化膜を介して多結晶シリコン膜を200nm厚に堆積し、リソグラフィとRIEによりゲート電極307をパターニングする。DRAMセルアレイ領域では、ゲート電極307は、図14に示すように一方向に連続してワード線WLとなるようにパターニングされる。また、DRAMセルアレイ領域でのゲート電極307の配列ピッチは、不均一に設定される。即ちあるゲート電極に着目したとき、これとキャパシタMC側に隣接するゲート電極との間のスペースL1に対して、ビット線コンタ

50

クトBC側に隣接するゲート電極との間のスペースL2を2倍以上の大きさとする。具体的にこの実施の形態では、 $L1 = 0.175 \mu\text{m}$ とし、 $L2 = 0.5 \mu\text{m}$ としている。ゲート電極307の幅Wは、 $W = 0.175 \mu\text{m}$ である。

【0029】

以上のようにゲート電極307を形成した後、ゲート電極307に自己整合的にリンイオン注入を行い、高温の熱処理を行って、ソース、ドレイン領域の低濃度不純物拡散層であるn-型拡散層308を形成する。このときイオン注入条件は、加速電圧20KeV、ドーズ量 $3.5E13/cm^2$ とする。なお、キャパシタMCの上端部には、キャパシタノード306が露出する開口が開けられている。この開口からキャパシタノード306の不純物が外方拡散することにより、MOSトランジスタMQのキャパシタMC側のn-型拡散層308はキャパシタノード306に接続される。ここで、MOSトランジスタMQは、キャパシタMCに蓄積された情報の、情報転送用のトランジスタとなる。

次に、図17に示すように、厚さ20nmのシリコン酸化膜310と厚さ70nmのシリコン窒化膜311を順次堆積する。DRAMセルアレイ領域では、ゲート電極307の間の狭い方のスペースL1が150nmであるから、シリコン酸化膜310の厚みを考慮すると、DRAMセルアレイ領域では、ゲート電極307の間のスペースL1、L2のうち狭い方のスペースL1が完全にシリコン窒化膜311で埋め込まれる。但しこのプロセスは、シリコン窒化膜311をまず150nm程度の厚みに堆積し、その後リン酸系エッチング液等を用いた等方性エッチングによりシリコン窒化膜311を70nm残すようにエッチングする方法を用いてもよい。このような方法を用いれば、プロセス上のばらつきに関わらずシリコン窒化膜311をスペースL1に完全に埋め込むことが可能となる。ここで、シリコン窒化膜311をスペースL1に完全に埋め込む必要はない。しかし、素子の微細化を図る上で、これを完全に埋め込むことが有利となる。

【0030】

次に、図18に示すように、シリコン窒化膜311をRIEによりエッチングして、シリコン窒化膜311をゲート電極307の側面に側壁絶縁膜311aとして残す。DRAMセルアレイ領域では、ゲート電極307間のスペースのうち狭いスペースL1には、隣接する側壁絶縁膜311aが互いに接した状態で埋め込まれ、広いスペースL2では一定の距離をおいて側壁絶縁膜311aが形成される。

その後、ゲート電極307及び側壁絶縁膜311aに自己整合された砒素イオン注入と高温熱処理を行う。このときイオン注入条件は、加速電圧65KeV、ドーズ量 $4E15/cm^2$ とする。これにより、各MOSトランジスタMQ、PQのソース、ドレイン領域に、n-型拡散層308に重なる高濃度不純物拡散層としてn+型拡散層312が形成される。但し、DRAMセルアレイ領域では、ゲート電極307間の狭いスペースL1は側壁絶縁膜311aで完全に覆われているため、n+型拡散層は形成されない。これにより、ロジック回路領域のMOSトランジスタPQはソース、ドレイン領域ともにLDD構造となり、DRAMセルアレイ領域のMOSトランジスタMQは、ビット線コンタクトBC側のみがLDD構造となる。このイオン注入工程では同時に、各ゲート電極307にも砒素がドーブされて、ゲート電極307は低抵抗となる。

【0031】

次に、図19に示すように、基板全面に20nm程度の薄いシリコン窒化膜313を堆積し、引き続き300nm程度の厚いシリコン酸化膜314を堆積する。そして、高温でのリフロー処理、CMP処理の少なくとも一方又は両方の処理を行って、シリコン酸化膜314を平坦化する。この場合、リフロー処理及びCMP処理の両方を行うことによって、シリコン酸化膜314内に「巣」と呼ばれる空洞が生じるのを防止するとともに、その平坦性を確実なものとするのが可能となる。

次に、図20に示すように、フッ酸系エッチャントを用いたウェットエッチングにより、シリコン酸化膜314を所定厚みだけ除去する。これにより、シリコン酸化膜314をDRAMセルアレイ領域のゲート電極間スペースL1、L2のうち、広い方のスペースL2のみに残す。このとき、ロジック回路領域はスペースが広いため、シリコン酸化膜314

が完全に除去されることとなる。

しかし、ロジック回路領域のシリコン酸化膜 314 の除去を確実なものとするために、DRAMセルアレイ領域を覆うマスク（図示せず）を形成して、シリコン酸化膜 314 をウェットエッチングなどにより確実にエッチング除去することも必要に応じて行う。

【0032】

次に、図 8 に示すように、シリコン酸化膜 314 をマスクとして、RIE によりシリコン窒化膜 313 をエッチング除去する。これにより、シリコン窒化膜 313 は、シリコン酸化膜 314 で覆われているスペース L2 の部分、及び側壁絶縁膜 311a の側面にのみ残る。

次に、図 22 に示すように、フッ酸系ウェットエッチングによりシリコン酸化膜 310、314 をエッチングする。これにより、各 MOS トランジスタ MQ、PQ のゲート電極 307 の表面を露出させ、ロジック回路領域では MOS トランジスタ PQ のソース、ドレイン領域の n+ 型拡散層 312 の表面を露出させる。ただし、DRAMセルアレイ領域では、シリコン窒化膜 313 が存在することによって、ソース、ドレイン領域 312 が露出するのを防止することができる。なお、このとき実際には、ゲート電極 307 の側面に形成されているシリコン酸化膜 310 の上端が後退するが、図ではこれを無視している。

次に、図 23 に示すように、露出しているゲート電極 307 の表面、及びロジック回路領域のソース、ドレイン領域の拡散層 312 の表面に自己整合的に金属シリサイド膜 315 を形成する。この金属シリサイド膜 315 の工程は具体的には、以下の通りである。すなわち、まず、全面に Co/Ti 膜を 100 ~ 200 nm 程度堆積する。次に、非酸素雰囲気中、例えば窒素雰囲気中で、400 ~ 600 程度、60 分程度のアニールを行い、シリコンに接している Co/Ti 膜をシリサイド化する。この工程により、CoSi が形成される。次に、未反応の Co/Ti 膜を硫酸によりエッチング除去する。次に、非酸素雰囲気中、例えば窒素雰囲気中で、700 ~ 800 程度、30 分程度のアニールを行う。これにより、CoSi がより低抵抗で、かつ安定している CoSi₂ となる。このとき DRAMセルアレイ領域では、ソース、ドレイン領域はマスクされていて、金属シリサイド膜は形成されない。

【0033】

なお、ここでは金属シリサイド膜 315 として、コバルトシリサイド膜を利用したが、Co/Ti 膜の代わりに Ti/TiN を用いて上記と同様の工程を経ることにより、金属シリサイド膜 315 としてチタンシリサイド膜を形成することが可能となる。ただし、金属シリサイド膜 315 としてコバルトシリサイド膜を用いると、素子の微細化が進み、例えば 0.2 μm 程度以下の加工を施しても、シート抵抗が増加しないという効果が得られる。

その後、図 15 に示すように、プラズマ CVD 法により 30 nm 程度のシリコン窒化膜 316 を堆積し、続いて LPCVD 法により BPSG 膜 317 を堆積して平坦化する。シリコン窒化膜 316 は、コンタクト孔加工時のエッチングストップパである。ここで、シリコン窒化膜 316 を堆積するのに、400 ~ 500 程度の比較的低温であるプラズマ CVD 法を用いることにより、高温の熱に弱い金属シリサイド膜 315 が変質するのを防止することができる。そして、DRAMセルアレイ領域では、BPSG 膜 317 のビット線コンタクト BC 部に孔を開け、コンタクトプラグ 318 を埋め込む。その後 BPSG 膜 317 上にビット線 (BL) 319 をパターンニングする。ビット線 319 はコンタクトプラグ 318 を介して、MOS トランジスタ MQ の n+ 型拡散層 312 と接続される。

【0034】

なお、デュアルダマシーン法を適用することにより、ビット線 319 とコンタクトプラグ 318 とを同時に形成することもできる。この場合、BPSG 膜 317 にコンタクト孔を形成し、更にコンタクト孔を含む配線埋め込み領域に配線溝を加工した後、配線材料を堆積してこれを CMP 処理する。また、図では省略したが、ロジック回路領域についても、DRAMセルアレイ領域と同時に、同様のコンタクトと配線を形成することができる。その後は図示しないが、更に層間絶縁膜を堆積し、金属配線を形成する。金属配線は通常

10

20

30

40

50

、多層配線となる。更に最上層金属配線の上はパシベーション膜で覆う。

上記のように、本実施の形態によれば、1チップ内で、ロジック回路部ではゲート電極及びソース、ドレイン領域に金属シリサイド膜を貼り付け、セルアレイ部では、ゲート電極にのみ金属シリサイド膜を貼り付ける、というように領域を分けた半導体装置及びその製造方法が提供される。これにより、セルアレイ部のMOSトランジスタのソース領域及びドレイン領域の両方において接合リークを抑えることにより電荷保持特性を向上させると同時に、セルアレイ部のゲート電極及びロジック回路部では低抵抗化を図ることが可能となる。また、金属シリサイド膜15としてコバルトシリサイド膜を用いることにより、素子の微細化が進んでもシート抵抗の増大を防ぐことが可能となる。

【0035】

本発明は、上記実施の形態に限定されない。ここでは、トレンチ型のキャパシタを利用したDRAMについて説明したが、スタック型のキャパシタを利用したDRAMについても同様にこの発明は有効である。スタック型のキャパシタを利用したDRAMであっても、キャパシタ側の拡散層のリークが電荷保持特性を劣化させることは同様だからである。従って、DRAMセルアレイ領域ではソース、ドレイン拡散層上に金属シリサイド膜を形成せず、ロジック回路領域のソース、ドレイン拡散層上にのみ金属シリサイド膜を形成することにより、上記実施の形態と同様の効果を得ることが可能となる。

さらに、この発明は、DRAM以外のMOSトランジスタ回路にも適用できる。例えば、MOSトランジスタ集積回路においても、DRAMセルのMOSトランジスタと同様に、ソース、ドレイン拡散層のうち例えばソース拡散層がフローティングとなり得る信号蓄積ノードに接続されるというMOSトランジスタの使用法がある。このようなMOSトランジスタについて、上記実施の形態のDRAMセルのMOSトランジスタと同様の構造とし、それ以外のMOSトランジスタについてはソース、ドレイン拡散層の双方の表面に金属シリサイド膜を形成することにより、同様の効果を得ることができる。

【0036】

上記第1の実施の形態においても述べたように、NAND型フラッシュメモリに第2の実施の形態を適用してもよい。この場合のメモリ側の縦断面構造を図26に示す。ロジック回路側の縦断面構造は、図15において示したものと同様であり、説明を省略する。

図26に示されたメモリ側の構造は、図25に示されたメモリ側の構造におけるn+型拡散層135の表面のチタンシリサイド136を除去したものに相当する。

即ち、メモリ側ではゲート電極132上のみチタンシリサイド膜136が形成されている。そして、ロジック回路側では、図15に示されたように、MOSトランジスタPQのソース、ドレイン拡散層12及びゲート電極7の上面に、チタンシリサイド等の金属シリサイド膜15が形成されている。このように、本発明をフラッシュメモリにも適用することが可能であり、上記第2の実施の形態と同様な効果を得ることができる。

【0037】

【発明の効果】

以上説明したように本発明によれば、MOSトランジスタの二つの不純物拡散層に対して選択的に金属シリサイド膜の貼り付けを行うことにより、信号蓄積ノード側の接合リークに起因する信号保持特性劣化を防止しながら、MOSトランジスタ回路の高速性能を実現することができる。特にこの発明をロジック/DRAM混載デバイスに適用すれば、DRAMの優れた電荷保持特性を維持しながら、簡単な製造工程で優れた特性を表現することができる。

また本発明は、1チップ内で、ロジック回路部ではゲート電極及びソース、ドレイン領域に金属シリサイド膜を貼り付け、メモリセルアレイ部ではゲート電極にのみ金属シリサイド膜を貼り付ける、というように領域を分けることにより、信号保持特性劣化を防止しつつ、MOSトランジスタ回路の性能向上を図ることが可能である。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態によるロジック/DRAM混載デバイスのDRAMセルアレイ部の平面図。

10

20

30

40

50

【図 2】図 1 の A - A 断面図。

【図 3】第 1 の実施の形態にかかるロジック回路部の M O S トランジスタ構造を示す断面図。

【図 4】第 1 の実施の形態にかかる D R A M セルアレイ部のキャパシタ形成工程及び素子分離工程を示す平面図。

【図 5】図 4 の A - A 線に沿う断面図。

【図 6】第 1 の実施の形態にかかる D R A M セルアレイ部の M O S トランジスタ形成工程を示す平面図。

【図 7】図 6 の A - A 線に沿う断面図。

【図 8】第 1 の実施の形態にかかるスペーサ絶縁膜形成のための膜堆積工程を示す断面図 10

。【図 9】第 1 の実施の形態にかかるスペーサ絶縁膜形成のためのアモルファスシリコン埋め込み工程を示す断面図。

【図 10】第 1 の実施の形態にかかるシリコン窒化膜エッチングによるスペーサ絶縁膜形成工程を示す断面図。

【図 11】第 1 の実施の形態にかかるシリサイド膜形成のための A s イオン注入工程を示す断面図。

【図 12】第 1 の実施の形態にかかるシリサイド膜形成のための酸化膜エッチング工程を示す断面図。

【図 13】第 1 の実施の形態にかかるチタンシリサイド膜形成の工程を示す断面図。 20

【図 14】本発明の第 2 の実施の形態にかかる D R A M セルアレイのレイアウト図。

【図 15】第 2 の実施の形態による D R A M セルアレイ領域とロジック回路領域の断面図。

【図 16】第 2 の実施の形態による製造工程を説明するための断面図。

【図 17】第 2 の実施の形態による製造工程を説明するための断面図。

【図 18】第 2 の実施の形態による製造工程を説明するための断面図。

【図 19】第 2 の実施の形態による製造工程を説明するための断面図。

【図 20】第 2 の実施の形態による製造工程を説明するための断面図。

【図 21】第 2 の実施の形態による製造工程を説明するための断面図。

【図 22】第 2 の実施の形態による製造工程を説明するための断面図。 30

【図 23】第 2 の実施の形態による製造工程を説明するための断面図。

【図 24】N A N D 型フラッシュメモリの構成を示した回路図。

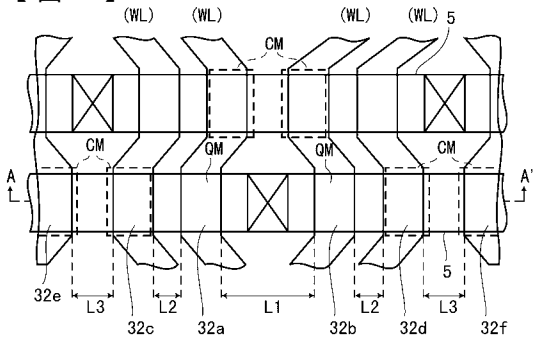
【図 25】上記第 1 の実施の形態を N A N D 型フラッシュメモリに適用した場合の構成を示した縦断面図。

【図 26】上記第 2 の実施の形態を N A N D 型フラッシュメモリに適用した場合の構成を示した縦断面図。

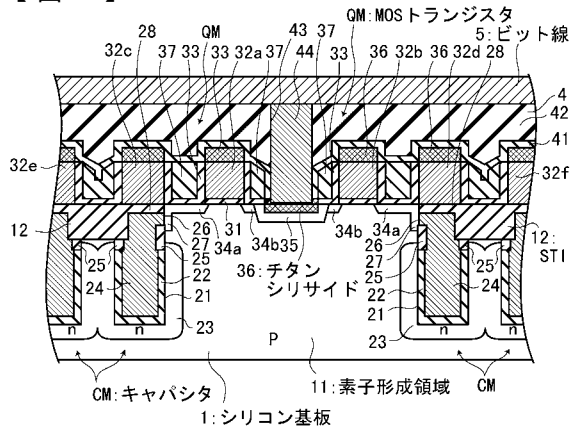
【符号の説明】

1、101、301...シリコン基板、11、111...素子形成領域、12、302...素子分離絶縁膜、CM...キャパシタ、21、303...トレンチ、22、305...キャパシタ絶縁膜、23...n型層、24、306...キャパシタノード、QM...M O S トランジスタ、31、131、307...ゲート絶縁膜、32、132...ゲート電極、34a、34b、134a、134b...第 1、第 2 の n 型拡散層、35、135、304、312...n + 型拡散層、33、310...シリコン酸化膜、36、136...チタンシリサイド膜、37、137...スペーサ絶縁膜、4...層間絶縁膜、41、311、313、316...シリコン窒化膜、41、314...シリコン酸化膜、43...コンタクト孔、44...タングステン、5、319、BL...ビット線、315...金属シリサイド膜、311a...側壁絶縁膜、317...B P S G 膜、318...コンタクトプラグ、CG1 ~ CG8...コントロールゲート、SG...セレクトゲート、BC...ビットラインコンタクト、MQ、PQ...M O S トランジスタ、MC...キャパシタ。 40

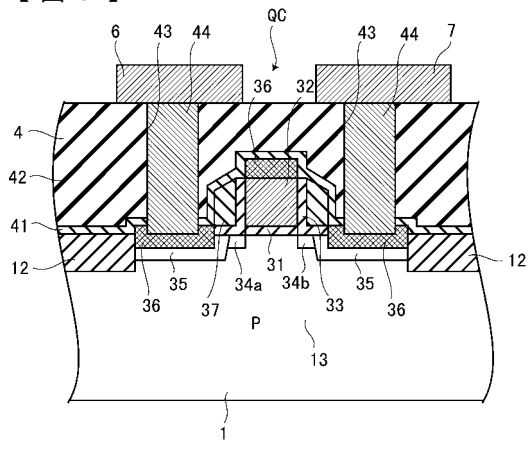
【図1】



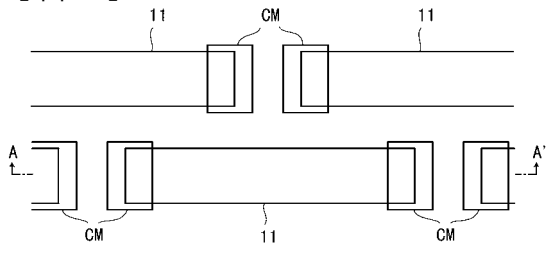
【図2】



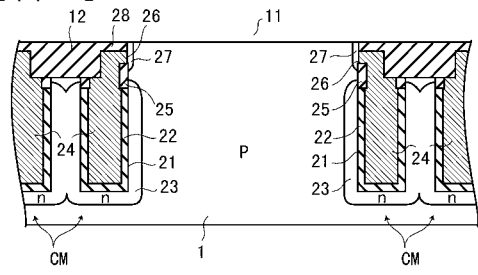
【図3】



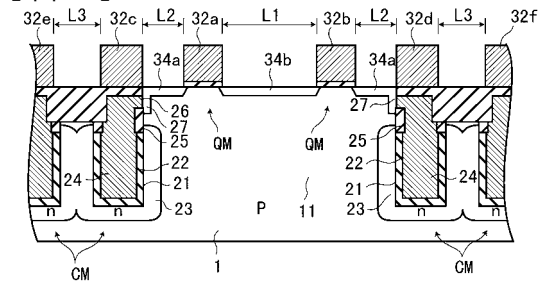
【図4】



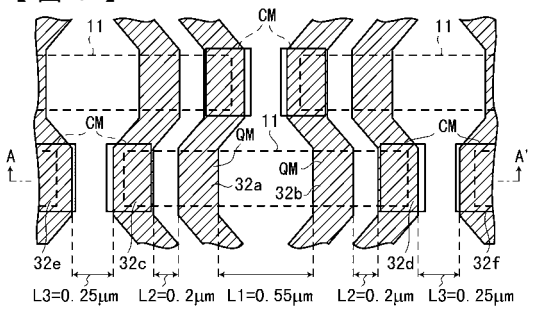
【図5】



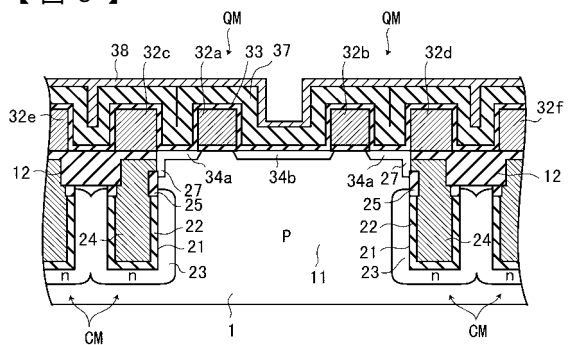
【図7】



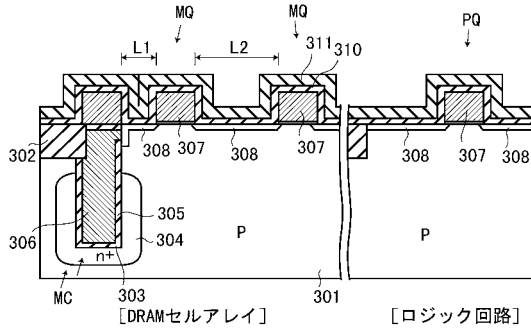
【図6】



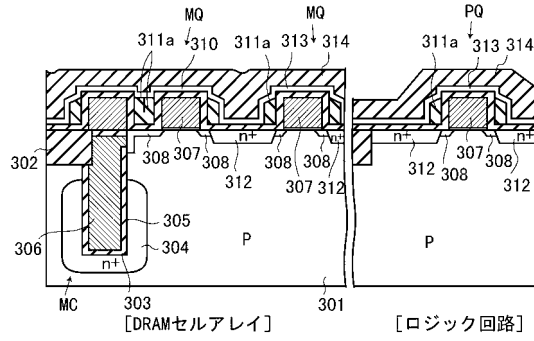
【図8】



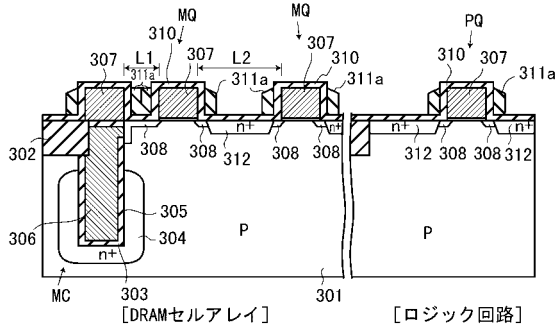
【図17】



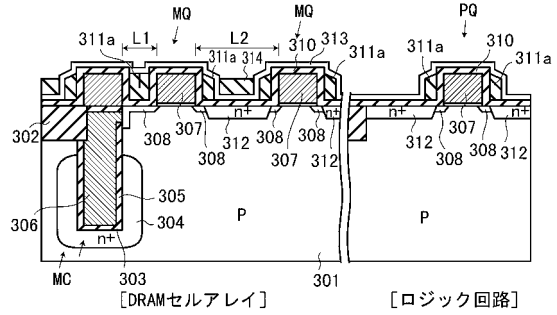
【図19】



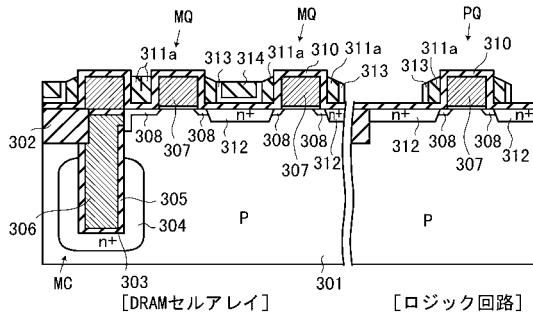
【図18】



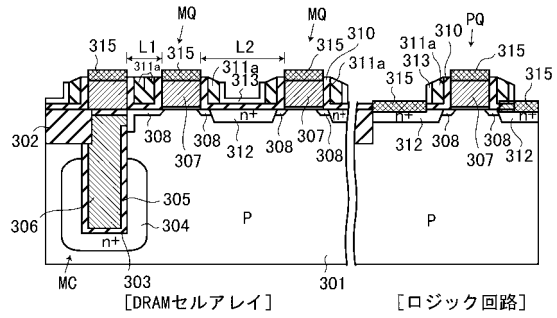
【図20】



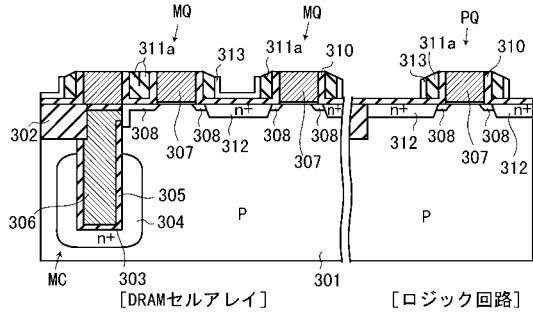
【図21】



【図23】



【図22】



フロントページの続き

- (56)参考文献 特開平10 - 223849 (JP, A)
特開平11 - 340433 (JP, A)
特開平09 - 064294 (JP, A)
特開平03 - 129769 (JP, A)
特開平11 - 008361 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 21/8242

H01L 27/108