



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I855520 B

(45)公告日：中華民國 113 (2024) 年 09 月 11 日

(21)申請案號：112103574

(22)申請日：中華民國 108 (2019) 年 02 月 22 日

(51)Int. Cl. : H01L23/498 (2006.01)

H01L21/60 (2006.01)

(30)優先權：2018/02/23 美國

15/903,677

(71)申請人：美商半導體組件工業公司 (美國) SEMICONDUCTOR COMPONENTS INDUSTRIES L.L.C. (US)

美國

(72)發明人：塞頓 麥可 J SEDDON, MICHAEL J. (US)；野間崇 NOMA, TAKASHI (JP)；和央岡田 OKADA, KAZUO (JP)；吉見英章 YOSHIMI, HIDEAKI (JP)；四方田尚之 YOMODA, NAOYUKI (JP)；林 育聖 LIN, YUSHENG (US)

(74)代理人：陳長文；林嘉興

(56)參考文獻：

US 9640497B1

US 2014/0242756A1

審查人員：謝介銘

申請專利範圍項數：9 項 圖式數：26 共 43 頁

(54)名稱

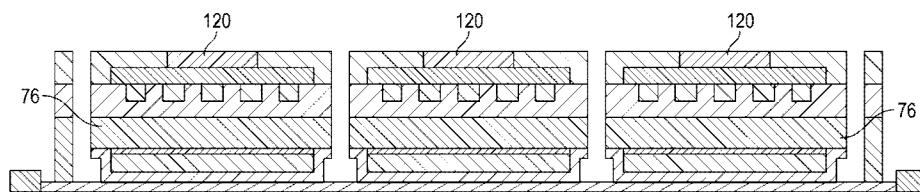
具有背金屬之半導體裝置及相關方法

(57)摘要

半導體裝置的實施方案可包括具有一第一側及一第二側的一晶粒、耦接至該晶粒的該第一側的一接觸墊、及耦接至該晶粒的該第二側的一金屬層。該晶粒的一厚度可不大於該金屬層之一厚度的四倍。

Implementations of semiconductor devices may include a die having a first side and a second side, a contact pad coupled to the first side of the die, and a metal layer coupled to the second side of the die. A thickness of the die may be no more than four times a thickness of the metal layer.

指定代表圖：



【圖16】

符號簡單說明：

76:晶圓

120:半導體裝置



I855520

【發明摘要】

【中文發明名稱】

具有背金屬之半導體裝置及相關方法

【英文發明名稱】

SEMICONDUCTOR DEVICE WITH BACKMETAL AND
RELATED METHODS

【中文】

半導體裝置的實施方案可包括具有一第一側及一第二側的一晶粒、耦接至該晶粒的該第一側的一接觸墊、及耦接至該晶粒的該第二側的一金屬層。該晶粒的一厚度可不大於該金屬層之一厚度的四倍。

【英文】

Implementations of semiconductor devices may include a die having a first side and a second side, a contact pad coupled to the first side of the die, and a metal layer coupled to the second side of the die. A thickness of the die may be no more than four times a thickness of the metal layer.

【指定代表圖】

圖16

【代表圖之符號簡單說明】

76:晶圓

120:半導體裝置

【發明說明書】

【中文發明名稱】

具有背金屬之半導體裝置及相關方法

【英文發明名稱】

SEMICONDUCTOR DEVICE WITH BACKMETAL AND
RELATED METHODS

【技術領域】

【0001】 此文獻的態樣大致上係關於半導體裝置及半導體晶圓及裝置處理方法。

【先前技術】

【0002】 半導體製造程序可涉及許多步驟。在一些程序中，晶圓接收一或多個層，諸如，導電層。導電層可用於提供從晶圓單切出來之個別半導體裝置的電接觸區域。導電層常使用濺鍍、蒸發、或電鍍操作來形成。

【發明內容】

【0003】 半導體裝置的實施方案可包括具有一第一側及一第二側的一晶粒、耦接至該晶粒的該第一側的一接觸墊、及耦接至該晶粒的該第二側的一金屬層。該晶粒的一厚度可不大於該金屬層之一厚度的四倍。

【0004】 半導體裝置的實施方案可包括下列之一者、所有者、或任何者：

該晶粒可小於30微米(micrometer, um)厚。

【0005】 該晶粒的該厚度可與該金屬層的該厚度實質上相同。

【0006】 該裝置可包括直接耦接至該金屬層的一模製化合物。

【0007】 該裝置可包括直接耦接在該金屬層上方的一模製化合物。

【0008】半導體裝置的實施方案可包括具有一第一側及一第二側的一晶粒、耦接至該晶粒的該第一側的一接觸墊、耦接至該晶粒的該第二側的一金屬層、及直接耦接至該金屬層的一模製化合物。該晶粒的一厚度可小於30 μm 。

【0009】半導體裝置的實施方案可包括下列之一者、所有者、或任何者：

該晶粒的該厚度可與該金屬層的該厚度實質上相同。

【0010】該模製化合物可直接耦接在該金屬層上方。

【0011】用於形成一半導體晶粒之一方法的實施方案可包括形成耦接至一晶圓的一第一側的複數個接觸墊、透過對該晶圓進行背面研磨而在該晶圓之相對於該第一側的一第二側中形成一凹部、在該凹部內形成一金屬層、將該凹部內的該金屬層圖案化、及將該晶圓單切成複數個半導體裝置。

【0012】用於形成半導體裝置之方法的實施方案可包括下列之一者、所有者、或任何者：

該方法可包括將一模製化合物與該凹部內的該金屬層耦接。

【0013】該金屬層可透過該模製化合物而暴露。

【0014】該模製化合物可直接耦接在該金屬層上方。

【0015】該方法可包括對該晶圓的一部分進行背面研磨，直到該晶圓的該部分與由該模製化合物的一部分形成的一平面共平面。

【0016】該方法可包括透過形成該凹部而薄化該晶圓，其中該晶圓的一部分經薄化至小於30 μm 。

【0017】該方法可包括以一晶種層塗佈該凹部。

【0018】 該方法可包括將複數個凸塊形成在該金屬層上方。

【0019】 該方法可包括在單切該晶圓之前將該金屬層、一模製化合物、及複數個凸塊之一者耦接至一背側保護層。

【0020】 用於形成一半導體晶粒之一方法的實施方案可包括形成耦接至一晶圓的一第一側的複數個接觸墊、透過對該晶圓的一第二側進行背面研磨而在該晶圓之相對於該第一側的該第二側中形成一凹部、在該凹部內形成一金屬層、在該金屬層內形成複數個開口、形成一模製化合物進入該金屬層的該等開口中、及將該晶圓單切成複數個半導體裝置。

【0021】 用於形成半導體裝置之方法的實施方案可包括下列之一者、所有者、或任何者：

該方法也可包括將一金屬層形成在該接觸墊與該晶圓的該第一側之間。

【0022】 該金屬層的一厚度可與該晶圓的一厚度實質上相同。

【0023】 該金屬層的一厚度可實質上係該晶圓之一厚度的三倍。

【0024】 該方法可包括將一第二金屬層耦接在該金屬層上方。

【0025】 該模製化合物可囊封該金屬層。

【0026】 所屬領域中具有通常知識者從實施方式、圖式、以及申請專利範圍將清楚了解前述及其他態樣、特徵、及優點。

【圖式簡單說明】

【0027】 下文中將結合隨附圖式描述實施方案，其中類似符號表示類似元件，且：

圖1係半導體裝置之第一實施方案的截面側視圖；

圖2係半導體裝置之第二實施方案的截面側視圖；

圖3係半導體裝置之第三實施方案的截面側視圖；

圖4係半導體裝置之第四實施方案的截面側視圖；

圖5係半導體裝置之第五實施方案的截面側視圖；

圖6係半導體裝置之第六實施方案的截面側視圖；

圖7係半導體裝置之第七實施方案的截面側視圖；

圖8係顯示半導體裝置之各種實施方案的導通電阻的圖表；

圖9係晶圓的截面側視圖；

圖10係具有凹部形成於其中之圖9的晶圓的截面側視圖；

圖11係具有形成於凹部中的遮罩之圖10的晶圓的截面側視圖；

圖12係具有形成於凹部中的金屬層之圖10的晶圓的截面側視圖；

圖13係具有形成在金屬層上方的模製化合物之圖12的晶圓的截面側視圖；

圖14係將晶圓的環的一部分移除之圖13的晶圓的截面側視圖；

圖15係在膠帶施加至模製化合物的狀態下旋轉之圖14的晶圓的截面側視圖；

圖16係經單切之圖15的晶圓的截面側視圖；

圖17係具有施加至模製化合物的膠帶之圖13的晶圓的截面側視圖；

圖18係經單切之圖17的晶圓的截面側視圖；

圖19係具有填充凹部的模製化合物之圖12的晶圓的截面側視圖；

圖20係具有形成於凹部內的非圖案化金屬層之圖10的晶圓的截面側視圖；

圖21係將晶圓的環的一部分移除之圖12的晶圓的截面側視圖；

圖22係具有形成在金屬層上方的凸塊之圖21的晶圓的截面側視圖；

圖23係具有形成在金屬層中的開口之間的模製化合物之圖21的晶圓的截面側視圖；

圖24係具有形成在金屬層中的開口之間的模製化合物之圖22的晶圓的截面側視圖；

圖25A至圖25B繪示用於單切具有BSP層施加至其之晶圓的程序；且

圖26A至圖26B繪示用於單切沒有BSP層施加至其之晶圓的程序。

【實施方式】

【0028】 本揭露、其態樣、及其實施方案不限於本文中揭示之特定組件、組裝程序或方法元件。與所意欲的半導體裝置一致的許多技術領域已知之其他組件、組裝程序、及/或方法元件顯然將適用於本揭露之特定實施方案。據此，例如，雖然揭示特定實施方案，但此類實施方案及實施組件可包含如此類半導體裝置之技術領域中已知的任何形狀、尺寸、風格、類型、模型、版本、量度、濃度、材料、數量、方法元件、步驟及/或類似者、以及與所意欲的操作及方法一致的實施組件及方法。

【0029】 該等半導體裝置及實施組件及方法的特定實施方案可類似於或相同於在以下專利中揭示的半導體裝置及實施組件及方法的特定實施方案：於2016年9月1日申請的申請案序號第15254640號，於2018年2月27日公布，頒給Yusheng Lin的美國專利第9905522號，發明名稱為「Semiconductor Copper Metallization Structure and Related Methods」（‘522號專利），及於2016年6月30日申請的申請案序號第15198859號，於2017年5月2日公布，頒給Yusheng Lin的美國專利第9640497號，發明名稱為「Semiconductor Backmetal (BM) and Over Pad Metallization (OPM) Structures and Related Methods」（‘497專利），其等各者的揭

示特此以引用方式併入本文中。

【0030】 在各種實施方案中，本文揭示的半導體裝置可係功率半導體裝置，諸如（舉非限制性實例），金屬氧化物半導體場效應電晶體 (metal oxide semiconductor field effect transistor, MOSFET) 或絕緣閘雙極電晶體 (insulated-gate bipolar transistor, IGBT)。在其他實施方案中，裝置可係其他類型的功率半導體裝置或可係並非功率半導體裝置的半導體裝置。參考圖1，繪示半導體裝置之第一實施方案的截面側視圖。半導體裝置2包括具有第一側6及第二側8的晶粒4。晶粒4可包括矽，且在各種實施方案中可包括磊晶部分10。應理解，當本揭露提及矽晶粒時，該矽晶粒可係任何類型的矽晶粒，舉非限制性實例而言，包括磊晶矽晶粒、絕緣體上覆矽 (silicon-on-insulator)、多晶矽、其任何組合、或任何其他含矽晶粒材料。此外，也應理解，在各種實施方案中可使用含矽晶粒之外的晶粒，諸如（舉非限制性實例），砷化鎵或含金屬晶粒。在繪示於圖1的實施方案中，半導體裝置可係溝槽式MOSFET裝置，如藉由顯示溝槽的位置之晶粒4的磊晶部分10中的圖案化部分24所指示者，然而，其他實施方案可不包括溝槽式MOSFET，但可包括不同的半導體裝置，該不同的半導體裝置可係或可不係功率半導體裝置。在各種實施方案中，晶粒4可係約25微米(μm)厚、約40 μm 厚、約75 μm 厚、大於約75 μm 厚、介於約25 μm 與約75 μm 之間厚、小於約30 μm 厚、及小於約25 μm 厚。

【0031】 在各種實施方案中，半導體裝置2可包括耦接至晶粒4之第一側6的傳導層12。傳導層可係金屬或金屬合金，且在此種實施方案中可包括（舉非限制性實例）鋁、銅、金、銀、鈦、鎳、任何其他金屬、及其任何組合。在各種實施方案中，傳導層12可與晶粒4一樣長且一樣寬，然

而，在其他實施方案中，諸如藉由圖1繪示者，傳導層可短於或窄於晶粒4的長度或寬度。

【0032】 在各種實施方案中，半導體裝置2可包括耦接至傳導層的接觸墊14。接觸墊14可係本文揭示的任何類型的金屬或金屬合金。在特定實施方案中，接觸墊可係SnAg或NiAu。接觸墊14可與傳導層12一樣長且一樣寬，然而，在其他實施方案中，諸如由圖1所繪示，接觸墊可短於或窄於傳導層12的長度或寬度。在各種實施方案中，半導體裝置2除了傳導層12之外，可不包括接觸墊14，但可將傳導層作為接觸墊使用。類似地，在特定實施方案中，半導體裝置2可不包括傳導層12，但可包括直接耦接至晶粒4之第一側6的接觸墊14。

【0033】 在各種實施方案中，可將一中間墊耦接在傳導層12與接觸墊14之間。中間墊可係使用電鍍而沉積的金屬，且在特定實施方案中可係電鍍銅。在特定實施方案中，中間墊可包括金屬合金，且可包括（舉非限制性實例）Ni、Au、Pd、Cu、或其任何組合。在各種實施方案中，中間墊可具有不同寬度，其中直接耦接至傳導層12的中間墊之第一部分在橫截面上具有的寬度小於直接耦接至接觸墊14的中間墊之第二部分。在其他實施方案中，中間墊之第一部分在橫截面上具有的寬度可與中間墊之第二部分相同。

【0034】 在各種實施方案中，如圖1所繪示，半導體裝置可包括耦接在晶粒4上方的鈍化材料72。鈍化材料的表面74可與由接觸墊14的經暴露表面所形成的平面共平面。在包括中間墊的實施方案中，鈍化層可僅覆蓋中間墊的一部分，使接觸墊14的整體不直接耦接至鈍化層。在特定實施方案中，鈍化材料可至少部分地囊封傳導層12。鈍化材料可係（舉非限制

性實例) SiN、SiO₂、或任何其他類型的鈍化材料。

【0035】 仍參考圖1，半導體裝置2包括耦接至晶粒4之第二側8的金屬層/背金屬層16。在各種實施方案中，金屬層可包括（舉非限制性實例）銅、金、銀、鋁、鈦、鎳、任何其他金屬、及其任何組合。在特定實施方案中，金屬層16可相同於或類似於在‘522專利及‘497專利中揭示的背金屬層，其等兩者於先前以引用方式併入本文中。在各種實施方案中，金屬層16可包括單一類型的金屬或金屬合金，而在其他實施方案中，金屬層可包括相同或不同金屬及/或金屬合金的多個金屬層。在各種實施方案中，金屬層16可係約10 μm厚、約25 μm厚、約40 μm厚、小於約10 μm厚、介於約10至40 μm之間厚、及大於約40 μm厚，包括大至約200 μm厚的厚度。與晶粒4相比，在各種實施方案中，晶粒的厚度可不大於金屬層16之厚度的約四倍。在更特定的實施方案中，晶粒4的厚度可係金屬層16之厚度的約三倍、金屬層之厚度的約兩倍半、金屬層之厚度的約兩倍、或約與金屬層16相同的厚度。在其他實施方案中，晶粒4的厚度可大於金屬層16之厚度的四倍或小於金屬層16的厚度。

【0036】 在各種實施方案中，半導體裝置2可包括在晶粒4之第二側8與金屬層16之間的晶種層18。晶種層18可經組態以促進金屬層16與晶粒4之間的接合、及/或在電鍍操作期間提供開始電沉積的位置。晶種層18可包括金屬或金屬合金，且在特定實施方案中可包括TiCu或TiWCu。在其他實施方案中，晶種層18可包括本文先前揭示的任何金屬。

【0037】 在各種實施方案中，半導體裝置2可包括耦接至金屬層16的模製化合物/樹脂/保護性塗層（以下稱為「模製化合物」20）。雖然在本文使用用語「模製化合物」以描述金屬層上方的材料，應理解當在本文

中使用時，該用語包括許多類型的樹脂、環氧樹脂、及其他類型的保護性塗層。在特定實施方案中，模製化合物20可直接耦接至金屬層16，且在甚至更特定的實施方案中，模製化合物可直接耦接在金屬層上方。如圖1所繪示，模製化合物20可囊封金屬層16。在其他實施方案中，如本文稍後所顯示及討論者，金屬層16可透過模製化合物20而暴露。模製化合物20的側壁22可係台階狀，然而，在其他實施方案中，側壁22可不包括台階。

【0038】 圖1的半導體裝置連同本文揭示的其他半導體裝置可以與可係相同類型或不同類型之半導體裝置的其他半導體裝置耦接或配對。在各種實施方案中，半導體裝置可通過金屬層16配對及/或電/熱耦接在一起。舉非限制性實例而言，也可使用打線、導電跡線、或任何其他耦接構件將該些裝置配對在一起。

【0039】 參考圖2，繪示半導體裝置之第二實施方案的截面圖。半導體裝置26類似於圖1的半導體裝置2，不同之處在於模製化合物28比圖1之模製化合物20厚。然而，在各種實施方案中，模製化合物可比圖1繪示的模製化合物的厚度薄。此外，在各種實施方案中，模製化合物28的側壁30並非台階狀的。

【0040】 參考圖3，繪示半導體裝置之第三實施方案的截面側視圖。半導體裝置32類似於圖1的半導體裝置2，不同之處在於金屬層34的長度及寬度與晶粒4的長度及寬度相同。藉由與晶粒相同的長度及寬度，金屬層在半導體裝置的側壁上暴露出來。半導體裝置32亦可包括耦接至金屬層34的模製化合物36。如圖3所繪示，模製化合物可直接耦接至金屬層而無需直接耦接至金屬層34的任何側壁38。在各種實施方案中，圖3的半

導體裝置可與任何數目的其他半導體裝置配對。其他半導體裝置可與圖3繪示的裝置相同。在此種實施方案中，裝置可並排定位，使得金屬層16直接接觸其他半導體裝置的金屬層，因此允許半導體裝置通過半導體裝置之背側上的金屬層來電配對。

【0041】 在其他實施方案中，半導體裝置可具有耦接在金屬層34上方的傳導層以取代模製化合物36。傳導層可係本文揭示的任何類型的傳導層。此種實施方案類似於本文中圖5所繪示的實施方案，其中不同在於傳導層及金屬層的側壁可與晶粒的側壁共延伸。

【0042】 參考圖4，繪示半導體裝置之第四實施方案的截面側視圖。半導體裝置40可類似於圖1的半導體裝置，不同之處在於沒有耦接至金屬層42的模製化合物。在此種實施方案中，金屬層的周邊可與晶粒44的側面共延伸，如圖3之金屬層所繪示，或者可從晶粒之側面設定出金屬層42的周邊，如圖4所繪示。

【0043】 參考圖5，繪示半導體裝置之第五實施方案的截面圖。半導體裝置46可類似於圖4的半導體裝置，不同之處在於有形成在金屬層50上方的傳導層48。該層在各種實施方案中可係導熱及/或導電的。在各種實施方案中，傳導層可係第二金屬層，並可包括本文揭示的任何金屬或金屬合金，包括（舉非限制性實例）鎳、SnAg、及NiAu。在特定實施方案中，傳導層48可係凸塊或墊。該傳導層、凸塊、或墊可與或可不與金屬層50的側面52共延伸。

【0044】 參考圖6，繪示半導體裝置之第六實施方案的截面圖。半導體裝置54可類似於圖4的半導體裝置，不同之處在於有直接耦接至金屬層60之側壁58的模製化合物56。由於模製化合物56僅耦接至金屬層60的

側壁，與由晶粒之最大表面形成的平面平行之金屬層的表面經由模製層56而暴露出來。

【0045】 參考圖7，繪示半導體裝置之第七實施方案的截面圖。半導體裝置62可類似於圖5的半導體裝置，不同之處在於有直接耦接至金屬層66及耦接在金屬層上方之傳導層68兩者之側壁的模製化合物64。在圖7繪示的實施方案中，模製化合物不在傳導層68上方，因此傳導層可透過模製化合物64而暴露。傳導層可與圖5的傳導層相同或類似。

【0046】 在此揭露全文中，用語「上方」係相關於各種層及元件使用。此用語未意圖傳達附圖中的位置（上或下），而是意圖傳達相對外部位置。例如，使用圖7的上（之上）及下（之下）方向，放置在晶粒70之上的層將在晶粒「上方」，且放置在金屬層66之下的層會類似地在金屬層「上方」。

【0047】 參考圖8，顯示半導體裝置之各種實施方案的導通電阻的圖表。圖的Y軸繪示以毫歐姆(milliohm, $m\Omega$)為單位的導通電阻。圖的X軸繪示以微米為單位的矽晶粒的厚度。藉由圖表上的四條線繪示具有不同的背金屬厚度之晶粒的電阻。如圖表所繪示，導通電阻隨矽層的厚度減少而減少，且也隨背金屬的厚度增加而減少。第一星形代表具有125 μm 厚之矽晶粒及6 μm 厚之背金屬層的第一半導體裝置。其具有2.6 $m\Omega$ 的導通電阻。第二星形代表具有75 μm 厚之矽晶粒及15 μm 厚之背金屬層的第二半導體裝置。第二半導體裝置的導通電阻係1.9 $m\Omega$ 。第三星形代表具有25 μm 厚之矽晶粒及15 μm 厚之背金屬層的第三半導體裝置。第三半導體裝置具有1.6 $m\Omega$ 的導通電阻。如圖表所繪示，導通電阻隨矽層的厚度減少而減少，且也隨背金屬的厚度增加而減少。此低導通電阻可能對使用在

各式各樣應用（包括快速充電系統）中的半導體裝置有利。此外，藉由顯著地減少晶粒的厚度，可減少半導體封裝的整體尺寸。

【0048】 參考圖9至圖24，繪示用於形成圖1至圖7繪示之各種半導體裝置的各種方法。具體地參考圖9，繪示晶圓的截面圖。在各種實施方案中，形成半導體裝置的方法包括提供具有第一側78及第二側80的晶圓76。在各種實施方案中，晶圓76可係矽。應理解，當本揭露提及矽層時，該矽層可係任何類型的矽層，舉非限制性實例而言，包括磊晶矽層、絕緣體上覆矽、多晶矽、其任何組合、或任何其他含矽基材材料。如圖9所繪示，晶圓76可包括磊晶矽部分82。此外，也應理解，在各種實施方案中可使用含矽基材之外的基材，諸如（舉非限制性實例），砷化鎵或含金屬基材。在各種實施方案中，該方法可包括將複數個半導體裝置部分/完全地形成在晶圓76內。在特定實施方案中，複數個功率半導體裝置可部分/完全地形成於磊晶矽部分82內，包括（舉非限制性實例）MOSFET、IGBT、或任何其他功率半導體裝置。在圖9繪示的實施方案中，多個溝槽式MOSFET 84部分地形成在磊晶矽部分82內。形成在晶圓76內的功率半導體裝置的部分可包括佈線/繞線以在使用時允許該等半導體裝置連接至其他封裝組件及/或電路。在此種實施方案中，佈線可係鋁或本文揭示的任何其他導電材料。

【0049】 在各種實施方案中，用於形成半導體裝置的方法可包括將傳導層86形成在晶圓76的第一側78上方。在各種實施方案中，且如圖9所繪示，可將傳導層圖案化，然而，在其他實施方案中，可不將傳導層圖案化。傳導層可係金屬或金屬合金，且在此種實施方案中可包括（舉非限制性實例）鋁、銅、金、銀、鈦、鎳、任何其他金屬、及其任何組合，包括

本文中所揭示者。

【0050】 在各種實施方案中，用於形成半導體裝置的方法可包括形成耦接至晶圓76之第一側78的複數個接觸墊88。如圖9所繪示，傳導層86可將接觸墊88從晶圓76分開。在其他實施方案中，該方法可包括將接觸墊直接形成至晶圓並從形成半導體裝置的程序中省略傳導層。在各種實施方案中，複數個接觸墊88可形成頂焊金屬(solder top metal, STM)並可由任何金屬或金屬合金製成。在特定實施方案中，複數個接觸墊可係NiAu。在此種實施方式中，NiAu接觸墊可通過無電電鍍形成至傳導層86或晶圓76上。複數個接觸墊88可視為在晶圓76的源極側上。

【0051】 仍參考圖9，形成半導體裝置的方法可包括將鈍化層90施加至晶圓76、傳導層86、及/或複數個接觸墊88。鈍化層90可係本文先前揭示的任何類型的鈍化層。鈍化層90可至少部分地囊封傳導層86。此外，複數個接觸墊88可經由鈍化層90而暴露出來。在特定實施方案中，鈍化層90最初可覆蓋複數個接觸墊88，且可藉由對鈍化層進行背面研磨或化學機械研磨(chemical-mechanical-polishing, CMP)而使複數個接觸墊88經由鈍化層暴露出來。此外，如圖9所繪示，鈍化層90的表面92可與由複數個接觸墊88的經暴露部分所形成的一平面共平面。鈍化層90及複數個接觸墊88可使用（舉非限制性實例）CMP技術來平坦化。

【0052】 在其他實施方案中，用於形成半導體封裝的方法可包括將中間層形成在傳導層86與接觸墊88之間。中間層可係電鍍金屬層，且在特定實施方案中可係電鍍銅。中間層可包括合金，該合金包括（舉非限制性實例）Ni、Au、Pd、Cu、及其任何組合。在其他實施方案中，可將中間層濺鍍至傳導層86上。在各種實施方案中，形成中間層的方法可包括將

複數個層形成在中間層內。在此種實施方案中，複數個層之一者可係可包括Ti或Cu的晶種層。在特定實施方案中，形成半導體封裝的方法可包括將中間層圖案化成複數個中間墊。其中形成中間層的方法包括將複數個層形成在中間層內，該中間層內的各層可具有形成具有台階狀側壁之中間墊的不同圖案。在形成中間層的程序期間，可在形成墊88的材料形成之後蝕刻晶種層。例如，可將中間層圖案化以形成複數個中間墊，該複數個中間墊具有直接耦接至傳導層的第一部分，該第一部分在橫截面上的寬度小於直接耦接至接觸墊88的該複數個中間墊之第二部分。在形成中間墊的實施方案中，鈍化層可完全或部分地覆蓋中間墊的側壁。

【0053】 參考圖10，繪示具有凹部形成於其中之圖9的晶圓的截面側視圖。在各種實施方案中，形成半導體裝置的方法包括將凹部94形成在晶圓76的第二側80中。透過形成凹部94，可將晶圓76薄化。在各種實施方案中，凹部94可通過對晶圓76的第二側80進行背面研磨而形成。在此種實施方案中，可將背面研磨膠帶100耦接至接觸墊。在特定實施方案中，可通過使用由Tokyo, Japan的DISCO以商標名稱TAIKO銷售之一程序的背面研磨而形成凹部94。該背面研磨留下非移除材料的環96（TAIKO環），其有助於防止晶圓在處理期間捲曲、翹曲、或以其他方式彎曲，而同時移除晶圓76之第二側80或背側的大部分厚度及材料。在形成半導體裝置之方法的其他實施方案中，可不使用TAIKO程序，但可使用一些其他背面研磨或其他材料移除技術，諸如，通過濕式蝕刻而移除材料。在各種實施方案中，晶圓76的薄化部分98可薄化至約25 μm 厚、約40 μm 厚、約75 μm 厚、大於約75 μm 厚、介於約25 μm 與約75 μm 之間厚、小於約30 μm 厚、及小於約25 μm 厚。

【0054】 參考圖11，繪示具有形成在凹部中的遮罩之圖10的晶圓的截面側視圖。遮罩可使用各種程序而形成，包括（舉非限制性實例）光微影、貼膜(film attach)、及將圖案形成在凹部中的其他方法。該方法也可包括將圖案化光阻層104形成在凹部94內。在各種實施方案中，形成半導體裝置的方法也包括在形成遮罩之前或之後以晶種層102塗佈凹部94。晶種層102可係任何金屬或金屬合金。在特定實施方案中，晶種層可係TiCu或TiWCu。在各種實施方案中，凹部的內部可通過濺鍍以晶種層102塗佈。參考圖12，繪示具有形成在凹部中的金屬層之圖10的晶圓的截面側視圖。在各種實施方案中，形成半導體裝置的方法可包括將金屬層106、或背金屬形成在凹部94內。金屬層106可包括銅、鋁、金、銀、鎳、鈦、任何其他金屬、及其任何組合。在具有耦接至凹部94內之晶圓76的晶種層102的實施方案中，金屬層106可通過晶種層102耦接至晶圓76。在一些實施方案中，金屬層可通過銅電鍍或其他金屬電鍍程序來施加。在其他實施方案中，金屬層可使用濺鍍或蒸發程序來施加。

【0055】 在各種實施方案中，金屬層106可包括相同或不同金屬的多個層，而在其他實施方案中，金屬層可僅包括單層金屬。在各種實施方案中，金屬層106可係約10 μm 厚、約25 μm 厚、約40 μm 厚、小於約10 μm 厚、在約10至40 μm 之間厚、及大於約40 μm 厚，包括大至約200 μm 厚的厚度。與晶圓76的薄化部分98相比，在各種實施方案中，晶圓的薄化部分的厚度不大於金屬層106之厚度的約四倍。在更特定的實施方案中，晶圓76的薄化部分98的厚度可實質上係金屬層106之厚度的三倍、金屬層之厚度的兩倍半、金屬層之厚度的兩倍、或約與金屬層106相同的厚度。在其他實施方案中，晶圓76的薄化部分98的厚度可大於金屬層106之

厚度的約四倍或小於金屬層106的厚度。

【0056】 在特定實施方案中，且如圖12所繪示，該方法可包括將金屬層106圖案化或將開口108形成在金屬層內。圖11的光阻層104可用於形成開口108、或金屬層106的圖案。在將金屬層106形成在凹部94內之後，可剝除光阻層104、及晶種層102的部分。在各種實施方案中，金屬層106可不包括切割道(dicing street)，其在應單切晶圓時可減少晶圓76（並因此減少經單切的晶粒）的碎裂。

【0057】 參考圖13，繪示具有形成在金屬層上方的模製化合物之圖12的晶圓的截面圖。形成半導體裝置的方法可包括將模製化合物112與凹部94內的金屬層106耦接。可施加模製化合物112以防止金屬層106的氧化，並保護金屬層免於物理損壞。在各種實施方案中，模製化合物112可直接耦接在金屬層106上方，如圖13所繪示。在將金屬層106圖案化的實施方案中，模製化合物112也可位於金屬層106內的開口108內。在各種實施方案中，模製化合物112可具有實質上恆定的厚度，因此開口108並未完全為模製化合物112填充。可使用（舉非限制性實例）液體分配(liquid dispensing)技術、轉移模製(transfer molding)技術、列印模製(printer molding)技術、壓縮模製(compression molding)技術、或層壓技術將模製化合物112施加至金屬層106。在各種實施方案中，模製化合物112可係（舉非限制性實例）環氧樹脂模製化合物、丙烯酸模製化合物、或任何其他類型的模製化合物或保護性覆蓋物。

【0058】 參考圖14，繪示將晶圓的環的一部分移除之圖13的晶圓的截面側視圖。在各種實施方案中，用於形成半導體裝置的方法可包括移除環96的一部分。在特定實施方案中，環96的該部分可通過對環96進行背

面研磨而移除。在其他實施方案中，可使用其他移除技術或方法（諸如，環狀地鋸除圍繞晶圓之邊緣的環）至少部分地移除環。在各種實施方案中，移除足夠的環96，使得環96或晶圓76的表面114與模製化合物112的表面116共平面。在其他實施方案中，環部分可部分地移除，但不到會使環96的表面114與模製化合物112的表面116平面化的程度。在各種實施方案中，該方法可包括從晶圓76的源極側移除背面研磨膠帶90，並將新的背面研磨/單切膠帶118施加至接觸墊，如圖14所繪示。

【0059】 參考圖15，繪示在膠帶施加至模製化合物的狀態下旋轉之圖14的晶圓的截面側視圖。用於形成半導體裝置的方法可包括將膠帶施加至晶圓76的背側，或施加至模製化合物112。在各種實施方案中，且如圖15所繪示，晶圓76可從如圖14所繪示的背面研磨/單切膠帶118移除，且可在將晶圓及/或模製化合物112的背側重新施加至背面研磨膠帶（或最初施加至用於單切的鋸除膠帶）118的狀態下旋轉晶圓，如圖15所繪示。

【0060】 參考圖16，繪示經單切之圖15的晶圓的截面側視圖。用於形成半導體裝置的方法包括將晶圓76單切成複數個半導體裝置120。晶圓76可通過（舉非限制實例）刀片切割、雷射切割、水刀切割、蝕刻、或任何其他單切方法來單切。如圖16所繪示，半導體裝置120之各者與圖1所繪示的半導體裝置2相同。

【0061】 參考圖17至圖18，繪示形成圖1之半導體裝置的替代方法。具體地參考圖17，繪示具有施加至模製化合物的膠帶之圖13的晶圓的截面側視圖。圖17繪示該方法可包括施加膠帶122至模製化合物112及至晶圓76的環96，而非如圖14所繪示地對環96進行背面研磨。然後可如切口124所指示，藉由切過鈍化層90、晶圓76、及模製化合物112從金屬

層移除環96。參考圖18，繪示單切後之圖17的晶圓的截面側視圖。該方法可包括將晶圓76單切成複數個半導體裝置126。晶圓可使用本文揭示的任何單切方法來單切。由圖18繪示的複數個半導體裝置126可與圖1繪示的半導體裝置2相同。

【0062】 參考圖19，繪示具有填充凹部的模製化合物之圖12的晶圓的截面側視圖。圖19繪示用於形成半導體裝置的替代方法。由圖19繪示的方法可包括以模製化合物128完全地填充凹部94，而非如圖13所繪示地形成具有遍及覆蓋金屬層106的保護性塗層之長度的一致厚度的模製化合物112。模製化合物128可使用本文揭示的任何技術而施加至凹部，並可係本文揭示的任何類型的模製化合物或其他保護性塗層。如圖19所繪示，與圖13相反，模製化合物128的外表面130具有不遵循圖案化金屬層106之輪廓的平坦表面，因此模製化合物128可具有不同的厚度。換言之，模製化合物128可完全填充金屬層106內的開口108。模製化合物128可增加晶片強度，且在晶圓76的薄化部分98小於約30 μm 厚的實施方案中尤其有用。

【0063】 在其他實施方案中，模製化合物可僅部分地填充凹部，而非具有完全地填充凹部94的模製化合物128。在此種實施方案中，模製化合物128的外表面130仍可具有不遵循圖案化金屬層106之輪廓的平坦表面，然而，外表面130可能不與環96的末端共平面。

【0064】 仍參考圖19，在各種實施方案中，用於形成半導體裝置的方法可包括對環96、模製化合物128、或環及模製化合物兩者進行背面研磨。然後可使用本文先前揭示的任何單切方法將晶圓76單切成複數個半導體裝置。複數個經單切的半導體裝置可與圖2繪示的半導體裝置26相同。

由於模製化合物128完全填充金屬層106內的開口108，經單切的半導體裝置可具有擁有並非台階狀之側壁30的模製化合物28，如圖2所繪示。

【0065】 參考圖20，繪示具有形成在凹部內的未圖案化金屬層之圖10的晶圓的截面側視圖。圖20繪示用於形成半導體裝置的替代方法。該方法可包括形成耦接至晶圓76的實心金屬層132，而非如圖11至圖12所繪示地形成圖案化金屬層106。在各種實施方案中，晶種層102可在金屬層132與晶圓76之間。該方法可包括以可係模製化合物134的一保護性塗層塗佈金屬層132。模製化合物134可部分地填充凹部94，而在其他實施方案中，其可完全填充凹部94。在各種實施方案中，用於形成半導體裝置的方法可包括對環96、模製化合物134、或環及模製化合物兩者進行背面研磨。然後可使用本文先前揭示的任何單切方法將晶圓76單切成複數個半導體裝置。複數個經單切的半導體裝置可與圖3繪示的半導體裝置32相同。與圖11至圖12繪示的方法相比，藉由不將金屬層132圖案化，該方法能潛在地節省成本。

【0066】 在其他實施方案中，用於形成半導體裝置的方法可包括將傳導層形成至金屬層132，而非以模製化合物134塗佈金屬層132。傳導層可係本文揭示的任何類型的傳導層，包括Ni、NiAu、SnAg。在各種實施方案中，該方法可包括將傳導層電鍍至金屬層上，而在其他實施方案中，傳導層通過濺鍍、蒸發、或其他沉積技術而施加至金屬層。用於形成半導體裝置的方法可包括對環96進行背面研磨。然後可使用本文先前揭示的任何單切方法將晶圓76單切成複數個半導體裝置。該複數個經單切的半導體裝置可類似於圖3繪示的半導體裝置32，其中差異在於半導體裝置具有在金屬層上方的傳導層以取代金屬層上方的模製化合物。

【0067】 參考圖21，繪示將晶圓的環的一部分移除之圖12的晶圓的截面側視圖。圖21繪示用於形成半導體裝置的替代方法。該方法可包括不以任何類型的模製化合物或保護性覆蓋物來覆蓋金屬層106，而非如圖13及圖19所繪示地將模製化合物形成在金屬層106上方。在各種實施方案中，用於形成半導體裝置的方法可包括對環96進行背面研磨。然後可使用本文先前揭示的任何單切方法將晶圓76單切成複數個半導體裝置。複數個經單切的半導體裝置可與圖4繪示的半導體裝置40相同。

【0068】 參考圖22，繪示具有形成在金屬層上方的凸塊之圖21的晶圓的截面側視圖。圖22繪示用於形成半導體裝置的替代方法。該方法可包括將複數個凸塊/墊136形成在金屬層106上方，而非如圖21所繪示地使金屬層106未覆蓋。在各種實施方案中，可將複數個凸塊136視為金屬層106上方的第二金屬層。複數個凸塊136可係本文揭示的任何類型的材料。在各種實施方案中，用於形成半導體裝置的方法可包括對環96進行背面研磨。然後可使用本文先前揭示的任何單切方法將晶圓76單切成複數個半導體裝置。複數個經單切的半導體裝置可與圖5繪示的半導體裝置46相同。

【0069】 參考圖23，繪示具有形成在金屬層中的開口之間的模製化合物之圖21的晶圓的截面側視圖。圖23繪示用於形成半導體裝置的替代方法。與圖21所繪示的相反，由圖23繪示的方法包括將模製化合物138耦接在金屬層106的開口108內，同時使金屬層透過模製化合物138而暴露。模製化合物138的外表面可與金屬層106的外表面共平面或實質上共平面。在各種實施方案中，模製化合物138最初可覆蓋金屬層106，如圖19所繪示，但隨後可進行背面研磨以使金屬層106透過模製化合物138而暴露。在各種實施方案中，用於形成半導體裝置的方法可包括對環96、模製

化合物138、或環及模製化合物兩者進行背面研磨。然後可使用本文先前揭示的任何單切方法將晶圓76單切成複數個半導體裝置。複數個經單切的半導體裝置可與圖6繪示的半導體裝置54相同。

【0070】 參考圖24，繪示具有形成在金屬層中的開口之間的模製化合物之圖22的晶圓的截面側視圖。圖24繪示用於形成半導體裝置的替代方法。與圖22所繪示的相反，由圖24繪示的方法包括將模製化合物140耦接在金屬層106的開口108內，同時使複數個凸塊136或第二金屬層透過模製化合物140而暴露。模製化合物140的外表面可與複數個凸塊136的外表面共平面。在各種實施方案中，模製化合物140最初可覆蓋複數個凸塊136，但隨後可進行背面研磨以使該複數個凸塊經由模製化合物140而暴露出來。在各種實施方案中，用於形成半導體裝置的方法可包括對環96、模製化合物140、或環及模製化合物兩者進行背面研磨。然後可使用本文先前揭示的任何單切方法將晶圓76單切成複數個半導體裝置。複數個經單切的半導體裝置可與圖7繪示的半導體裝置62相同。

【0071】 參考圖25A至圖25B，繪示用於單切具有背側保護(backside protection, BSP)層施加至其的晶圓的程序。由圖25A至圖25B繪示的方法可併入本文先前揭示的任何方法實施方案中。如圖25A所繪示，晶圓142可耦接至金屬層144。在各種實施方案中，金屬層可耦接至BSP層146。在各種實施方案中，BSP層可係包括環氧樹脂的膠帶，並可包括玻璃填充物。在特定實施方案中，BSP層可係由Tokyo, Japan的LINTEC公司以商標名稱ADWILL®銷售的晶圓背側塗佈膠帶。BSP層可耦接至用於在晶圓單切期間支持晶圓的膠帶148。

【0072】 圖25B繪示在已然經單切以形成半導體裝置150之後的晶圓

142、金屬層144、及BSP層146。由圖25B所繪示，有晶圓、金屬層、及BSP單切於此處的側壁152形成淨切(clean cut)，意指不同的層不延伸至相鄰層中，包括膠帶148。與此相反，並參考圖26A至圖26B，繪示用於單切沒有BSP層施加至其的晶圓的程序。圖26A繪示耦接至金屬層156的晶圓154，該金屬層直接耦接至用於在單切期間支持晶圓的膠帶158。如圖26B所繪示（其描繪圖26A的晶圓及金屬層單切為半導體裝置160），由切割金屬層156所造成的材料之毛邊162可延伸至膠帶158中。在各種實施方案中，單切直接耦接至非BSP膠帶的金屬層可導致與毛邊162類似的毛邊，其可能阻礙在晶粒揀選操作期間將半導體裝置160從膠帶158移除。

【0073】 在本文揭示的半導體裝置的各種實施方案中，晶粒可小於30微米厚。

【0074】 在其他實施方案中，晶粒可實質上與金屬層的厚度一樣厚。

【0075】 在各種實施方案中，模製化合物可直接耦接至裝置的金屬層。

【0076】 在各種實施方案中，模製化合物可直接耦接在金屬層上方。

【0077】 在如本文揭示者之形成半導體裝置的方法的各種實施方案中，該方法可包括將傳導層形成在接觸墊與晶圓的第一側之間。

【0078】 在各種方法實施方案中，金屬層的厚度與晶圓的厚度係實質上相同。

【0079】 在各種方法實施方案中，金屬層的厚度實質上係晶圓之厚

度的三倍。

【0080】 在該方法的各種實施方案中，模製化合物可囊封金屬層。

【0081】 在各種實施方案中，該方法進一步包括以晶種層塗佈凹部。

【0082】 在各種方法實施方案中，該方法包括將複數個凸塊形成在金屬層上方。

【0083】 在各種方法實施方案中，該方法可包括在單切晶圓之前將金屬層、模製化合物、或複數個凸塊耦接至背側保護層。

【0084】 在上文描述提及半導體裝置之特定實施方案及實施組件、子組件、方法、及子方法之處，應容易明瞭，在不背離其精神之情況下，可作出諸多修改，且此等實施方案、實施組件、子組件、方法、及子方法可施用於其他半導體裝置。

【符號說明】

【0085】

2:半導體裝置

4:晶粒

6:第一側

8:第二側

10:磊晶部分

12:傳導層

14:接觸墊

16:金屬層/背金屬層

18:晶種層

20:模製化合物
22:側壁
24:圖案化部分
26:半導體裝置
28:模製化合物
30:側壁
32:半導體裝置
34:金屬層
36:模製化合物
38:側壁
40:半導體裝置
42:金屬層
44:晶粒
46:半導體裝置
48:傳導層
50:金屬層
52:側面
54:半導體裝置
56:模製化合物/模製層
58:側壁
60:金屬層
62:半導體裝置
64:模製化合物

- 66:金屬層
- 68:傳導層
- 70:晶粒
- 72:鈍化材料
- 74:表面
- 76:晶圓
- 78:第一側
- 80:第二側
- 82:磊晶矽部分
- 84:溝槽式MOSFET
- 86:傳導層
- 88:接觸墊
- 90:鈍化層/鈍化/背面研磨膠帶
- 92:表面
- 94:凹部
- 96:環
- 98:薄化部分
- 100:背面研磨膠帶
- 102:晶種層
- 104:圖案化光阻層/光阻層
- 106:金屬層
- 108:開口
- 112:模製化合物

- 114:表面
- 116:表面
- 118:背面研磨/單切膠帶
- 120:半導體裝置
- 122:膠帶
- 124:切口
- 126:半導體裝置
- 128:模製化合物
- 130:外表面
- 132:實心金屬層/金屬層
- 134:模製化合物
- 136:凸塊/墊
- 138:模製化合物
- 140:模製化合物
- 142:晶圓
- 144:金屬層
- 146:BSP層
- 148:膠帶
- 150:半導體裝置
- 152:側壁
- 154:晶圓
- 156:金屬層
- 158:膠帶

160:半導體裝置

162:毛邊

【發明申請專利範圍】

【請求項1】

一種半導體裝置，其包含：

一晶粒，其包含一第一側及一第二側；

一接觸墊，其耦接至該晶粒的該第一側；

一金屬層，其耦接至該晶粒的該第二側；及

一模製化合物，其直接耦接至該金屬層；

其中該模製化合物包含一凹口(notch)；

其中該晶粒之一厚度小於30微米；且

其中該接觸墊經由耦接在該晶粒上方的一鈍化層而暴露出來。

【請求項2】

如請求項1之半導體裝置，其中該金屬層之五側由該模製化合物覆蓋。

【請求項3】

一種半導體裝置，其包含：

一晶粒，其包含一第一側及一第二側；

一接觸墊，其耦接至該晶粒的該第一側；

一金屬層，其耦接至該晶粒的該第二側；及

一模製化合物，其直接耦接至該金屬層之一整體第一表面且在該金屬層之該整體第一表面上方，該整體第一表面相對於面向該晶粒之該第二側之該金屬層之一第二表面；

其中該模製化合物包含一凹口。

【請求項4】

如請求項3之半導體裝置，其中該晶粒之一厚度與該金屬層之一厚度實質上相同。

【請求項5】

如請求項3之半導體裝置，其中該凹口圍繞該金屬層。

【請求項6】

一種半導體裝置，其包含：

一晶圓，其包含一第一側及一第二側；

複數個接觸墊，其耦接至該晶圓的該第一側；

一金屬層，其耦接於一凹部內，該凹部包含在該晶圓的該第二側中；

一模製化合物，其直接耦接至該金屬層且在該金屬層上方；及

一傳導層，其耦接於該複數個接觸墊與該晶圓之間；

其中該晶圓之一部份與由背對(facing away)該金屬層之該模製化合物之一部份形成之一平面共平面。

【請求項7】

如請求項6之半導體裝置，其中該模製化合物覆蓋該金屬層之一整體第一表面，該整體第一表面相對於面向該晶圓之該第二側之該金屬層之一第二表面。

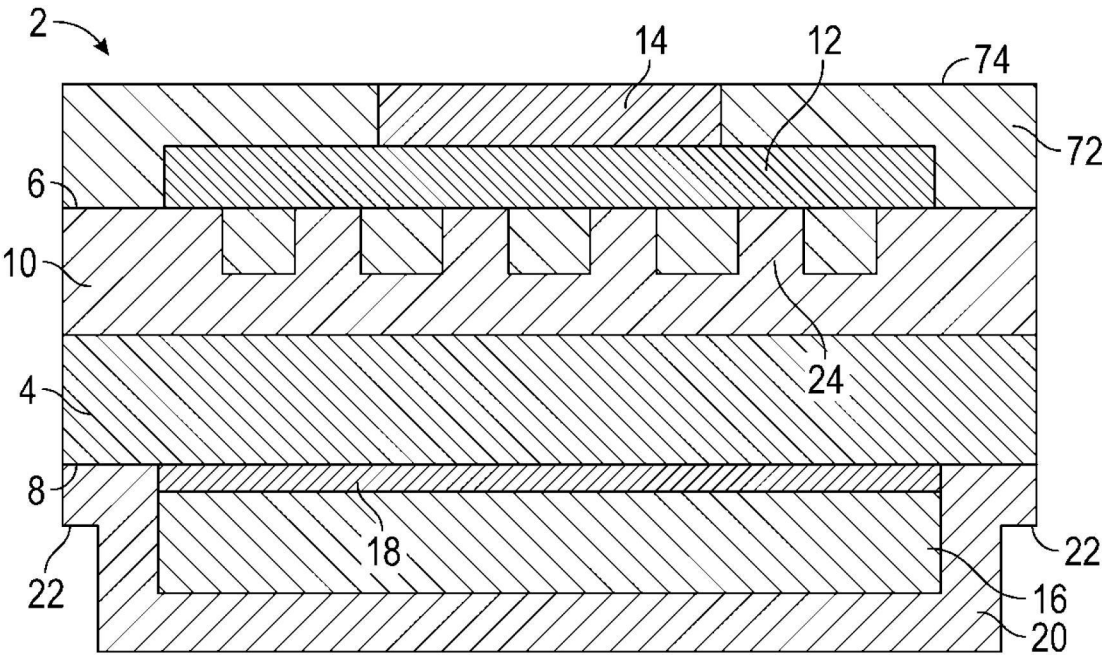
【請求項8】

如請求項6之半導體裝置，其進一步包含耦接在該金屬層上方的一第二金屬層。

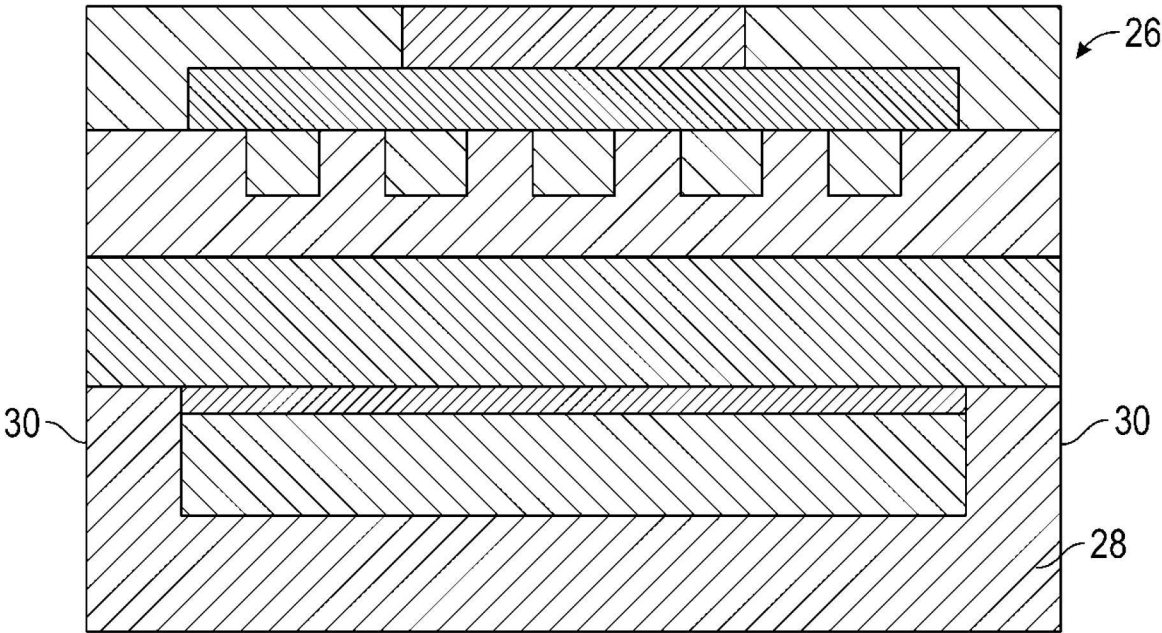
【請求項9】

如請求項6之半導體裝置，其中該複數個接觸墊經由耦接在該晶圓上方的一鈍化層而暴露出來。

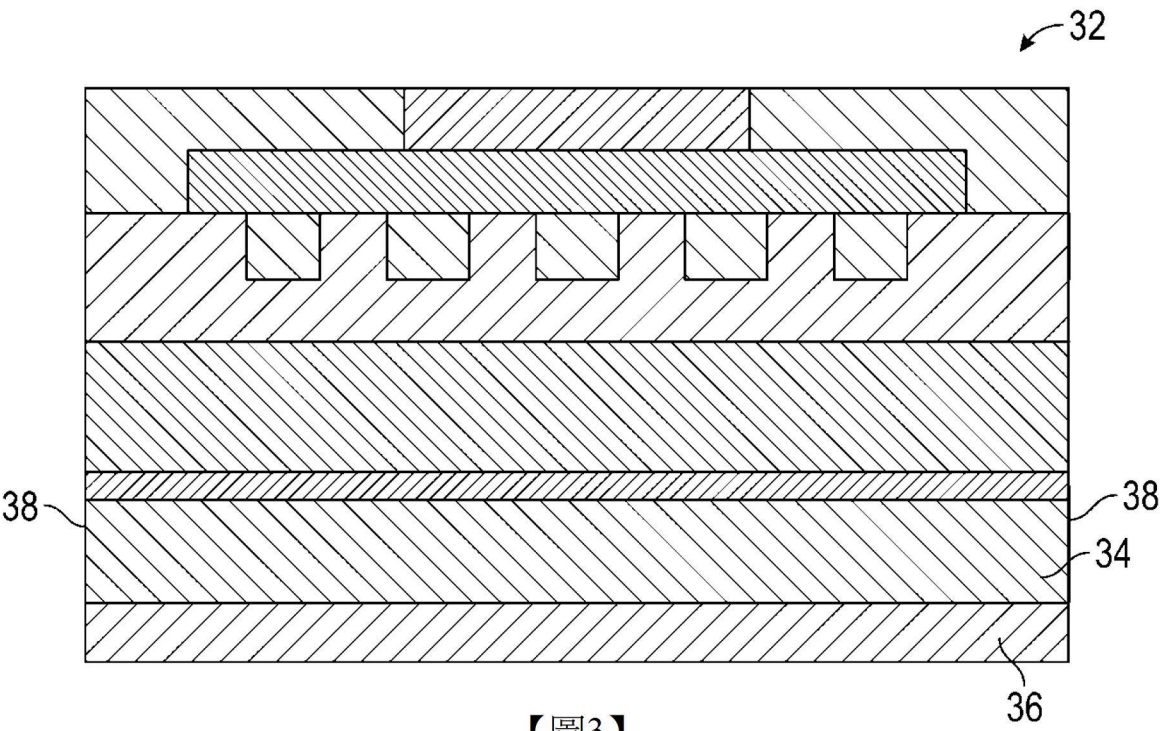
【發明圖式】



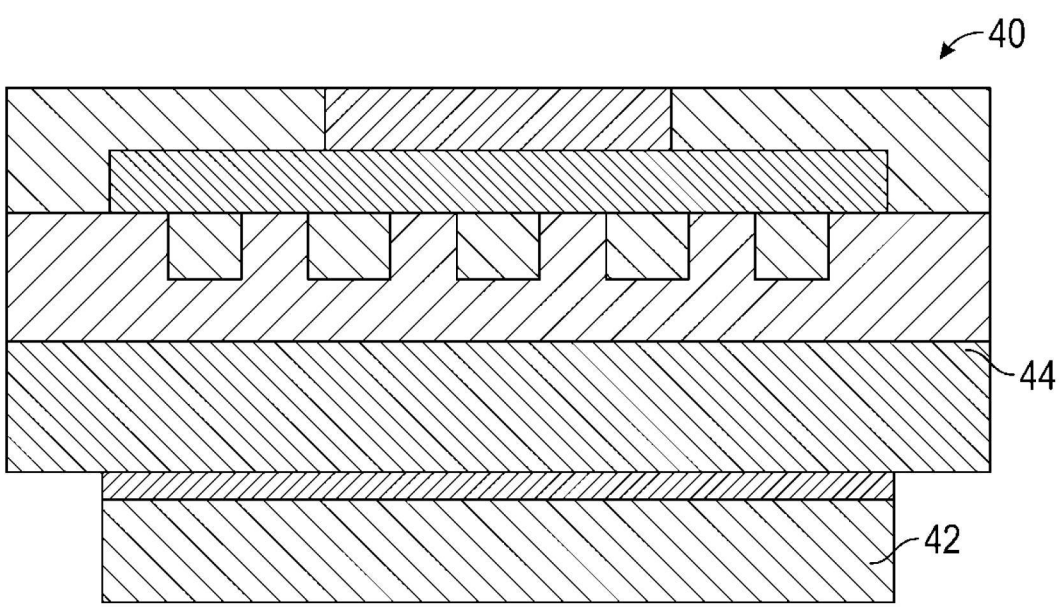
【圖1】



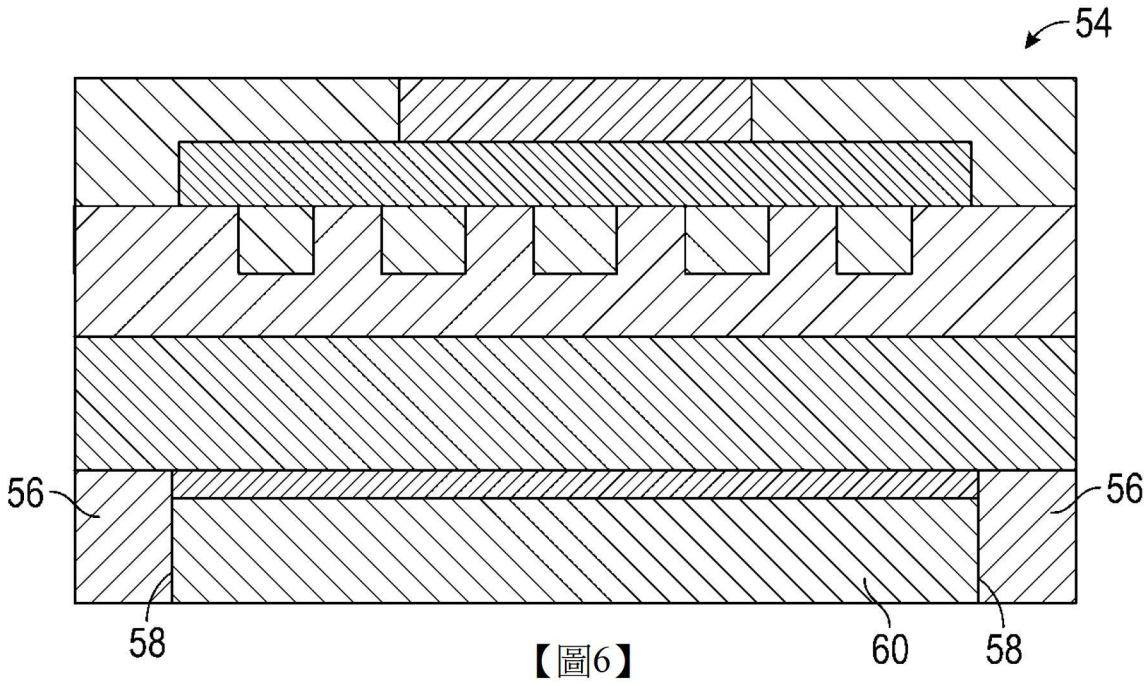
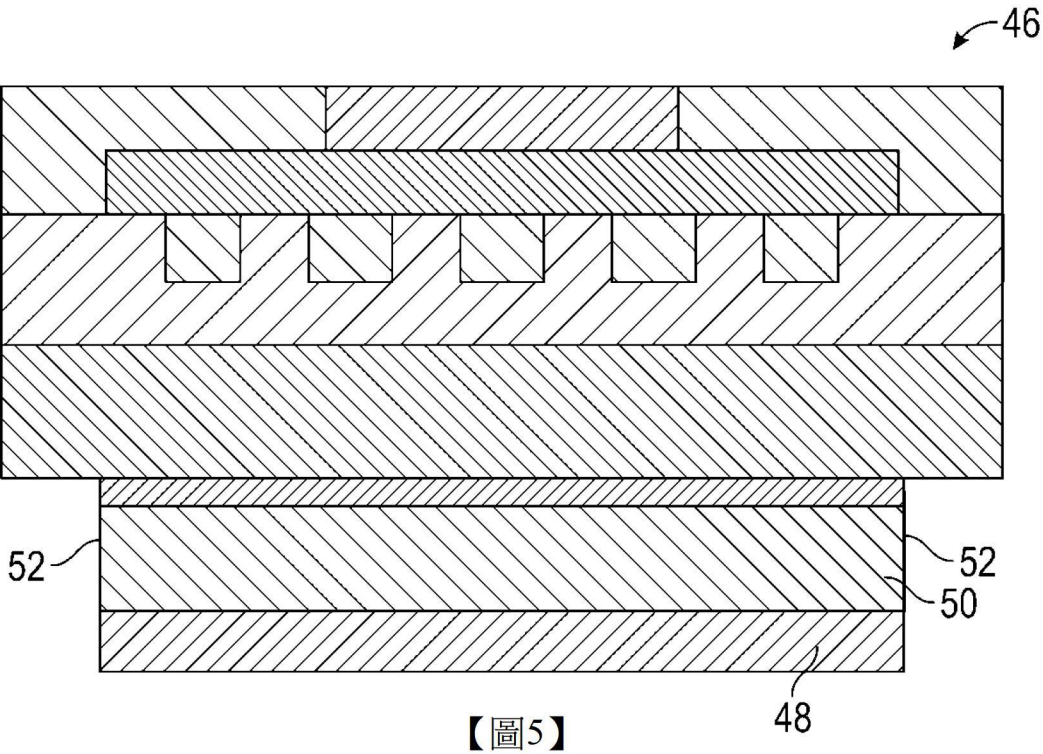
【圖2】

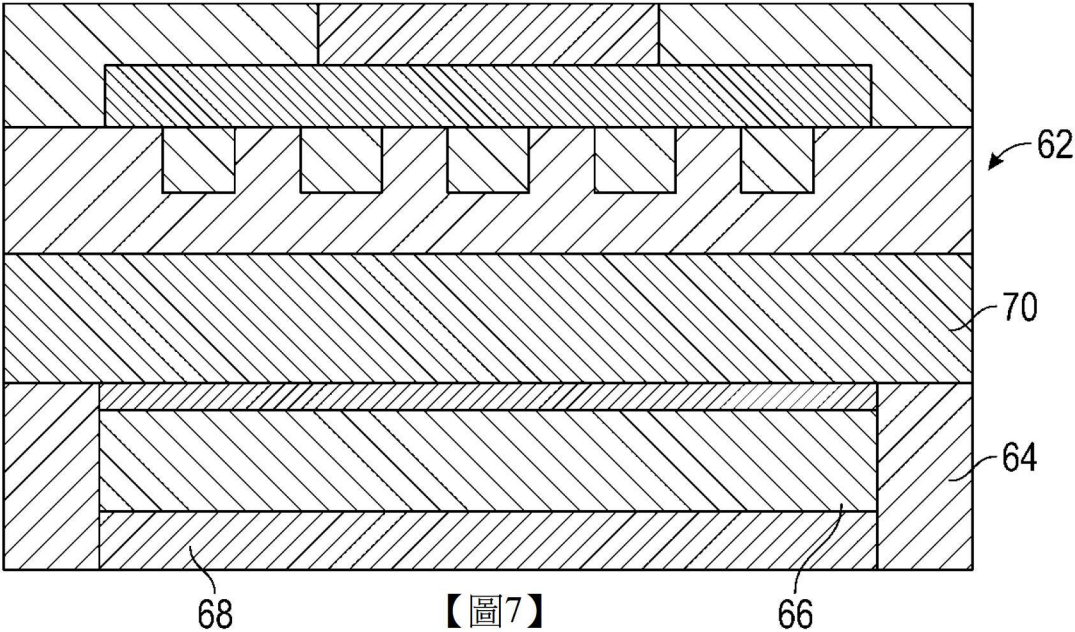


【圖3】

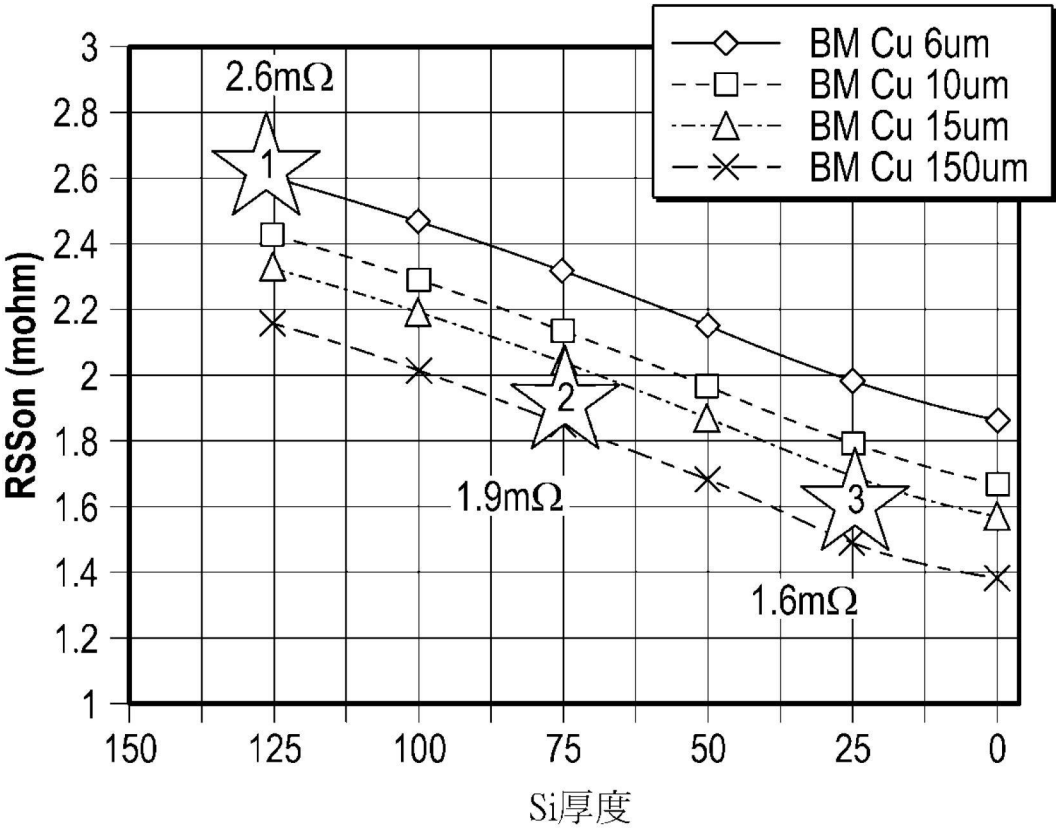


【圖4】

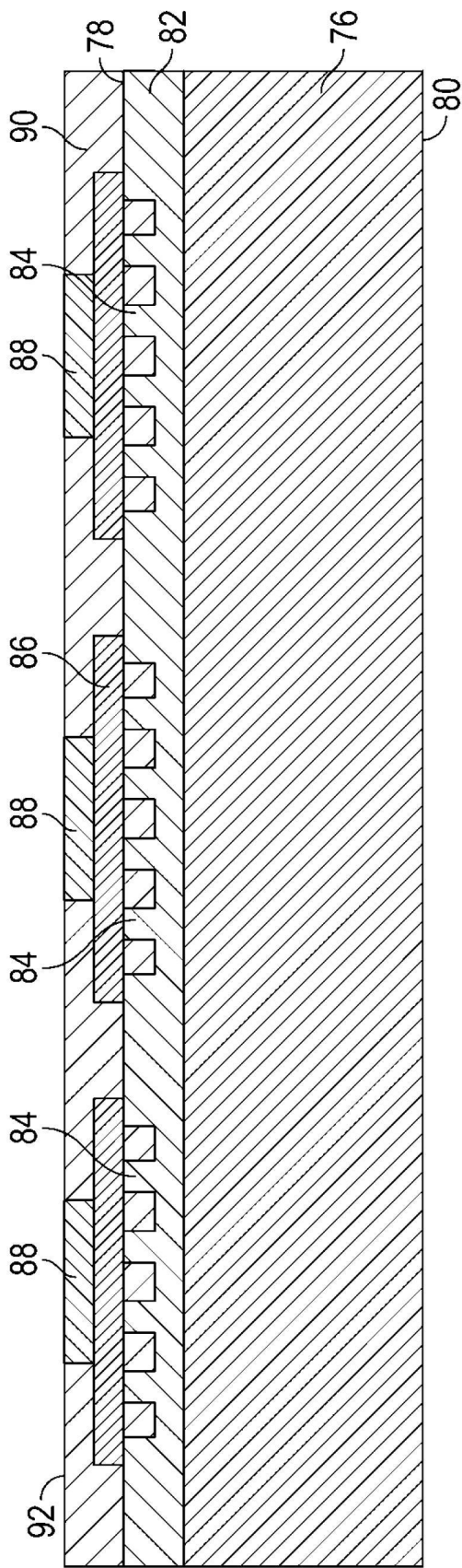




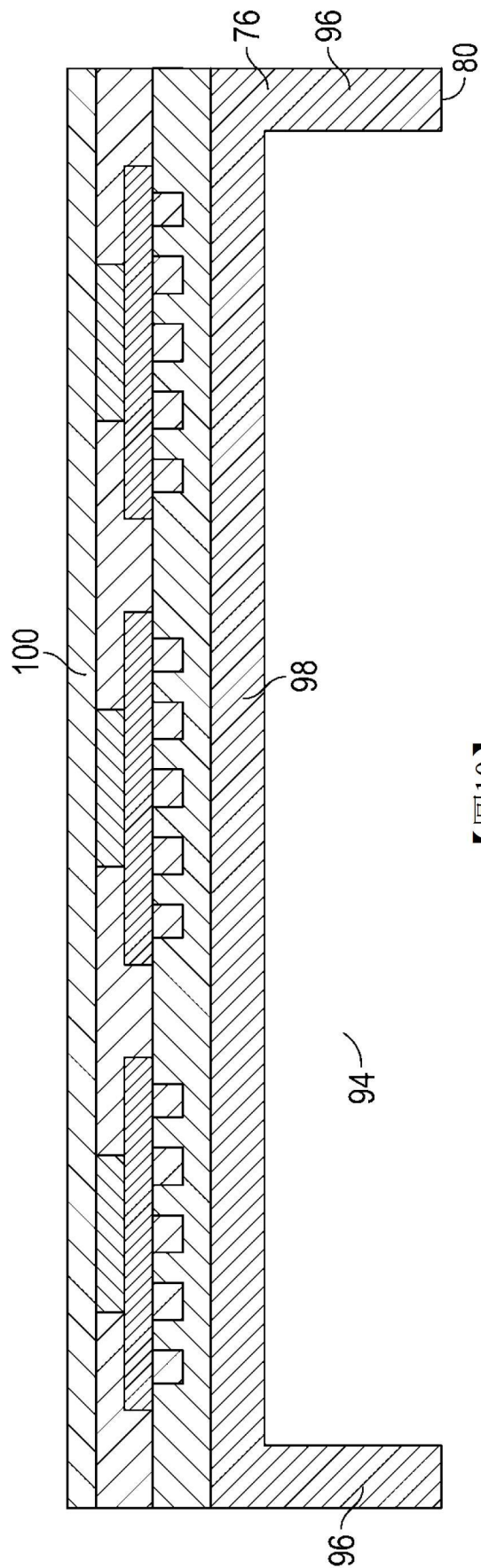
【圖7】



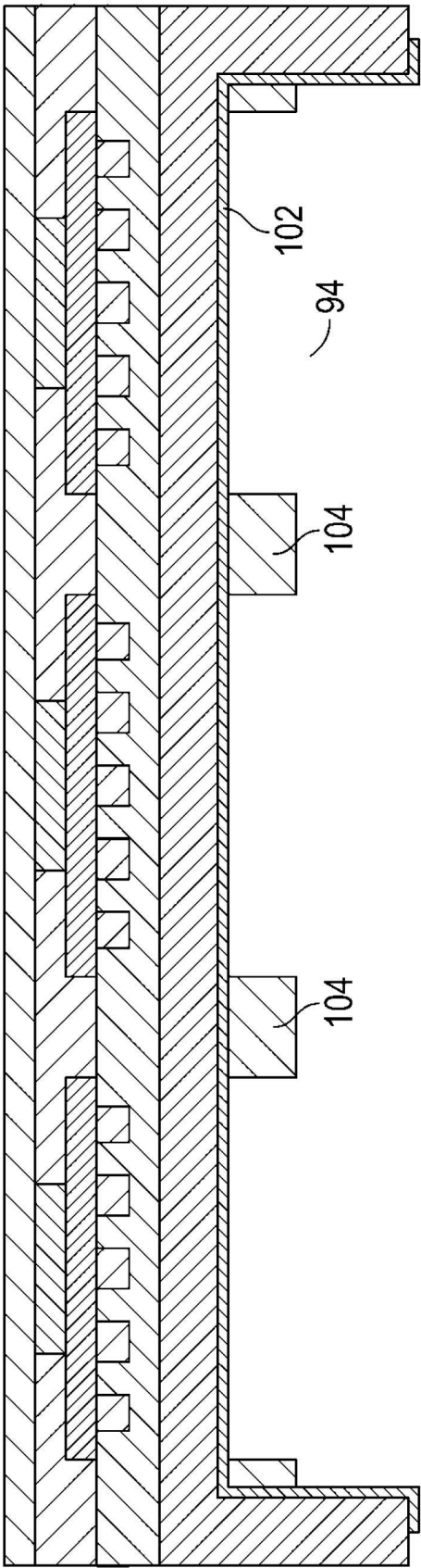
【圖8】



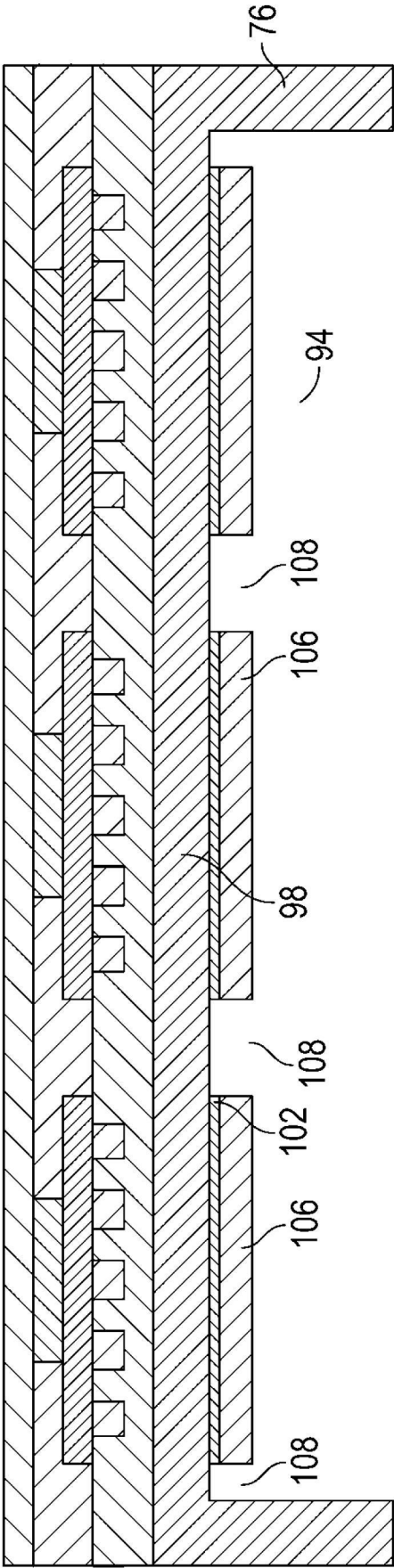
【圖9】



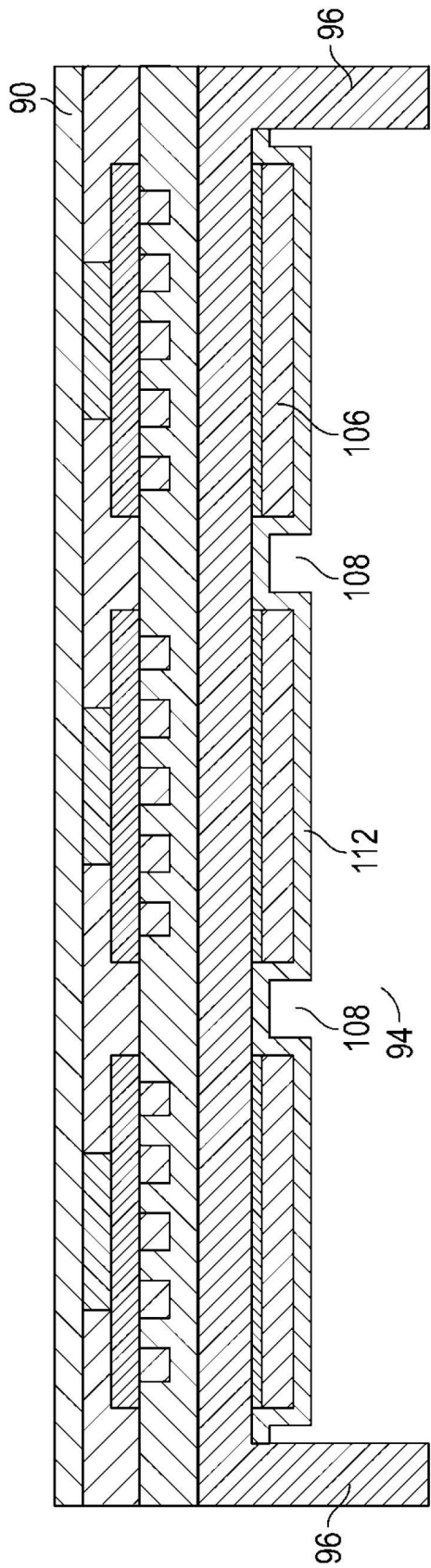
【圖10】



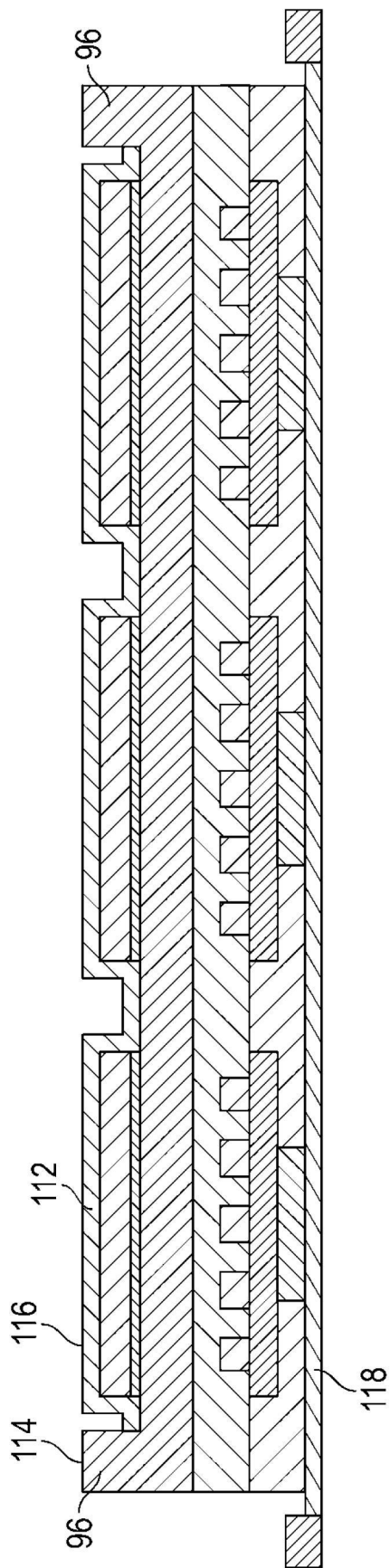
【圖11】



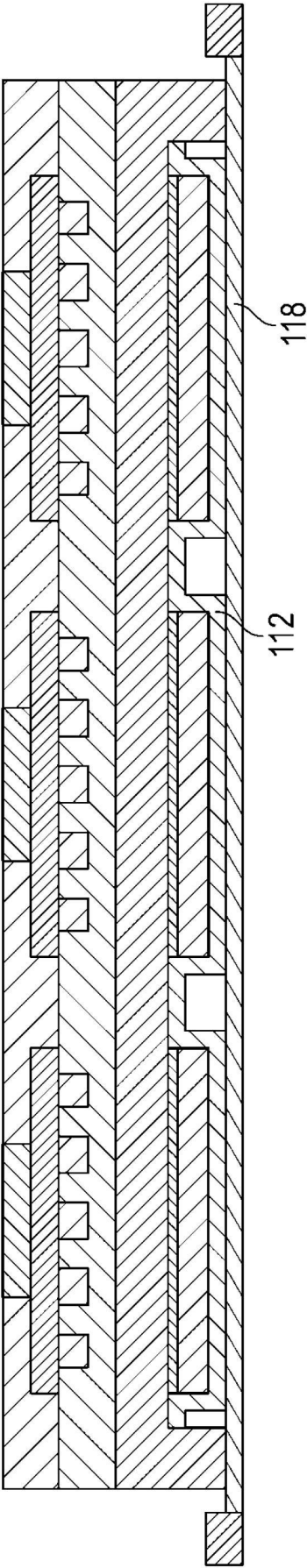
【圖12】



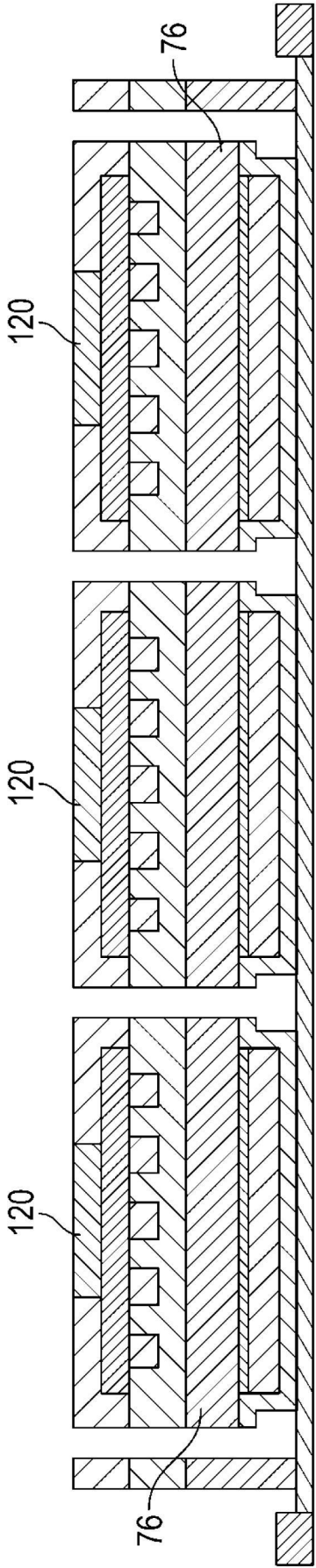
【圖13】



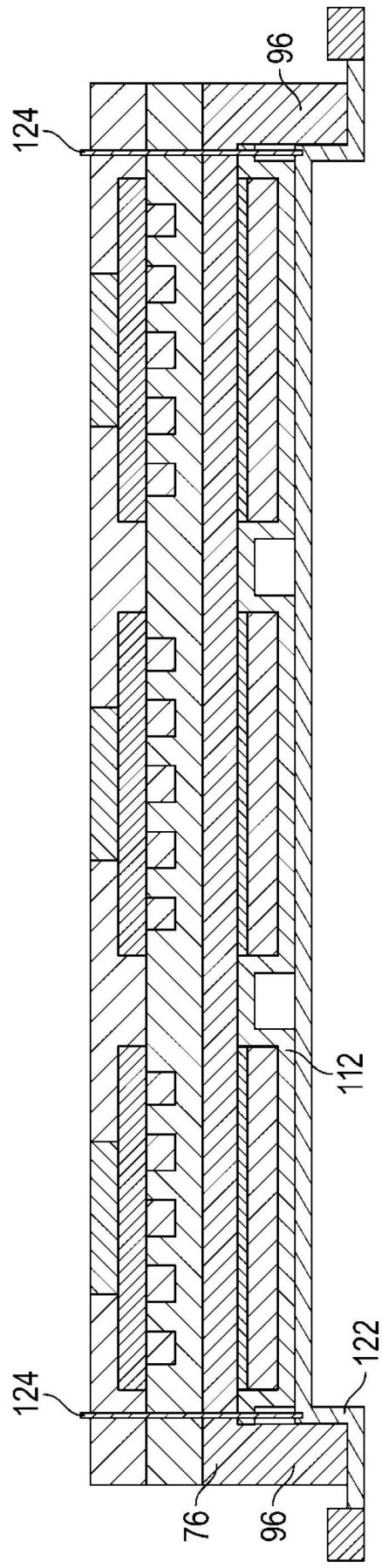
【圖14】



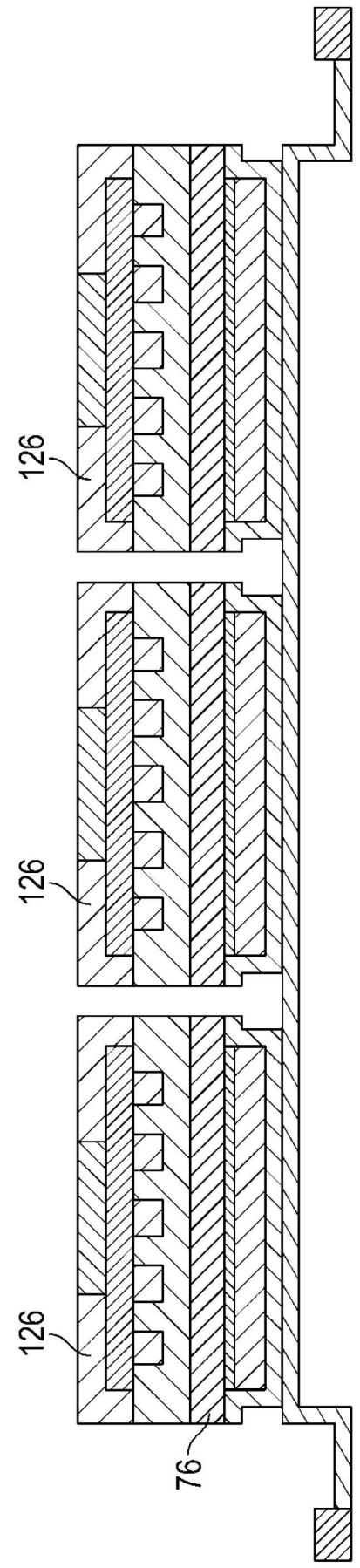
【圖15】



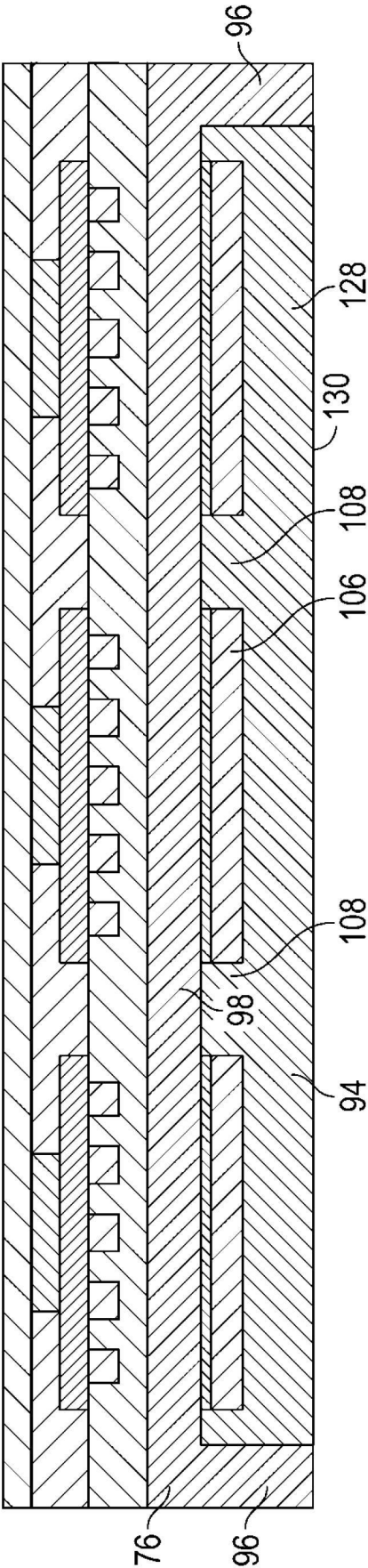
【圖16】



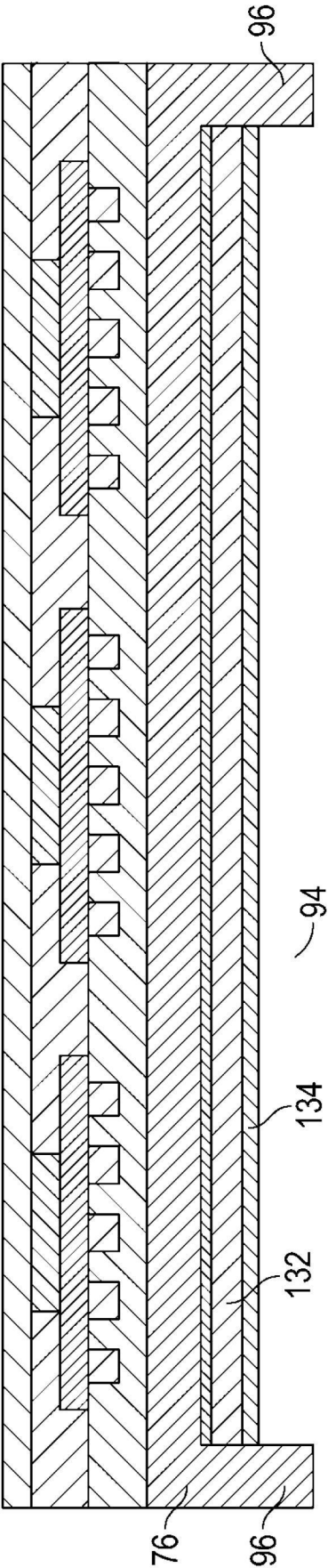
【圖17】



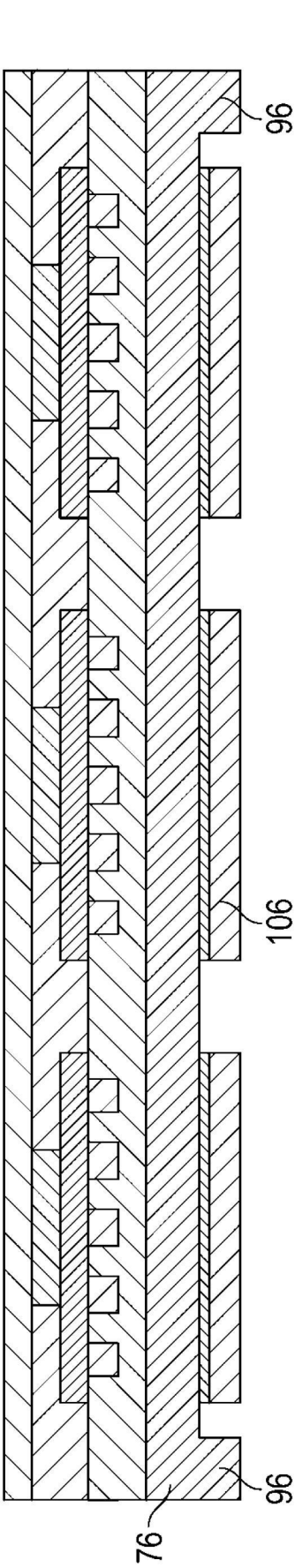
【圖18】



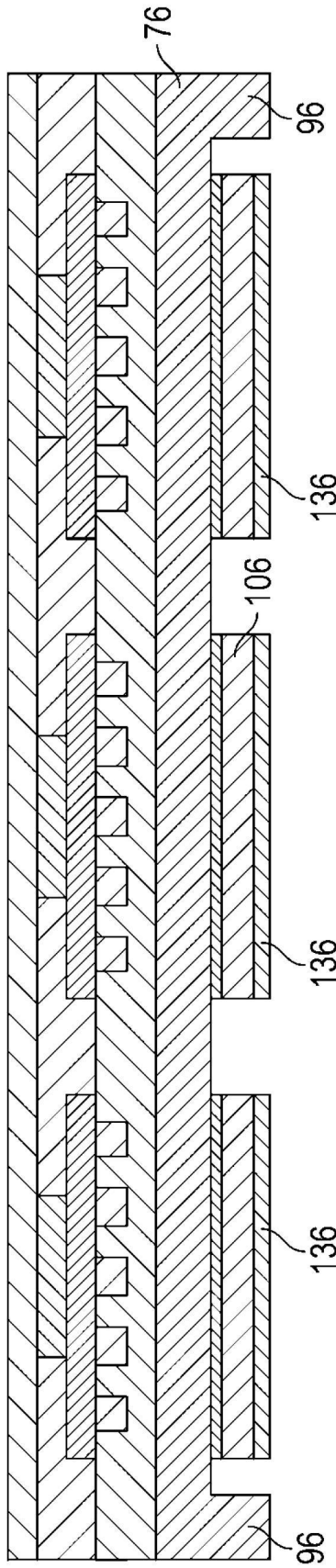
【圖19】



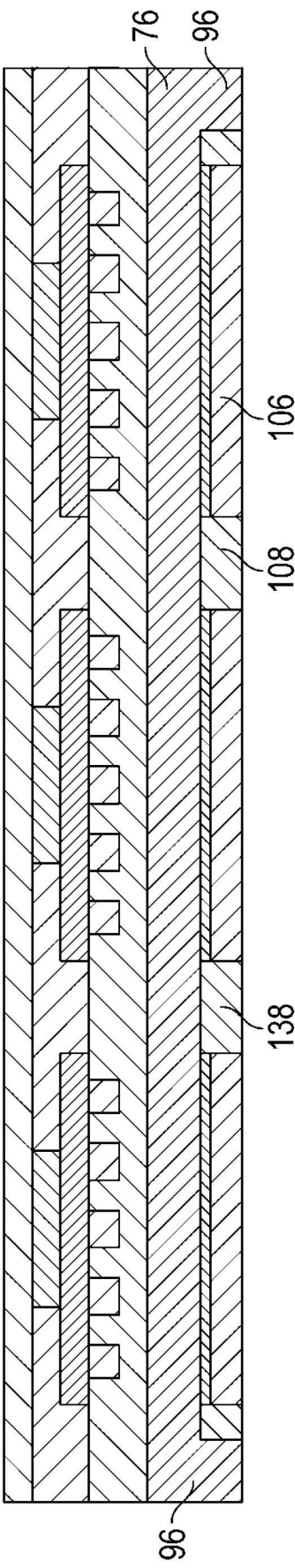
【圖20】



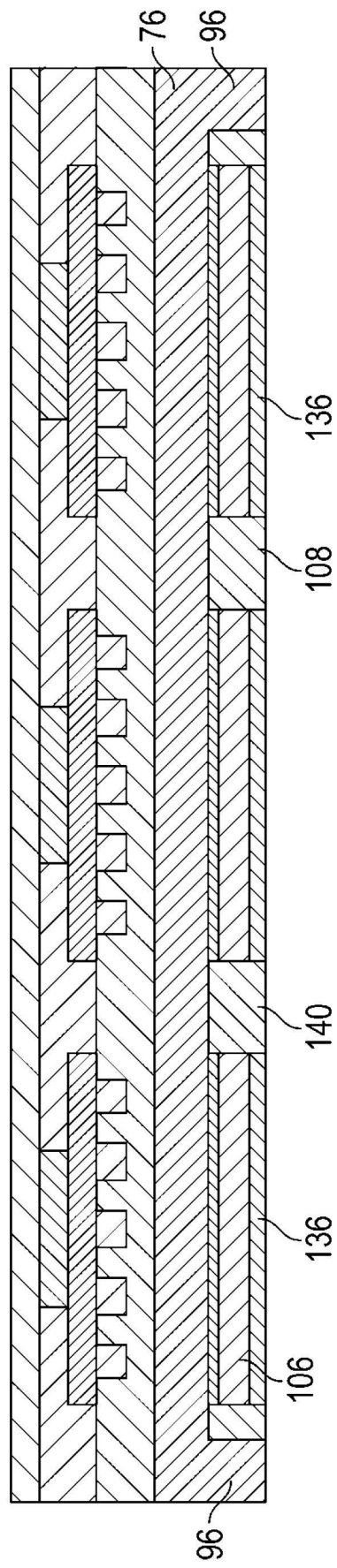
【圖21】



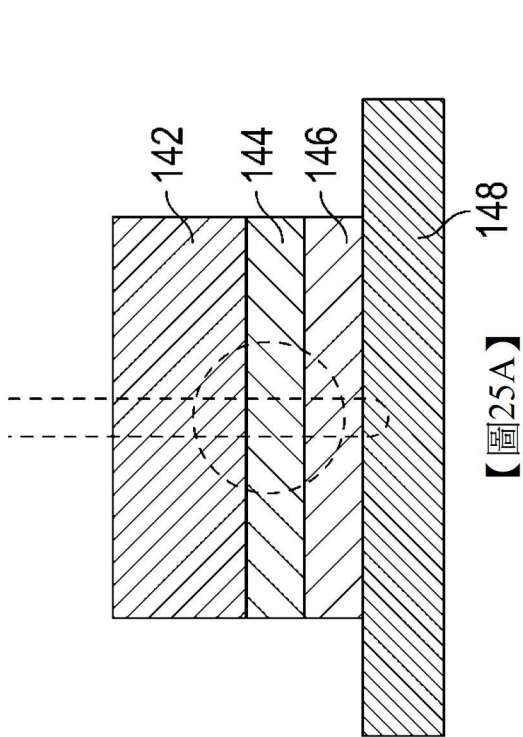
【圖22】



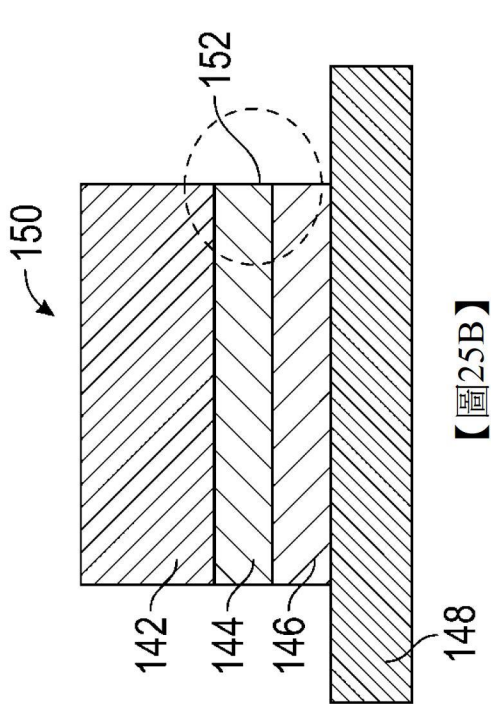
【圖23】



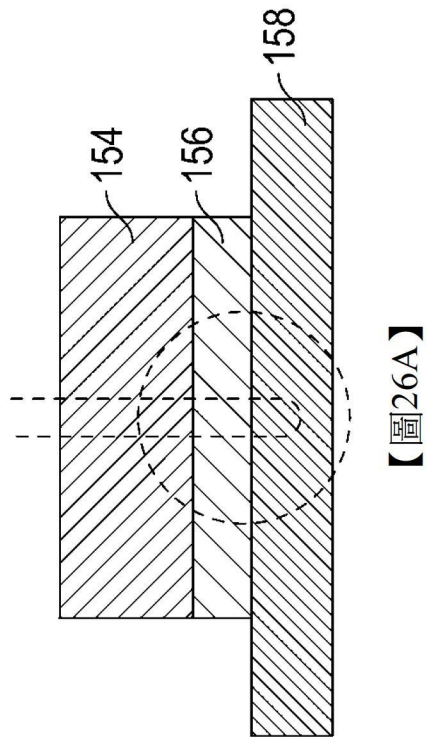
【圖24】



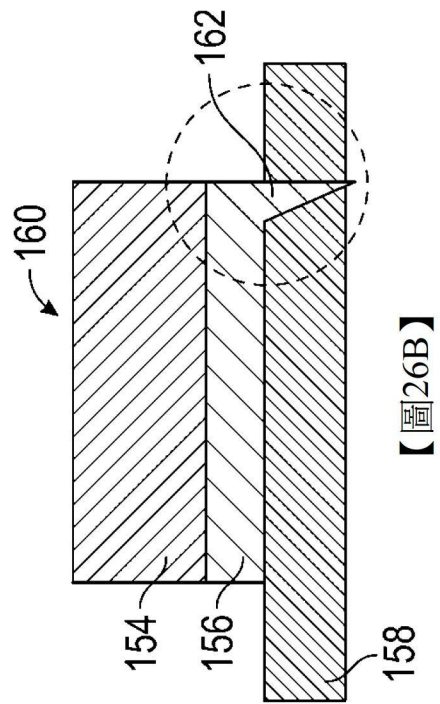
【圖25A】



【圖25B】



【圖26A】



【圖26B】