



(12) 发明专利

(10) 授权公告号 CN 112637524 B

(45) 授权公告日 2025. 02. 25

(21) 申请号 202010964195.7

(22) 申请日 2020.09.14

(65) 同一申请的已公布的文献号
申请公布号 CN 112637524 A

(43) 申请公布日 2021.04.09

(30) 优先权数据
10-2019-0117504 2019.09.24 KR

(73) 专利权人 三星电子株式会社
地址 韩国京畿道

(72) 发明人 金石山 徐珉雄 秋明来 李宗渊
崔珉准

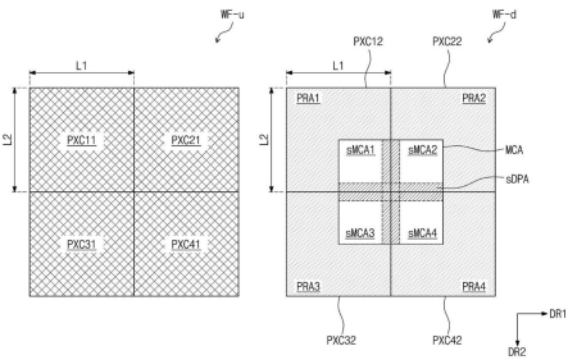
(74) 专利代理机构 中科专利商标代理有限责任
公司 11021
专利代理师 李敬文

(51) Int.Cl.
H04N 25/70 (2023.01)
H04N 25/78 (2023.01)
H10F 39/18 (2025.01)
(56) 对比文件
CN 101753866 A, 2010.06.23
审查员 董翠翠

权利要求书4页 说明书25页 附图29页

(54) 发明名称
图像传感器设备

(57) 摘要
一种图像传感器设备包括：第一数字像素，包括第一光电检测器和第一存储单元，第一存储单元用于存储与来自第一光电检测器的第一输出相对应的第一数字信号；以及第二数字像素，包括第二光电检测器和第二存储单元，第二存储单元用于存储与来自第二光电检测器的第二输出相对应的第二数字信号，第二数字像素与第一数字像素的一侧相邻，第一存储单元和第二存储单元与多个位线相连，第一存储单元与第一字线和第三字线相连，第二存储单元与第二字线和第四字线相连，第二字线在第一字线与第三字线之间，并且第三字线在第二字线与第四字线之间。



1. 一种图像传感器设备,包括:

第一数字像素,包括第一光电检测器和第一存储单元,所述第一存储单元被配置为存储与来自所述第一光电检测器的第一输出相对应的第一数字信号;以及

第二数字像素,包括第二光电检测器和第二存储单元,所述第二存储单元被配置为存储与来自所述第二光电检测器的第二输出相对应的第二数字信号,

其中,所述第二数字像素沿第一方向与所述第一数字像素的一侧相邻,

其中,所述第一存储单元和所述第二存储单元与多个位线相连,

其中,所述第一存储单元与第一字线和第三字线相连,

其中,所述第二存储单元与第二字线和第四字线相连,

其中,所述第二字线在所述第一字线与所述第三字线之间,

其中,所述第三字线在所述第二字线与所述第四字线之间,并且

其中,所述第一存储单元和所述第二存储单元被包括在单个存储单元阵列中。

2. 根据权利要求1所述的图像传感器设备,其中,所述第一字线与第一字线触点电连接,并且所述第三字线与第三字线触点电连接,其中所述第一字线触点和所述第三字线触点在所述第一存储单元的一侧上,并且

其中,所述第二字线与第二字线触点电连接,并且所述第四字线与第四字线触点电连接,其中所述第二字线触点和所述第四字线触点在所述第二存储单元的与所述第一存储单元的所述一侧相对的一侧上。

3. 根据权利要求2所述的图像传感器设备,其中,所述第一字线触点与所述第三字线触点之间的第一距离和所述第二字线触点与所述第四字线触点之间的第二距离中的每一个大于所述第一字线与所述第二字线之间的距离、所述第二字线与所述第三字线之间的距离、以及所述第三字线与所述第四字线之间的距离中的每一个。

4. 根据权利要求1所述的图像传感器设备,还包括:

第三数字像素,包括第三光电检测器和第三存储单元,所述第三存储单元被配置为存储与来自所述第三光电检测器的第三输出相对应的第三数字信号,所述第三数字像素沿第二方向与所述第一数字像素的一侧相邻;以及

第四数字像素,包括第四光电检测器和第四存储单元,所述第四存储单元被配置为存储与来自所述第四光电检测器的第四输出相对应的第四数字信号,所述第四数字像素沿所述第二方向与所述第二数字像素的一侧相邻,

其中,所述第三存储单元和所述第四存储单元与所述多个位线相连,

其中,所述第三存储单元与第五字线和第七字线相连,并且所述第四存储单元与第六字线和第八字线相连,并且

其中,所述第五字线在所述第四字线与所述第六字线之间,所述第七字线在所述第六字线与所述第八字线之间,并且所述第六字线在所述第五字线与所述第七字线之间。

5. 根据权利要求4所述的图像传感器设备,其中,所述第五字线与第五字线触点电连接,并且所述第七字线与第七字线触点电连接,其中所述第五字线触点和所述第七字线触点在所述第三存储单元的一侧上,并且

其中,所述第六字线与第六字线触点电连接,并且所述第八字线与第八字线触点电连接,其中所述第六字线触点和所述第八字线触点在所述第四存储单元的一侧上。

6. 根据权利要求4所述的图像传感器设备, 其中, 所述第一存储单元、所述第二存储单元、所述第三存储单元和所述第四存储单元被包括在单个存储单元阵列中, 并且

其中, 所述单个存储单元阵列还包括:

第一虚设图案区域, 在所述第一字线的一侧上, 其中所述第一虚设图案区域沿所述第一方向延伸;

第二虚设图案区域, 在所述第八字线的一侧上, 其中所述第二虚设图案区域沿所述第一方向延伸;

第三虚设图案区域, 在所述第一存储单元至所述第四存储单元的一侧上, 其中所述第三虚设图案区域沿所述第二方向延伸; 以及

第四虚设图案区域, 在所述第一存储单元至所述第四存储单元的一侧上, 其中所述第四虚设图案沿所述第二方向延伸, 所述第四虚设图案区域和所述第三虚设图案区域彼此相对。

7. 根据权利要求6所述的图像传感器设备, 其中, 所述单个存储单元阵列还包括:

共享虚设图案区域, 在所述第四字线与所述第五字线之间。

8. 根据权利要求1所述的图像传感器设备, 还包括:

计数器, 被配置为向所述多个位线提供数字代码;

行驱动器, 被配置为输出用于控制所述第一光电检测器和所述第二光电检测器的第一光电检测器控制信号和第二光电检测器控制信号以及用于控制所述第一存储单元和所述第二存储单元的第一存储器控制信号和第二存储器控制信号; 以及

斜坡发生器, 被配置为生成斜坡信号,

其中, 所述第一光电检测器被配置为响应于所述第一光电检测器控制信号而输出所述第一输出, 并且

其中, 所述第二光电检测器被配置为响应于所述第二光电检测器控制信号而输出所述第二输出。

9. 根据权利要求8所述的图像传感器设备, 其中, 所述第一数字像素还包括: 第一比较器, 被配置为将来自所述第一光电检测器的所述第一输出与所述斜坡信号进行比较, 并且输出第一比较信号, 并且

其中, 所述第二数字像素还包括: 第二比较器, 被配置为将来自所述第二光电检测器的所述第二输出与所述斜坡信号进行比较, 并且输出第二比较信号。

10. 根据权利要求9所述的图像传感器设备, 其中, 所述第一存储单元被配置为响应于所述第一存储器控制信号和所述第一比较信号, 将通过所述多个位线提供的数字代码存储为所述第一数字信号, 并且

其中, 所述第二存储单元被配置为响应于所述第二存储器控制信号和所述第二比较信号, 将通过所述多个位线提供的所述数字代码存储为所述第二数字信号。

11. 根据权利要求8所述的图像传感器设备, 还包括:

共享比较器, 被配置为:

将来自所述第一光电检测器的所述第一输出与所述斜坡信号进行比较以输出第一比较信号; 以及

将来自所述第二光电检测器的所述第二输出与所述斜坡信号进行比较以输出第二比

较信号。

12. 根据权利要求1所述的图像传感器设备, 其中, 所述第一光电检测器包括: 多个第一光电二极管, 被配置为检测从所述图像传感器设备的外部入射的第一颜色的光, 并且

其中, 所述第二光电检测器包括: 多个第二光电二极管, 被配置为检测从所述外部入射的第二颜色的光。

13. 一种图像传感器设备, 包括:

第一数字像素, 包括第一光电检测器和第一存储单元, 所述第一存储单元被配置为存储与来自所述第一光电检测器的第一输出相对应的第一数字信号; 以及

第二数字像素, 包括第二光电检测器和第二存储单元, 所述第二存储单元被配置为存储与来自所述第二光电检测器的第二输出相对应的第二数字信号,

其中, 所述第二数字像素沿第一方向与所述第一数字像素的第一侧相邻,

其中, 所述第一存储单元和所述第二存储单元被包括在单个存储单元阵列中, 并且形成在第一半导体晶片上,

其中, 所述第一半导体晶片包括:

第一区域, 包括所述第一存储单元;

第二区域, 包括所述第二存储单元, 其中, 所述第二区域沿所述第一方向与所述第一区域相邻;

第一共享虚设图案区域, 在所述第一区域的第一侧与所述第二区域的第二侧之间;

第一虚设图案区域, 与所述第一区域的与所述第一区域的所述第一侧相对的第二侧相邻; 以及

第二虚设图案区域, 与所述第二区域的与所述第二区域的所述第二侧相对的第一侧相邻, 并且

其中, 所述第一共享虚设图案区域在所述第一方向上的第一宽度小于所述第一虚设图案区域在所述第一方向上的第二宽度的两倍或所述第二虚设图案区域在所述第一方向上的第三宽度的两倍。

14. 根据权利要求13所述的图像传感器设备, 其中, 所述第一存储单元与第一位线和第一字线相连, 并且所述第二存储单元与第二位线和第二字线相连。

15. 根据权利要求14所述的图像传感器设备, 其中, 所述第一存储单元中的至少一个第一存储单元和所述第二存储单元中的至少一个第二存储单元在相同的行中, 并且

其中, 所述第一共享虚设图案区域包括: 至少一个隔离虚设单元, 所述至少一个隔离虚设单元与所述第一存储单元中的所述至少一个第一存储单元和所述第二存储单元中的所述至少一个第二存储单元在相同的行中, 并且不与所述第一字线和所述第二字线相连。

16. 根据权利要求13所述的图像传感器设备, 还包括:

第三数字像素, 包括第三光电检测器和第三存储单元, 所述第三存储单元被配置为存储与来自所述第三光电检测器的第三输出相对应的第三数字信号, 所述第三数字像素沿第二方向与所述第一数字像素的第二侧相邻; 以及

第四数字像素, 包括第四光电检测器和第四存储单元, 所述第四存储单元被配置为存储与来自所述第四光电检测器的第四输出相对应的第四数字信号, 所述第四数字像素沿所述第二方向与所述第二数字像素的第二侧相邻,

其中,所述第三存储单元和所述第四存储单元形成在所述第一半导体晶片上,
其中,所述第一半导体晶片还包括:

第三区域,包括所述第三存储单元并且沿所述第二方向与所述第一区域相邻;

第四区域,包括所述第四存储单元并且沿所述第一方向与所述第三区域相邻;

第二共享虚设图案区域,在所述第三区域的第一侧与所述第四区域的第一侧之间;

第三虚设图案区域,与所述第三区域的与所述第三区域的所述第一侧相对的第二侧相邻;以及

第四虚设图案区域,与所述第四区域的与第四区域的所述第一侧相对的第二侧相邻,
并且

其中,所述第二共享虚设图案区域在所述第一方向上的第四宽度小于所述第三虚设图案区域在所述第一方向上的第五宽度的两倍或者所述第四虚设图案区域在所述第一方向上的第六宽度的两倍。

17.根据权利要求16所述的图像传感器设备,其中,所述第一半导体晶片还包括:

第五虚设图案区域,在所述第一区域和所述第二区域的一侧上;

第六虚设图案区域,在所述第三区域和所述第四区域的一侧上,其中所述第五虚设图案区域和所述第六虚设图案区域彼此相对;以及

第三共享虚设图案区域,在所述第一区域和所述第二区域与所述第三区域和所述第四区域之间,并且

其中,所述第三共享虚设图案区域在所述第二方向上的第七宽度小于所述第五虚设图案区域在所述第二方向上的第八宽度的两倍或者所述第六虚设图案区域在所述第二方向上的第九宽度的两倍。

18.根据权利要求16所述的图像传感器设备,其中,所述第一光电检测器、所述第二光电检测器、所述第三光电检测器和所述第四光电检测器形成在第二半导体晶片上,并且

其中,所述第一半导体晶片堆叠在所述第二半导体晶片上,使得形成有所述第一光电检测器的区域和所述第一区域彼此重叠,形成有所述第二光电检测器的区域和所述第二区域彼此重叠,形成有所述第三光电检测器的区域和所述第三区域彼此重叠,以及形成有所述第四光电检测器的区域和所述第四区域彼此重叠。

19.一种图像传感器设备,包括:

第一数字像素,包括第一光电检测器和第一存储单元,所述第一存储单元被配置为存储与来自所述第一光电检测器的第一检测信号相对应的第一数字信号;以及

第二数字像素,包括第二光电检测器和第二存储单元,所述第二存储单元被配置为存储与来自所述第二光电检测器的第二检测信号相对应的第二数字信号,

其中,所述第二数字像素沿第一方向与所述第一数字像素相邻,并且

其中,所述第一存储单元和所述第二存储单元被包括在单个存储单元阵列中。

20.根据权利要求19所述的图像传感器设备,其中,所述第一存储单元与第一字线和多个位线相连,并且

其中,所述第二存储单元与第二字线和所述多个位线相连。

图像传感器设备

[0001] 相关申请的交叉引用

[0002] 本申请要求于2019年9月24日在韩国知识产权局递交的韩国专利申请No.10-2019-0117504的优先权,该申请的全部公开内容通过引用合并于此。

技术领域

[0003] 本发明构思的示例性实施例涉及半导体设备,更具体地,涉及图像传感器设备。

背景技术

[0004] 图像传感器是检测并传送信息以形成图像的传感器。它通过将光信号转换为电信号来实现该目的。随着计算机和通信行业的发展,在各种电子设备(例如,数码相机、便携式摄像机、智能电话、平板个人计算机(PC)、笔记本电脑、游戏机、安全相机和医用微型相机)中对高性能图像传感器的需求不断增长。

[0005] 常规的图像传感器包括模拟像素。模拟像素输出光信号作为模拟信号,并且模拟信号被转换成数字信号。然而,模拟信号容易受到噪声或耦合的影响,并且可能无法很好地处理高分辨率图像信号。

发明内容

[0006] 根据本发明构思的示例性实施例,一种图像传感器设备包括:第一数字像素,包括第一光电检测器和第一存储单元,所述第一存储单元被配置为存储与来自所述第一光电检测器的第一输出相对应的第一数字信号;以及第二数字像素,包括第二光电检测器和第二存储单元,所述第二存储单元被配置为存储与来自所述第二光电检测器的第二输出相对应的第二数字信号,其中,所述第二数字像素沿第一方向与所述第一数字像素的一侧相邻,其中,所述第一存储单元和所述第二存储单元与多个位线相连,其中,所述第一存储单元与第一字线和第三字线相连,其中,所述第二存储单元与第二字线和第四字线相连,其中,所述第二字线在所述第一字线与所述第三字线之间,并且其中,所述第三字线在所述第二字线与所述第四字线之间。

[0007] 根据本发明构思的示例性实施例,一种图像传感器设备包括:第一数字像素,包括第一光电检测器和第一存储单元,所述第一存储单元被配置为存储与来自所述第一光电检测器的第一输出相对应的第一数字信号;以及第二数字像素,包括第二光电检测器和第二存储单元,所述第二存储单元被配置为存储与来自所述第二光电检测器的第二输出相对应的第二数字信号,其中,所述第二数字像素沿第一方向与所述第一数字像素的第一侧相邻,其中,所述第一存储单元和所述第二存储单元形成在第一半导体晶片上,其中,所述第一半导体晶片包括:第一区域,包括所述第一存储单元;第二区域,包括所述第二存储单元,其中,所述第二区域沿所述第一方向与所述第一区域相邻;第一共享虚设图案区域,在所述第一区域的第一侧与所述第二区域的第一侧之间;第一虚设图案区域,与所述第一区域的与所述第一区域的第一侧相对的第二侧相邻;以及第二虚设图案区域,与所述第二区域的与

所述第二区域的第一侧相对的第二侧相邻,并且其中,所述第一共享虚设图案区域在所述第一方向上的第一宽度小于所述第一虚设图案区域在所述第一方向上的第二宽度的两倍或所述第二虚设图案区域在所述第二方向上的第三宽度的两倍。

[0008] 根据本发明构思的示例性实施例,一种图像传感器设备包括:第一数字像素,包括第一光电检测器和第一存储单元,所述第一存储单元被配置为存储与来自所述第一光电检测器的第一检测信号相对应的第一数字信号;以及第二数字像素,包括第二光电检测器和第二存储单元,所述第二存储单元被配置为存储与来自所述第二光电检测器的第二检测信号相对应的第二数字信号,所述第二数字像素沿第一方向与所述第一数字像素相邻,并且所述第一存储单元和所述第二存储单元被包括在单个存储单元阵列中。

[0009] 根据本发明构思的示例性实施例,一种图像传感器设备包括:第一数字像素,包括第一光电检测器和第一存储单元,所述第一存储单元被配置为存储与来自所述第一光电检测器的第一检测信号相对应的第一数字信号;以及第二数字像素,包括第二光电检测器和第二存储单元,所述第二存储单元被配置为存储与来自所述第二光电检测器的第二检测信号相对应的第二数字信号,其中,所述第二数字像素沿第一方向与所述第一数字像素相邻,其中,虚设存储单元被设置在所述第一存储单元与所述第二存储单元之间,并且其中所述虚设存储单元、所述第一存储单元和所述第二存储单元被包括在单个存储单元阵列中。

附图说明

[0010] 通过参考附图详细描述本发明构思的示例性实施例,本发明构思的上述和其他特征将变得显而易见。

[0011] 图1是示出了根据本发明构思的示例性实施例的图像传感器设备的框图。

[0012] 图2A是示出了图1的像素驱动器的框图。

[0013] 图2B是示出了图1的数字逻辑电路的框图。

[0014] 图3A、图3B、图3C和图3D是用于描述图1的数字像素的示意图。

[0015] 图4A和图4B是示出了图1的像素阵列的配置的示意图。

[0016] 图5A、图5B和图5C是示出了包括在图4A的像素阵列中的上晶片和下晶片的示意性布局的平面图。

[0017] 图6是示出了图4A所示的像素阵列的上晶片和下晶片的布局的平面图。

[0018] 图7A是示出了图6所示的存储单元区域的布局的平面图。

[0019] 图7B是示出了应用了图7A的存储单元区域的下晶片的平面图。

[0020] 图8是示出了图6的存储单元区域的布局的平面图。

[0021] 图9是示出了包括在图1的像素阵列中的数字像素共享比较器的结构的示意图。

[0022] 图10A和图10B是示出了图4A的下晶片和存储单元区域的布局的平面图。

[0023] 图11A和图11B是示出了图4A的下晶片和存储单元区域的布局的平面图。

[0024] 图12是示出了根据本发明构思的示例性实施例的存储单元区域的平面图。

[0025] 图13是示出了根据本发明构思的示例性实施例的存储单元区域的平面图。

[0026] 图14A和图14B是示出了根据本发明构思的示例性实施例的下晶片和存储单元区域的布局的平面图。

[0027] 图15A和图15B是示出了根据本发明构思的示例性实施例的图像传感器设备的上

晶片和下晶片的布局的平面图。

[0028] 图16A是示出了图1的图像传感器设备的透视图。

[0029] 图16B是示出了图1的图像传感器设备的平面图。

[0030] 图17是示出了应用了根据本发明构思的示例性实施例的图像传感器设备的电子设备的框图。

具体实施方式

[0031] 下面将参考附图详细描述本发明构思的示例性实施例。

[0032] 图1是示出了根据本发明构思的示例性实施例的图像传感器设备的框图。参考图1,图像传感器设备100可以包括像素阵列110、像素驱动器120和数字逻辑电路130。在本发明构思的示例性实施例中,图像传感器设备100可以是包括在诸如闭路电视(CCTV)、黑匣子、数码相机、智能电话、平板个人计算机(PC)和笔记本电脑等的各种电子设备中的相机模块。

[0033] 在常规的CMOS图像传感器(CIS)中,图像像素基于光信号输出模拟信号。在单独的模数转换器处以列为单位将来自基于CIS的图像像素的模拟信号转换为数字信号。在这种情况下,在将由基于CIS的图像像素输出的模拟信号发送给模数转换器时,可能出现噪声或耦合,从而降低了最终图像的质量。

[0034] 根据本发明构思的示例性实施例的像素阵列110可以包括多个数字像素DP。数字像素DP中的每一个可以被配置为感测来自外部的光信号并且输出与感测到的光信号相对应的数字信号DOUT。

[0035] 例如,数字像素DP可以包括光电检测器PDT、模数转换器ADC和存储电路MCT。光电检测器PDT可以被配置为将从外部感测到的光信号转换成电信号,换言之,转换成模拟信号。模数转换器ADC可以被配置为将从光电检测器PDT输出的模拟信号转换为数字信号。存储电路MCT可以被配置为存储由模数转换器ADC转换得到的数字信号DOUT并输出所存储的数字信号DOUT。与常规的基于CIS的图像像素不同,根据本发明构思的示例性实施例的数字像素DP可以在像素级别输出数字信号DOUT。

[0036] 像素驱动器120可以输出各种控制信号CTRL(例如,光电检测器控制信号、存储器控制信号、斜坡信号和计数信息),以控制包括在像素阵列110中的多个数字像素DP。基于来自像素驱动器120的控制信号CTRL,多个数字像素DP中的每一个可以执行一系列像素操作或图像检测操作,例如,检测光信号以生成模拟信号的操作、将模拟信号转换为数字信号的操作、存储数字信号的操作以及输出所存储的数字信号的操作。

[0037] 数字逻辑电路130可以对从像素阵列110接收的数字信号DOUT执行数字信号处理,并且可以将最终的图像信号提供给外部设备(例如,图像信号处理器(ISP)或应用处理器(AP))。在本发明构思的示例性实施例中,数字逻辑电路130可以在外部设备的控制下向像素驱动器120提供驱动信号。像素驱动器120可以响应于驱动信号而操作。

[0038] 如上所述,与常规CIS设备不同,多个数字像素DP中的每一个可以在像素级别生成并输出数字信号DOUT。这使得可以减少对从多个数字像素DP输出的数字信号DOUT的修改,并且高速处理图像信号。换言之,从多个数字像素DP输出的数字信号DOUT不易受到噪声或耦合的影响。

[0039] 图2A是示出了图1的像素驱动器的框图。参考图1和图2A,像素驱动器120可以包括计数器121、行驱动器122、斜坡生成器123和电压生成器124。

[0040] 计数器121可以在给定的时间期间响应于时钟(例如,操作时钟或系统时钟)而顺序地增加或顺序地减小代码“CODE”的值。换言之,代码“CODE”的值可以随时间顺序地变化。

[0041] 行驱动器122可以生成用于控制多个数字像素DP中的每一个的控制信号。例如,行驱动器122可以生成用于控制多个数字像素DP中的每一个的光电检测器PDT的光电检测器控制信号CS-PD。行驱动器122可以生成用于控制多个数字像素DP中的每一个的存储电路MCT的存储器控制信号CS-MC。

[0042] 斜坡发生器123可以输出斜坡信号VRAMP。斜坡信号VRAMP可以用作参考信号以在数字像素DP处与模拟信号进行比较。在本发明构思的示例性实施例中,斜坡信号VRAMP可以是均匀增大或减小的信号(例如,以单个斜率增大/减小的信号)。

[0043] 电压生成器124可以被配置为生成由图像传感器设备100使用以进行操作的各种电压(例如,电源电压VDDA和偏置电压VB)。

[0044] 光电检测器控制信号CS-PD、存储器控制信号CS-MC、代码“CODE”和斜坡信号VRAMP可以被包括在参考图1描述的控制信号CTRL中。在本发明构思的示例性实施例中,包括在像素阵列110中的多个数字像素DP中的每一个可以基于由参考图2A描述的像素驱动器120生成的各种信号CODE、CS-PD、CS-MC、VRAMP、VDDA和VB进行操作。

[0045] 图2B是示出了图1的数字逻辑电路的框图。参考图1和图2B,数字逻辑电路130包括传感器控制器131、数字信号处理单元132和输入/输出接口133。

[0046] 传感器控制器131可以被配置为控制图像传感器设备100的整体操作。例如,传感器控制器131可以基于由外部设备(例如,ISP或AP)通过输入/输出接口133提供的控制信息CI来控制图像传感器设备100的整体操作。传感器控制器131可以是用于控制像素驱动器120的操作时序的时序控制器。在本发明构思的示例性实施例中,像素驱动器120可以基于来自传感器控制器131的时序信号来生成上述各种信号。

[0047] 数字信号处理单元132可以从像素阵列110接收数字信号DOUT,并且可以对接收到的数字信号DOUT执行数字信号处理。

[0048] 在本发明构思的示例性实施例中,从一个数字像素DP输出的数字信号DOUT可以包括复位采样值和信号采样值。数字信号处理单元132可以通过对复位采样值和信号采样值执行算术运算来确定与由一个数字像素DP感测到的光信号相对应的最终数字值。

[0049] 可以通过对分别由多个数字像素DP确定的最终数字信号进行组合来生成最终图像数据IMG。换言之,可以通过数字信号DOUT来实现相关双采样(CDS)操作,其中数字信号DOUT是由包括在数字像素DP中的比较器或模数转换器ADC的操作和包括在数字逻辑电路130中的数字信号处理单元132的数字信号处理操作生成的。

[0050] 输入/输出接口133可以被配置为从外部设备(例如,ISP或AP)接收控制信息CI或输出最终图像数据IMG。在本发明构思的示例性实施例中,输入/输出接口133可以根据协议与外部设备交换上述信息。在本发明构思的示例性实施例中,输入/输出接口133可以包括用于支持协议的物理层。

[0051] 图3A至图3D是用于描述图1的数字像素的示意图。为了说明的简洁和描述的方便,描述了一个数字像素DP,但是本发明构思不限于此。另外,为了容易地描述本发明构思的示

例性实施例,将参考示例性电路图或框图来描述数字像素DP的结构或操作,但是本发明构思不限于此。例如,可以以各种形式修改数字像素DP。

[0052] 参考图1、图2A、图2B以及图3A至图3D,数字像素DP可以包括光电检测器PDT、比较器COMP和存储电路MCT。

[0053] 光电检测器PDT可以被配置为响应于来自像素驱动器120的光电检测器控制信号CS-PD而输出检测信号DET。例如,如图3B所示,光电检测器PDT可以包括光电二极管PD、转移晶体管TX和复位晶体管RX。光电二极管PD可以连接在接地节点与转移晶体管TX之间,并且可以被配置为响应于从外部入射的光的大小来累积光电荷。转移晶体管TX可以连接在浮置扩散节点FD与光电二极管PD之间,并且可以响应于转移信号TG而操作。例如,转移晶体管TX可以被配置为响应于转移信号TG而将在光电二极管PD处累积的电荷转移到浮置扩散节点FD。复位晶体管RX可以连接在电源电压VDDA与浮置扩散节点FD之间,并且可以响应于复位信号RG而操作。例如,复位晶体管RX可以响应于复位信号RS而复位浮置扩散节点FD的电压电平。在本发明构思的示例性实施例中,光电检测器控制信号CS-PD可以包括上述的转移信号TG和复位信号RG。在本发明构思的示例性实施例中,取决于光电检测器PDT的操作,浮置扩散节点FD的电压(例如,VFD)可以改变,并且该改变可以作为检测信号DET而输出。

[0054] 比较器COMP可以将来自光电检测器PDT的检测信号DET(或浮置扩散节点FD的电压VFD)与斜坡信号VRAMP进行比较,并且可以基于比较结果输出比较信号COMP-OUT。

[0055] 在本发明构思的示例性实施例中,比较器COMP可以是低功率比较器。例如,如图3B所示,比较器COMP可以包括第一p型金属氧化物半导体(PMOS)晶体管MP1、第二PMOS晶体管MP2和第三PMOS晶体管MP3、以及第一n型金属氧化物半导体(NMOS)晶体管MN1、第二NMOS晶体管MN2、第三NMOS晶体管MN3和第四NMOS晶体管MN4。第一PMOS晶体管MP1、第一NMOS晶体管MN1和第三NMOS晶体管MN3可以串联连接在电源电压VDDA与地电压GND之间。第一PMOS晶体管MP1的栅极可以连接到第一PMOS晶体管MP1与第一NMOS晶体管MN1之间的节点。第一NMOS晶体管MN1的栅极可以连接到浮置扩散节点FD,并且可以被配置为接收检测信号DET。第三NMOS晶体管MN3的栅极可以被配置为接收偏置电压VB。第二PMOS晶体管MP2和第二NMOS晶体管MN2可以串联连接在电源电压VDDA与地电压GND之间。第二PMOS晶体管MP2的栅极可以连接到第一PMOS晶体管MP1的栅极。第二NMOS晶体管MN2的栅极可以被配置为接收斜坡信号VRAMP。第三PMOS晶体管MP3和第四NMOS晶体管MN4可以串联连接在电源电压VDDA与地电压GND之间。第三PMOS晶体管MP3的栅极可以连接到第二PMOS晶体管MP2与第二NMOS晶体管MN2之间的节点。第四NMOS晶体管MN4的栅极可以被配置为接收偏置电压VB。

[0056] 在图3B所示的比较器COMP中,当检测信号DET低于斜坡信号VRAMP时,比较信号COMP-OUT可以具有逻辑高电平;并且,当检测信号DET高于斜坡信号VRAMP时,比较信号COMP-OUT可以具有逻辑低电平。

[0057] 在本发明构思的示例性实施例中,图3B的比较器COMP的结构是示例性的,并且本发明构思不限于此。例如,比较器COMP可以具有各种比较器或差分放大器的结构,该比较器或差分放大器被配置为将检测信号DET与斜坡信号VRAMP进行比较并基于比较结果输出比较信号COMP-OUT。

[0058] 存储电路MCT可以被配置为响应于比较信号COMP-OUT和存储器控制信号CS-MC来存储代码“CODE”,或者响应于比较信号COMP_OUT和存储器控制信号CS-MC而将所存储的代

码“CODE”作为数字信号DOUT进行输出。例如,如图3B所示,存储电路MCT可以包括第一选择电路SEL1和第二选择电路SEL2以及多个存储单元MC1和MC2。

[0059] 多个存储单元MC1和MC2中的每一个可以是诸如动态随机存取存储器(DRAM)单元、同步动态随机存取存储器(SDRAM)单元和锁存器等的各种形式的数据存储组件中的一种,所述数据存储组件被配置为在特定定时处存储代码“CODE”。多个存储单元MC1和MC2可以与第一字线WL1和第二字线WL2以及位线BL连接。根据第一字线WL1和第二字线WL2的电平,多个存储单元MC1和MC2可以存储通过位线BL提供的代码“CODE”,或者可以通过位线BL将所存储的代码“CODE”作为数字信号DOUT进行输出。

[0060] 在本发明构思的示例性实施例中,多个存储单元MC1和MC2中的第一存储单元MC1的数量可以是“N”(N是自然数2或更大的自然数),并且多个存储单元MC1和MC2中的第二存储单元MC2的数量可以是“M”(M是自然数)。在本发明构思的示例性实施例中,第一存储单元MC1的数量“N”可以与第二存储单元MC2的数量“M”相同或不同。

[0061] 在本发明构思的示例性实施例中,第一存储单元MC1可以被配置为存储复位采样值“R”,第二存储单元MC2可以被配置为存储信号采样值“S”。第一存储单元MC1可以与第一字线WL1和位线BL连接,第二存储单元MC2可以与第二字线WL2和位线BL连接。

[0062] 第一选择电路SEL1可以被配置为响应于比较信号COMP-OUT和存储器控制信号CS-MC来控制第一字线WL1和第二字线WL2。例如,如图3C所示,第一选择电路SEL1可以包括第一开关SW1。第一开关SW1中的每一个可以被配置为响应于比较信号COMP-OUT和存储器控制信号CS-MC而向第一字线WL1和第二字线WL2中的一个提供第一电压V1。在本发明构思的示例性实施例中,第一电压V1可以是足够高以激活多个存储单元MC1和MC2中的每一个的电压(例如,在存储单元是DRAM单元的情况下用于激活选择晶体管的高电压)。

[0063] 例如,存储器控制信号CS-MC可以包括第一采样信号SMP1和第二采样信号SMP2以及第一读取信号RD1和第二读取信号RD2。第一采样信号SMP1可以是用于将复位采样值“R”存储在第一存储单元MC1中的信号,第二采样信号SMP2可以是用于将信号采样值“S”存储在第二存储单元MC2中的信号。第一读取信号RD1可以是用于将存储在第一存储单元MC1中的复位采样值“R”作为数字信号DOUT进行输出的信号,第二读取信号RD2可以是用于将存储在第二存储单元MC2中的信号采样值“S”作为数字信号DOUT进行输出的信号。然而,本发明构思不限于此。例如,可以不同地改变或修改用于控制存储电路MCT的存储器控制信号CS-MC。

[0064] 在第一采样信号SMP1或第一读取信号RD1被激活的情况下,第一开关SW1可以响应于比较信号COMP-OUT的下降沿(或上升沿)向第一字线WL1提供第一电压V1。这样,可以激活与第一字线WL1连接的第一存储单元MC1。在这种情况下,可以将代码“CODE”的值存储在第一存储单元MC1中,或者可以输出存储在激活的第一存储单元MC1中的值(例如,复位采样值“R”)。

[0065] 在第二采样信号SMP2或第二读取信号RD2被激活的情况下,第一开关SW1可以响应于比较信号COMP-OUT的下降沿(或上升沿)向第二字线WL2提供第二电压V2。这样,可以激活与第二字线WL2连接的第二存储单元MC2。在这种情况下,可以将代码“CODE”的值存储在第二存储单元MC2中,或者可以输出存储在激活的第二存储单元MC2中的值(例如,信号采样值“S”)。

[0066] 如上所述,第一选择电路SEL1可以响应于比较信号COMP-OUT和存储器控制信号

CS-MC来选择一组第一存储单元MC1和一组第二存储单元MC2中的至少一项。

[0067] 响应于存储器控制信号CS-MC,第二选择电路SEL2可以被配置为向位线BL提供代码“CODE”或输出来自位线BL的数字信号DOUT。例如,如图3C所示,第二选择电路SEL2可以包括第二开关SW2。响应于存储器控制信号CS-MC,第二开关SW2可以被配置为将位线BL与接收代码“CODE”的一组线和输出数字信号DOUT的一组线之一连接。

[0068] 例如,在第一采样信号SMP1或第二采样信号SMP2被激活的情况下,第二开关SW2可以将位线BL与接收代码“CODE”的线连接。在这种情况下,从计数器121提供的代码“CODE”可以通过位线BL提供给第一存储单元MC1或第二存储单元MC2。在第一读取信号RD1或第二读取信号RD2被激活的情况下,第二开关SW2可以将位线BL与接收数字信号DOUT的线连接。在这种情况下,可以将存储在第一存储单元MC1或第二存储单元MC2中的值(例如,复位采样值“R”或信号采样值“S”)作为数字信号DOUT进行输出。

[0069] 在本发明构思的示例性实施例中,图3C所示的第一选择电路SEL1和第二选择电路SEL2是示例性的,并且本发明构思不限于此。例如,可以不同地改变或修改第一选择电路SEL1和第二选择电路SEL2中的每一个,以存储或读取与同数字像素DP相关联的存储单元相对应的信息(例如,复位采样值“R”或信号采样值“S”)。在本发明构思的示例性实施例中,可以根据字线的数量、位线的数量、对字线布线的方式以及对位线布线的方式来不同地修改第一选择电路SEL1和第二选择电路SEL2中的每一个。本发明构思的示例性实施例被示出为第一选择电路SEL1和第二选择电路SEL2包括在一个数字像素DP中,但是本发明构思不限于此。例如,可以以包括多个数字像素DP的像素组为单位来设置第一选择电路SEL1和第二选择电路SEL2。

[0070] 如上所述,根据本发明构思的示例性实施例的数字像素DP可以被配置为生成与从外部接收到的光相对应的模拟信号,并且将生成的模拟信号转换为数字信号并输出数字信号。下面将参考图3D描述数字像素DP的示意性操作。

[0071] 如图3D所示,可以从第一时间T1到第三时间T3激活第一采样信号SMP1。换言之,在从第一时间T1到第三时间T3的时间段期间,可以对光电检测器PDT的复位电平执行采样操作。

[0072] 例如,在激活第一采样信号SMP1期间,斜坡生成器123可以输出均匀地减小(例如,以单个斜率减小)的斜坡信号VRAMP,并且计数器121可以顺序地输出以给定的间隔增大或减小的代码“CODE”。在第二时间T2处,斜坡信号VRAMP的电平可以变得小于浮置扩散节点FD的电平(例如,VFD)。在这种情况下,比较器COMP的输出信号COMP-OUT可以从高电平转变为低电平。换言之,当斜坡信号VRAMP与预定阈值相交时,输出信号COMP-OUT进行转变。

[0073] 因为第一采样信号SMP1在比较器COMP的输出信号COMP-OUT的下降沿(例如,第二时间T2)处处于活动状态,所以代码“CODE”可以由第二选择电路SEL2提供给位线BL。另外,第一存储单元MC1可以由第一选择电路SEL1激活。换言之,可以在第二时间T2处将代码“CODE”的值作为复位采样值“R”存储在第一存储单元MC1中。

[0074] 之后,可以响应于在第四时间T4处激活的转移信号TG来接通光电检测器PDT的转移晶体管TX,因此可以将由光电二极管PD累积的电荷转移到浮置扩散节点FD。这样,在时间T4处,浮置扩散节点FD的电平(例如,VFD)(或检测信号DET的电平)可以减小与转移的电荷量相对应于的电平一样多。

[0075] 之后,可以从第五时间T5到第七时间T7激活第二采样信号SMP2。换言之,在从第五时间T5到第七时间T7的时间段期间,可以对来自光电检测器PDT的检测信号DET执行信号采样操作。

[0076] 如以上描述中一样,例如,在激活第二采样信号SMP2期间,斜坡生成器123可以输出斜坡信号VRAMP,并且计数器121可以输出代码“CODE”。在第六时间T6处,检测信号DET可以变得低于斜坡信号VRAMP。在这种情况下,比较器COMP的输出信号COMP-OUT可以从高电平转变为低电平。换言之,当斜坡信号VRAMP与另一个预定阈值相交时,输出信号COMP-OUT转变。

[0077] 因为第二采样信号SMP2在比较器COMP的输出信号COMP-OUT的下降沿(例如,第六时间T6)处处于活动状态,所以代码“CODE”可以由第二选择电路SEL2提供给位线BL。另外,第二存储单元MC2可以由第二选择电路SEL2激活。换言之,可以在第六时间T6处将代码“CODE”的值“S”存储在第二存储单元MC2中。

[0078] 之后,在第一读取信号RD1的激活时段期间,第一存储单元MC1可以由第一选择电路SEL1激活,并且位线BL可以通过第二选择电路SEL2与输出信号线(例如,输出数字信号DOUT的线)连接。在这种情况下,可以将存储在第一存储单元MC1中的值(例如,复位采样值“R”)作为数字信号DOUT进行输出。例如,可以在第七时间T7与第八时间T8之间将存储在第一存储单元MC1中的复位采样电压“R”作为数字信号DOUT进行输出。

[0079] 之后,在第二读取信号RD2的激活时段期间,第二存储单元MC2可以由第二选择电路SEL2激活,并且位线BL可以通过第二选择电路SEL2与输出信号线连接。在这种情况下,可以将存储在第二存储单元MC2中的值(例如,信号采样值“S”)作为数字信号DOUT进行输出。例如,可以在第七时间T7与第八时间T8之间将存储在第二存储单元MC2中的信号采样电压“S”作为数字信号DOUT进行输出。

[0080] 之后,在第八时间T8处,可以响应于复位信号RG的激活来接通复位晶体管RX,因此可以复位浮置扩散节点FD的电平VFD。

[0081] 在本发明构思的示例性实施例中,可以通过读出放大器SA将从存储电路MCT输出的数字信号DOUT(或复位采样值“R”和信号采样值“S”)提供给数字逻辑电路130。在本发明构思的示例性实施例中,可以以包括在像素阵列110中的多个像素的列为单位设置读出放大器SA。

[0082] 参考图3A至图3D描述的数字像素DP的结构或操作是示例性的,并且本发明构思不限于此。例如,可以根据实现数字像素DP的方式来不同地改变数字像素DP的结构或操作。

[0083] 图4A和图4B是示出了图1的像素阵列110的配置的示意图。参考图1、图4A和图4B,像素阵列110可以包括上晶片WF-u和下晶片WF-d。上晶片WF-u可以堆叠在下晶片WF-d上(例如,沿第三方向DR3)。

[0084] 上晶片WF-u和下晶片WF-d中的每一个可以包括形成在半导体基板上的半导体图案。上晶片WF-u可以包括多个第一像素电路PXC1,下晶片WF-d可以包括多个第二像素电路PXC2。

[0085] 在本发明构思的示例性实施例中,多个第一像素电路PXC1中的每一个可以形成在上晶片WF-u的第一像素电路区域中的相应一个中,并且多个第二像素电路PXC2中的每一个可以形成在下晶片WF-d的第二像素电路区域中的相应一个中。以下为了便于描述,使用术

语“像素电路”,但是术语“像素电路”可以根据本发明构思的示例性实施例或所公开的上下文来指示相关组件,或者可以指示形成有相关组件的区域。

[0086] 多个第一像素电路PXC1中的一个和多个第二像素电路PXC2中的一个可以构成一个数字像素DP。例如,包括在上晶片WF-u中的第一像素电路PXC1可以包括参考图3A至图3D描述的一个数字像素DP的一些组件,并且包括在下晶片WF-d中的第二像素电路PXC2可以包括参考图3A至图3D描述的数字像素DP的其余组件。在本发明构思的示例性实施例中,可以通过将上晶片WF-u的第一像素电路PXC1和下晶片WF-d的第二像素电路PXC2电连接来实现一个数字像素DP。在本发明构思的示例性实施例中,第一像素电路PXC1和第二像素电路PXC2可以通过上晶片WF-u与下晶片WF-d之间的连接结构(例如,通过硅通孔(TSV)或Cu至Cu键合)电连接。

[0087] 在本发明构思的示例性实施例中,构成一个数字像素DP的第一像素电路PXC1和第二像素电路PXC2可以布置在由第一方向DR1和第二方向DR2形成的平面上,以彼此重叠并且彼此对准。例如,如图4B所示,上晶片WF-u的第一像素电路PXC1可以包括图3B的光电检测器PDT以及比较器COMP的一部分。在这种情况下,如图4B所示,光电二极管PD可以形成在第一基板SUB1处,并且可以在光电二极管PD上形成滤色器CF和透镜LS。

[0088] 第一像素电路层PXC-LAY1可以形成在第一基板SUB1下方。光电检测器PDT的转移晶体管TX和复位晶体管RX以及比较器COMP的一部分可以形成在第一像素电路层PXC-LAY1处。在本发明构思的示例性实施例中,比较器COMP的这一部分可以包括比较器COMP中包括的各种晶体管中的至少一个。

[0089] 第一金属层ML-LAY1可以形成在第一像素电路层PXC-LAY1下方。可以在第一金属层ML-LAY1处形成用于将包括在上晶片WF-u中的各种组件相连的金属线(或电线)。

[0090] 下晶片WF-d可以形成在第二基板SUB2处。例如,包括在下晶片WF-d中的第二像素电路PXC2可以包括比较器COMP的其余部分和存储电路MCT。比较器COMP的其余部分和存储电路MCT可以形成在第二基板SUB2上的第二像素电路层PXC-LAY2处。

[0091] 第二金属层ML-LAY2可以形成在第二像素电路层PXC-LAY2上。第二金属层ML-LAY2可以包括用于将组件相连的金属线(或电线)。

[0092] 在本发明构思的示例性实施例中,数字像素DP的存储电路MCI、可以包括在下晶片WF-d的第二像素电路PXC2中。在这种情况下,包括在存储电路MCT中的存储单元MC可以形成在置于第二像素电路层PXC-LAY2处的存储单元区域MCA中,并且第二像素电路PXC2的其余组件可以形成在外围区域PRA处。

[0093] 如上所述,可以通过将上晶片WF-u和下晶片WF-d堆叠为彼此电连接来实现根据本发明构思的示例性实施例的图像传感器设备100的像素阵列110或多个数字像素DP。

[0094] 图5A至图5C是示出了包括在像素阵列中的上晶片和下晶片的示意性布局的平面图。为了说明的简洁和描述的方便,在以下附图中示出了与四个数字像素DP相关联的布局,但是本发明构思不限于此。例如,其他数字像素DP可以被扩展为类似于以上示例。

[0095] 参图5A,上晶片WF-u可以包括四个第一像素电路pxc11、pxc21、pxc31和pxc41,并且第一像素电路pxc11至pxc41可以以 2×2 矩阵布置。下晶片WF-d可以包括四个第二像素电路pxc12、pxc22、pxc32和pxc42,并且第二像素电路pxc12至pxc42可以以 2×2 矩阵布置。可以通过分别将第一像素电路pxc11至pxc41与第二像素电路pxc12至pxc42电连接来形成四

个数字像素DP。例如,可以通过将第一像素电路pxc11和第二像素电路pxc12电连接来形成一个数字像素DP。

[0096] 在这种情况下,属于上晶片WF-u的一个第一像素电路(例如,pxc11)的尺寸、长度或间距可以等于属于下晶片WF-d的一个第二像素电路(例如,pxc12)的尺寸、长度或间距。换言之,第一像素电路pxc11至pxc41可以被布置为在由第一方向DR1和第二方向DR2形成的平面上与第二像素电路pxc12至pxc42重叠。

[0097] 如以上描述中一样,第一像素电路pxc11至pxc41中的每一个可以包括光电检测器PDT以及比较器COMP的一部分,第二像素电路pxc12至pxc42中的每一个可以包括比较器COMP的其余部分和存储电路MCT。第二像素电路pxc12至pxc42可以分别形成在下晶片WF-D的外围区域pra1至pra4和存储单元区域mca1至mca4中。

[0098] 例如,与第一像素电路pxc11相对应的第二像素电路pxc12可以形成在第一外围区域pra1和第一存储单元区域mca1中,与第一像素电路pxc21相对应的第二像素电路pxc22可以形成在第二外围区域pra2和第二存储单元区域mca2中,与第一像素电路pxc31相对应的第二像素电路pxc32可以形成在第三外围区域pra3和第三存储单元区域mca3中,与第一像素电路pxc41相对应的第二像素电路pxc42可以形成在第四外围区域pra4和第四存储单元区域mca4中。

[0099] 包括在第二像素电路(例如,pxc12)中的存储电路MCT的存储单元可以形成在第一存储单元区域mca1中,并且第二像素电路(例如,pxc12)的其余组件可以形成在第一外围区域pra1中。在这种情况下,存储电路MCT的存储单元可以以阵列的形状形成在第一存储单元区域mca1中。

[0100] 例如,如图5B所示,可以在第一存储单元区域mca1中形成多个存储单元。多个存储单元中的一些存储单元可以是用于存储真实数据或实际数据(例如,复位采样值“R”或信号采样值“S”)的真实存储单元RMC,而其余存储单元可以是用于保证存储在真实存储单元RMC中的数据可靠性的虚设单元DC。虚设单元DC可以形成在第一存储单元区域mca1的虚设图案区域DPA上。

[0101] 例如,真实存储单元RMC可以与第一字线WL1和第二字线WL2以及位线BL连接。如参考图3A至图3D所描述的,连接到第一字线WL1的真实存储单元RMC可以用于存储复位采样值“R”,并且连接到第二字线WL2的真实存储单元RMC可以用于存储信号采样值“S”。如图5B所示,虚设单元DC可以相对于第一存储单元区域mca1中的形成有真实存储单元RMC的区域形成在第一方向DR1、背向第一方向DR1的方向、第二方向DR2以及背向第二方向DR2的方向上。换言之,置于第一存储单元区域mca1的边缘区域中的存储单元可以用作虚设单元DC。

[0102] 为了说明的简洁,将真实存储单元RMC和虚设单元DC示出为与位线BL以及第一字线WL1和第二字线WL2连接,但是本发明构思不限于此。真实存储单元RMC可以与第一字线WL1和第二字线WL2以及位线BL电连接,并且可以被配置为存储数字信号DOUT。相反,虚设单元DC的结构可以与真实存储单元RMC的结构类似,但是虚设单元DC可以不与外部电线(例如,金属线)电连接。

[0103] 图5B所示的存储单元的配置是示例性的,并且本发明构思不限于此。例如,在第一存储单元区域mca1中,可以不同地改变或修改存储单元的总数、真实存储单元的数量、虚设单元的数量、字线的数量或位线的数量。

[0104] 在本发明构思的示例性实施例中,其余的存储单元区域(例如,mca2、mca3和mca4)可以在形状上与第一存储单元区域mca1类似。在这种情况下,在第二像素电路pxc12至pxc42中,存储单元区域的图案可以与参考图5C描述的图案相同。

[0105] 在这种情况下,第二像素电路(例如,pxc12)的尺寸可以是“ $L1 \times L2$ ”,并且一个存储区域(例如,mca1)的尺寸可以是“ $L3 \times L4$ ”。在这种情况下,第二像素电路(例如,pxc12)的外围区域(例如,pra1)的尺寸可以是“ $(L1 \times L2) - (L3 \times L4)$ ”。

[0106] 在本发明构思的示例性实施例中,图5B所示的第一存储单元区域mca1可以在第一方向DR1上具有第三长度L3,并且可以在第二方向DR2上具有第四长度L4。在第一存储单元区域mca1中,放置有真实存储单元RMC的区域可以在第一方向DR1上具有第六长度L6,并且可以在第二方向DR2上具有第八长度L8。虚设图案区域DPA可以相对于放置有真实存储单元RMC的区域在第一方向DR1和背向第一方向DR1的方向上具有第五长度L5,并且相对于放置有真实存储单元RMC的区域在第二方向DR2和背向第二方向DR2的方向上具有第七长度L7。

[0107] 换言之,第一存储单元区域mca1的总尺寸可以是“ $L3 \times L4$ ”,第一存储单元区域mca1中的放置有真实存储单元RMC的区域的尺寸可以是“ $L6 \times L8$ ”,并且虚设图案区域DPA的尺寸可以是“ $(L3 \times L4) - (L6 \times L8)$ ”。

[0108] 如上所述,由于在每个单位数字像素DP中形成的存储单元区域的虚设图案区域DPA的尺寸,因此外围区域pra1、pra2、pra3和pra4的总尺寸可能受到限制。在这种情况下,由于外围区域pra1至pra4的尺寸有限,因此形成在外围区域pra1至pra4中的组件的可靠性可能降低。根据本发明构思的示例性实施例,在针对每个数字像素DP形成的存储单元区域中,可以通过共享彼此相邻的存储单元区域和/或虚设区域来减小虚设区域。以下将参考附图更全面地描述根据本发明构思的示例性实施例的存储器布局。

[0109] 图6是示出了图4A所示的像素阵列的上晶片和下晶片的布局的平面图。参考图4A和图6,上晶片WF-u可以包括四个第一像素电路PXC11、PXC21、PXC31和PXC41,并且第一像素电路PXC11至PXC41可以以 2×2 矩阵布置。第一像素电路PXC11至PXC41可以与上述的像素电路类似,因此将省略附加描述以避免冗余。

[0110] 下晶片WF-d可以包括四个第二像素电路PXC12、PXC22、PXC32和PXC42,并且第二像素电路PXC12至PXC42可以以 2×2 矩阵布置。如上所述,第一像素电路PXC11至PXC41和第二像素电路PXC12至PXC42中的每一个可以具有“ $L1 \times L2$ ”的尺寸,并且第一像素电路PXC11至PXC41和第二像素电路PXC12至PXC42可以电连接以构成四个数字像素DP。例如,第一像素电路PXC11可以电连接到第二像素电路PXC12,以构成单个数字像素DP。

[0111] 与图5A的下晶片WF-d的第二像素电路pxc12至pxc42不同,图6的下晶片WF-d的第二像素电路PXC12至PXC42可以共享一个存储单元区域MCA。例如,图5A的第二像素电路PXC12至PXC42分别包括不同的存储单元区域mca1至mca4。相反,在图6的下晶片WF-d中,可以在一个存储单元区域MCA中形成存储单元,并且第二像素电路PXC12至PXC42可以共享一个存储单元区域MCA。

[0112] 例如,存储单元区域MCA可以被划分为第一子存储单元区域sMCA1、第二子存储单元区域sMCA2、第三子存储单元区域sMCA3和第四子存储单元区域sMCA4(以下称为“子区域”)。在示例性实施例中,第一子存储单元区域sMCA1可以位于第一外围区域PRA1中,第二子存储单元区域sMCA2可以位于第二外围区域PRA2中,第三子存储单元区域sMCA3可以位于

第三外围区域PRA3中,第四子存储单元区域sMCA4可以位于第四外围区域PRA4中。第一子区域sMCA1至第四子区域sMCA4中的每一个可以包括真实存储单元RMC。包括在第一子区域sMCA1中的真实存储单元RMC可以存储由像素电路PXC11和PXC12形成的数字像素DP的数字信号。包括在第二子区域sMCA2中的真实存储单元RMC可以存储由像素电路PXC21和PXC22形成的数字像素DP的数字信号。包括在第三子区域sMCA3中的真实存储单元RMC可以存储由像素电路PXC31和PXC32形成的数字像素DP的数字信号。包括在第四子区域sMCA4中的真实存储单元RMC可以存储由像素电路PXC41和PXC42形成的数字像素DP的数字信号。

[0113] 在本发明构思的示例性实施例中,可以在第一子区域sMCA1至第四子区域sMCA4之间存在共享虚设图案区域sDPA。共享虚设图案区域sDPA可以是由第一子区域sMCA1至第四子区域sMCA4共享的虚设图案区域。例如,为了保证图5B的第一存储单元区域mca1的真实存储单元RMC的可靠性,虚设图案区域DPA存在于第一存储单元区域mca1的边缘区域中。换言之,虚设图案区域DPA围绕真实存储单元RMC。相反,为了保证第一子区域sMCA1至第四子区域sMCA4中的每一个的真实存储单元RMC的可靠性,图6的存储单元区域MCA可以包括置于第一子区域sMCA1至第四子区域sMCA4的真实存储单元RMC之间的共享虚设图案区域sDPA。换言之,第一子区域sMCA1至第四子区域sMCA4可以共享置于特定区域中的虚设图案区域(例如,共享虚设图案区域sDPA)。在这种情况下,与图5A至图5C的实施例相比,由于用于形成四个数字像素DP的虚设图案区域DPA(例如,用于真实存储单元RMC的虚设图案区域)减小,所以外围区域PRA1至PRA4的尺寸可以增加。随着外围区域PRA1至PRA4的尺寸增加,形成在外围区域PRA1至PRA4中的组件的可靠性可以增加,或者可以附加地实现用于另一功能的组件。

[0114] 图7A是示出了图6所示的存储单元区域的布局的平面图。图7B是示出了应用了图7A的存储单元区域的下晶片的平面图。在本发明构思的示例性实施例中,图7A和图7B所示的存储单元区域MCA的布局是示例性的,并且本发明构思不限于此。例如,在存储单元区域MCA中,可以不同地改变或修改存储单元的总数量、真实存储单元RMC的数量、虚设单元DC的数量或共享虚设单元sDC的数量。

[0115] 参考图6和图7A,存储单元区域MCA可以包括多个存储单元。可以在存储单元区域MCA上沿行方向(例如,第一方向DR1)和列方向(例如,第二方向DR2)布置多个存储单元。多个存储单元中的每一个可以与位线或字线连接。在下文中,为了便于描述,省略了与用于除了真实存储单元RMC之外的其余存储单元(例如,虚设单元DC和共享虚设单元sDC)的字线或位线相关联的附加描述以避免冗余。然而,本发明构思不限于此。例如,在存储单元区域MCA上,可以形成与其余单元(例如,虚设单元DC和共享虚设单元sDC)相对应的字线或位线,但是与其余单元(例如,虚设单元DC和共享虚设单元sDC)相对应的字线或位线可以不与任何其他电路(例如,外围区域的组件)电连接。

[0116] 多个存储单元可以包括真实存储单元RMC、虚设单元DC和共享虚设单元sDC。真实存储单元RMC可以存储相应的数字信号(例如,复位采样值“R”或信号采样值“S”)。虚设单元DC和共享虚设单元sDC可以是用于保证真实存储单元RMC的可靠性的单元或图案。

[0117] 在本发明构思的示例性实施例中,一个存储单元区域MCA可以形成一个存储单元阵列或单个存储单元阵列。一个存储单元阵列可以指示其中在特定区域内重复地形成相邻的存储单元或存储单元的图案的结构。例如,图5C的实施例是以一个数字像素DP为单位来

实现存储单元阵列的实施例,并且图6的实施例是以多个数字像素DP为单位来实现存储单元阵列的实施例。在本发明构思的示例性实施例中,单个存储单元阵列可以指示由虚设图案区域围绕的存储单元集合或结构。在本发明构思的示例性实施例中,仅诸如存储单元或虚设单元等的重复图案可以包括在单个存储单元阵列内,并且其他附加组件可以形成在单个存储单元外部的包围区域中。

[0118] 存储单元区域MCA被划分为第一子区域sMCA1至第四子区域sMCA4。第一子区域sMCA1至第四子区域sMCA4中的每一个可以包括真实存储单元RMC、虚设单元DC和共享虚设单元sDC。

[0119] 例如,第一子区域sMCA1可以包括第一区域RA1中的真实存储单元RMC、虚设图案区域DPA中的虚设单元DC的第一部分、以及共享虚设图案区域sDPA中的共享虚设单元sDC的第一部分。第一区域RA1中的真实存储单元RMC可以与字线WL11和WL12以及位线BL11和BL12连接,并且可以被配置为存储如上所述的对应数字信号DOUT。第一子区域sMCA1的虚设图案区域DPA中的虚设单元DC的第一部分可以包括虚设单元DC,虚设单元DC在字线WL11的背向第二方向DR2的一侧上或在位线BL11的背向第一方向DR1的一侧上。第一子区域sMCA1的共享虚设图案区域sDPA中的共享虚设单元sDC的第一部分可以包括共享虚设单元sDC,共享虚设单元sDC在字线WL31的背向第二方向DR2的一侧上或在位线BL21的背向第一方向DR1的一侧上。

[0120] 第二子区域sMCA2可以包括第二区域RA2中的真实存储单元RMC、虚设图案区域DPA中的虚设单元DC的第二部分、以及共享虚设图案区域sDPA中的共享虚设单元sDC的第二部分。第二区域RA2中的真实存储单元RMC可以与字线WL21和WL22以及位线BL21和BL22连接,并且可以被配置为存储如上所述的对应数字信号DOUT。第二子区域sMCA2的虚设图案区域DPA中的虚设单元DC的第二部分可以包括虚设单元DC,虚设单元DC在字线WL21的背向第二方向DR2的一侧上或在位线BL22的背向第一方向DR1的一侧上。第二子区域sMCA2的共享虚设图案区域sDPA中的共享虚设单元sDC的第二部分可以包括共享虚设单元sDC,共享虚设单元sDC在字线WL41的背向第二方向DR2的一侧上或在位线BL12的面向第一方向DR1的一侧上。

[0121] 第三子区域sMCA3可以包括第三区域RA3中的真实存储单元RMC、虚设图案区域DPA中的虚设单元DC的第三部分、以及共享虚设图案区域sDPA中的共享虚设单元sDC的第三部分。第三区域RA3中的真实存储单元RMC可以与字线WL31和WL32以及位线BL11和BL12连接,并且可以被配置为存储如上所述的对应数字信号DOUT。第三子区域sMCA3的虚设图案区域DPA中的虚设单元DC的第三部分可以包括虚设单元DC,虚设单元DC在字线WL32的面向第二方向DR2的一侧上或者在位线BL11的背向第一方向DR1的一侧上。第三子区域sMCA3的共享虚设图案区域sDPA中的共享虚设单元sDC的第三部分可以包括共享虚设单元sDC,共享虚设单元sDC在字线WL12的面向第二方向DR2的一侧上或在位线BL21的背向第一方向DR1的一侧上。

[0122] 第四子区域sMCA4可以包括第四区域RA4中的真实存储单元RMC、虚设图案区域DPA中的虚设单元DC的第四部分、以及共享虚设图案区域sDPA中的共享虚设单元sDC的第四部分。第四区域RA4中的真实存储单元RMC可以与字线WL41和WL42以及位线BL21和BL22连接,并且可以被配置为存储如上所述的对应数字信号DOUT。第四子区域sMCA4的虚设图案区域

DPA中的虚设单元DC的第四部分可以包括虚设单元DC,虚设单元DC在字线WL42的面向第二方向DR2的一侧上或者在位线BL22的面向第一方向DR1的一侧上。第四子区域sMCA4的共享虚设图案区域sDPA中的共享虚设单元sDC的第四部分可以包括共享虚设单元sDC,共享虚设单元sDC在字线WL22的面向第二方向DR2的一侧上或在位线BL12的面向第一方向DR1的一侧上。

[0123] 如上所述,第一子区域sMCA1至第四子区域sMCA4可以共享共享虚设图案区域sDPA中的共享虚设单元sDC。例如,在图5B和图5C的实施例中,两个虚设图案区域DPA可以存在于第一存储单元区域mca1和第二存储单元区域mca2的真实存储单元RMC之间。换言之,在一个虚设图案区域DPA的长度(例如,在第一方向DR1上的长度)为“L5”的情况下,第一存储单元区域mca1的真实存储单元RMC和第二存储单元区域mca2的真实存储单元RMC可以彼此间隔开与长度“L5”的至少两倍一样大,并且长度为“ $2 \times L5$ ”的虚设图案区域DPA可以存在于第一存储单元区域mca1的真实存储单元RMC与第二存储单元区域mca2的真实存储单元RMC之间。

[0124] 相反,在图7A的存储单元区域MCA中,仅共享虚设图案区域sDPA可以存在于放置有真实存储单元RMC的第一区域RA1至第四区域RA4之间。例如,第一区域RA1和第二区域RA2可以彼此间隔开与共享虚设图案区域sDPA一样大。在这种情况下,共享虚设图案区域sDPA可以在第一方向DR1上具有长度“L9”。在本发明构思的示例性实施例中,长度“L9”可以等于作为一个虚设图案区域DPA在第一方向DR1上的长度的“L5”,或者可以小于长度“L5”的两倍。换言之,与图5B或图5C的实施例相比,在图7A的实施例中,可以减小相邻的真实存储单元RMC之间的虚设图案区域DPA。

[0125] 在本发明构思的示例性实施例中,虚设图案区域DPA的与减小的尺寸相对应的部分可以用作外围区域。例如,参考图7B,下晶片WF-d可以包括四个第二像素电路PXC12至PXC42。如上所述,第二像素电路PXC12至PXC42可以共享一个存储单元区域MCA,因此可以减小在存储单元区域MCA中使用的虚设图案区域DPA的尺寸。例如,假设第二像素电路PXC12至PXC42中的每一个所需的真实存储单元RMC的区域的尺寸为“ $L6 \times L6$ ”(参考图5B),并且相对于真实存储单元的区域虚设图案区域DPA的长度在第一方向DR1和第二方向DR2上分别为“L5”。

[0126] 根据图5B和图5C的实施例,属于四个数字像素DP的真实存储单元RMC的总尺寸可以是“ $4 \times (L6 \times L6)$ ”,并且虚设图案区域DPA的总尺寸可以是“ $4 \times \{(L5+L6+L5) \times (L5+L6+L5) - (L6 \times L6)\}$ ”。换言之,包括四个数字像素DP的存储单元区域MCA的总尺寸可以是“ $4 \times (L3 \times L3)$ ”(= $4 \times (L6 \times L6) + 4 \times \{(L5+L6+L5) \times (L5+L6+L5) - (L6 \times L6)\}$)。

[0127] 相反,根据图7A和图7B的实施例,用于属于四个数字像素DP的真实存储单元RMC的区域的总尺寸可以是“ $4 \times (L6 \times L6)$ ”,并且虚设图案区域DPA的总尺寸可以是“ $4 \times \{(L5+L6+L9+L6+L9) \div 2 - 4 \times (L6 \times L6)\}$ ”。换言之,包括四个数字像素DP的存储单元区域MCA的总尺寸可以是“ $L10 \times L10$ ”(= $4 \times (L6 \times L6) + 4 \times \{(L5+L6+L9+L6+L9) \div 2 - 4 \times (L6 \times L6)\}$)。在这种情况下,“L10”可以小于长度“L3”的两倍。

[0128] 结果,根据本发明构思的示例性实施例,由于多个数字像素共享一个存储单元区域或者多个数字像素的存储单元区域共享不同的虚设图案区域,因此存储单元区域的总尺寸可以减小。可以利用存储单元区域的与减小的尺寸相对应的部分,因此在外围区域中形成的组件的可靠性可以增加,或者可以添加用于附加功能的任何其他组件。

[0129] 在本发明构思的示例性实施例中,如图7A和图7B所示,与真实存储单元RMC连接的字线可以通过外围区域的字线触点与金属线(参考图4B)连接。

[0130] 例如,与第一区域RA1的真实存储单元RMC连接的字线WL11和WL12可以通过形成在第一外围区域PRA1中的字线触点与金属线连接。与第二区域RA2的真实存储单元RMC连接的字线WL21和WL22可以通过形成在第二外围区域PRA2中的字线触点与金属线连接。与第三区域RA3的真实存储单元RMC连接的字线WL31和WL32可以通过形成在第三外围区域PRA3中的字线触点与金属线连接。与第四区域RA4的真实存储单元RMC连接的字线WL41和WL42可以通过形成在第四外围区域PRA4中的字线触点与金属线连接。在本发明构思的示例性实施例中,与多个字线WL11至WL42连接的金属线可以与形成在相应的外围区域PRA1至PRA4中的其他组件(例如,比较器COMP或第一选择电路SEL1)连接,并且可以根据上述操作方法进行操作。

[0131] 在本发明构思的示例性实施例中,位线BL11、BL12、BL21和BL22可以通过形成在外围区域PRA1至PRA4中的至少一个中的触点与金属线连接。与位线BL11、BL12、BL21和BL22连接的金属线可以与形成在外围区域PRA1至PRA4中的至少一个中的其他组件(例如,计数器、读出放大器和第二选择电路)连接。

[0132] 如上所述,根据本发明构思的示例性实施例,彼此相邻的多个数字像素可以共享一个存储单元区域(或存储单元阵列),或者可以共享虚设图案区域。这样,可以减小用于保证在多个数字像素中使用的真实存储单元的可靠性的虚设图案区域的尺寸。因为虚设图案区域的与减小的尺寸相对应的部分用作用于形成其他组件的外围区域,所以可以增加在外围区域中形成的组件的可靠性,或者还可以形成用于添加数字像素的任何其他功能的组件。因此,提供了具有降低的成本、提高的可靠性和提高的性能的图像传感器设备。

[0133] 图8是示出了图6的存储单元区域的布局的平面图。为了便于描述,将省略与上述组件相关联的附加描述以避免冗余。另外,为了说明的简洁,可以省略上述组件中的一些,或者可以省略用于描述上述组件的一些参考符号。然而,本发明构思不限于此,并且可以考虑所有上述实施例以及图8的实施例来理解本发明构思。

[0134] 参考图6和图8,如以上描述中一样,存储单元区域MCA-a可以被划分为第一子区域sMCA1至第四子区域sMCA4。包括在第一子区域sMCA1中的真实存储单元RMC可以与字线WL11和WL12以及位线BL11和BL12连接。包括在第二子区域sMCA2中的真实存储单元RMC可以与字线WL21和WL22以及位线BL21和BL22连接。包括在第三子区域sMCA3中的真实存储单元RMC可以与字线WL31和WL32以及位线BL11和BL12连接。包括在第四子区域sMCA4中的真实存储单元RMC可以与字线WL41和WL42以及位线BL21和BL22连接。

[0135] 存储单元区域MCA-a可以包括多个存储单元。多个存储单元可以包括真实存储单元RMC、虚设单元DC和共享虚设单元sDC。图8的存储单元阵列MCA-a还可以包括用于隔离的共享虚设单元sDC-iso(以下称为“隔离单元”)。

[0136] 隔离单元sDC-iso可以是用于分离置于相同行的真实存储单元RMC的字线的虚设单元。例如,置于相同行并且彼此相邻的第一数字像素DP和第二数字像素DP可以彼此独立地操作。换言之,第一数字像素DP和第二数字像素DP可以根据入射在其上的光在不同的定时处分别存储数据。为此,可以通过单独的信号线(例如,字线)来控制与第一数字像素DP和第二数字像素DP相对应的存储单元。

[0137] 在图8的实施例中,假设包括在第一子区域sMCA1中的真实存储单元RMC与第一数字像素相对应,并且包括在第二子区域sMCA2中的真实存储单元RMC与第二数字像素相对应,该第二数字像素与第一数字像素相邻并且属于与第一数字像素相同的行。在这种情况下,为了实现第一数字像素和第二数字像素的独立操作,包括在第一子区域sMCA1中的真实存储单元RMC可以与字线WL11和WL12连接,并且包括在第二子区域sMCA2中的真实存储单元RMC可以与字线WL21和WL22连接。

[0138] 在这种情况下,包括在第一子区域sMCA1中的真实存储单元RMC和包括在第二子区域sMCA2中的真实存储单元RMC可以以存储单元阵列级别置于相同的行。因为存储单元以重复的图案形成,所以包括在第一子区域sMCA1中的真实存储单元RMC和包括在第二子区域sMCA2中的真实存储单元RMC可以连接到相同的字线。为了防止将不同子区域sMCA的真实存储单元RMC连接到相同的字线,可以在包括在第一子区域sMCA1中的真实存储单元RMC与包括在第二子区域sMCA2中的真实存储单元RMC之间添加隔离单元sDC-iso。隔离单元sDC-iso可以是置于包括在第一子区域sMCA1和第二子区域sMCA2中的真实存储单元RMC之间的共享虚设单元sDC中的一些。隔离单元sDC-iso可以不与相同行中的其他单元(例如,共享虚设单元sDC)电连接。例如,可以不形成用于隔离单元sDC-iso的字线图案。换言之,隔离单元sDC-iso可以不与字线连接。在这种情况下,包括在第一子区域sMCA1中的真实存储单元RMC和包括在第二子区域sMCA2中的真实存储单元RMC可以与不同的字线连接,因此可以保证第一数字像素和第二数字像素的独立操作。

[0139] 图8的存储单元区域MCA-a还可以包括附加的隔离单元。附加的隔离单元可以被置于第一子区域sMCA1的真实存储单元RMC与第三子区域sMCA3的真实存储单元RMC之间,或者可以被置于第二子区域sMCA2的真实存储单元RMC与第四子区域sMCA4的真实存储单元RMC之间,因此各个子区域的位线可以彼此分离。

[0140] 图9是示出了包括在图1的像素阵列中的数字像素共享比较器的结构的示意图。参考图1和图9,四个数字像素DP1至DP4可以共享一个比较器sCOMP(以下称为“共享比较器”)。

[0141] 例如,第一数字像素DP1至第四数字像素DP4可以包括第一光电检测器PDT1至第四光电检测器PDT4、一个共享比较器sCOMP以及存储电路MCT。第一光电检测器PDT1至第四光电检测器PDT4中的每一个与参考图3A至图3D描述的光电检测器PDT类似,因此将省略附加描述以避免冗余。第一光电检测器PDT1至第四光电检测器PDT4中的每一个的输出(例如,检测信号DET)可以被提供给共享比较器sCOMP。

[0142] 共享比较器sCOMP可以将第一光电检测器PDT1至第四光电检测器PDT4中的每一个的输出与斜坡信号VRAMP进行比较,并且可以输出比较信号。在本发明构思的示例性实施例中,可以在不同的定时处输出第一光电检测器PDT1至第四光电检测器PDT4的输出,因此共享比较器sCOMP可以在不同的定时处输出分别与第一光电检测器PDT1至第四光电检测器PDT4相对应的比较信号。

[0143] 存储电路MCT可以基于来自共享比较器sCOMP的比较信号来存储与第一光电检测器PDT1至第四光电检测器PDT4中的每一个相对应的代码“CODE”。例如,存储电路MCT可以包括第一选择电路SEL1、第二选择电路SEL2、第一存储单元MC1、第二存储单元MC2、第三存储单元MC3和第四存储单元MC4。

[0144] 当从共享比较器sCOMP输出与第一光电检测器PDT1相对应的比较信号时,第一选

择电路SEL1可以选择与第一存储单元MC1相对应的字线。当从共享比较器sCOMP输出与第二光电检测器PDT2相对应的比较信号时,第一选择电路SEL1可以选择与第二存储单元MC2相对应的字线。当从共享比较器sCOMP输出与第三光电检测器PDT3相对应的比较信号时,第一选择电路SEL1可以选择与第三存储单元MC3相对应的字线。当从共享比较器sCOMP输出与第四光电检测器PDT4相对应的比较信号时,第一选择电路SEL1可以选择与第四存储单元MC4相对应的字线。

[0145] 换言之,第一存储单元MC1可以被配置为存储与由第一光电检测器PDT1检测到的光信号相对应的数字信号,第二存储单元MC2可以被配置为存储与由第二光电检测器PDT2检测到的光信号相对应的数字信号,第三存储单元MC3可以被配置为存储与由第三光电检测器PDT3检测到的光信号相对应的数字信号,第四存储单元MC4可以被配置为存储与由第四光电检测器PDT4检测到的光信号相对应的数字信号。结果,第一光电检测器PDT1、共享比较器sCOMP和第一存储单元MC1可以作为第一数字像素DP1进行操作;第二光电检测器PDT2、共享比较器sCOMP和第二存储单元MC2可以作为第二数字像素DP2进行操作;第三光电检测器PDT3、共享比较器sCOMP和第三存储单元MC3可以作为第三数字像素DP3进行操作;第四光电检测器PDT4、共享比较器sCOMP和第四存储单元MC4可以作为第四数字像素DP4进行操作。除了比较器被共享之外,每个数字像素与参考图3A至图3D描述的数字像素类似,因此将省略附加描述以避免冗余。

[0146] 在本发明构思的示例性实施例中,第一光电检测器PDT1至第四光电检测器PDT4和存储电路MCT的操作时序可以由来自像素驱动器120的控制信号CTRL(例如,CS-PD或CS-MC)来控制。

[0147] 在本发明构思的示例性实施例中,第一光电检测器PDT1至第四光电检测器PDT4可以分别包括在参考图6描述的上晶片WF-u的第一像素电路PXC11至PXC41中。第一存储单元MC1至第四存储单元MC4可以分别形成在参考图6至图8描述的下晶片WF-d的存储单元区域MCA或MCA-a的第一子区域sMCA1至第四子区域sMCA4中。

[0148] 在本发明构思的示例性实施例中,共享比较器sCOMP、第一选择电路SEL1和第二选择电路SEL2可以包括在参考图6至图8描述的上晶片WF-u的第一像素电路PXC11至PXC41或下晶片WF-d的外围区域PR1至PR4中。换言之,可以在以四个数字像素为单位的上晶片WF-u或下晶片WF-d处形成一个比较器。

[0149] 在本发明构思的示例性实施例中,一个存储单元区域MCA(或存储单元阵列)可以以包括多个数字像素的像素组为单位进行设置,或者可以以单个比较器为单位进行设置。

[0150] 图10A和图10B是示出了图4A的下晶片和存储单元区域的布局的平面图。为了说明的简洁和便于描述,可以省略参考以上组件或与以上组件相关联的参考符号给出的描述以避免冗余。然而,本发明构思不限于此,并且可以考虑所有上述实施例或稍后描述的所有实施例来理解图10A和图10B的实施例。

[0151] 参考图10A和图10B,下晶片WF-db可以包括多个第二像素电路PXC12至PXCn2。多个第二像素电路PXC12至PXCn2可以沿第二方向DR2成对地设置。例如,PXC12和PXC22、PXC32和PXC42、PXC52和PXC62、PXC72和PXC82……PXCn-12和PXCn2可以分别置于相同的行,PXC12、PXC32、PXC52、PXC72……PXCn-12可以置于相同的列,并且PXC22、PXC42、PXC62、PXC82……PXCn2可以置于相同的列。

[0152] 相同列(例如,第一列)中的第二像素电路PXC12、PXC32、PXC52、PXC72……PXCn-12和相同列(例如,与第一列相邻的第二列)中的第二像素电路PXC22、PXC42、PXC62、PXC82……PXCn2可以共享一个存储单元区域MCA-b。

[0153] 例如,如图10B所示,存储单元区域MCA-b可以包括多个存储单元,并且多个存储单元可以包括真实存储单元RMC、虚设单元DC和共享虚设单元sDC。

[0154] 在这种情况下,与相同列(例如,第一列)中的第二像素电路PXC12、PXC32、PXC52、PXC72……PXCn-12相对应的真实存储单元RMC可以分别与对应的字线WL11和WL12、WL31和WL32、WL51和WL52、WL71和WL72……WLn-11和WLn-12连接。字线可以通过字线触点与金属线连接。与相同列(例如,与第一列相邻的第二列)中的第二像素电路PXC22、PXC42、PXC62、PXC82……PXCn2相对应的真实存储单元RMC可以分别与对应的字线WL21和WL22、WL41和WL42、WL61和WL62、WL81和WL82……WLn1和WLn2连接。字线可以通过字线触点与金属线连接。

[0155] 共享虚设存储单元sDC可以插入在与相同列(例如,第一列)中的第二像素电路PXC12、PXC32、PXC52、PXC72……PXCn-12相对应的真实存储单元RMC和与相同列(例如,第二列)中的第二像素电路PXC22、PXC42、PXC62、PXC82……PXCn2相对应的真实存储单元RMC之间。该配置与上述共享虚设单元sDC的配置类似,因此将省略附加描述以避免冗余。

[0156] 与图6至图8的实施例不同,在图10B的存储单元区域MCA-b中,可以省略沿第二方向DR2相邻的真实存储单元RMC之间的虚设单元DC或虚设图案区域DPA。例如,可以省略与像素电路PXC32相对应的真实存储单元RMC(例如,与字线WL31和WL32相关联的真实存储单元)和与像素电路PXC52相对应的真实存储单元RMC(例如,与字线WL51和WL52相关联的真实存储单元)之间的虚设单元DC、虚设图案区域DPA、共享虚设单元sDC和共享虚设图案区域sDPA。在这种情况下,可以在物理上彼此相邻地形成上述两组真实存储单元。换言之,由于移除了沿第二方向DR2相邻的真实存储单元RMC之间的虚设图案区域DPA,因此虚设图案区域的总尺寸可以减小,因而外围区域的尺寸可以增大。

[0157] 在本发明构思的示例性实施例中,相对于与置于像素阵列110的边缘区域中的第二像素电路(例如,PXC12、PXC22、PXCn-12和PXCn2)相对应的真实存储单元RMC,可以沿第二方向DR2存在虚设单元DC或虚设图案区域DPA。例如,虚设单元DC可以形成在与PXC12相对应的真实存储单元RMC(例如,与字线WL11和WL12连接的真实存储单元)的一侧上。例如,在图10B中,第二像素电路PXC12的虚设单元DC设置在第二像素电路PXC12的真实存储单元RMC的左侧。另外,如以上描述中一样,虚设单元可以形成在其余边缘区域中,因此将省略附加描述以避免冗余。例如,在图10B中,第二像素电路PXC12的虚设单元DC设置在第二像素电路PXC12的真实存储单元RMC的上方(例如,背向第二方向DR2)。

[0158] 图11A和图11B是示出了图4A的下晶片和存储单元区域的布局的平面图。为了说明的简洁和便于描述,可以省略参考以上组件或与以上组件相关联的参考符号给出的描述以避免冗余。然而,本发明构思不限于此。

[0159] 参考图11A和图11B,下晶片WF-dc可以包括四个第二像素电路PXC12至PXC42。第二像素电路PXC12至PXC42可以共享存储单元区域MCA-c。

[0160] 存储单元区域MCA-c可以包括多个存储单元。多个存储单元可以包括真实存储单元RMC和虚设单元DC。存储单元区域MCA-c被划分为第一子区域sMCA1至第四子区域sMCA4。

[0161] 在上述实施例中,包括在第一子区域sMCA1至第四子区域sMCA4中的每一个中的真实存储单元RMC被配置为存储对应的数字像素的数字信号。相反,第一子区域sMCA1至第四子区域sMCA4可以是通过以数字像素为单位划分图11B的存储单元区域MCA-c而形成的区域,并且包括在第一子区域sMCA1至第四子区域sMCA4中的每一个中的真实存储单元RMC可以被配置为存储对应的数字像素的数字信号或存储相邻数字像素的数字信号。

[0162] 例如,包括在第一子区域sMCA1中的真实存储单元RMC可以与第一字线WL1至第四字线WL4连接,并且可以与第一位线BL1和第二位线BL2连接。包括在第二子区域sMCA2中的真实存储单元RMC可以与第一字线WL1至第四字线WL4连接,并且可以与第三位线BL3和第四位线BL4连接。包括在第三子区域sMCA3中的真实存储单元RMC可以与第五字线WL5至第八字线WL8连接,并且可以与第一位线BL1和第二位线BL2连接。包括在第四子区域sMCA4中的真实存储单元RMC可以与第五字线WL5至第八字线WL8连接,并且可以与第三位线BL3和第四位线BL4连接。

[0163] 在这种情况下,与第一字线WL1和第三字线WL3连接的真实存储单元RMC可以被配置为存储与第一数字像素相对应的数字信号。与第二字线WL2和第四字线WL4连接的真实存储单元RMC可以被配置为存储与第二数字像素相对应的数字信号。在这种情况下,第一数字像素可以是包括放置有第一子区域sMCA1的第二像素电路在内的数字像素,并且第二数字像素可以是包括放置有第二子区域sMCA2的第二像素电路在内的数字像素。换言之,包括在相邻数字像素中的存储单元可以被配置为共享相同的位线。换言之,根据图11A和图11B的实施例,数字像素的实际存储单元可以具有共享位线的结构。

[0164] 根据以上实施例,与第一数字像素相对应的存储单元与第一字线WL1和第三字线WL3连接,并且与第二数字像素相对应的存储单元与第二字线WL2和第四字线WL4连接。换言之,存储与置于存储单元区域的背向第一方向DR1的一侧上的数字像素相对应的数字信号的真实存储单元可以与奇数字字线连接,并且存储与置于存储单元区域的面向第一方向DR1的一侧上的数字像素相对应的数字信号的真实存储单元可以与偶数字字线连接。

[0165] 第一字线WL1和第三字线WL3可以通过置于第一外围区域PRA1中的字线触点与金属线连接,第二字线WL2和第四字线WL4可以通过置于第二外围区域PRA2中的字线触点与金属线连接。在这种情况下,与上述实施例相比,在相同外围区域中形成的字线触点之间的距离(例如,字线间距WLpt)可以增加。例如,在参考图5A至图10B描述的实施例中,与相邻字线连接的字线触点连续地形成在相同的外围区域中。相反,在图11A的实施例中,与物理上彼此不相邻的字线(例如,WL1和WL3)连接的字线触点形成在相同的外围区域(例如,PRA1)中。

[0166] 换言之,因为沿第二方向DR2形成在一个外围区域中的字线触点之间的距离(例如,字线间距)增加,所以用于形成字线触点的工艺的复杂性或电线的复杂性可以降低。

[0167] 根据以上实施例,包括在图像传感器设备100中的存储单元区域MCA-c可以包括多个存储单元。多个存储单元可以包括与多个位线连接的多个真实存储单元。多个真实存储单元中的用于存储第一数字像素的数字信号的真实存储单元RMC可以与第一字线WL1和第三字线WL3连接。用于存储物理上与第一数字像素相邻的第二数字像素的数字信号的真实存储单元RMC可以与第二字线WL2和第四字线WL4连接。在这种情况下,第二字线WL2可以插入在第一字线WL1与第三字线WL3之间,并且第三字线WL3可以插入在第二字线WL2与第四字线WL4之间。在这种情况下,可以在第一外围区域PRA1中形成与第一字线WL1和第三字线WL3

相关联的字线触点,并且可以在第二外围区域PRA2中形成与第二字线WL2和第四字线WL4相关联的字线触点。因此,字线触点之间的距离可以增加,因而用于形成字线触点的工艺的复杂性可以降低。

[0168] 另外,如上所述,根据图11A和图11B的实施例,因为在真实存储单元RMC之间不存在虚设单元或虚设图案区域DPA,所以存储单元区域MCA-c的总尺寸可以减小。存储单元区域MCA-c的与减小的尺寸相对应的部分可以用于形成外围区域PRA1至PRA4。因此,提供了具有降低的成本、提高的可靠性和提高的性能的图像传感器设备。

[0169] 图12是示出了根据本发明构思的示例性实施例的存储单元区域的平面图。为了便于描述,可以省略与上述组件相关联的附加描述以避免冗余。

[0170] 参考图12,存储单元区域MCA-d可以包括多个存储单元,并且多个存储单元可以包括真实存储单元RMC、虚设单元DC和共享虚设单元sDC。存储单元区域MCA-d被划分为第一子区域sMCA1至第四子区域sMCA4。如以上描述中一样,存储单元区域MCA-d可以是由四个数字像素共享的存储单元区域,并且由四个数字像素使用的真实存储单元RMC的配置可以与参考图11A和图11B描述的配置类似。换言之,存储单元区域MCA-d的真实存储单元RMC可以具有共享位线BL1至BL4的结构。换言之,与第一字线WL1和第三字线WL3以及第一位线BL1至第四位线BL4连接的真实存储单元RMC可以存储与第一数字像素相对应的数字信号,并且与第二字线WL2和第四字线WL4以及第一位线BL1至第四位线BL4连接的真实存储单元RMC可以存储与第二数字像素相对应的数字信号。在这种情况下,第一数字像素和第二数字像素可以是以像素阵列级别置于相同行并且彼此相邻的数字像素。

[0171] 与图11A和图11B的存储单元区域MCA-c不同,在图12的存储单元区域MCA-d中,共享虚设单元sDC或共享虚设图案区域sDPA可以存在于沿第二方向DR2布置的真实存储单元RMC之间。例如,共享虚设单元sDC或共享虚设图案区域sDPA可以存在于第一子区域sMCA1和第二子区域sMCA2中的真实存储单元RMC与第三子区域sMCA3和第四子区域sMCA4中的真实存储单元RMC之间。

[0172] 图13是示出了根据本发明构思的示例性实施例的存储单元区域的平面图。为了便于描述,可以省略与上述组件相关联的附加描述以避免冗余。

[0173] 参考图13,存储单元区域MCA-e可以包括多个存储单元,并且多个存储单元可以包括真实存储单元RMC、虚设单元DC和共享虚设单元sDC。存储单元区域MCA-e被划分为第一子区域sMCA1至第四子区域sMCA4。

[0174] 在这种情况下,与第一字线WL1和第三字线WL3以及第一位线BL1和第二位线BL2连接的真实存储单元RMC可以存储与第一数字像素相对应的数字信号,并且与第二字线WL2和第四字线WL4以及第三位线BL3和第四位线BL4连接的真实存储单元RMC可以存储与第二数字像素相对应的数字信号。在这种情况下,第一数字像素和第二数字像素可以是以像素阵列级别置于相同行并且彼此相邻的数字像素。换言之,如上所述,在存储单元区域MCA-e(或存储单元阵列)中,在一个数字像素处使用的真实存储单元可以与彼此不相邻的字线连接,并且可以包括在与一个数字像素相对应的子区域中。

[0175] 另外,如以上参考图7A或图8给出的描述中一样,共享虚设单元sDC或共享虚设图案区域sDPA可以存在于存储单元区域MCA-e的第一子区域sMCA1至第四子区域sMCA4之间。

[0176] 图14A和图14B是示出了根据本发明构思的示例性实施例的下晶片和存储单元区

域的布局的平面图。为了便于描述,可以省略与上述组件相关联的附加描述以避免冗余。

[0177] 参考图14A和图14B,下晶片WF-df可以包括多个第二像素电路PXC12、PXC22、PXC32、PXC42、PXC52和PXC62。多个第二像素电路PXC12至PXC62可以共享一个存储单元区域MCA-f。

[0178] 存储单元区域MCA-f可以包括多个存储单元,并且多个存储单元可以包括真实存储单元RMC和虚设单元DC。如以上描述中一样,存储单元区域MCA-f可以被划分为多个子阵列sMCA1至sMCA6。存储单元区域MCA-f的真实存储单元RMC可以与多个字线WL1至WL12和多个位线BL1至BL4连接。真实存储单元RMC与第一数字像素或第二数字像素之间的对应关系可以与参考图11A和图11B描述的对应关系类似。换言之,存储单元区域MCA-f的真实存储单元RMC可以具有共享位线的结构。这在上文进行了描述,因此将省略附加的描述以避免冗余。

[0179] 与以上给出的描述不同,在图14A和图14B的存储单元区域MCA-f中,虚设单元DC或共享虚设单元sDC可以不存在于沿第二方向DR2布置的真实存储单元RMC之间。参考图10A和图10B描述了虚设单元DC或共享虚设单元sDC不存在于沿第二方向DR2布置的真实存储单元RMC之间的配置,因此将省略附加描述以避免冗余。

[0180] 另外,如在参考图10A和图10B给出的以上描述中一样,与置于在下晶片WF-df的边缘区域中的第二像素电路相关联的子区域可以包括置于存储单元区域的面向第二方向DR2或背向第二方向DR2的一侧上的虚设单元DC。参考图10A和图10B对其进行描述,因此将省略附加的描述以避免冗余。

[0181] 图15A和图15B是示出了根据本发明构思的示例性实施例的图像传感器设备的上晶片和下晶片的布局的平面图。为了便于描述,可以省略与上述组件相关联的附加描述以避免冗余。参考图15A和图15B,上晶片WF-u1可以包括多个第一子像素电路sPD11、sPD21、sPD31和sPD41。多个第一子像素电路sPD11至sPD41中的每一个可以包括被配置为检测从外部入射的光的光电检测器或光电二极管。例如,多个第一子像素电路sPD11至sPD41中的每一个可以包括参考图3A至图3D描述的光电检测器PDT或光电二极管PD。多个第一子像素电路sPD11至sPD41可以沿行方向(例如,第一方向DR1)和列方向(例如,第二方向DR2)布置。

[0182] 在本发明构思的示例性实施例中,包括在相同像素组中的光电检测器或光电二极管可以被配置为检测相同颜色的光。例如,包括在第一像素组PXG1中的多个第一子像素电路sPD11可以被配置为检测第一颜色(例如,绿色(G))的光,包括在第二像素组PXG2中的多个第二子像素电路sPD21可以被配置为检测第二颜色(例如,红色(R))的光,包括在第三像素组PXG3中的多个第三子像素电路sPD31可以被配置为检测第三颜色(例如,蓝色(B))的光,并且包括在第四像素组PXG4中的多个第四子像素电路sPD41可以被配置为检测第一颜色(例如,绿色(G))的光。然而,本发明构思不限于此。对于各种检测图案,可以在多个子像素电路上形成滤色器阵列的各种图案。

[0183] 下晶片WF-d1可以包括多个第二像素电路sPD12、sPD22、sPD32和sPD42。多个第二像素电路sPD12、sPD22、sPD32和sPD42可以被布置为与上晶片WF-u1的多个第一子像素电路sPD11至sPD41重叠。例如,第一子像素电路(例如,sPD11)可以被布置为分别与第二子像素电路(例如,sPD12)重叠。其余的第二子像素电路sPD22至sPD42被布置为与上述的那些类似,因此将省略附加描述以避免冗余。

[0184] 多个第一子像素电路sPD11至sPD41和多个第二子像素电路sPD12至sPD42可以被分类为多个像素组PXG1至PXG4。例如,四个第一子像素电路sPD11和四个第二子像素电路sPD12可以形成第一像素组PXG1。第一像素组PXG1可以作为参考图3A至图3D描述的一个数字像素DP进行操作。换言之,来自四个光电检测器PDT或四个光电二极管PD的检测信号或光信号可以被组合为一个信号,并且可以通过一个比较器COMP输出与四个第一子像素电路sPD11相对应的一个比较信号。在这种情况下,可以将与四个第一子像素电路sPD11相对应的数字信号集合存储在存储电路MCT中。其余的子像素电路sPD21至sPD41以及其余的像素组PXG2至PXG4也与上述的那些类似,因此将省略附加描述以避免冗余。

[0185] 在图15A和图15B中,第一子像素电路(例如,sPD11)和第二子像素电路(例如,sPD12)中的每一个的尺寸或间距可以是“L11”。一个像素组(例如,PXG1)的尺寸或间距可以是“L12”。如上所述,因为四个子像素电路构成一个像素组并且针对每一个像素组使用一个比较器,所以一个比较器的尺寸或间距可以等于作为一个像素组的尺寸或间距的“L12”。

[0186] 换言之,多个光电检测器或多个光电二极管可以包括在作为一个数字像素进行操作的一个像素组中,并且一个像素组可以包括一个比较器和一个存储电路。可以在下晶片WF-d1的第二子像素电路(例如,四个子像素电路sPD12)处形成一个比较器。备选地,一个比较器的一部分可以形成在上晶片WF-u1的第一子像素电路(例如,四个子像素电路sPD11)的区域中,并且该比较器的其余部分可以形成在下晶片WF-d1的第二子像素电路(例如,四个子像素电路sPD12)处。

[0187] 在本发明构思的示例性实施例中,四个像素组PXG1至PXG4可以共享存储单元区域MCA。例如,因为四个像素组PXG1至PXG4中的每一个均作为一个数字像素进行操作,所以四个像素组PXG1至PXG4中的每一个可以使用真实存储单元RMC集合。在这种情况下,如参考图1至图14B所描述的,四个真实存储单元RMC集合可以包括在一个存储单元区域MCA-1中,并且四个像素组PXG1至PXG4可以共享一个存储单元区域MCA-1。在图15B中示出了存储单元区域MCA-1的一部分(该“部分”的结构与图7A的存储单元区域MCA的结构类似)的示例,但是本发明构思不限于此。例如,可以以具有上述各种结构或布局的各个存储单元区域的形状或以其组合的形状来实现存储单元区域MCA-1。

[0188] 如上所述,根据本发明构思的示例性实施例,图像传感器设备可以包括多个数字像素。多个数字像素中的每一个可以使用用于存储数字信号的存储单元。在这种情况下,根据本发明构思的示例性实施例,至少两个相邻的数字像素可以共享一个存储单元区域。这样,可以减小形成在存储单元区域中的虚设图案区域的尺寸,并且可以将虚设图案区域的与减小的尺寸相对应的部分用作用于形成任何其他组件的外围区域。换言之,可以增加形成在外围区域中的组件的可靠性,或者还可以添加用于任何其他附加功能的组件。因此,提供了具有降低的成本、增加的可靠性和改进的性能的图像传感器设备。

[0189] 图16A是示出了图1的图像传感器设备的透视图,图16B是示出了图1的图像传感器设备的平面图。将参考图16A和图16B在物理结构方面描述根据本发明构思的示例性实施例的图像传感器设备100的示例。换言之,在以下描述中,将参考包括在图像传感器设备100中的半导体晶片来描述本发明构思。为了容易地描述本发明构思,与实际实现的半导体晶片、半导体芯片、半导体管芯或半导体封装不同,图16A和图16B所示的组件被示意性地示出。

[0190] 参考图1、图16A和图16B,图像传感器设备100可以包括第一半导体晶片WF1、第二

半导体晶片WF2和第三半导体晶片WF3。第一半导体晶片WF1至第三半导体晶片WF3可以通过不同的半导体工艺或利用不同的半导体晶片来制造。

[0191] 第一半导体晶片WF1可以堆叠在第二半导体晶片WF2上,并且可以与第二半导体晶片WF2电连接。第二半导体晶片WF2可以堆叠在第三半导体晶片WF3上,并且可以与第三半导体晶片WF3电连接。换言之,第二半导体晶片WF2可以插入在第一半导体晶片WF1与第三半导体晶片WF3之间。

[0192] 第一半导体晶片WF1可以包括第一像素电路区域PXCA1和第一焊盘区域PA1。第一像素电路区域PXCA1和第一焊盘区域PA1可以在物理上彼此分开或者可以彼此间隔开给定距离。

[0193] 第一像素电路区域PXCA1可以是用于形成多个数字像素DP的一部分的区域。例如,如上所述,第一像素电路区域PXCA1可以包括多个数字像素DP中的每一个的第一像素电路(例如,光电检测器或比较器的一部分)。

[0194] 第一焊盘区域PA1可以是用于形成与第二半导体晶片WF2的第二焊盘区域PA2连接的多个焊盘的区域。第一焊盘区域PA1可以通过形成在第一半导体晶片WF1中的金属层与第一像素电路区域PXCA1的组件连接。

[0195] 第二半导体晶片WF2可以包括第二像素电路区域PXCA2、第二焊盘区域PA2、像素驱动器区域PDA和第三焊盘区域PA3。第二像素电路区域PXCA2可以包括多个数字像素DP中的每一个的第二像素电路(例如,比较器的一部分或像素的其余组成部分)。在本发明构思的示例性实施例中,第二像素电路区域PXCA2可以包括参考图1至图15B描述的存储单元区域和外围区域。

[0196] 在本发明构思的示例性实施例中,形成在第一半导体晶片WF1的第一像素电路区域PXCA1中的比较器的第一部分和形成在第二半导体晶片WF2的第二像素电路区域PXCA2中的比较器的第二部分可以通过形成在与第一像素电路区域PXCA1或第二像素电路区域PXCA2相对应的平面上的连接结构来键合。在本发明构思的示例性实施例中,连接结构可以是配置为对半导体晶片进行键合(例如,Cu与Cu键合、TSV或BVS)的组件、或者用于对半导体晶片进行键合的材料。

[0197] 像素驱动器区域PDA可以是用于形成上述像素驱动器120的区域。诸如计数器121、行驱动器122、斜坡生成器123和电压生成器124等的一些模拟电路可以形成在像素驱动器区域PDA中。

[0198] 第二焊盘区域PA2可以是用于形成与第一焊盘区域PA1连接的多个焊盘的区域。第二焊盘区域PA2的多个焊盘可以通过连接结构分别与第一焊盘区域PA1的多个焊盘连接。在本发明构思的示例性实施例中,连接结构可以是配置为对半导体晶片进行键合(例如,Cu与Cu键合、TSV或BVS)的组件、或者用于对半导体晶片进行键合的材料。

[0199] 第三焊盘区域PA3可以是用于形成与第三半导体晶片WF3连接的多个焊盘的区域。

[0200] 在本发明构思的示例性实施例中,包括在第二像素电路区域PXCA2、第二焊盘区域PA2、像素驱动器区域PDA和第三焊盘区域PA3中的各种组件可以通过第二半导体晶片WF2的金属层彼此连接。

[0201] 第三半导体晶片WF3可以包括数字逻辑电路区域DLA和第四焊盘区域PA4。数字逻辑电路区域DLA可以是用于形成上述数字逻辑电路130的区域。第四焊盘区域PA4可以是

于形成多个焊盘的区域。第四焊盘区域PA4的多个焊盘可以通过连接结构分别与第三焊盘区域PA3的多个焊盘相连。在本发明构思的示例性实施例中,连接结构可以是配置为对半导体晶片进行键合(例如,Cu与Cu键合、TSV或BVS)的组件、或者用于对半导体晶片进行键合的材料。

[0202] 在本发明构思的示例性实施例中,第一半导体晶片WF1的第一像素电路区域PXCA1和第二半导体晶片WF2的第二像素电路区域PXCA2可以在相同的平面区域中彼此重叠,并且可以是用于形成多个数字像素的区域例如,像素核心区域。

[0203] 作为外围区域(或外围电路区域),除了第一像素电路区域PXCA1和第二像素电路区域PXCA2之外,第一半导体晶片WF1和第二半导体晶片WF2的其余区域可以是用于形成半导体晶片之间的连接结构、或者驱动器电路、模拟电路等的区域。在本发明构思的示例性实施例中,可以在第三半导体晶片WF3中形成基于图像传感器设备100中的数字信号进行操作的电路或物理组件。

[0204] 如上所述,在根据本发明构思的示例性实施例的图像传感器设备100中,由于多个像素共享一个存储单元区域,因此可以减小存储单元区域的尺寸。因为存储单元区域的与减小的尺寸相对应的部分用作外围区域,所以可以增加包括在外围区域中的组件的可靠性,并且还可以添加用于图像传感器设备100的任何其他功能的附加组件。因此,提供了具有降低的成本、增加的可靠性和改进的性能的图像传感器设备。

[0205] 图17是示出了应用了根据本发明构思的示例性实施例的图像传感器设备的电子设备的框图。参考图17,电子设备1000可以包括触摸面板1100、触摸驱动器集成(TDI)电路1102、显示面板1200、显示驱动器集成(DDI)电路1202、系统存储器1400、存储设备1500、图像处理器1600、通信块1700、音频处理器1800和主处理器1900。在根据本发明构思的示例性实施例中,电子设备1000可以是例如以下各种电子设备之一:便携式通信终端、个人数字助理(PDA)、便携式媒体播放器(PMP)、数码相机、智能电话、平板计算机、膝上型计算机以及可穿戴设备。

[0206] 触摸驱动器集成电路1102可以被配置为控制触摸面板1100。触摸面板1100可以被配置为在触摸驱动器集成电路1102的控制下感测来自用户的触摸输入。显示驱动器集成电路1202可以被配置为控制显示面板1200。显示面板1200可以被配置为在显示驱动器集成电路1202的控制下显示图像信息。

[0207] 系统存储器1400可以存储用于电子设备1000的操作的数据。例如,系统存储器1400可以临时存储由主处理器1900处理或要处理的数据。在本发明构思的示例性实施例中,从图像信号处理器1630提供的输出数据可以被存储在系统存储器1400中。

[0208] 无论是否供电,存储设备1500都可以存储数据。例如,存储设备1500可以包括例如以下各种非易失性存储器中的至少一种:闪存、相变RAM(PRAM)、磁阻RAM(MRAM)、电阻RAM(ReRAM)以及铁电RAM(FRAM)。例如,存储设备1500可以包括电子设备1000的嵌入式存储器和/或可拆卸存储器。

[0209] 图像处理器1600可以通过透镜1610接收光。包括在图像处理器1600中的图像设备1620和图像信号处理器1630可以基于所接收的光生成与外部对象相关的图像信息。在本发明构思的示例性实施例中,图像信号处理器1630可以是参考图1至图16B描述的图像传感器设备,或者可以基于参考图1至图16B描述的方法进行操作。

[0210] 通信块1700可以通过天线1710与外部设备/系统交换信号。通信块1700的收发器1720和调制解调器(例如,调制器/解调器)1730可以根据各种有线/无线通信协议中的一个或多个来处理与外部设备/系统交换的信号。

[0211] 音频处理器1800可以使用音频信号处理器1810来处理音频信号。音频处理器1800可以通过麦克风1820接收音频输入,或者可以通过扬声器1830提供音频输出。

[0212] 主处理器1900可以控制电子设备1000的整体操作。主处理器1900可以控制/管理电子设备1000的组件的操作。主处理器1900可以处理各种操作以便操作电子设备1000。在本发明构思的示例性实施例中,图17的组件的一部分可以以片上系统的形式实现,并且可以被提供为电子设备1000的应用处理器(AP)。

[0213] 根据本发明构思的示例性实施例,包括在图像传感器设备中的数字像素共享一个存储单元区域或一个存储单元阵列。这样,可以减小维持存储单元的可靠性所必需的虚设图案区域或虚设单元的尺寸,并且可以将虚设图案区域的与减小的尺寸相对应的部分用作可以在其中设置其他组件的外围区域。随着外围区域的尺寸增加,可以增加在外围区域中形成的组件的可靠性。另外,还可以将用于实现数字像素的附加功能的其他类型的组件添加到外围区域。因此,提供了具有降低的成本、增加的可靠性和改进的性能的图像传感器设备。

[0214] 尽管已经参考本发明构思的示例性实施例描述了本发明构思,但是对于本领域普通技术人员来说显而易见的是,可以在不脱离如在所附权利要求中阐述的本发明构思的精神和范围的情况下,对其进行各种改变和修改。

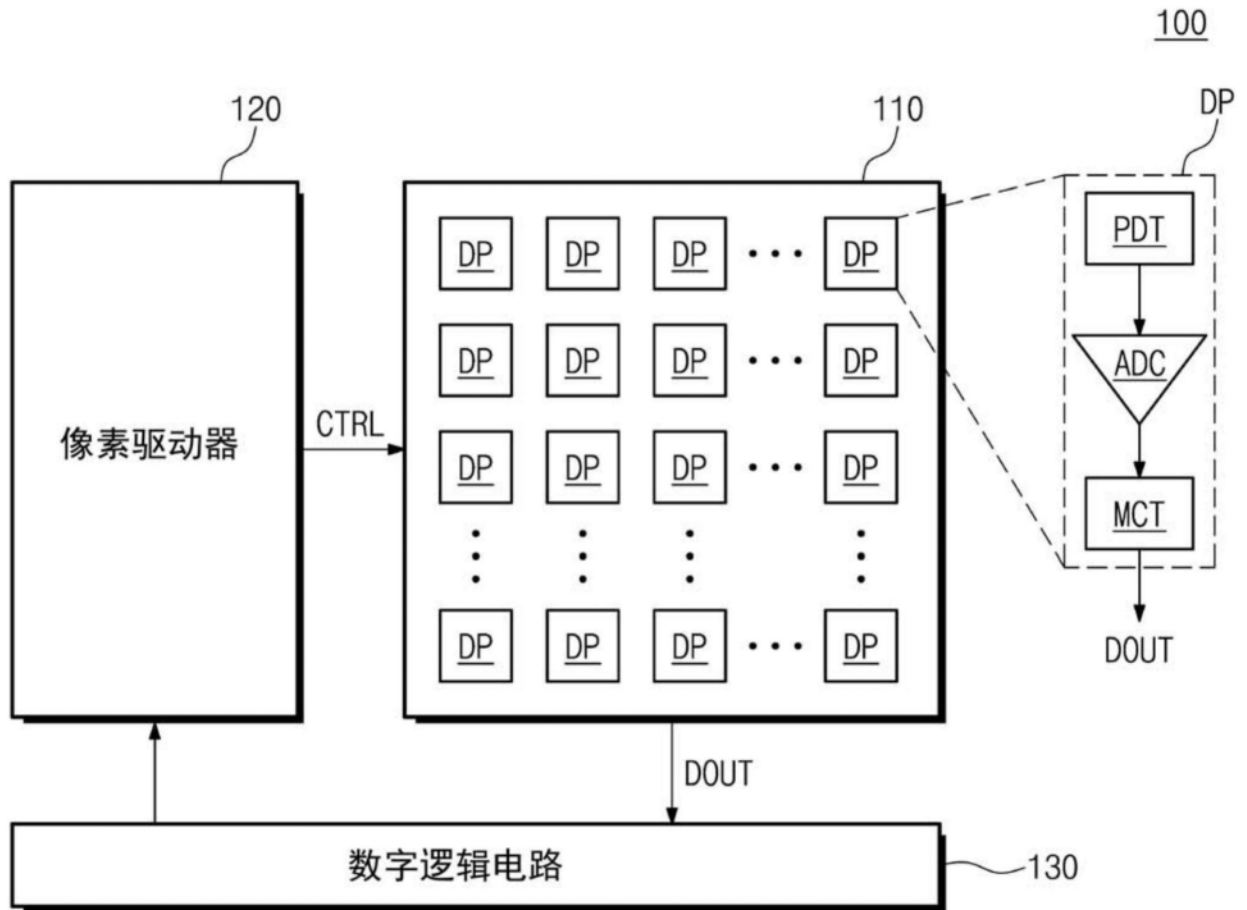


图1

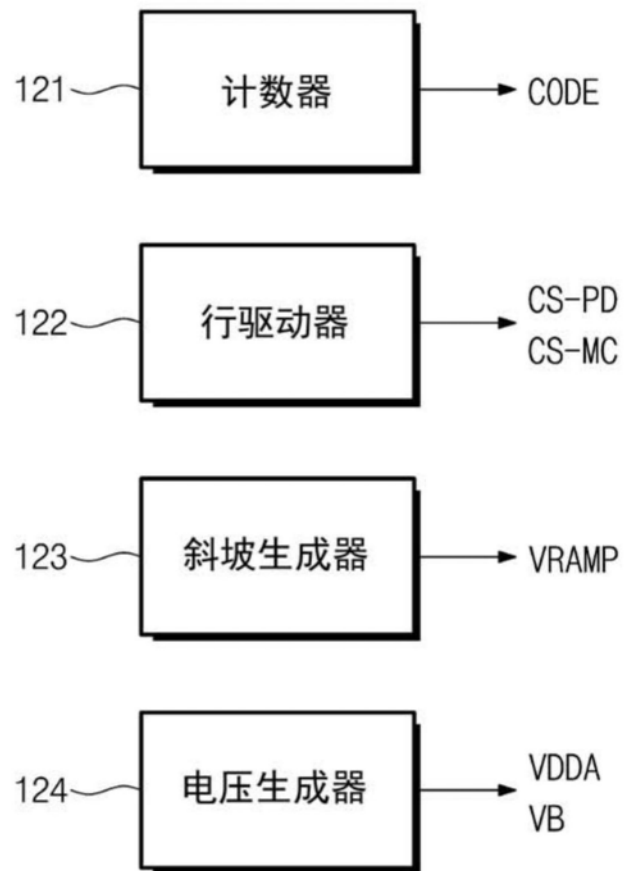
120

图2A

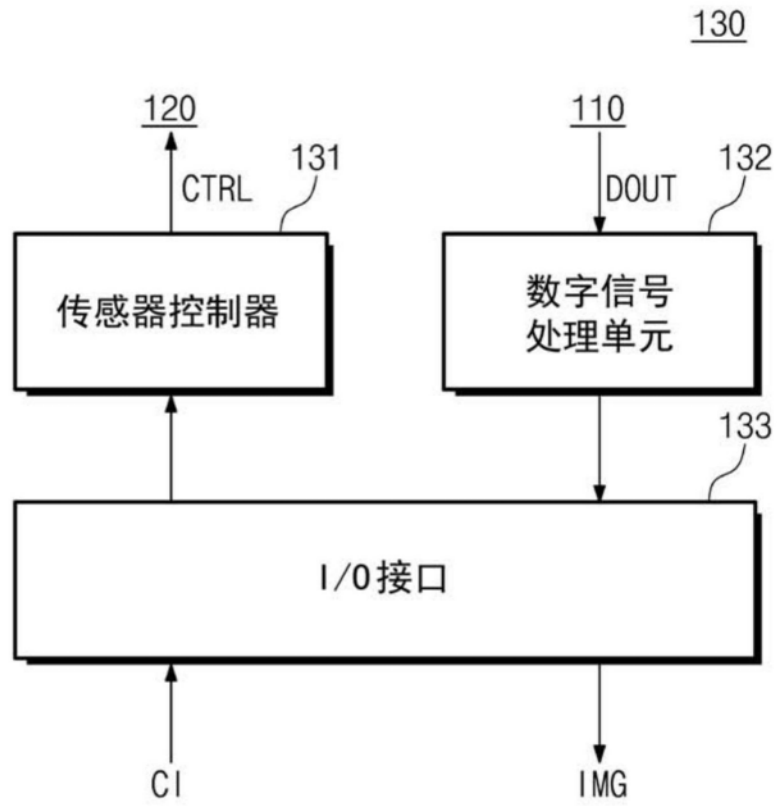


图2B

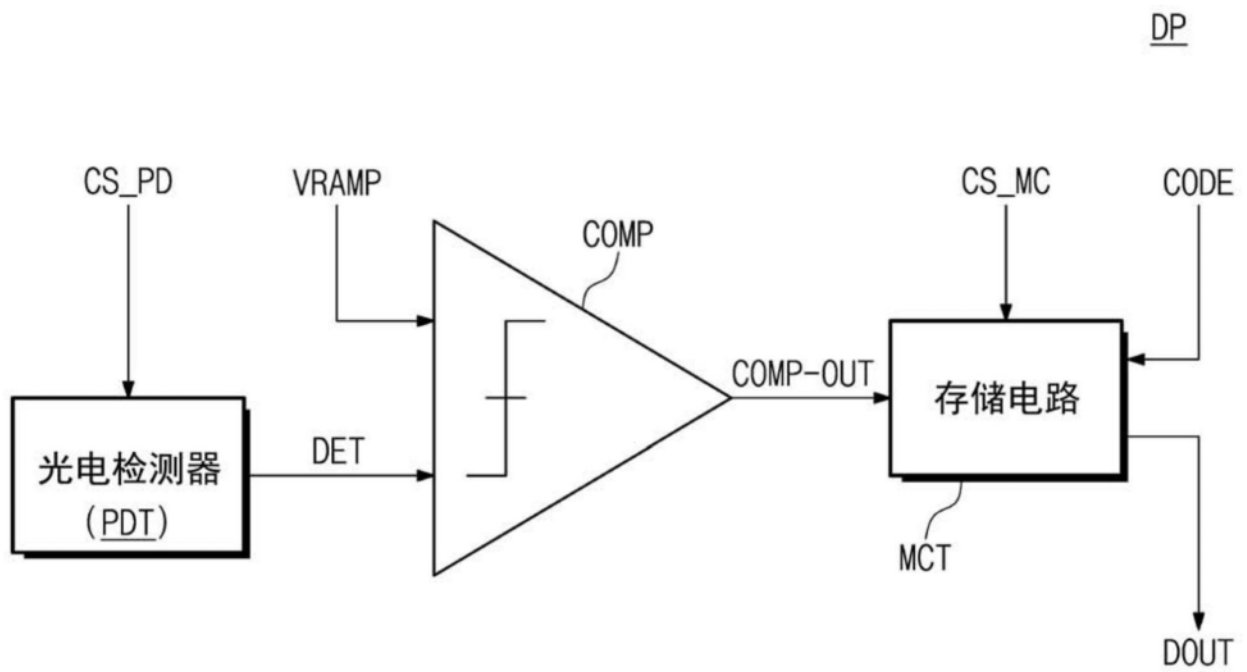


图3A

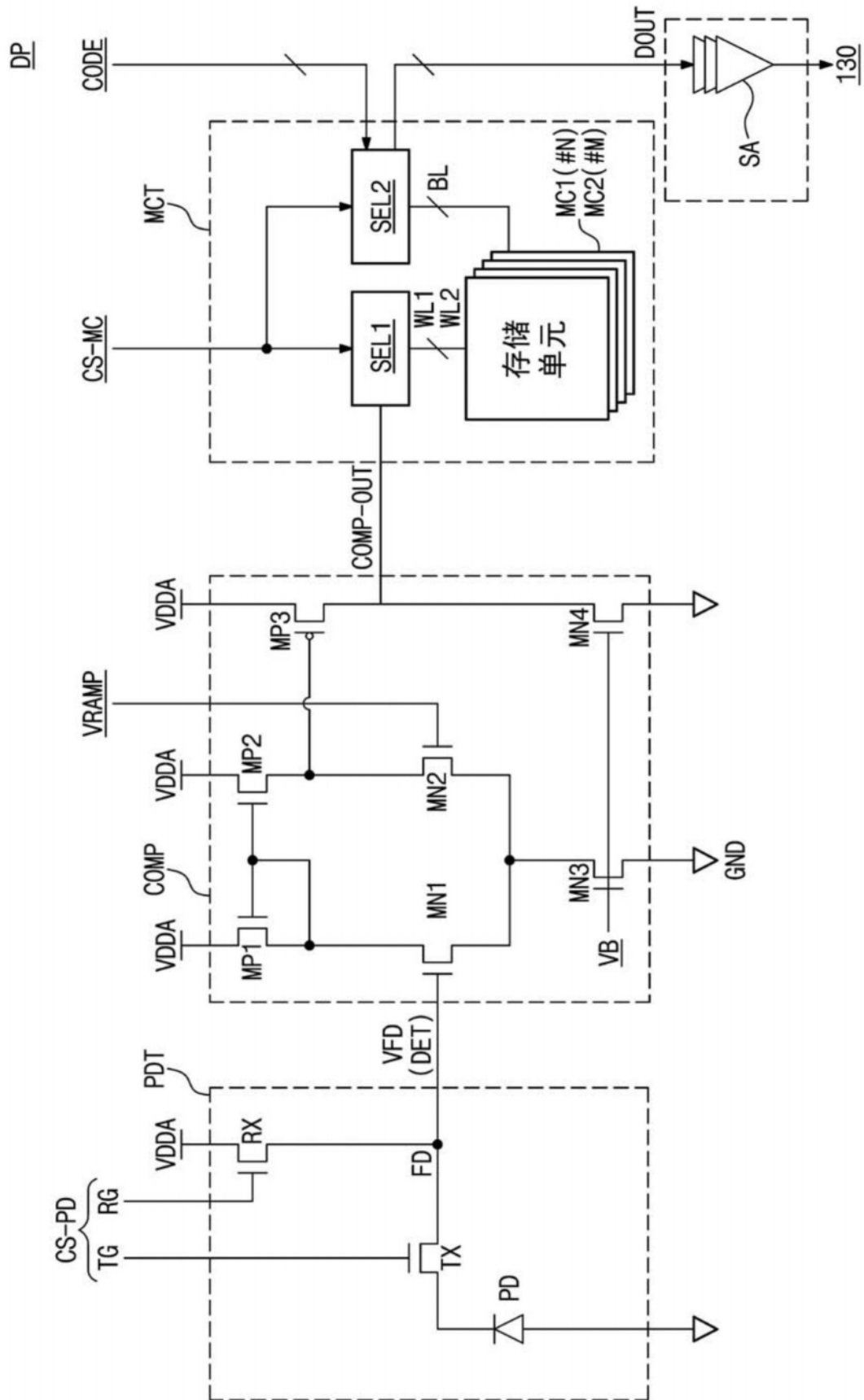


图3B

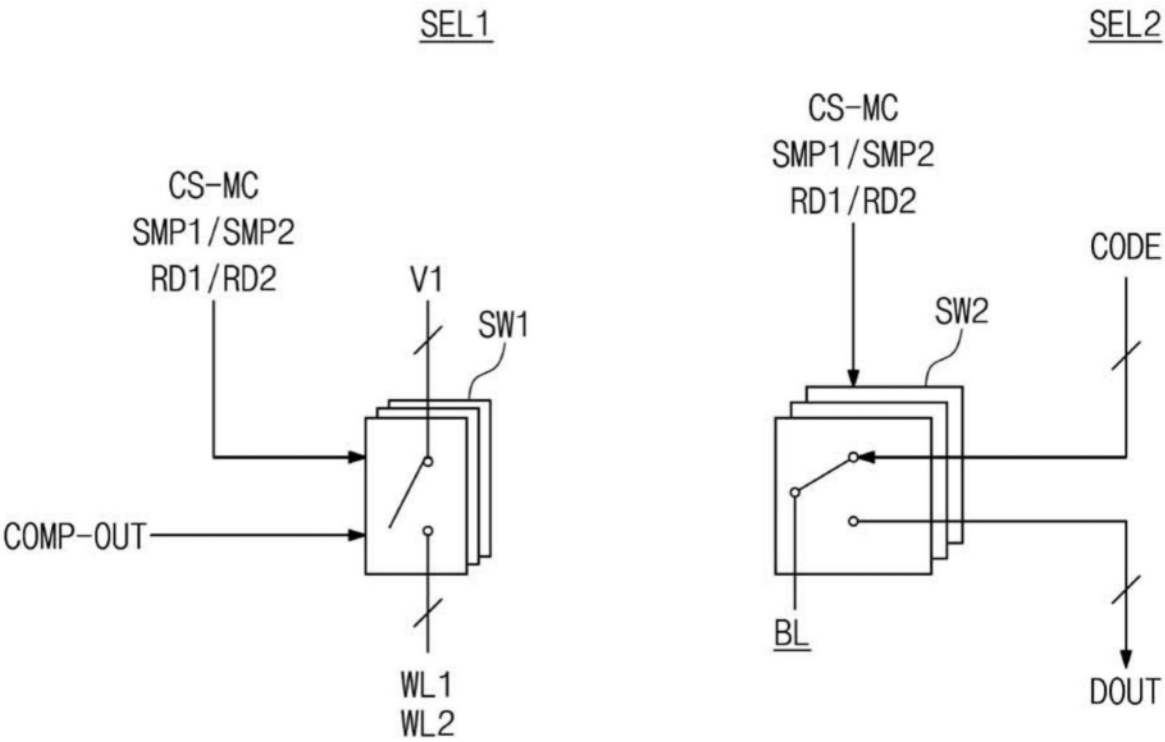


图3C

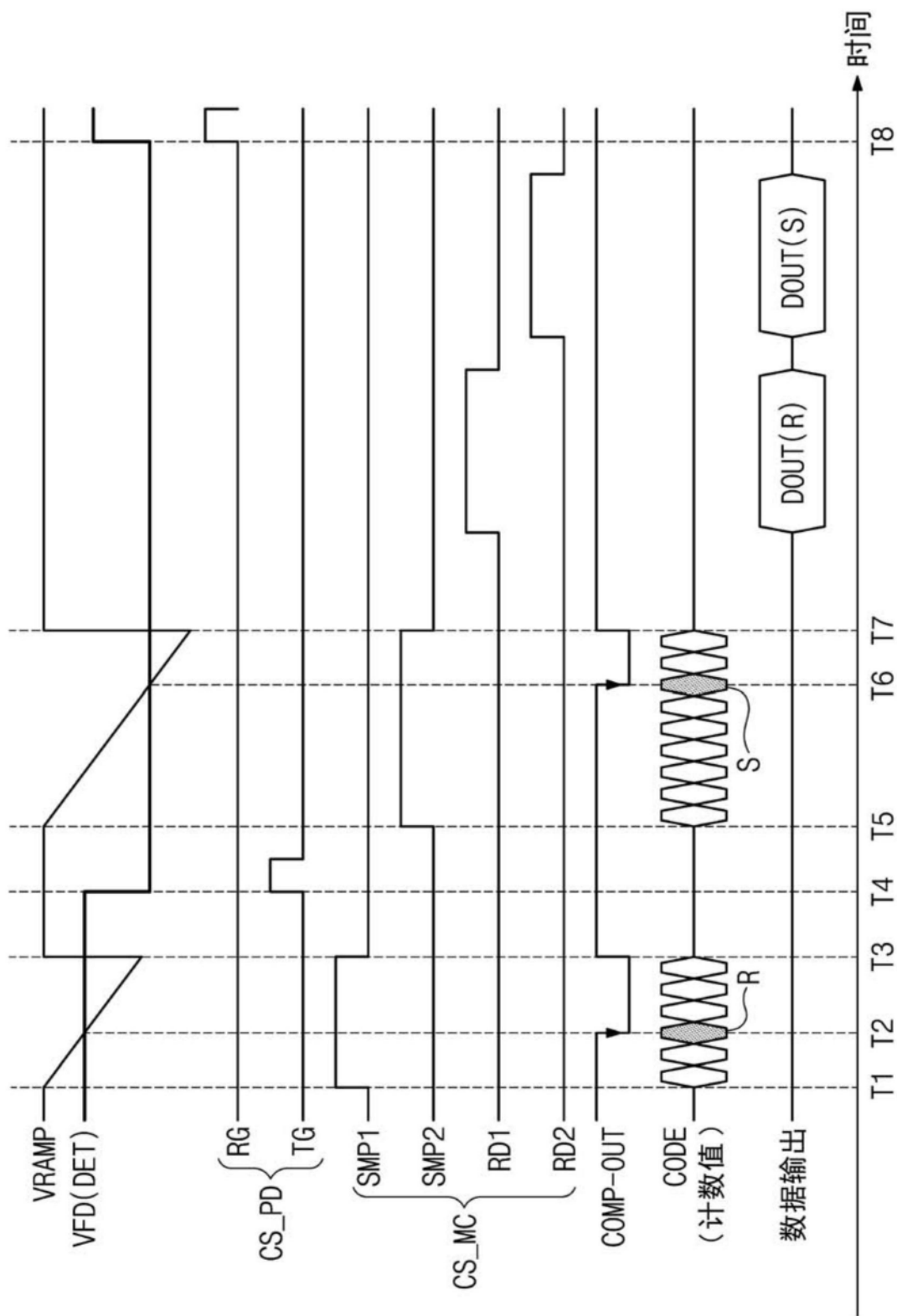


图3D

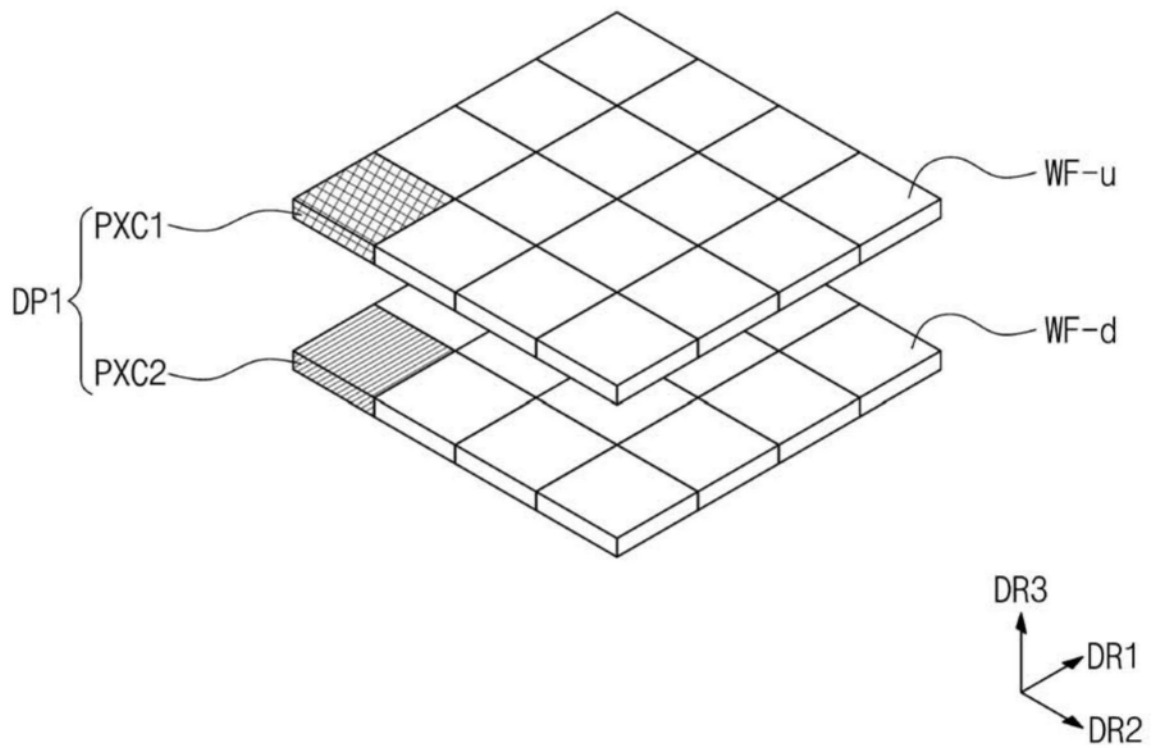
110

图4A

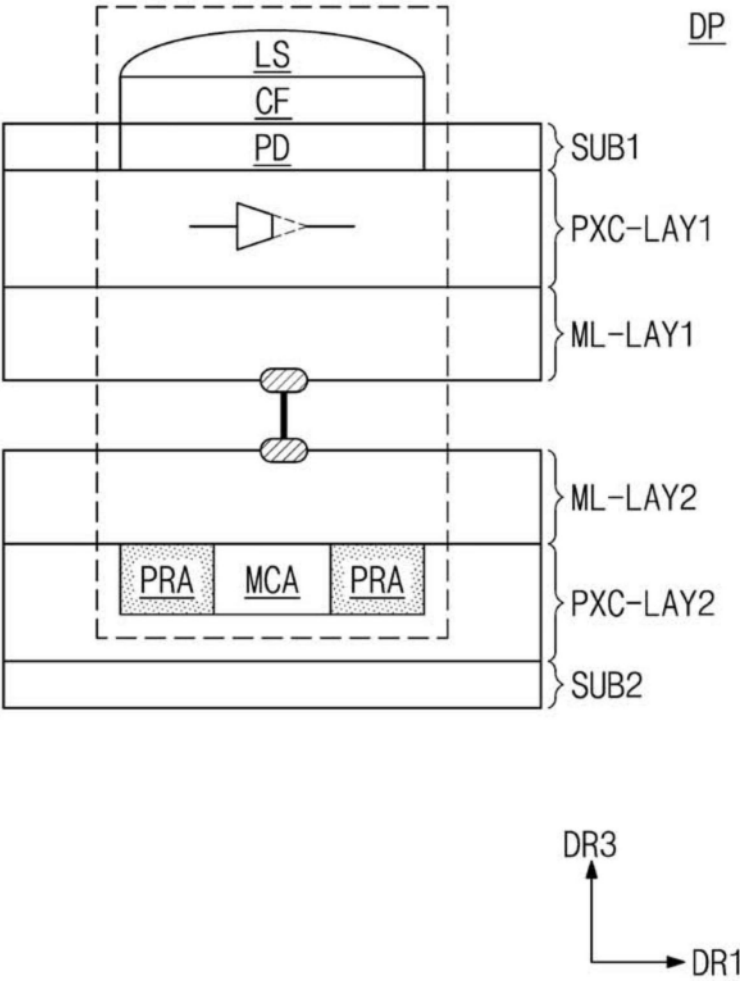


图4B

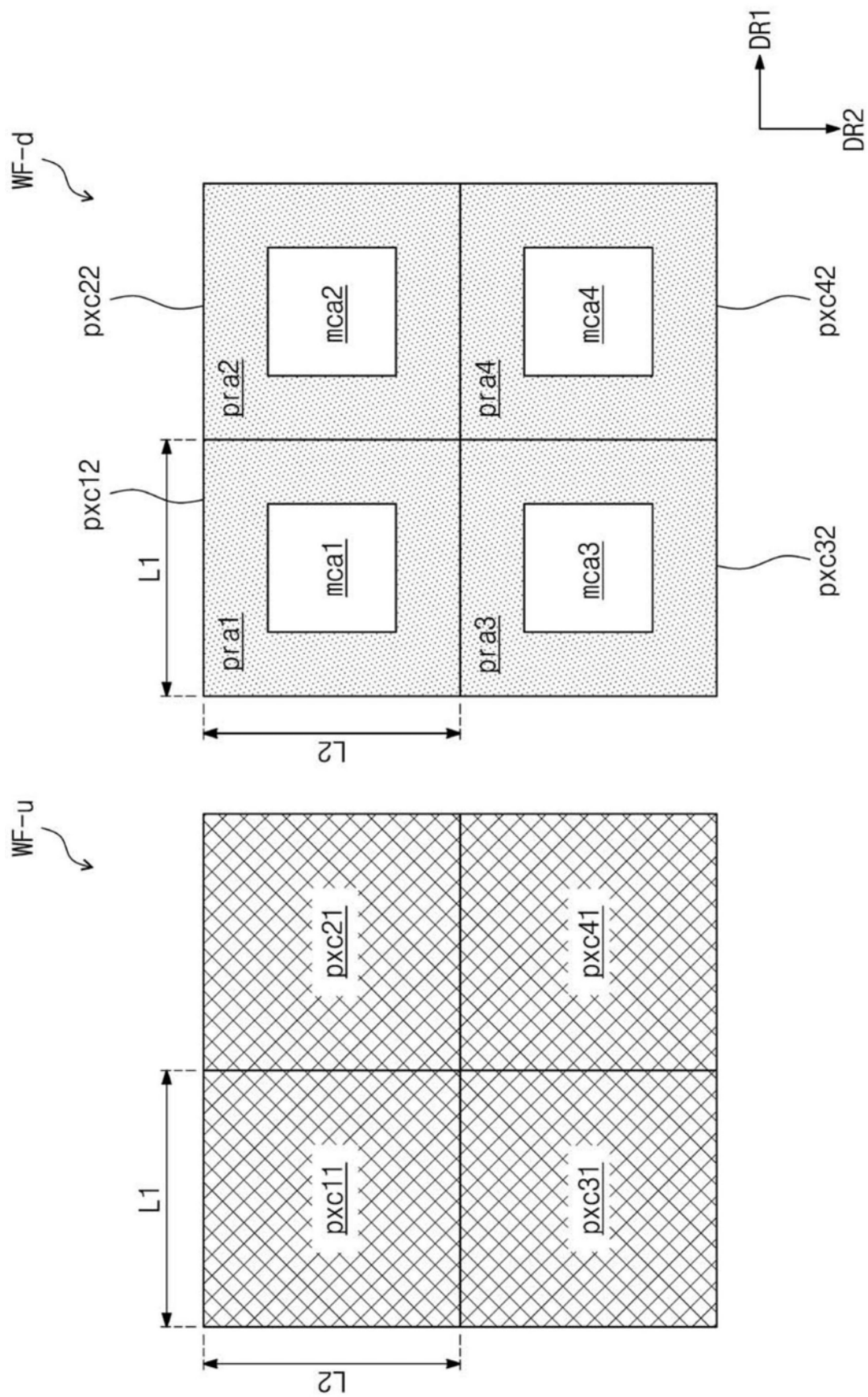


图5A

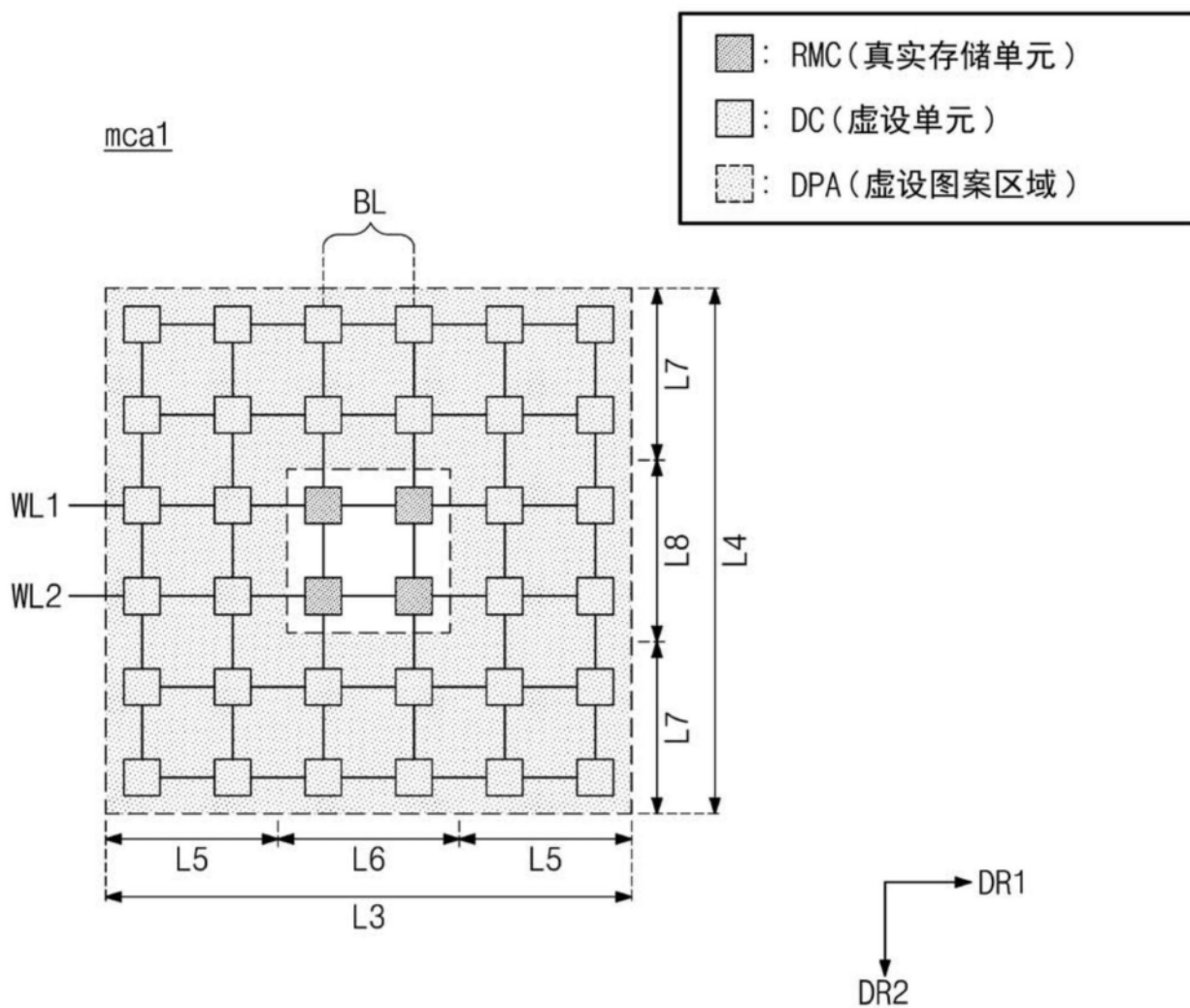


图5B

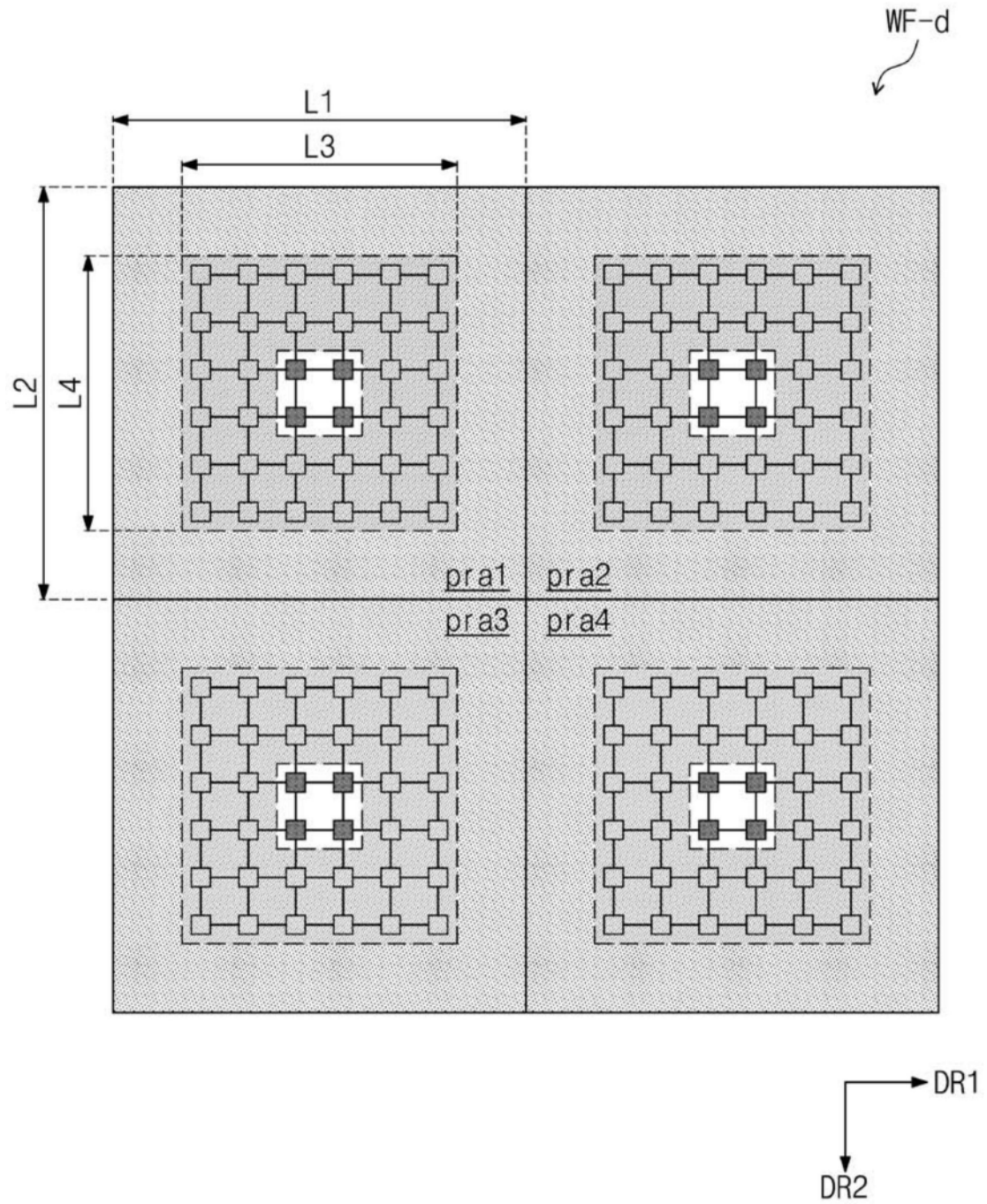


图5C

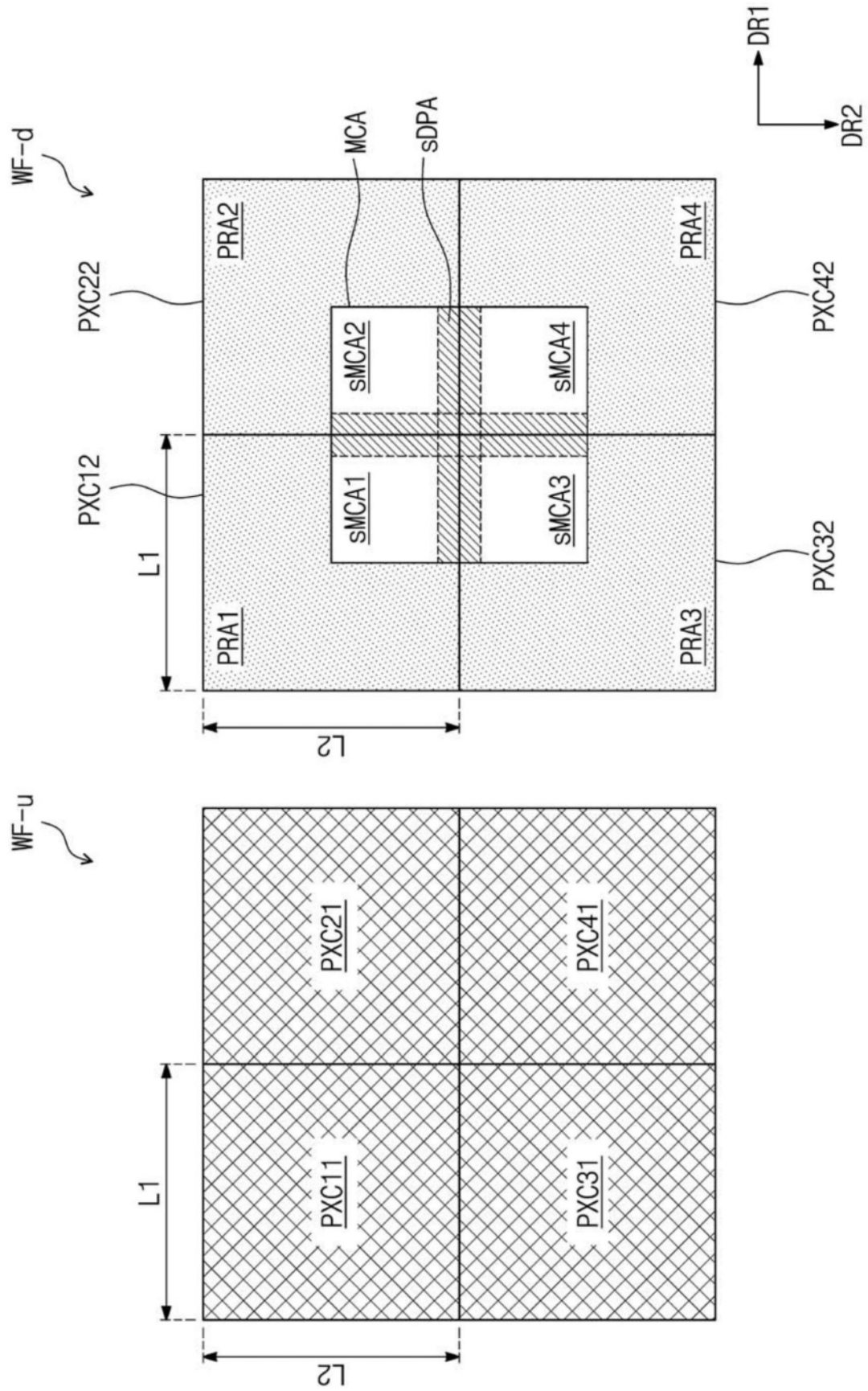


图6

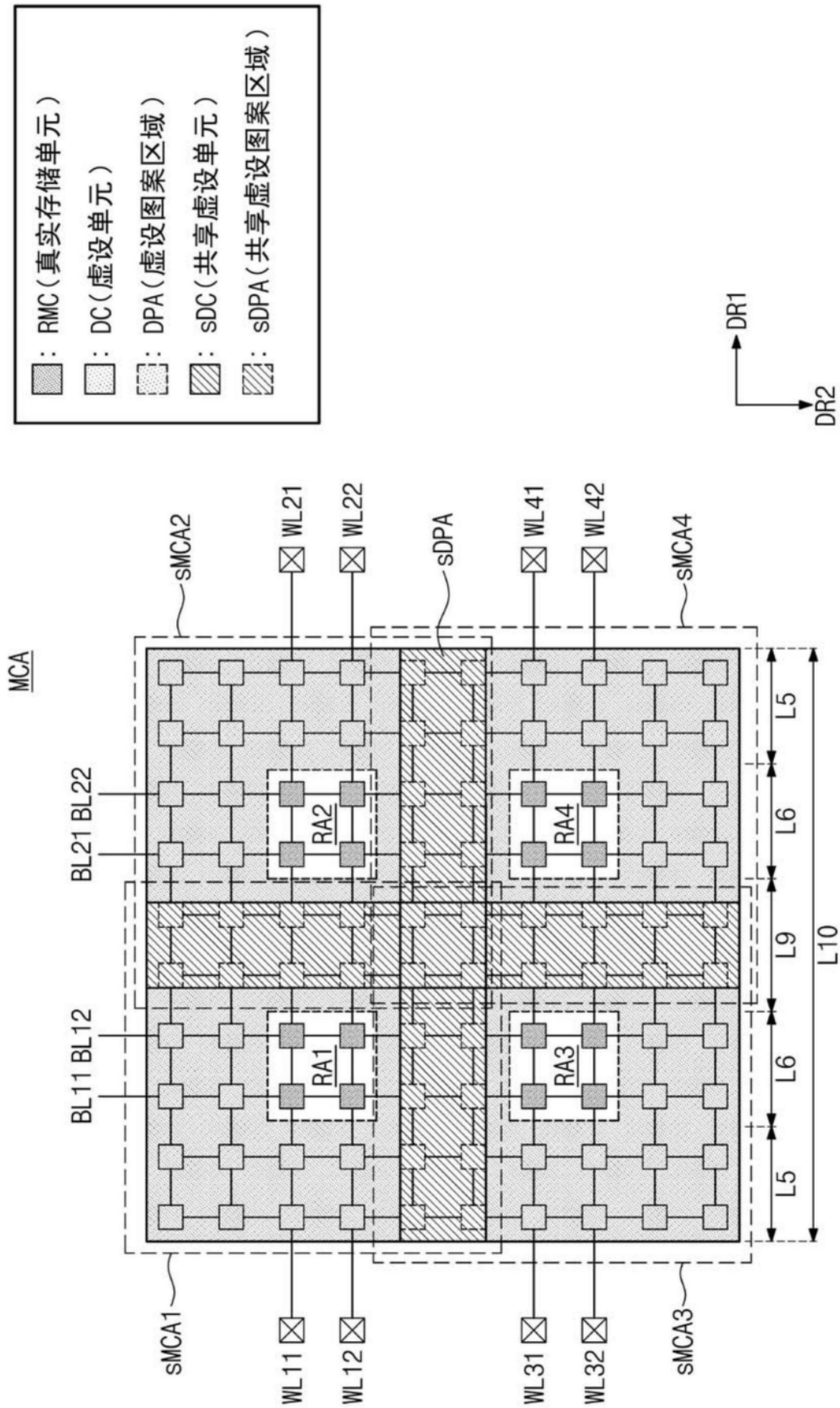


图7A

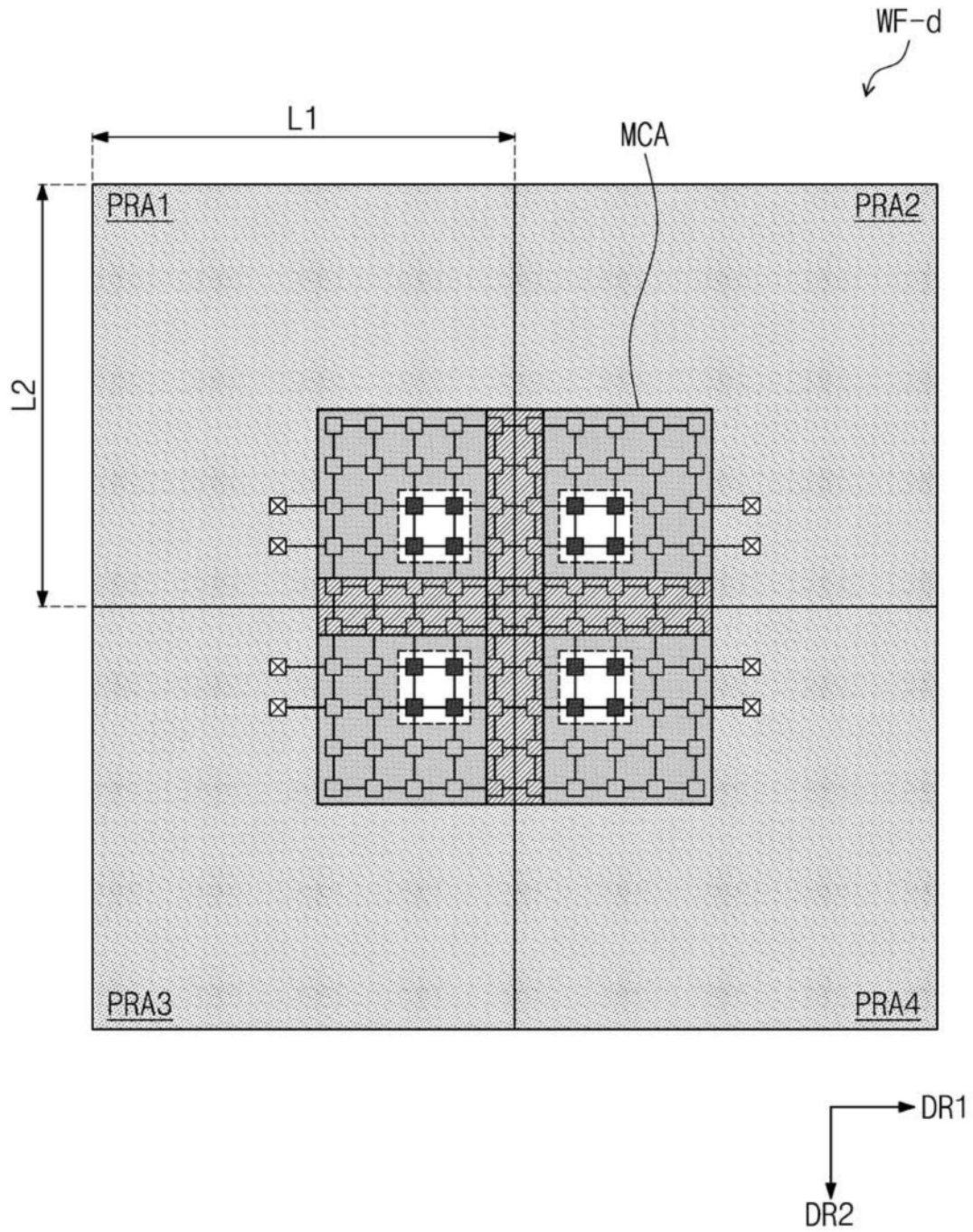


图7B

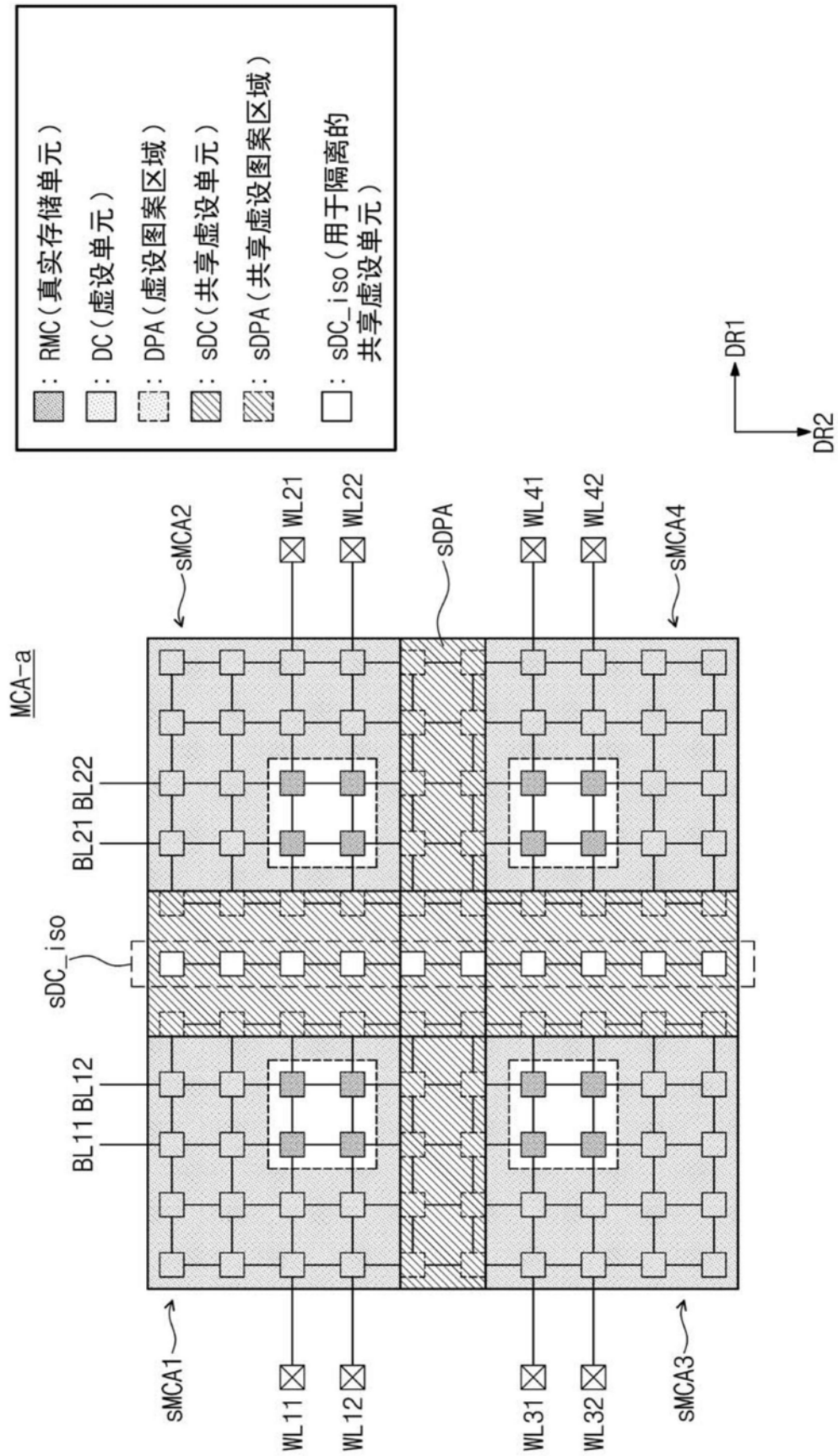


图8

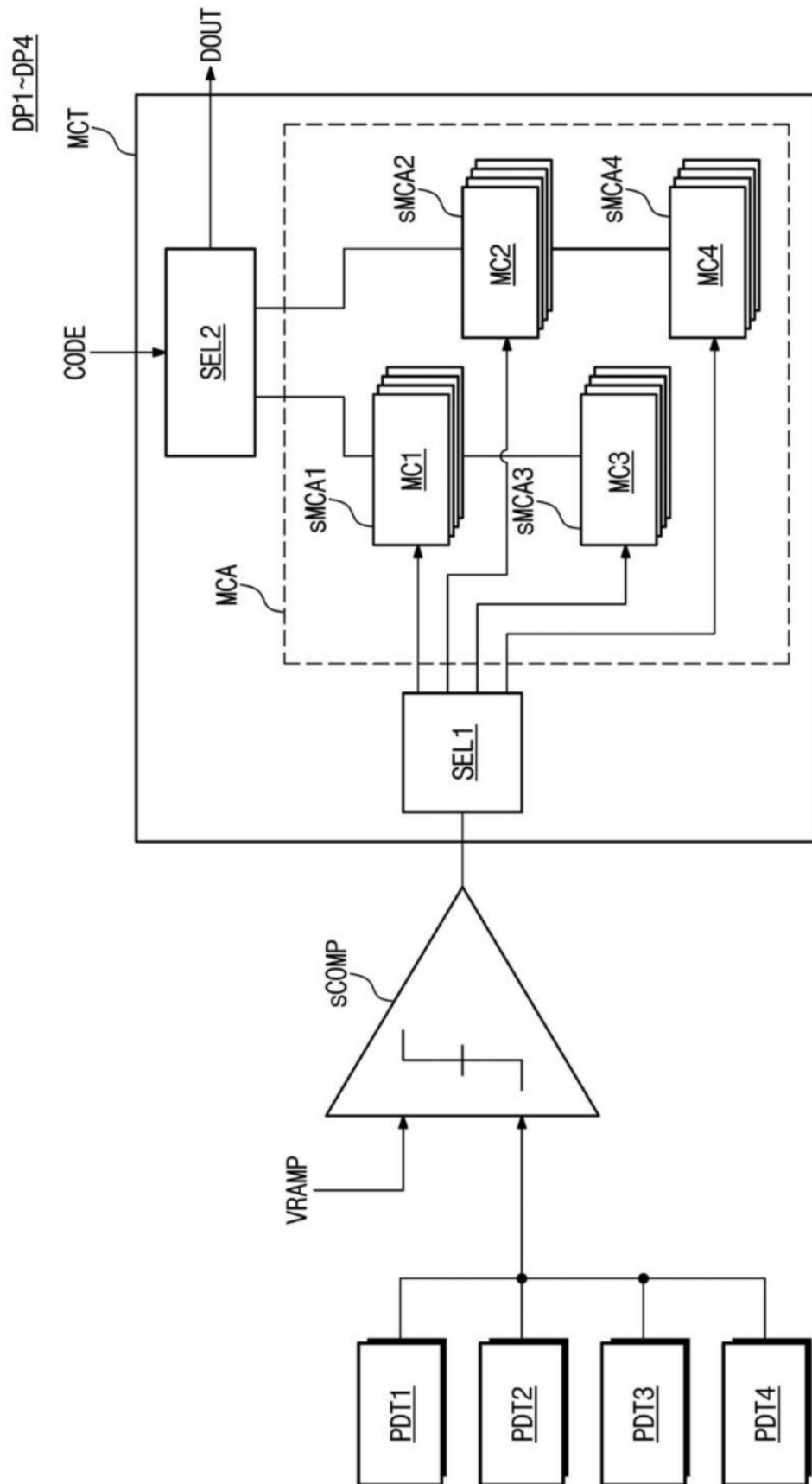


图9

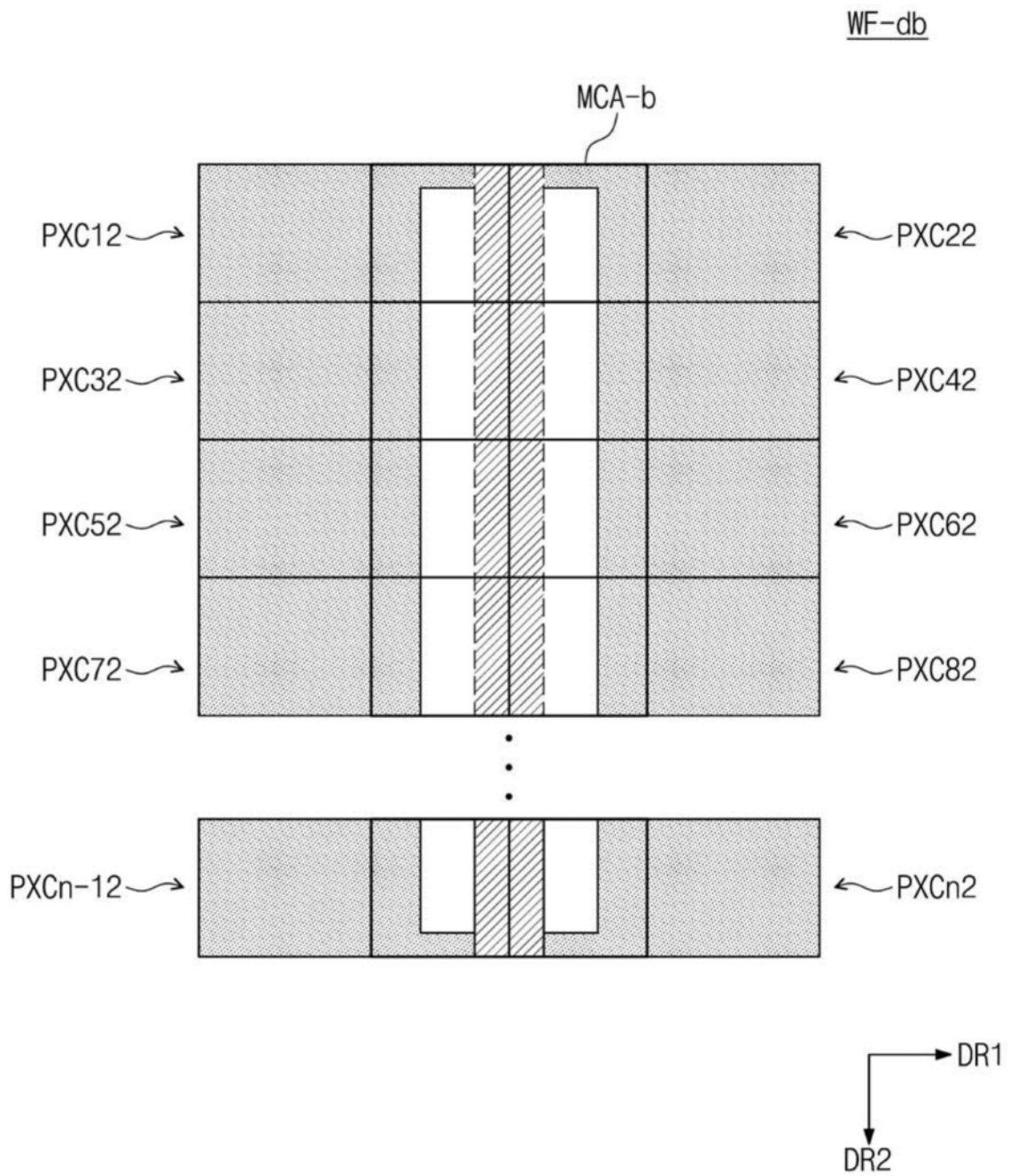


图10A

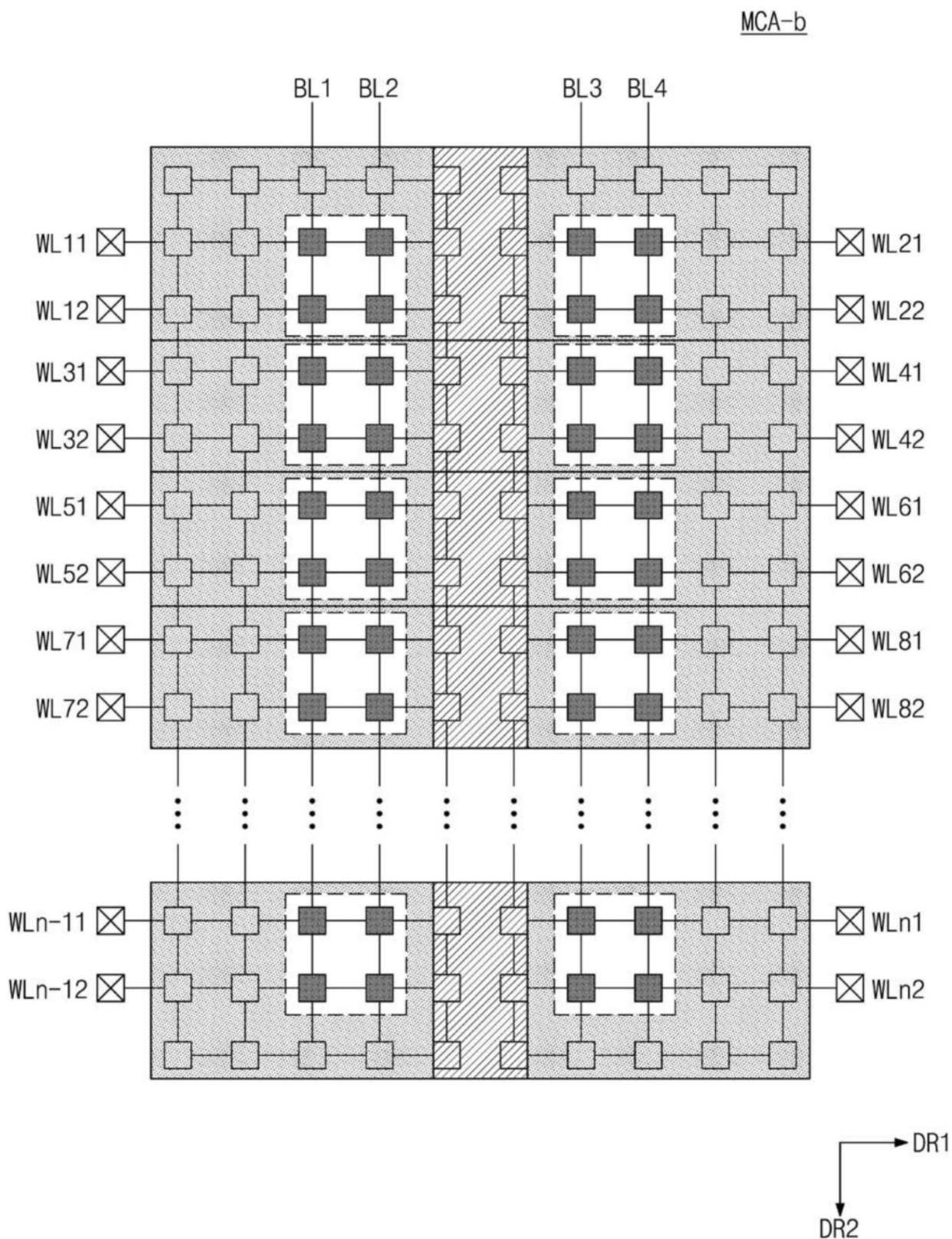


图10B

WF-dc

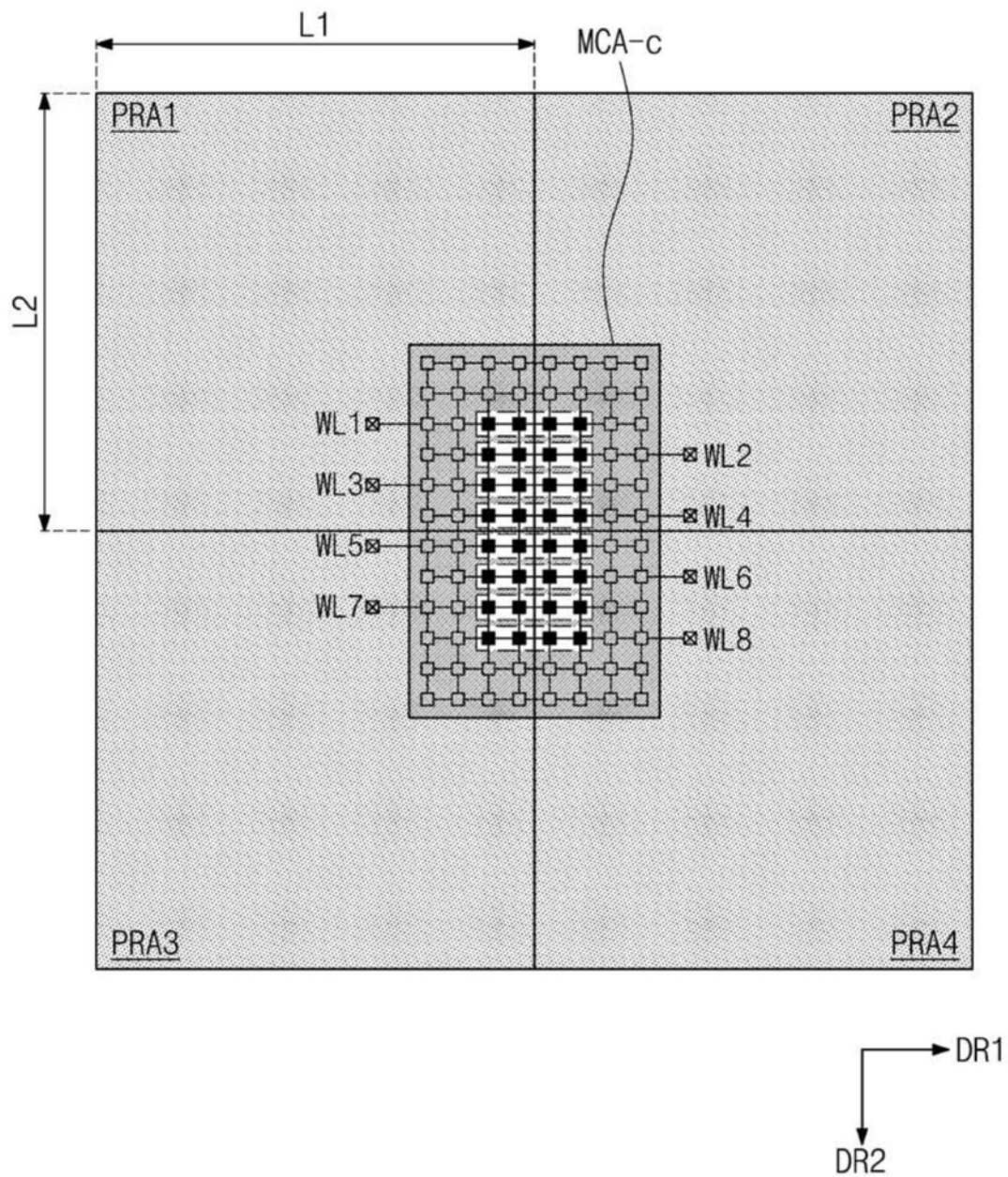


图11A

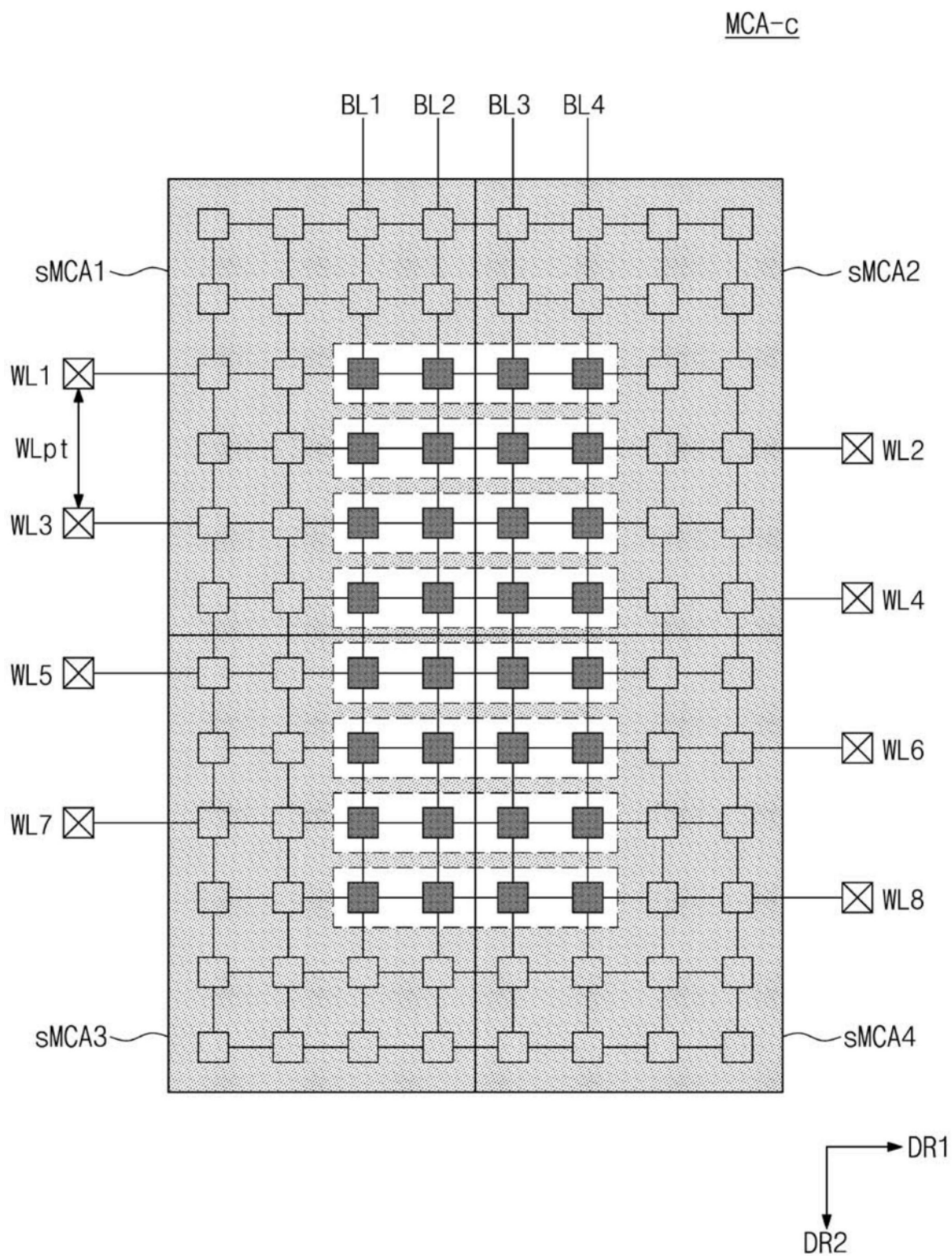


图11B

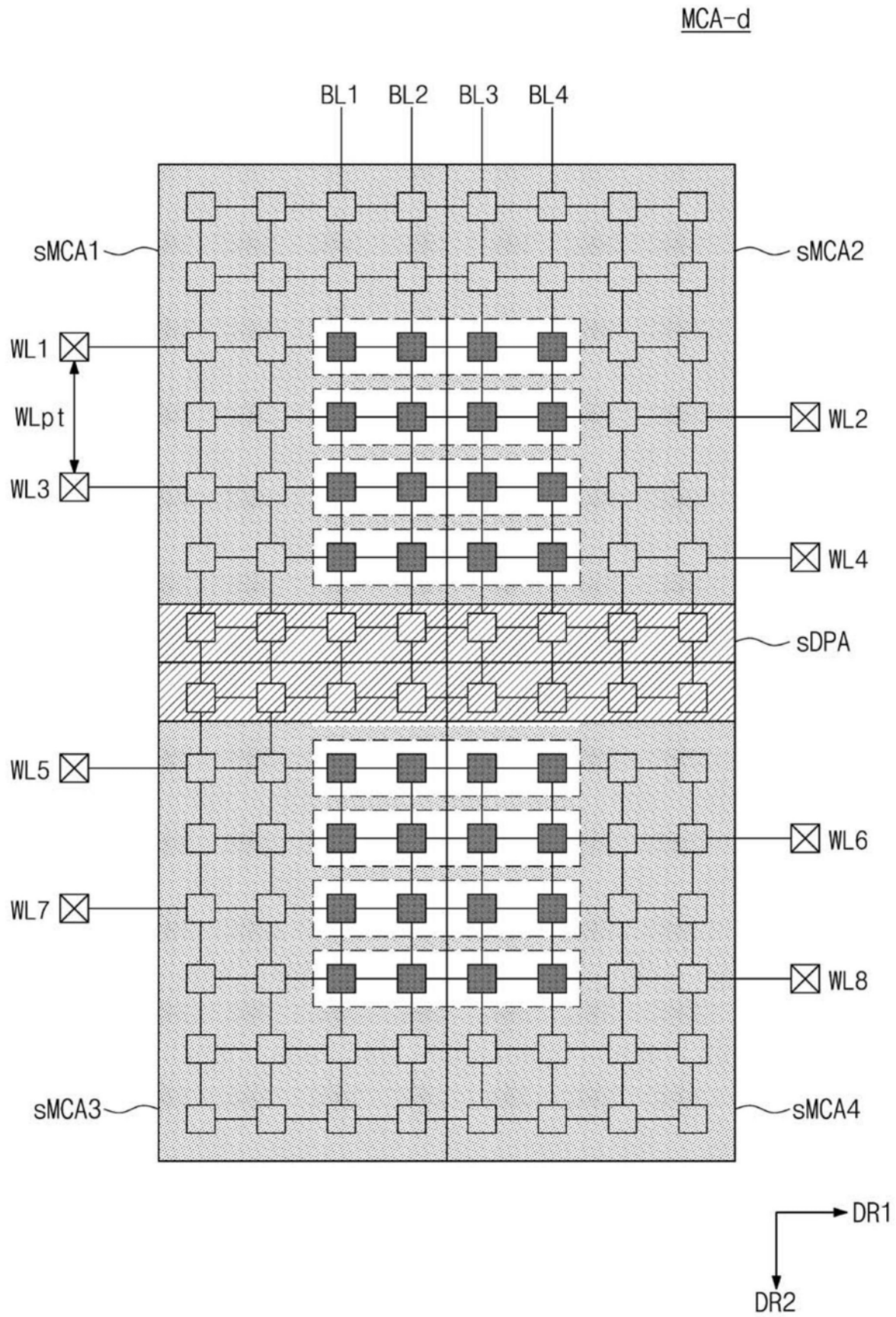


图12

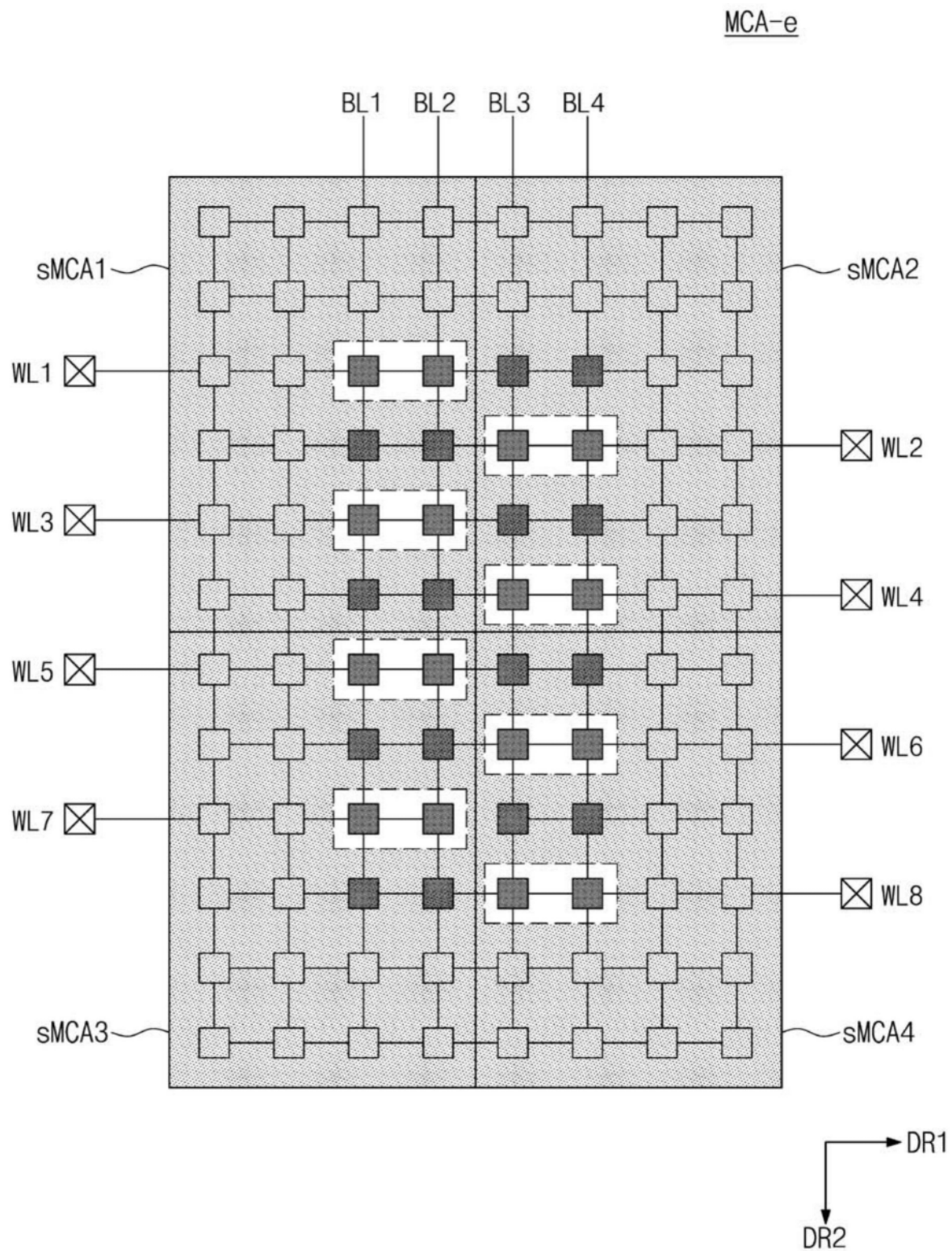


图13

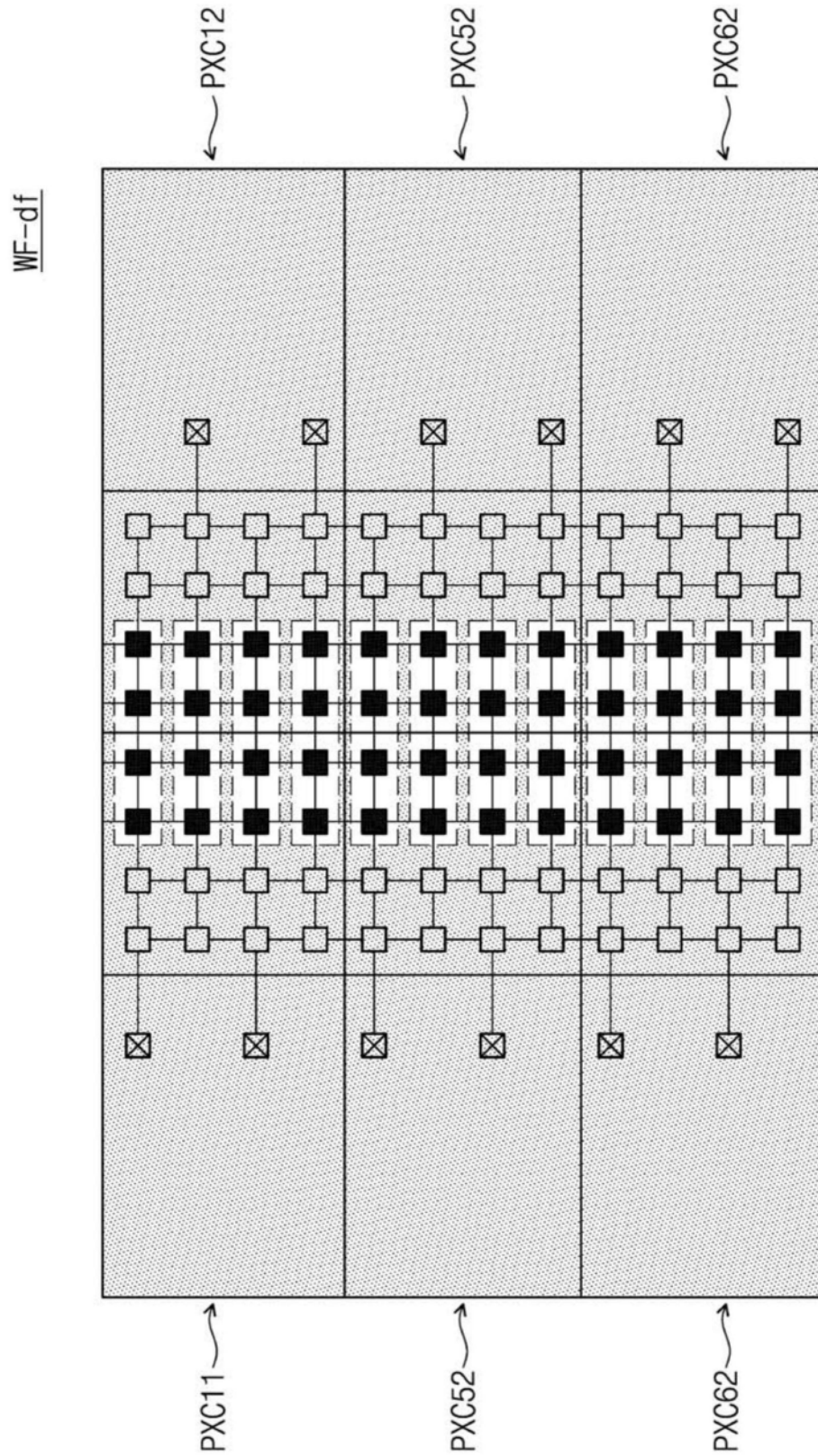


图14A

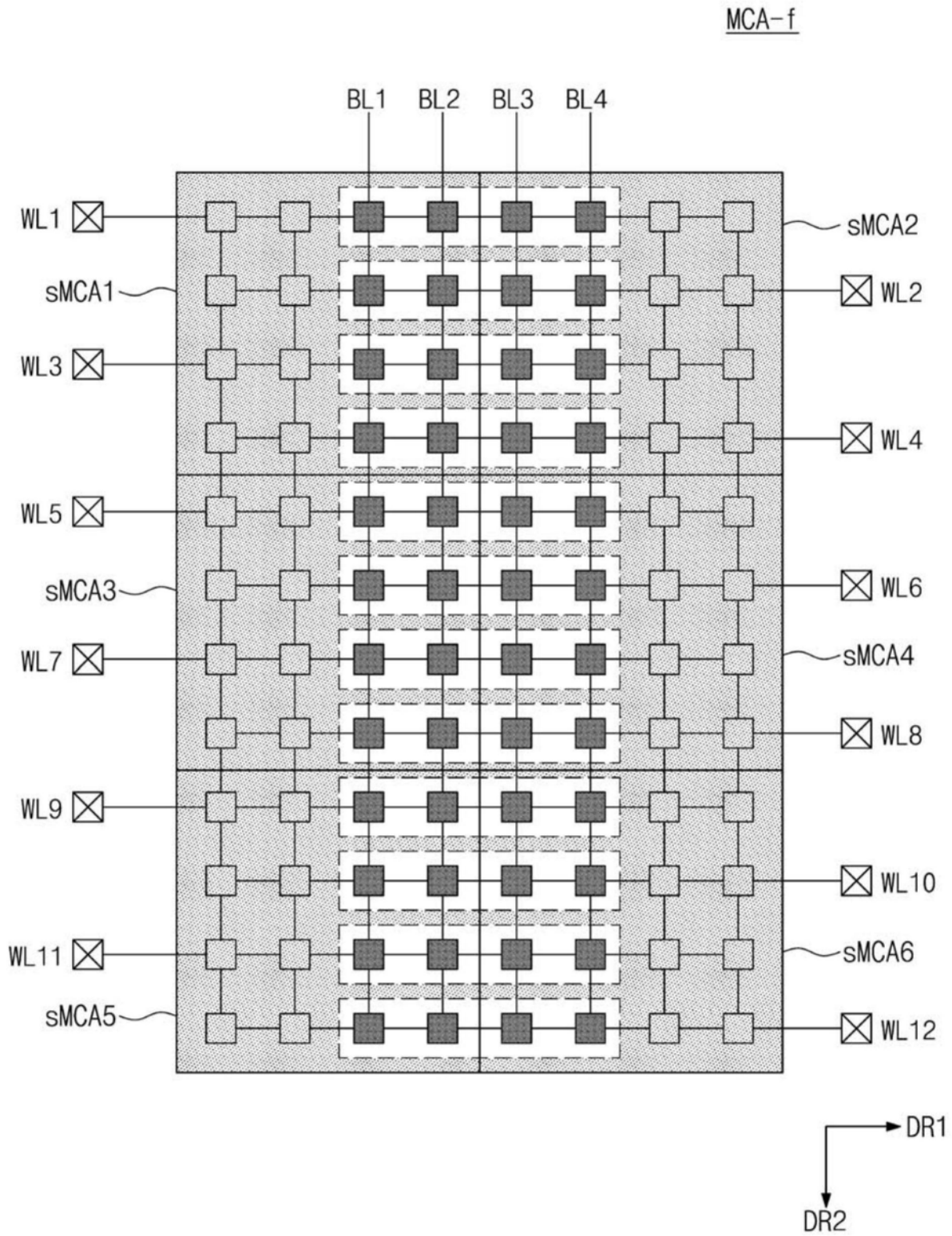


图14B

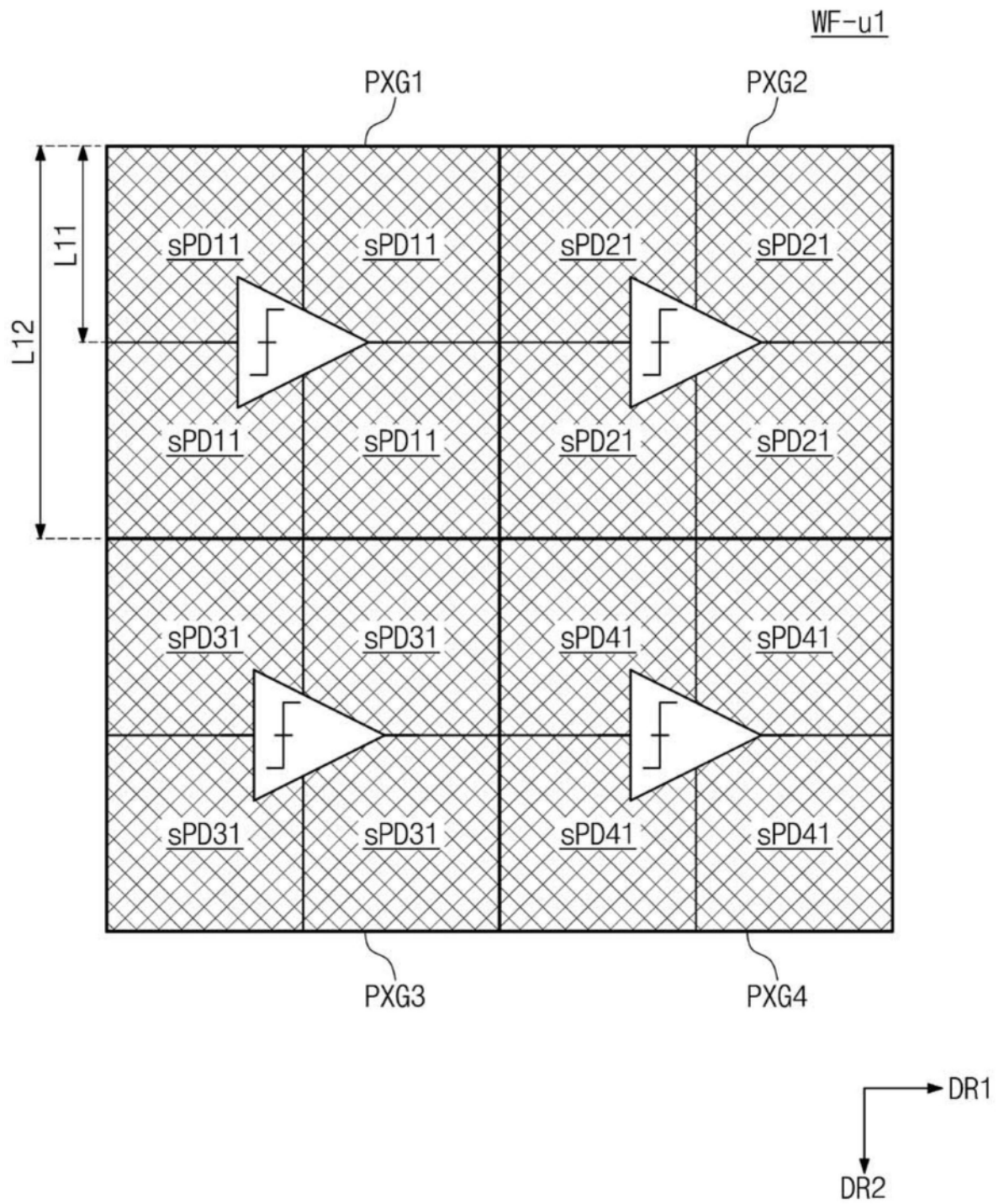


图15A

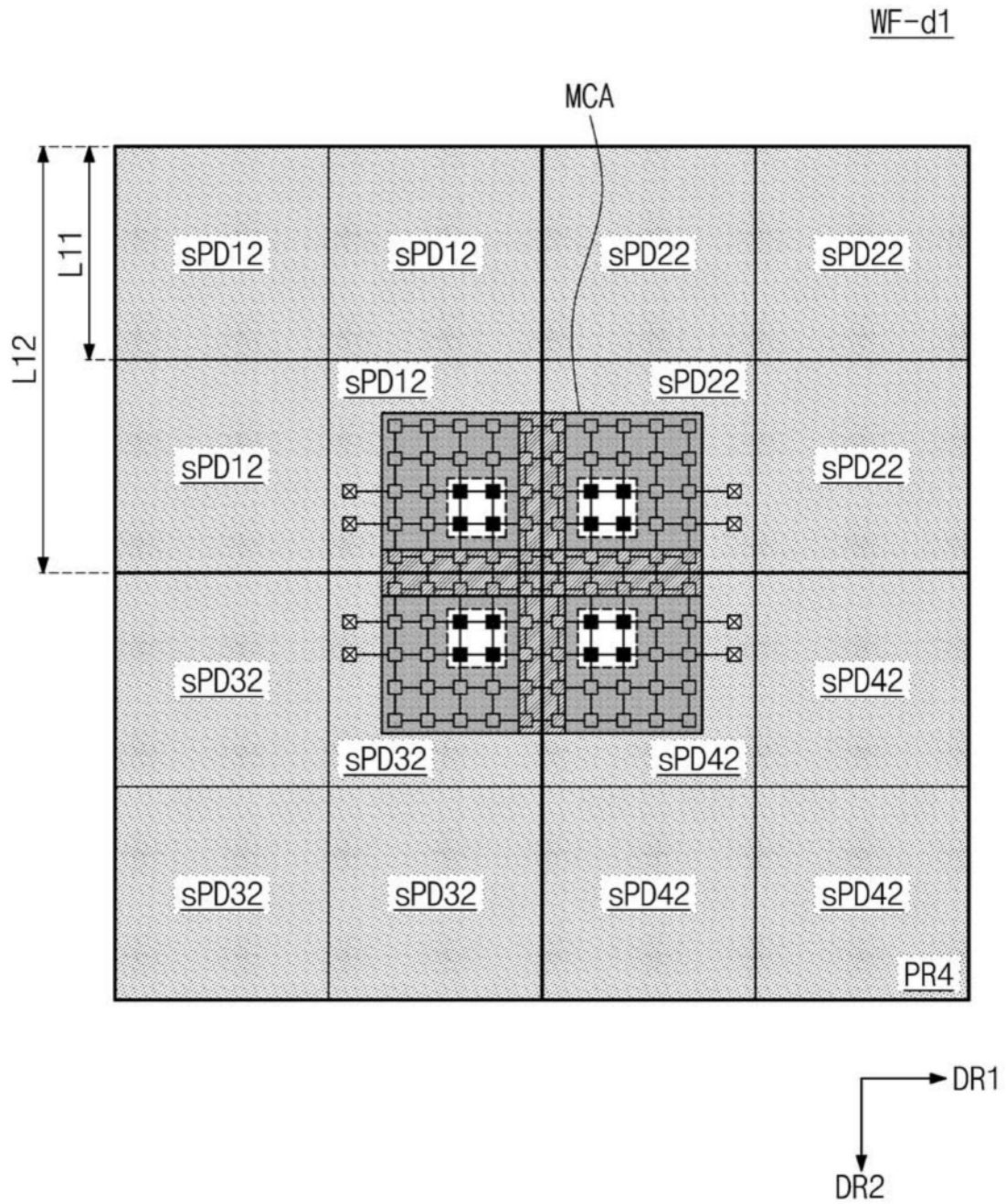


图15B

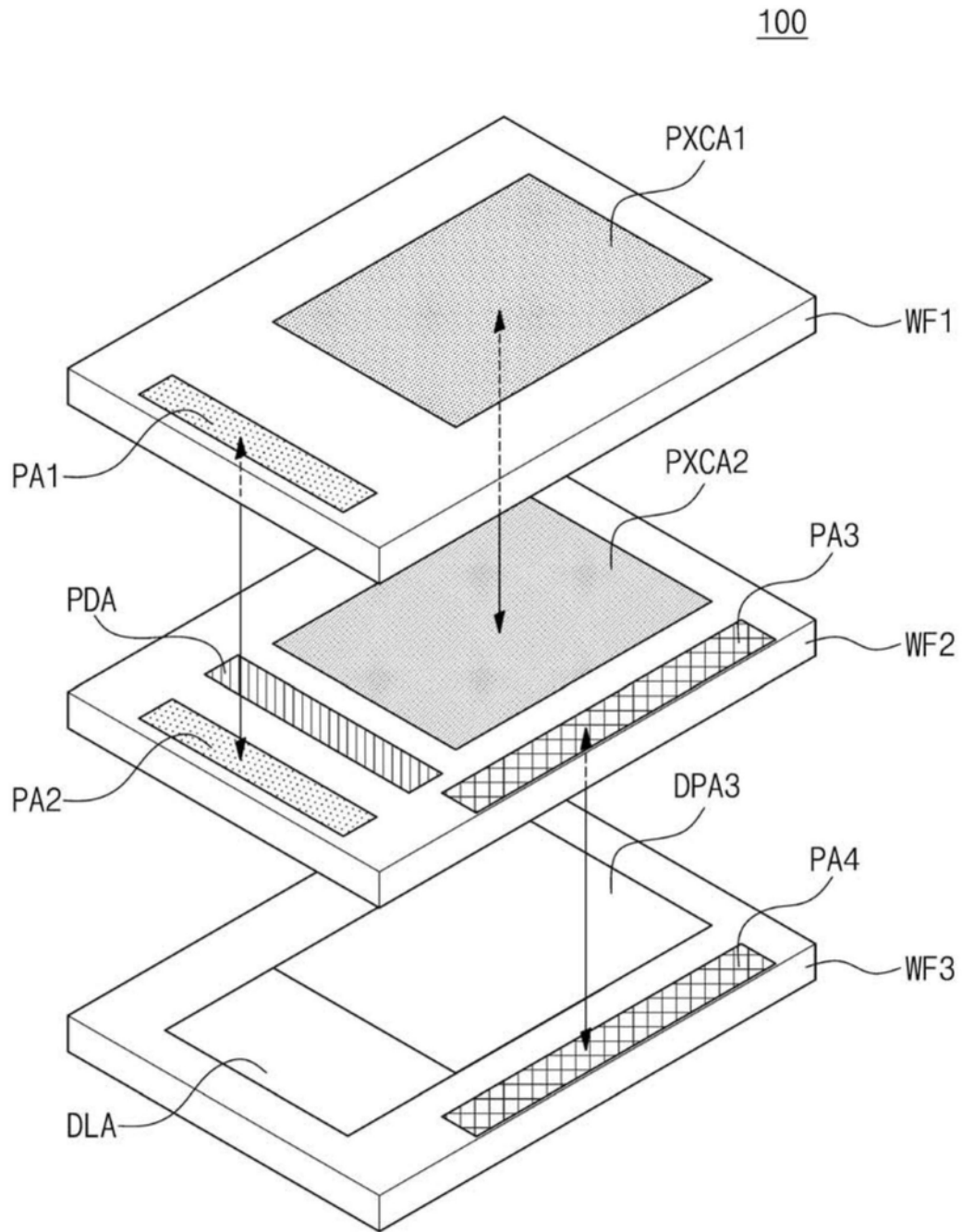


图16A

100

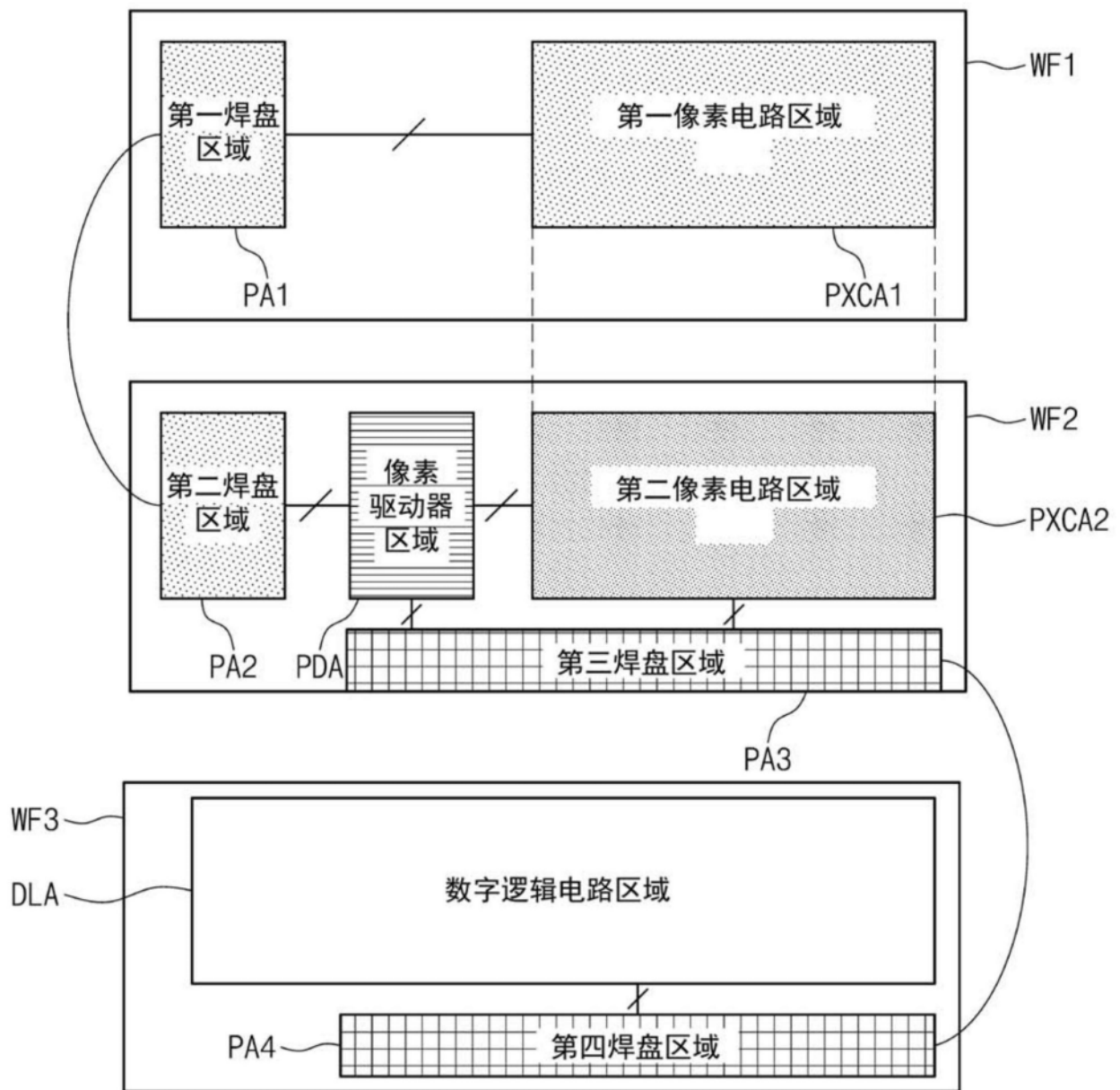


图16B

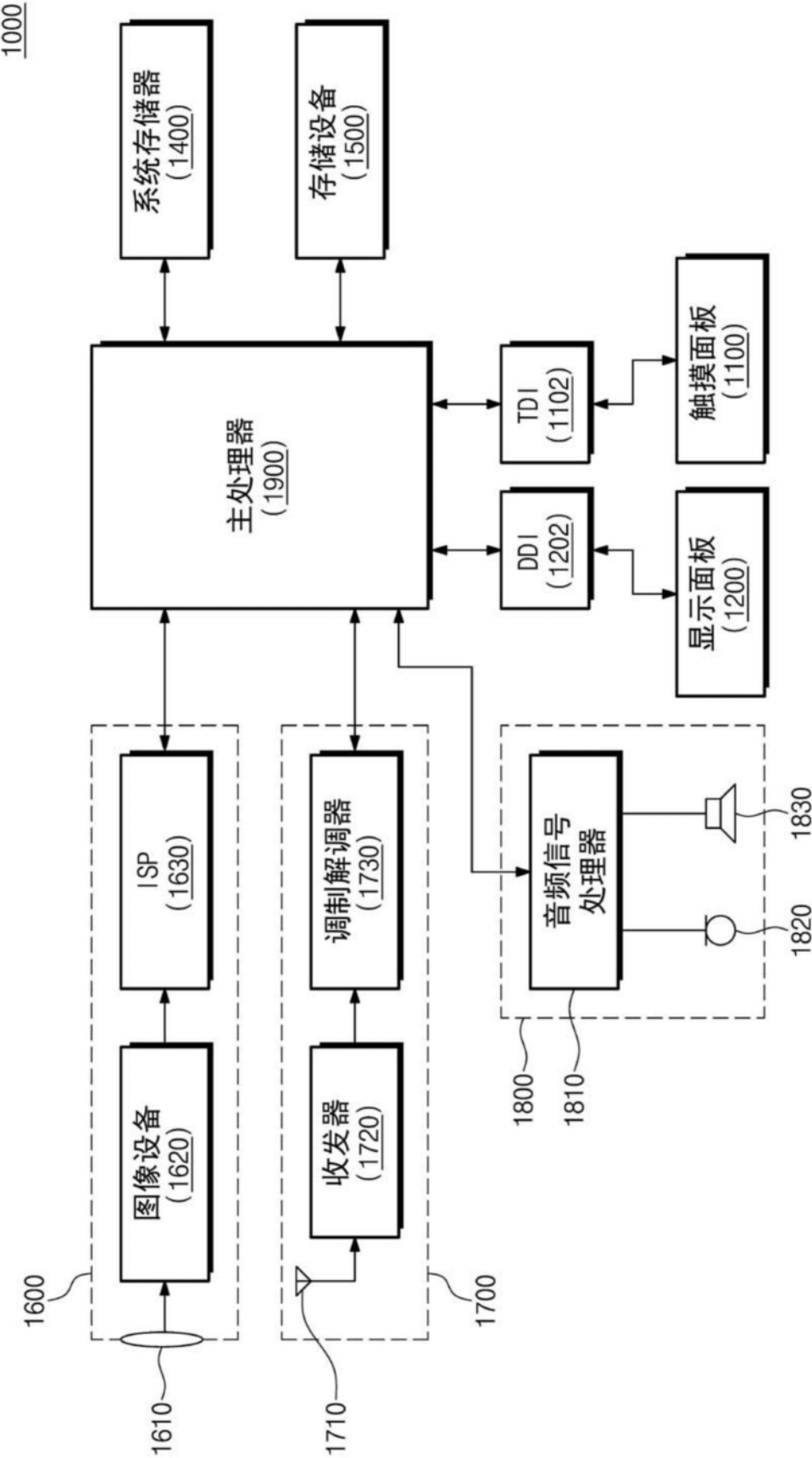


图17