

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3947135号
(P3947135)

(45) 発行日 平成19年7月18日(2007.7.18)

(24) 登録日 平成19年4月20日(2007.4.20)

(51) Int.C1.

F 1

HO1L 21/8247 (2006.01)	HO1L 27/10 434
HO1L 27/115 (2006.01)	HO1L 27/10 481
HO1L 27/10 (2006.01)	HO1L 29/78 371
HO1L 29/792 (2006.01)	G11C 17/00 632A
HO1L 29/788 (2006.01)	

請求項の数 13 (全 30 頁) 最終頁に続く

(21) 出願番号

特願2003-155474 (P2003-155474)

(22) 出願日

平成15年5月30日(2003.5.30)

(65) 公開番号

特開2004-356580 (P2004-356580A)

(43) 公開日

平成16年12月16日(2004.12.16)

審査請求日

平成15年8月19日(2003.8.19)

(73) 特許権者 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(74) 代理人 100058479

弁理士 鈴江 武彦

(74) 代理人 100091351

弁理士 河野 哲

(74) 代理人 100088683

弁理士 中村 誠

(74) 代理人 100108855

弁理士 蔵田 昌俊

(74) 代理人 100084618

弁理士 村松 貞男

(74) 代理人 100092196

弁理士 橋本 良郎

最終頁に続く

(54) 【発明の名称】不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

それが、電荷蓄積層と、前記電荷蓄積層上にゲート間絶縁膜を介在して形成された制御ゲートを備える第1MOSトランジスタを含む複数のメモリセルと、

前記メモリセルに供給される電圧を生成する昇圧回路と

を具備し、前記昇圧回路は、半導体基板上に形成され、互いに離隔された第1、第2半導体層と、

前記第1、第2半導体層の上面上、側面上、及び第1、第2半導体層間の前記半導体基板上に形成され、且つ前記ゲート間絶縁膜と同一材料で形成されたキャパシタ絶縁膜と、

前記キャパシタ絶縁膜上に形成され、前記第1半導体層と電気的に接続され、前記第2半導体層と電気的に分離された第3半導体層であって、前記第2半導体層との間でキャパシタ電極対を構成する第3半導体層とを含むキャパシタ素子を備え、

前記第1、第2半導体層間の領域における前記キャパシタ絶縁膜の構造と、前記複数のメモリセルの隣接する2つの前記第1MOSトランジスタの前記電荷蓄積層間の領域における前記ゲート間絶縁膜の構造とが同一である

ことを特徴とする不揮発性半導体記憶装置。

【請求項2】

前記メモリセルがマトリクス状に配置され、且つ前記半導体基板中に形成された第1素子分離領域によって前記メモリセルの列間が分離されたメモリセルアレイと、

同一行にある前記第1MOSトランジスタの制御ゲートが共通接続されて形成されたワ

10

20

ード線と

を更に具備し、前記ワード線方向に沿って隣接する第1MOSトランジスタ間において、前記電荷蓄積層は互いに離隔され、前記ゲート間絶縁膜は、前記電荷蓄積層の上面上、側面上、及び電荷蓄積層間の前記第1素子分離領域上に形成されている

ことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項3】

前記メモリセルは、電流経路の一端が前記第1MOSトランジスタの電流経路の一端に接続された第2MOSトランジスタを更に含み、

同一列にある前記メモリセルの前記第1MOSトランジスタの前記電流経路の他端を共通接続するピット線と、

10

前記第2MOSトランジスタの前記電流経路の他端を共通接続するソース線と、

同一行にある前記メモリセルの前記第2MOSトランジスタのゲートが共通接続されて形成されたセレクトゲート線と、

前記ピット線のいずれかを選択するカラムデコーダと、

前記ワード線のいずれかを選択する第1ロウデコーダと、

前記セレクトゲート線のいずれかを選択する第2ロウデコーダと

を更に具備し、前記昇圧回路は、前記第1ロウデコーダに供給する電圧を生成する

ことを特徴とする請求項2記載の不揮発性半導体記憶装置。

【請求項4】

それが、電荷蓄積層と、前記電荷蓄積層上にゲート間絶縁膜を介在して形成された制御ゲートとを備える第1MOSトランジスタを含む複数のメモリセルと、

20

前記メモリセルがマトリクス状に配置されたメモリセルアレイと、

同一列にある前記メモリセルの前記第1MOSトランジスタのドレイン領域を電気的に共通接続するピット線と、

同一行にある前記メモリセルの前記第1MOSトランジスタの制御ゲートが共通接続されて形成されたワード線と、

複数の前記メモリセルのソース領域を電気的に共通接続するソース線と、

前記ピット線のいずれかを選択するカラムデコーダと、

前記ワード線のいずれかを選択する第1ロウデコーダと、

前記第1ロウデコーダに供給される電圧を生成し、前記ゲート間絶縁膜と同一材料で形成されたキャパシタ絶縁膜を含むキャパシタ素子を有する昇圧回路と

30

を具備し、前記キャパシタ絶縁膜の一部は、前記ゲート間絶縁膜において最も電界の集中する箇所と同一の構造を有する

ことを特徴とする不揮発性半導体記憶装置。

【請求項5】

前記キャパシタ素子は、半導体基板上に形成され、互いに離隔された第1、第2半導体層と、

前記第1、第2半導体層の上面上、側面上、及び第1、第2半導体層間の前記半導体基板上に形成され、且つ前記ゲート間絶縁膜と同一材料で形成されたキャパシタ絶縁膜と、

前記キャパシタ絶縁膜上に形成され、前記第1半導体層と電気的に接続され、前記第2半導体層と電気的に分離された第3半導体層であって、前記第2半導体層との間でキャパシタ電極対を構成する第3半導体層とを含み、

40

前記メモリセルの列間は前記半導体基板中に形成された第1素子分離領域によって分離され、

前記ワード線方向に沿って隣接する第1MOSトランジスタ間において、前記電荷蓄積層は互いに離隔され、前記ゲート間絶縁膜は、前記電荷蓄積層の上面上、側面上、及び電荷蓄積層間の前記第1素子分離領域上に形成されている

ことを特徴とする請求項4記載の不揮発性半導体記憶装置。

【請求項6】

前記メモリセルは、ドレイン領域が前記第1MOSトランジスタのソース領域に接続され

50

た第 2 MOS トランジスタを更に含み、
 同一行にある前記メモリセルの前記第 2 MOS トランジスタのゲートが共通接続されて形成されたセレクトゲート線と、
 前記第 2 MOS トランジスタのソース領域を共通接続するソース線と、
 前記セレクトゲート線のいずれかを選択する第 2 口ウデコーダと
 を更に具備し、前記第 1 MOS トランジスタのドレイン領域は、前記ビット線に接続される
 ことを特徴とする請求項 4 または 5 記載の不揮発性半導体記憶装置。

【請求項 7】

前記第 2 半導体層は、前記半導体基板内に設けられた素子領域上に、前記メモリセルのゲート絶縁膜と同一材料で形成された絶縁膜を介在して形成されている
 ことを特徴とする請求項 1 乃至 3、5、6 いずれか 1 項記載の不揮発性半導体記憶装置。 10

【請求項 8】

前記第 2 半導体層は、前記半導体基板内に設けられ、且つ第 2 素子分離領域によって互いに電気的に分離された複数の素子領域上に、前記メモリセルのゲート絶縁膜と同一材料で形成された絶縁膜を介在して形成されている
 ことを特徴とする請求項 1 乃至 3、5、6 いずれか 1 項記載の不揮発性半導体記憶装置。

【請求項 9】

前記第 2 半導体層は、互いに分離された複数の第 4 半導体層を含み、
 前記第 4 半導体層は、複数の前記素子領域上に前記絶縁膜を介在してそれぞれ形成され、
 前記キャパシタ絶縁膜は、前記第 4 半導体層の上面上、側面上、及び前記第 4 半導体層間に位置する前記第 2 素子分離領域上に形成されている
 ことを特徴とする請求項 8 記載の不揮発性半導体記憶装置。 20

【請求項 10】

複数の前記第 4 半導体層は、電気的に共通接続されている
 ことを特徴とする請求項 9 記載の不揮発性半導体記憶装置。

【請求項 11】

前記第 2 半導体層と前記素子領域とは同電位である
 ことを特徴とする請求項 7 乃至 10 いずれか 1 項記載の不揮発性半導体記憶装置。 30

【請求項 12】

前記第 2 半導体層は、前記半導体基板中に形成された第 3 素子分離領域上に形成されている
 ことを特徴とする請求項 1 乃至 3、5、6 いずれか 1 項記載の不揮発性半導体記憶装置。

【請求項 13】

前記電荷蓄積層、前記ゲート間絶縁膜、及び前記制御ゲートを含むキャパシタ構造の絶縁破壊電圧は、前記キャパシタ素子の絶縁破壊電圧に等しい
 ことを特徴とする請求項 1 乃至 12 いずれか 1 項記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】
 この発明は、不揮発性半導体記憶装置に関する。例えば、フローティングゲートとコントロールゲートとを有する MOS トランジスタを含む不揮発性半導体記憶装置に関する。 40

【0002】

【従来の技術】

従来から、不揮発性半導体メモリとして、NOR 型フラッシュメモリや NAND 型フラッシュメモリが知られており、広く使用されている。

【0003】

近年では、NOR 型フラッシュメモリと NAND 型フラッシュメモリの両者の長所を兼ね備えたフラッシュメモリが提案されている（例えば非特許文献 1 参照）。このフラッシュメモリは、2 つの MOS トランジスタを含むメモリセルを備えている。このようなメモリ 50

セルにおいては、不揮発性記憶部として機能する一方のMOSトランジスタが、コントロールゲートとフローティングゲートとを備えた構造を有し、ビット線に接続されている。他方のMOSトランジスタは、ソース線に接続され、メモリセルの選択用として用いられる。

【0004】

【非特許文献1】

Wei-Hua Liu 著、"A 2-Transistor Source-select(2TS) Flash EEPROM for 1.8V-Only Application"、Non-Volatile Semiconductor Memory Workshop 4.1、1997年

【0005】

【発明が解決しようとする課題】

しかし、上記従来のフラッシュメモリであると、昇圧回路内のキャパシタの特性がメモリセルの特性と異なる。従って、メモリセルの信頼性と、昇圧回路内のキャパシタの信頼性とを、別個の工程で検査しなくてはならない。その結果、製造工程が煩雑となるという問題があった。

【0006】

この発明は、製造工程を簡略化出来る不揮発性半導体記憶装置を提供する。

【0007】

【課題を解決するための手段】

この発明の第1の態様に係る不揮発性半導体記憶装置は、それぞれが、電荷蓄積層と、前記電荷蓄積層上にゲート間絶縁膜を介在して形成された制御ゲートを備える第1MOSトランジスタを含む複数のメモリセルと、前記メモリセルに供給される電圧を生成する昇圧回路とを具備し、前記昇圧回路は、半導体基板上に形成され、互いに離隔された第1、第2半導体層と、前記第1、第2半導体層の上面上、側面上、及び第1、第2半導体層間の前記半導体基板上に形成され、且つ前記ゲート間絶縁膜と同一材料で形成されたキャパシタ絶縁膜と、前記キャパシタ絶縁膜上に形成され、前記第1半導体層と電気的に接続され、前記第2半導体層と電気的に分離された第3半導体層であって、前記第2半導体層との間でキャパシタ電極対を構成する第3半導体層とを含むキャパシタ素子を備え、前記第1、第2半導体層間の領域における前記キャパシタ絶縁膜の構造と、前記複数のメモリセルの隣接する2つの前記第1MOSトランジスタの前記電荷蓄積層間の領域における前記ゲート間絶縁膜の構造とが同一である。

【0008】

また、この発明の第2の態様に係る不揮発性半導体記憶装置は、それぞれが、電荷蓄積層と、前記電荷蓄積層上にゲート間絶縁膜を介在して形成された制御ゲートとを備える第1MOSトランジスタを含む複数のメモリセルと、前記メモリセルがマトリクス状に配置されたメモリセルアレイと、同一列にある前記メモリセルの前記第1MOSトランジスタのドレイン領域を電気的に共通接続するビット線と、同一行にある前記メモリセルの前記第1MOSトランジスタの制御ゲートが共通接続されて形成されたワード線と、複数の前記メモリセルのソース領域を電気的に共通接続するソース線と、前記ビット線のいずれかを選択するカラムデコーダと、前記ワード線のいずれかを選択する第1ロウデコーダと、前記第1ロウデコーダに供給される電圧を生成し、前記ゲート間絶縁膜と同一材料で形成されたキャパシタ絶縁膜を含むキャパシタ素子を有する昇圧回路とを具備し、前記キャパシタ絶縁膜の一部は、前記ゲート間絶縁膜において最も電界の集中する箇所と同一の構造を有する。

【0010】

【発明の実施の形態】

以下、この発明の実施形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0011】

この発明の第1の実施形態に係る不揮発性半導体記憶装置について図1を用いて説明する。図1は、本実施形態に係るフラッシュメモリのブロック図である。

10

20

30

40

50

【0012】

図示するように、フラッシュメモリ10は、メモリセルアレイ11、カラムデコーダ12、センスアンプ13、第1口ウデコーダ14、第2口ウデコーダ15、ソース線ドライバ16、第1昇圧回路17、及び第2昇圧回路18を備えている。

【0013】

メモリセルアレイ11は、マトリクス状に配置された複数個($(m+1) \times (n+1)$ 個、但し m 、 n は自然数)のメモリセルMCを有している。メモリセルMCの各々は、互いに電流経路が直列接続されたメモリセルトランジスタMTと選択トランジスタSTとを有している。メモリセルトランジスタMTは、半導体基板上にゲート絶縁膜を介在して形成されたフローティングゲートと、フローティングゲート上にゲート間絶縁膜を介在して形成されたコントロールゲートとを有する積層ゲート構造を備えている。そして、メモリセルトランジスタMTのソース領域が選択トランジスタSTのドレイン領域に接続されている。また、列方向で隣接するメモリセルMC同士は、選択トランジスタSTのソース領域、またはメモリセルトランジスタMTのドレイン領域を共有している。

【0014】

同一行にあるメモリセルMCのメモリセルトランジスタMTの制御ゲートは、ワード線WL0～WLmのいずれかに共通接続され、同一行にあるメモリセルの選択トランジスタSTのゲートは、セレクトゲート線SG0～SGmのいずれかに接続されている。また、同一列にあるメモリセルMCのメモリセルトランジスタMTのドレインは、ビット線BL0～BLnのいずれかに共通接続されている。そして、メモリセルMCの選択トランジスタSTのソースはソース線SLに共通接続され、ソース線ドライバ16に接続されている。

【0015】

カラムデコーダ12は、カラムアドレス信号をデコードして、カラムアドレスデコード信号を得る。そして、カラムアドレスデコード信号に基づいて、ビット線BL0～BLnのいずれかを選択する。

【0016】

第1、第2口ウデコーダ14、15は、ロウアドレス信号をデコードして、ロウアドレスデコード信号を得る。そして、第1口ウデコーダ14は、書き込み時においてワード線WL0～WLmのいずれかを選択する。第2口ウデコーダ15は、読み出し時において、セレクトゲート線SG0～SGmのいずれかを選択する。

【0017】

センスアンプ13は、第2口ウデコーダ15及びカラムデコーダ12によって選択されたメモリセルMCから読み出したデータを増幅する。

【0018】

ソース線ドライバ16は、読み出し時において、ソース線SLに電圧を供給する。

【0019】

第1、第2昇圧回路17、18は、電源電圧Vcc(1.5V程度)を基に、それぞれ正の高電圧Vpp(12V程度)及び負の高電圧(-8V程度)を生成する。

【0020】

次に、メモリセルアレイ11の平面パターンについて、図2を用いて説明する。図2はメモリセルアレイ11の一部領域の平面図である。

【0021】

図2に示すように、半導体基板100中に、第1方向に沿ったストライプ形状の素子領域AAが、第1方向に直交する第2方向に沿って複数形成されている。そして、複数の素子領域AAを跨ぐようにして、第2方向に沿ったストライプ形状のワード線WL0～WLm及びセレクトゲート線SG0～SGmが形成されている。そして、ワード線WL0～WLmと素子領域AAとが交差する領域には、メモリセルトランジスタMTが形成され、セレクトゲート線SG0～SGmと素子領域AAとが交差する領域には、選択トランジスタSTが形成されている。また、ワード線WL0～WLmと素子領域AAとが交差する領域には、メモリセルトランジスタMT毎に分離されたフローティングゲート(図示せず)が形

成されている。

【0022】

前述の通り、隣接するメモリセルMC同士は、セレクトゲート線SGまたはワード線WL同士が隣り合っている。なお、8列の素子領域AAを、素子領域群AAGと呼ぶことにする。そして、隣接する素子領域群AAG間ににおいて、1列の素子領域AAが形成されている領域をスティッチ領域SA1と呼ぶことにする。素子領域群AAG内に形成されるメモリセルMCは、データの記憶用として用いられる。スティッチ領域SA1内のメモリセルMCは、ダミーのメモリセルであって、データの記憶用としては用いられない。スティッチ領域SA1において、セレクトゲート線SG0～SGmは、その一部が幅広に形成されている。この領域を、以後シャント領域SA2と呼ぶことにする。選択トランジスタSTは、メモリセルトランジスタMT同様に、制御ゲート及びフローティングゲートを有している。しかし、メモリセルトランジスタMTと異なり、フローティングゲートは、第2方向に沿って隣接する選択トランジスタST同士で共通接続されている。そして、スティッチ領域SA1において形成されたコンタクトホールCH1によって、フローティングゲートと制御ゲートとが接続されている。

【0023】

そして、隣接するセレクトゲート線SG間(SG0～SG1間、SG2～SG3間、...)には、それぞれ第2方向に沿ったストライプ形状の金属配線層20が形成されている。金属配線層20は、ソース線の一部となるものである。金属配線層20の長手方向(第2方向)は、スティッチ領域SA1で分離されている。すなわち、素子領域群AAG毎に独立した形状を有している。そして金属配線層20は、選択トランジスタSTのソース領域とコンタクトプラグCP1により接続されている。なお、各金属配線層20は、図示せぬ領域にて共通接続されて、更にソース線ドライバ16に接続されている。

【0024】

また、素子領域群AAG内においては、素子領域AA上に、第1方向に沿ったストライプ形状の金属配線層21が形成されている。金属配線層21は、ビット線BL0～BLnとして機能するものであり、コンタクトプラグCP2によって金属配線層21と接続されている。

【0025】

更に、第2方向に沿ったストライプ形状に、金属配線層22が形成されている。金属配線層22は、1組のワード線及びセレクトゲート線毎(WL0とSG0の1組、WL1とSG1の1組、...毎)に設けられている。そして、図示せぬコンタクトプラグによって、対応するセレクトゲート線に電気的に接続されている。すなわち、各金属配線層22は、セレクトゲート線SG0～SGmのシャント配線として機能する。また、金属配線層22は、ワード線WLの中央部と、該ワード線WLに対応するセレクトゲート線SGの中央部との間の領域に形成されている。換言すれば、メモリセルMCの中央部を通過する。従って、複数の金属配線層22は、第1方向に沿った互いの間隔が、等間隔となるよう配置されている。

【0026】

次に、上記構成のフラッシュメモリの断面構造について説明する。まず、素子領域群AAGの断面構造について、図3乃至図5を用いて説明する。図3は図2におけるX1-X1'線方向に沿った断面図であり、図4は図2におけるX2-X2'線に沿った断面図であり、図5は図2におけるY1-Y1'線に沿った断面図である。

【0027】

図示するように、半導体基板100中には、素子分離領域STIが形成されている。そして、素子分離領域STIによって周囲を取り囲まれた領域が、素子領域AAとなっている。半導体基板100の素子領域AA上には、ゲート絶縁膜30が形成され、ゲート絶縁膜30上に、メモリセルトランジスタMT及び選択トランジスタSTのゲート電極が形成されている。メモリセルトランジスタMT及び選択トランジスタSTのゲート電極は、ゲート絶縁膜30上に形成された多結晶シリコン層31、多結晶シリコン層31上に形成され

たゲート間絶縁膜32、及びゲート間絶縁膜32上に形成された多結晶シリコン層33を有している。ゲート間絶縁膜32は、例えばシリコン酸化膜、またはシリコン酸化膜とシリコン窒化膜との積層構造であるON膜、NO膜、またはONO膜で形成される。図7に示すように、メモリセルトランジスタMTにおいては、多結晶シリコン層31は隣接する素子領域AA間で互いに分離されており、フローティングゲートとして機能する。また、多結晶シリコン層33はコントロールゲート(ワード線WL)として機能する。そして、隣接する素子領域AA間で共通接続されている。選択トランジスタSTにおいては、多結晶シリコン層31は隣接する素子領域AA間で互いに共通接続されている。また、シャント領域でゲート間絶縁膜32の一部が除去されており、多結晶シリコン層31、33は電気的に接続されている。そして、多結晶シリコン層31、33が、セレクトゲート線SGとして機能する。隣接するゲート電極間に位置する半導体基板100表面内には、不純物拡散層34が形成されている。不純物拡散層34は、隣接するトランジスタ同士で共用されている。
10

【0028】

前述の通り、メモリセルトランジスタMTと選択トランジスタSTとを含むメモリセルMCは、次のような関係を有して形成されている。すなわち、隣接するメモリセルMC、MCは、互いに選択トランジスタST同士、またはメモリセルトランジスタMT同士が隣り合っている。そして、隣り合ったもの同士は不純物拡散層34を共有している。従って、隣接する2つのメモリセルMC、MCは、選択トランジスタST同士が隣り合う場合には、2つの選択トランジスタST、STが共有する不純物拡散層34を中心にして、対称に配置されている。逆に、メモリセルトランジスタMT同士が隣り合う場合には、2つのメモリセルトランジスタMT、MTが共有する不純物拡散層34を中心にして、対称に配置されている。
20

【0029】

そして、半導体基板100上には、上記メモリセルトランジスタMT、及び選択トランジスタSTを被覆するようにして、層間絶縁膜35が形成されている。層間絶縁膜35中には、2つの選択トランジスタST、STが共有する不純物拡散層(ソース領域)34に達するコンタクトプラグCP1が形成されている。そして層間絶縁膜35上には、コンタクトプラグCP1に接続される金属配線層20が形成されている。金属配線層20は、ソース線SLとして機能する。また、層間絶縁膜35中には、2つのメモリセルトランジスタMT、MTが共有する不純物拡散層(ドレイン領域)34に達するコンタクトプラグCP3が形成されている。そして層間絶縁膜35上には、コンタクトプラグCP3に接続される金属配線層36が形成されている。
30

【0030】

層間絶縁膜35上には、金属配線層20、36を被覆するようにして、層間絶縁膜37が形成されている。そして、層間絶縁膜37中には、金属配線層36に達するコンタクトプラグCP4が形成されている。コンタクトプラグCP3、CP4が、図2におけるコンタクトプラグCP2に相当する。そして、層間絶縁膜37上には、複数のコンタクトプラグCP4に共通に接続された金属配線層21が形成されている。金属配線層21は、ビット線BLとして機能する。
40

【0031】

層間絶縁膜37上には、金属配線層21を被覆するようにして、層間絶縁膜38が形成されている。そして、層間絶縁膜38上には金属配線層22が形成されている。そして、層間絶縁膜38上には、金属配線層22を被覆するようにして、層間絶縁膜39が形成されている。

【0032】

次に、スティッチ領域SAの断面構造について、図3、図4及び図6を用いて説明する。図6は図2におけるY2-Y2'線に沿った断面図である。

【0033】

図示するように、半導体基板100上に、メモリセルトランジスタのフローティングゲー
50

ト及びコントロールゲート、並びに選択トランジスタのゲート電極が形成されている。選択トランジスタにおいては、ゲート間絶縁膜32の一部が除去されて、コンタクトホールCH1が形成されている。この領域を介して、選択トランジスタの多結晶シリコン層31、33が接続されている。半導体基板100上に形成された層間絶縁膜35中には、選択トランジスタの多結晶シリコン層33に達するコンタクトホールCP5が形成されている。そして、層間絶縁膜35上には、コンタクトホールCP5に接続された金属配線層40が形成されている。層間絶縁膜35上には、金属配線層40を被覆するようにして層間絶縁膜37が形成されている。層間絶縁膜37中には、金属配線層40に達するコンタクトプラグCP6が形成され、層間絶縁膜37上にはコンタクトプラグCP6と接続される金属配線層41が形成されている。層間絶縁膜37上には層間絶縁膜38が形成され、層間絶縁膜38中には金属配線層41に達するコンタクトプラグCP7が形成されている。層間絶縁膜38上には、金属配線層22が形成されている。図6に示されるように、複数の金属配線層22は、層間絶縁膜38上に等間隔に配置されている。そして、層間絶縁膜38上に、金属配線層22を被覆するようにして層間絶縁膜39が形成されている。

【0034】

次に、第1、第2昇圧回路17、18の構成について説明する。図7は、第2昇圧回路18の回路図である。図示するように、昇圧回路18は、インバータ50、51、複数のキャパシタ素子52、及び複数のダイオード53を備えている。インバータ50の入力端子は昇圧回路18の入力ノードINに接続され、出力端子はインバータ51の入力端子に接続されている。

10

【0035】

複数のダイオード53は直列接続されている。初段のダイオードのアノードは昇圧回路18の出力ノードOUTに接続され、最後段のダイオードのカソードは接地されている。そして、奇数段のダイオード53のカソードは、キャパシタ素子52を介在してインバータ50の出力ノードに接続され、偶数段のダイオード53のカソードは、キャパシタ素子52を介在してインバータ51の出力ノードに接続されている。上記構成の昇圧回路において、入力ノードINに電源電圧Vccが入力され、出力ノードOUTから、負電位VBBが出力される。

【0036】

図8は、第1昇圧回路17の回路図である。図示するように、昇圧回路17は、昇圧回路18において、ダイオード53の極性を逆にしたものである。その他の構成は、昇圧回路18と同様である。そして、出力ノードOUTからは正電位Vppが出力される。

20

【0037】

図9は、上記構成の昇圧回路17、18が備えるキャパシタ素子52の断面図である。図示するように、半導体基板100中には素子分離領域STIが形成されている。素子分離領域STI上には、互いに分離された多結晶シリコン層60、61が形成されている。そして、多結晶シリコン層60、61の上面上及び側面上、並びに多結晶シリコン層60、61間の素子分離領域STI上に、キャパシタ絶縁膜62が形成されている。キャパシタ絶縁膜62は、メモリセルのゲート間絶縁膜32と同一の材料で形成され、例えばON膜、NO膜、またはONO膜で形成される。更に、キャパシタ絶縁膜62上には、互いに分離された多結晶シリコン層63、64が形成されている。なお、キャパシタ絶縁膜62はその一部が除去されて、コンタクトホールCH2、CH3が形成されている。そして、コンタクトホールCH2を介して、多結晶シリコン層60、63が接続され、コンタクトホールCH3を介して、多結晶シリコン層61、64が接続されている。上記構成において、多結晶シリコン層61がキャパシタ素子52の一方電極として機能し、多結晶シリコン層60、63がキャパシタ素子52の他方電極として機能する。

30

【0038】

更に、半導体基板100上には上記構成のキャパシタ素子52を被覆するようにして、層間絶縁膜35が形成されている。そして層間絶縁膜35中には、それぞれ多結晶シリコン層63、64に接続されるようにして、コンタクトプラグCP8、CP9が形成されてい

40

50

る。コンタクトプラグ C P 8、C P 9 の一方はインバータ 5 0、5 1 のいずれかに接続され、他方はダイオード 5 3 に接続される。

【0039】

次に、上記構成のフラッシュメモリの動作について説明する。

【0040】

<書き込み動作>

データの書き込みは、いずれかのワード線に接続された全てのメモリセルに対して一括して行われる。そして、メモリセルトランジスタ M T のフローティングゲートに電子を注入するか否かで“0”データ、“1”データを書き分ける。電子のフローティングゲートへの注入は、Fowler-Nordheim (F N) tunneling によって行われる。

10

【0041】

以下、書き込み動作の詳細について、図 1 を用いて説明する。

【0042】

まず、図 1 において、図示せぬ I / O 端子から書き込みデータ (“1”、“0”) が入力される。そして、該書き込みデータが、ビット線毎に設けられたラッチ回路 (図示せず) のそれぞれに入力される。ラッチ回路に “1” データが格納されると、ビット線には 0 V が与えられ、逆に “0” データが格納されると、ビット線には V BB (- 8 V) が与えられる。この負電圧 V BB は、第 2 昇圧回路 1 8 から与えられる。

【0043】

そして、第 1 口ウデコーダ 1 4 が、ワード線 W L 0 ~ W L m のいずれかを選択する。そして第 1 口ウデコーダ 1 4 は、第 1 昇圧回路 1 7 から供給された V pp (例えれば 12 V) を、選択ワード線に与える。また、第 2 口ウデコーダ 1 5 は、第 2 昇圧回路 1 8 から供給された V BB (- 8 V) を、セレクトゲート線 S G 0 ~ S G m に与える。またメモリセルの基板も V BB (- 8 V) とする。従って、全ての選択トランジスタ S T はオフ状態となる。従って、選択トランジスタ S T とソース線 S L とは電気的に分離される。

20

【0044】

上記の結果、“1”データまたは“0”データに対応する電位が、ビット線 B L 0 ~ B L n を介してメモリセルトランジスタ M T のドレイン領域に与えられる。すると、選択ワード線 W L には V pp (12 V) が印加され、“1”データを書き込むべきメモリセルトランジスタ M T のドレイン領域には 0 V が印加され、“0”データを書き込むべきメモリセルトランジスタ M T のドレイン領域には V BB (- 8 V) が印加される。従って、“1”データを書き込むべきメモリセルトランジスタ M T では、ゲート・ドレイン間の電位差 (12 V) が十分ではないので、フローティングゲートに電子は注入されず、メモリセルトランジスタ M T は負の閾値を保持する。他方、“0”データを書き込むべきメモリセルトランジスタ M T では、ゲート・ドレイン間の電位差 (20 V) が大きいため、フローティングゲートに電子が F N tunneling によって注入される。その結果、メモリセルトランジスタ M T の閾値は正に変化する。

30

【0045】

<読み出し動作>

データの読み出しは、いずれかのワード線に接続された複数のメモリセルから一括して読み出す事ができる。

40

【0046】

以下、読み出し動作の詳細について、図 1 を用いて説明する。

【0047】

まず図 1 において、第 2 口ウデコーダ 1 5 が、セレクトゲート線 S G 0 ~ S G m のいずれかを選択する。選択セレクトゲート線には、“H”レベル (例えれば V cc) が与えられる。非選択セレクトゲート線は全て “L” レベル (例えれば 0 V) である。従って、選択セレクトゲート線に接続された選択トランジスタ S T はオン状態となり、非選択セレクトゲート線に接続された選択トランジスタ S T はオフ状態となる。従って、選択メモリセル内の選択トランジスタ S T は、ソース線 S L と電気的に接続される。また第 1 口ウデコーダ 1 4

50

は、全てのワード線 $W_L 0 \sim W_L m$ を “L” レベル (0 V) とする。また、ソース線 ドライバ 16 は、ソース線 S_L の電位を 0 V とする。

【0048】

そして、ピット線 $B_L 0 \sim B_L n$ のそれぞれに、例えば 1 V 程度の電圧が与えられる。すると、“1” データが書き込まれているメモリセル MC のメモリセルトランジスタ MT は、閾値電圧が負であるから、オン状態となる。従って、選択セレクトゲート線に接続されているメモリセル MC では、ピット線からメモリセルトランジスタ MT 及び選択トランジスタ ST の電流経路を介して、ソース線 S_L に向かって電流が流れる。他方、“0” データが書き込まれているメモリセル MC のメモリセルトランジスタ MT は、閾値電圧が正であるから、オフ状態である。従って、ピット線からソース線に向かって電流は流れない。

10

【0049】

以上の結果、ピット線 $B_L 0 \sim B_L n$ の電位が変化し、その変化量をセンスアンプ 13 が増幅することによって読み出し動作が行われる。

【0050】

<消去動作>

データの消去は、ウェル領域を共用する全てのメモリセルについて一括して行われる。従って、図 1 の例であると、メモリセルアレイ 11 に含まれる全てのメモリセルが同時に消去される。

【0051】

図 1において、第 1 ロウデコーダ 14 は、第 2 昇圧回路 18 から供給された負電圧 V_{BB} (-8 V) を、全てのワード線 $W_L 0 \sim W_L m$ に与える。また、半導体基板 (ウェル領域) の電位は V_{pp} (12 V) とされる。その結果、メモリセル MC のメモリセルトランジスタのフローティングゲートから電子が FN tunneling によって半導体基板に引き抜かれる。その結果、全てのメモリセル MC の閾値電圧が負となり、データが消去される。

20

【0052】

次に、上記構成のフラッシュメモリ 10 における、メモリセル MC 、昇圧回路 17 、 18 のキャパシタ素子 52 、及び昇圧回路 17 、 18 以外の周辺回路 (例えばロウデコーダやカラムデコーダ等) の製造方法について、図 10 乃至図 17 を用いて説明する。図 10 乃至図 17 は、本実施形態に係るフラッシュメモリの製造工程を順次示す断面図である。なお図 14 、図 15 のメモリセルアレイ領域は、図 2 における $X_2 - X_2'$ 線に沿った方向の断面図であり、その他の図面のメモリセルアレイ領域は、図 2 における $X_1 - X_1'$ 線に沿った方向の断面図である。

30

【0053】

まず図 10 に示すように、半導体基板 100 中に、STI (Shallow Trench Isolation) 法を用いて素子分離領域 STI を形成する。そして、メモリセルアレイ 11 においては、ストライプ状の素子領域 AA を形成する。また、周辺回路領域にも素子領域 AA を形成する。昇圧回路 17 、 18 のキャパシタ素子 52 を形成すべき領域には、素子領域は形成しない。

【0054】

次に図 11 に示すように、熱酸化法等により、半導体基板 100 上にゲート絶縁膜 30 を例えば膜厚 8 nm に形成する。引き続き、ゲート絶縁膜 30 上に、膜厚 60 nm の多結晶シリコン層 31 を形成する。多結晶シリコン層 31 は、メモリセルトランジスタ MT のフローティングゲートとして機能するものである。

40

【0055】

次に図 12 に示すように、フォトリソグラフィ技術と、RIE (Reactive Ion Etching) 法等の異方性のエッティングにより、多結晶シリコン層 31 をパターニングする。その結果、メモリセルアレイ領域においては、多結晶シリコン層 31 が、個々のメモリセルトランジスタ MT 每に分離される。この際、キャパシタ素子 52 を形成すべき領域においても、多結晶シリコン層 31 がパターニングされる。その結果、多結晶シリコン層 31 は 2 つに分離される。分離された 2 つの多結晶シリコン層 31 、 31 が、図 9 で説明した多結晶シ

50

リコン層 60、61 に相当する。引き続き、多結晶シリコン層 31 上及び素子分離領域 STI 上に、例えば CVD 法等により、膜厚 15.5 nm の ONO 膜 32 を形成する。勿論、ONO 膜の代わりに ON 膜や NO 膜を用いても良い。ONO 膜 32 は、メモリセルアレイ領域においてはゲート間絶縁膜として機能し、キャパシタ素子 52 を形成すべき領域においてはキャパシタ絶縁膜 62 として機能する。

【0056】

次に、メモリセルアレイ領域、及びキャパシタ素子 52 を形成すべき領域上に、フォトレジストを塗布する。そして、周辺回路領域のゲート絶縁膜 30、多結晶シリコン層 31、及び ONO 膜 32 をエッティングにより除去する。その後、フォトレジストをアッティングにより除去する。

10

【0057】

次に図 13 に示すように、熱酸化法等により、周辺回路領域の半導体基板 100 上にゲート絶縁膜 70 を形成する。そして、ONO 膜 32 上及びゲート絶縁膜 70 上に、例えば膜厚 40 nm の多結晶シリコン層 33 を、CVD 法等により形成する。

【0058】

次に図 14 に示すように、フォトリソグラフィ技術と RIE 法とを用いて、多結晶シリコン層 33 及び ONO 膜 32 をエッティングする。これにより、メモリセルアレイ領域では、選択トランジスタのシャント領域において、多結晶シリコン層 31 に達するコンタクトホール CH1 が形成される。また同時に、キャパシタ素子 52 を形成すべき領域では、分離された多結晶シリコン層 31 のそれぞれに達するコンタクトホール CH2、CH3 が形成される。

20

【0059】

次に図 15 に示すように、CVD 法等により、多結晶シリコン層 33 上に、膜厚 160 nm の多結晶シリコン層 72 を形成して、コンタクトホール CH1 ~ CH3 を埋め込む。その結果、選択トランジスタ ST 及びキャパシタ素子 52 においては、多結晶シリコン層 31、33 が接続される。なお、多結晶シリコン層 72 は、周辺回路領域内においても形成されて良い。多結晶シリコン層 72 は、多結晶シリコン層 33 と共に、メモリセルトランジスタ MT の制御ゲート、及び選択トランジスタのセレクトゲートの一部となる。

【0060】

次に、メモリセルアレイ領域において、フォトリソグラフィ技術と RIE 法を用いて、多結晶シリコン層 33、31、72、ゲート間絶縁膜 32 をパターニングして、ストライプ状の多層ゲートを形成する。引き続き、周辺回路領域において、多結晶シリコン層 33 をゲート電極のパターンにパターニングする。なお、周辺回路領域のパターニングする際、同時にキャパシタ素子 52 の多結晶シリコン層 33 のパターンニングも行う。その結果、図 16 に示すように、キャパシタ素子 52 の多結晶シリコン層 33 は、多結晶シリコン層 31 (60) に接続された一方 (63) と、多結晶シリコン層 31 (61) に接続された他方 (64) とに分離される。

30

【0061】

次に、イオン注入法により、メモリセルトランジスタ及び選択トランジスタ、並びに周辺回路領域の MOS トランジスタのソース・ドレイン領域を形成する。そして図 17 に示すように、半導体基板 100 上に、メモリセルトランジスタ、選択トランジスタ、キャパシタ素子 52、及び周辺回路領域の MOS トランジスタを被覆する層間絶縁膜 35 を形成する。引き続き、メモリセルトランジスタのドレイン領域に達するコンタクトプラグ CP3、選択トランジスタのソース領域に達するコンタクトプラグ CP1、及び周辺回路領域の MOS トランジスタのソース・ドレイン領域に達するコンタクトプラグを形成する。また、選択トランジスタのシャント領域においては、多結晶シリコン層 33 に達するコンタクトプラグ CP5 を形成する。この際、キャパシタ素子 52 の多結晶シリコン層 31 に達するコンタクトプラグ CP8、CP9 も同時に形成する。

40

【0062】

その後は、層間絶縁膜、コンタクトプラグ、及び金属配線層を形成して、図 2 乃至図 6 に

50

示すフラッシュメモリが完成する。

【0063】

上記のように、この発明の第1の実施形態に係るフラッシュメモリであると、以下の効果が得られる。

【0064】

(1) フラッシュメモリの製造工程を簡略化出来る 1。

【0065】

通常、メモリセルと、キャパシタ素子とはその形状が異なる。フラッシュメモリのフローティングゲートをキャパシタ素子の一方電極として使用し、ゲート間絶縁膜をキャパシタ絶縁膜として使用し、制御ゲートを他方電極として使用した場合、キャパシタ素子の構造は、図18のようになることが考えられる。すなわち、素子分離領域STI上に、多結晶シリコン層(フローティングゲート)610が形成されている。また、多結晶シリコン層610の上面から、側壁上を経て素子分離領域STI上に渡って、多結晶シリコン層(制御ゲート)630が、ONO膜(ゲート間絶縁膜)620を介在して形成されている。このような構成の場合、キャパシタ絶縁膜620において最も電界が集中する箇所は、図18における領域A100である。また、メモリセルのゲート間絶縁膜32において、最も電界が集中する箇所は、図17における領域A1である。すなわち、両者間において、最も電界の集中する箇所の形状は異なっている。従って、両者の信頼性は異なり、その検査工程は別個に行う必要がある。

【0066】

しかし本実施形態に係る構成であると、昇圧回路17、18に含まれるキャパシタ素子52は、その一部が、メモリセルと同様の形状を有している。より具体的には、メモリセルのゲート間絶縁膜32において最も電界が集中する領域(図17における領域A1)と同様の構造が、キャパシタ素子52のキャパシタ絶縁膜62にも形成されている(図17における領域A2)。そして、ゲート間絶縁膜32及びキャパシタ絶縁膜62は、共に同一の材料(ONO膜等)によって形成されている。従って、ゲート間絶縁膜32とキャパシタ絶縁膜62とは、同一の絶縁破壊耐性(絶縁破壊電圧)を有しており、換言すれば、同一の信頼性を有している。従って、ゲート間絶縁膜32の信頼性の検査工程と、キャパシタ絶縁膜62の信頼性の検査工程とは、同一工程で行うことが出来る。その結果、フラッシュメモリの製造工程を簡略化出来る。

【0067】

また、上記効果は、製造工程の増加を招くことなく実現可能である。例えば、図14で説明したように、キャパシタ素子52のキャパシタ絶縁膜62の一部を除去する工程は、選択トランジスタのゲート間絶縁膜を除去する工程と同時に出来る。また、図15で説明したように、キャパシタ素子52のコンタクトホールCH2、CH3を埋め込む工程は、選択トランジスタのコンタクトホールCH1を埋め込む工程と同時に出来る。更に、図16で説明したように、キャパシタ素子の多結晶シリコン層63、64を形成する工程(多結晶シリコン層33を2つに分離する工程)は、周辺回路領域のMOSトランジスタをパターニングする工程と同時に出来る。このように、キャパシタ素子52は、キャパシタ素子52を形成するために特に追加すべき新たな工程は必要ない。

【0068】

(2) キャパシタ素子のサイズを低減できる。

【0069】

図18に示すような構成の場合、キャパシタ素子の他方電極に接続されるコンタクトプラグCP10を形成するための領域が必要であり、面積増加に繋がる。

しかし本実施形態に係る構成であると、上記領域に起因する面積増加が解消され、キャパシタ素子のサイズを低減出来る。

【0070】

(3) キャパシタ素子の信頼性を向上できる 1。

10

20

30

40

50

【0071】

本実施形態に係る構成であると、キャパシタ素子52は、素子分離領域STI上に形成されている。従って、多結晶シリコン層61、素子分離領域STI、及び半導体基板100を含む寄生キャパシタ素子の容量は非常に小さい。従って、キャパシタ素子52の信頼性を向上できる。

【0072】

次に、この発明の第2の実施形態に係る不揮発性半導体記憶装置について説明する。本実施形態は、上記第1の実施形態において、キャパシタ素子の下部に素子領域を設けたものである。本実施形態に係るフラッシュメモリの構成及びメモリセルアレイ領域の構成は、上記第1の実施形態と同様であるので説明は省略する。図19は、本実施形態に係るフラッシュメモリの備える昇圧回路17、18に含まれる含むキャパシタ素子の断面図である。

10

【0073】

図示するように、上記第1の実施形態で図9を用いて説明した構造において、半導体基板100中に素子領域AAが形成されている。また、シリコン基板100中には、n型ウェル領域110が形成されている。そして、多結晶シリコン層61は、ゲート絶縁膜65を介在して、n型ウェル領域110上に形成されている。多結晶シリコン層61と電気的に分離された多結晶シリコン層60は、素子分離領域STI上に形成されている。

【0074】

上記構成のキャパシタ素子52において、n型ウェル領域110と多結晶シリコン層61とは、同電位とされている。両者を同電位とするために、キャパシタ素子52とは別の領域で、n型ウェル領域110が半導体基板100表面まで引き出されている。そして、n型ウェル領域110は、コンタクトプラグCP10、金属配線層66、及びコンタクトプラグCP9を介して、多結晶シリコン層64に電気的に接続されている。

20

【0075】

上記構成のキャパシタ素子の製造方法は、上記第1の実施形態で図10を用いて説明した工程において、図20に示すように、キャパシタ素子を形成すべき領域にも素子領域AAを形成すれば良い。そして、キャパシタ素子を形成すべき領域にもゲート絶縁膜30を形成し、その後は図11乃至図17に示す工程を経ることで、図19に示すキャパシタ素子52が完成する。

30

【0076】

上記のように、この発明の第2の実施形態に係るフラッシュメモリであると、上記第1の実施形態で説明した(1)、(2)の効果に加えて、下記(4)の効果が得られる。

【0077】**(4) キャパシタ素子の信頼性を向上できる 2**

本実施形態に係る構成であると、n型ウェル領域110と、多結晶シリコン層61とが同電位とされている。従って、多結晶シリコン層61、ゲート絶縁膜65、及びn型ウェル領域110を含む寄生キャパシタ素子の影響を排除できる。従って、キャパシタ素子52の信頼性を向上できる。

【0078】

40

図21は、本実施形態の変形例に係るキャパシタ素子の断面図である。図示するように、多結晶シリコン層61の下部に形成される素子領域AAは、複数個存在しても良い。

【0079】

次に、この発明の第3の実施形態に係る不揮発性半導体記憶装置について説明する。本実施形態は、上記第2の実施形態の変形例において、多結晶シリコン層61を、個々の素子領域毎に分割してものである。その他の構成は上記第1の実施形態と同様であるので、説明は省略する。図22は、本実施形態に係るフラッシュメモリの備える第1、第2昇圧回路17、18に含まれるキャパシタ素子52の平面図である。

【0080】

図示するように、半導体基板100中に、第1方向に沿ったストライプ形状の素子領域A

50

Aが、第2方向に沿って複数形成されている。そして、素子領域AA上には、ゲート絶縁膜を介在して、ストライプ状の多結晶シリコン層60、61が形成されている。多結晶シリコン層60は、第2方向に沿った方向における、キャパシタ素子52の両端部に位置し、多結晶シリコン層61は、2本の多結晶シリコン層60間に位置している。また、多結晶シリコン層61は、多結晶シリコン層60よりも第1方向に沿って長く形成されている。そして、多結晶シリコン層60、61、及び素子分離領域STI上には、キャパシタ絶縁膜を介在して、多結晶シリコン層63が形成されている。多結晶シリコン層63は多結晶シリコン層60を被覆している。しかし多結晶シリコン層61は、その第1方向に沿った長さが多結晶シリコン層60よりも大きいため、多結晶シリコン層63によって完全には被覆されていない。多結晶シリコン層61の両端部は、多結晶シリコン層63の外側へ突出している。そして、この突出した領域上に、キャパシタ絶縁膜を介在して多結晶シリコン層64が形成されている。多結晶シリコン層64は、複数の多結晶シリコン層61を跨ぐようにして形成されている。
10

【0081】

なお、多結晶シリコン層60上では、キャパシタ絶縁膜の一部が除去されてコンタクトホールCH2が形成されている。そしてコンタクトホールCH2を介して、多結晶シリコン層60、63が接続されている。また、多結晶シリコン層63から突出した領域の多結晶シリコン層61上でも、キャパシタ絶縁膜の一部が除去されてコンタクトホールCH3が形成されている。そしてコンタクトホールCH3を介して、多結晶シリコン層61、64が接続されている。
20

【0082】

次に、上記構成のキャパシタ素子の断面構造について、図23乃至図26を用いて説明する。図23は図22におけるX3-X3'線に沿った断面図、図24は図22におけるX4-X4'線に沿った断面図、図25は図22におけるY3-Y3'線に沿った断面図、図26は図22におけるY4-Y4'線に沿った断面図である。

【0083】

図示するように、半導体基板100中には、n型ウェル領域110が形成されている。n型ウェル領域110中には、ストライプ状の素子分離領域STIが形成されている。そして、素子領域AA上には、第1方向に沿ったストライプ形状の多結晶シリコン層61、60が、ゲート絶縁膜65を介在して形成されている。多結晶シリコン層61、60は、素子領域AA毎に分離されている。更に、多結晶シリコン層61、60の上面上、側面上、並びに多結晶シリコン層61、60間の素子分離領域上、及び多結晶シリコン層60、60間の素子分離領域上に、キャパシタ絶縁膜62が形成されている。キャパシタ絶縁膜62は、例えばONO膜、ON膜、NO膜等であり、メモリセルのゲート間絶縁膜と同一の材料で形成されている。キャパシタ絶縁膜62は、多結晶シリコン層60上において一部除去されており、コンタクトホールCH2が形成されている。また、多結晶シリコン層61上においても、第1方向に沿った両端部で、一部除去されており、コンタクトホールCH3が形成されている。そして、キャパシタ絶縁膜62上に、多結晶シリコン層63、64が形成されている。多結晶シリコン層63、64は互いに分離されており、それぞれコンタクトホールCH2、CH3を介して、多結晶シリコン層60、61に接続されている。
30 40

上記構成において、多結晶シリコン層61がキャパシタ素子52の一方電極として機能し、多結晶シリコン層63、60が他方電極として機能する。

【0084】

更に、半導体基板100上には、上記構成のキャパシタ素子52を被覆するようにして、層間絶縁膜35が形成されている。そして層間絶縁膜35中には、それぞれ多結晶シリコン層63、64に接続されるようにして、コンタクトプラグCP8、CP9が形成されている。

【0085】

上記構成のキャパシタ素子52において、n型ウェル領域110と多結晶シリコン層61とは、同電位とされている。両者を同電位とするために、n型ウェル領域110が半導体
50

基板 100 表面まで引き出されている。そして、n 型ウェル領域 110 は、コンタクトプラグ C P 10、金属配線層 66、及びコンタクトプラグ C P 9 を介して、多結晶シリコン層 64 に電気的に接続されている。

【0086】

次に、上記構成のフラッシュメモリ 10 における、メモリセル M C、及び昇圧回路 17、18 のキャパシタ素子 52 の製造方法について、図 27 乃至図 32 を用いて説明する。図 27 乃至図 32 は、本実施形態に係るフラッシュメモリの製造工程を順次示す断面図である。なお図 30、図 31 のメモリセルアレイ領域は、図 2 における X2-X2' 線に沿った方向の断面図であり、その他の図面のメモリセルアレイ領域は、図 2 における X1-X1' 線に沿った方向の断面図である。またキャパシタ素子 52 を形成すべき領域は、図 2 2 における X3-X3' 線に沿った方向の断面図である。 10

【0087】

まず図 27 に示すように、半導体基板 100 中に、STI 法を用いて素子分離領域 STI を形成する。そして、メモリセルアレイ領域、及びキャパシタ素子を形成すべき領域内に、ストライプ状の素子領域 AA を形成する。

【0088】

次に図 28 に示すように、熱酸化法等により、半導体基板 100 上にゲート絶縁膜 30 を形成する。ゲート絶縁膜 30 は、キャパシタ素子 52 においては、図 23 乃至図 26 で説明したゲート絶縁膜 65 に相当する。引き続き、ゲート絶縁膜 30 上に、多結晶シリコン層 31 を形成する。多結晶シリコン層 31 は、メモリセルトランジスタ M T のフローティングゲートとして機能するものである。 20

【0089】

次に図 29 に示すように、フォトリソグラフィ技術と、RIE 法により、多結晶シリコン層 31 をパターニングする。その結果、メモリセルアレイ領域及びキャパシタ素子を形成すべき領域において、多結晶シリコン層 31 が、個々の素子領域毎に分離される。キャパシタ素子を形成すべき領域においては、両端に位置する多結晶シリコン層 31 が、図 23 乃至図 26 で説明した多結晶シリコン層 60 に相当し、その間に存在する多結晶シリコン層 31 が、多結晶シリコン層 61 に相当する。引き続き、多結晶シリコン層 31 上及び素子分離領域 STI 上に、例えば CVD 法等により、ONO 膜 32 を形成する。勿論、ONO 膜の代わりに ON 膜や NO 膜を用いても良い。ONO 膜 32 は、メモリセルアレイ領域においてはゲート間絶縁膜として機能し、キャパシタ素子 52 を形成すべき領域においてはキャパシタ絶縁膜 62 として機能する。 30

【0090】

次に、第 1 の実施形態で説明したように、周辺回路領域のゲート絶縁膜 30、多結晶シリコン層 31、及び ONO 膜 32 をエッティングにより除去する。そして熱酸化法等により、周辺回路領域の半導体基板 100 上にゲート絶縁膜を形成する。そして、ONO 膜 32 上及び周辺回路領域のゲート絶縁膜上に、多結晶シリコン層 33 を、CVD 法等により形成する。

【0091】

次に図 30 に示すように、フォトリソグラフィ技術と RIE 法とを用いて、多結晶シリコン層 33 及び ONO 膜 32 をエッティングする。これにより、メモリセルアレイ領域では、選択トランジスタのシャント領域において、多結晶シリコン層 31 に達するコンタクトホール CH1 が形成される。また同時に、キャパシタ素子 52 を形成すべき領域では、多結晶シリコン層 31 (多結晶シリコン層 61 の両端部、及び多結晶シリコン層 60) に達するコンタクトホール CH2、CH3 が形成される。 40

【0092】

次に図 31 に示すように、CVD 法等により、多結晶シリコン層 33 上に、多結晶シリコン層 72 を形成して、コンタクトホール CH1 ~ CH3 を埋め込む。その結果、選択トランジスタ ST 及びキャパシタ素子 52 においては、多結晶シリコン層 31、33 が接続される。 50

【0093】

次に、メモリセルアレイ領域において、フォトリソグラフィ技術とRIE法を用いて、多結晶シリコン層33、31、72、ゲート間絶縁膜32をパターニングして、ストライプ状の多層ゲートを形成する。引き続き、周辺回路領域において、多結晶シリコン層33をゲート電極のパターンにパターニングする。なお、第1の実施形態で説明したとおり、周辺回路領域のパターニングする際、同時にキャパシタ素子52の多結晶シリコン層33のパターニングも行う。その結果、キャパシタ素子52の多結晶シリコン層33は、多結晶シリコン層31(60)に接続された一方(63)と、多結晶シリコン層31(61)に接続された他方(64)とに分離される。

【0094】

その後、メモリセルトランジスタ及び選択トランジスタ、並びに周辺回路領域のMOSトランジスタのソース・ドレイン領域を形成する。そして図32に示すように、半導体基板100上に、メモリセルトランジスタ、選択トランジスタ、キャパシタ素子52、及び周辺回路領域のMOSトランジスタを被覆する層間絶縁膜35を形成する。引き続き、コンタクトプラグCP1、CP3、CP5、CP8、CP9も同時に形成する。更に、層間絶縁膜、コンタクトプラグ、及び金属配線層を形成して、フラッシュメモリ10が完成する。

【0095】

上記のように、この発明の第3の実施形態に係るフラッシュメモリであると、上記第2の実施形態で説明した(4)の効果に加えて、下記(5)、(6)の効果が得られる。

【0096】

(5) フラッシュメモリの製造工程を簡略化出来る 2

図23に示すように、本実施形態に係るフラッシュメモリが備える昇圧回路内のキャパシタ素子52は、多結晶シリコン層60、61、63、及びキャパシタ絶縁膜62を備えている。そして、キャパシタ素子52の一方電極となる多結晶シリコン層61は、個々の素子領域毎に分離されている。またキャパシタ絶縁膜は、多結晶シリコン層61の上面上、側面上、及び多結晶シリコン層61間の素子分離領域STI上に形成され、更に多結晶シリコン層60の上面上、側面上、及び多結晶シリコン層60、61間の素子分離領域STI上に形成されている。そして、キャパシタ素子52の他方電極となる多結晶シリコン層63が、キャパシタ絶縁膜62上に形成されている。この構造は、メモリセルアレイ中のメモリセルのフローティングゲート31、ゲート間絶縁膜32、及び制御ゲート33の構造と全く同一である(図3参照)。また、ゲート間絶縁膜32及びキャパシタ絶縁膜62は、共に同一の材料によって形成されている。すなわち、キャパシタ絶縁膜62は、最も電界の集中する箇所だけでなく、全ての領域において、ゲート間絶縁膜32と同様の構造及び特性を有している。従って、ゲート間絶縁膜32の信頼性の検査工程と、キャパシタ絶縁膜62の信頼性の検査工程とは、同一工程で行うことが出来る。その結果、フラッシュメモリの製造工程を簡略化出来る。

【0097】

また、第1の実施形態の効果(1)で説明したとおり、上記効果は、製造工程の増加を招くことなく実現可能である。

【0098】

(6) キャパシタ素子の容量を大きくできる。

【0099】

本実施形態に係るキャパシタ素子52は、図23に示すように、多結晶シリコン層61が個々の素子領域毎に分離されている。従って、多結晶シリコン層61の上面だけでなく、その側壁部分もキャパシタ容量に寄与する。換言すれば、多結晶シリコン層61の側壁部分だけ、キャパシタの電極面積が大きくなる。従って、キャパシタ素子52の容量を大きくすることが出来る。

【0100】

上記のように、この発明の第1乃至第3の実施形態に係る不揮発性半導体記憶装置である

10

20

30

40

50

と、フラッシュメモリの製造プロセスを簡単化出来る。すなわち、メモリセルのゲート間絶縁膜32において少なくとも最も電界が集中する領域と同様の構造が、キャパシタ素子52のキャパシタ絶縁膜62にも形成されている。従って、メモリセルのゲート間絶縁膜32と、キャパシタ素子52のキャパシタ絶縁膜62とは、同一の信頼性を有している。従って、両者の信頼性の検査工程を、同一の工程で行うことが出来る。また、キャパシタ素子52は、メモリセル及び周辺回路の製造プロセス過程で形成する事が出来るため、特に工程数の増加を招くことなく、上記効果を得ることが出来る。

【0101】

なお、上記実施形態では、メモリセル8列毎にステイッチ領域SA1を設けている。しかし、ステイッチ領域を設ける頻度は、メモリセル64列毎、128列毎、または256列毎など、要求される読み出しスピードに応じて変えることが出来る。

10

【0102】

また、上記実施形態では、選択トランジスタSTとメモリセルトランジスタMTの2つのトランジスタを含むメモリセルを有するフラッシュメモリの場合を例に挙げて説明した。しかし、例えば図33、図34に示すように、2つの選択トランジスタST1、ST2、及びメモリセルトランジスタMTの3つのトランジスタを含むメモリセルを有するフラッシュメモリの場合にも適用できる。

【0103】

本メモリセルは、2つの選択トランジスタST1、ST2が、メモリセルトランジスタMTを挟むようにして、3つのトランジスタが直列接続されたものである。そして、選択トランジスタST1のドレイン領域がビット線に接続され、選択トランジスタST2のソース領域がソース線に接続されている。メモリセルトランジスタMTのゲートはワード線に接続され、選択トランジスタST1、ST2のゲートは、それぞれセレクトゲート線SGD、SGSに接続されている。断面構造は、図34に示す通りである。すなわち、半導体基板100上に、ゲート間絶縁膜30を介在して、3つの多結晶シリコン層31が形成されている。多結晶シリコン層31上には、ゲート間絶縁膜32を介在して多結晶シリコン層33が形成されている。メモリセルトランジスタMTにおいて、多結晶シリコン層31は個々のメモリセルトランジスタ毎に分離されており、フローティングゲートとして機能し、多結晶シリコン層33は制御ゲート（ワード線）として機能する。また、選択トランジスタST1、ST2においては、多結晶シリコン層31はワード線方向に沿った選択トランジスタ間で共通接続され、多結晶シリコン層33と共にセレクトゲート線SGD、SGSとして機能する。なお、選択トランジスタST1、ST2のゲート間絶縁膜32は、図示せぬステイッチ領域にてその一部が除去され、多結晶シリコン層31、33が接続されている。そして、選択トランジスタST1のドレイン領域34が、コンタクトプラグCP3、CP4及び金属配線層36を介してビット線21に接続される。また選択トランジスタST2のソース領域34が、コンタクトプラグCP1を介してソース線20に接続される。

20

【0104】

また、上記のように3つのトランジスタを含むフラッシュメモリだけでなく、図35、図36に示すようなNAND型フラッシュメモリにも適用できる。NANDセルは、2つの選択トランジスタST1、ST2間に、複数個のメモリセルトランジスタMTが直列接続されたものである。図35、図36では、8個のメモリセルトランジスタの場合を例に挙げて説明したが、その数は16個や32個でも良く、限定されるものではない。そして、選択トランジスタST1のドレイン領域がビット線に接続され、選択トランジスタST2のソース領域がソース線に接続されている。メモリセルトランジスタMTのゲートはワード線に接続され、選択トランジスタST1、ST2のゲートは、それぞれセレクトゲート線SGD、SGSに接続されている。断面構造は、図36に示す通りである。すなわち、図34において、メモリセルトランジスタMTの数を増やした以外は、同様の構成である。

30

【0105】

40

50

また、上記第1乃至第3の実施形態は、システムLSIにも適用できる。図37は、システムLSIのブロック図である。図示するように、システムLSI80は、ロジック回路領域とメモリ領域とを有している。そして、ロジック回路領域には例えばCPU81が設けられている。またメモリ領域には、上記第1乃至第5の実施形態で説明したフラッシュメモリ10、図33、図34を用いて説明した、3つのMOSトランジスタを含むフラッシュメモリ82、及び図35、図36を用いて説明したNAND型フラッシュメモリ83が設けられている。フラッシュメモリ10のメモリセルは、セルの直列トランジスタの数が2個である。従って、メモリセルの電流駆動能力が他のメモリセルより大きい。そのため、フラッシュメモリ10は、高速の読み出し用途に向いている。図37に示すようにCPU81と同一チップに搭載した場合は、フラッシュメモリ10をCPU81のファームウェアなどを格納するROMとして使う事ができる。フラッシュメモリ10の動作速度が速いため、CPU81がRAMなどを介さずに、データを直接読み出す事が出来るようになるため、RAMなどが不要になり、システムLSIの動作速度を向上できる。また、フラッシュメモリ10は、フラッシュメモリ82及びNAND型フラッシュメモリ83と、同一の製造工程で形成出来る。例えば、不純物拡散層を形成するためのイオン注入工程や、ゲート電極及び金属配線層のパターニング工程等を、3つのフラッシュメモリについて同時に用う事が出来る。この場合、例えば不純物拡散層は、各メモリ間で同一の濃度を有することになる。このように、LSIに設けられる3つのフラッシュメモリを同一工程で形成できる結果、LSIの製造を簡略化出来る。

【0106】

なお、例えばロジック回路領域では、CPU81をSOI基板上に形成し、メモリ領域では、各メモリ10、82、83をバルクのシリコン基板上に形成しても良い。

【0107】

更に、上記第1乃至第3の実施形態においては、昇圧回路に含まれるキャパシタ素子が、メモリセルと同様の構造を有する場合を例に挙げて説明した。しかし、昇圧回路内のキャパシタ素子に限らず、メモリセルのゲート間絶縁膜と同じ材料で形成されたキャパシタ絶縁膜を有する全てのキャパシタ素子に、上記実施形態は適用できる。

【0108】

なお、本願発明は上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出されうる。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出されうる。

【0109】

【発明の効果】

以上説明したように、この発明によれば、製造工程を簡略化出来る不揮発性半導体記憶装置を提供できる。

【図面の簡単な説明】

【図1】 この発明の第1の実施形態に係るフラッシュメモリのブロック図。

【図2】 この発明の第1の実施形態に係るフラッシュメモリの備えるメモリセルアレイの平面図。

【図3】 図2におけるX1-X1'線に沿った断面図。

【図4】 図2におけるX2-X2'線に沿った断面図。

【図5】 図2におけるY1-Y1'線に沿った断面図。

【図6】 図2におけるY2-Y2'線に沿った断面図。

【図7】 この発明の第1の実施形態に係るフラッシュメモリの備える昇圧回路の回路図。

【図8】 この発明の第1の実施形態に係るフラッシュメモリの備える昇圧回路の回路図

10

20

30

40

50

。

【図 9】 この発明の第 1 の実施形態に係るフラッシュメモリの備える昇圧回路に含まれるキャパシタ素子の断面図。

【図 10】 この発明の第 1 の実施形態に係るフラッシュメモリの第 1 の製造工程の断面図。

【図 11】 この発明の第 1 の実施形態に係るフラッシュメモリの第 2 の製造工程の断面図。

【図 12】 この発明の第 1 の実施形態に係るフラッシュメモリの第 3 の製造工程の断面図。

【図 13】 この発明の第 1 の実施形態に係るフラッシュメモリの第 4 の製造工程の断面図。 10

【図 14】 この発明の第 1 の実施形態に係るフラッシュメモリの第 5 の製造工程の断面図。

【図 15】 この発明の第 1 の実施形態に係るフラッシュメモリの第 6 の製造工程の断面図。

【図 16】 この発明の第 1 の実施形態に係るフラッシュメモリの第 7 の製造工程の断面図。

【図 17】 この発明の第 1 の実施形態に係るフラッシュメモリの第 8 の製造工程の断面図。

【図 18】 キャパシタ素子の断面図。 20

【図 19】 この発明の第 2 の実施形態に係るフラッシュメモリの備える昇圧回路に含まれるキャパシタ素子の断面図。

【図 20】 この発明の第 2 の実施形態に係るフラッシュメモリの第 1 の製造工程の断面図。

【図 21】 この発明の第 2 の実施形態の変形例に係るフラッシュメモリの備える昇圧回路に含まれるキャパシタ素子の断面図。

【図 22】 この発明の第 3 の実施形態に係るフラッシュメモリの備える昇圧回路に含まれるキャパシタ素子の断面図。 30

【図 23】 図 22 における X 3 - X 3' 線に沿った断面図。

【図 24】 図 22 における X 4 - X 4' 線に沿った断面図。

【図 25】 図 22 における Y 3 - Y 3' 線に沿った断面図。

【図 26】 図 22 における Y 4 - Y 4' 線に沿った断面図。

【図 27】 この発明の第 3 の実施形態に係るフラッシュメモリの第 1 の製造工程の断面図。

【図 28】 この発明の第 3 の実施形態に係るフラッシュメモリの第 2 の製造工程の断面図。

【図 29】 この発明の第 3 の実施形態に係るフラッシュメモリの第 3 の製造工程の断面図。

【図 30】 この発明の第 3 の実施形態に係るフラッシュメモリの第 4 の製造工程の断面図。 40

【図 31】 この発明の第 3 の実施形態に係るフラッシュメモリの第 5 の製造工程の断面図。

【図 32】 この発明の第 3 の実施形態に係るフラッシュメモリの第 6 の製造工程の断面図。

【図 33】 この発明の第 1 乃至第 3 の実施形態の第 1 変形例に係るフラッシュメモリのメモリセルの回路図。

【図 34】 この発明の第 1 乃至第 3 の実施形態の第 1 変形例に係るフラッシュメモリのメモリセルの断面図。

【図 35】 この発明の第 1 乃至第 3 の実施形態の第 2 変形例に係るフラッシュメモリのメモリセルの回路図。 50

【図36】この発明の第1乃至第3の実施形態の第2変形例に係るフラッシュメモリのメモリセルの回路図。

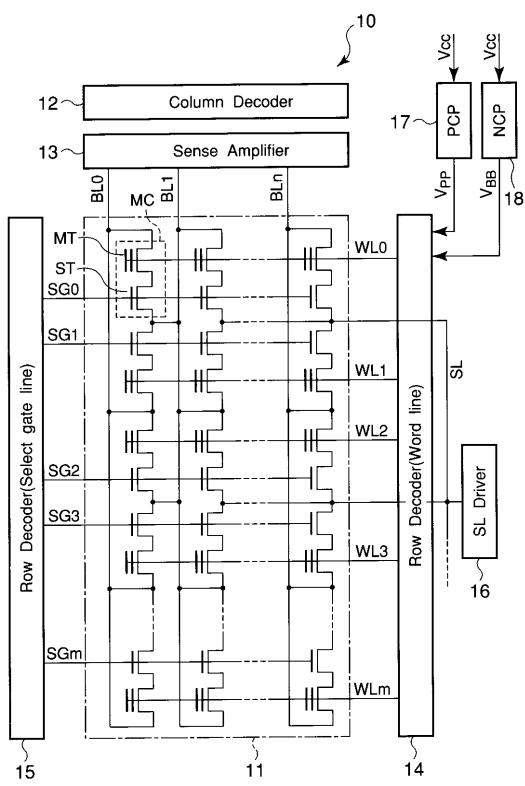
【図37】 この発明の第1乃至第3の実施形態の第3変形例に係るフラッシュメモリを備えたシステムLSIのブロック図。

【符号の説明】

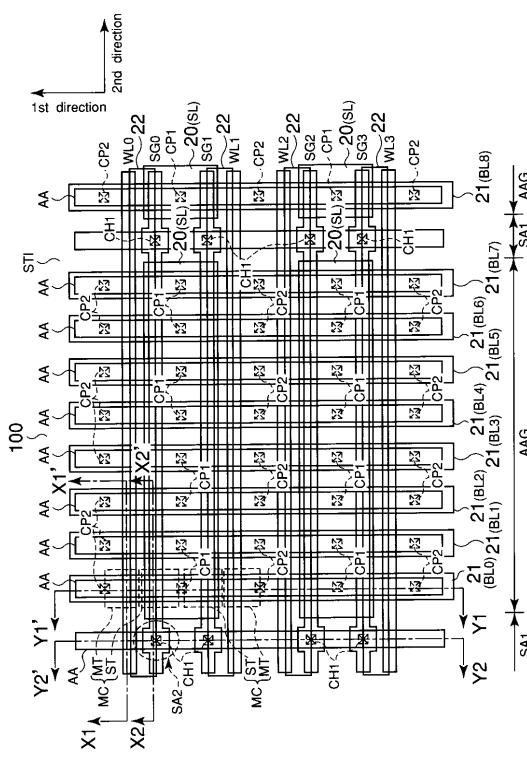
10 ... フラッシュメモリ、11 ... メモリセルアレイ、12 ... カラムデコーダ、13 ... センスアンプ、14、15 ... ロウデコーダ、16 ... ソース線ドライバ、17、18 ... 昇圧回路、20 ~ 22、36、40、41 ... 金属配線層、30、70 ... ゲート絶縁膜、31、33、60、61、63、64、66、72、610、630 ... 多結晶シリコン層、32 ... ゲート間絶縁膜、34 ... 不純物拡散層、35、37 ~ 39、350 ... 層間絶縁膜、50、51 ... インバータ、52 ... キャパシタ素子、53 ... ダイオード、62、620 ... キャパシタ絶縁膜、80 ... システムLSI、81 ... CPU、82、83 ... フラッシュメモリ、100 ... 半導体基板

10

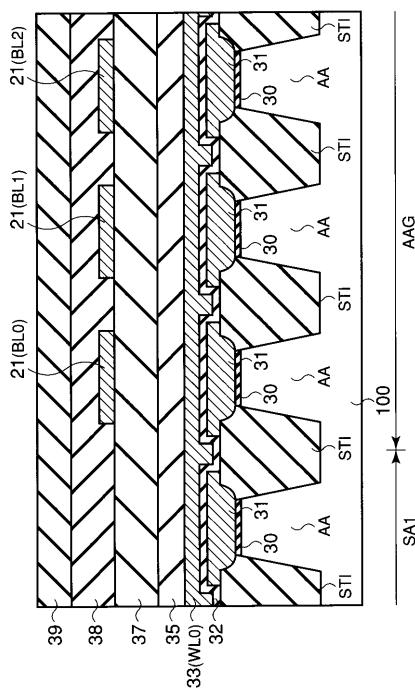
〔 义 1 〕



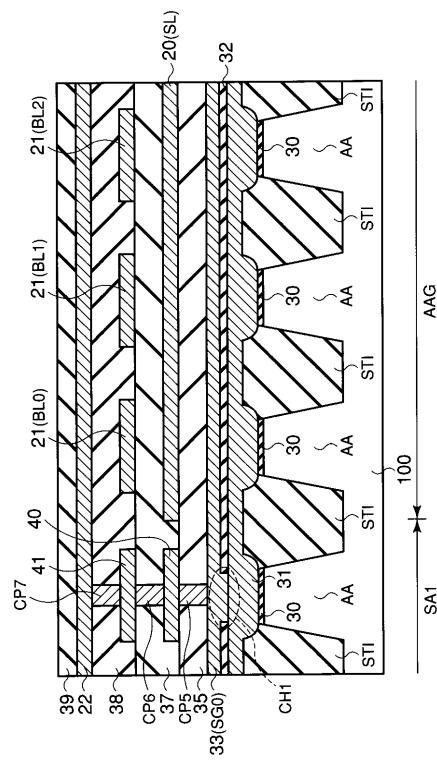
〔 四 2 〕



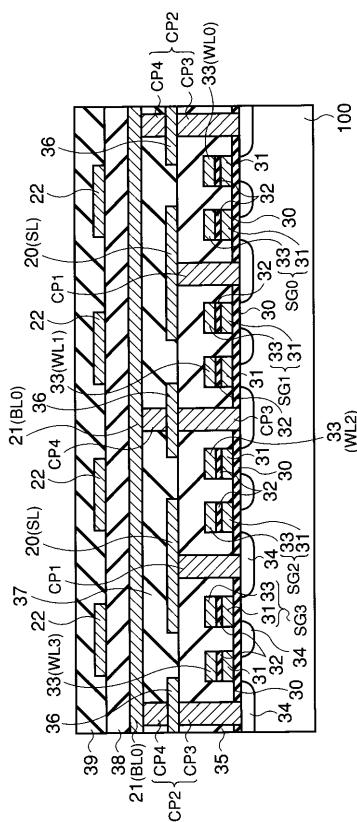
【 図 3 】



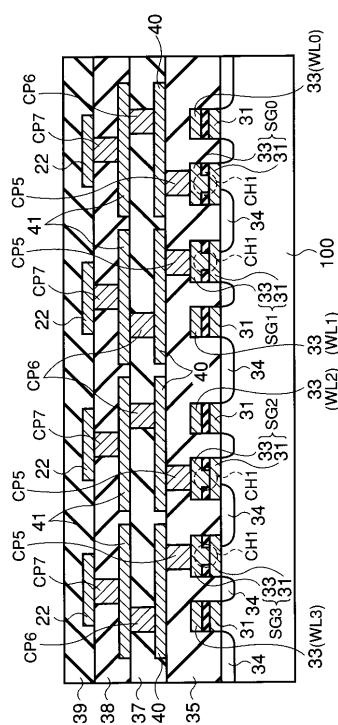
【 四 4 】



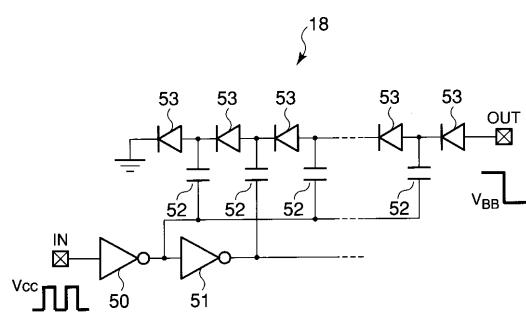
【図5】



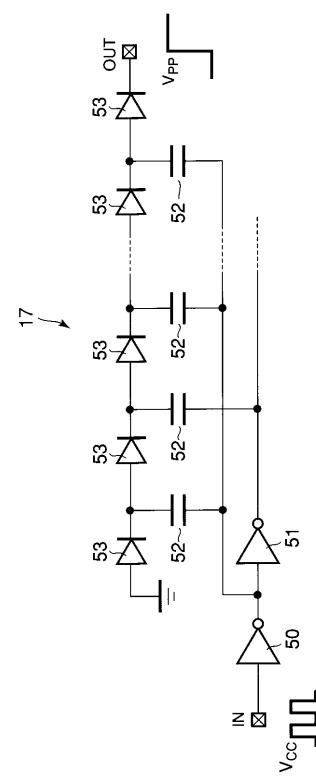
【 図 6 】



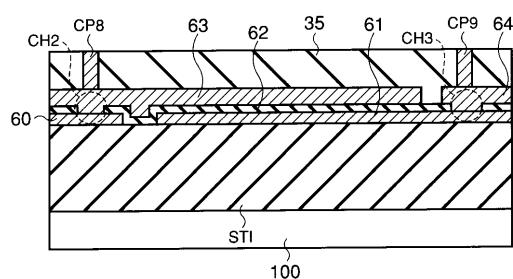
【図7】



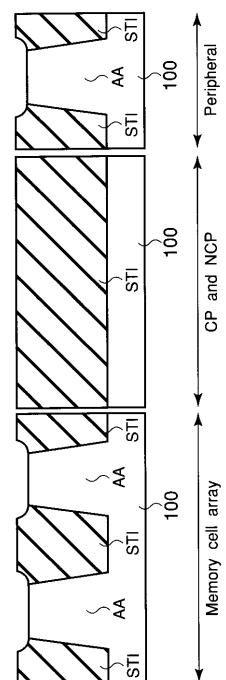
【図8】



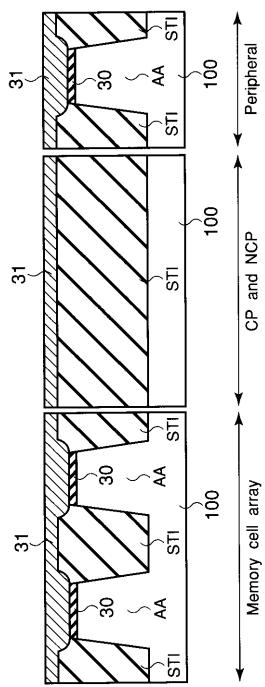
【図9】



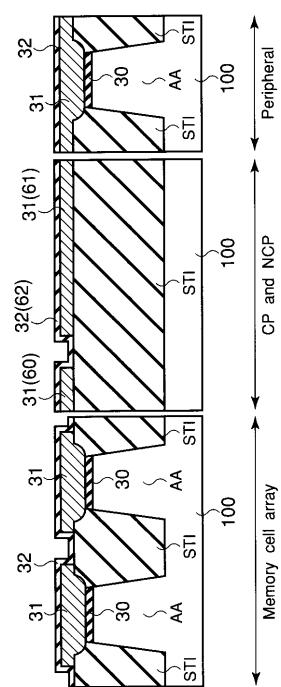
【図10】



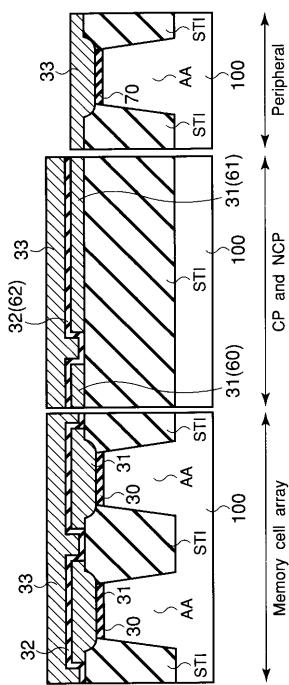
【図11】



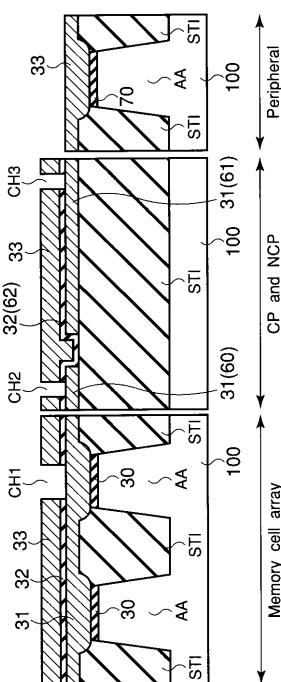
【図12】



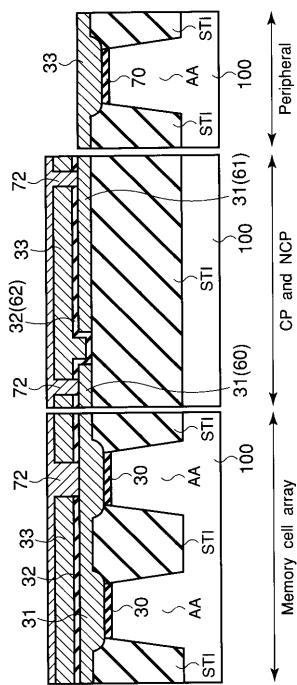
【図13】



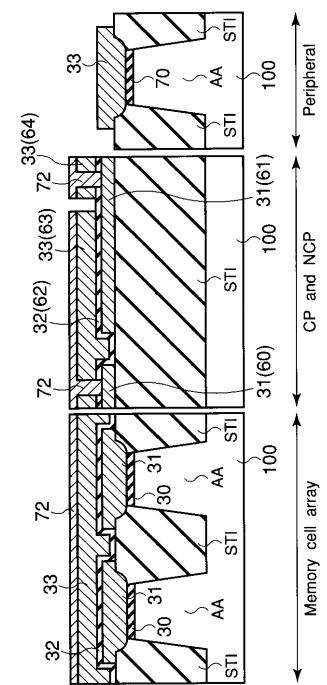
【図14】



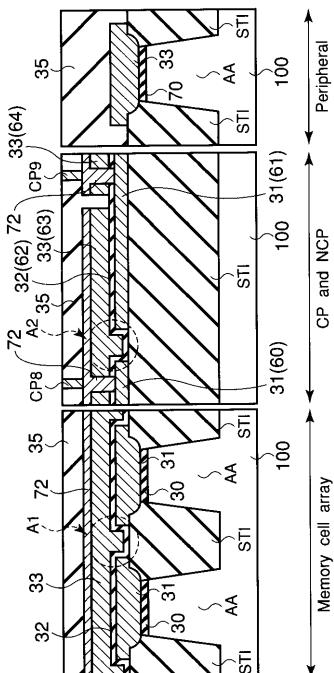
【図15】



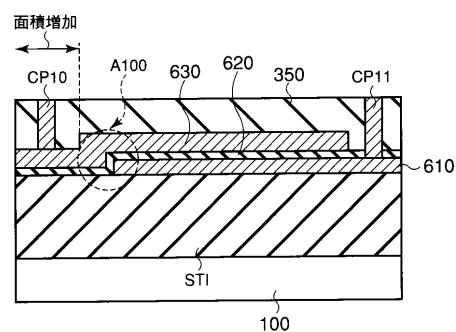
【図16】



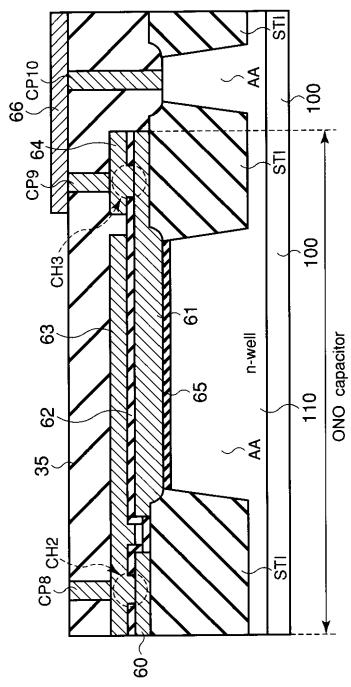
【図17】



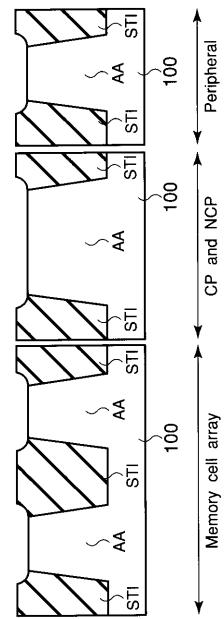
【図18】



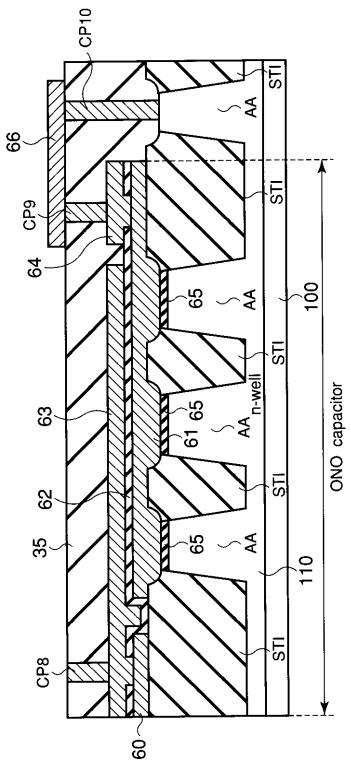
【 図 1 9 】



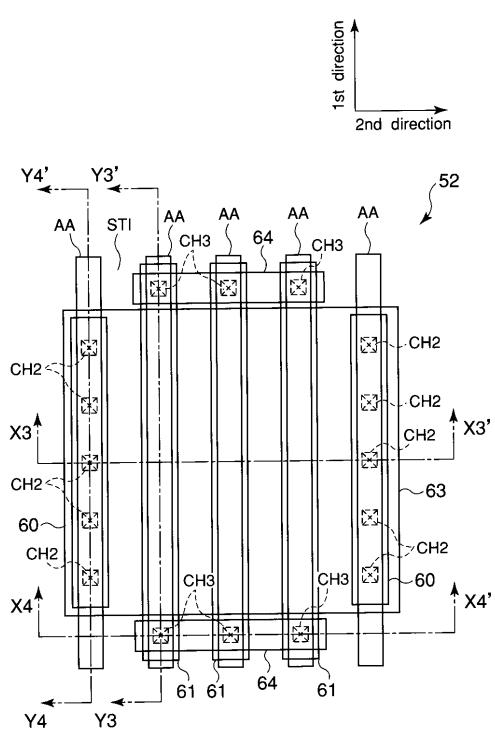
【 図 2 0 】



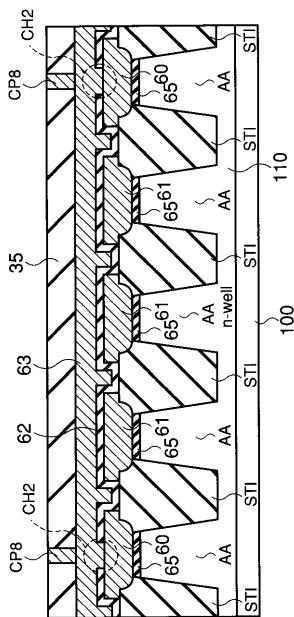
【 図 2 1 】



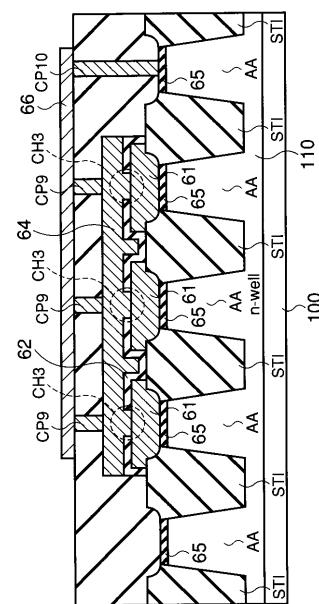
【 図 2 2 】



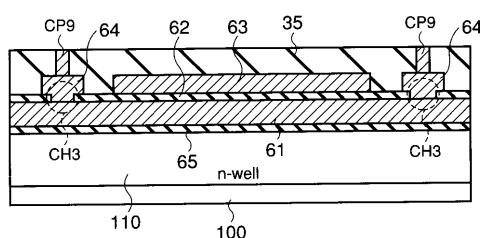
【図23】



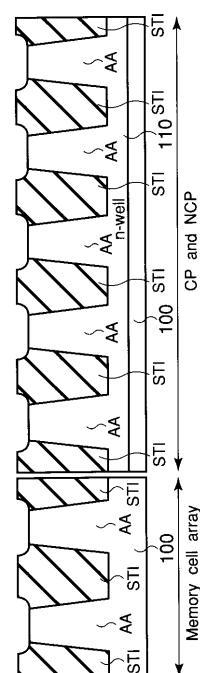
【図24】



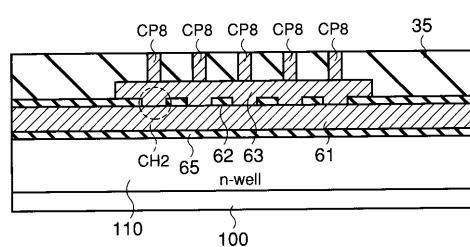
【図25】



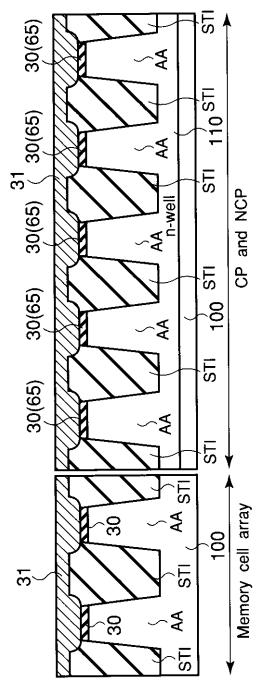
【図27】



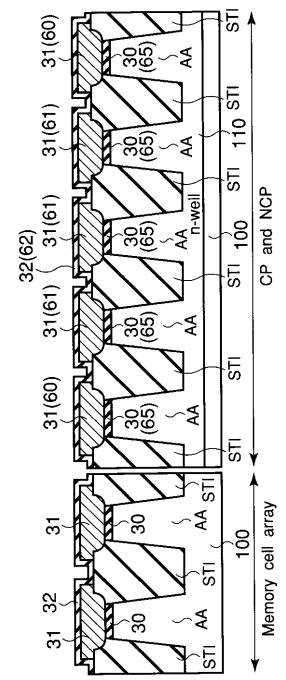
【図26】



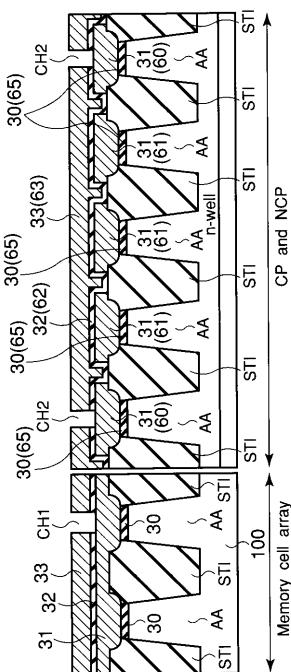
【 図 2 8 】



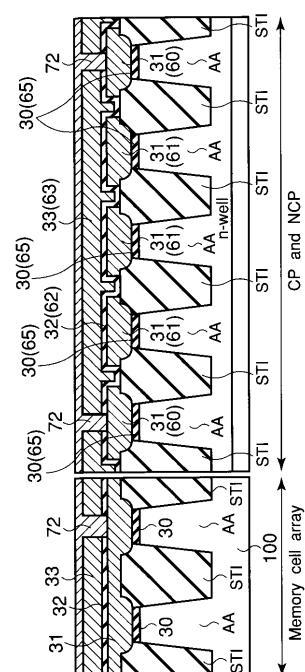
【 図 2 9 】



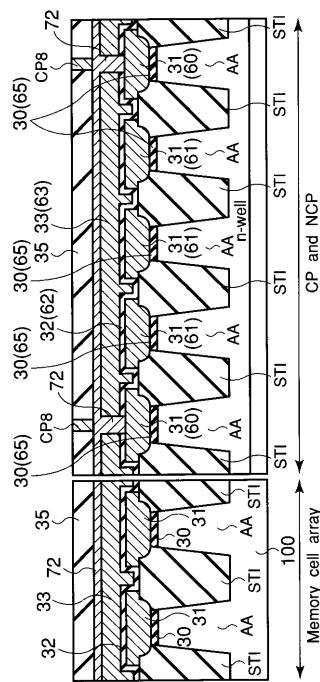
【 図 3 0 】



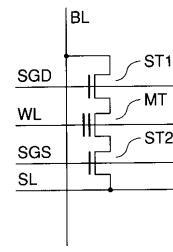
【図31】



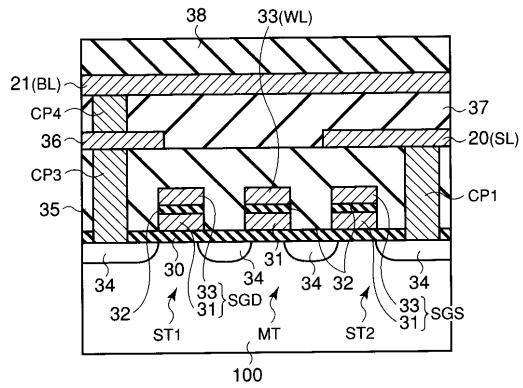
【図32】



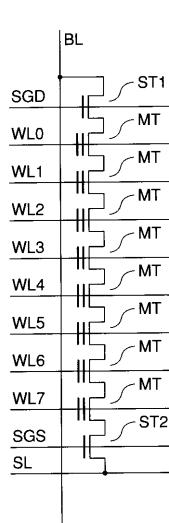
【図33】



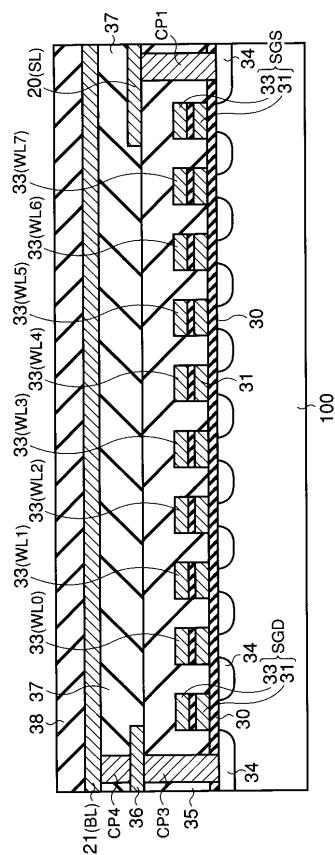
【図34】



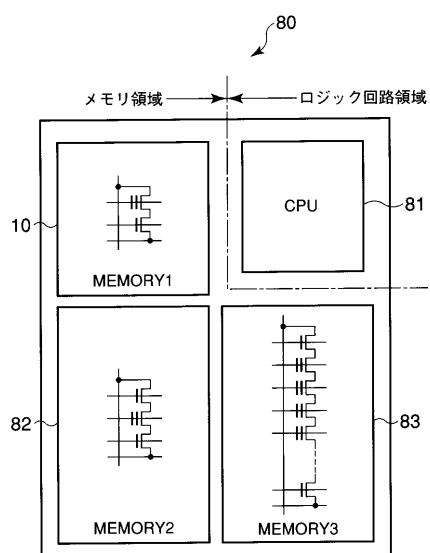
【図35】



【図36】



【図37】



フロントページの続き

(51) Int.CI.
G 1 1 C 16/06 (2006.01)

F I

(72) 発明者 長坂 滋
神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内
(72) 発明者 荒井 史隆
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内
(72) 発明者 梅沢 明
神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内

審査官 瀧内 健夫

(56) 参考文献 特開2001-084800 (JP, A)
特開2002-141469 (JP, A)
特開2003-031703 (JP, A)
特開2003-100887 (JP, A)
特開2003-124356 (JP, A)
特開2003-204003 (JP, A)

(58) 調査した分野(Int.CI., DB名)

H01L 21/8247
H01L 27/115
H01L 29/788
H01L 29/792