

19) RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
COURBEVOIE

11) N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

3 037 437

21) N° d'enregistrement national : 15 55237

51) Int Cl⁸ : H 01 L 21/283 (2016.01), H 01 L 21/033, 23/52

12)

DEMANDE DE BREVET D'INVENTION

A1

22) Date de dépôt : 09.06.15.

30) Priorité :

43) Date de mise à la disposition du public de la demande : 16.12.16 Bulletin 16/50.

56) Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

60) Références à d'autres documents nationaux apparentés :

Demande(s) d'extension :

71) Demandeur(s) : COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES Etablissement public — FR.

72) Inventeur(s) : FENOUILLET-BERANGER CLAIRE, PREVITALI BERNARD et ROZEAU OLIVIER.

73) Titulaire(s) : COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES Etablissement public.

74) Mandataire(s) : BREVALEX Société à responsabilité limitée.

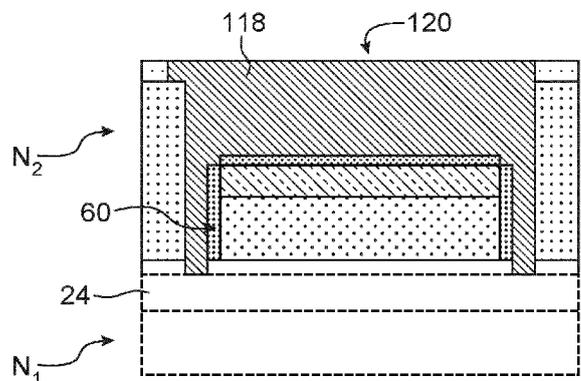
54) REALISATION D'ELEMENTS D'INTERCONNEXIONS AUTO-ALIGNES POUR CIRCUIT INTEGRE 3D.

57) Procédé de réalisation d'éléments de connexion entre deux niveaux différents de composants d'un circuit intégré 3D comprenant des étapes de :

- formation d'une zone isolante latérale reposant sur au moins une zone conductrice donnée (24) parmi plusieurs zones d'interconnexion d'un premier niveau (N_1) de composants, la zone isolante s'étendant autour d'une couche semi-conductrice d'un deuxième niveau (N_2) dans laquelle au moins un transistor est apte à être formé,

- retirer une première portion de la zone isolante latérale (60) de sorte à former un premier trou dévoilant ladite zone conductrice donnée,

- déposer dans le trou un matériau conducteur de sorte à former un premier élément de connexion électrique entre le deuxième composant et ladite zone conductrice donnée (24).



FR 3 037 437 - A1



**REALISATION D'ELEMENTS D'INTERCONNEXIONS AUTO-ALIGNES POUR
CIRCUIT INTEGRE 3D
DESCRIPTION**

DOMAINE TECHNIQUE

La présente demande concerne le domaine des circuits intégrés dotés de composants répartis sur plusieurs niveaux, en particulier de transistors superposés. De tels dispositifs sont généralement qualifiés de circuits intégrés en 3 dimensions ou « 3D ».

La présente demande vise plus particulièrement la réalisation d'éléments de connexion entre un transistor d'un niveau donné et un élément d'un niveau inférieur.

ART ANTÉRIEUR

D'une manière générale, dans le domaine des circuits intégrés, on cherche continuellement à augmenter la densité de transistors.

Pour cela, une solution consiste à répartir les transistors sur plusieurs niveaux de couches semi-conductrices superposées. De tels circuits comportent ainsi généralement au moins deux couches semi-conductrices superposées et séparées entre elles par une couche isolante.

Des éléments d'interconnexion traversant cette couche isolante peuvent être prévus pour connecter entre eux les différents niveaux de transistors.

L'encombrement et la répartition des éléments d'interconnexion entre les différents niveaux de composant pose problème.

Pour réaliser une interconnexion entre une électrode, par exemple l'électrode de grille d'un transistor d'un niveau donné avec un élément d'un niveau inférieur à ce niveau donné, il est connu de prévoir une structure de contact qui remonte vers un niveau métallique, s'étend horizontalement dans ce niveau métallique, puis redescend vers le niveau inférieur.

Cette structure pose des problèmes d'encombrement et doit généralement être réalisée en tenant compte d'éventuels défauts d'alignement entre les différents niveaux de composants.

5 Il se pose le problème de trouver un nouveau procédé de réalisation d'un élément d'interconnexion pour circuit intégré 3D amélioré vis-à-vis d'inconvénients énoncés ci-dessus.

EXPOSÉ DE L'INVENTION

10 Un mode de réalisation de la présente invention prévoit un procédé de réalisation d'au moins un élément d'interconnexion entre des niveaux différents de composants d'un circuit intégré doté de plusieurs niveaux superposés de composants électroniques, le procédé comprenant des étapes consistant à :

15 a) former sur un niveau inférieur doté d'une ou plusieurs zones de connexion et d'au moins un premier composant réalisé au moins partiellement dans une première couche semi-conductrice : un bloc comprenant une deuxième couche semi-conductrice dans laquelle au moins une région de canal d'au moins un transistor d'un niveau supérieur est apte à être au moins partiellement formé et une couche isolante agencée entre la première couche semi-conductrice et la deuxième couche semi-conductrice,

20 b) former une zone isolante latérale contre au moins une face latérale du bloc, la zone isolante latérale étant placée en regard d'une première zone de connexion du niveau inférieur,

c) retirer au moins une portion de la zone isolante latérale de sorte à former au moins un trou doté d'un fond dévoilant ladite première zone de connexion,

25 d) remplir le trou à l'aide d'un matériau conducteur, le matériau conducteur étant agencé de sorte à former au moins un élément d'interconnexion entre une électrode du transistor supérieur et ladite première zone de connexion du niveau inférieur.

A l'étape a), ladite face latérale du bloc est avantageusement agencée en fonction du positionnement d'une première zone de connexion du niveau inférieur.

Ainsi, la zone isolante latérale réalisée ensuite à l'étape b) est formée sur cette face et est agencée en fonction du positionnement de la première zone de connexion, ce qui permet ensuite de pouvoir réaliser un élément d'interconnexion auto-aligné, qui est très proche de la zone active du transistor de niveau supérieur sans qu'un masque supplémentaire ne soit nécessaire.

La zone isolante latérale formée à l'étape b) de sorte à entourer entièrement le bloc.

Un tel procédé peut permettre de former un élément d'interconnexion constitué uniquement d'une partie qui s'étend contre la face latérale du bloc et éventuellement d'une autre partie qui s'étend en regard de la deuxième couche semi-conductrice et parallèlement à cette dernière, sans qu'il soit nécessaire de passer par un étage supérieur de métal pour prendre le contact électrique.

Le bloc réalisé à l'étape a) peut être formé par gravure d'un empilement de couches.

Selon une première possibilité de mise en œuvre, l'électrode est une électrode de grille du transistor.

La zone isolante latérale peut avantageusement comprendre une première couche diélectrique à base d'un premier matériau diélectrique et une deuxième couche diélectrique à base d'un deuxième matériau diélectrique apte à être gravé de manière sélective vis-à-vis du premier matériau diélectrique.

La première couche diélectrique peut être disposée en contact de la deuxième couche semi-conductrice et être revêtue par la deuxième couche diélectrique.

Dans ce cas, la première portion de zone isolante latérale retirée à l'étape c) est une portion de la deuxième couche diélectrique gravée sélectivement vis-à-vis de la première couche diélectrique de sorte que le premier matériau diélectrique est conservé entre le trou et la deuxième couche semi-conductrice.

Cela permet de former un élément d'interconnexion avec l'électrode de grille tout en conservant une isolation entre cet élément d'interconnexion et la deuxième couche semi-conductrice. On évite ainsi tout court-circuit entre l'élément d'interconnexion et la zone active du transistor de niveau supérieur.

Une couche de protection peut être disposée sur le niveau inférieur préalablement à la formation du bloc à l'étape a). Lorsque la zone isolante latérale est formée d'un premier matériau diélectrique et d'un deuxième matériau diélectrique apte à être gravé de manière sélective vis-à-vis du premier matériau diélectrique, la couche de protection peut être avantageusement formée d'un même empilement de matériaux que celui de la zone isolante latérale.

Le procédé peut comprendre en outre des étapes de :

- formation d'au moins un autre trou par gravure d'au moins une autre portion de la zone isolante latérale, l'autre trou étant agencé de sorte à dévoiler une zone de la deuxième couche semi-conductrice destinée à former une région de source ou de drain, et au moins une deuxième zone de connexion du premier niveau,

- remplissage de l'autre trou par un matériau conducteur de sorte à former au moins un autre élément d'interconnexion entre une électrode de source ou de drain du transistor et une deuxième zone de connexion du premier niveau.

On réalise ainsi un élément d'interconnexion auto-aligné entre le niveau inférieur et la grille du transistor du niveau supérieur et un autre élément d'interconnexion auto-aligné entre le niveau inférieur et la source ou le drain de ce même transistor.

La première zone de connexion et la deuxième zone de connexion peuvent être distinctes et non connectées entre elles.

Selon une possibilité de mise en œuvre du procédé on forme en outre au moins une couche de masquage en regard de la deuxième couche semi-conductrice et au moins une ouverture dans la couche de masquage, l'ouverture suivant un motif de grille, le premier trou étant réalisé à l'étape c) de sorte à communiquer avec l'ouverture, le dépôt à l'étape d) comprenant le remplissage de ladite ouverture par un matériau conducteur de sorte à former une grille du transistor.

On peut ainsi réaliser la grille concomitamment à l'élément d'interconnexion entre l'électrode de grille et la première zone de connexion.

Le bloc formé à l'étape a) peut comprendre une couche de diélectrique de grille disposée sur la deuxième couche semi-conductrice, l'ouverture dévoilant la couche de diélectrique de grille.

5 On peut ainsi s'affranchir du dépôt d'un diélectrique de grille dans l'ouverture préalablement à l'étape d) de remplissage. Cela peut permettre de conserver l'intégrité du diélectrique.

Lorsque la zone isolante latérale est formée d'un empilement d'une première couche et deuxième couche diélectrique, la couche de masquage peut être prévue en contact avec la deuxième couche diélectrique et à base du deuxième matériau diélectrique.

Cela permet de réaliser l'ouverture et le trou à l'aide d'une même gravure ou au moins d'un même procédé de gravure.

Avantageusement, après formation de la zone isolante latérale, le procédé peut comprendre des étapes de :

- 15 - formation sur la deuxième couche semi-conductrice d'une grille sacrificielle à base d'un matériau sacrificiel, puis
- croissance de régions de source et de drain sur la couche semi-conductrice, puis
- remplacement de la grille sacrificielle par une autre grille, l'autre grille étant formée à l'étape d) à base dudit matériau conducteur.

Dans ce cas, lorsque le matériau sacrificiel n'est pas métallique, par exemple semi-conducteur, on peut éviter une contamination du niveau supérieur notamment lors de la croissance des régions de source et de drain.

25 Selon une possibilité de mise en œuvre, on peut prévoir une couche conductrice supplémentaire de plan de masse ou de commande par l'arrière de la tension de seuil du transistor du niveau supérieur.

Dans ce cas, le bloc peut comprendre une couche conductrice entre le niveau supérieur et la deuxième couche semi-conductrice, la couche conductrice étant revêtue par la couche isolante, et étant agencée en outre en regard de la deuxième couche semi-conductrice et de sorte que la couche isolante sépare la deuxième couche

semi-conductrice de cette couche conductrice, la couche isolante ayant une épaisseur et étant à base d'un matériau prévus de sorte à permettre un couplage capacitif entre la couche conductrice et la deuxième couche semi-conductrice.

5 Ainsi, la couche conductrice peut permettre de contrôler la tension de seuil dudit transistor par couplage capacitif en fonction de la manière dont elle est polarisée. Cette couche conductrice peut-être une couche semi-conductrice dopée.

Un tel agencement peut être prévu notamment lorsque le transistor de niveau supérieur est réalisé en technologie FDSOI (« Fully-Depleted Silicon On Insulator »)

10 La couche conductrice peut être agencée de sorte à dépasser dans le bloc par rapport à la deuxième couche semi-conductrice, de manière à former un décrochement. Cela peut permettre de faciliter la prise de contact.

Selon une deuxième possibilité de mise en œuvre du procédé dans lequel l'électrode est une électrode de source ou de drain du transistor, la portion étant retirée à l'étape c) de sorte à dévoiler une zone de la deuxième couche semi-conductrice
15 destinée à former une région de source ou de drain.

Selon une possibilité de mise en œuvre particulière, le procédé peut comprendre en outre, entre l'étape a) et l'étape b) : la formation d'un bouchon isolant contre au moins une face latérale du bloc, la face latérale n'étant pas recouverte par le bouchon isolant.

20 Un mode de réalisation de la présente invention prévoit un circuit intégré doté de plusieurs niveaux de composants électroniques superposés, comprenant :

- un niveau inférieur doté d'au moins un premier composant au moins partiellement formé dans une première couche semi-conductrice,
- un bloc agencé sur le niveau inférieur comprenant une deuxième
25 couche semi-conductrice dans laquelle au moins une région de canal d'au moins un transistor d'un deuxième niveau est formée et une couche isolante agencée entre la première couche semi-conductrice et la deuxième couche semi-conductrice,
- un élément d'interconnexion entre la grille du transistor supérieur et une zone de connexion du niveau inférieur, l'élément d'interconnexion étant formé d'un
30 matériau conducteur s'étendant contre au moins une face latérale du bloc, le matériau

conducteur débordant sur une zone de diélectrique de grille parallèlement à la deuxième couche semi-conductrice.

BRÈVE DESCRIPTION DES DESSINS

La présente invention sera mieux comprise à la lecture de la description d'exemples de réalisation donnés, à titre purement indicatif et nullement limitatif, en faisant référence aux dessins annexés sur lesquels :

- les figures 1, 2, 3A-3B, 4A-4B, 5A-5B, 6A-6B, 7A-7C, 8A-8C, 9A-9B, 10A-10C, 11A-11C, 12A-12C, 13A-13D servent à illustrer un exemple de procédé de réalisation d'élément d'interconnexion entre deux niveaux de composants d'un circuit intégré 3D ;

- les figures 14, 15A-15C, 16A-16C illustrent une variante dans laquelle une couche conductrice de plan de masse ou de contrôle par l'arrière du canal d'un transistor de niveau supérieur est prévue ;

- les figures 17A, 17B, 18A, 18B servent à illustrer une autre variante de mise en œuvre du procédé suivant l'invention ;

Des parties identiques, similaires ou équivalentes des différentes figures portent les mêmes références numériques de façon à faciliter le passage d'une figure à l'autre.

Les différentes parties représentées sur les figures ne le sont pas nécessairement selon une échelle uniforme, pour rendre les figures plus lisibles.

En outre, dans la description ci-après, des termes qui dépendent de l'orientation de la structure tels que « sur », « au-dessus », « verticalement », « latéraux », « latérale », « supérieure » s'appliquent en considérant que la structure est orientée de la façon illustrée dans les figures.

EXPOSÉ DÉTAILLÉ DE MODES DE RÉALISATION PARTICULIERS

Un exemple de procédé de réalisation d'éléments de connexion pour un circuit intégré en 3 dimensions ou « 3D », va à présent être donné.

Le dispositif peut être réalisé à partir d'un substrat comprenant une première couche semi-conductrice superficielle 11 dans laquelle un ou plusieurs composants d'un premier niveau N_1 de composants électroniques sont prévus.

5 Dans l'exemple illustré sur la figure 1, les composants sont des transistors T_{11} et T_{12} , en particulier de type MOS (MOS pour « Metal Oxide Semiconductor ») et ont des régions de canal respectives qui s'étendent dans la première couche semi-conductrice 11.

10 Une ou plusieurs zones conductrices 21, 22, 23, 24 de connexion appartenant au premier niveau N_1 sont également formées au-dessus des transistors T_{11} , T_{12} et connectées à ceux-ci. Les zones 21, 22, 23, 24 de connexion sont agencées dans une couche 25 à base d'un matériau diélectrique. Ce matériau peut être de type communément appelé « low-k », autrement dit à faible diélectrique, tel que par exemple du SiOC.

15 Après avoir formé le premier niveau N_1 de composants, on réalise, sur ce premier niveau N_1 , un empilement de couches recouvrant une ou plusieurs des zones de connexion 21, 22, 23, 24. L'empilement de couches formé sur le premier niveau est ainsi disposé en regard d'une ou plusieurs zones de connexion donnée(s) du premier niveau N_1 . Sur la figure 2, le premier niveau N_1 et la couche isolante 25 dans laquelle les zones de connexion sont disposées, sont représentées de manière schématique au
20 moyen de traits discontinus.

L'empilement réalisé peut comporter une fine couche 31 de protection prévue de sorte à protéger les zones de connexion du premier niveau d'interconnexion lors d'une ou plusieurs étape(s) ultérieure(s) de gravure. La fine couche 31 de protection peut être formée d'un empilement de plusieurs matériaux diélectriques différents par
25 exemple un empilement bi-couches de SiN et de SiO₂.

Sur la fine couche de protection 31, une couche isolante 33 est formée au-dessus du premier niveau N_1 de composants. La couche isolante 33 est disposée entre la première couche semi-conductrice 11 et une deuxième couche semi-conductrice 42 dans laquelle un ou plusieurs composants d'un deuxième niveau N_2 de composants

électroniques sont destinés à être réalisés. La couche isolante 33 est ainsi configurée pour réaliser une isolation entre le premier niveau N_1 et le deuxième niveau N_2 de composants.

Dans cet exemple de réalisation au moins un transistor est prévu dans le deuxième niveau N_2 de composants. Ce transistor est par exemple de type MOS (MOS pour « Metal Oxide Semi-conductor »), avec une région de canal prévue dans la deuxième couche semi-conductrice 42.

Une méthode pour former la deuxième couche semi-conductrice 42 peut consister à effectuer un report, par exemple suivant une technique de collage moléculaire, dans lequel un support comprenant la deuxième couche semi-conductrice 42 est reporté sur la couche isolante 33. Ce support peut être lui-même doté d'une couche isolante, par exemple à base d'oxyde de silicium (SiO_2), que l'on met alors en contact avec la couche isolante 33 pour effectuer un collage de type oxyde-oxyde. Selon une variante, on peut reporter la deuxième couche semi-conductrice 42 directement sur la couche isolante 33 par collage moléculaire.

La couche semi-conductrice 42 est revêtue d'une couche de diélectrique 51 de grille qui peut être un matériau « high-k » tel que par exemple du HfO_2 .

La couche de diélectrique 51 de grille peut être elle-même revêtue d'une première couche 53 de masquage par exemple à base de nitrure de silicium.

Ensuite, par gravure de l'empilement protégé par la première couche de masquage 53, on forme un bloc 39.

On définit ainsi dans la deuxième couche semi-conductrice 42 une zone active destinée à accueillir une ou plusieurs régions de canal de transistor(s). La gravure de l'empilement peut être réalisée par exemple à l'aide de procédé de gravure sèche. On peut alors se servir de la couche de protection 31 comme d'une couche d'arrêt de gravure.

Sur la figure 3A, le bloc 39 formé dans l'empilement une fois gravé jusqu'à la couche de protection 31 est représenté selon une vue de dessus, tandis que ce même bloc 39 est illustré sur la figure 3B selon une vue en coupe suivant un axe B'B.

Le bloc 39 est doté de faces latérales 39a qui, dans cet exemple de réalisation, ont une direction parallèle à une normale au plan principal de la deuxième

couche semi-conductrice, le plan principal étant défini ici et dans tout le reste de la description comme un plan passant par la deuxième couche semi-conductrice et parallèle au plan $[O, x, y]$ du repère orthogonal $[0 ; x ; y ; z]$ donné sur la figure 3B, la normale étant parallèle à l'axe z de ce repère. Le positionnement d'au moins une face latérale 39a du bloc 39 est prévu en fonction de celui d'une ou plusieurs des zones de connexion du premier niveau N_1 . Dans l'exemple de la figure 3B, une face latérale 39a se trouve à l'aplomb d'une zone de connexion 24 du premier niveau N_1 .

On réalise ensuite une zone isolante 60 dite « latérale » et qui s'étend parallèlement à au moins la face latérale 39a du bloc 39. Selon une possibilité de mise en œuvre illustrée sur les figures 4A-4B et 5A-5B, cette zone isolante 60 peut être réalisée tout autour du bloc 39 de manière à entourer complètement celui-ci. La zone isolante 60 est destinée à servir à la mise en œuvre d'au moins un élément de connexion auto-aligné et peut être formée de plusieurs épaisseurs de matériaux diélectriques différents.

La zone isolante 60 peut être formée tout d'abord par dépôt puis gravure d'une première couche d'un premier matériau diélectrique 61 (figure 4A donnant une vue de dessus et figure 4B donnant une vue en coupe suivant l'axe $B'B$) puis par dépôt et gravure d'une deuxième couche d'un deuxième matériau diélectrique 62 (figure 5A donnant une vue de dessus, figure 5B donnant une vue en coupe suivant l'axe $B'B$). Le deuxième matériau diélectrique 62 est choisi de préférence de sorte à pouvoir être gravé sélectivement vis-à-vis du premier matériau diélectrique 61. Le premier matériau diélectrique 61 peut être par exemple à base d'oxyde de silicium (SiO_2) tandis que le deuxième matériau diélectrique 62 peut être par exemple à base de nitrure de silicium (SiN). Le premier matériau diélectrique 61 est disposé autour et en contact du bloc 39, tandis le deuxième matériau diélectrique 62 est disposé autour et en contact du premier matériau diélectrique 61. Dans cet exemple, la zone isolante 60 latérale s'étend verticalement contre le bloc 39 et en regard d'une zone de connexion 24 du premier niveau N_1 .

Pour permettre de protéger le premier niveau d'interconnexion lors de la réalisation de la zone isolante 60, la couche de protection 31 peut avantageusement comprendre un empilement de matériaux diélectrique similaire à celui formé par les

diélectriques 61, 62. Ainsi, dans le cas où le premier matériau diélectrique 61, et le deuxième matériau diélectrique 62 sont respectivement du nitrure de silicium (SiN) et de l'oxyde de silicium (SiO₂) et, la couche de protection 31 peut être par exemple formée d'un empilement d'oxyde de silicium (SiO₂) d'épaisseur comprise par exemple entre 2 et 5 nm, recouvert d'une couche d'un autre matériau isolant, par exemple tel que de nitrure de silicium (SiN) pouvant avoir une épaisseur comprise par exemple entre 2 et 5 nm.

Ensuite, on peut former une couche d'encapsulation 71 autour de la zone isolante 60 latérale. Cette couche d'encapsulation 71 est de préférence isolante et à base d'un matériau choisi de sorte à pouvoir résister à une gravure sélective du deuxième matériau diélectrique 62. Avantageusement, la couche d'encapsulation 71 peut être à base du premier matériau diélectrique 61, par exemple de l'oxyde de silicium (SiO₂). La couche d'encapsulation 71 peut être réalisée par dépôt puis par polissage ou planarisation CMP (pour « Chemical Mechanical Planarization ») en s'arrêtant sur la couche 53 de masquage (figures 6A et 6B donnant respectivement une vue de dessus et une vue en coupe suivant l'axe B'B).

Ensuite, on définit un emplacement de grille dans la première couche 53 de masquage.

Pour cela, on peut tout d'abord former une deuxième couche 83 de masquage recouvrant la première couche 53 de masquage, la zone isolante 60 et la couche d'encapsulation 71. La deuxième couche 83 de masquage et la première couche 53 de masquage peuvent être à base du même matériau. Avantageusement, le matériau de la deuxième couche 83 de masquage peut être également identique au deuxième matériau diélectrique 62 de la zone isolante latérale 60, par exemple à base de nitrure de silicium (SiN).

Pour réaliser l'emplacement de grille, on pratique ensuite au moins une ouverture 86 ayant la forme d'un motif de grille dans la deuxième couche 83 de masquage, puis dans la première couche 53 de masquage (figures 7A, 7B, 7C donnant respectivement une vue de dessus, une vue en coupe suivant l'axe B'B et une vue en coupe suivant l'axe C'C). L'ouverture 86 peut être réalisée au préalable dans un masque de résine 85 que l'on forme sur la deuxième couche 83 de masquage puis reproduite par

gravure dans la deuxième couche 83 de masquage. L'ouverture 86 est disposée en regard d'au moins une portion de la zone isolante 60 à base du deuxième matériau diélectrique 62. Ainsi, comme cela est illustré sur la figure 7C, le prolongement de l'ouverture 86 peut avantageusement comprendre ou être accompagnée ou être suivie du retrait d'une

5 portion de la zone isolante 60 dévoilée par l'ouverture 86, cette portion étant à base du deuxième matériau diélectrique 62. Ce retrait peut être réalisé par gravure sélective du deuxième matériau diélectrique 62 vis-à-vis du premier matériau diélectrique 61. On forme ainsi au moins un premier trou dans la zone isolante 60 qui s'étend parallèlement aux faces latérales du bloc 39 entre la couche d'encapsulation 71 et la première couche

10 diélectrique de la zone isolante 60.

Dans l'exemple de réalisation illustré sur la figure 7C, plusieurs premiers trous 87a, 87b sont formés de part et d'autre du bloc 39 et communiquent avec l'ouverture 86 dans laquelle un emplacement pour une grille de transistor est prévu.

Lorsque les couches 53, 83 de masquage sont également à base du

15 deuxième matériau diélectrique 62, la réalisation de l'ouverture 86 et du ou des premiers trous 87a, 87b peut être effectuée lors d'une même étape de gravure sélective par exemple à l'aide de procédés de gravure sèche. Lorsque le fond des premiers trous 87a, 87b réalisés atteint la couche de protection 31, on retire celle-ci, de sorte à dévoiler le premier niveau d'interconnexion du premier niveau N_1 de composants, et en particulier

20 une zone de connexion 24 appartenant à ce niveau N_1 .

On peut ensuite former une grille sacrificielle 90 dans l'ouverture 86, en utilisant par exemple un procédé de type Damascène. Cette grille sacrificielle 90 est dans ce cas destinée à être remplacée ultérieurement. Le matériau de la grille sacrificielle 90 est de préférence non-métallique et par exemple semi-conducteur, afin de limiter les

25 possibilités de contamination lors d'étapes ultérieures et en particulier lors de la réalisation de régions de source et de drain par épitaxie.

Ainsi, après avoir retiré le masque de résine 85, on remplit l'ouverture 86 et les premiers trous 87a, 87b d'un matériau sacrificiel 88. Le matériau sacrificiel 88 de remplissage peut être par exemple du polysilicium. On peut ensuite effectuer une étape

de polissage ou de planarisation CMP pour supprimer le matériau sacrificiel 88 en excédent débordant de l'embouchure de l'ouverture 86.

Les figures 8A, 8B, et 8C donnent des vues respectivement selon une vue de dessus, selon une vue en coupe suivant un axe B'B, selon une vue en coupe
5 suivant un axe C'C, de l'ouverture 86 et des trou 87a, 87b rempli(s) de matériau sacrificiel 88.

On retire ensuite les parties restantes de la deuxième couche 83 de masquage puis de la première couche de masquage 53.

Ce retrait peut être suivi d'une gravure de la couche 51 de diélectrique
10 de grille de sorte à former une zone de diélectrique de grille sous la grille sacrificielle 90.

Des espaceurs isolants 89, par exemple en nitrure de silicium, sont ensuite réalisés de part et d'autre de la grille sacrificielle 90 contre ses flancs latéraux.

Puis, on forme des régions semi-conductrices de source 91 et de drain 93 de part et d'autre de la grille sacrificielle (figure 9A donnant une vue de dessus, figure
15 9B donnant une vue en coupe suivant l'axe B'B). Les régions semi-conductrices 91, 93 peuvent être réalisées par épitaxie sur la deuxième couche semi-conductrice 42. Un dopage des régions de source et de drain peut être également réalisé. Ce dopage peut être par exemple réalisé *in situ*, i.e. pendant la croissance du matériau semi-conducteur. En variante, le dopage de régions de source et de drain est réalisé par implantation. La
20 figure 9B montre des portions restantes de la zone isolante 60 conservées autour du bloc.

On remplace ensuite la grille sacrificielle 90, par une autre grille 120.

Pour cela, on peut former tout d'abord un masque isolant par exemple à base d'une couche isolante 101 qui peut être par exemple à base d'un matériau identique ou semblable au premier diélectrique 61, par exemple un matériau de type FOX pour
25 « Field OXide » à base de SiO₂. Puis, on retire une épaisseur de cette couche isolante 101 jusqu'à dévoiler une face dite « supérieure » de la grille sacrificielle.

On peut ensuite retirer le matériau sacrificiel 88 de l'ouverture 86 et du trou 87. Dans le cas où le matériau sacrificiel 88 est à base de polySi, le retrait peut être réalisé par exemple à l'aide de procédés de gravure sèche. Le masque isolant 101 protège
30 l'empilement de cette gravure.

Les figures 10A, 10B, 10C (donnant respectivement une vue de dessus, une vue en coupe suivant l'axe B'B, une vue en coupe suivant l'axe C'C) illustrent le dispositif en cours de réalisation après retrait du matériau sacrificiel 88. Les trous 87a, 87b ayant été vidés, le fond des trous 87a, 87b dévoile à nouveau la zone 24 de connexion au premier niveau N_1 de composants.

On remplace ensuite le matériau sacrificiel 88 par un matériau conducteur 118 par exemple un matériau métallique tel que du TiN/W, du W, pour former la grille 120 de remplacement (figures 11A, 11B, 11C donnant respectivement une vue de dessus, une vue en coupe suivant l'axe B'B, une vue en coupe suivant l'axe C'C).

Le remplissage des trous 87a, 87b par le matériau conducteur 118 permet de former des premiers éléments 130a, 130b d'interconnexion en contact avec une zone de connexion donnée 24. Le remplissage est effectué de sorte que le matériau conducteur 118 déborde des trous 87a, 87b et s'étend sur le diélectrique de grille parallèlement à la deuxième couche semi-conductrice 42 afin de former la grille 120. On établit ainsi un contact entre la grille d'un transistor T_{21} du deuxième niveau N_2 de composants et le premier niveau d'interconnexion.

On peut ensuite également former d'autres éléments d'interconnexion cette fois entre la région de source 91 ou de drain 93 du transistor T_{21} du deuxième niveau N_2 de composants et le premier niveau N_1 de composants.

Pour cela on peut former tout d'abord un autre masque isolant 131 par exemple à base de SiO_2 à travers lequel on pratique un ou plusieurs trous 147a, 147b.

Dans l'exemple des figures 12A, 12B, 12D (donnant respectivement une vue de dessus, une vue en coupe suivant l'axe B'B, une vue en coupe suivant l'axe D'D) un trou 147a traverse les masques isolants 131, 101 et comporte un fond dévoilant la région semi-conductrice 91 de source, tandis qu'un autre trou 147b dévoile la région semi-conductrice 93 de drain du transistor T_{21} appartenant au deuxième niveau N_2 . La réalisation de cet autre trou 147b comprend le retrait d'une portion de la zone isolante 60, de la couche de protection 31 jusqu'à dévoiler une zone de connexion 27 du premier niveau N_1 d'interconnexion. Cette zone 27 peut être distincte et isolée électriquement de la zone de connexion 24 à laquelle la grille est connectée par le biais de l'élément

d'interconnexion 130. Dans cet exemple, les trous 147a, 147b, pratiqués dans les masques isolants 131, 101 sont prévus avec des dimensions différentes, le trou 147a s'étendant uniquement en regard de la région de source, tandis que l'autre trou 147b, de longueur plus importante s'étend en regard de la région de drain, et au-delà de la région de drain également en regard de la zone de connexion 27 du premier niveau N_1 d'interconnexion.

On peut ensuite former des zones d'alliage de métal et de semi-conducteur sur les zones des régions semi-conductrices 91 de source et de drain 93 dévoilées par les trous 147a, 147b. Pour cela on dépose un matériau métallique dans les trous 147a, 147b puis on effectue un recuit thermique afin de réaliser une siliciuration des régions semi-conductrice 91, 93.

Un remplissage des trous 147a, 147b à l'aide d'un matériau conducteur tel que par exemple du TiN/W, W puis une étape de polissage par exemple par CMP est ensuite réalisé (figures 13A, 13B, 13C, 13D donnant respectivement une vue de dessus, une vue en coupe suivant l'axe B'B, une vue en coupe suivant l'axe C'C, une vue en coupe suivant l'axe D'D).

Le remplissage des 147a, 147b par un matériau conducteur permet de former un élément 152 d'interconnexion en contact avec la région de source 91 et un élément 154 d'interconnexion connexion en contact avec la région de drain 93 du transistor T_{21} . Du fait de la configuration du trou 147b et de son dépassement par rapport à la région de drain 93, l'élément 154 d'interconnexion est également connecté à la zone 27 de connexion. On établit ainsi un contact entre le drain du transistor T_{21} du deuxième niveau N_2 de composants et le premier niveau d'interconnexion N_1 .

Une variante prévoit de réaliser l'élément d'interconnexion 154 sur la région de source et l'élément d'interconnexion 152 sur la région de drain du transistor T_{21} .

Une autre variante de réalisation de l'un ou l'autre des exemples de réalisation décrits précédemment prévoit de former l'empilement de couches réalisé sur le premier niveau N_1 avec une couche conductrice 225 supplémentaire apte à former une électrode entre la deuxième couche semi-conductrice 42 et le premier niveau N_1 de

composants (figure 14). Cette couche 225 peut être à base de matériau semi-conducteur dopé, par exemple du polysilicium dopé. Le dopage peut être réalisé durant la réalisation de la couche ou bien ultérieurement.

5 En fonction de la manière dont elle est polarisée et de son type de dopage, cette couche 225 supplémentaire peut être destinée à permettre de moduler la tension de seuil d'un ou plusieurs transistors du deuxième niveau N_2 de composants dont la région de canal est prévue dans la deuxième couche semi-conductrice 42. La couche conductrice 225 supplémentaire peut également servir de plan de masse pour le ou les transistors du deuxième niveau N_2 .

10 Une telle couche conductrice 225 supplémentaire peut être réalisée notamment lorsque le ou les transistors du deuxième niveau N_2 sont formés selon une technologie de type SOI totalement désertée également appelée FDSOI (pour « Fully Depleted Silicon On Insulator »).

15 Pour intégrer cette zone conductrice supplémentaire 225, on peut prévoir un empilement tel qu'illustré sur la figure 14 qui comporte une couche isolante 233 entre le premier niveau N_1 de composants et la couche conductrice 225 supplémentaire, cette couche conductrice 225 pouvant être par exemple à base de polysilicium ou de métal. La couche isolante 233 peut être par exemple à base d'oxyde de silicium et avoir une épaisseur comprise par exemple entre 50 nm-120 nm.

20 Sur la couche conductrice 225, une autre couche isolante 234 est disposée et sépare cette couche conductrice 225 de la deuxième couche semi-conductrice 42. Cette autre couche isolante 234 est configurée, en particulier en termes de matériau la composant et d'épaisseur, de sorte à permettre un couplage capacitif entre la couche conductrice 225 et la deuxième couche semi-conductrice 42.

25 L'autre couche isolante 234 peut être par exemple à base d'oxyde de silicium et avoir une épaisseur comprise par exemple entre 10 nm et 25 nm.

L'empilement réalisé est ensuite gravé de manière à définir un bloc 239 (figures 15A, 15B, 15C donnant respectivement une vue de dessus, une vue en coupe suivant un axe B'B et une vue en coupe suivant un axe D'D). Cette gravure peut être

effectuée par exemple à l'aide de procédés de gravure sèche avec arrêt sur la couche de protection 31.

On grave ensuite à nouveau l'empilement de manière à définir dans la deuxième couche semi-conductrice 42 une zone active (figure 16A, 16B, 16C donnant respectivement une vue de dessus, une vue en coupe suivant un axe B'B et une vue en coupe suivant un axe D'D). Cette nouvelle gravure est réalisée en s'arrêtant sur la zone conductrice supplémentaire 225 et menée de manière à dévoiler au moins une région de la face supérieure de cette couche conductrice 225. Dans le bloc 239, cette région dévoilée de la couche conductrice 225 dépasse par rapport à la deuxième couche semi-conductrice, de manière à former un décrochement. La région dévoilée de la couche conductrice 225 est ainsi configurée de manière à permettre une prise de contact sur la couche conductrice 225 jouant le rôle d'électrode arrière de commande ou de plan de masse.

Ensuite, on peut effectuer des étapes telles que dans le procédé décrit précédemment notamment de réalisation de la zone isolante latérale autour du bloc 239, de formation de premiers trous dans la zone isolante latérale et d'un emplacement de grille communicant avec ces premiers trous, grille sacrificielle sur la deuxième couche semi-conductrice 42, de formation de régions de source et de drain sur la deuxième couche semi-conductrice 42, puis de remplacement de la grille sacrificielle par une autre grille.

Selon une variante de réalisation de l'un ou l'autre des exemples de procédé qui viennent d'être décrits, préalablement à la réalisation de la zone isolante 60 latérale, on peut former un bouchon isolant 360 contre le bloc 39, de sorte à recouvrir au moins une région d'une face latérale du bloc 39. Ce bouchon isolant 360 est prévu à base d'un matériau diélectrique différent du deuxième matériau diélectrique 62 à partir duquel la deuxième couche diélectrique de la zone isolante 60 est formée et susceptible de résister à une gravure sélective du deuxième matériau diélectrique 62 (figures 17A, 17B donnant respectivement une vue de dessus, une vue en coupe suivant un axe C'C du dispositif en cours de réalisation). Le bouchon isolant 360 peut être par exemple à base

d'oxyde de silicium lorsque le deuxième matériau diélectrique 62 est à base de nitrure de silicium.

5 Ensuite, on peut former la zone isolante 60 latérale autour du bloc 39 et du bouchon isolant 360 et suivre des étapes semblables à celles décrites en liaison avec les figures 6 à 12.

10 Dans la région dans laquelle il est disposé, le bouchon isolant 360 permet d'éviter la formation de trou par gravure d'une portion de la zone isolante latérale 60. Ainsi, pour un même motif de grille que celui de l'exemple de réalisation décrit précédemment en liaison avec la figure 13A, on réalise cette fois un seul élément d'interconnexion 130a le long d'une face latérale du bloc, tout en empêchant une prise de contact au niveau d'une région d'une face latérale recouverte par le bouchon isolant 360.

15 L'un ou l'autre des exemples de réalisation particuliers qui viennent d'être décrits concernent la réalisation d'éléments d'interconnexion entre un premier niveau de transistors et un deuxième niveau de transistors mais peut s'appliquer à la mise en œuvre d'un circuit 3D comportant plus de deux niveaux ou à l'interconnexion d'un transistor d'un niveau donné avec d'autres types de composants d'un niveau inférieur.

REVENDICATIONS

1. Procédé de réalisation d'au moins un élément d'interconnexion entre des niveaux différents de composants d'un circuit intégré doté de plusieurs niveaux (N₁, N₂) superposés de composants électroniques, le procédé comprenant des étapes consistant à :
- 5
- a) former sur un niveau inférieur (N₁) doté d'une ou plusieurs zones de connexion et d'au moins un premier composant (T₁₁) réalisé au moins partiellement dans une première couche semi-conductrice (11) : un bloc comprenant une deuxième couche
- 10 semi-conductrice (42) dans laquelle au moins une région de canal d'au moins un transistor (T₂₁) d'un niveau supérieur (N₂) est apte à être au moins partiellement formé et une couche isolante (33, 234) agencée entre la première couche semi-conductrice (11) et la deuxième couche semi-conductrice (42),
- b) former une zone isolante (60) latérale contre une face latérale du
- 15 bloc (39) de sorte que la zone isolante latérale repose sur une première zone de connexion (24, 27) du niveau inférieur,
- c) retirer au moins une portion de la zone isolante latérale (60) de sorte à former au moins un trou (87, 147) doté d'un fond dévoilant ladite première zone de connexion (24, 27),
- 20 d) remplir le trou (87, 147) à l'aide d'un matériau conducteur, le matériau conducteur étant agencé de sorte à former au moins un élément d'interconnexion (130, 154) entre une électrode du transistor (T₂₁) et ladite première zone de connexion (24, 27).
- 25
2. Procédé selon la revendication 1, dans lequel l'électrode est une électrode de grille (120) du transistor (T₂₁).
3. Procédé selon la revendication 2, dans lequel la zone isolante latérale (60) est formée d'au moins une première couche diélectrique à base d'un
- 30 premier matériau diélectrique (61) et d'au moins un deuxième couche diélectrique à base

d'un deuxième matériau diélectrique (62) apte à être gravé de manière sélective vis-à-vis du premier matériau diélectrique (61), la première couche diélectrique étant disposée en contact de la deuxième couche semi-conductrice (42) et étant revêtue par la deuxième couche diélectrique, la première portion retirée à l'étape c) étant une portion de la deuxième couche diélectrique gravée sélectivement vis-à-vis de la première couche diélectrique de sorte à conserver le premier matériau diélectrique (61) entre le premier trou (87) et la deuxième couche semi-conductrice (42).

4. Procédé selon l'une des revendications 2 ou 3, comprenant en outre des étapes de :

- formation d'au moins un autre trou (147a) par gravure d'au moins une autre portion de la zone isolante (60) latérale, l'autre trou (147b) étant agencé de sorte à dévoiler une zone de la deuxième couche semi-conductrice destinée à former une région de source ou de drain, et au moins une deuxième zone (21, 22, 23, 24, 27) de connexion du niveau inférieur (N_1),

- remplissage de l'autre trou (147b) par un matériau conducteur de sorte à former au moins un autre élément de connexion (152) entre une électrode de source ou de drain du transistor et une deuxième zone de connexion du niveau inférieur (N_1).

5. Procédé selon l'une des revendications 2 à 4, dans lequel on forme en outre au moins une couche de masquage (53, 83) en regard de la deuxième couche semi-conductrice (42) et au moins une ouverture (86) dans la couche de masquage, l'ouverture suivant un motif de grille, le premier trou (87) étant réalisé à l'étape c) de sorte à communiquer avec l'ouverture (86), le dépôt à l'étape d) comprenant le remplissage de ladite ouverture (86) par un matériau conducteur de sorte à former une grille du transistor.

6. Procédé selon la revendication 5, dans lequel le bloc formé à l'étape a) comprend une couche de diélectrique (51) de grille disposée sur la deuxième

couche semi-conductrice (42), l'ouverture (86) dévoilant la couche de diélectrique (51) de grille.

7. Procédé selon la revendication 5 ou 6, dans lequel la zone isolante latérale (60) est formée d'au moins une première couche diélectrique à base d'un premier matériau diélectrique (61) et d'au moins une deuxième couche diélectrique à base d'un deuxième matériau diélectrique (62) apte à être gravé de manière sélective vis-à-vis du premier matériau diélectrique (61), la première couche diélectrique étant disposée en contact de la deuxième couche semi-conductrice (42) et étant revêtue par la deuxième couche diélectrique,

la couche de masquage étant en contact avec la deuxième couche diélectrique.

8. Procédé selon l'une des revendications 2 à 7, dans lequel après formation de la zone isolante latérale (60), le procédé comprend des étapes de :

- formation sur la deuxième couche semi-conductrice d'une grille sacrificielle (90) à base d'un matériau sacrificiel, puis
- croissance de régions de source (91) et de drain (93) sur la couche semi-conductrice, puis
- remplacement de la grille sacrificielle (90) par une autre grille (120), l'autre grille étant formée à l'étape d) à base dudit matériau conducteur.

9. Procédé selon l'une des revendications 2 à 8, dans lequel le bloc comprend une couche (225) apte à former une électrode située entre le niveau inférieur (N_1) et la deuxième couche semi-conductrice (42), la couche (225) apte à former une électrode étant destinée, en fonction de la manière dont elle est polarisée, à contrôler la tension de seuil dudit transistor, la couche (225) apte à former une électrode étant revêtue par la couche isolante (234), et étant agencée en outre en regard de la deuxième couche semi-conductrice (42) et de sorte que la couche isolante (234) sépare la deuxième couche semi-conductrice (42) de la couche apte à former une électrode (225), la couche

isolante (234) ayant une épaisseur et étant à base d'un matériau prévus de sorte à permettre un couplage capacitif entre la couche (225) apte à former une électrode et la deuxième couche semi-conductrice (42).

5 10. Procédé selon la revendication 9, dans lequel la couche conductrice (225) dépasse dans le bloc par rapport à la deuxième couche semi-conductrice (42), de manière à former un décrochement.

10 11. Procédé selon la revendication 1, dans lequel l'électrode est une électrode de source ou de drain du transistor (T_{21}), la portion étant retirée à l'étape c) de sorte à dévoiler une zone de la deuxième couche semi-conductrice destinée à former une région de source ou de drain.

15 12. Procédé selon l'une des revendications 1 à 11, dans lequel la zone isolante latérale est formée d'au moins une première couche diélectrique à base d'un premier matériau diélectrique (61) et d'au moins un deuxième couche diélectrique à base d'un deuxième matériau diélectrique (62) apte à être gravé de manière sélective vis-à-vis du premier matériau diélectrique (61), la première couche diélectrique étant disposée en contact de la deuxième couche semi-conductrice (42) et étant revêtue par la deuxième
20 couche diélectrique, la première portion retirée à l'étape c) étant une portion de la deuxième couche diélectrique gravée sélectivement vis-à-vis de la première couche diélectrique de sorte à conserver le premier matériau diélectrique (61) entre le premier trou (87) et la deuxième couche semi-conductrice (42),

25 le procédé comprenant en outre, entre l'étape a) et l'étape b): la formation d'un bouchon isolant contre au moins une face latérale du bloc, la face latérale n'étant pas recouverte par le bouchon isolant.

30 13. Procédé selon l'une des revendications 1 à 12, dans lequel la zone isolante latérale formée à l'étape b) entoure entièrement le bloc.

14. Procédé selon l'une des revendications 1 à 13, dans lequel la zone isolante latérale (60) est formée d'au moins une première couche diélectrique à base d'un premier matériau diélectrique (61) et d'au moins une deuxième couche diélectrique à base d'un deuxième matériau diélectrique (62) apte à être gravé de manière sélective vis-à-vis du premier matériau diélectrique (61), et dans lequel une couche de protection est disposée sur le niveau inférieur préalablement à la formation du bloc à l'étape a), la couche de protection étant formée du premier matériau diélectrique et du deuxième matériau diélectrique.

15. Circuit intégré doté de plusieurs niveaux (N_1 , N_2) de composants électroniques superposés, comprenant :

- un niveau inférieur (N_1) doté d'au moins un premier composant au moins partiellement formé dans une première couche semi-conductrice,

- un bloc formé sur le niveau inférieur (N_1) comprenant une deuxième couche semi-conductrice (42) dans laquelle au moins une région de canal d'au moins un transistor (T_{21}) d'un deuxième niveau (N_2) est formé et une couche isolante (33, 234) agencée entre la première couche semi-conductrice (11) et la deuxième couche semi-conductrice (42),

- un élément d'interconnexion entre la grille du transistor et une zone de connexion du niveau inférieur, l'élément d'interconnexion étant formé d'un matériau conducteur s'étendant contre au moins une face latérale du bloc, le matériau conducteur débordant sur une zone de diélectrique de grille parallèlement à la deuxième couche semi-conductrice.

1/15

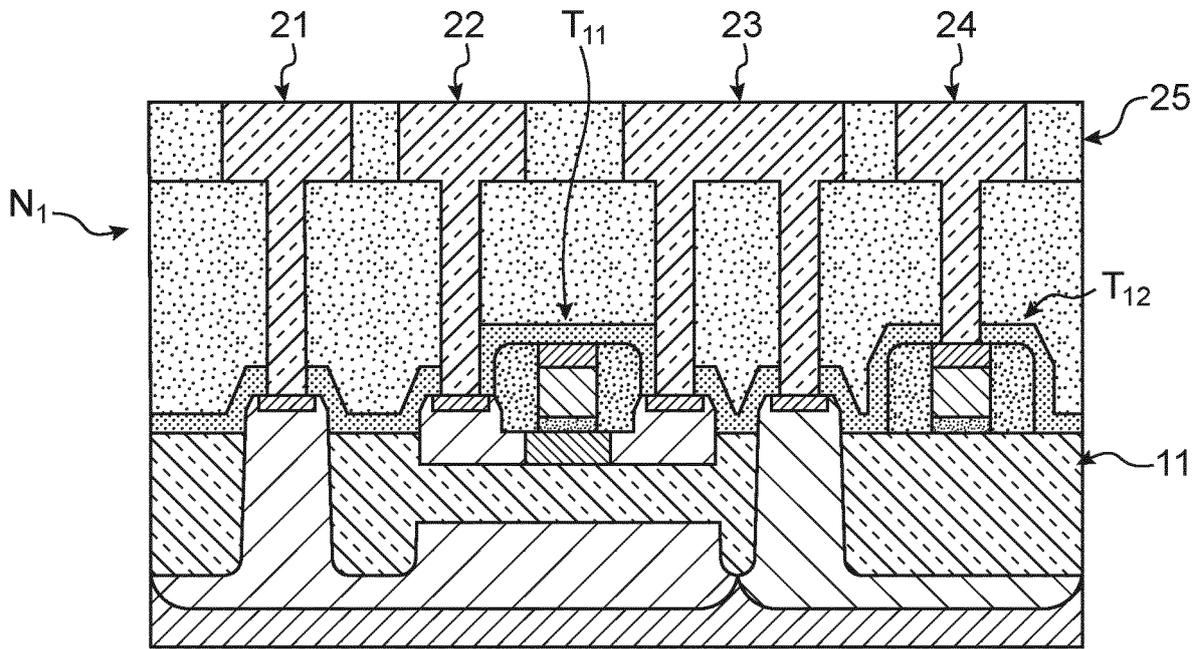


FIG.1

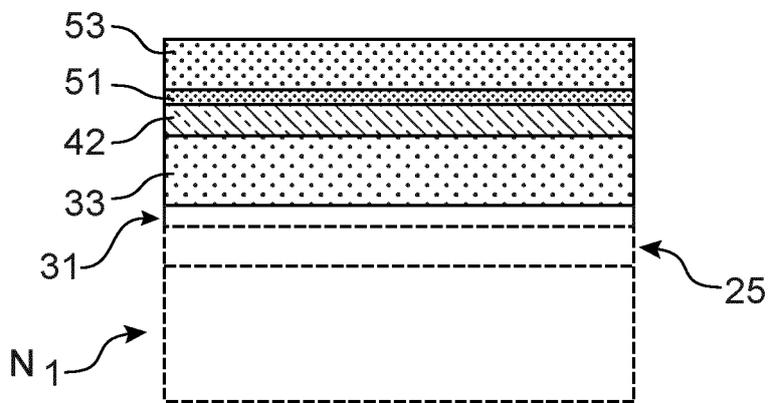


FIG.2

2/15

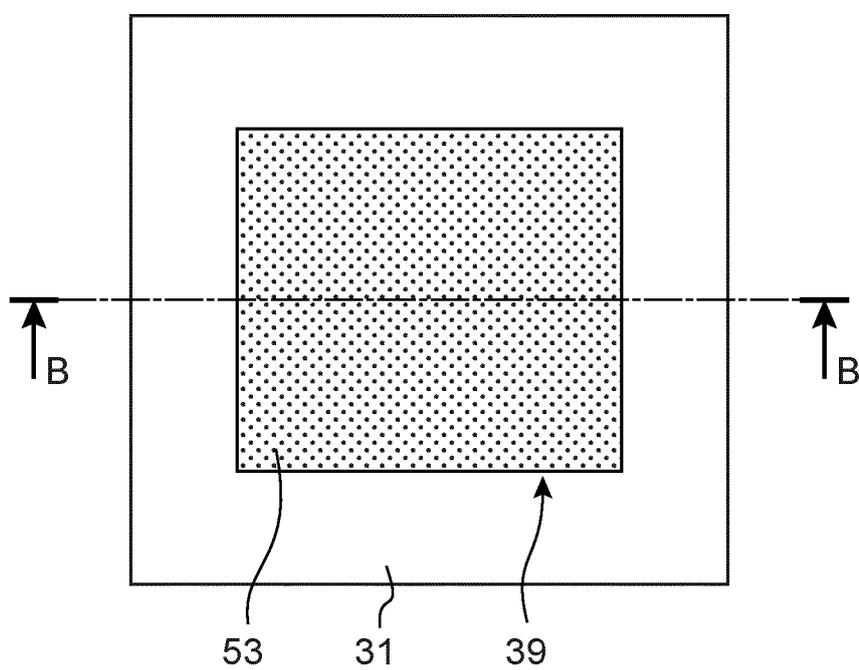


FIG. 3A

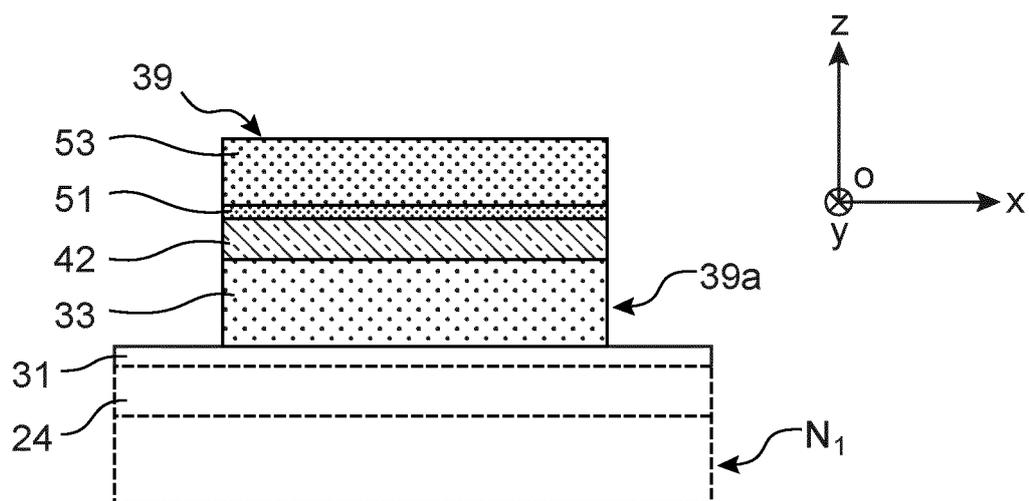


FIG. 3B

3/15

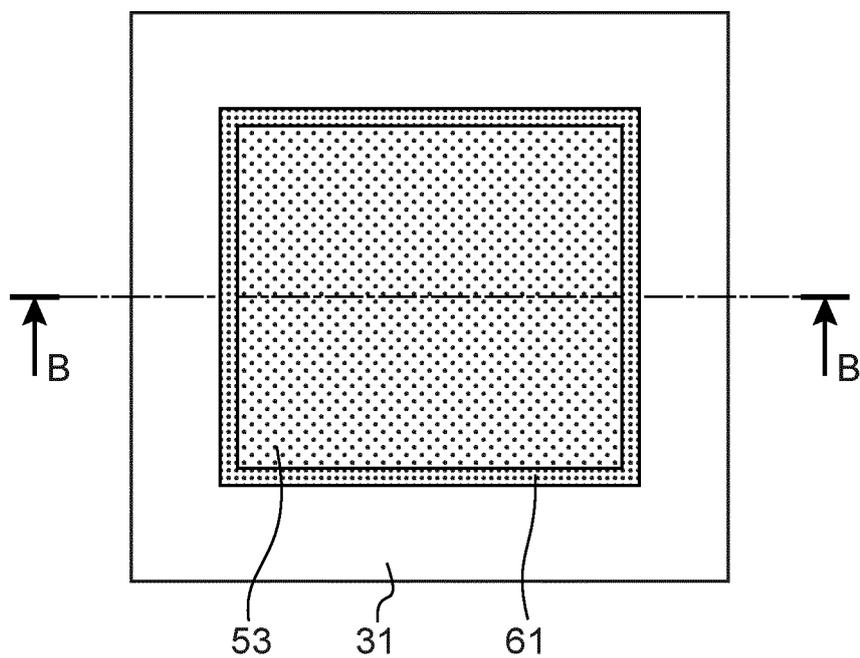


FIG. 4A

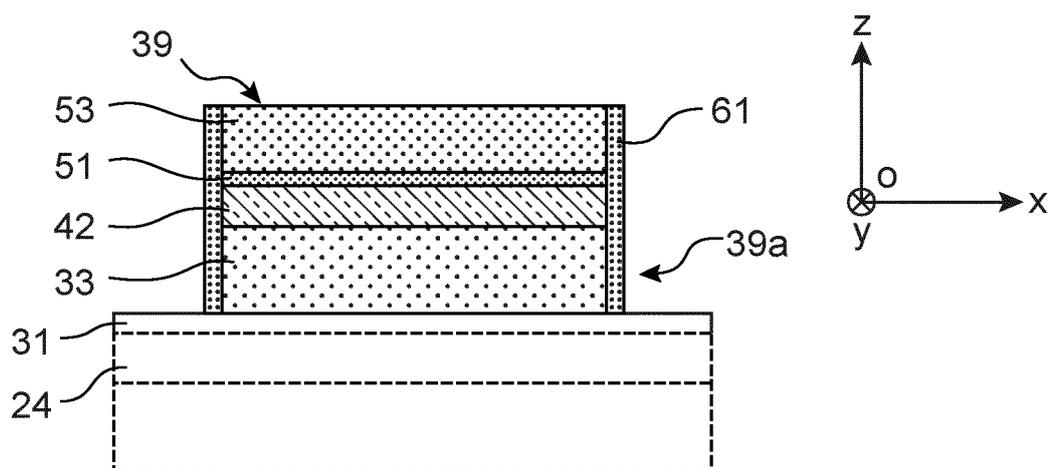


FIG. 4B

4/15

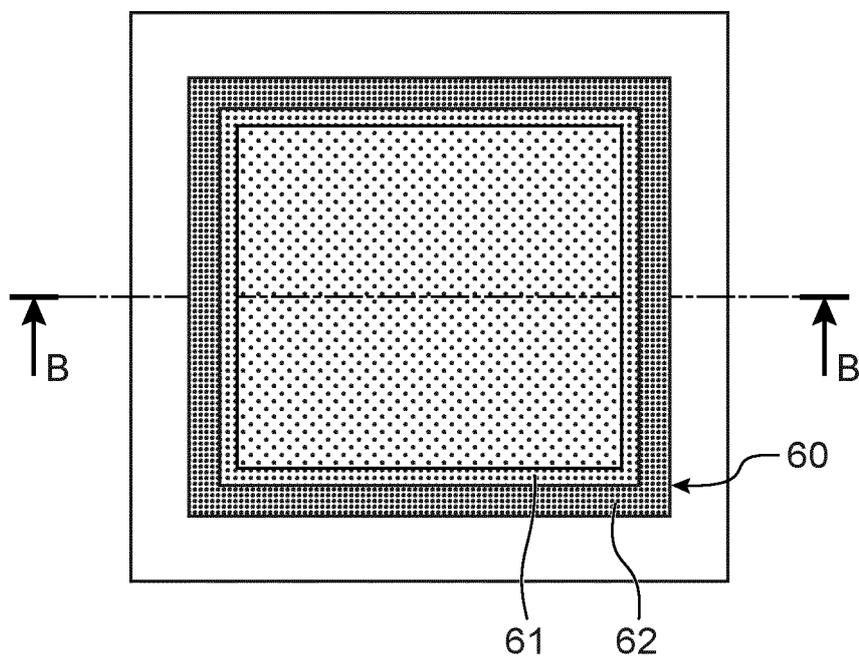


FIG. 5A

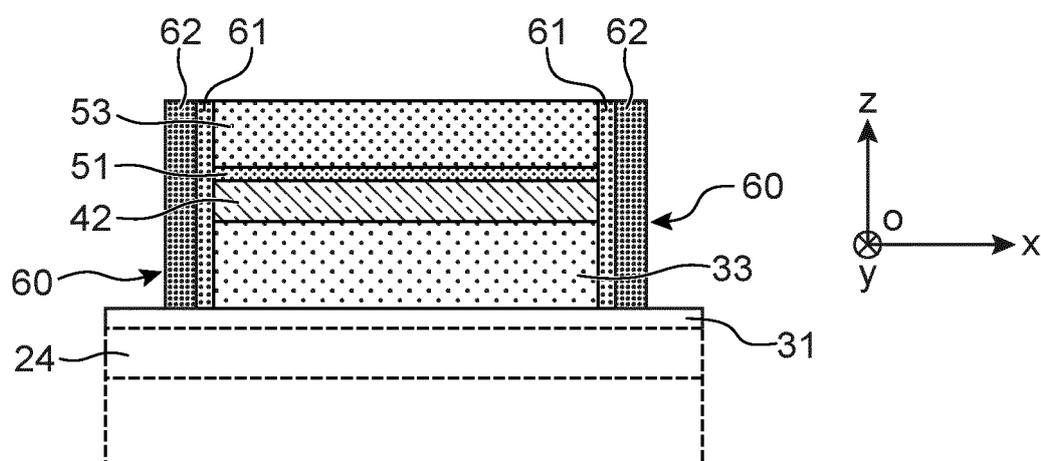


FIG. 5B

5/15

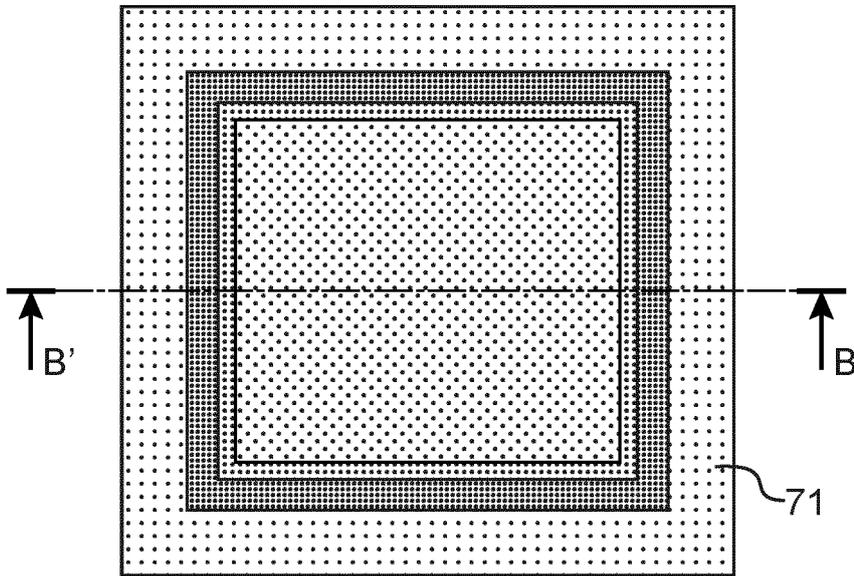


FIG. 6A

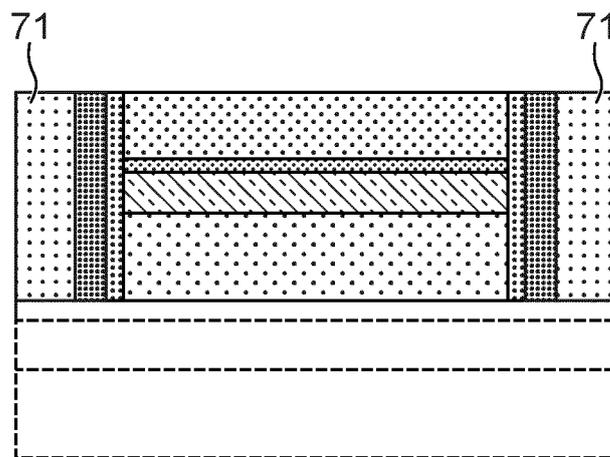
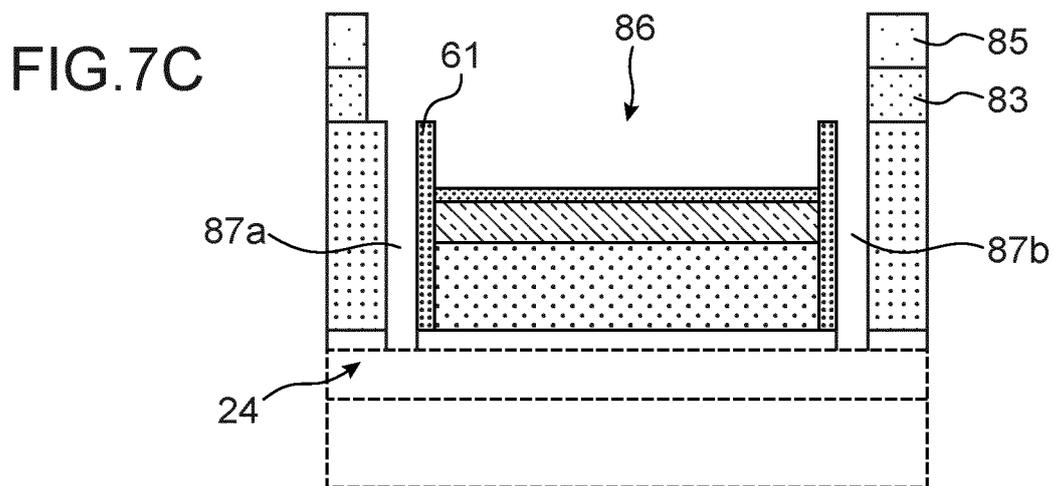
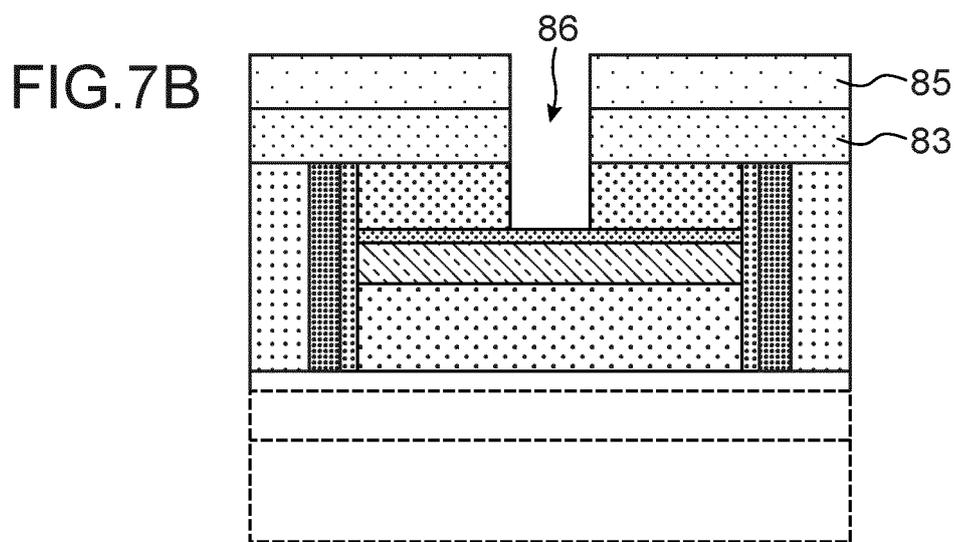
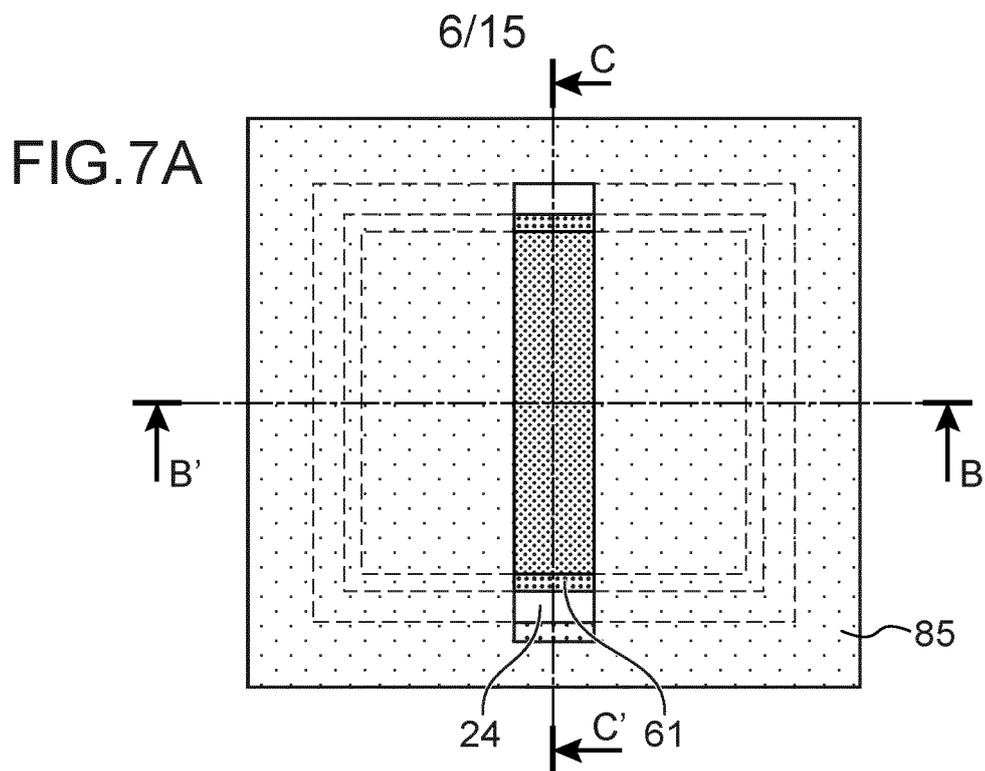
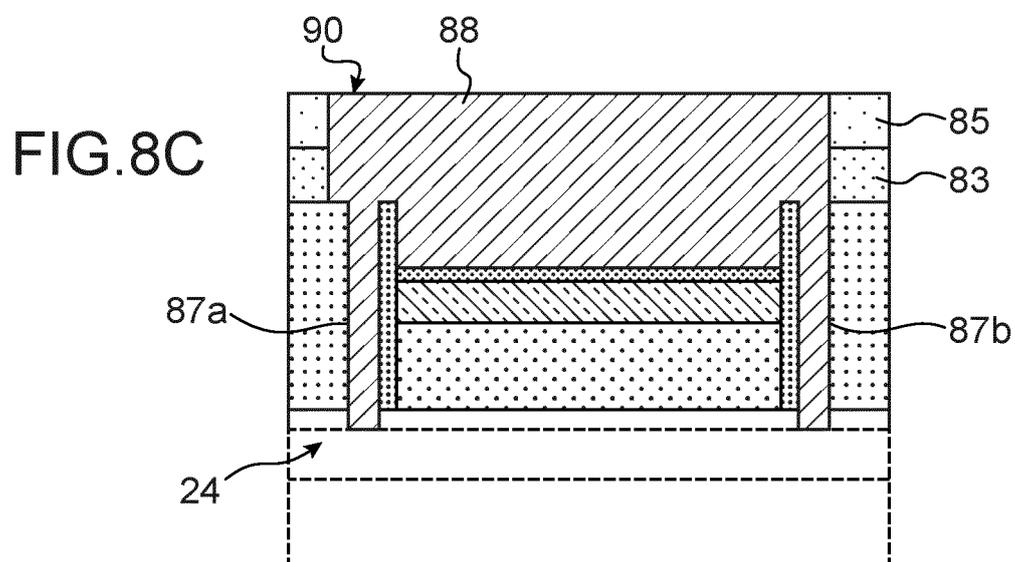
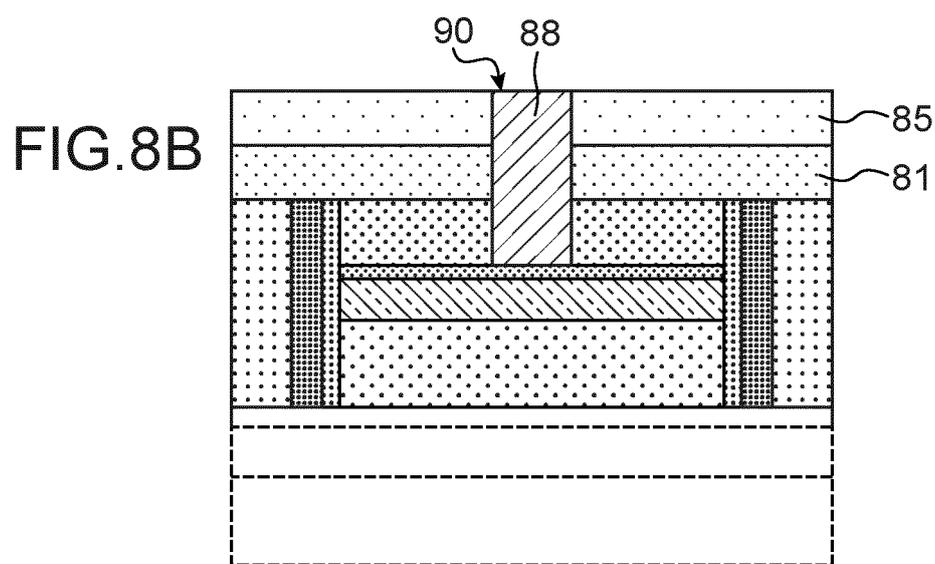
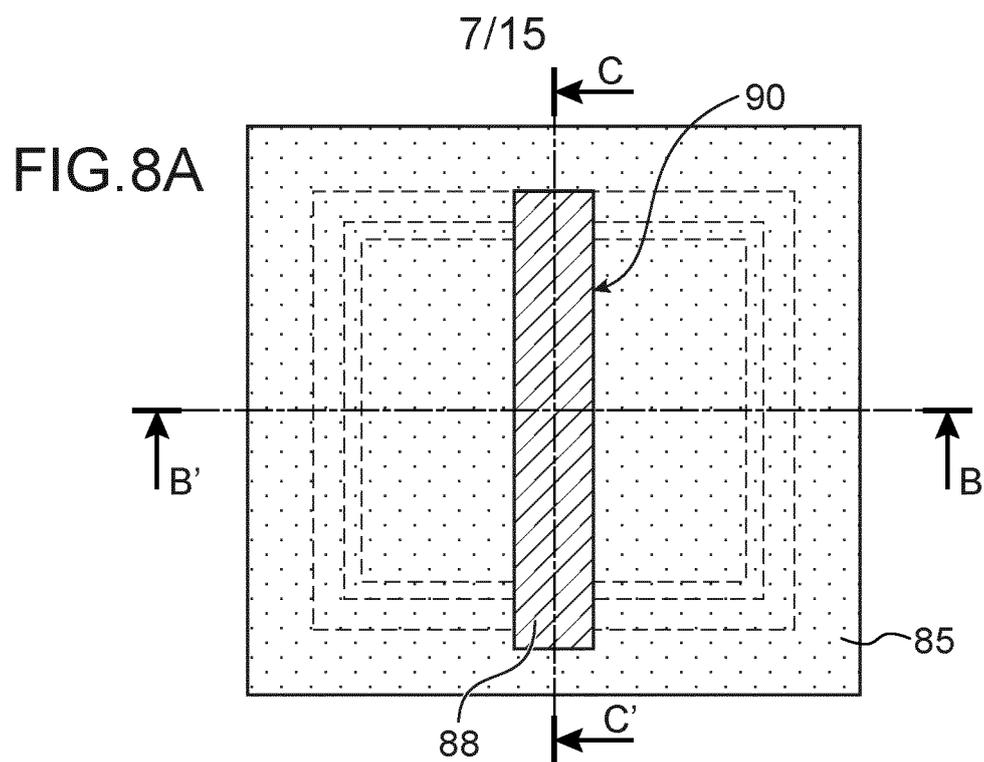


FIG. 6B





8/15

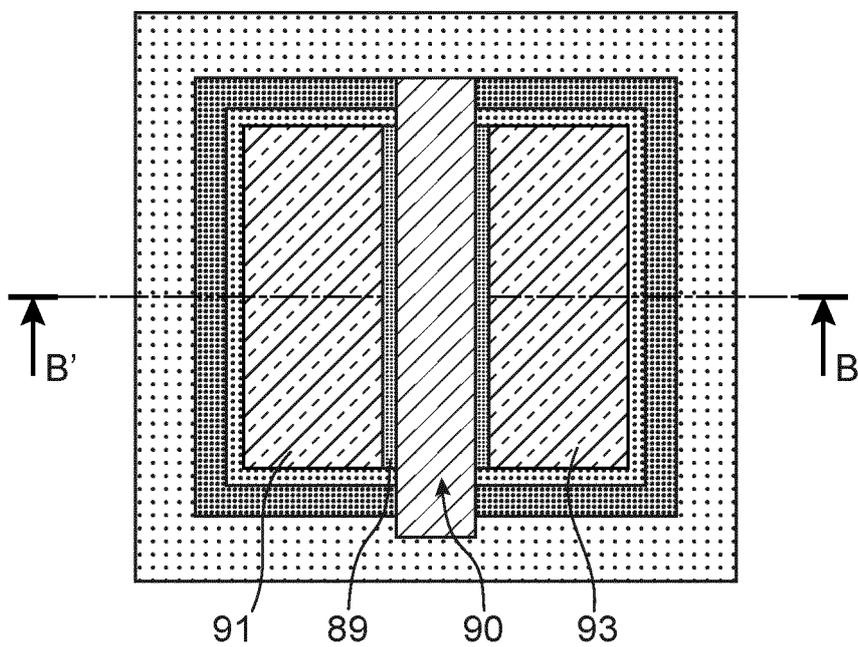


FIG. 9A

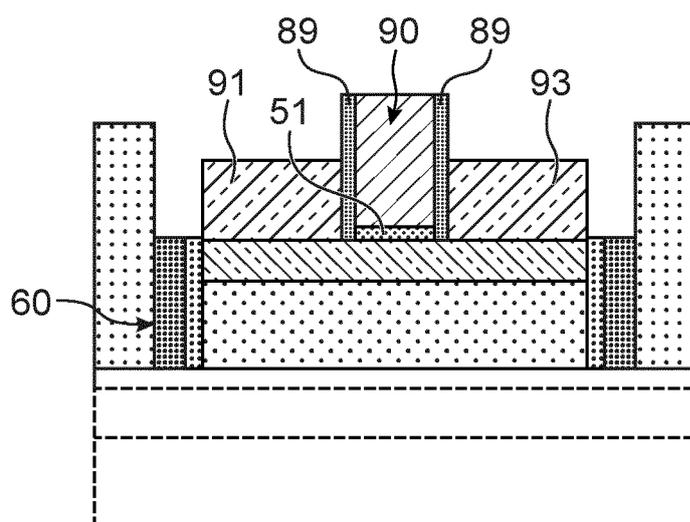


FIG. 9B

FIG. 10A

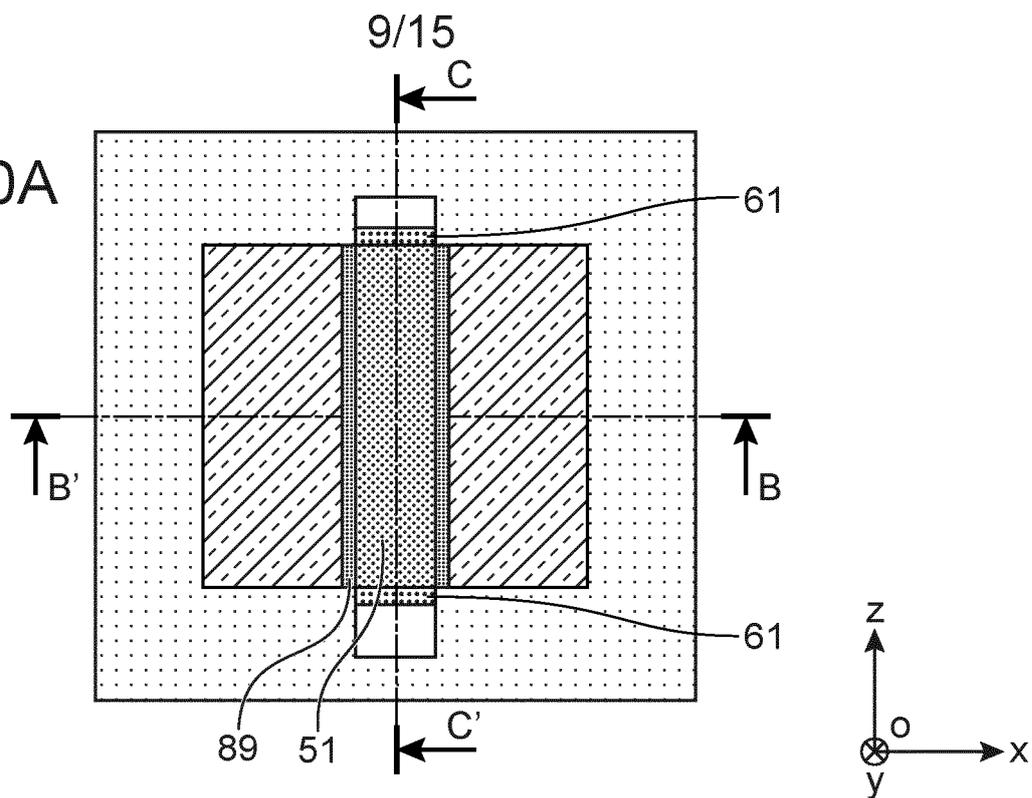


FIG. 10B

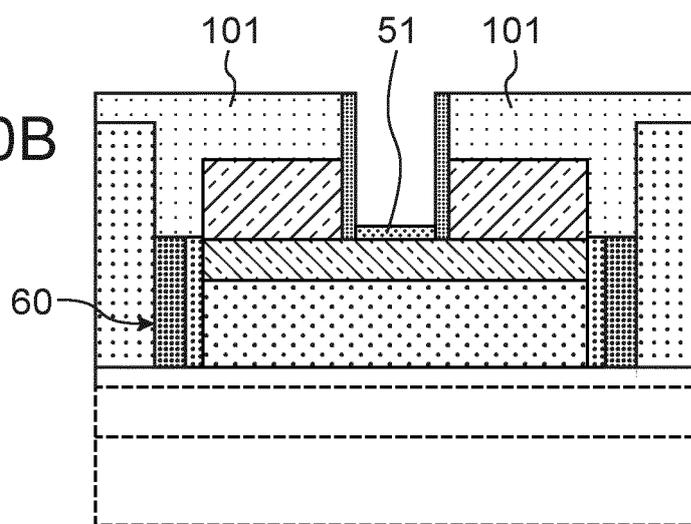
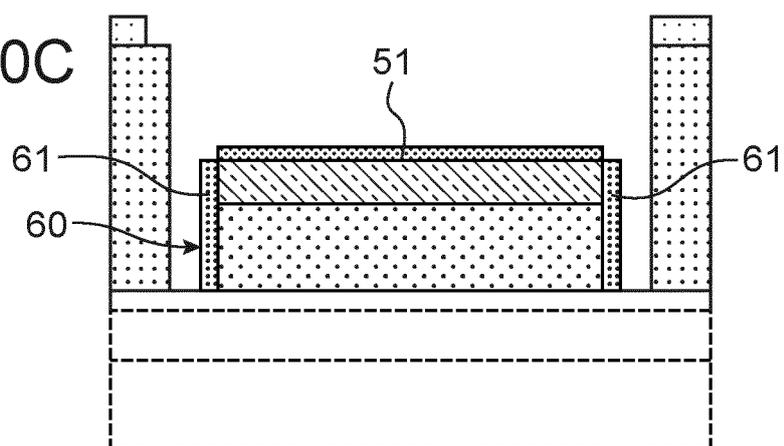
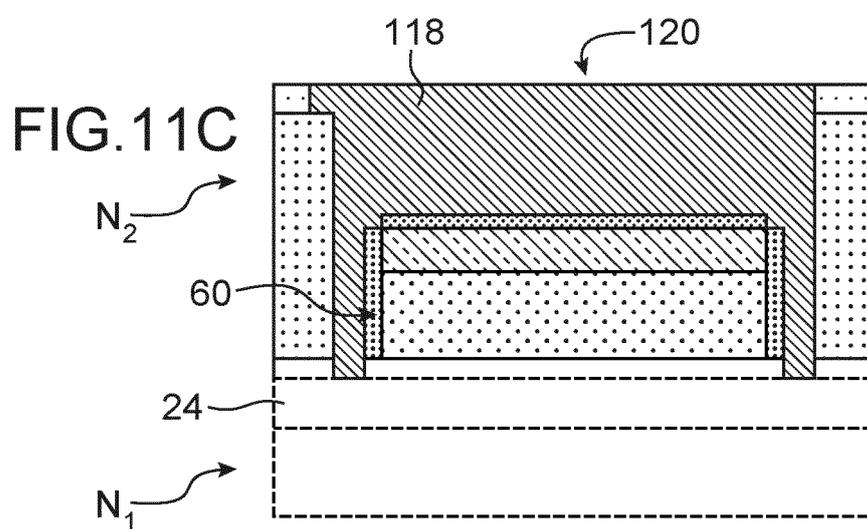
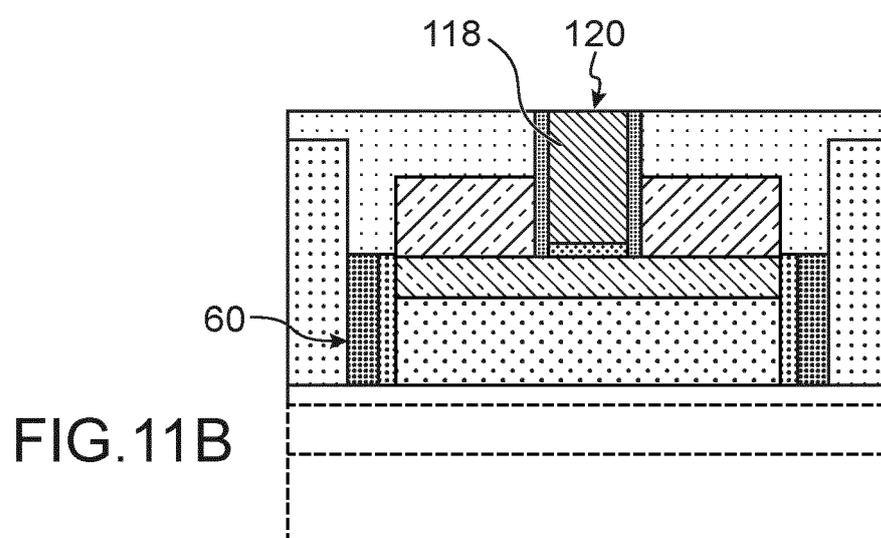
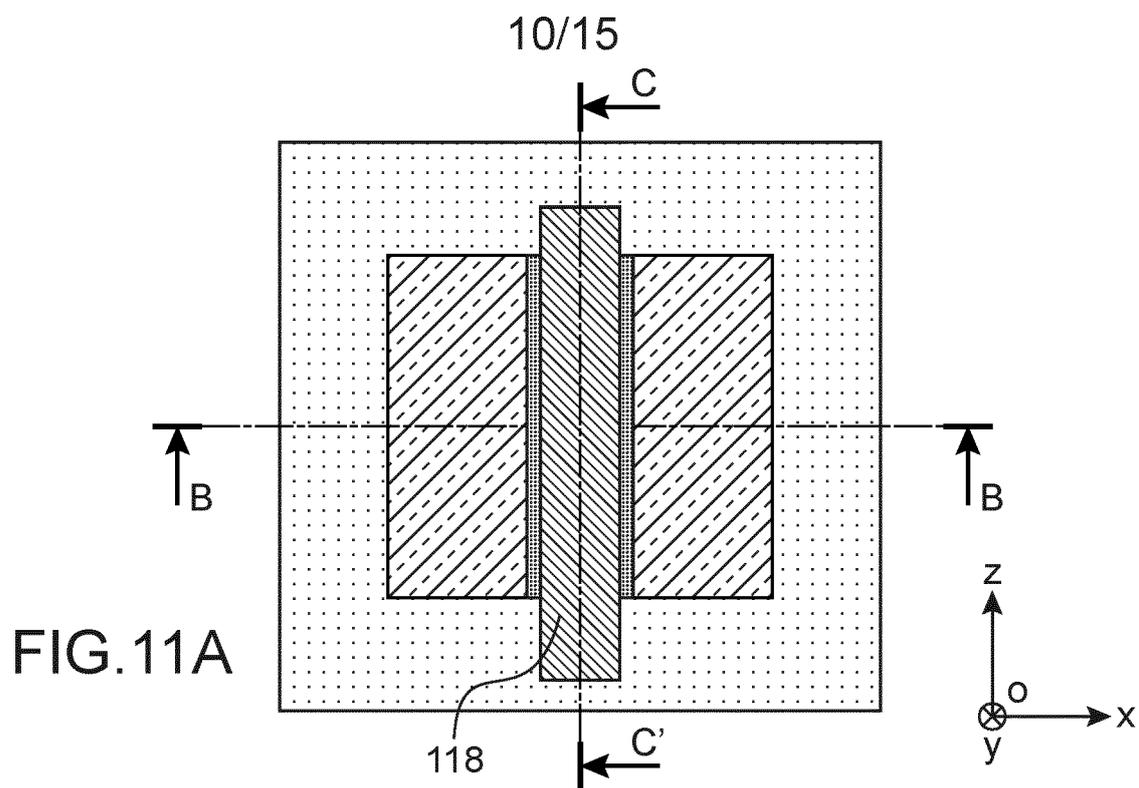


FIG. 10C





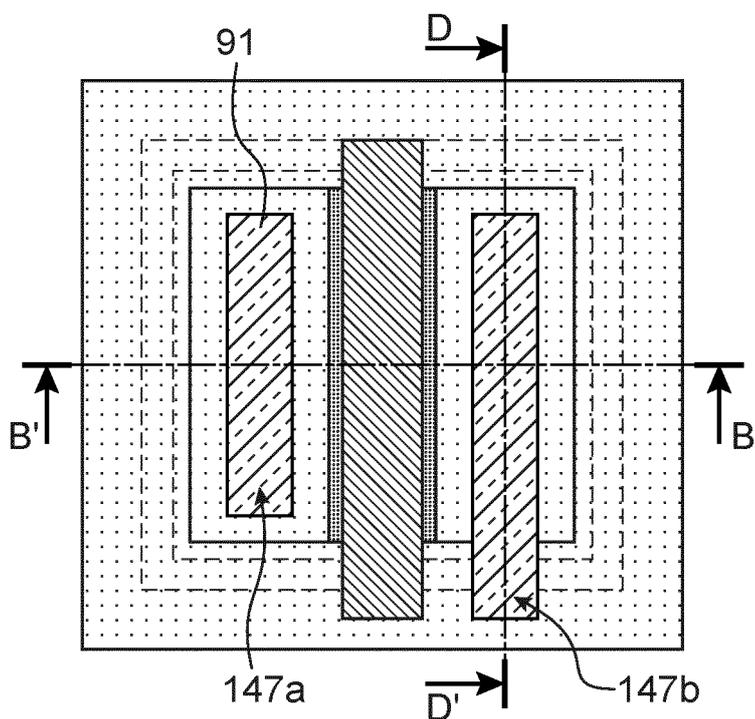


FIG. 12A

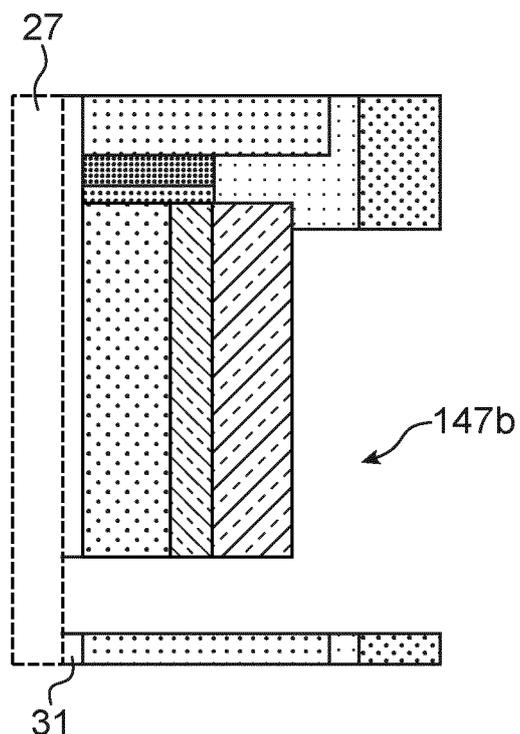


FIG. 12C

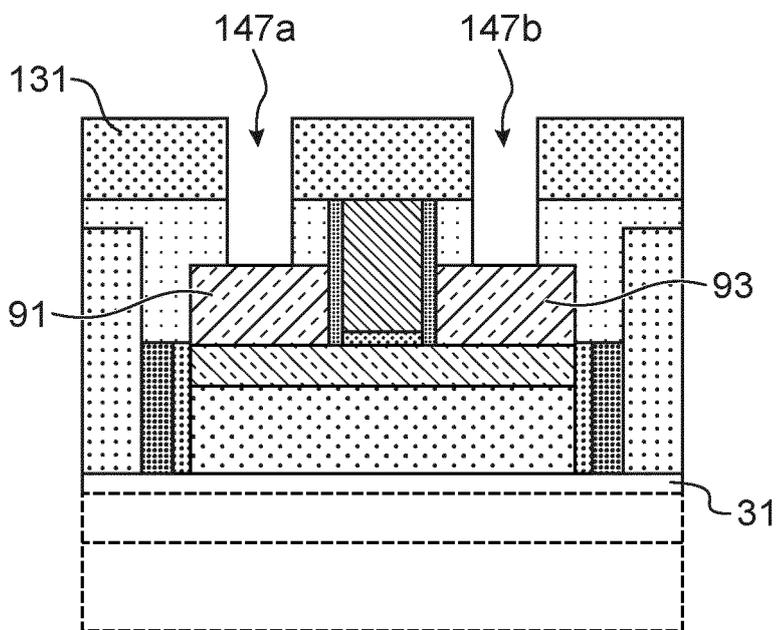


FIG. 12B

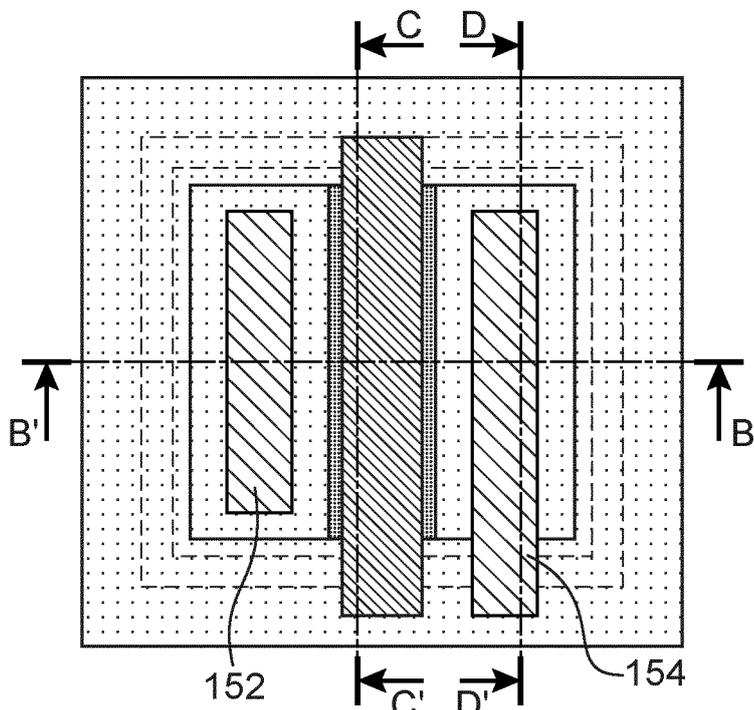


FIG. 13A

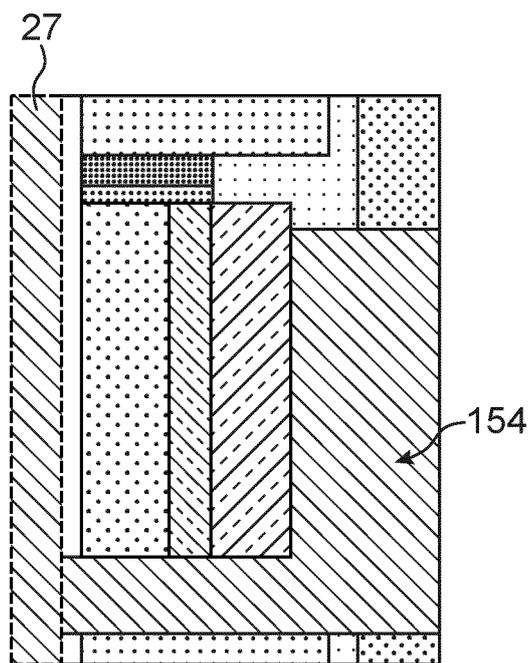


FIG. 13D

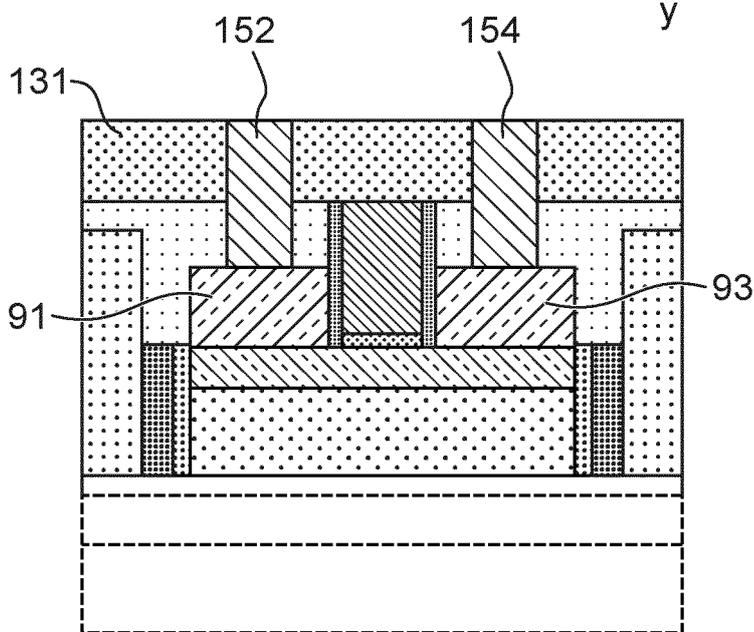
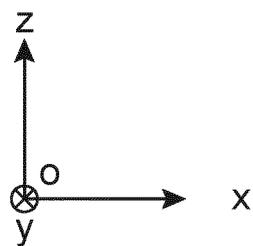


FIG. 13B

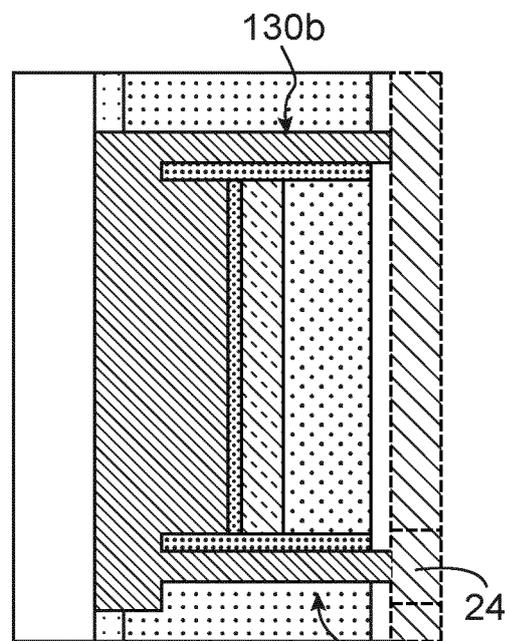


FIG. 13C

13/15

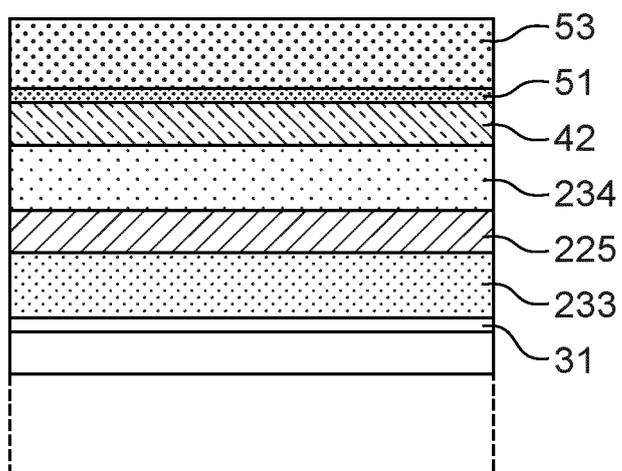


FIG. 14

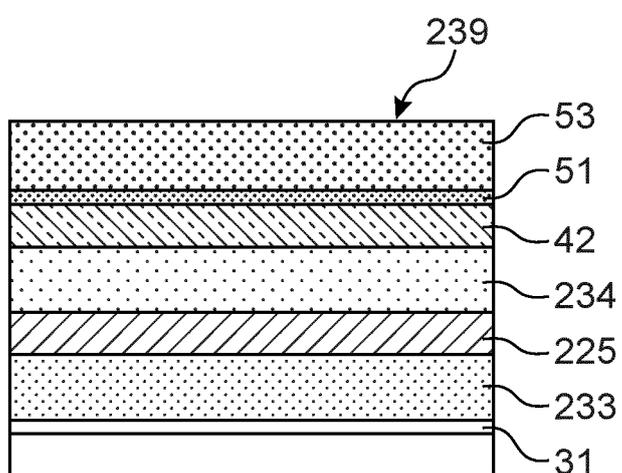


FIG. 15B

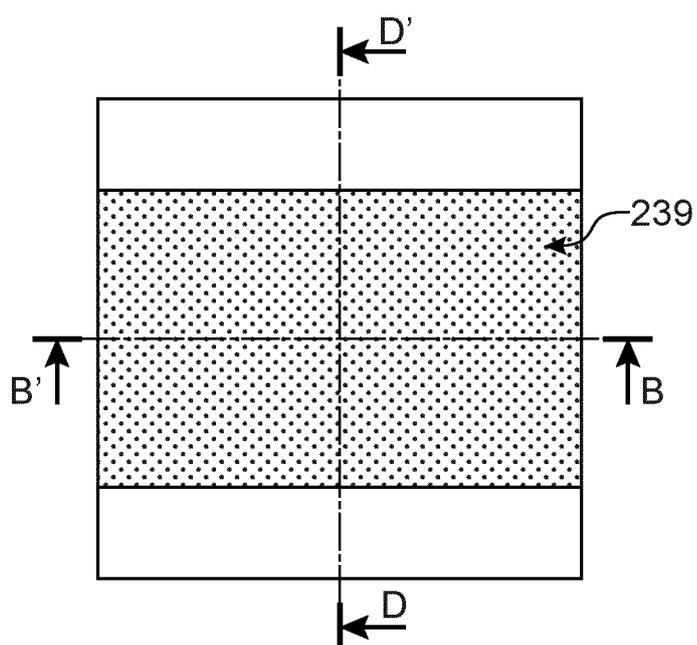


FIG. 15A

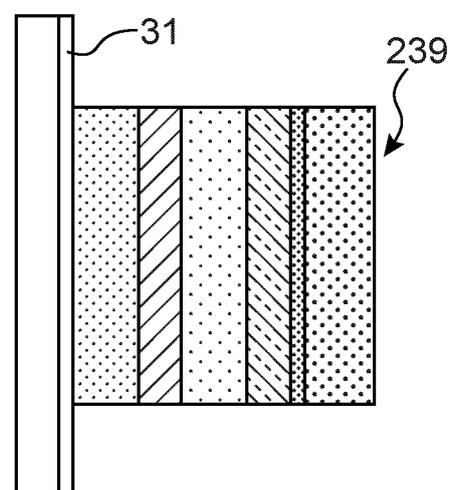


FIG. 15C

14/15

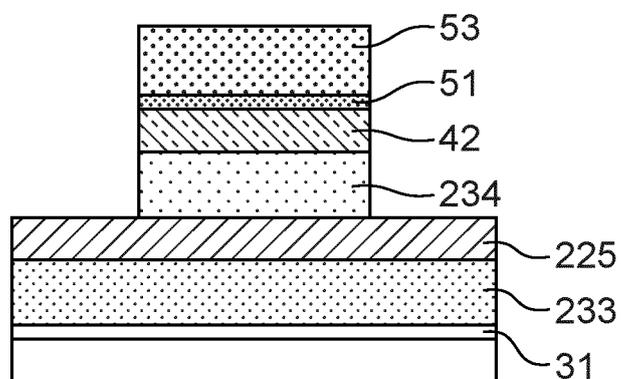


FIG. 16B

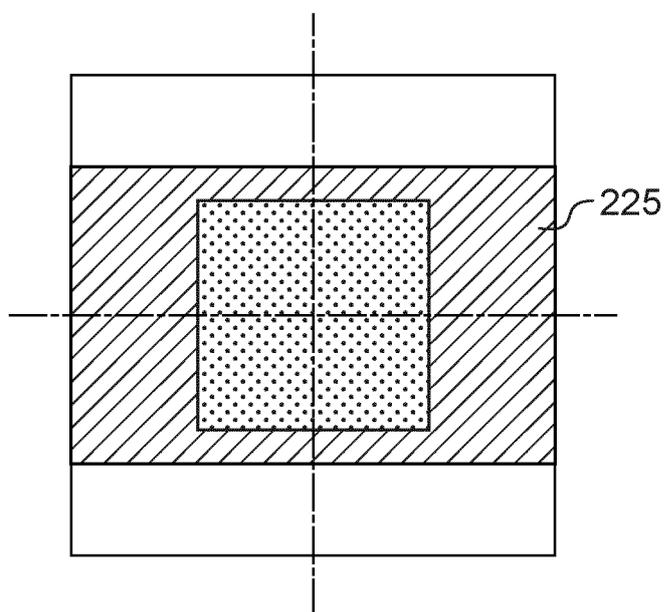


FIG. 16A

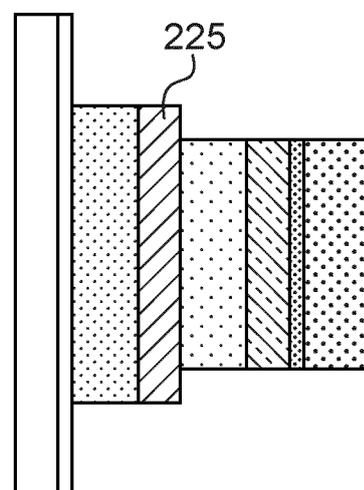


FIG. 16C

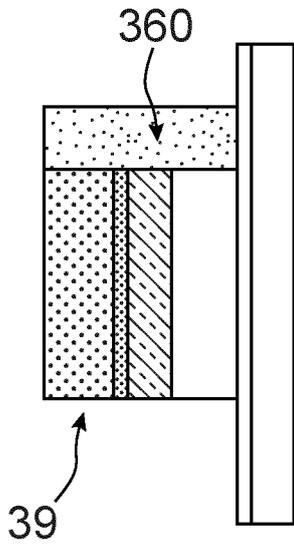


FIG. 17B

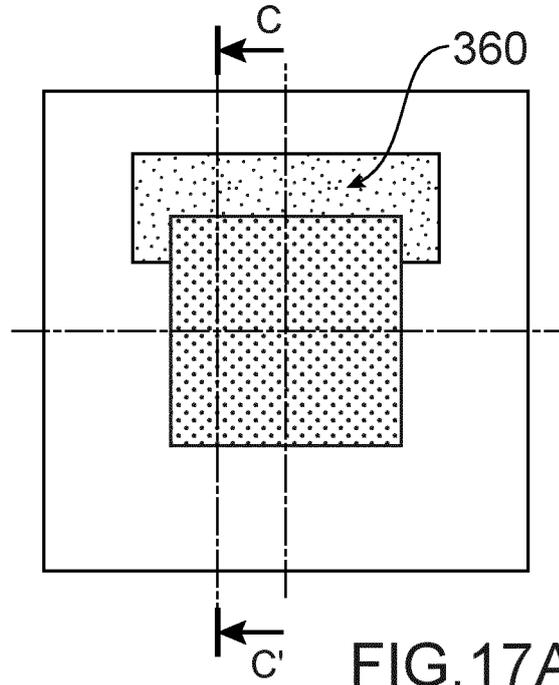


FIG. 17A

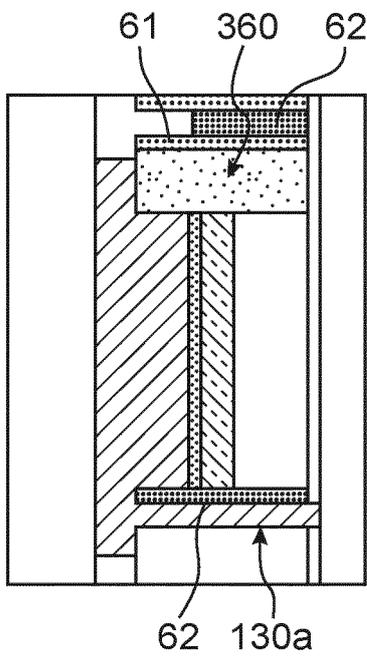


FIG. 18B

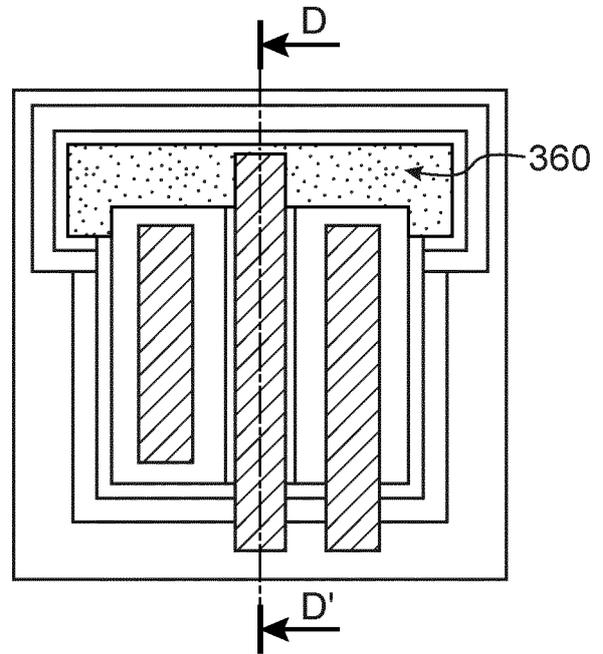


FIG. 18A



**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 813527
FR 1555237

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	WO 2014/209278 A1 (INTEL CORP [US]; MORROW PATRICK [US]; JUN KIMIN [US]; WEBB M CLAIR [US]) 31 décembre 2014 (2014-12-31)	1-7, 11-15	H01L21/283 H01L21/033 H01L23/52
Y	* alinéas [0032], [0034], [0041], [0050], [0055]; figures 1, 5, 7-9 *	8-10	
X	EP 0 075 945 A2 (TOKYO SHIBAURA ELECTRIC CO [JP]) 6 avril 1983 (1983-04-06)	1,11,13	
Y	* page 7, ligne 11 - ligne 33; figure 3 *		
Y	US 2012/256238 A1 (NING TAK H [US] ET AL) 11 octobre 2012 (2012-10-11)	8	
Y	US 6 433 609 B1 (VOLDMAN STEVEN H [US]) 13 août 2002 (2002-08-13)	9,10	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			H01L
Date d'achèvement de la recherche		Examineur	
5 février 2016		Seck, Martin	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention	
X : particulièrement pertinent à lui seul		E : document de brevet bénéficiant d'une date antérieure	
Y : particulièrement pertinent en combinaison avec un		à la date de dépôt et qui n'a été publié qu'à cette date	
autre document de la même catégorie		de dépôt ou qu'à une date postérieure.	
A : arrière-plan technologique		D : cité dans la demande	
O : divulgation non-écrite		L : cité pour d'autres raisons	
P : document intercalaire		& : membre de la même famille, document correspondant	

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1555237 FA 813527**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **05-02-2016**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
WO 2014209278 A1	31-12-2014	CN 105264655 A	20-01-2016
		DE 112013007061 T5	28-01-2016
		TW 201511224 A	16-03-2015
		WO 2014209278 A1	31-12-2014

EP 0075945 A2	06-04-1983	DE 3278871 D1	08-09-1988
		EP 0075945 A2	06-04-1983
		US 4500905 A	19-02-1985

US 2012256238 A1	11-10-2012	US 2012256238 A1	11-10-2012
		US 2013161706 A1	27-06-2013
		US 2014145246 A1	29-05-2014

US 6433609 B1	13-08-2002	AUCUN	
