(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4093621号
(P4093621)
(45)発行日　平成20年6月4日(2008.6.4)　(24)登録日　平成20年3月14日(2008.3.14)

(51)Int.Cl.　F I
H04N 7/01 (2006.01)　H04N 7/01 J

請求項の数 11 (全 28 頁)

(21)出願番号　特願平9-357622
(22)出願日　平成9年12月25日(1997.12.25)
(65)公開番号　特開平11-191880
(43)公開日　平成11年7月13日(1999.7.13)
審査請求日　平成15年3月5日(2003.3.5)
審判番号　不服2005-18289(P2005-18289/J1)
審判請求日　平成17年9月22日(2005.9.22)

(73)特許権者　000002185
ソニー株式会社
東京都港区港南１丁目７番１号
(74)代理人　100082131
弁理士　稲本　義雄
(72)発明者　近藤　哲二郎
東京都品川区北品川６丁目７番３５号　ソニー株式会社内
(72)発明者　藤原　孝芳
東京都品川区北品川６丁目７番３５号　ソニー株式会社内
(72)発明者　奥村　裕二
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

最終頁に続く

(54)【発明の名称】画像変換装置および画像変換方法、並びに学習装置および学習方法

(57)【特許請求の範囲】
【請求項１】
複数の画素からなる第１の画像を、複数の画素からなる第２の画像に変換する画像変換装置であって、
少なくとも上記第１の画像から複数の画素を予測タップとして得る予測タップ抽出手段と、
少なくとも上記第１の画像に基づいて上記第２の画像の予測値を求めるための予測係数を出力する予測係数出力手段と、
上記予測タップ抽出手段で得られた上記予測タップと、上記予測係数出力手段から出力された予測係数とに基づく演算によって、上記第２の画像の複数の画素を算出し、出力する単一の演算手段と、
上記単一の演算手段で算出した上記第２の画像の複数の画素を上記予測タップ抽出手段に供給する供給手段と
を備え、
上記予測タップ抽出手段は、上記供給手段から上記第２の画像の複数の画素が供給された際に、ある第２の画像の画素が注目画素とされた場合、その注目画素に空間的、時間的に近い位置にある、上記第１の画像の複数の画素と上記第２の画像の複数の画素との両方から上記予測タップを得る
ことを特徴とする画像変換装置。
【請求項２】

上記第１の画像と、上記供給手段によって供給される上記第２の画像とから複数の画素をクラスタップとして得るクラスタップ抽出手段と、
上記クラスタップを所定のクラスに分類するためのクラス分類を行うクラス分類手段とをさらに備え、
上記予測係数出力手段は、上記クラスに対応した予測係数を出力し、
上記単一の演算手段は、上記クラスに対応する上記予測係数を用いて、上記演算を行うことを特徴とする請求項１に記載の画像変換装置。

【請求項３】
上記予測タップ抽出手段は、上記供給手段から上記第２の画像の複数の画素が供給されない場合に、上記第１の画像の複数の画素と所定の初期値とから上記予測タップを得ることを特徴とする請求項１に記載の画像変換装置。

【請求項４】
複数の画素からなる第１の画像を、複数の画素からなる第２の画像に変換する画像変換方法であって、
少なくとも上記第１の画像から複数の画素を予測タップとして得る予測タップ抽出手段によって、上記予測タップを得る予測タップ抽出ステップと、
少なくとも上記第１の画像に基づいて上記第２の画像の予測値を求めるための予測係数を出力する予測係数出力ステップと、
上記予測タップ抽出ステップで得られた上記予測タップと、上記予測係数出力ステップで出力される予測係数とに基づく演算を行う単一の演算手段によって、上記第２の画像の複数の画素を算出し、出力する演算ステップと、
上記単一の演算手段で上記第２の画像の複数の画素が算出された際に、上記予測タップ抽出手段に上記第２の画像の複数の画素を供給する供給ステップと
を有し、
上記予測タップ抽出ステップでは、上記単一の演算手段で算出された上記第２の画像の複数の画素が上記予測タップ抽出手段に供給された際に、ある第２の画像の画素が注目画素とされた場合、その注目画素に空間的、時間的に近い位置にある、上記第１の画像の複数の画素と上記第２の画像の複数の画素との両方から上記予測タップが得られることを特徴とする画像変換方法。

【請求項５】
複数の画素からなる第１の画像と所定の予測係数とに基づく演算によって、上記第１の画像を、複数の画素からなる第２の画像に変換する場合に用いる上記予測係数を求める学習装置であって、
学習用の第２の画像が入力される第１の入力手段と、
上記学習用の第２の画像に対応し、上記学習用の第２の画像と異なる学習用の第１の画像が入力される第２の入力手段と、
ある第２の画像の画素が注目画素とされた場合、その注目画素に空間的、時間的に近い位置にある、上記学習用の第１の画像の複数の画素と上記学習用の第２の画像の複数の画素との両方から複数の画素を予測タップとして得る予測タップ抽出手段と、
上記予測タップと上記予測係数とに基づく演算によって求められる上記第２の画像の予測値と、上記予測タップに対応する上記学習用の第２の画像との誤差を小さくする上記予測係数を求めるための演算を行う単一の演算手段と
を備えることを特徴とする学習装置。

【請求項６】
上記学習用の第１の画像および上記学習用の第２の画像からクラスタップとして、複数の画素を得るクラスタップ抽出手段と、
上記クラスタップを所定のクラスに分類するためのクラス分類を行うクラス分類手段とをさらに備え、
上記単一の演算手段は、上記クラスごとに、上記予測係数を求める
ことを特徴とする請求項５に記載の学習装置。

【請求項７】
複数の画素からなる第１の画像と所定の予測係数とに基づく演算によって、上記第１の画像を、複数の画素からなる第２の画像に変換する場合に用いる上記予測係数を求める学習方法であって、
学習用の第２の画像が入力される第１の入力ステップと、
上記学習用の第２の画像に対応し、上記学習用の第２の画像と異なる学習用の第１の画像が入力される第２の入力ステップと、
ある第２の画像の画素が注目画素とされた場合、その注目画素に空間的、時間的に近い位置にある、上記学習用の第１の画像の複数の画素と上記学習用の第２の画像の複数の画素との両方から複数の画素を予測タップとして得る予測タップ抽出ステップと、
上記予測タップと上記予測係数とに基づく演算によって求められる上記第２の画像の予測値と、上記予測タップに対応する上記学習用の第２の画像との誤差を小さくする上記予測係数を求めるための演算を単一の演算手段で行う演算ステップと
を有する
ことを特徴とする学習方法。
【請求項８】
複数の画素からなる第１の画像と所定の予測係数とに基づく演算によって、上記第１の画像を、複数の画素からなる第２の画像に変換する場合に用いる上記予測係数を求める学習装置であって、
学習用の第２の画像が入力される第１の入力手段と、
上記学習用の第２の画像に対応し、上記学習用の第２の画像と異なる学習用の第１の画像が入力される第２の入力手段と、
少なくとも上記学習用の第１の画像から複数の画素を予測タップとして得る予測タップ抽出手段と、
上記予測タップと上記予測係数とに基づく演算によって求められる上記第２の画像の予測値と、上記予測タップに対応する上記学習用の第２の画像との誤差を小さくする上記予測係数を求めるための演算を行う単一の演算手段と、
上記学習用の第１の画像から、上記学習用の第２の画像に対応する変換画像を生成する変換画像生成手段と、
上記単一の演算手段による演算によって得られた上記予測係数を、上記変換画像生成手段に供給する供給手段とを備え、
上記変換画像生成手段は、上記供給手段から上記予測係数が供給された際に、上記供給手段からの上記予測係数を用いて上記変換画像を生成し、
上記予測タップ抽出手段は、ある第２の画像の画素が注目画素とされた場合、その注目画素に空間的、時間的に近い位置にある、上記変換画像生成手段からの上記変換画像の複数の画素と上記学習用の第１の画像の複数の画素とから上記予測タップを得る
ことを特徴とする学習装置。
【請求項９】
上記学習用の第１の画像および上記変換画像からクラスタップとして、複数の画素を得るクラスタップ抽出手段と、
上記クラスタップを所定のクラスに分類するためのクラス分類を行うクラス分類手段とをさらに備え、
上記単一の演算手段は、上記クラスごとに、上記予測係数を求める
ことを特徴とする請求項８に記載の学習装置。
【請求項１０】
上記変換画像生成手段は、上記供給手段から上記予測係数が供給される前は、上記学習用の第１の画像の画素を線形補間することによって上記変換画像を生成する
ことを特徴とする請求項８に記載の学習装置。
【請求項１１】
複数の画素からなる第１の画像と所定の予測係数とに基づく演算によって、上記第１の

画像を、複数の画素からなる第２の画像に変換する場合に用いる上記予測係数を求める学習方法であって、

学習用の第２の画像が入力される第１の入力ステップと、

上記学習用の第２の画像に対応し、上記学習用の第２の画像と異なる学習用の第１の画像が入力される第２の入力ステップと、

少なくとも上記学習用の第１の画像から複数の画素を予測タップとして得る予測タップ抽出手段によって、上記予測タップを得る予測タップ抽出ステップと、

上記予測タップと上記予測係数とに基づく演算によって求められる上記第２の画像の予測値と、上記予測タップに対応する上記学習用の第２の画像との誤差を小さくする上記予測係数を求めるための演算を行う単一の演算手段によって、演算を行う演算ステップと、

上記学習用の第１の画像から、上記学習用の第２の画像に対応する変換画像を生成する変換画像生成手段によって、上記変換画像を生成する変換画像生成ステップと、

上記単一の演算手段による演算によって得られた上記予測係数を上記変換画像生成手段に供給する供給手段によって、上記予測係数を供給する供給ステップと

を有し、

上記変換画像生成ステップでは、上記供給手段から上記予測係数が上記変換画像生成手段に供給された際に、上記供給手段からの上記予測係数を用いて上記変換画像が生成され、

上記予測タップ抽出ステップでは、ある第２の画像の画素が注目画素とされた場合、その注目画素に空間的、時間的に近い位置にある、上記変換画像生成手段からの上記変換画像の複数の画素と上記学習用の第１の画像の複数の画素とから上記予測タップが得られる

ことを特徴とする学習方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、画像変換装置および画像変換方法、並びに学習装置および学習方法に関し、特に、より高画質の画像を得ることができるようにする画像変換装置および画像変換方法、並びに学習装置および学習方法に関する。

【０００２】

【従来の技術】

例えば、標準解像度または低解像度の画像（以下、適宜、ＳＤ（Standard Definition）画像という）を、高解像度の画像（以下、適宜、ＨＤ（High Definition）画像という）に変換したり、また、画像を拡大したりする場合においては、いわゆる補間フィルタなどによって、不足している画素の画素値の補間（補償）が行われるようになされている。

【０００３】

しかしながら、補間フィルタによって画素の補間を行っても、ＳＤ画像に含まれていない、ＨＤ画像の成分（高周波成分）を復元することはできないため、高解像度の画像を得ることは困難であった。

【０００４】

そこで、本件出願人は、ＳＤ画像を、そこに含まれていない高周波成分をも含むＨＤ画像に変換する画像変換装置を先に提案している。

【０００５】

この画像変換装置においては、ＳＤ画像と、所定の予測係数との線形結合により、ＨＤ画像の画素の予測値を求める適応処理を行うことで、ＳＤ画像には含まれていない高周波成分が復元されるようになされている。

【０００６】

即ち、例えば、いま、ＨＤ画像を構成する画素（以下、適宜、ＨＤ画素という）の画素値ｙの予測値Ｅ［ｙ］を、幾つかのＳＤ画素（ＳＤ画像を構成する画素）の画素値（以下、適宜、学習データという）x_1，x_2，・・・と、所定の予測係数w_1，w_2，・・・の線形結合により規定される線形１次結合モデルにより求めることを考える。この場合、予測値

Ｅ［ｙ］は、次式で表すことができる。

【０００７】

$E[y]=w_1x_1+w_2x_2+\cdots\cdots$（１）

【０００８】

そこで、一般化するために、予測係数ｗの集合でなる行列Ｗ、学習データの集合でなる行列Ｘ、および予測値Ｅ［ｙ］の集合でなる行列Ｙ’を、

【数１】

$$X=\begin{pmatrix} x_{11} & x_{12} & \cdots & x_{1n} \\ x_{21} & x_{22} & \cdots & x_{2n} \\ \cdots & \cdots & \cdots & \cdots \\ x_{m1} & x_{m2} & \cdots & x_{mn} \end{pmatrix}$$

$$W=\begin{pmatrix} W_1 \\ W_2 \\ \cdots \\ W_n \end{pmatrix},\ Y'=\begin{pmatrix} E[y_1] \\ E[y_2] \\ \cdots \\ E[y_m] \end{pmatrix}$$

で定義すると、次のような観測方程式が成立する。

【０００９】

$XW=Y'\cdots$（２）

【００１０】

そして、この観測方程式に最小自乗法を適用して、ＨＤ画素の画素値ｙに近い予測値Ｅ［ｙ］を求めることを考える。この場合、教師データとなるＨＤ画素の真の画素値ｙの集合でなる行列Ｙ、およびＨＤ画素の画素値ｙに対する予測値Ｅ［ｙ］の残差ｅの集合でなる行列Ｅを、

【数２】

$$E=\begin{pmatrix} e_1 \\ e_2 \\ \cdots \\ e_m \end{pmatrix},\ Y=\begin{pmatrix} y_1 \\ y_2 \\ \cdots \\ y_m \end{pmatrix}$$

で定義すると、式（２）から、次のような残差方程式が成立する。

【００１１】

$XW=Y+E$

$\cdots$（３）

【００１２】

この場合、ＨＤ画素の画素値ｙに近い予測値Ｅ［ｙ］を求めるための予測係数w_iは、自乗誤差

【数３】

$$\sum_{i=1}^{m} e_i^2$$

を最小にすることで求めることができる。

【００１３】

従って、上述の自乗誤差を予測係数w_iで微分したものが０になる場合、即ち、次式を満たす予測係数w_iが、ＨＤ画素の画素値ｙに近い予測値Ｅ［ｙ］を求めるため最適値ということになる。

【００１４】

【数４】

$$e_1\frac{\partial e_1}{\partial w_i}+e_2\frac{\partial e_2}{\partial w_i}+\cdots+e_m\frac{\partial e_m}{\partial w_i}=0\ (i=1,2,\cdots,n)$$

・・・(4)

【００１５】

そこで、まず、式（３）を、予測係数w_iで微分することにより、次式が成立する。

【００１６】

【数５】

$$\frac{\partial e_i}{\partial w_1}=x_{i1},\ \frac{\partial e_i}{\partial w_2}=x_{i2},\ \cdots,\ \frac{\partial e_i}{\partial w_n}=x_{in},\ (i=1,2,\cdots,m)$$

・・・(5)

【００１７】

式（４）および（５）より、式（６）が得られる。

【００１８】

【数６】

$$\sum_{i=1}^{m}e_ix_{i1}=0,\ \sum_{i=1}^{m}e_ix_{i2}=0,\ \cdots\ \sum_{i=1}^{m}e_ix_{in}=0$$

・・・(6)

【００１９】

さらに、式（３）の残差方程式における学習データｘ、予測係数ｗ、教師データｙ、および残差ｅの関係を考慮すると、式（６）から、次のような正規方程式を得ることができる。

【００２０】

【数７】

$$\begin{cases} (\sum_{i=1}^{m} x_{i1}x_{i1})w_1+(\sum_{i=1}^{m} x_{i1}x_{i2})w_2+\cdots+(\sum_{i=1}^{m} x_{i1}x_{in})w_n=(\sum_{i=1}^{m} x_{i1}y_i) \\ (\sum_{i=1}^{m} x_{i2}x_{i1})w_1+(\sum_{i=1}^{m} x_{i2}x_{i2})w_2+\cdots+(\sum_{i=1}^{m} x_{i2}x_{in})w_n=(\sum_{i=1}^{m} x_{i2}y_i) \\ \cdots \\ (\sum_{i=1}^{m} x_{in}x_{i1})w_1+(\sum_{i=1}^{m} x_{in}x_{i2})w_2+\cdots+(\sum_{i=1}^{m} x_{in}x_{in})w_n=(\sum_{i=1}^{m} x_{in}y_i) \end{cases} \quad \cdots (7)$$

【００２１】
式（７）の正規方程式は、求めるべき予測係数ｗの数と同じ数だけたてることができ、従って、式（７）を解くことで（但し、式（７）を解くには、式（７）において、予測係数ｗにかかる係数で構成される行列が正則である必要がある）、最適な予測係数ｗを求めることができる。なお、式（７）を解くにあたっては、例えば、掃き出し法（Gauss-Jordanの消去法）などを適用することが可能である。
【００２２】
以上のようにして、最適な予測係数ｗを求め、さらに、その予測係数ｗを用い、式（１）により、ＨＤ画素の画素値ｙに近い予測値Ｅ［ｙ］を求めるのが適応処理である（但し、あらかじめ予測係数ｗを求めておき、その予測係数ｗから、予測値を求めるのも、適応処理に含まれる）。
【００２３】
なお、適応処理は、ＳＤ画像には含まれていない、ＨＤ画像に含まれる成分が再現される点で、補間処理とは異なる。即ち、適応処理では、式（１）だけを見る限りは、いわゆる補間フィルタを用いての補間処理と同一であるが、その補間フィルタのタップ係数に相当する予測係数ｗが、教師データｙを用いての、いわば学習により求められるため、ＨＤ画像に含まれる成分を再現することができる。即ち、容易に、高解像度の画像を得ることができる。このことから、適応処理は、いわば画像の解像度の創造作用がある処理ということができる。
【００２４】
図９は、以上のような適応処理により、ディジタル信号としてのＳＤ画像を、ＨＤ画像に変換する画像変換装置の構成例を示している。
【００２５】
ＳＤ画像は、ディレイライン１０７、並びにブロック化回路１および２に供給される。ディレイライン１０７では、ＳＤ画像が、例えば、１フレームだけ遅延され、ブロック化回路１および２に供給される。従って、ブロック化回路１および２には、ＨＤ画像への変換対象である現フレーム（以下、適宜、注目フレームともいう）のＳＤ画像と、その１フレーム前のフレーム（以下、適宜、前フレームという）のＳＤ画像とが供給される。
【００２６】
ブロック化回路１または２では、注目フレームのＨＤ画像を構成するＨＤ画素が、順次、注目画素とされ、その注目画素についての予測タップまたはクラスタップが、注目フレームおよび前フレームのＳＤ画像から形成される。
【００２７】
なお、ここでは、ＨＤ画素とＳＤ画素とは、例えば、図１０に示すような関係があるとする。即ち、ここでは、１のＳＤ画素（同図において□印で示す）と、そのＳＤ画素の左上

、右上、左下、右下それぞれに隣接する４つのＨＤ画素（同図において○印で示す）とが対応しており、従って、ＳＤ画像は、ＨＤ画像の水平方向および垂直方向を、いずれも１／２に間引いたものとなっている。

【００２８】

ブロック化回路１または２では、あるＨＤ画素が注目画素とされた場合、例えば、図１０に示すように、その注目画素（ＨＤ画素）に対応する注目フレームのＳＤ画素を中心とする３×３画素（横×縦）でなるブロック（処理ブロック）が形成されるとともに、図１１に示すように、注目画素に対応する前フレームのＳＤ画素を中心とする３×３画素でなるブロックが形成され、その合計１８画素（ＳＤ画素）が、それぞれ、予測タップまたはクラスタップとされる。なお、図１０では、注目フレームのＳＤ画素またはＨＤ画素を、それぞれ□印または○印で示してあり、図１１では、前フレームのＳＤ画素またはＨＤ画素を、それぞれ■印または●印で示してある。

【００２９】

ブロック化回路１において得られた予測タップは、予測演算回路６に供給され、ブロック化回路２において得られたクラスタップは、ＡＤＲＣ回路３を介して、クラスコード発生回路４に供給される。

【００３０】

ここで、上述の場合においては、説明を簡単にするために、ある注目画素について、同一のＳＤ画素で、予測タップおよびクラスタップを構成するようにしたが、それぞれのタップを構成するＳＤ画素は、同一である必要はない。

【００３１】

また、上述の場合には、注目フレームおよび前フレームの３×３の正方形状のＳＤ画素から予測タップおよびクラスタップを構成するようにしたが、予測タップおよびクラスタップは、その他、十字形状やひし形状に並んだＳＤ画素から構成することも可能であるし、さらに、前フレームのさらに１フレーム前や、注目フレームの１フレーム後のＳＤ画像を構成する画素を用いて構成することも可能である。

【００３２】

なお、予測タップおよびクラスタップは、注目画素とより相関の高いＳＤ画素から構成するのが好ましく、従って、基本的に、空間的、時間的に注目画素に近い位置にあるＳＤ画素を用いるのが好ましい。

【００３３】

また、ここでは、注目画素に対応する注目フレームのＳＤ画素を中心とする３×３のＳＤ画素と、注目画素に対応する前フレームのＳＤ画素を中心とする３×３のＳＤ画素とから予測タップおよびクラスタップが形成されるため、図１０に示すＨＤ画素ａ，ｂ，ｃ，ｄが注目画素とされた場合には、いずれの場合においても、同一の予測タップおよびクラスタップが形成される。

【００３４】

ブロック化回路２から、ＡＤＲＣ回路３を介して、クラスコード発生回路４に供給されたクラスタップは、そこでクラス分類される。即ち、クラスコード発生回路４では、クラスタップを構成するＳＤ画素（ここでは、上述したように、１８のＳＤ画素）の画素値のパターンに対応する値を、そのクラスタップ（または注目画素）のクラスとして出力する。

【００３５】

ここで、各ＳＤ画素の画素値を表すのに、例えば、８ビットなどの多くのビット数が割り当てられている場合、１８のＳＤ画素の画素値のパターン数は、$(2^8)^{18}$通りという莫大な数となり、その後の処理の迅速化が困難となる。

【００３６】

そこで、クラス分類を行う前の前処理として、クラスタップには、それを構成するＳＤ画素のビット数を低減するための処理である、例えばＡＤＲＣ（Adaptiv Dynamic Range Coding）処理が、ＡＤＲＣ回路３において施されるようになされている。

【００３７】

即ち、ＡＤＲＣ回路３では、まず、クラスタップを構成する１８のＳＤ画素から、その画素値の最大のもの（以下、適宜、最大画素という）と最小のもの（以下、適宜、最小画素という）とが検出される。そして、最大画素の画素値ＭＡＸと最小画素の画素値ＭＩＮとの差分ＤＲ（＝ＭＡＸ－ＭＩＮ）が演算され、このＤＲを処理ブロックの局所的なダイナミックレンジとし、このダイナミックレンジＤＲに基づいて、処理ブロックを構成する各画素値が、元の割当ビット数より少ないＫビットに再量子化される。つまり、処理ブロックを構成する各画素値から最小画素の画素値ＭＩＮが減算され、各減算値が、$ＤＲ／２^{Ｋ}$で除算される。

【００３８】

その結果、処理ブロックを構成する各画素値はＫビットで表現されるようになる。従って、例えばＫ＝１とした場合、１８のＳＤ画素の画素値のパターン数は、$（２^{1}）^{18}$通りになり、ＡＤＲＣ処理を行わない場合に比較して、パターン数を非常に少ないものとすることができる。なお、画素値を、このようにＫビットにするＡＤＲＣ処理を、以下、適宜、ＫビットＡＤＲＣ処理という。

【００３９】

クラスコード発生回路４では、以上のようなＡＤＲＣ処理が施されたクラスタップに対して、クラス分類処理が施され、そのクラスタップを構成するＳＤ画素値のパターンに対応する値が、そのクラスタップ（に対応する注目画素）のクラスとして、予測係数メモリ５に供給される。

【００４０】

予測係数メモリ５は、あらかじめ学習が行われることにより求められた予測係数を、クラスごとに記憶しており、クラスコード発生回路４からクラスが供給されると、そのクラスに対応するアドレスに記憶されている予測係数を読み出し、予測演算回路６に供給する。

【００４１】

予測演算回路６では、ブロック化回路２からの予測タップ（予測タップを構成するＳＤ画素の画素値）$ｘ_{1}$，$ｘ_{2}$，・・・と、その予測タップに適応した予測係数、即ち、予測係数メモリ５から供給される、注目画素のクラスに対応する予測係数$ｗ_{1}$，$ｗ_{2}$，・・・とを用いて、式（１）に示した演算、つまり、適応処理が行われることにより、注目画素ｙの予測値Ｅ［ｙ］が求められ、これが、注目画素（ＨＤ画素）の画素値として出力される。

【００４２】

以下同様の処理が、注目フレームのその他のＨＤ画素を注目画素として、順次行われ、これにより、ＳＤ画像がＨＤ画像に変換される。

【００４３】

次に、図１２は、図９の予測係数メモリ５に記憶させる予測係数を算出する学習処理を行う学習装置の構成例を示している。

【００４４】

学習における教師データｙとなるべきＨＤ画像（学習用のＨＤ画像）が、間引き回路１０１および教師データ抽出回路２７に供給されるようになされており、間引き回路１０１では、ＨＤ画像が、例えば、その画素数が間引かれることにより少なくされ、これによりＳＤ画像（学習用のＳＤ画像）とされる。即ち、ここでは、図１０で説明したように、１のＳＤ画素と、そのＳＤ画素に隣接する４つのＨＤ画素とが対応しているため、間引き回路１０１では、例えば、ＨＤ画像が、２×２のＨＤ画素にブロック化され、その平均値が、２×２のＨＤ画素のブロックの中心に位置するＳＤ画素（２×２のＨＤ画素に対応するＳＤ画素）の画素値とされる。

【００４５】

間引き回路１０１で得られたＳＤ画像は、ディレイライン１２８、並びにブロック化回路２１および２２に供給される。

【００４６】

ディレイライン１２８、ブロック化回路２１，２２，ＡＤＲＣ回路２３、またはクラスコード発生回路２４では、図９のディレイライン１０７、ブロック化回路１，２，ＡＤＲＣ

回路３、またはクラスコード発生回路４における場合とそれぞれ同様の処理が行われる。これにより、ブロック化回路２１からは、注目画素について形成された予測タップが出力され、また、クラスコード発生回路２４からは、注目画素のクラスが出力される。

【００４７】

そして、クラスコード発生回路２４が出力するクラスは、予測タップメモリ２５および教師データメモリ２６のアドレス端子（ＡＤ）に供給され、ブロック化回路２１が出力する予測タップは、予測タップメモリ２５に供給される。そして、予測タップメモリ２５では、クラスコード発生回路２４から供給されるクラスに対応するアドレスに、ブロック化回路２１から供給される予測タップが、学習データとして記憶される。

【００４８】

一方、教師データ抽出回路２７では、そこに供給されるＨＤ画像から、注目画素としてのＨＤ画素が抽出され、教師データとして、教師データメモリ２６に供給される。そして、教師データメモリ２６では、クラスコード発生回路２４から供給されるクラスに対応するアドレスに、教師データ抽出回路２７から供給される教師データが記憶される。

【００４９】

以下同様の処理が、あらかじめ学習用に用意されたＨＤ画像を構成するＨＤ画素すべてが注目画素とされるまで繰り返される。

【００５０】

その結果、予測タップメモリ２５または教師データメモリ２６の同一のアドレスには、図１０および図１１で説明した位置関係のあるＳＤ画素またはＨＤ画素が、学習データｘまたは教師データｙとして、それぞれ記憶される。

【００５１】

なお、予測タップメモリ２５と教師データメモリ２６においては、同一アドレスに複数の情報を記憶することができるようになされており、これにより、同一アドレスには、同一のクラスに分類される複数の学習データｘと教師データｙを記憶することができるようになされている。

【００５２】

その後、演算回路２９は、予測タップメモリ２５または教師データメモリ２６から、同一アドレスに記憶されている学習データとしての予測タップを構成するＳＤ画素の画素値、または教師データとしてのＨＤ画素の画素値を読み出し、それらを用いて、最小自乗法によって、予測値と教師データとの間の誤差を最小にする予測係数を算出する。即ち、演算回路２９では、クラスごとに、式（７）に示した正規方程式がたてられ、これを解くことにより、クラスごとの予測係数が求められる。

【００５３】

以上のようにして、演算回路２９で求められたクラスごとの予測係数が、図９の予測係数メモリ５における、そのクラスに対応するアドレスに記憶されている。

【００５４】

なお、以上のような学習処理において、予測係数を求めるのに必要な数の正規方程式が得られないクラスが生じる場合があるが、そのようなクラスについては、例えば、クラスを無視して正規方程式をたてて解くことにより得られる予測係数などが、いわばデフォルトの予測係数として用いられる。

【００５５】

【発明が解決しようとする課題】

図１２の学習装置で得られた予測係数を、図９の画像変換装置における予測係数メモリ５に記憶させ、ＳＤ画像からＨＤ画像への変換を行う場合、それにより得られるＨＤ画像の画質は、基本的には、クラスタップや予測タップを構成するＳＤ画素の数を多くすることで向上させることができる。

【００５６】

しかしながら、クラスタップや予測タップを構成するＳＤ画素の数を多くしていくと、その中には、注目画素から、空間的または時間的に離れたＳＤ画素も含まれてくる。即ち、

この場合、注目画素とは相関のないＳＤ画素が、クラスタップや予測タップに含まれてくるようになり、このようになると、それ以上、相関のないＳＤ画素を、クラスタップや予測タップに含めても、ＨＤ画像の画質を向上させるのは困難となる。

【００５７】

本発明は、このような状況に鑑みてなされたものであり、ＨＤ画像の画質を、より向上させることができるようにするものである。

【００５８】

【課題を解決するための手段】

請求項１に記載の画像変換装置は、少なくとも第１の画像から複数の画素を予測タップとして得る予測タップ抽出手段と、少なくとも第１の画像に基づいて第２の画像の予測値を求めるための予測係数を出力する予測係数出力手段と、予測タップ抽出手段で得られた予測タップと、予測係数出力手段から出力された予測係数とに基づく演算によって、第２の画像の複数の画素を算出し、出力する単一の演算手段と、単一の演算手段で算出した第２の画像の複数の画素を予測タップ抽出手段に供給する供給手段とを備え、予測タップ抽出手段は、供給手段から第２の画像の複数の画素が供給された際に、ある第２の画像の画素が注目画素とされた場合、その注目画素に空間的、時間的に近い位置にある、第１の画像の複数の画素と第２の画像の複数の画素との両方から予測タップを得ることを特徴とする。

【００５９】

請求項４に記載の信号変換方法は、少なくとも第１の画像から複数の画素を予測タップとして得る予測タップ抽出手段によって、予測タップを得る予測タップ抽出ステップと、少なくとも第１の画像に基づいて第２の画像の予測値を求めるための予測係数を出力する予測係数出力ステップと、予測タップ抽出ステップで得られた予測タップと、予測係数出力ステップで出力される予測係数とに基づく演算を行う単一の演算手段によって、第２の画像の複数の画素を算出し、出力する演算ステップと、単一の演算手段で第２の画像の複数の画素が算出された際に、予測タップ抽出手段に第２の画像の複数の画素を供給する供給ステップとを有し、予測タップ抽出ステップでは、単一の演算手段で算出された第２の画像の複数の画素が予測タップ抽出手段に供給された際に、ある第２の画像の画素が注目画素とされた場合、その注目画素に空間的、時間的に近い位置にある、第１の画像の複数の画素と第２の画像の複数の画素との両方から予測タップが得られることを特徴とする。

【００６０】

請求項５に記載の学習装置は、学習用の第２の画像が入力される第１の入力手段と、学習用の第２の画像に対応し、学習用の第２の画像と異なる学習用の第１の画像が入力される第２の入力手段と、ある第２の画像の画素が注目画素とされた場合、その注目画素に空間的、時間的に近い位置にある、学習用の第１の画像の複数の画素と学習用の第２の画像の複数の画素との両方から複数の画素を予測タップとして得る予測タップ抽出手段と、予測タップと予測係数とに基づく演算によって求められる第２の画像の予測値と、予測タップに対応する学習用の第２の画像との誤差を小さくする予測係数を求めるための演算を行う単一の演算手段とを備えることを特徴とする。

【００６１】

請求項７に記載の学習方法は、学習用の第２の画像が入力される第１の入力ステップと、学習用の第２の画像に対応し、学習用の第２の画像と異なる学習用の第１の画像が入力される第２の入力ステップと、ある第２の画像の画素が注目画素とされた場合、その注目画素に空間的、時間的に近い位置にある、学習用の第１の画像の複数の画素と学習用の第２の画像の複数の画素との両方から複数の画素を予測タップとして得る予測タップ抽出ステップと、予測タップと予測係数とに基づく演算によって求められる第２の画像の予測値と、予測タップに対応する学習用の第２の画像との誤差を小さくする予測係数を求めるための演算を単一の演算手段で行う演算ステップとを有することを特徴とする。

【００６２】

請求項８に記載の学習装置は、学習用の第２の画像が入力される第１の入力手段と、学

習用の第２の画像に対応し、学習用の第２の画像と異なる学習用の第１の画像が入力される第２の入力手段と、少なくとも学習用の第１の画像から複数の画素を予測タップとして得る予測タップ抽出手段と、予測タップと予測係数とに基づく演算によって求められる第２の画像の予測値と、予測タップに対応する学習用の第２の画像との誤差を小さくする予測係数を求めるための演算を行う単一の演算手段と、学習用の第１の画像から、学習用の第２の画像に対応する変換画像を生成する変換画像生成手段と、単一の演算手段による演算によって得られた予測係数を、変換画像生成手段に供給する供給手段とを備え、変換画像生成手段は、供給手段から予測係数が供給された際に、供給手段からの予測係数を用いて変換画像を生成し、予測タップ抽出手段は、ある第２の画像の画素が注目画素とされた場合、その注目画素に空間的、時間的に近い位置にある、変換画像生成手段からの変換画像の複数の画素と学習用の第１の画像の複数の画素とから予測タップを得ることを特徴とする。

【００６３】

請求項１１に記載の学習方法は、学習用の第２の画像が入力される第１の入力ステップと、学習用の第２の画像に対応し、学習用の第２の画像と異なる学習用の第１の画像が入力される第２の入力ステップと、少なくとも学習用の第１の画像から複数の画素を予測タップとして得る予測タップ抽出手段によって、予測タップを得る予測タップ抽出ステップと、予測タップと予測係数とに基づく演算によって求められる第２の画像の予測値と、予測タップに対応する学習用の第２の画像との誤差を小さくする予測係数を求めるための演算を行う単一の演算手段によって、演算を行う演算ステップと、学習用の第１の画像から、学習用の第２の画像に対応する変換画像を生成する変換画像生成手段によって、変換画像を生成する変換画像生成ステップと、単一の演算手段による演算によって得られた予測係数を変換画像生成手段に供給する供給手段によって、予測係数を供給する供給ステップとを有し、変換画像生成ステップでは、供給手段から予測係数が変換画像生成手段に供給された際に、供給手段からの予測係数を用いて変換画像が生成され、予測タップ抽出ステップでは、ある第２の画像の画素が注目画素とされた場合、その注目画素に空間的、時間的に近い位置にある、変換画像生成手段からの変換画像の複数の画素と学習用の第１の画像の複数の画素とから予測タップが得られることを特徴とする。

【００６４】

請求項１に記載の画像変換装置においては、予測タップ抽出手段は、少なくとも第１の画像から複数の画素を予測タップとして得て、予測係数出力手段は、少なくとも第１の画像に基づいて第２の画像の予測値を求めるための予測係数を出力する。そして、単一の演算手段が、予測タップ抽出手段で得られた予測タップと、予測係数出力手段から出力された予測係数とに基づく演算によって、第２の画像の複数の画素を算出し、出力する。さらに、供給手段は、単一の演算手段で算出した第２の画像の複数の画素を予測タップ抽出手段に供給し、予測タップ抽出手段は、供給手段から第２の画像の複数の画素が供給された際に、ある第２の画像の画素が注目画素とされた場合、その注目画素に空間的、時間的に近い位置にある、第１の画像の複数の画素と第２の画像の複数の画素との両方から予測タップを得るようになされている。

【００６５】

請求項４に記載の画像変換方法においては、予測タップ抽出手段によって、少なくとも第１の画像から複数の画素が予測タップとして得られる。また、少なくとも第１の画像に基づいて第２の画像の予測値を求めるための予測係数が出力される。そして、予測タップと予測係数とに基づく演算を行う単一の演算手段によって、第２の画像の複数の画素が算出され、第２の画像の複数の画素が出力される。また、単一の演算手段で算出された第２の画像の複数の画素が予測タップ抽出手段に供給された際に、ある第２の画像の画素が注目画素とされた場合、その注目画素に空間的、時間的に近い位置にある、第１の画像の複数の画素と第２の画像の複数の画素との両方から予測タップが得られるようになされている。

【００６６】

請求項５に記載の学習装置においては、第１の入力手段が学習用の第２の画像を入力し、第２の入力手段が学習用の第２の画像に対応し、学習用の第２の画像と異なる学習用の第１の画像を入力する。そして、予測タップ抽出手段が、ある第２の画像の画素が注目画素とされた場合、その注目画素に空間的、時間的に近い位置にある、学習用の第１の画像の複数の画素と学習用の第２の画像の複数の画素との両方から複数の画素を予測タップとして得て、単一の演算手段が、予測タップと予測係数とに基づく演算によって求められる第２の画像の予測値と、予測タップに対応する学習用の第２の画像との誤差を小さくする予測係数を求めるための演算を行うようになされている。

【００６７】

請求項７に記載の学習方法においては、学習用の第２の画像が入力されるとともに、学習用の第２の画像に対応し、学習用の第２の画像と異なる学習用の第１の画像が入力される。そして、ある第２の画像の画素が注目画素とされた場合、その注目画素に空間的、時間的に近い位置にある、学習用の第１の画像の複数の画素と学習用の第２の画像の複数の画素との両方から複数の画素が予測タップとして得られ、単一の演算手段が、予測タップと予測係数とに基づく演算によって求められる第２の画像の予測値と、予測タップに対応する学習用の第２の画像との誤差を小さくする予測係数を求めるための演算を行うようになされている。

【００６８】

請求項８に記載の学習装置においては、第１の入力手段が学習用の第２の画像を入力し、第２の入力手段が学習用の第２の画像に対応し、学習用の第２の画像と異なる学習用の第１の画像を入力する。そして、予測タップ抽出手段が、少なくとも学習用の第１の画像から複数の画素を予測タップとして得て、単一の演算手段が、予測タップと予測係数とに基づく演算によって求められる第２の画像の予測値と、予測タップに対応する学習用の第２の画像との誤差を小さくする予測係数を求めるための演算を行う。また、変換画像生成手段が、学習用の第１の画像から、学習用の第２の画像に対応する変換画像を生成し、供給手段が、単一の演算手段による演算によって得られた予測係数を、変換画像生成手段に供給する。さらに、変換画像生成手段は、供給手段から予測係数が供給された際に、供給手段からの予測係数を用いて変換画像を生成し、予測タップ抽出手段は、ある第２の画像の画素が注目画素とされた場合、その注目画素に空間的、時間的に近い位置にある、変換画像生成手段からの変換画像の複数の画素と学習用の第１の画像の複数の画素とから予測タップを得るようになされている。

【００６９】

請求項１１に記載の学習方法においては、学習用の第２の画像が入力されるとともに、学習用の第２の画像に対応し、学習用の第２の画像と異なる学習用の第１の画像が入力される。さらに、予測タップ抽出手段によって、少なくとも学習用の第１の画像から複数の画素が予測タップとして得られ、単一の演算手段によって、予測タップと予測係数とに基づく演算によって求められる第２の画像の予測値と、予測タップに対応する学習用の第２の画像との誤差を小さくする予測係数を求めるための演算が行われる。また、変換画像生成手段によって、学習用の第１の画像から、学習用の第２の画像に対応する変換画像が生成され、供給手段によって、単一の演算手段による演算によって得られた予測係数が変換画像生成手段に供給される。そして、供給手段から予測係数が変換画像生成手段に供給された際に、供給手段からの予測係数を用いて変換画像が生成され、ある第２の画像の画素が注目画素とされた場合、その注目画素に空間的、時間的に近い位置にある、変換画像生成手段からの変換画像の複数の画素と学習用の第１の画像の複数の画素とから予測タップが得られるようになされている。

【００７９】

【発明の実施の形態】

図１は、本発明を適用した画像変換装置の一実施の形態の構成例を示している。なお、図中、図９における場合と対応する部分については、同一の符号を付してある。即ち、この画像変換装置は、ディレイライン１０７に替えて、予測演算回路６が出力する画像を遅

延して、ブロック化回路１および２に供給するディレイライン７が設けられている他は、基本的に、図９における場合と、基本的に同様に構成されている。

【００８０】

ディレイライン７は、予測演算回路６が出力するＨＤ画像を、例えば、１フレームだけ遅延して、ブロック化回路１および２に供給するようになされている。従って、図１の実施の形態では、ブロック化回路１および２に対して、図２に示すように、第ＮフレームのＳＤ画像が供給されるのと同時に、その１フレーム前の第Ｎ－１フレームの、適応処理によって得られたＨＤ画像が供給されるようになされている。

【００８１】

以上のように構成される画像変換装置では、上述したように、ブロック化回路１および２に対して、注目フレームのＳＤ画像と、前フレームのＨＤ画像とが供給される。即ち、図９では、注目フレームのＳＤ画像とともに、前フレームのＳＤ画像が供給されるようになされていたが、本実施の形態では、注目フレームのＳＤ画像とともに、予測演算回路６において適応処理が行われることにより既に得られている前フレームのＨＤ画像が供給されるようになされている。

【００８２】

ブロック化回路１または２では、注目フレームのＨＤ画像を構成するＨＤ画素が、順次、注目画素とされ、その注目画素についての予測タップまたはクラスタップが、注目フレームのＳＤ画像および前フレームのＨＤ画像から形成される。

【００８３】

なお、ここでも、ＨＤ画素とＳＤ画素とは、例えば、前述の図１０と同様の図３に示すような関係があるとする。即ち、ここでは、１のＳＤ画素と、そのＳＤ画素の左上、右上、左下、右下それぞれに隣接する４つのＨＤ画素とが対応しており、従って、ＳＤ画像は、ＨＤ画像の水平方向および垂直方向を、いずれも１／２に間引いたものとなっている。

【００８４】

ブロック化回路１または２では、あるＨＤ画素が注目画素とされた場合、例えば、図３に点線で囲んで示すように、その注目画素（ＨＤ画素）に対応する注目フレームのＳＤ画素を中心とする３×３のＳＤ画素（図３において□印で示す）でなるブロック（処理ブロック）が形成されるとともに、注目画素に対応する前フレームのＳＤ画素を中心とする３×３の９個のＳＤ画素それぞれに対応するＨＤ画素、即ち、図４に点線で囲んで示す６×６の３６個のＨＤ画素（１のＳＤ画素には４のＨＤ画素が対応しており、従って、９個のＳＤ画素それぞれに対応するＨＤ画素は、４×９の３６個となる）（図４において●印で示す）でなるブロックが形成され、その合計４５画素（９個のＳＤ画素と３６のＨＤ画素）が、それぞれ、予測タップまたはクラスタップとされる。

【００８５】

なお、図３では、図１０と同様に、注目フレームのＳＤ画素またはＨＤ画素を、それぞれ□印または○印で示してあり、図４では、注目フレームのＳＤ画素または前フレームのＨＤ画素を、それぞれ□印または●印で示してある。

【００８６】

ブロック化回路１において得られた予測タップは予測演算回路６に、ブロック化回路２において得られたクラスタップはＡＤＲＣ回路３に、それぞれ供給される。

【００８７】

ここで、上述の場合においては、説明を簡単にするために、ある注目画素について、同一のＳＤ画素およびＨＤ画素で、予測タップおよびクラスタップを構成するようにしたが、それぞれのタップを構成するＳＤ画素およびＨＤ画素は、同一である必要はない。

【００８８】

また、上述の場合には、注目フレームの３×３の正方形状のＳＤ画素および前フレームの６×６の正方形状のＨＤ画素から、予測タップおよびクラスタップを構成するようにしたが、予測タップおよびクラスタップは、その他、十字形状やひし形状に並んだＳＤ画素およびＨＤ画素から構成することも可能であるし、さらに、前フレームのさらに１フレーム

前や、注目フレームの１フレーム後のＳＤ画像やＨＤ画像を構成する画素を用いて構成することも可能である。

【００８９】

なお、予測タップおよびクラスタップは、注目画素とより相関の高いＳＤ画素およびＨＤ画素から構成するのが好ましく、従って、基本的に、空間的、時間的に注目画素に近い位置にあるＳＤ画素およびＨＤ画素を用いるのが好ましい。

【００９０】

また、ここでは、注目画素に対応する注目フレームのＳＤ画素を中心とする３×３のＳＤ画素と、注目画素に対応する前フレームのＳＤ画素を中心とする３×３のＳＤ画素それぞれに対応する合計３６のＨＤ画素とから予測タップおよびクラスタップが形成されるため、図１０で説明したように、ある１のＳＤ画素に対応する４つのＨＤ画素のうちのいずれかが注目画素とされた場合には、いずれの場合においても、同一の予測タップおよびクラスタップが形成される（但し、異なる予測タップやクラスタップを構成するようにすることも可能である）。

【００９１】

ＡＤＲＣ回路３では、ブロック化回路２からのクラスタップに対して、例えば、１ビットＡＤＲＣ処理が施され、クラスコード発生回路４に供給される。クラスコード発生回路４では、クラスタップを構成するＳＤ画素およびＨＤ画素の画素値のパターンに対応する値を、そのクラスタップ（または注目画素）のクラスとして出力する。

【００９２】

クラスコード発生回路４が出力するクラスは、アドレスとして、予測係数メモリ５に供給される。

【００９３】

予測係数メモリ５は、後述するような学習が行われることにより求められる予測係数を、クラスごとに記憶しており、クラスコード発生回路４からクラスが供給されると、そのクラスに対応するアドレスに記憶されている予測係数を読み出し、予測演算回路６に供給する。即ち、予測係数メモリ５は、予測タップが、ｍ個のＳＤ画素x_1，x_2，・・・，x_mと、ｎ個のＨＤ画素y_1，y_2，・・・，y_nとで構成されるとすると（本実施の形態では、ｍ＝９，ｎ＝３６）、ＳＤ画素x_1，x_2，・・・，x_mとそれぞれ乗算すべき予測係数w_{x1}，w_{x2}，・・・，w_{xm}と、ＨＤ画素y_1，y_2，・・・，y_nとそれぞれ乗算すべき予測係数w_{y1}，w_{y2}，・・・，w_{yn}とを、クラスごとに記憶している。そして、予測係数メモリ５は、クラスコード発生回路４からのクラスに対応するアドレスに記憶している予測係数w_{x1}，w_{x2}，・・・，w_{xm}、およびw_{y1}，w_{y2}，・・・，w_{yn}を、予測演算回路６に供給する。

【００９４】

予測演算回路６では、ブロック化回路２からの予測タップ（予測タップを構成するＳＤ画素およびＨＤ画素の画素値）x_1，x_2，・・・，x_mおよびy_1，y_2，・・・，y_nと、その予測タップに適応した予測係数、即ち、予測係数メモリ５から供給される、注目画素のクラスに対応する予測係数w_{x1}，w_{x2}，・・・，w_{xm}およびw_{y1}，w_{y2}，・・・，w_{yn}とを用いて、式（１）に対応する式（８）に示す演算、つまり、適応処理が行われることにより、注目画素ｚの予測値Ｅ［ｚ］が求められ、これが、注目画素（ＨＤ画素）の画素値として出力される。

【００９５】

$$E[z]=w_{x1}x_1+w_{x2}x_2+\cdots+w_{xm}x_m+w_{y1}y_1+w_{y2}y_2+\cdots+w_{yn}y_n \quad \cdots (8)$$

【００９６】

即ち、図９においては、ＳＤ画素のみを対象に適応処理が行われるようになされていたが

、本実施の形態では、ＨＤ画素（ここでは、既に行われた適応処理により得られた前フレームのＨＤ画像を構成するＨＤ画素）をも対象として適応処理が行われる。

【００９７】

ここで、前述の式（１）乃至（７）で説明した適応処理を、ＳＤ画素だけでなく、ＨＤ画素をも対象として行うように拡張すると、次のようになる。

【００９８】

即ち、例えば、いま、注目フレームのＨＤ画素の画素値ｚの予測値Ｅ［ｚ］を、その注目フレームの幾つかのＳＤ画素の画素値x_1，x_2，・・・，x_mおよび前フレームの幾つかのＨＤ画素の画素値y_1，y_2，・・・，y_nと、予測係数w_{x1}，w_{x2}，・・・，w_{xm}およびw_{y1}，w_{y2}，・・・，w_{yn}との線形結合により規定される線形１次結合モデルにより求めることを考える。この場合、画素値ｚの予測値Ｅ［ｚ］は、上述の式（８）で表すことができる。

【００９９】

いま、予測係数w_{x1}，w_{x2}，・・・，w_{xm}およびw_{y1}，w_{y2}，・・・，w_{yn}の学習用に、注目フレームのＨＤ画素をｋ個用意し、そのｋ個のＨＤ画素を、それぞれz_1，z_2，・・・，z_kとする。また、そのｋ個のＨＤ画素それぞれを注目画素とする場合に、予測タップを構成する注目フレームのＳＤ画素x_1，x_2，・・・，x_m、および前フレームのＨＤ画素y_1，y_2，・・・，y_nも、ｋセットずつ用意し、注目フレームのＨＤ画素z_jを注目画素とした場合に、学習データとしての、予測タップを構成する注目フレームのＳＤ画素または前フレームのＨＤ画素のセットを、それぞれx_{j1}，x_{j2}，・・・，x_{jm}またはy_{j1}，y_{j2}，・・・，y_{jn}と表す。この場合、式（９）が成立する。

【０１００】

$$E[z_j]=w_{x1}x_{j1}+w_{x2}x_{j2}+\cdots+w_{xm}x_{jm}+w_{y1}y_{j1}+w_{y2}y_{j2}+\cdots+w_{yn}y_{jn} \quad \cdots (9)$$

但し、ｊ＝１，２，・・・，ｋである。

【０１０１】

そして、いま、ｋ≧ｍ＋ｎであるとして（後述する式（１５）の正規方程式を解くためには、学習に用いるデータ数ｋは、ｍ＋ｎ個以上である必要がある）、最小自乗法により、式（９）（または式（８））から、真値z_jに近い予測値Ｅ［z_j］を求めることを考える。

【０１０２】

この場合、真値z_jに対する予測値Ｅ［z_j］の誤差e_jは、次式で表すことができる。

【０１０３】

$$e_j=z_j-e[z_j]=z_j-(w_{x1}x_{j1}+w_{x2}x_{j2}+\cdots+w_{xm}x_{jm}+w_{y1}y_{j1}+w_{y2}y_{j2}+\cdots+w_{yn}y_{jn}) \quad \cdots (10)$$

【０１０４】

従って、式（１１）を最小にする予測係数w_{x1}，w_{x2}，・・・，w_{xm}およびw_{y1}，w_{y2}，・・・，w_{yn}を求めれば、それが、真値z_jに対する予測値Ｅ［z_j］の自乗誤差E^2を最小にする予測係数のセットということになる。

【０１０５】

【数８】

$$E^2=\sum_{j=1}^{k}\{e_j\}^2$$

・・・(11)

【０１０６】
即ち、式（１１）で表される自乗誤差E^2を予測係数ｗで微分したものを０にする予測係数ｗが、ＨＤ画素の画素値ｚに近い予測値Ｅ［ｚ］を求めるため最適値ということになる。

【０１０７】
そこで、まず、式（１１）を、予測係数w_{xi}（ｉ＝１，２，・・・，ｍ）と、w_{yi}（ｉ＝１，２，・・・，ｎ）とで、それぞれ偏微分すると、式（１２）または（１３）が得られる。

【０１０８】
【数９】

$$\frac{\partial E^2}{\partial w_{xi}}=\sum_{j=1}^{k}2\left(\frac{\partial e_j}{\partial w_{xi}}\right)e_j=\sum_{j=1}^{k}2x_{ji}\cdot e_j$$

・・・(12)

【数１０】

$$\frac{\partial E^2}{\partial w_{yi}}=\sum_{j=1}^{k}2\left(\frac{\partial e_j}{\partial w_{yi}}\right)e_j=\sum_{j=1}^{k}2y_{ji}\cdot e_j$$

・・・(13)

【０１０９】
式（１２）および（１３）を０にする予測係数w_{xi}およびw_{yi}を求めれば良いから、X_{ji}，Y_{ji}，Z_iを、式（１４）のようにおくと、式（１５）に示す正規方程式が得られる。

【０１１０】
【数１１】

$$X_{ji}=\sum_{p=1}^{k}x_{pi}\cdot x_{pj}$$

$$Y_{ji}=\sum_{p=1}^{k}y_{pi}\cdot y_{pj}$$

$$Z_i=\sum_{j=1}^{k}x_{ji}\cdot y_j$$

・・・(14)

【０１１１】

【数１２】

$$\begin{bmatrix} X_{11} & X_{12} & \cdots & X_{1m} \\ X_{21} & X_{22} & \cdots & X_{2m} \\ \cdots & \cdots & \cdots & \cdots \\ X_{k1} & X_{k2} & \cdots & X_{km} \end{bmatrix} \begin{bmatrix} Y_{11} & Y_{12} & \cdots & Y_{1n} \\ Y_{21} & Y_{22} & \cdots & Y_{2n} \\ & & & \\ Y_{k1} & Y_{k2} & \cdots & Y_{kn} \end{bmatrix} \begin{bmatrix} W_{x1} \\ W_{x2} \\ \vdots \\ W_{xn} \\ W_{y1} \\ \vdots \\ W_{yn} \end{bmatrix} = \begin{bmatrix} Z_1 \\ Z_2 \\ \vdots \\ Z_k \end{bmatrix}$$

・・・（１５）

【０１１２】
なお、式（１５）の正規方程式は、例えば、前述の式（７）を解く場合と同様に、掃き出し法などを利用して解くことが可能である。

【０１１３】
図１の予測係数メモリ５には、式（１５）の正規方程式を、クラスごとにたてて求められた予測係数w_{x1}，w_{x2}，・・・，w_{xm}およびw_{y1}，w_{y2}，・・・，w_{yn}が記憶されており、予測演算回路６では、注目画素のクラスに対応する予測係数w_{x1}，w_{x2}，・・・，w_{xm}およびw_{y1}，w_{y2}，・・・，w_{yn}と、その注目画素について形成された予測タップを構成するＳＤ画素x_1，x_2，・・・，x_mおよびＨＤ画素y_1，y_2，・・・，y_nとを用いて、式（８）の演算が行われることにより、真値ｚに近いＨＤ画素の予測値Ｅ［ｚ］が求められる。

【０１１４】
同様の処理が、注目フレームのその他のＨＤ画素を注目画素として、順次行われ、これにより、ＳＤ画像がＨＤ画像に変換される。

【０１１５】
以上のように、クラスタップおよび予測タップを、ＳＤ画素だけでなく、ＨＤ画素をも用いて形成するようにしたので、クラスタップおよび予測タップの中に、注目画素と、空間的または時間的に近い画素を多く含ませることができ、さらに、クラスタップおよび予測タップを構成するのに、適応処理によって高周波成分が復元されたＨＤ画素を用いるようにしたので、ＳＤ画素だけでクラスタップおよび予測タップを構成する場合に比較して、得られるＨＤ画像の画質を、より向上させることが可能となる。

【０１１６】
なお、式（１２）および（１３）が、前述の式（５）に相当し、式（１５）が、前述の式（７）に相当する。式（１２）および（１３）については、式（５）に対して、式（１３）が拡張されている。また、式（１５）については、式（７）に対して、数１２において点線で囲んである部分が拡張されている。

【０１１７】
また、図１の実施の形態において、最初のフレームのＳＤ画像が入力されるタイミングでは、予測演算回路６からは、ＨＤ画像が、まだ出力されないが、この場合、ブロック化回路１および２では、予測演算回路６からのＨＤ画像の替わりに、例えば、所定の初期値や不定の値などを用いて処理が行われる。

【０１１８】
次に、図５は、図１の予測係数メモリ５に記憶させる予測係数を算出する学習処理を行う学習装置の第１実施の形態の構成例を示している。

【０１１９】
学習における教師データｚとなるべきディジタル信号のＨＤ画像（学習用のＨＤ画像）が、垂直間引きフィルタ１１および学習部１３に供給されるようになされており、垂直間引

きフィルタ１１では、学習用のＨＤ画像の垂直方向の画素数が、例えば、１／２にされ、水平間引きフィルタ１２に供給される。水平間引きフィルタ１２では、垂直間引きフィルタ１２の出力の水平方向の画素数が、例えば、１／２に間引かれ、これにより、図３において○印で示すＨＤ画素でなる学習用のＨＤ画像から、同図において□印で示すＳＤ画素でなる学習用のＳＤ画像が構成される。即ち、垂直間引きフィルタ１１および水平間引きフィルタ１２では、例えば、等価的に、学習用のＨＤ画像について、２×２のＨＤ画素の単位で、平均値が計算され、その平均値が、２×２のＨＤ画素の中心に位置するＳＤ画素の画素値とされる。

【０１２０】

水平間引きフィルが１２が出力する学習用のＳＤ画像は、学習部１３に供給される。

【０１２１】

学習部１３では、そこに入力される学習用のＳＤ画像およびＨＤ画像と、予測係数との線形結合により得られる画像の、学習用のＨＤ画像に対する誤差を小さくする予測係数が、上述した式（１５）の正規方程式をたてて解くことにより、クラスごとに求められる。そして、クラスごとの予測係数は、そのクラスとともに、予測係数メモリ１４に供給される。予測係数メモリ１４は、学習部１３から供給されるクラスに対応するアドレスに、同じく学習部１３から供給される予測係数を記憶する。これにより、予測係数メモリ１４には、クラスごとの予測係数が記憶される。

【０１２２】

次に、図６は、図５の学習部１３の構成例を示している。なお、図中、図１２の学習装置における場合と対応する部分については、同一の符号を付してある。即ち、学習部１３は、間引き回路１０１が設けられておらず、ディレイライン１２８に替えて、ディレイライン２８が設けられている他は、図１２の学習装置と、基本的に同様に構成されている。

【０１２３】

学習用のＳＤ画像は、ブロック化回路２１および２２に供給され、学習用のＨＤ画像は、教師データ抽出回路２７およびディレイライン２８に供給される。ディレイライン２８では、そこに供給されるＨＤ画像が、例えば、１フレームに相当する時間だけ遅延され、ブロック化回路２１および２２に供給される。従って、ブロック化回路２１および２２には、注目フレームのＳＤ画像とともに、前フレームのＨＤ画像が供給される。

【０１２４】

ブロック化回路２１，２２，ＡＤＲＣ回路２３、クラスコード発生回路２４では、図１のブロック化回路１，２，ＡＤＲＣ回路３、クラスコード発生回路４における場合とそれぞれ同様の処理が行われる。これにより、ブロック化回路２１からは、注目画素について形成された予測タップが出力され、また、クラスコード発生回路２４からは、注目画素のクラスが出力される。

【０１２５】

そして、クラスコード発生回路２４が出力するクラスは、予測タップメモリ２５および教師データメモリ２６のアドレス端子（ＡＤ）に供給され、ブロック化回路２１が出力する予測タップは、予測タップメモリ２５に供給される。そして、予測タップメモリ２５では、クラスコード発生回路２４から供給されるクラスに対応するアドレスに、ブロック化回路２１から供給される予測タップが、学習データとして記憶される。

【０１２６】

一方、教師データ抽出回路２７では、そこに供給されるＨＤ画像から、注目画素としてのＨＤ画素が抽出され、教師データとして、教師データメモリ２６に供給される。そして、教師データメモリ２６では、クラスコード発生回路２４から供給されるクラスに対応するアドレスに、教師データ抽出回路２７から供給される教師データが記憶される。

【０１２７】

以下同様の処理が、あらかじめ学習用に用意されたＨＤ画像を構成するＨＤ画素すべてが注目画素とされるまで繰り返される。

【０１２８】

その結果、予測タップメモリ２５の、教師データメモリ２６と同一のアドレスには、教師データメモリ２６のアドレスに記憶されているＨＤ画素を注目画素とした場合に、その注目画素と、図３および図４で説明した位置関係にあるＳＤ画素およびＨＤ画素（つまり、予測タップを構成するＳＤ画素およびＨＤ画素）が、学習データｘとして記憶される。

【０１２９】

その後、演算回路２９は、予測タップメモリ２５または教師データメモリ２６から、同一アドレスに記憶されている学習データとしての予測タップを構成するＳＤ画素およびＨＤ画素、または教師データとしてのＨＤ画素をそれぞれ読み出し、それらを用いて、最小自乗法によって、予測値と教師データとの間の誤差（ここでは、自乗誤差）を最小にする予測係数を算出する。即ち、演算回路２９では、クラスごとに、式（１５）に示した正規方程式がたてられ、これを解くことにより、クラスごとの予測係数が求められる。

【０１３０】

以上のようにして、演算回路２９で求められたクラスごとの予測係数が、そのクラスとともに、予測係数メモリ１４（図５）に供給される。

【０１３１】

なお、以上のような学習処理において、予測係数を求めるのに必要な数の正規方程式が得られないクラスが生じる場合があるが、そのようなクラスについては、例えば、クラスを無視して正規方程式をたてて解くことにより得られる予測係数などが、いわばデフォルトの予測係数として用いられる。

【０１３２】

次に、図５の場合においては、教師データとして用いるＨＤ画素だけでなく、学習データとして用いるＨＤ画素も、学習用のＨＤ画像を構成するものを用いるようにしたが、学習データとして用いるＨＤ画素は、学習用のＳＤ画像から生成するようにすることが可能である。

【０１３３】

即ち、図７は、学習装置の第２実施の形態の構成例を示している。なお、図中、図５における場合と対応する部分については、同一の符号を付してある。

【０１３４】

学習用のＨＤ画像は、１フレーム以上のＨＤ画像の記憶が可能なフレームメモリ３１に供給されて記憶されるようになされている。ここで、フレームメモリ３１に対するＨＤ画像の書き込みおよび読み出しは、制御部３７によって制御されるようになされており、フレームメモリ３１は、制御部３７の制御にしたがって、学習用のＨＤ画像を記憶し、また記憶した学習用画像のＨＤ画像を読み出す。

【０１３５】

フレームメモリ３１から読み出された学習用のＨＤ画像は、垂直間引きフィルタ１１および学習部３６に供給される。垂直間引きフィルタ１１およびその後段の水平間引きフィルタ１２では、図５で説明したようにして、学習用のＨＤ画像から、学習用のＳＤ画像が生成され、スイッチ３２および学習部３６に供給される。

【０１３６】

スイッチ３２は、制御部３７の制御にしたがって、端子３２ａまたは３２ｂのうちのいずれか一方を選択する。即ち、フレームメモリ３１に記憶されたＨＤ画像の最初の読み出し時においては、スイッチ３２は、端子３２ａを選択する。従って、この場合、学習用のＳＤ画像は、スイッチ３２および端子３２ａを介して、線形補間フィルタ３４に供給される。線形補間フィルタ３４は、学習用のＳＤ画像に対して、例えば、線形補間処理を施し、これにより、学習用のＳＤ画像から、学習用のＨＤ画像と同一の画素数の画像を生成する。なお、線形補間フィルタ３４において行われる線形補間処理では、適応処理と異なり、元の画像（ここでは、学習用のＳＤ画像）に含まれない成分を再現することはできない。ここで、線形補間フィルタ３４が出力する、学習用のＨＤ画像と同一の画素数の画像を、以下、適宜、補間ＨＤ画像という。

【０１３７】

線形補間フィルタ３４が出力する補間ＨＤ画像は、端子３３ａに供給される。ここで、制御部３７は、スイッチ３２を、端子３２ａまたは３２ｂをそれぞれ選択するように制御しているとき、スイッチ３３を、端子３３ａまたは３３ｂをそれぞれ選択するように制御しており、従って、いまの場合、スイッチ３３は、端子３３ａを選択しているから、補間ＨＤ画像は、学習部３６に供給される。

【０１３８】

学習部３６では、水平間引きフィルタ１２からの学習用のＳＤ画像および線形補間フィルタ３４からの補間ＨＤ画像と、予測係数との線形結合により得られる画像の、フレームメモリ３１からの学習用のＨＤ画像に対する誤差を小さくする予測係数が、上述した式（１５）の正規方程式をたてて解くことにより、クラスごとに求められる。そして、クラスごとの予測係数は、そのクラスとともに、予測係数メモリ１４に供給されて記憶される。

【０１３９】

予測係数メモリ１４に、クラスごとの予測係数が記憶されると、制御部３７は、その予測係数を読み出し、画像変換装置３５に供給して記憶させる。即ち、画像変換装置３５は、図１や図９の画像変換装置と同様に構成されており、制御部３７からのクラスごとの予測係数を、その予測係数メモリ５に記憶する。ここで、フレームメモリ３１からのＨＤ画像の１回目の読み出し時においては、画像変換装置３５には、予測係数が記憶されておらず、従って、適応処理を行うことができない。そこで、フレームメモリ３１からのＨＤ画像の１回目の読み出し時においては、線形補間フィルタ３４によって補間ＨＤ画像を生成し、これを用いて、学習部３６において、予測係数を求めるようになされている。

【０１４０】

その後、制御部３７は、フレームメモリ３１を、そこに記憶された学習用のＨＤ画像の２回目の読み出しを開始するように制御する。さらに、制御部３７は、フレームメモリ３１に記憶されたＨＤ画像の２回目以降の読み出し時においては、スイッチ３２または３３を、端子３２ｂまたは３３ｂをそれぞれ選択するように制御する。

【０１４１】

この結果、フレームメモリ３１から読み出された学習用のＨＤ画像は、学習部３６に供給されるとともに、垂直間引きフィルタ１１および１２を介して、学習用のＳＤ画像とされて、学習部３６に供給される。

【０１４２】

さらに、この場合、垂直間引きフィルタ１１および１２を介して出力される学習用のＳＤ画像は、学習部３６に供給される他、端子３２ｂを選択しているスイッチ３２を介して、画像変換装置３５にも供給される。画像変換装置３５では、制御部３７によって、その予測係数メモリ５にセットされたクラスごとの予測係数を用いて、学習用のＳＤ画像を対象に適応処理が行われ、その結果得られる、学習用のＨＤ画像と同一の画素数の画像を生成する。

【０１４３】

画像変換装置３５において生成された画像は、端子３３ｂに供給され、従って、この場合、端子３３ｂを選択しているスイッチ３３を介して、学習部３６に供給される。

【０１４４】

学習部３６では、水平間引きフィルタ１２からの学習用ＳＤ画像および画像変換装置３５からの画像と、予測係数との線形結合により得られる画像の、フレームメモリ３１からの学習用のＨＤ画像に対する誤差を小さくする予測係数が、上述した式（１５）の正規方程式をたてて解くことにより、クラスごとに求められる。

【０１４５】

従って、フレームメモリ３１からの学習用ＨＤ画像の２回目以降の読み出し時においては、線形ＨＤ画像に替えて、画像変換装置３５において、学習用のＳＤ画像を対象に行われる適応処理により得られる、学習用のＨＤ画像と同一の画素数の画像（以下、適宜、適応処理画像という）を、学習データとして用いて、予測係数の学習が行われる。

【０１４６】

学習部３６において得られるクラスごとの予測係数は、そのクラスとともに、予測係数メモリ１４に供給されて記憶される（既に記憶されている予測係数に上書きされる）。

【０１４７】

予測係数メモリ１４に、クラスごとの予測係数が記憶されると、上述したように、制御部３７は、その予測係数を読み出し、図１の画像変換装置と同様に構成されている画像変換装置３５に供給して記憶させるとともに、フレームメモリ３１を、そこに記憶された学習用のＨＤ画像の読み出しを開始するように制御し、以下、同様の処理が繰り返される。

【０１４８】

そして、制御部３７は、フレームメモリ３１に記憶されたＨＤ画像の読み出しの繰り返し回数が所定回数となるか、または画像変換装置３５が出力する適応処理画像の、フレームメモリ３１に記憶されたＨＤ画像に対する誤差が所定値以下となると、予測係数メモリ１４に、ＳＤ画像をＨＤ画像に変換するのに適した予測係数が記憶されたとして、装置を構成する各ブロックの処理を終了させる。なお、処理は、例えば、画像変換装置３５で得られる適応処理画像を、オペレータが見て、学習用のＨＤ画像と同様の画像が得られているようであれば、手動で終了するようにしても良い。

【０１４９】

次に、図８は、図７の学習部３６の構成例を示している。なお、図中、図５の学習部１３における場合と対応する部分については、同一の符号を付してある。即ち、学習部３６は、ディレイライン２８に、学習用のＨＤ画像ではなく、線形補間フィルタ３４が出力する補間ＨＤ画像または画像変換装置３５が出力する適応処理画像が供給されるようになされていることを除けば、図６の学習部１３と同様に構成されている。

【０１５０】

従って、学習部３６では、ブロック化回路２１または２２において、フレームメモリ３１（図７）からのＨＤ画像の最初の読み出し時には、学習用のＳＤ画像および補間ＨＤ画像から、予測タップまたはクラスタップがそれぞれ形成され、フレームメモリ３１からのＨＤ画像の２回目以降の読み出し時には、学習用のＳＤ画像および適応処理画像から、予測タップまたはクラスタップがそれぞれ形成される他は、図６の学習部１３における場合と同様にして、クラスごとの予測係数が求められる。

【０１５１】

なお、本件発明者が行ったシミュレーションによれば、図５の学習装置の方が、図７の学習装置よりも、画質の良いＨＤ画像が得られる予測係数が得られた。

【０１５２】

以上、本発明を適用した画像変換装置および学習装置について説明したが、このような画像変換装置は、ＳＤ画像をＨＤ画像に変換する他、インターレース走査される画像を、いわゆるプログレッシブな画像に変換する場合や、画像を拡大する場合などの、画素数の少ない画像を、画素数の多い画像に変換する、あらゆる場合に適用可能である。

【０１５３】

なお、本実施の形態では、フレーム単位で処理を行うようにしたが、その他、例えば、フィールド単位で処理を行うことも可能である。

【０１５４】

また、本発明は、動画および静止画のいずれについても適用可能である。

【０１５５】

さらに、本実施の形態では、ＨＤ画像に関しては、予測タップやクラスタップを構成するのに、注目フレームの１フレーム前だけを用いるようにしたが、その他、例えば、注目フレームや、注目フレームの１フレーム後を用いるようにすることなどが可能である。但し、この場合においては、例えば、図１の画像変換装置が２系統必要になったり、また、その画像変換装置の前段や後段に、時間調整のためのディレイラインが必要となる。

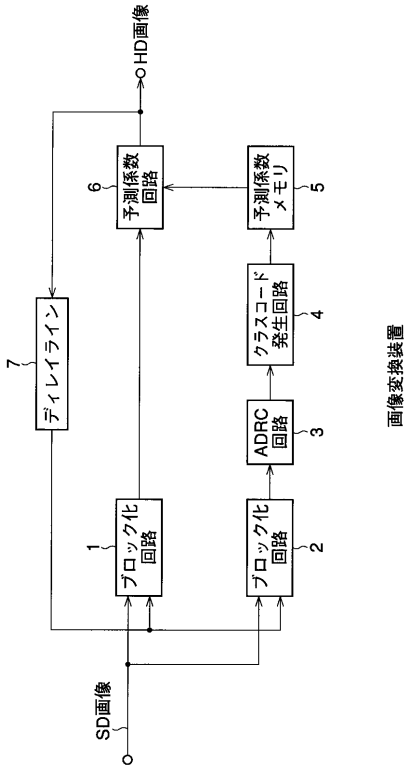
【０１５６】

同様に、ＳＤ画像に関しても、予測タップやクラスタップを構成するのに、注目フレームだけでなく、その１フレーム前や後を用いるようにすることなどが可能である。

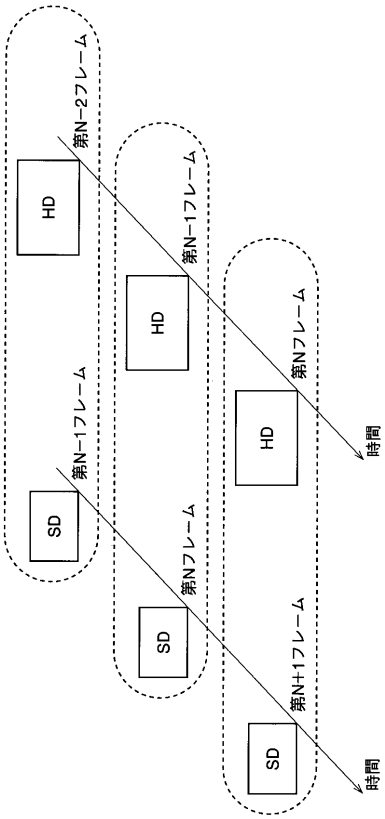
【０１５７】
また、ＳＤ画素とＨＤ画素との関係は、図３に示したものに限定されるものではない。
【０１５８】
【発明の効果】
請求項１に記載の画像変換装置および請求項４に記載の画像変換方法によれば、ある第２の画像の画素が注目画素とされた場合、その注目画素に空間的、時間的に近い位置にある、第１の画像の複数の画素と第２の画像の複数の画素との両方から予測タップを得て、その予測タップと、予測係数出力手段から出力された予測係数とに基づく演算によって、第２の画像の複数の画素が算出され、出力される。従って、より良い画質の画像を得ることが可能となる。
【０１５９】
請求項５に記載の学習装置および請求項７に記載の学習方法によれば、ある第２の画像の画素が注目画素とされた場合、その注目画素に空間的、時間的に近い位置にある、学習用の第１の画像の複数の画素と学習用の第２の画像の複数の画素との両方から複数の画素を予測タップとして得て、予測タップと予測係数とに基づく演算によって求められる第２の画像の予測値と、予測タップに対応する学習用の第２の画像との誤差を小さくする予測係数を求めるための演算が行われる。従って、より良い画質の画像を得るためのその予測係数を得ることが可能となる。
【０１６０】
請求項８に記載の学習装置および請求項１１に記載の学習方法によれば、ある第２の画像の画素が注目画素とされた場合、その注目画素に空間的、時間的に近い位置にある、予測係数を用いて生成された変換画像の複数の画素と学習用の第１の画像の複数の画素とから予測タップを得て、その予測タップと予測係数とに基づく演算によって求められる第２の画像の予測値と、予測タップに対応する学習用の第２の画像との誤差を小さくする予測係数を求めるための演算が行われる。従って、より良い画質の適応処理画像を求めるための予測係数を得ることが可能となる。
【図面の簡単な説明】
【図１】本発明を適用した画像変換装置の一実施の形態の構成例を示すブロック図である。
【図２】図１のブロック化回路１および２に入力されるＳＤ画像とＨＤ画像のフレームの関係を示す図である。
【図３】ＳＤ画素とＨＤ画素との関係を示す図である。
【図４】図１のブロック化回路１および２の処理を説明するための図である。
【図５】本発明を適用した学習装置の第１実施の形態の構成例を示すブロック図である。
【図６】図５の学習部１３の構成例を示すブロック図である。
【図７】本発明を適用した学習装置の第２実施の形態の構成例を示すブロック図である。
【図８】図７の学習部３６の構成例を示すブロック図である。
【図９】本件出願人が先に提案した画像変換装置の構成例を示すブロック図である。
【図１０】図９のブロック化回路１および２の処理を説明するための図である。
【図１１】図９のブロック化回路１および２の処理を説明するための図である。
【図１２】図９の予測係数メモリ５に記憶させる予測係数を求める学習装置の構成例を示すブロック図である。
【符号の説明】
１，２　ブロック化回路，　３　ＡＤＲＣ回路，　４　クラスコード発生回路，　５　予測係数メモリ，　６　予測演算回路，　７　ディレイライン，　１１垂直間引きフィルタ，　１２　水平間引きフィルタ，　１３　学習部，　１４予測係数メモリ，　２１，２２　ブロック化回路，　２３　ＡＤＲＣ回路，　２４　クラスコード発生回路，　２５　予測タップメモリ，　２６　教師データメモリ，　２７　教師データ抽出回路，　２８　ディレイライン，　２９　演算回路，　３１　フレームメモリ，　３２　スイッチ，　３２ａ，３２ｂ　端子，３３　スイッチ，　３３ａ，３３ｂ　端子，　３４　線形補間フィル

タ，　３５　画像変換装置，　３６　学習部，　３７　制御部

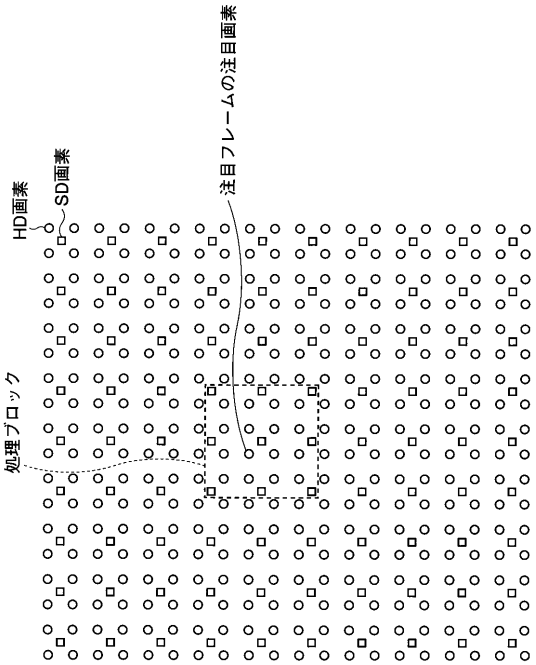
【図１】



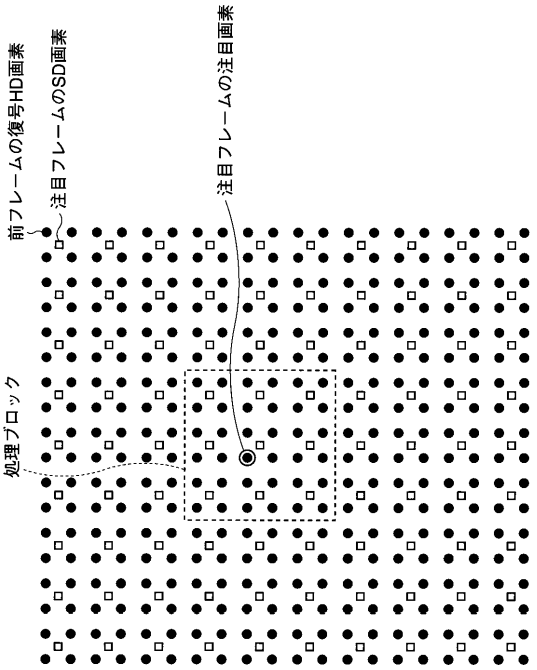
【図２】



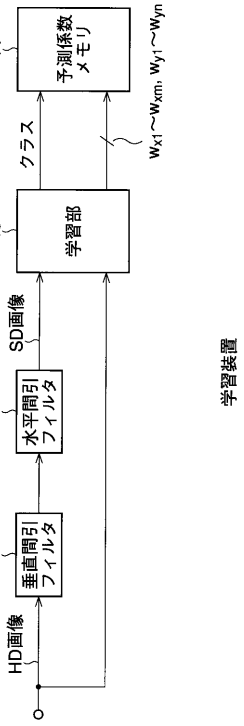
【図３】


HD画素
SD画素
注目フレームの注目画素
処理ブロック

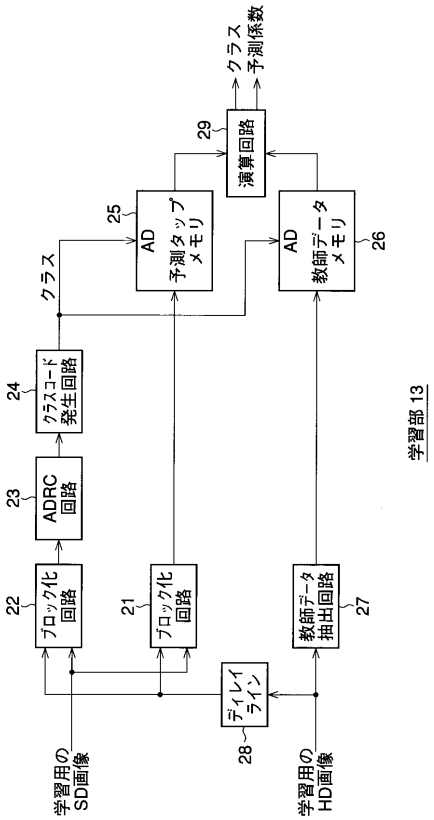
【図４】


前フレームの復号HD画素
注目フレームのSD画素
注目フレームの注目画素
処理ブロック

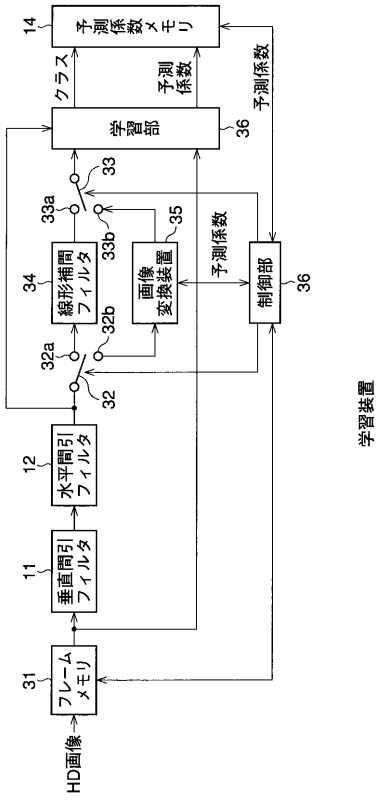
【図５】


HD画像
11
垂直間引フィルタ
12
水平間引フィルタ
SD画像
13
学習部
クラス
14
予測係数メモリ
w_{x1}～w_{xm}, w_{y1}～w_{yn}
学習装置

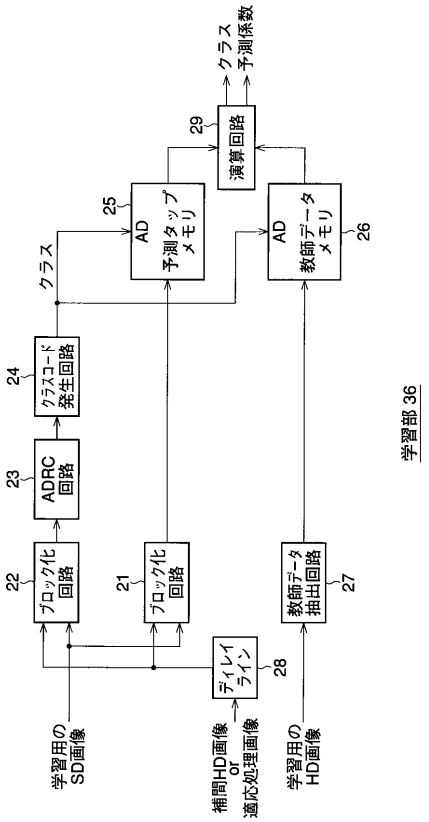
【図６】


学習用のSD画像
学習用のHD画像
22
ブロック化回路
21
ブロック化回路
23
ADRC回路
24
クラスコード発生回路
クラス
25
AD 予測タップメモリ
26
AD 教師データメモリ
27
教師データ抽出回路
28
ディレイライン
29
演算回路
クラス予測係数
学習部 13

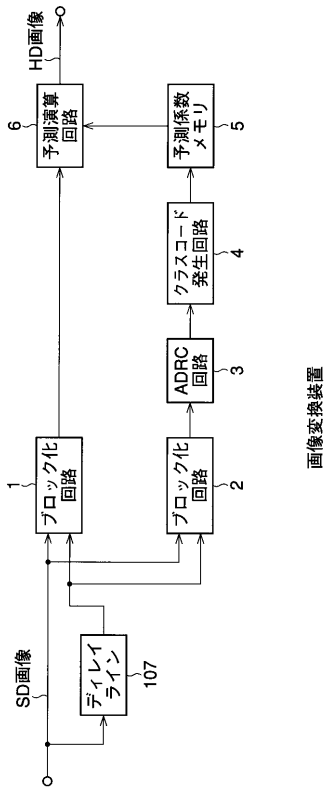
【図７】


HD画像
フレームメモリ
31
垂直間引フィルタ
11
水平間引フィルタ
12
32
32a
32b
線形補間フィルタ
34
画像変換装置
35
33
33a
33b
学習部
36
クラス
予測係数
予測係数メモリ
14
予測係数
制御部
学習装置

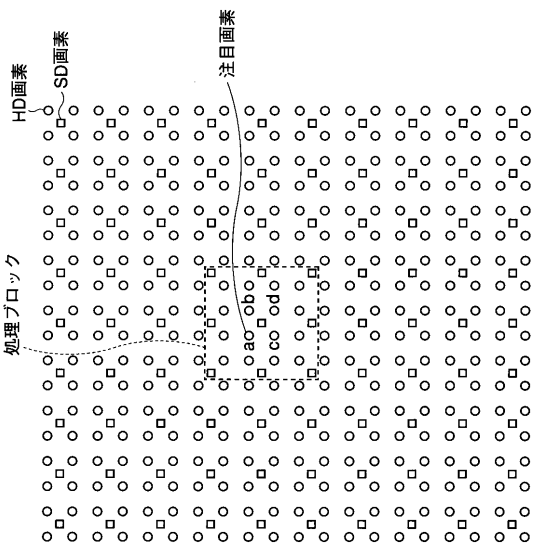
【図８】


学習用のSD画像
補間HD画像 or 適応処理画像
学習用のHD画像
ディレイライン
28
ブロック化回路
22
ブロック化回路
21
ADRC回路
23
クラスコード発生回路
24
教師データ抽出回路
27
AD 予測タップメモリ
25
AD 教師データメモリ
26
演算回路
29
クラス
予測係数
学習部 36

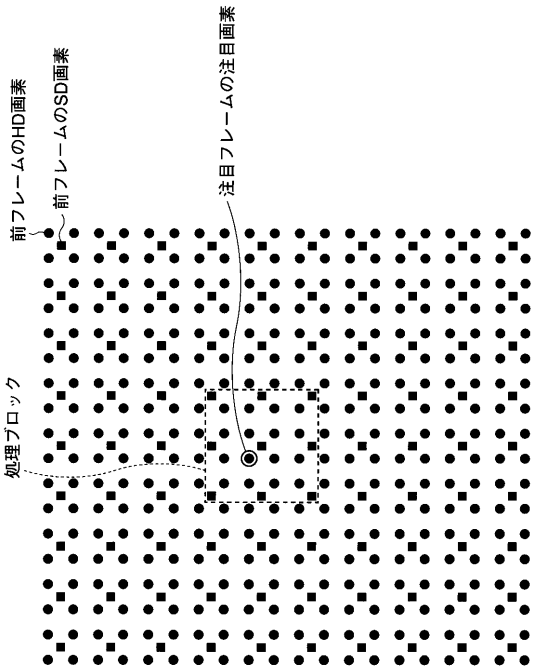
【図９】


SD画像
ディレイライン
107
ブロック化回路
1
ブロック化回路
2
ADRC回路
3
クラスコード発生回路
4
予測係数メモリ
5
予測演算回路
6
HD画像
画像変換装置

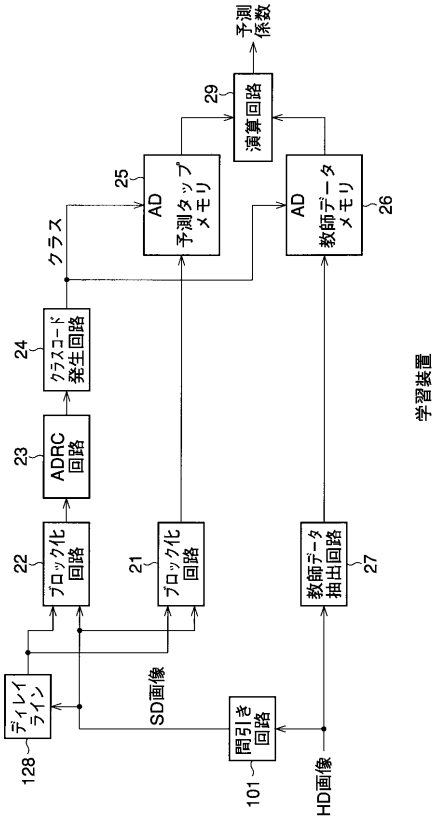
【図１０】


HD画素
SD画素
注目画素
処理ブロック

【図１１】


前フレームのHD画素
前フレームのSD画素
注目フレームの注目画素
処理ブロック

【図１２】


予測係数
29
演算回路
25
AD
予測タップメモリ
26
AD
教師データメモリ
クラス
24
クラスコード発生回路
23
ADRC回路
22
ブロック化回路
21
ブロック化回路
27
教師データ抽出回路
ディレイライン
128
SD画像
間引き回路
101
HD画像
学習装置

フロントページの続き

(72)発明者　野出　泰史
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

合議体
審判長　奥村　元宏
審判官　益戸　宏
審判官　新宮　佳典

(56)参考文献　特開平８－５６３３５（ＪＰ，Ａ）