

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4677630号
(P4677630)

(45) 発行日 平成23年4月27日(2011.4.27)

(24) 登録日 平成23年2月10日(2011.2.10)

(51) Int. Cl.	F I
G06F 13/16 (2006.01)	G06F 13/16 510D
G06F 12/02 (2006.01)	G06F 12/02 560C
G06F 12/08 (2006.01)	G06F 12/08 505Z

請求項の数 39 (全 12 頁)

(21) 出願番号	特願2004-511999 (P2004-511999)	(73) 特許権者	510127664
(86) (22) 出願日	平成15年6月6日(2003.6.6)		ラウンド ロック リサーチ、エルエルシー
(65) 公表番号	特表2005-529407 (P2005-529407A)		アメリカ合衆国、ニューヨーク州 105
(43) 公表日	平成17年9月29日(2005.9.29)		49、マウント キスコ、ディア クリー
(86) 国際出願番号	PCT/US2003/018112		ク レーン 26
(87) 国際公開番号	W02003/104996	(74) 代理人	100106851
(87) 国際公開日	平成15年12月18日(2003.12.18)		弁理士 野村 泰久
審査請求日	平成18年3月10日(2006.3.10)	(74) 代理人	100074099
(31) 優先権主張番号	10/165,787		弁理士 大菅 義之
(32) 優先日	平成14年6月7日(2002.6.7)	(72) 発明者	ジェデロー, ジョセフ
(33) 優先権主張国	米国 (US)		アメリカ合衆国 ミネソタ 55126, ショアビュー, レイランド レーン 4302

最終頁に続く

(54) 【発明の名称】 内部キャッシュおよび/またはメモリアクセス予測を持つメモリハブ

(57) 【特許請求の範囲】

【請求項1】

メモリハブであって、
メモリアクセス装置とインターフェースするように構成されたメモリアクセス装置用インターフェースと、

それぞれのメモリ素子とインターフェースするように構成された複数のメモリインタフェースであって、それぞれがメモリコントローラとキャッシュメモリとを備えたメモリインタフェースと、

前記メモリアクセス装置用インターフェースを前記メモリインタフェースの各々と接続するスイッチと、を備えたメモリハブ。

【請求項2】

前記メモリアクセス装置用インターフェースがプロセッサとインターフェースするように構成されたプロセッサインタフェースを備えた請求項1に記載のメモリハブ。

【請求項3】

前記メモリインタフェースの各々が、前回のメモリアクセスから得られたアドレスに基づいて、データを読み出せる可能性が大きい起点アドレスを予測し、次いで、前記メモリインタフェースのそれぞれの中の前記メモリコントローラに、メモリ読み出し動作を示す信号を前記予測したアドレスから出力させるように構成される予測ユニットをさらに備えた請求項1に記載のメモリハブ。

【請求項4】

10

20

前記予測ユニットが、メモリ読出し動作を示す前記信号に応答して、受信した読出しデータを、前記メモリインタフェースをして前記キャッシュメモリ内に記憶させるようにさらに構成された請求項 3 に記載のメモリハブ。

【請求項 5】

前記メモリインタフェースの各々が同じクロック速度で動作する請求項 1 に記載のメモリハブ。

【請求項 6】

前記スイッチがクロスバスイッチを備えた請求項 1 に記載のメモリハブ。

【請求項 7】

前記スイッチがマルチプレクサスイッチを備えた請求項 1 に記載のメモリハブ。

10

【請求項 8】

前記キャッシュメモリがダイナミックランダムアクセスメモリを備えた請求項 1 に記載のメモリハブ。

【請求項 9】

メモリハブであって、

メモリアクセス装置とインターフェースするように構成されたメモリアクセス装置用インターフェースと、

それぞれのメモリ素子とインターフェースするように構成された複数のメモリインタフェースであり、それぞれがメモリコントローラと予測ユニットとを備えたメモリインタフェースであって、前回のメモリアクセスから得られたアドレスに基づいて、データを読み出せる可能性が大きい起点アドレスを予測し、次いで、前記メモリインタフェースのそれぞれの中の前記メモリコントローラをして、メモリ読出し動作を示す信号を前記予測したアドレスから出力させるように構成されたメモリインタフェースと、

20

前記メモリアクセス装置用インターフェースを前記メモリインタフェースと接続させるスイッチと、を備えたメモリハブ。

【請求項 10】

前記メモリアクセス装置用インターフェースがプロセッサインタフェースを備えた請求項 9 に記載のメモリハブ。

【請求項 11】

前記メモリインタフェースの各々が同じクロック速度で動作する請求項 9 に記載のメモリハブ。

30

【請求項 12】

前記スイッチがクロスバスイッチを備えた請求項 9 に記載のメモリハブ。

【請求項 13】

前記スイッチがマルチプレクサスイッチを備えた請求項 9 に記載のメモリハブ。

【請求項 14】

コンピュータシステムであって、

計算機能を実行する動作可能な処理ユニットと、

前記処理ユニットと接続されたシステムコントローラと、

前記システムコントローラを介して前記処理ユニットと接続された少なくとも 1 つの入力装置と、

40

前記システムコントローラを介して前記処理ユニットと接続された少なくとも 1 つの出力装置と、

前記システムコントローラを介して前記処理ユニットと接続された少なくとも 1 つのデータ記憶装置と、

複数のメモリ素子と、

メモリハブであって、

プロセッサと接続されたプロセッサインタフェースと、

前記メモリ素子のそれぞれと接続された複数のメモリインタフェースであって、それぞれがメモリコントローラとキャッシュメモリとを備えたメモリインタフェースと、

50

前記プロセッサインタフェースを前記メモリインタフェースの各々と接続するスイッチとを設けたメモリハブと、を備えたコンピュータシステム。

【請求項 15】

前記メモリハブが前記システムコントローラの中に物理的に設けられた請求項 14 に記載のコンピュータシステム。

【請求項 16】

前記複数のメモリ素子がメモリモジュールの中に物理的にパッケージされ、前記メモリハブが前記メモリモジュールの中に物理的に設けられた請求項 14 に記載のコンピュータシステム。

【請求項 17】

前記メモリインタフェースの各々が、前回のメモリアクセスから得られたアドレスに基づいてデータを読み出せる可能性が大きい起点アドレスを予測し、次いで、前記メモリインタフェースのそれぞれの中の前記メモリコントローラをして、前記予測したアドレスからのメモリ読出し動作を示す出力信号を前記メモリインタフェースが接続された接続先の前記メモリ素子に印加させるように構成される予測ユニットをさらに備えた請求項 14 に記載のコンピュータシステム。

【請求項 18】

前記予測ユニットが、前記メモリインタフェースをして、メモリ読出し動作を示す前記信号に応答して、前記メモリ素子のそれぞれから受信した読出しデータを前記キャッシュメモリに記憶させるようにさらに構成された請求項 17 に記載のコンピュータシステム。

【請求項 19】

前記メモリインタフェースの各々が同じクロック速度で動作する請求項 14 に記載のコンピュータシステム。

【請求項 20】

前記スイッチがクロスバススイッチを備えた請求項 14 に記載のコンピュータシステム。

【請求項 21】

前記スイッチがマルチプレクサスイッチを備えた請求項 14 に記載のコンピュータシステム。

【請求項 22】

前記キャッシュメモリがダイナミックランダムアクセスメモリを備えた請求項 14 に記載のコンピュータシステム。

【請求項 23】

前記メモリ素子の各々がダイナミックランダムアクセスメモリ素子を備えた請求項 14 に記載のコンピュータシステム。

【請求項 24】

前記ダイナミックランダムアクセスメモリ素子の各々が同期ダイナミックランダムアクセスメモリ素子を備えた請求項 23 に記載のコンピュータシステム。

【請求項 25】

コンピュータシステムであって、
 計算機能を実行する動作可能な処理ユニットと、
 前記処理ユニットと接続されたシステムコントローラと、
 前記システムコントローラを介して前記処理ユニットと接続された少なくとも 1 つの入力装置と、

前記システムコントローラを介して前記処理ユニットと接続された少なくとも 1 つの出力装置と、

前記システムコントローラを介して前記処理ユニットと接続された少なくとも 1 つのデータ記憶装置と、

複数のメモリ素子と、

メモリハブであって、

プロセッサと接続されたプロセッサインタフェースと、

10

20

30

40

50

前記メモリ素子のそれぞれと接続された複数のメモリインタフェースであり、それぞれがメモリコントローラと予測ユニットとを備えたメモリインタフェースであって、前記予測ユニットが、前回のメモリアクセスから得られたアドレスに基づいて、データを読み出せる可能性が大きい起点アドレスを予測し、前記メモリインタフェースのそれぞれの中の前記メモリコントローラをして、前記予測したアドレスからのメモリ読出し動作を示す信号を、前記メモリインタフェースが接続されている接続先の前記メモリ素子へ出力させるように構成されるメモリインタフェースと、

前記プロセッサインタフェースを前記メモリインタフェースの各々と接続するスイッチとを備えたメモリハブと、を備えたコンピュータシステム。

【請求項 26】

前記メモリハブが前記システムコントローラの中に物理的に設けられた請求項 25 に記載のコンピュータシステム。

【請求項 27】

前記複数のメモリ素子がメモリモジュールの中に物理的にパッケージされ、前記メモリハブが前記メモリモジュールの中に物理的に設けられた請求項 25 に記載のコンピュータシステム。

【請求項 28】

前記メモリインタフェースの各々が同じクロック速度で動作する請求項 25 に記載のコンピュータシステム。

【請求項 29】

前記スイッチがクロスバスイッチを備えた請求項 25 に記載のコンピュータシステム。

【請求項 30】

前記スイッチがマルチプレクサスイッチを備えた請求項 25 に記載のコンピュータシステム。

【請求項 31】

前記メモリ素子の各々がダイナミックランダムアクセスメモリ素子を備えた請求項 25 に記載のコンピュータシステム。

【請求項 32】

請求項 1 に記載のメモリハブを用いて複数のメモリ素子にアクセスする方法であって、メモリハブと接続された複数のメモリ素子のうちの第 1 のメモリ素子へメモリアクセス要求を送るステップと、

前記第 1 のメモリ素子から読み出したり、前記第 1 のメモリ素子へ書き込んだりしたデータを前記メモリハブに配置されたキャッシュメモリに記憶するステップと、

その後、前記第 1 のメモリ素子へメモリ読出し要求を送るステップと、

前記メモリ読出し要求に回答して、前記メモリ読出し要求に対応する前記データが、前記メモリハブに配置された前記キャッシュメモリに記憶されているかどうかを検出するステップと、

前記メモリ読出し要求に対応する前記データが、前記メモリハブ内に配置された前記キャッシュメモリに記憶されていると判定された場合、前記キャッシュメモリから前記読出しデータを出力するステップと、

前記メモリ読出し要求に対応する前記データが、前記メモリハブ内に配置された前記キャッシュメモリに記憶されていないと判定された場合、前記第 1 のメモリ素子から前記読出しデータを出力するステップと、を備えた方法。

【請求項 33】

請求項 32 に記載の方法であって、

前記第 1 のメモリ素子に対する前回のメモリアクセスからのアドレスに基づいて、前記第 1 のメモリ素子からデータを読み出す可能性が大きい起点アドレスを予測するステップと、

前記第 1 のメモリ素子の前記予測したアドレスから読み出したデータを出力するステップと、

10

20

30

40

50

前記予測したアドレスから得られた前記読出しデータを前記メモリハブ内の前記キャッシュメモリに記憶するステップと、をさらに備えた方法。

【請求項 3 4】

前記メモリハブ内のキャッシュメモリの中に、前記第 1 のメモリ素子から読み出されたデータ、または、前記第 1 のメモリ素子へ書き込まれたデータを記憶する前記アクションが、前記第 1 のメモリ素子から読み出された前記データ、または、前記第 1 のメモリ素子へ書き込まれた前記データを前記第 1 のメモリ素子専用のキャッシュメモリの中に記憶するステップを備えた請求項 3 2 に記載の方法。

【請求項 3 5】

前記予測の根拠とした前記メモリアクセス要求が読出しメモリアクセスを含む請求項 3 3 に記載の方法。

10

【請求項 3 6】

前記予測の根拠とした前記メモリアクセス要求が書込みメモリアクセスを含む請求項 3 3 に記載の方法。

【請求項 3 7】

請求項 1 に記載のメモリハブを用いて複数のメモリ素子にアクセスする方法であって、メモリハブと接続された複数のメモリ素子内のそれぞれのアドレスへメモリアクセス要求を送るステップと、

前記メモリハブにおいて、前記メモリアクセス要求の送り先である前記アドレスに基づいて、前記第 1 のメモリ素子からデータを読み出す可能性が大きい少なくとも 1 つの起点アドレスを予測するステップと、

20

前記予測したアドレスへ送られたメモリ読出し要求の受信に先行して、前記メモリ素子内の前記予測したアドレスからそれぞれの読出しデータを出力するステップと、を備えた方法。

【請求項 3 8】

前記予測の根拠とした前記メモリアクセス要求が読出しメモリ要求を含む請求項 3 7 に記載の方法。

【請求項 3 9】

前記予測の根拠とした前記メモリアクセス要求が書込みメモリ要求を含む請求項 3 7 に記載の方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明はコンピュータシステムに関し、特に、いくつかのメモリ素子をプロセッサまたは別のメモリアクセス装置と接続するメモリハブを備えたコンピュータシステムに関する。

【背景技術】

【0002】

コンピュータシステムは、ダイナミックランダムアクセスメモリ（“SDRAM”）素子などのメモリ素子を用いて、プロセッサがアクセスする命令とデータとを記憶する。一般的なコンピュータシステムでは、プロセッサはプロセッサバスとメモリコントローラとを通じてシステムメモリと通信を行う。プロセッサは、読出しコマンドなどのコマンドと、データや命令を読み出す記憶位置を指定するアドレスとを送出する。メモリコントローラは上記コマンドとアドレスとを利用して、適切なコマンド信号並びに行アドレスと列アドレスとを生成し、これらをシステムメモリに印加する。上記コマンドとアドレスとに応じて、データはシステムメモリとプロセッサ間で転送される。メモリコントローラは、システムコントローラの一部である場合が多く、また、プロセッサバスを P C I バスなどの拡張バスと接続するバスブリッジ回路も備える。

40

【0003】

メモリ素子の動作速度が連続して上昇してきているとはいえ、メモリ素子の動作速度の

50

上昇は、プロセッサの動作速度の上昇と歩調をそろえているわけではない。プロセッサをメモリ素子と接続しているメモリコントローラの動作速度の上昇の方がずっと緩慢である。メモリコントローラとメモリ素子との相対的に低い動作速度によって、プロセッサとメモリ素子間での通信帯域幅は制限を受けることになる。

【0004】

プロセッサとメモリ素子間のこの制限された帯域幅に加えて、コンピュータシステムのパフォーマンスは、システムメモリ素子からのデータの読出しに必要な時間を増やす待ち時間問題によっても制限される。さらに詳しく言えば、メモリ素子読出しコマンドが、非同期DRAM(“SDRAM”)素子などのシステムメモリ素子と接続されるとき、読出しデータは数クロック分の周期遅延を生じた後にしかSDRAM素子から出力されない。したがって、SDRAM素子は高速のデータレートでバーストデータの同期出力を行うことが可能であるにもかかわらず、上記のようなSDRAM素子を用いることにより、初期のデータ出力時の遅延がコンピュータシステムの動作速度を大幅に遅らせることになる場合がある。

10

【0005】

メモリ待ち時間問題を多少とも解決する1つのアプローチとして、メモリハブを介してプロセッサと接続された複数のメモリ素子を利用するアプローチがある。このアーキテクチャを採用するコンピュータシステムはより広い帯域幅を有するものであってもよい。というのは、1つのメモリ素子が前のメモリアクセスに回答している間、プロセッサは別のメモリ素子にアクセスすることができるからである。例えば、プロセッサは、システム内の1つのメモリ素子が読出しデータをプロセッサへ出力する準備をしている間、システム内のメモリ素子のうちの別のメモリ素子へ書込みデータを出力することができる。しかし、メモリハブを使用しているコンピュータシステムは、すぐれたパフォーマンスを提供することができるにもかかわらず、それでも最適の速度で動作できないことが多い。このようなコンピュータシステムが最適の速度で動作できない理由の1つとして、従来型のメモリハブが実質的に単一チャンネルシステムであるということが挙げられる。というのは、すべての制御信号、アドレス信号およびデータ信号が共通のメモリハブ回路の中を通過しなければならないからである。この結果、メモリハブ回路は、1つのメモリ素子とビジーな通信を行っているとき、別のメモリ素子と自由に通信することができなくなる。さらに、メモリハブを利用しているコンピュータシステムは、より大きなメモリ帯域幅の出力が可能であるにもかかわらず、上述のタイプの待ち時間問題という欠点を依然として抱えている。さらに詳しく言えば、プロセッサは1つのメモリ素子がデータの転送準備をしている間、別のメモリ素子と通信ができるにもかかわらず、1つのメモリ素子からのデータを使用できないうちに、別のメモリ素子からデータを受信することが時として必要となる場合もある。1つのメモリ素子から受信したデータを使用できないうちに別のデータをメモリ素子から受信しなければならない場合、待ち時間問題はこのようなコンピュータシステムの動作速度を遅らせ続けることになる。

20

30

【0006】

したがって、メモリハブアーキテクチャの利点を提供し、上記のようなシステムに共通の問題である上記待ち時間問題も最小限にとどめ、それによって、広い帯域幅と短い待ち時間とをメモリ素子に提供するコンピュータアーキテクチャを求める要望が存在する。

40

【発明の開示】

【課題を解決するための手段】

【0007】

発明の概要

コンピュータシステムで使用できるメモリハブが、プロセッサまたは別のメモリアクセス装置と接続されたメモリアクセス装置用インターフェースと、それぞれのメモリ素子とそれぞれ接続された複数のメモリインタフェースとを備える。上記メモリインタフェースの各々は、本発明の1つの態様に基づいて、メモリコントローラと、メモリキャッシュとを備える。上記メモリインタフェースの各々は、スイッチによってメモリアクセス装置用

50

インターフェースと接続される。動作中、メモリインタフェースのうちの1つと接続されたメモリ素子から読み出されたデータまたは該メモリ素子へ書き込まれたデータは、メモリインタフェース用のキャッシュメモリに記憶される。後続するメモリ読出し要求に应答して、メモリ読出し要求に対応するデータがキャッシュメモリに記憶されているかどうかの判定チェックがキャッシュメモリに対して行われる。キャッシュがヒットした場合、要求されたデータはキャッシュメモリから出力される。キャッシュがヒットしなかった場合、要求されたデータはメモリ素子により出力される。本発明の別の態様によれば、個々のメモリインタフェースはメモリコントローラと予測ユニットとを備える。予測ユニットは、前回のメモリアクセスから得られたアドレスに基づいてデータを読み出せる可能性が大きい起点アドレスの予測を行う。次いで、予測ユニットは、それぞれのメモリインタフェース内のメモリコントローラに上記予測したアドレスからデータを読み出させる。メモリハブは、メモリ素子を利用するコンピュータシステムまたは別の電子システムのシステムコントローラ内か、メモリモジュール内か、あるいは別の何らかの部品内に物理的に設けられるものであってもよい。

10

【0008】

発明の詳細な説明

本発明の1つの実施形態に従うコンピュータシステム100が図1に示されている。コンピュータシステム100はプロセッサ104を備え、このプロセッサは、特定の計算や、タスクを実行する専用ソフトウェアの実行などの種々の計算機能を行うものである。プロセッサ104はプロセッサバス108を備え、プロセッサバス108は通常アドレスバスと、制御バスと、データバスとを備える。さらに、コンピュータシステム100は、キーボードまたはマウスなどの、システムコントローラ110を介してプロセッサ104と接続された1または2以上の入力装置108を備え、この入力装置によってオペレータはコンピュータシステム100とインタフェースを行うことが可能となる。一般に、コンピュータシステム100は、システムコントローラ110を介してプロセッサ104と接続される1または2以上の出力装置114を備えているが、このような出力装置は通常プリンタまたはビデオ端末装置である。1または2以上のデータ記憶装置120は通常システムコントローラ110を介してプロセッサ104と接続され、プロセッサ104は、データの記憶や、内部記憶媒体または外部記憶媒体(図示せず)からのデータ検索を行うことが可能となる。一般的な記憶素子120の例として、ハードディスク、フロッピー(登録商標)ディスク、テープカセット、コンパクトディスクリードオンリメモリ(CD-ROM)が挙げられる。メモリハブ130はバスシステム142を介してシステムメモリ素子140a~dの各々と接続される。バスシステム142は一般に制御バス、アドレスバスおよびデータバスを備える。プロセッサ104は、通常スタティックランダムアクセスメモリ("SRAM")であるキャッシュメモリ124とも接続される。

20

30

【0009】

システムコントローラ110は、いくつかのシステムメモリ素子140a~dへのアクセスを制御するメモリハブ130も備える。これらのシステムメモリ素子の各々は同期ダイナミックランダムアクセスメモリ("SDRAM")であってよい。メモリハブ130によって、プロセッサ104は、システムメモリ素子140a~dの各々へのデータの書込み、システムメモリ素子140a~dの各々からのデータの読出しが可能となる。メモリハブ130は、通常制御バス、アドレスバスおよびデータバスを備えたバスシステム142を介してシステムメモリ素子140a~dの各々と接続される。

40

【0010】

メモリハブ130はプロセッサ104と接続された形で図1に示されているが、メモリハブ130はコンピュータシステムチップ(図示せず)内の別の部品と接続されたものであってもよく、また、当業で周知のように、別の装置がメモリを直接操作してシステムメモリ素子140a~dへデータを書き込み、システムメモリ素子140a~dからのデータの読出しを可能にするものであってもよいことを理解されたい。また、システムコントローラ110以外の電子システムの部品の一部としてメモリハブ130を物理的に設けて

50

もよい。例えば、図2に図示のコンピュータシステム144は図1のコンピュータシステム100で使用されているものと同じ部品のほとんどを使用している。簡潔さを旨として、このような共通の部品に同じ参照番号をつけてきたので、これらの部品の動作についての説明は繰り返さない。コンピュータシステム144は、メモリハブ130がシステムコントローラ110の中に含まれないという点で、図1に図示のコンピュータシステム100とは異なるものである。代わりに、システムコントローラ110は、ダブルインラインメモリモジュール(“DIMM”)のような複数のメモリモジュール146と接続される。メモリモジュール146の各々は、メモリハブ130と複数のメモリ素子148とを備え、これらのメモリ素子はSDRAMまたは別の何らかのタイプのメモリ素子であってもよい。メモリハブ130は、図1と関連して以上説明したものとほぼ同じ態様で動作して、メモリモジュール146に記憶されたデータのキャッシュを行う。

10

【0011】

図1と図2は、それぞれ、システムコントローラ110内に設けられたメモリハブ130と、メモリモジュール146とを示すものではあるが、メモリハブ130は、スタンドアロン型ユニットであってもよいし、あるいは、コンピュータシステムの別の部品内に、または、メモリ素子を用いる別のシステムの別の部品内に設けられたものであってもよいことを理解されたい。

【0012】

メモリハブ130の1つの実施形態が図3に示されているが、この実施形態では、メモリハブ130はプロセッサ104および3つのメモリ素子140a~cと接続されている。図3に示す例では、メモリ素子140a~cはSDRAM素子である。メモリハブ130は、ポイント間構成でプロセッサ104と接続された形で示されているが、このポイント間構成には、プロセッサ104とメモリハブ130間の接続部と接続された別の装置は存在しない。このタイプの相互接続は、いくつかの理由で、プロセッサ104とメモリハブ130間でのより良好な信号接続を提供し、この信号接続には比較的低いキャパシタンスと、信号を反射する比較的少数の回線不連続部と、比較的短い信号経路とが含まれる。しかし、上記とは別に、マルチドロップ相互接続によって、プロセッサ104とメモリハブ130と間の相互接続部と接続された別の装置(図示せず)を使用してもよい。

20

【0013】

メモリハブ130は、当業で周知のように、複数のバスと信号ラインとを介してプロセッサ104と接続されたプロセッサインタフェース150を備える。次いで、プロセッサインタフェース150は、書込みデータバス154と読出しデータバス156とを含む複数のバスと信号ラインとを介してスイッチ160と接続される。但し、上記とは別に、スイッチ160内にプロセッサインタフェース150間で双方向にデータを接続する単一の双方向データバスを設けるようにしてもよい。プロセッサインタフェース150は、要求ライン164とスヌープライン168とを介してスイッチ160と接続される。以下さらに詳述するように、スヌープライン168を介してスイッチ160からプロセッサインタフェース150へ接続されたスヌープ信号を利用してキャッシュの整合性が保たれる。要求ライン164を介してプロセッサインタフェース150からスイッチ160へ接続された要求信号によって、スイッチ160を介するデータ転送要求に対応する情報がスイッチ160に与えられる。しかし、さらに多数のバスと信号ライン、または、図3に例示のものとは異なるバスと信号ラインとを用いてスイッチ160とプロセッサインタフェース150とを接続してもよいことを理解されたい。

30

40

【0014】

スイッチ160は3つのメモリインタフェース170a~cとも接続され、これらのメモリインタフェース170a~cは順にシステムメモリ素子140a~cとそれぞれ接続される。個々のシステムメモリ素子140a~c用の別個の独立したメモリインタフェース170a~cをそれぞれ設けることにより、メモリハブ130は、単一チャネルメモリアーキテクチャに関して通常生じるバスまたはメモリバンクコンフリクトを防止する。スイッチ160は、複数のバスと信号ラインを介して個々のメモリインタフェースと接続さ

50

れ、書込みデータバス174、読出しデータバス176および要求ライン178を備える。しかし、上記とは別に、別々の書込みデータバス174と読出しデータバス176の代わりに、単一の双方向データバスの使用が可能であることを理解されたい。個々のメモリインタフェース170a~cが、接続されているシステムメモリ素子140a~cに特に適合するようになっていることは重要である。さらに詳しく言えば、個々のメモリインタフェース170a~cは、特に、これらのメモリインタフェースと接続されたシステムメモリ素子140a~cによりそれぞれ受信され、生成される固有の受信信号を出力し、受信するようになっている。また、メモリインタフェース170a~cは異なるクロック周波数で動作するシステムメモリ素子140a~cと共に動作する能力を有している。この結果、メモリインタフェース170a~cは、メモリハブ130と、ハブ130と接続されたメモリ素子140a~cとの間のインタフェースで生じるかもしれない変化からプロセッサ104を分離する。メモリインタフェース170a~cは、メモリ素子140a~cがインタフェースの対象とすることができるさらに制御された環境を提供するものである。

10

【0015】

プロセッサインタフェース150をメモリインタフェース170a~cと接続するスイッチ160は、種々の従来型のスイッチまたは将来開発されるスイッチのいずれのスイッチであってもよい。例えば、スイッチ160は、プロセッサインタフェース150とメモリインタフェース170a~cとにおいて互いを同時に接続できるクロスバススイッチであってもよい。スイッチ160は、クロスバススイッチと同レベルの接続性を示さない1組のマルチプレクサであってもよいが、それでも、プロセッサインタフェース150をメモリインタフェース170a~cの各々と接続することは可能である。スイッチ160は、他のメモリアクセスに対してどのメモリアクセスが優先順位を受けるべきかを判定するアービトレーション論理回路(図示せず)を備えるものであってもよい。この機能を実行するバスアービトレーションは当業者に周知のものである。

20

【0016】

さらに図3を参照すると、メモリインタフェース170a~cの各々は、それぞれのメモリコントローラ180とそれぞれのキャッシュメモリユニット184とを備える。メモリコントローラ180は、このメモリコントローラが接続されているシステムメモリ素子140a~cに対して、制御信号、アドレス信号およびデータ信号を出力することにより、並びに、このメモリコントローラが接続されているシステムメモリ素子140a~cからデータ信号を受け取ることにより、従来型のメモリコントローラと同じ機能を実行する。当業で周知のように、キャッシュメモリユニット184は、タグメモリ、データメモリおよびコンパレータを備えたキャッシュメモリから成る通常の部品を備えている。キャッシュメモリユニット184で使用されるメモリ素子は、DRAM素子、スタティックランダムアクセスメモリ("SRAM")素子、別のタイプのメモリ素子、またはこれら3つの素子すべての組み合わせのいずれかであってもよい。さらに、これらメモリ素子の任意の素子またはすべての素子、並びにキャッシュメモリユニット184で使用される別の部品は、内蔵型装置またはスタンドアロン型装置のいずれかであってもよい。

30

【0017】

個々のメモリインタフェース170a~cでキャッシュメモリユニット184を利用することにより、プロセッサ104は、当該メモリ素子140a~cから最近読み出されたり、当該メモリ素子140a~cへ最近書き込まれたりしたようなデータがメモリ素子140a~cから入出力されるのを待たずに、それぞれのシステムメモリ素子140a~cへ送られる読出しコマンドにตอบสนองして、データを受信することが可能となる。したがって、キャッシュメモリユニット184は、システムメモリ素子140a~cの読出し待ち時間を短縮して、コンピュータシステムのメモリ帯域幅を最大化することになる。同様に、プロセッサ104はキャッシュメモリユニット184に書込みデータを記憶するが、この時、同じメモリインタフェース170a~c内のメモリコントローラ180がキャッシュメモリユニット184から、メモリコントローラ180の接続先であるシステムメモリ素

40

50

子140a~cへ書込みデータを転送している間、プロセッサ104は別の機能を実行することが可能となる。

【0018】

メモリハブ130が与えるメモリアクセス待ち時間をさらに短縮するために、個々のメモリインタフェース170a~cにプリフェッチユニット190を設けてもよい。プリフェッチユニット190は、後続するメモリ読出し要求の予想されるアドレスを従来のアルゴリズムを用いて予測できるユニットである。プロセッサ104が異なるシステムメモリ素子140にアクセスしたり、別の機能を実行したりしている間、同じメモリインタフェース170a~c内のメモリコントローラ180は、バックグラウンドでメモリアクセスを行うことが可能である。その後、プロセッサ104がメモリハブ130へコマンドを出力して、予測したアドレスからデータを読み出すとき、その読出しデータはキャッシュメモリユニット180の中にすでに存在しているため、プロセッサ104への迅速なデータ出力が可能となる。

10

【0019】

例示を目的として、本発明の具体的実施形態について本明細書で説明したが、上記の説明から、本発明の精神と範囲から逸脱することなく様々な変更を行うことも可能であることを理解されたい。したがって、本発明は添付の請求項以外の限定を受けるものではない。

【図面の簡単な説明】

【0020】

【図1】図1は、システムコントローラがメモリハブを備えた本発明の1つの実施形態に従うコンピュータシステムのブロック図である。

【図2】図2は、メモリモジュール内にメモリハブを備えた、本発明の別の実施形態に従うコンピュータシステムのブロック図である。

【図3】図3は、図1と図2のコンピュータシステムで使用するメモリハブのブロック図である。

20

【 図 1 】

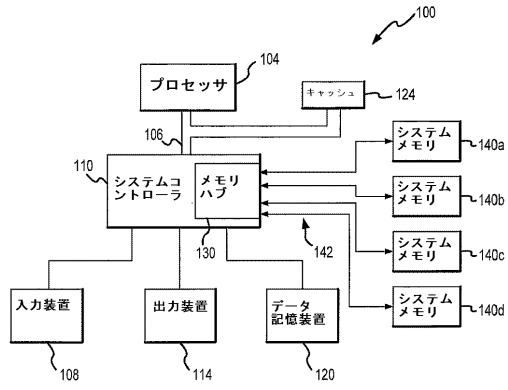


FIG.1

【 図 2 】

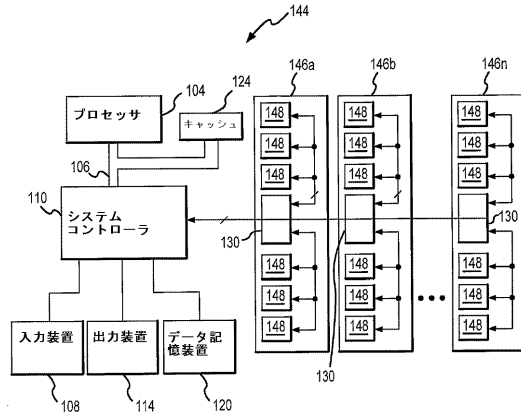


FIG.2

【 図 3 】

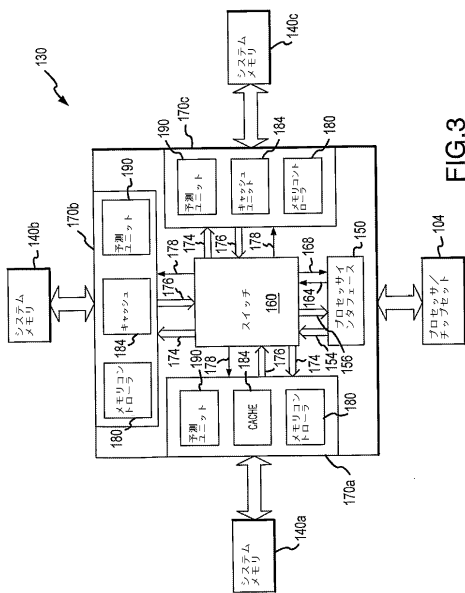


FIG.3

フロントページの続き

審査官 高橋正徳

- (56)参考文献 特開2002-123479(JP,A)
特開平10-198561(JP,A)
特開平06-004401(JP,A)
特表2001-522092(JP,A)
特開平08-185383(JP,A)
特開平06-028180(JP,A)
特開平10-214223(JP,A)
特開平10-228413(JP,A)
国際公開第00/043902(WO,A1)
特表平10-506492(JP,A)
特表2002-500395(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 12/00-12/06,
G06F 13/16,
G06F 12/08,
G06F 15/167