

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4116302号
(P4116302)

(45) 発行日 平成20年7月9日(2008.7.9)

(24) 登録日 平成20年4月25日(2008.4.25)

(51) Int.Cl.	F I
G09G 3/28 (2006.01)	G09G 3/28 J
G09G 3/20 (2006.01)	G09G 3/20 611C
H02M 7/48 (2007.01)	G09G 3/20 621G
H04N 5/66 (2006.01)	G09G 3/20 624L
H02M 3/00 (2006.01)	H02M 7/48 Z

請求項の数 6 (全 23 頁) 最終頁に続く

(21) 出願番号	特願2002-35554 (P2002-35554)	(73) 特許権者	000005821
(22) 出願日	平成14年2月13日(2002.2.13)		松下電器産業株式会社
(62) 分割の表示	特願2000-160080 (P2000-160080) の分割		大阪府門真市大字門真1006番地
原出願日	平成12年5月30日(2000.5.30)	(74) 代理人	100098305 弁理士 福島 祥人
(65) 公開番号	特開2002-366095 (P2002-366095A)	(72) 発明者	木子 茂雄
(43) 公開日	平成14年12月20日(2002.12.20)		大阪府門真市大字門真1006番地 松下 電器産業株式会社内
審査請求日	平成19年5月21日(2007.5.21)	(72) 発明者	庄司 秀彦
(31) 優先権主張番号	特願平11-317637		大阪府門真市大字門真1006番地 松下 電器産業株式会社内
(32) 優先日	平成11年11月9日(1999.11.9)	(72) 発明者	橋口 淳平
(33) 優先権主張国	日本国(JP)		大阪府門真市大字門真1006番地 松下 電器産業株式会社内

最終頁に続く

(54) 【発明の名称】 プラズマディスプレイ装置

(57) 【特許請求の範囲】

【請求項1】

表示パネルの電極から電荷を回収するための回収用容量性素子に接続されるスイッチング手段と、前記スイッチング手段に接続される配線手段と、前記スイッチング手段に並列に接続され、前記スイッチング手段の寄生容量と前記配線手段のインダクタンス成分とのLC共振の共振周波数を低減する周波数低減手段とを備え、前記スイッチング手段および前記配線手段を介して前記回収用容量性素子から前記表示パネルの電極に電荷を供給する、または前記表示パネルの電極から前記回収用容量性素子に電荷を回収する構成としたプラズマディスプレイ装置。

【請求項2】

表示パネルの電極から電荷を回収するための回収用容量性素子に接続されるトランジスタと、前記トランジスタに接続される配線手段と、前記トランジスタのソース・ドレイン間に並列に接続され、前記トランジスタの寄生容量と前記配線手段のインダクタンス成分とのLC共振の共振周波数を低減する周波数低減手段とを備え、前記トランジスタ及び前記配線手段を介して前記表示パネルの電極に前記回収用容量性素子から電荷を供給する、又は前記表示パネルの電極から前記回収用容量性素子に電荷を回収する構成としたプラズマディスプレイ装置。

【請求項3】

周波数低減手段は、共振周波数を30MHz未満に低減する構成とした請求項1または請求項2記載のプラズマディスプレイ装置。

【請求項 4】

周波数低減手段は、容量性素子を含む構成とした請求項 1 または請求項 2 記載の プラズマディスプレイ装置。

【請求項 5】

周波数低減手段は、コンデンサである請求項 1 または請求項 2 記載の プラズマディスプレイ装置。

【請求項 6】

プラズマディスプレイパネルの容量性負荷に電荷を供給する回収コンデンサと、
第 1 の電圧源に接続される第 1 のスイッチング手段と、

前記第 1 のスイッチング手段と前記プラズマディスプレイとの間に接続される配線手段と、

前記第 1 のスイッチング手段に並列に接続され、前記第 1 の電圧源と前記配線手段とを接続する第 1 の容量性素子と、

第 2 の電圧源と前記配線手段とに接続される第 2 のスイッチング手段と、

前記第 2 のスイッチング手段に並列に接続され、前記第 2 の電圧源と前記配線手段とを接続する第 2 の容量性素子と、

前記回収コンデンサに接続される第 3 のスイッチング手段と、

前記第 3 のスイッチング手段と前記配線手段との間に接続されるインダクタンス素子とを備え、

前記第 1 の容量性素子は前記第 1 のスイッチング手段の寄生容量の約 5 ～ 10 倍の容量であることを特徴とする プラズマディスプレイ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、駆動パルスにより容量性負荷を駆動するための駆動回路を用いた プラズマディスプレイ装置 に関するものである。

【0002】

【従来の技術】

容量性負荷を駆動する従来の駆動回路としては、例えば、プラズマディスプレイパネルのサステイン電極を駆動するサステインドライバが知られている。

【0003】

図 13 は、従来のサステインドライバの構成を示す回路図である。図 13 に示すように、サステインドライバ 400 は、回収コンデンサ C11、回収コイル L11、スイッチ SW11、SW12、SW21、SW22 およびダイオード D11、D12 を含む。

【0004】

スイッチ SW11 は、電源端子 V4 とノード N11 との間に接続され、スイッチ SW12 は、ノード N11 と接地端子との間に接続されている。電源端子 V4 には、電圧 V_{sus} が印加される。ノード N11 は、例えば 480 本のサステイン電極に接続され、図 13 では、複数のサステイン電極と接地端子との間の全容量に相当するパネル容量 C_p が示されている。

【0005】

回収コンデンサ C11 は、ノード N13 と接地端子との間に接続されている。ノード N13 とノード N12 との間にスイッチ SW21 およびダイオード D11 が直列に接続され、ノード N12 とノード N13 との間にダイオード D12 およびスイッチ SW22 が直列に接続されている。回収コイル L11 は、ノード N12 とノード N11 との間に接続されている。

【0006】

図 14 は、図 13 のサステインドライバ 400 の維持期間の動作を示すタイミング図である。図 14 には、図 13 のノード N11 の電圧およびスイッチ SW21、SW11、SW22、SW12 の動作が示される。

【0007】

まず、期間T aにおいて、スイッチSW 2 1がオンし、スイッチSW 1 2がオフする。このとき、スイッチSW 1 1, SW 2 2はオフしている。これにより、回収コイルL 1 1およびパネル容量C pによるLC共振により、ノードN 1 1の電圧が緩やかに上昇する。次に、期間T bにおいて、スイッチSW 2 1がオフし、スイッチSW 1 1がオンする。これにより、ノードN 1 1の電圧が急激に上昇し、期間T cではノードN 1 1の電圧がV s u sに固定される。

【0008】

次に、期間T dでは、スイッチSW 1 1がオフし、スイッチSW 2 2がオンする。これにより、回収コイルL 1 1およびパネル容量C pによるLC共振により、ノードN 1 1の電圧が緩やかに降下する。その後、期間T eにおいて、スイッチSW 2 2がオフし、スイッチSW 1 2がオンする。これにより、ノードN 1 1の電圧が急激に降下し、接地電位に固定される。上記の動作を維持期間において繰り返し行うことにより、複数のサステイン電極に周期的な維持パルスP s uが印加される。

【0009】

上記のように、維持パルスP s uの立ち上がり部分および立ち下がり部分は、スイッチSW 2 1またはスイッチSW 2 2の動作による期間T a, T dのLC共振部とスイッチSW 1 1またはスイッチSW 1 2のオン動作による期間T b, T eのエッジ部e 1, e 2とで構成されている。

【0010】

【発明が解決しようとする課題】

上記のスイッチSW 1 1, SW 1 2, SW 2 1, SW 2 2は、通常、スイッチング素子であるFET（電界効果型トランジスタ）により構成され、各FETは寄生容量としてドレイン・ソース間に容量を有し、各FETに接続される配線は、インダクタンス成分を有している。このため、スイッチSW 1 1等がオフからオンへ変化するとき、ドレイン・ソース間の容量と配線のインダクタンス成分とによりLC共振が発生し、このLC共振により不要な電磁波が輻射される。

【0011】

また、上記の各ダイオードD 1 1, D 1 2も、寄生容量としてアノード・カソード間に容量を有し、各ダイオードに接続される配線も、インダクタンス成分を有している。このため、スイッチSW 1 1等がオフからオンへ変化するとき、アノード・カソード間の容量と配線のインダクタンス成分とによりLC共振が発生し、このLC共振により不要な電磁波が輻射される。

【0012】

さらに、各FETのドレイン・ソース間の容量および各ダイオードのアノード・カソード間の容量と各配線のインダクタンス成分とが小さいため、LC共振の共振周波数が高くなり、発生する電磁波の周波数も高くなる。一方、電気用品取締法による不要輻射の規格では、30MHz以上の高周波の電磁波に対する限度値が定められている。したがって、このような高周波の電磁波の輻射は、他の電子機器に電磁的な悪影響を及ぼす恐れがあるため、この不要な高周波の電磁波の輻射を抑制することが望まれる。

【0013】

本発明の目的は、不要な高周波の電磁波の輻射を抑制することができる駆動回路を用いたプラズマディスプレイ装置を提供することである。

【0014】

【課題を解決するための手段】

(1) 第1の発明

第1の発明に係るプラズマディスプレイ装置は、表示パネルの電極から電荷を回収するための回収用容量性素子に接続されるスイッチング手段と、前記スイッチング手段に接続される配線手段と、前記スイッチング手段に並列に接続され、前記スイッチング手段の寄生容量と前記配線手段のインダクタンス成分とのLC共振の共振周波数を低減する周波数

10

20

30

40

50

低減手段とを備え、前記スイッチング手段および前記配線手段を介して前記回収用容量性素子から前記表示パネルの電極に電荷を供給する、または前記表示パネルの電極から前記回収用容量性素子に電荷を回収する構成としたものである。

【0015】

(2) 第2の発明

第2の発明に係るプラズマディスプレイ装置は、表示パネルの電極から電荷を回収するための回収用容量性素子に接続されるトランジスタと、前記トランジスタに接続される配線手段と、前記トランジスタのソース・ドレイン間に並列に接続され、前記トランジスタの寄生容量と前記配線手段のインダクタンス成分とのLC共振の共振周波数を低減する周波数低減手段とを備え、前記トランジスタ及び前記配線手段を介して前記表示パネルの電極に前記回収用容量性素子から電荷を供給する、又は前記表示パネルの電極から前記回収用容量性素子に電荷を回収する構成としたものである。

10

【0016】

(3) 第3の発明

第3の発明に係るプラズマディスプレイ装置は、第1または第2の発明に係るプラズマディスプレイ装置の構成において、周波数低減手段は、共振周波数を30MHz未満に低減する構成としたものである。

【0017】

(4) 第4の発明

第4の発明に係るプラズマディスプレイ装置は、第1または第2の発明に係るプラズマディスプレイ装置の構成において、周波数低減手段は、容量性素子を含む構成としたものである。

20

【0018】

(5) 第5の発明

第5の発明に係るプラズマディスプレイ装置は、第1または第2の発明に係るプラズマディスプレイ装置の構成において、周波数低減手段は、コンデンサであるものである。

【0019】

(6) 第6の発明

第6の発明に係るプラズマディスプレイ装置は、プラズマディスプレイパネルの容量性負荷に電荷を供給する回収コンデンサと、第1の電圧源に接続される第1のスイッチング手段と、第1のスイッチング手段とプラズマディスプレイとの間に接続される配線手段と、第1のスイッチング手段に並列に接続され、第1の電圧源と配線手段とを接続する第1の容量性素子と、第2の電圧源と配線手段とに接続される第2のスイッチング手段と、第2のスイッチング手段に並列に接続され、第2の電圧源と配線手段とを接続する第2の容量性素子と、回収コンデンサに接続される第3のスイッチング手段と、第3のスイッチング手段と配線手段との間に接続されるインダクタンス素子とを備え、第1の容量性素子は第1のスイッチング手段の寄生容量の約5～10倍の容量であるものである。

30

【0020】

本発明に係るプラズマディスプレイ装置においては、インダクタンス素子と容量性負荷とのLC共振により駆動パルスを立ち上げまたは立ち下げることができるとともに、第1のスイッチング手段および配線手段を介してプラズマディスプレイパネルの容量性負荷に第1の電圧源の電位を供給することにより駆動パルスを立ち上げ、第2のスイッチング手段および配線手段を介してプラズマディスプレイパネルの容量性負荷に第2の電圧源の電位を供給することにより駆動パルスを立ち下げることができる。また、回収コンデンサにより容量性負荷から電荷を回収することができるので、駆動回路の消費電力を低減することができる。

40

【0021】

また、第1のスイッチング手段に第1の容量性素子が接続され、第2のスイッチング手段に第2の容量性素子が接続されている。それにより、LC共振経路における容量が大きくなり、第1および第2のスイッチング手段および配線手段によるLC共振の共振周波数

50

を低減することができるので、不要な高周波の電磁波の輻射を抑制することができる。

【0022】

さらに、第1の容量性素子は第1のスイッチング手段の寄生容量の約5～10倍の容量であるので、LC共振の共振周波数が30MHz未満になる。それにより、LC共振による共振周波数を30MHz未満に低減しているので、30MHz以上の周波数の電磁波の輻射を抑制することができる。

【0030】

(9) 第9の発明

第9の発明に係る駆動回路は、第1～第8のいずれかの発明に係る駆動回路の構成において、周波数低減手段は、電気素子に並列に接続される容量性素子を含むものである。

10

【0044】

【発明の実施の形態】

以下、本発明による駆動回路の一例として、プラズマディスプレイ装置に用いられるサステインドライバについて説明する。なお、本発明の駆動回路は、容量性負荷を駆動するものであれば、他の装置にも同様に適用することができ、たとえば、プラズマディスプレイパネル、液晶ディスプレイ、エレクトロルミネッセンスディスプレイ等の表示装置の駆動回路に適用できる。また、本発明の駆動回路をプラズマディスプレイパネルに用いる場合は、AC型、DC型等のいずれのプラズマディスプレイパネルの駆動回路にも適用でき、アドレス電極、サステイン電極およびスキャン電極のいずれの駆動回路にも適用できるが、サステイン電極およびスキャン電極の駆動回路に好適に用いることができる。

20

【0045】

図1は、本発明の第1の実施の形態によるサステインドライバを用いたプラズマディスプレイ装置の構成を示すブロック図である。

【0046】

図1のプラズマディスプレイ装置は、PDP（プラズマディスプレイパネル）1、データドライバ2、スキャンドライバ3、複数のスキャンドライバIC（回路）3aおよびサステインドライバ4を含む。

【0047】

PDP1は、複数のアドレス電極（データ電極）11、複数のスキャン電極（走査電極）12および複数のサステイン電極（維持電極）13を含む。複数のアドレス電極11は、画面の垂直方向に配列され、複数のスキャン電極12および複数のサステイン電極13は、画面の水平方向に配列されている。また、複数のサステイン電極13は、共通に接続されている。アドレス電極11、スキャン電極12およびサステイン電極13の各交点には、放電セルが形成され、各放電セルが画面上の画素を構成する。

30

【0048】

データドライバ2は、PDP1の複数のアドレス電極11に接続されている。複数のスキャンドライバIC3aは、スキャンドライバ3に接続されている。各スキャンドライバIC3aには、PDP1の複数のスキャン電極12が接続されている。サステインドライバ4は、PDP1の複数のサステイン電極13に接続されている。

【0049】

データドライバ2は、書き込み期間において、画像データに応じてPDP1の該当するアドレス電極11に書き込みパルスを印加する。複数のスキャンドライバIC3aは、スキャンドライバ3により駆動され、書き込み期間において、シフトパルスSHを垂直走査方向にシフトしつつPDP1の複数のスキャン電極12に書き込みパルスを順に印加する。これにより、該当する放電セルにおいてアドレス放電が行われる。

40

【0050】

また、複数のスキャンドライバIC3aは、維持期間において、周期的な維持パルスをPDP1の複数のスキャン電極12に印加する。一方、サステインドライバ4は、維持期間において、PDP1の複数のサステイン電極13にスキャン電極12の維持パルスに対して180°位相のずれた維持パルスを同時に印加する。これにより、該当する放電セルに

50

において維持放電が行われる。

【0051】

図2は、図1のPDP1におけるスキャン電極12およびサステイン電極13の駆動電圧の一例を示すタイミング図である。

【0052】

初期化および書き込み期間には、複数のスキャン電極12に初期化パルス（セットアップパルス）Psetが同時に印加される。その後、複数のスキャン電極12に書き込みパルスPwが順に印加される。これにより、PDP1の該当する放電セルにおいてアドレス放電が起こる。

【0053】

次に、維持期間において、複数のスキャン電極12に維持パルスPscが周期的に印加され、複数のサステイン電極13に維持パルスPsuが周期的に印加される。維持パルスPscの位相は、維持パルスPsuの位相に対して180°ずれている。これにより、アドレス放電に続いて維持放電が起こる。

【0054】

次に、図1に示すサステインドライバ4について説明する。図3は、図1に示すサステインドライバ4の構成を示す回路図である。

【0055】

図3のサステインドライバ4は、スイッチング素子であるnチャネル型のFET（電界効果型トランジスタ、以下トランジスタと称す）Q1～Q4、コンデンサC1、C2、回収コンデンサCr、回収コイルLおよびダイオードD1、D2を含む。

【0056】

トランジスタQ1は、一端が電源端子V1に接続され、他端が配線L1を介してノードN1に接続され、ゲートには制御信号S1が入力される。トランジスタQ1は、寄生容量としてドレイン・ソース間の容量CP1を有し、トランジスタQ1のドレイン・ソース間には、コンデンサC1が並列に接続される。電源端子V1には、電圧Vsusが印加される。

【0057】

トランジスタQ2は、一端が配線L2を介してノードN1に接続され、他端が接地端子に接続され、ゲートには制御信号S2が入力される。トランジスタQ2は、寄生容量としてドレイン・ソース間の容量CP2を有し、トランジスタQ2のドレイン・ソース間には、コンデンサC2が並列に接続される。

【0058】

ノードN1は、例えば480本のサステイン電極13に接続されているが、図3では、複数のサステイン電極13と接地端子との間の全容量に相当するパネル容量Cpが示されている。

【0059】

回収コンデンサCrは、ノードN3と接地端子との間に接続されている。トランジスタQ3およびダイオードD1は、ノードN3とノードN2との間に直列に接続されている。ダイオードD2およびトランジスタQ4は、ノードN2とノードN3との間に直列に接続されている。トランジスタQ3のゲートには、制御信号S3が入力され、トランジスタQ4のゲートには制御信号S4が入力される。回収コイルLはノードN2とノードN1との間に接続されている。

【0060】

本実施の形態では、トランジスタQ1、Q2が電気素子、スイッチング手段および維持パルス用スイッチング手段に相当し、配線L1、L2が配線手段に相当し、コンデンサC1、C2が周波数低減手段に相当し、電源端子V1および接地端子が電圧源に相当する。また、トランジスタQ1が第1のスイッチング手段に相当し、トランジスタQ2が第2のスイッチング手段に相当し、配線L1が第1の配線手段に相当し、配線L2が第2の配線手段に相当し、コンデンサC1が第1の容量性素子に相当し、コンデンサC2が第2の容量

10

20

30

40

50

性素子に相当し、電源端子V 1が第1の電圧源に相当し、接地端子が第2の電圧源に相当する。

【0061】

次に、上記のように構成されたサステインドライバ4の維持期間の動作について説明する。

【0062】

まず、制御信号S 2がローレベルになりトランジスタQ 2がオフし、制御信号S 3がハイレベルになりトランジスタQ 3がオンする。このとき、制御信号S 1はローレベルにありトランジスタQ 1はオフし、制御信号S 4はローレベルにありトランジスタQ 4はオフしている。したがって、回収コンデンサC rがトランジスタQ 3およびダイオードD 1を介して回収コイルLに接続され、回収コイルLおよびパネル容量C pによるLC共振によりノードN 1の電圧が滑らかに上昇する。このとき、回収コンデンサC rの電荷がトランジスタQ 3、ダイオードD 1および回収コイルLを介してパネル容量C pへ放出される。

10

【0063】

また、このとき、トランジスタQ 3、ダイオードD 1および回収コイルLを介して流れる電流は、パネル容量C pに流入するだけでなく、配線L 1を介してトランジスタQ 1のドレイン・ソース間の容量C P 1およびコンデンサC 1を流れるとともに、配線L 2を介してトランジスタQ 2のドレイン・ソース間の容量C P 2およびコンデンサC 2にも流れる。このため、配線L 1、L 2の各インダクタンス成分とトランジスタQ 1、Q 2の各ドレイン・ソース間の容量C P 1、C P 2およびコンデンサC 1、C 2によりLC共振が発生する。

20

【0064】

しかしながら、本実施の形態では、このLC共振に寄与する容量は、ドレイン・ソース間の容量C P 1、C P 2とコンデンサC 1、C 2とをそれぞれ加算した容量となるため、その共振周波数はドレイン・ソース間の容量C P 1、C P 2のみによる共振周波数よりも低減される。具体的には、LC共振の共振周波数が30MHz未満になるように、各コンデンサC 1、C 2の容量を各トランジスタQ 1、Q 2のドレイン・ソース間の容量C P 1、C P 2に対して、例えば約5～10倍に設定している。

【0065】

ここで、一例として、2000pFのコンデンサをFETのドレイン・ソース間に並列に接続した場合のドレイン・ソース間の容量とドレイン・ソース間の電圧との関係について説明する。図4は、2000pFのコンデンサをFETに並列に接続した場合と接続しない場合のドレイン・ソース間の容量C d s (pF)とドレイン・ソース間の電圧V d s (V)との関係を示す図である。図4では、FETのドレイン・ソース間にコンデンサを接続していない場合を破線で示し、2000pFのコンデンサを並列に接続した場合を実線で示している。

30

【0066】

図4に示すように、2000pFのコンデンサがFETのドレイン・ソース間に並列に接続されると、接続しない場合に比べてドレイン・ソース間の容量C d sが増加することがわかる。本実施の形態の場合、図3に示すトランジスタQ 1、Q 2のドレイン・ソース間の電圧V d sが約200Vであるので、2000pFのコンデンサを各トランジスタQ 1、Q 2のドレイン・ソース間に並列に接続することにより、各トランジスタQ 1、Q 2のドレイン・ソース間の容量C d sがコンデンサを接続しない場合に対して約10倍程度増加することがわかる。

40

【0067】

上記のように、トランジスタQ 1、Q 2のドレイン・ソース間にコンデンサC 1、C 2を並列に接続することにより、トランジスタQ 3がオフからオンへ変化したときに発生する、配線L 1、L 2のインダクタンス成分とトランジスタQ 1、Q 2のドレイン・ソース間の容量C P 1、C P 2およびコンデンサC 1、C 2とによるLC共振の共振周波数が30MHz未満となり、30MHz以上の不要な電磁波の輻射が抑制される。

50

【0068】

次に、制御信号 S 1 がハイレベルになりトランジスタ Q 1 がオンし、制御信号 S 3 がローレベルになりトランジスタ Q 3 がオフする。したがって、ノード N 1 が電源端子 V 1 に接続され、ノード N 1 の電圧が急激に上昇し、電圧 V s u s に固定される。

【0069】

このとき、電源端子 V 1 からトランジスタ Q 1 を介して流れる電流は、パネル容量 C p に流入するだけでなく、配線 L 1, L 2 を介してトランジスタ Q 2 のドレイン・ソース間の容量 C P 2 およびコンデンサ C 2 にも流入する。このため、配線 L 1, L 2 のインダクタンス成分とトランジスタ Q 2 のドレイン・ソース間の容量 C P 2 およびコンデンサ C 2 により LC 共振が発生する。

10

【0070】

この場合も、上記と同様に、この LC 共振に寄与する容量がドレイン・ソース間の容量 C P 2 とコンデンサ C 2 とを加算した容量となるので、トランジスタ Q 1 がオフからオンへ変化したときに発生する、配線 L 1, L 2 のインダクタンス成分とトランジスタ Q 2 のドレイン・ソース間の容量 C P 2 およびコンデンサ C 2 による LC 共振の共振周波数が 30 MHz 未満となり、30 MHz 以上の不要な電磁波の輻射が抑制される。

【0071】

次に、制御信号 S 1 がローレベルになりトランジスタ Q 1 がオフし、制御信号 S 4 がハイレベルになりトランジスタ Q 4 がオンする。したがって、回収コンデンサ C r がダイオード D 2 およびトランジスタ Q 4 を介して回収コイル L に接続され、回収コイル L およびパネル容量 C p による LC 共振によりノード N 1 の電圧が緩やかに降下する。このとき、パネル容量 C p に蓄えられた電荷は、回収コイル L、ダイオード D 2 およびトランジスタ Q 4 を介して回収コンデンサ C r に蓄えられ、電荷の回収が行われる。

20

【0072】

また、このとき、パネル容量 C p から流れる電流は、回収コイル L、ダイオード D 2 およびトランジスタ Q 4 を介して回収コンデンサ C r へ流入するだけでなく、配線 L 1, L 2 を介してトランジスタ Q 1, Q 2 のドレイン・ソース間の容量 C P 1, C P 2 およびコンデンサ C 1, C 2 へも流れる。このため、配線 L 1, L 2 のインダクタンス成分とトランジスタ Q 1, Q 2 のドレイン・ソース間の容量 C P 1, C P 2 およびコンデンサ C 1, C 2 により LC 共振が発生する。

30

【0073】

この場合も、上記と同様に、この LC 共振に寄与する容量がドレイン・ソース間の容量 C P 1, C P 2 とコンデンサ C 1, C 2 とをそれぞれ加算した容量となるので、トランジスタ Q 4 がオフからオンへ変化したときに発生する、配線 L 1, L 2 のインダクタンス成分とトランジスタ Q 1, Q 2 のドレイン・ソース間の容量 C P 1, C P 2 およびコンデンサ C 1, C 2 による LC 共振の共振周波数が 30 MHz 未満となり、30 MHz 以上の不要な電磁波の輻射が抑制される。

【0074】

次に、制御信号 S 2 がハイレベルになりトランジスタ Q 2 がオンし、制御信号 S 4 がローレベルになりトランジスタ Q 4 がオフする。したがって、ノード N 1 が接地端子に接続され、ノード N 1 の電圧が急激に降下し、接地電位に固定される。

40

【0075】

このとき、トランジスタ Q 2 を介して接地端子へ流れる電流は、パネル容量 C p から流入するだけでなく、配線 L 1, L 2 を介してトランジスタ Q 1 のドレイン・ソース間の容量 C P 1 およびコンデンサ C 1 からも流入する。このため、配線 L 1, L 2 のインダクタンス成分とトランジスタ Q 1 のドレイン・ソース間の容量 C P 1 およびコンデンサ C 1 により LC 共振が発生する。

【0076】

この場合も、上記と同様に、この LC 共振に寄与する容量がドレイン・ソース間の容量 C P 1 とコンデンサ C 1 とを加算した容量となるので、トランジスタ Q 2 がオフからオンへ

50

変化したときに発生する、配線 L 1, L 2 のインダクタンス成分とトランジスタ Q 1 のドレイン・ソース間の容量 C P 1 およびコンデンサ C 1 による LC 共振の共振周波数も、30 MHz 未満となり、30 MHz 以上の不要な電磁波の輻射が抑制される。

【0077】

上記の動作を維持期間において繰り返し行うことにより、図 14 に示す従来の維持パルス P s u と同様の波形を有する維持パルス P s u が複数のサステイン電極 13 に周期的に印加されるとともに、30 MHz 以上の不要な電磁波の輻射が抑制される。

【0078】

次に、上記のようにトランジスタ Q 1, Q 2 にコンデンサ C 1, C 2 を並列に接続した場合の電磁波の輻射レベルの低減効果について説明する。図 5 は、図 1 に示すプラズマディスプレイ装置から放出される電磁波の輻射レベルと周波数との関係を示す図である。図 5 では、コンデンサ C 1, C 2 をトランジスタ Q 1, Q 2 のドレイン・ソース間に並列に接続した場合を実線で示し、コンデンサ C 1, C 2 を接続していない場合を破線で示す。

【0079】

図 5 に示すように、コンデンサ C 1, C 2 を接続していない場合、電磁波の輻射レベルは 30 MHz より高い周波数 f_0 でピークを取り、30 MHz 以上の電磁波の輻射レベルが高くなっていることがわかる。一方、コンデンサ C 1, C 2 をトランジスタ Q 1, Q 2 のドレイン・ソース間に並列に接続した場合、共振周波数が f_0 から f_1 へ低減され、30 MHz より低い周波数 f_1 でピークを取るようになる。したがって、30 MHz 以上の電磁波の輻射レベルが十分に低減され、30 MHz 以上の不要な電磁波の輻射を十分に抑制

【0080】

上記のように、本実施の形態では、コンデンサ C 1, C 2 がトランジスタ Q 1, Q 2 のドレイン・ソース間に並列に接続されているので、トランジスタ Q 1 ~ Q 4 がオフからオンへ変化したときに発生する LC 共振の共振周波数を 30 MHz 未満の低い周波数へ移動させることができる。したがって、30 MHz 以上の高周波の電磁波の輻射を抑制することができる。

【0081】

次に、図 1 に示すサステインドライバ 4 として用いられる他のサステインドライバについて説明する。図 6 は、本発明の第 2 の実施の形態によるサステインドライバの構成を示す回路図である。

【0082】

図 6 に示すサステインドライバ 4 a と図 3 に示すサステインドライバ 4 とで異なる点は、コンデンサ C 1, C 2 が省略され、トランジスタ Q 3, Q 4 に並列に接続されるコンデンサ C 3, C 4 が付加された点であり、その他の点は図 3 に示すサステインドライバ 4 と同様であるので、同一部分には同一符号を付し、以下詳細な説明を省略する。

【0083】

図 6 に示すように、コンデンサ C 3 は、トランジスタ Q 3 のドレイン・ソース間に並列に接続され、コンデンサ C 4 は、トランジスタ Q 4 のドレイン・ソース間に並列に接続される。トランジスタ Q 3 の一端は、配線 L 3 を介してノード N 3 に接続され、トランジスタ Q 4 の一端は、配線 L 4 を介してノード N 3 に接続されている。なお、配線 L 3 および配線 L 4 は、トランジスタ Q 3 およびトランジスタ Q 4 のドレイン・ソース間の配線全体を指している。トランジスタ Q 3 は、寄生容量としてドレイン・ソース間の容量 C P 3 を有し、トランジスタ Q 4 は、寄生容量としてドレイン・ソース間の容量 C P 4 を有する。ダイオード D 1 は、寄生容量としてアノード・カソード間の容量 C P 5 を有し、ダイオード D 2 は、寄生容量としてアノード・カソード間の容量 C P 6 を有する。

【0084】

本実施の形態では、トランジスタ Q 3, Q 4 が電気素子、スイッチング手段および維持パルス用スイッチング手段に相当し、配線 L 3, L 4 が配線手段に相当し、コンデンサ C 3, C 4 が周波数低減手段に相当し、回収コイル L がインダクタンス素子に相当し、回収コ

10

20

30

40

50

ンデンサ C_r が回収用容量性素子に相当し、ダイオード D_1 、 D_2 が一方方向性導通素子、トランジスタ Q_3 、 Q_4 がスイッチング素子に相当する。

【0085】

次に、上記のように構成されたサステインドライバ4aの維持期間の動作について説明する。図7は、図6に示すサステインドライバ4aの維持期間の動作を説明するためのタイミング図である。図7には、トランジスタ $Q_1 \sim Q_4$ に入力される制御信号 $S_1 \sim S_4$ およびノード $N_1 \sim N_3$ の各電圧が示される。なお、図6に示すサステインドライバ4aの基本的な動作は、図3に示すサステインドライバ4と同様であるので、LC共振の発生メカニズム等の異なる点についてのみ以下詳細に説明する。

【0086】

まず、トランジスタ Q_4 のドレイン・ソース間の容量 C_P4 および配線 L_4 のインダクタンス成分によるLC共振は、トランジスタ Q_4 がオフ状態にあり、かつ、トランジスタ Q_4 のドレイン・ソース間に急激な電圧変化が生じる場合に発生する。具体的には、図7に示す時刻 t_1 、 t_2 においてドレイン・ソース間の容量 C_P4 および配線 L_4 のインダクタンス成分によるLC共振が発生する。

【0087】

時刻 t_1 の場合、制御信号 S_3 がハイレベルになりトランジスタ Q_3 がオンし、ノード N_2 の電位が0Vからノード N_3 の電位約 $V_{sus}/2$ に立ち上がる瞬間に、LC共振が発生する。このとき、ダイオード D_2 のアノード・カソード間の容量 C_P6 、トランジスタ Q_4 のドレイン・ソース間の容量 C_P4 および配線 L_4 を介して高周波の電流がノード N_2 からノード N_3 に向かって流れようとする。このため、トランジスタ Q_4 のドレイン・ソース間の容量 C_P4 および配線 L_4 のインダクタンス成分により高周波のLC共振が発生し、高周波の電磁波として輻射される。

【0088】

また、時刻 t_2 の場合、ノード N_1 の電位が回収コイル L およびパネル容量 C_p によるLC共振によりピーク電圧から下がり始め、回収コイル L に流れる電流の方向がノード N_1 からノード N_2 へと逆転すると、ダイオード D_1 が非導通となるために、電流は経路を断たれ、ノード N_2 の電位は、急激にノード N_1 の電位に向かって上昇する。このとき、ダイオード D_1 のアノード・カソード間の容量 C_P5 等のノード N_2 に接続されている浮遊容量および回収コイル L によるLC共振が発生し、ノード N_2 の電位がリングングしながら上昇する瞬間に、高周波のLC共振が発生する。

【0089】

このとき、ダイオード D_2 はオンし、トランジスタ Q_4 のドレイン・ソース間の容量 C_P4 および配線 L_4 を介して高周波の電流がノード N_2 からノード N_3 に向かって流れようとする。このため、トランジスタ Q_4 のドレイン・ソース間の容量 C_P4 および配線 L_4 のインダクタンス成分により高周波のLC共振が発生し、高周波の電磁波として輻射される。

【0090】

しかしながら、本実施の形態では、トランジスタ Q_4 に並列にコンデンサ C_4 が接続されているため、トランジスタ Q_4 のドレイン・ソース間の容量 C_P4 および配線 L_4 のインダクタンス成分によるLC共振に寄与する容量は、トランジスタ Q_4 のドレイン・ソース間の容量 C_P4 とコンデンサ C_4 とを加算した容量となるため、その共振周波数はドレイン・ソース間の容量 C_P4 のみによる共振周波数よりも低減される。具体的には、このLC共振の共振周波数が30MHz未満になるように、コンデンサ C_4 の容量が設定され、30MHz以上の不要の電磁波の輻射を抑制している。

【0091】

次に、トランジスタ Q_3 のドレイン・ソース間の容量 C_P3 および配線 L_3 のインダクタンス成分によるLC共振は、トランジスタ Q_3 がオフ状態にあり、かつ、トランジスタ Q_3 のドレイン・ソース間に急激な電圧変化が生じる場合に発生する。具体的には、図7に示す時刻 t_3 、 t_4 においてドレイン・ソース間の容量 C_P3 および配線 L_3 のインダク

10

20

30

40

50

タンス成分によるLC共振が発生する。

【0092】

時刻 t_3 の場合、維持パルス P_{su} の立ち上がり時の電力回収期間が終了して制御信号 S_1 がハイレベルになりトランジスタ Q_1 がオンし、電源端子 V_1 の電圧 V_{su} がノード N_2 に印加されている状態から、制御信号 S_4 がハイレベルになりトランジスタ Q_4 がオンし、ノード N_2 の電位が V_{su} からノード N_3 の電位約 $V_{su}/2$ に立ち下がる瞬間に、LC共振が発生する。

【0093】

このとき、配線 L_3 、トランジスタ Q_3 のドレイン・ソース間の容量 CP_3 およびダイオード D_1 のアノード・カソード間の容量 CP_5 を介して高周波の電流がノード N_3 からノード N_2 に向かって流れようとする。このため、トランジスタ Q_3 のドレイン・ソース間の容量 CP_3 および配線 L_3 のインダクタンス成分により高周波のLC共振が発生し、高周波の電磁波として輻射される。

10

【0094】

また、時刻 t_4 の場合、維持パルス P_{su} の立ち下がり時の電力回収期間が終了し、回収コイル L に流れる電流の方向がノード N_2 からノード N_1 へと逆転すると、ダイオード D_2 が非導通となるために、電流は経路を断たれ、ノード N_2 の電位は、急激にノード N_1 の電位に向かって降下する。このとき、ダイオード D_2 のアノード・カソード間の容量 CP_6 等のノード N_2 に接続されている浮遊容量および回収コイル L によるLC共振が発生し、ノード N_2 の電位がリングングしながら下降する瞬間に、高周波のLC共振が発生する。

20

【0095】

このとき、ダイオード D_1 はオンし、配線 L_3 およびトランジスタ Q_3 のドレイン・ソース間の容量 CP_3 を介して高周波の電流がノード N_3 からノード N_2 に向かって流れようとする。このため、トランジスタ Q_3 のドレイン・ソース間の容量 CP_3 および配線 L_3 のインダクタンス成分により高周波のLC共振が発生し、高周波の電磁波として輻射される。

【0096】

しかしながら、本実施の形態では、トランジスタ Q_3 に並列にコンデンサ C_3 が接続されているため、トランジスタ Q_3 のドレイン・ソース間の容量 CP_3 および配線 L_3 のインダクタンス成分によるLC共振に寄与する容量は、トランジスタ Q_3 のドレイン・ソース間の容量 CP_3 とコンデンサ C_3 とを加算した容量となるため、その共振周波数はドレイン・ソース間の容量 CP_3 のみによる共振周波数よりも低減される。具体的には、このLC共振の共振周波数が 30MHz 未満になるように、コンデンサ C_3 の容量が設定され、 30MHz 以上の不要の電磁波の輻射を抑制している。

30

【0097】

上記のように、本実施の形態でも、コンデンサ C_3 、 C_4 がトランジスタ Q_3 、 Q_4 のドレイン・ソース間に並列に接続されているので、配線 L_3 、 L_4 のインダクタンス成分とトランジスタ Q_3 、 Q_4 のドレイン・ソース間の容量 CP_3 、 CP_4 により発生するLC共振の共振周波数を 30MHz 未満の低い周波数に移動させることができる。したがって、 30MHz 以上の高周波の電磁波の輻射を抑制することができる。

40

【0098】

図8は、本発明の第3の実施の形態によるサステインドライバの構成を示す回路図である。

【0099】

図8に示すサステインドライバ4bと図3に示すサステインドライバ4とで異なる点は、コンデンサ C_1 、 C_2 が省略され、ダイオード D_1 、 D_2 に並列に接続されるコンデンサ C_5 、 C_6 が付加された点であり、その他の点は図3に示すサステインドライバ4と同様であるので、同一部分には同一符号を付し、以下詳細な説明を省略する。

【0100】

50

図 8 に示すように、コンデンサ C 5 は、ダイオード D 1 のアノード・カソード間に並列に接続され、コンデンサ C 6 は、ダイオード D 2 のアノード・カソード間に並列に接続される。ダイオード D 1 のカソードは、配線 L 5 を介してノード N 2 に接続され、ダイオード D 2 のアノードは、配線 L 6 を介してノード N 2 に接続されている。ダイオード D 1 は、寄生容量としてアノード・カソード間の容量 C P 5 を有し、ダイオード D 2 は、寄生容量としてアノード・カソード間の容量 C P 6 を有する。なお、トランジスタ Q 3, Q 4 も第 2 の実施の形態と同様に寄生容量 C P 3, C P 4 を有している。

【0101】

本実施の形態では、ダイオード D 1, D 2 が電気素子、スイッチング手段および維持パルス用スイッチング手段に相当し、配線 L 5, L 6 が配線手段に相当し、コンデンサ C 5, C 6 が周波数低減手段に相当し、回収コイル L がインダクタンス素子に相当し、回収コンデンサ C r が回収用容量性素子に相当し、ダイオード D 1, D 2 が一方向性導通素子、トランジスタ Q 3, Q 4 がスイッチング素子に相当する。

10

【0102】

次に、上記のように構成されたサステインドライバ 4 b の維持期間の動作について説明する。なお、図 8 に示すサステインドライバ 4 b の基本的な動作は、図 3 および図 6 に示すサステインドライバ 4, 4 a と同様であるので、LC 共振の発生メカニズム等の異なる点についてのみ以下詳細に説明する。

【0103】

まず、ダイオード D 1 のアノード・カソード間の容量 C P 5 および配線 L 5 のインダクタンス成分による LC 共振は、ダイオード D 1 がオフ状態にあり、かつ、ダイオード D 1 のアノード・カソード間に急激な電圧変化が生じる場合に発生する。具体的には、図 7 に示す時刻 t 2, t 3 においてアノード・カソード間の容量 C P 5 および配線 L 5 のインダクタンス成分による LC 共振が発生する。

20

【0104】

時刻 t 2 の場合、制御信号 S 3 がハイレベルになりトランジスタ Q 3 がオンし、ノード N 2 の電位がノード N 3 の電位約 $V_{sus} / 2$ と同じ電位になっている状態から、ノード N 1 の電位が回収コイル L およびパネル容量 C p による LC 共振によりピーク電圧から下がり始め、回収コイル L に流れる電流の方向がノード N 1 からノード N 2 へと逆転すると、ダイオード D 1 が非導通となるために、電流は経路を断たれ、ノード N 2 の電位は、急激にノード N 1 の電位に向かって上昇する。このとき、ダイオード D 1 のアノード・カソード間の容量 C P 5 等のノード N 2 に接続されている浮遊容量および回収コイル L による LC 共振が発生し、ノード N 2 の電位がリングングしながら上昇する瞬間に、高周波の LC 共振が発生する。

30

【0105】

このとき、ダイオード D 1 は逆バイアスの状態にありオフされているが、トランジスタ Q 3 はオンしているため、配線 L 5 およびダイオード D 1 のアノード・カソード間の容量 C P 5 を介して高周波の電流がノード N 2 からノード N 3 に向かって流れようとする。このため、ダイオード D 1 のアノード・カソード間の容量 C P 5 および配線 L 5 のインダクタンス成分により高周波の LC 共振が発生し、高周波の電磁波として輻射される。

40

【0106】

また、時刻 t 3 の場合、維持パルス P s u の立ち上がり時の電力回収期間が終了して制御信号 S 1 がハイレベルになりトランジスタ Q 1 がオンし、電源端子 V 1 の電圧 V s u s がノード N 2 に印加されている状態から、制御信号 S 4 がハイレベルになりトランジスタ Q 4 がオンし、ノード N 2 の電位が V s u s からノード N 3 の電位約 $V_{sus} / 2$ に立ち下がる瞬間に、LC 共振が発生する。

【0107】

このとき、トランジスタ Q 3 のドレイン・ソース間の容量 C P 3、ダイオード D 1 のアノード・カソード間の容量 C P 5 および配線 L 5 を介して高周波の電流がノード N 3 からノード N 2 に向かって流れようとする。このため、ダイオード D 1 のアノード・カソード間

50

の容量C P 5および配線L 5のインダクタンス成分により高周波のL C共振が発生し、高周波の電磁波として輻射される。

【0108】

しかしながら、本実施の形態では、ダイオードD 1に並列にコンデンサC 5が接続されているため、ダイオードD 1のアノード・カソード間の容量C P 5および配線L 5のインダクタンス成分によるL C共振に寄与する容量は、ダイオードD 1のアノード・カソード間の容量C P 5とコンデンサC 5とを加算した容量となるため、その共振周波数はアノード・カソード間の容量C P 5のみによる共振周波数よりも低減される。具体的には、このL C共振の共振周波数が30MHz未満になるように、コンデンサC 5の容量が設定され、30MHz以上の不要の電磁波の輻射を抑制している。

10

【0109】

次に、ダイオードD 2のアノード・カソード間の容量C P 6および配線L 6のインダクタンス成分によるL C共振は、ダイオードD 2がオフ状態にあり、かつ、ダイオードD 2のアノード・カソード間に急激な電圧変化が生じる場合に発生する。具体的には、図7に示す時刻t 1, t 4においてアノード・カソード間の容量C P 6および配線L 6のインダクタンス成分によるL C共振が発生する。

【0110】

時刻t 1の場合、制御信号S 3がハイレベルになりトランジスタQ 3がオンし、ノードN 2の電位が0VからノードN 3の電位約 $V_{sus}/2$ に立ち上がる瞬間に、L C共振が発生する。このとき、配線L 6、ダイオードD 2のアノード・カソード間の容量C P 6およびトランジスタQ 4のドレイン・ソース間の容量C P 4を介して高周波の電流がノードN 2からノードN 3に向かって流れようとする。このため、ダイオードD 2のアノード・カソード間の容量C P 6および配線L 6のインダクタンス成分により高周波のL C共振が発生し、高周波の電磁波として輻射される。

20

【0111】

また、時刻t 4の場合、維持パルスP s uの立ち下がり時の電力回収期間が終了し、回収コイルLに流れる電流の方向がノードN 2からノードN 1へと逆転すると、ダイオードD 2が非導通となるために、電流は経路を断たれ、ノードN 2の電位は、急激にノードN 1の電位に向かって降下する。このとき、ダイオードD 2のアノード・カソード間の容量C P 6等のノードN 2に接続されている浮遊容量および回収コイルLによるL C共振が発生し、ノードN 2の電位がリングングしながら下降する瞬間に、高周波のL C共振が発生する。

30

【0112】

このとき、ダイオードD 2は逆バイアスの状態にありオフされているが、トランジスタQ 4はオンしているため、ダイオードD 2のアノード・カソード間の容量C P 6および配線L 6を介して高周波の電流がノードN 3からノードN 2に向かって流れようとする。このため、ダイオードD 2のアノード・カソード間の容量C P 6および配線L 6のインダクタンス成分により高周波のL C共振が発生し、高周波の電磁波として輻射される。

【0113】

しかしながら、本実施の形態では、ダイオードD 2に並列にコンデンサC 6が接続されているため、ダイオードD 2のアノード・カソード間の容量C P 6および配線L 6のインダクタンス成分によるL C共振に寄与する容量は、ダイオードD 2のアノード・カソード間の容量C P 6とコンデンサC 6とを加算した容量となるため、その共振周波数はアノード・カソード間の容量C P 6のみによる共振周波数よりも低減される。具体的には、このL C共振の共振周波数が30MHz未満になるように、コンデンサC 6の容量が設定され、30MHz以上の不要の電磁波の輻射を抑制している。

40

【0114】

上記のように、本実施の形態でも、コンデンサC 5, C 6がダイオードD 1, D 2のアノード・カソード間に並列に接続されているので、配線L 5, L 6のインダクタンス成分とダイオードD 1, D 2のアノード・カソード間の容量C P 5, C P 6により発生するL C

50

共振の共振周波数を30MHz未満の低い周波数に移動させることができる。したがって、30MHz以上の高周波の電磁波の輻射を抑制することができる。

【0115】

図9は、本発明の第4の実施の形態によるサステインドライバの構成を示す回路図である。

【0116】

図9に示すサステインドライバ4cと図3に示すサステインドライバ4とで異なる点は、コンデンサC1、C2が省略され、電源端子V1とノードN2との間にダイオードD3およびコンデンサC7が付加され、ノードN2と接地端子との間にダイオードD4およびコンデンサC8が付加された点であり、その他の点は図3に示すサステインドライバ4と同様であるので、同一部分には同一符号を付し、以下詳細な説明を省略する。

10

【0117】

図9に示すように、ダイオードD3は、カソードが電源端子V1に接続され、アノードが配線L7を介してノードN2に接続される。ダイオードD3は、寄生容量としてアノード・カソード間の容量CP7を有し、ダイオードD3のアノード・カソード間には、コンデンサC7が並列に接続される。

【0118】

また、ダイオードD4は、カソードが配線L8を介してノードN2に接続され、アノードが接地端子に接続される。ダイオードD4は、寄生容量としてアノード・カソード間の容量CP8を有し、ダイオードD4のアノード・カソード間には、コンデンサC8が並列に

20

【0119】

ダイオードD3、D4は、電流クリップの目的で付加したものであり、トランジスタQ3、Q4の耐圧が低い場合に、トランジスタQ3、Q4に耐圧以上の電圧がかからないように保護している。したがって、ダイオードD3は、通常オフ状態にあり、ノードN2の電位がVsusを超えるとときにのみオンし、ダイオードD4は、通常オフ状態にあり、ノードN2の電位が0Vを下回るとときにのみオンする。したがって、ノードN2の電位は、0V~Vsusの範囲にクリップされる。

【0120】

本実施の形態では、ダイオードD3、D4が電気素子および保護手段に相当し、配線L7、L8が配線手段に相当し、コンデンサC7、C8が周波数低減手段に相当し、電源端子V1および接地端子が電圧源に相当し、回収コイルLがインダクタンス素子に相当し、回収コンデンサCrが回収用容量性素子に相当し、トランジスタQ3、Q4およびダイオードD1、D2が接続手段に相当し、ダイオードD3、D4が一方向性導通素子、コンデンサC7、C8が容量性素子に相当する。

30

【0121】

次に、上記のように構成されたサステインドライバ4cの維持期間の動作について説明する。図10は、図9に示すサステインドライバ4cの維持期間の動作を説明するためのタイミング図である。図10には、トランジスタQ1~Q4に入力される制御信号S1~S4およびノードN1~N3の各電圧が示される。なお、図9に示すサステインドライバ4cの基本的な動作は、図3および図6に示すサステインドライバ4、4aと同様であるので、LC共振の発生メカニズム等の異なる点についてのみ以下詳細に説明する。

40

【0122】

まず、ダイオードD3のアノード・カソード間の容量CP7および配線L7のインダクタンス成分によるLC共振は、ダイオードD3がオフ状態にあり、かつ、ダイオードD3のアノード・カソード間に急激な電圧変化が生じる場合に発生する。ここで、ダイオードD3のカソード側の電位が電源端子V1によりVsusに固定されているため、ノードN2の電位が変化するすべてのタイミングでダイオードD3のアノード・カソード間の電圧が変化する。

【0123】

50

具体的には、図10に示すように、トランジスタQ3がオンしてノードN2の電位が0Vから約 $V_{sus}/2$ に向かって上昇する瞬間すなわち時刻t1、立ち上がり時の電力回収期間が終了してノードN2の電位が V_{sus} に向かって上昇する瞬間すなわち時刻t2、トランジスタQ4がオンしてノードN2の電位が V_{sus} から約 $V_{sus}/2$ に向かって下降する瞬間すなわち時刻t3、および立ち下がり時の電力回収期間が終了してノードN2の電位が0Vに向かって下降する瞬間すなわち時刻t4の各タイミングで、ダイオードD3のアノード・カソード間の電圧が変化する。このとき、アノード・カソード間の容量CP7に高周波の電流が流れ、ダイオードD3のアノード・カソード間の容量CP7および配線L7のインダクタンス成分により高周波のLC共振が発生し、高周波の電磁波として輻射される。

10

【0124】

しかしながら、本実施の形態では、ダイオードD3に並列にコンデンサC7が接続されているため、ダイオードD3のアノード・カソード間の容量CP7および配線L7のインダクタンス成分によるLC共振に寄与する容量は、ダイオードD3のアノード・カソード間の容量CP7とコンデンサC7とを加算した容量となるため、その共振周波数はアノード・カソード間の容量CP7のみによる共振周波数よりも低減される。具体的には、このLC共振の共振周波数が30MHz未満になるように、コンデンサC7の容量が設定され、30MHz以上の不要の電磁波の輻射を抑制している。

【0125】

次に、ダイオードD4のアノード・カソード間の容量CP8および配線L8のインダクタンス成分によるLC共振は、ダイオードD4がオフ状態にあり、かつ、ダイオードD4のアノード・カソード間に急激な電圧変化が生じる場合に発生する。ここで、ダイオードD4のアノード側の電位が接地端子により0Vに固定されているため、ノードN2の電位が変化するすべてのタイミングでダイオードD3のアノード・カソード間の電圧が変化する。

20

【0126】

したがって、ダイオードD3と同様に、上記の時刻t1～t4の各タイミングで、ダイオードD4のアノード・カソード間の電圧が変化する。このとき、アノード・カソード間の容量CP8に高周波の電流が流れ、ダイオードD4のアノード・カソード間の容量CP8および配線L8のインダクタンス成分により高周波のLC共振が発生し、高周波の電磁波として輻射される。

30

【0127】

しかしながら、本実施の形態では、ダイオードD4に並列にコンデンサC8が接続されているため、ダイオードD4のアノード・カソード間の容量CP8および配線L8のインダクタンス成分によるLC共振に寄与する容量は、ダイオードD4のアノード・カソード間の容量CP8とコンデンサC8とを加算した容量となるため、その共振周波数はアノード・カソード間の容量CP8のみによる共振周波数よりも低減される。具体的には、このLC共振の共振周波数が30MHz未満になるように、コンデンサC8の容量が設定され、30MHz以上の不要の電磁波の輻射を抑制している。

40

【0128】

上記のように、本実施の形態でも、コンデンサC7、C8がダイオードD3、D4のアノード・カソード間に並列に接続されているので、配線L7、L8のインダクタンス成分とダイオードD3、D4のアノード・カソード間の容量CP7、CP8により発生するLC共振の共振周波数を30MHz未満の低い周波数に移動させることができる。したがって、30MHz以上の高周波の電磁波の輻射を抑制することができる。

【0129】

図11は、本発明の第5の実施の形態によるサステインドライバの構成を示す回路図である。

【0130】

図11に示すサステインドライバ4dと図3に示すサステインドライバ4とで異なる点は

50

、図8および図9に示すサステインドライバ4b, 4cと同様にダイオードD3, D4およびコンデンサC5~C8が付加された点であり、その他の点は図3に示すサステインドライバ4と同様であるので、同一部分には同一符号を付し、以下詳細な説明を省略する。

【0131】

本実施の形態では、第1、第3および第4の実施の形態と同様にコンデンサC1, C2, C5~C8がトランジスタQ1, Q2およびダイオードD1~D4に並列に接続されているので、第1、第3および第4の実施の形態の各効果を得ることができ、各LC共振の共振周波数を30MHz未満の低い周波数に移動させ、30MHz以上の高周波の電磁波の輻射をより抑制することができる。なお、各実施の形態の組み合わせは、上記の例に特に限定されず、種々組み合わせることができ、組み合わせた各実施の形態の効果を同様に得ることができる。

10

【0132】

なお、上記の各説明では、駆動回路の一例としてサステインドライバについて説明したが、スキンドライバについても上記と同様にして本発明を適用することができ、その場合も同様の効果を得ることができる。例えば、本発明を図1に示すスキンドライバ3に適用した場合、以下ようになる。

【0133】

図12は、本発明の第6の実施の形態によるスキンドライバの構成を示す回路図である。

【0134】

20

図12に示すスキンドライバ3と図3に示すサステインドライバ4とで異なる点は、初期化期間において初期化パルスPsetを発生させるためにトランジスタQ31~Q36、コンデンサC31~C34、抵抗R31, R32、電源Vc1, Vc2および電源端子V31からなる初期化回路が付加されるとともに、保護用のダイオードD3~D5が付加された点であり、その他の点は図3に示すサステインドライバ4と同様であるので、同一部分には同一符号を付し、以下詳細な説明を省略する。

【0135】

図12に示すように、トランジスタQ31の一端は電源端子V31に接続され、他端は配線L31を介してノードN1に接続され、そのゲートはノードN31に接続される。トランジスタQ31は、寄生容量としてドレイン・ソース間の容量CP31を有し、トランジスタQ31のドレイン・ソース間には、コンデンサC31が並列に接続される。コンデンサC33は電源端子V31とノードN31との間に接続される。電源端子V31には、セットアップ電圧Vsetが印加される。

30

【0136】

トランジスタQ33の一端は、電源Vc1を介してノードN1に接続され、他端は抵抗R31の一端に接続され、そのゲートには制御信号S31が入力される。抵抗R31の他端はノードN31に接続される。トランジスタQ35の一端はノードN31に接続され、他端はノードN1に接続され、そのゲートには制御信号S31が入力される。

【0137】

トランジスタQ32の一端は接地端子に接続され、他端は配線L32を介してノードN1に接続され、そのゲートはノードN32に接続される。トランジスタQ32は、寄生容量としてドレイン・ソース間の容量CP32を有し、トランジスタQ32のドレイン・ソース間には、コンデンサC32が並列に接続される。コンデンサC34はノードN1とノードN32との間に接続される。

40

【0138】

トランジスタQ34の一端は、電源Vc2を介して接地端子に接続され、他端は抵抗R32の一端に接続され、そのゲートには制御信号S32が入力される。抵抗R32の他端はノードN32に接続される。トランジスタQ36の一端はノードN32に接続され、他端は接地端子に接続され、そのゲートには制御信号S32が入力される。また、ダイオードD5とトランジスタQ1との接続点とノードN2との間、ノードN2と接地端子との間、

50

および電源端子V 1とトランジスタQ 1との間に保護用のダイオードD 3～D 5が接続される。

【0139】

本実施の形態では、トランジスタQ 3 1, Q 3 2が電気素子、スイッチング手段および初期化パルス用スイッチング手段に相当し、配線L 3 1, L 3 2が配線手段に相当し、コンデンサC 3 1, C 3 2が周波数低減手段に相当し、電源端子V 3 1および接地端子が電圧源に相当する。また、トランジスタQ 3 1が第1のスイッチング手段に相当し、トランジスタQ 3 2が第2のスイッチング手段に相当し、配線L 3 1が第1の配線手段に相当し、配線L 3 2が第2の配線手段に相当し、コンデンサC 3 1が第1の容量性素子に相当し、コンデンサC 3 2が第2の容量性素子に相当し、電源端子V 3 1が第1の電圧源に相当し、接地端子が第2の電圧源に相当する。

10

【0140】

次に、上記のように構成された初期化回路の動作について説明する。なお、スキन्दライバ3の維持期間の動作は、図10に示すものと同様である。

【0141】

まず、初期化パルスP s e tの電位が0 Vにあるとき、トランジスタQ 3 1, Q 3 2はともにオフ状態にある。すなわち、制御信号S 3 1, S 3 2がともにハイレベルになり、トランジスタQ 3 5, Q 3 6がオンし、トランジスタQ 3 1, Q 3 2のゲート・ソース間の電圧が0 Vとなり、トランジスタQ 3 1, Q 3 2がともにオフ状態になる。

【0142】

20

次に、制御信号S 3 1がローレベルになると、トランジスタQ 3 5がオフし、トランジスタQ 3 1のゲートがノードN 1から切り離される。このとき、トランジスタQ 3 3はオンし、コンデンサC 3 3および抵抗R 3 1により決定される時定数で電源端子V 3 1から電流がトランジスタQ 3 1のゲートに流れ込み、トランジスタQ 3 1のゲートの電位が上昇し始める。

【0143】

この状態でノードN 3 1の電圧がトランジスタQ 3 1をオンできるレベルに達すると、トランジスタQ 3 1がオンし、トランジスタQ 3 1のソース電位すなわちノードN 1の電位が徐々に上昇し始める。ノードN 1の電位が上昇すると、電源V c 1の電位もその上昇とともに持ち上げられ、トランジスタQ 3 3はオン状態を継続する。この結果、ノードN 1の電位が電源端子V 3 1のセットアップ電圧V s e tに等しくなり飽和する。

30

【0144】

次に、制御信号S 3 1をハイレベルに戻すと、トランジスタQ 3 5がオンし、トランジスタQ 3 1のゲートの電位は一気にソース電位と等しくなり、トランジスタQ 3 1がオフする。この動作の直後に、制御信号S 3 2をローレベルにすると、トランジスタQ 3 6がオフするとともにトランジスタQ 3 4がオンし、抵抗R 3 2およびコンデンサC 3 2により決定される時定数でトランジスタQ 3 2のゲートの電位が上昇し始める。

【0145】

この状態でトランジスタQ 3 2のゲートの電位が所定の電位まで上昇すると、トランジスタQ 3 2がオンし始めるので、ノードN 1に蓄えられた電荷は、トランジスタQ 3 2を介して徐々に放電されていき、ノードN 1の電圧は最後には0 Vまで降下する。

40

【0146】

上記の動作により、図2に示すように、初期化期間において0 Vから電圧V s e tまでランプ波形により上昇し、V s e tから0 Vまでランプ波形により降下する三角波形の初期化パルスP s e tが出力される。

【0147】

このように、トランジスタQ 3 1, Q 3 2は、初期化期間において初期化パルスP s e tを発生させるために用いられるが、パネル容量C pを充電および放電するための電流が流れる電流供給経路のノードN 1に接続され、初期化期間以外の期間では、常にオフ状態にされている。したがって、ノードN 1に対してトランジスタQ 3 1, Q 3 2のドレイン・

50

ソース間の容量 C_{P31} 、 C_{P32} が負荷として接続されていることになる。

【0148】

ここで、トランジスタ Q_{31} 、 Q_{32} の一端の電位が固定された電位すなわち電圧 V_{set} または接地電位となっているため、ノード $N1$ の電位が変化すると、ドレイン・ソース間の容量 C_{P31} 、 C_{P32} に高周波電流が流れる。特に、維持パルス P_{sc} が立ち上がり時の電力回収期間から V_{sus} にクランプされる瞬間すなわち時刻 t_2 の直後、および維持パルス P_{sc} が立ち下がり時の電力回収期間から接地電位にクランプされる瞬間すなわち時刻 t_4 の直後に、高周波電流が流れる。このため、トランジスタ Q_{31} 、 Q_{32} のドレイン・ソース間の容量 C_{P31} 、 C_{P32} および配線 L_{31} 、 L_{32} により高周波の LC 共振が発生し、高周波の電磁波として輻射される。

10

【0149】

しかしながら、本実施の形態では、トランジスタ Q_{31} 、 Q_{32} にそれぞれ並列にコンデンサ C_{31} 、 C_{32} が接続されているため、トランジスタ Q_{31} 、 Q_{32} のドレイン・ソース間の容量 C_{P31} 、 C_{P32} および配線 L_{31} 、 L_{32} のインダクタンス成分による LC 共振に寄与する容量は、トランジスタ Q_{31} 、 Q_{32} のドレイン・ソース間の容量 C_{P31} 、 C_{P32} とコンデンサ C_{31} 、 C_{32} とをそれぞれ加算した容量となるため、その共振周波数はドレイン・ソース間の容量 C_{P31} 、 C_{P32} のみによる共振周波数より低減される。具体的には、これらの LC 共振の共振周波数が 30MHz 未満になるように、コンデンサ C_{31} 、 C_{32} の容量が設定され、 30MHz 以上の不要の電磁波の輻射を抑制している。

20

【0150】

上記のように、本実施の形態でも、コンデンサ C_{31} 、 C_{32} がトランジスタ Q_{31} 、 Q_{32} のドレイン・ソース間に並列に接続されているので、配線 L_{31} 、 L_{32} のインダクタンス成分とトランジスタ Q_{31} 、 Q_{32} のドレイン・ソース間の容量 C_{P31} 、 C_{P32} により発生する LC 共振の共振周波数を 30MHz 未満の低い周波数に移動させることができる。したがって、 30MHz 以上の高周波の電磁波の輻射を抑制することができる。

【0151】

【発明の効果】

本発明によれば、駆動パルスを容量性負荷に供給するためのパルス供給経路に接続される電気素子の寄生容量と配線手段のインダクタンス成分との LC 共振の共振周波数を低減しているので、 LC 共振により発生される電磁波の周波数を低減することができ、不要な高周波の電磁波の輻射を抑制することができる。

30

【図面の簡単な説明】

【図1】本発明の第1の実施の形態によるサステインドライバを用いたプラズマディスプレイ装置の構成を示すブロック図

【図2】図1に示す PDP におけるスキャン電極およびサステイン電圧の駆動電圧の一例を示すタイミング図

【図3】本発明の第1の実施の形態による図1に示すサステインドライバの構成を示す回路図

40

【図4】 FET のドレイン・ソース間にコンデンサを接続した場合と接続しない場合とのドレイン・ソース間の電圧と容量との関係を示す図

【図5】図1に示すプラズマディスプレイ装置から放出される電磁波の輻射レベルと周波数との関係を示す図

【図6】本発明の第2の実施の形態によるサステインドライバの構成を示す回路図

【図7】図6に示すサステインドライバの維持期間の動作を説明するためのタイミング図

【図8】本発明の第3の実施の形態によるサステインドライバの構成を示す回路図

【図9】本発明の第4の実施の形態によるサステインドライバの構成を示す回路図

【図10】図9に示すサステインドライバの維持期間の動作を説明するためのタイミング図

50

【図 1 1】 本発明の第 5 の実施の形態によるサステインドライバの構成を示す回路図

【図 1 2】 本発明の第 6 の実施の形態によるスキャンドライバの構成を示す回路図

【図 1 3】 従来のサステインドライバの構成を示す回路図

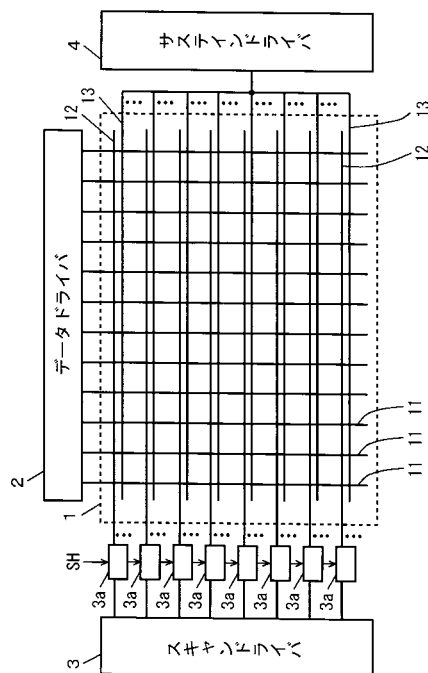
【図 1 4】 図 1 3 に示すサステインドライバの維持期間の動作を示すタイミング図

【符号の説明】

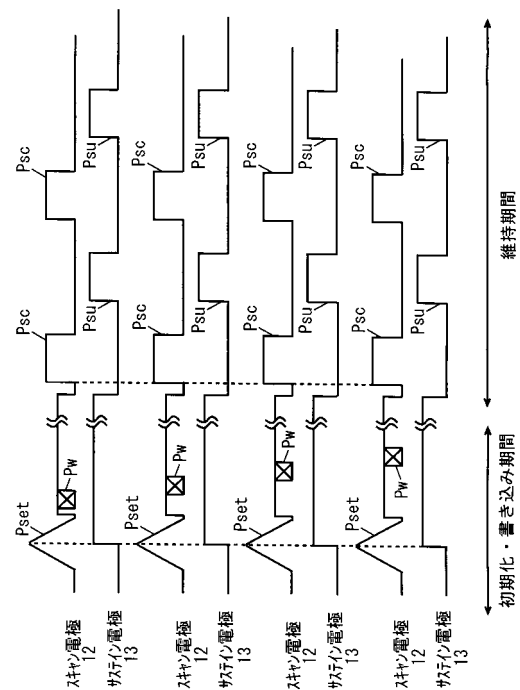
- 1 PDP
- 2 データドライバ
- 3 スキャンドライバ
- 3 a スキャンドライバ IC
- 4、4 a～4 d サステインドライバ
- 1 1 アドレス電極
- 1 2 スキャン電極
- 1 3 サステイン電極
- C 1～C 8, C 3 1～C 3 4 コンデンサ
- Q 1～Q 4, Q 3 1～Q 3 6 電界効果型トランジスタ
- D 1～D 5 ダイオード

10

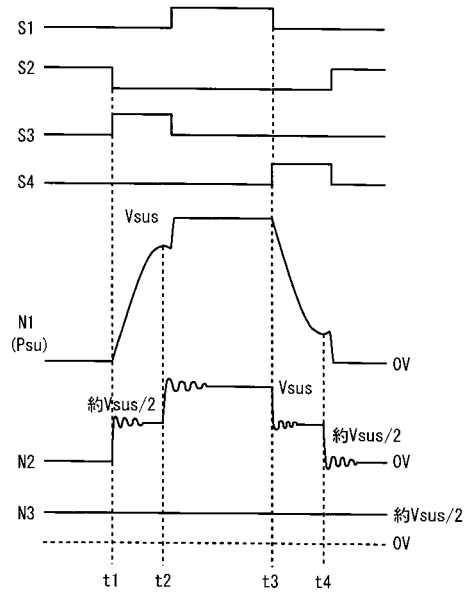
【図 1】



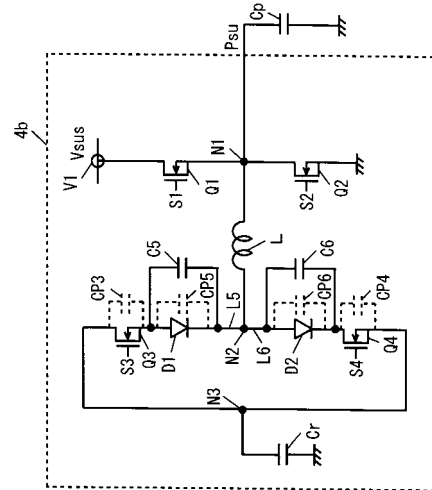
【図 2】



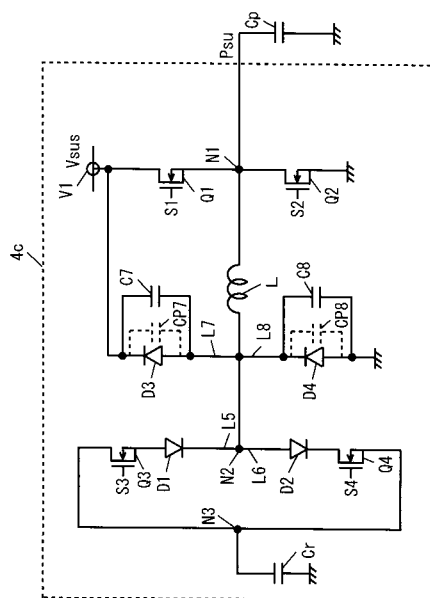
【図 7】



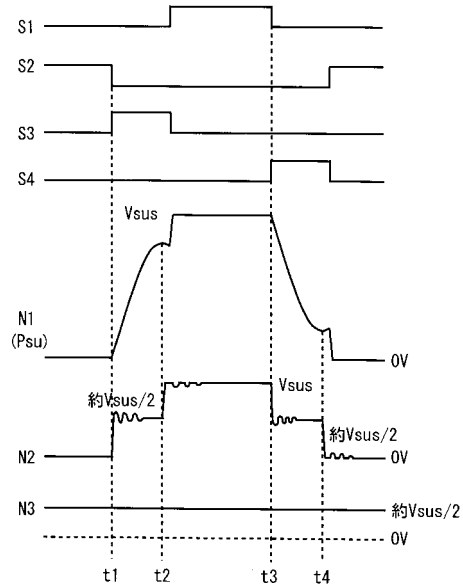
【図 8】



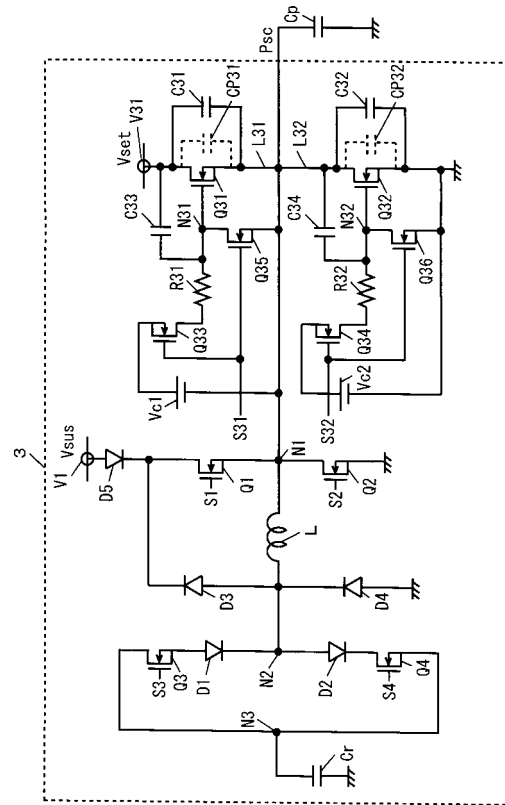
【図 9】



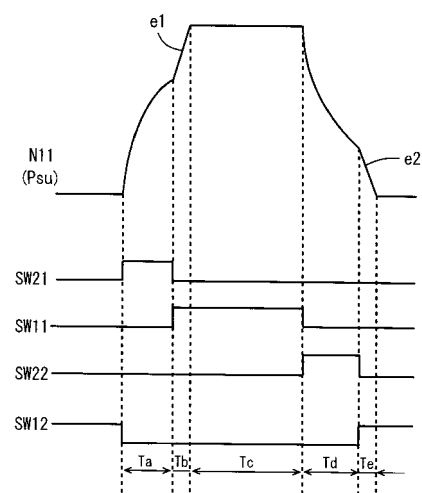
【図 10】



【図 1 2】



【图 14】



フロントページの続き

(51)Int.Cl.	F I		
	H 0 4 N	5/66	Z
	H 0 2 M	3/00	E

審査官 濱本 禎広

(56)参考文献 特開平03-183211 (JP, A)
特開平08-023242 (JP, A)
特開平10-268831 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G09G3/00-3/38
H03K17/00-17/70