



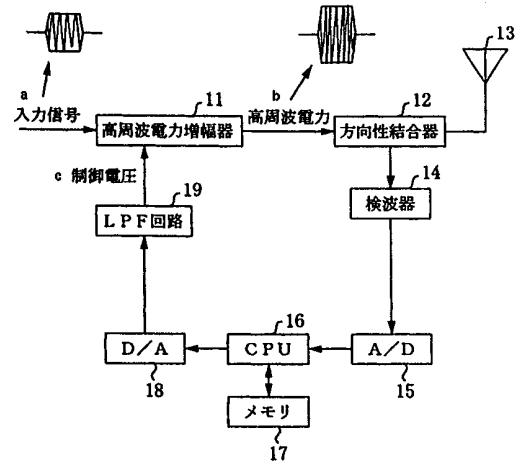
<p>(51) 国際特許分類6  <b>H04B 1/04</b></p>	<p>A1</p>	<p>(11) 国際公開番号  <b>WO00/02322</b></p> <p>(43) 国際公開日                  2000年1月13日(13.01.00)</p>
<p>(21) 国際出願番号 PCT/JP98/03040</p> <p>(22) 国際出願日 1998年7月7日(07.07.98)</p> <p>(71) 出願人 (米国を除くすべての指定国について)                  三菱電機株式会社                  (MITSUBISHI DENKI KABUSHIKI KAISHA)[JP/JP]                  〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo, (JP)</p> <p>(72) 発明者; および                  (75) 発明者/出願人 (米国についてのみ)                  永野弘明(NAGANO, Hiroaki)[JP/JP]                  〒100-8310 東京都千代田区丸の内二丁目2番3号                  三菱電機株式会社内 Tokyo, (JP)</p> <p>(74) 代理人                  弁理士 宮田金雄, 外(MIYATA, Kaneo et al.)                  〒100-8310 東京都千代田区丸の内二丁目2番3号                  三菱電機株式会社内 Tokyo, (JP)</p>		<p>(81) 指定国 CN, GB, JP, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)</p> <p>添付公開書類                  国際調査報告書</p>

(54) Title: **POWER CONTROLLER**

(54) 発明の名称 電力制御装置

(57) Abstract

A power controller provided with a power level adjusting circuit (11) for adjusting the input signal according to a control voltage to a desired level and outputting the adjusted input signal, a control voltage generating circuit (12 - 18) which compares the present output power of the power level adjusting circuit (11) with a desired power level and generates a control voltage in accordance with the comparison result, a low-pass filter (19a) which operates with one of a 1st time constant and a 2nd time constant smaller than the 1st time constant, filters the control voltage generated by the control voltage generating circuit (12 - 18) and supplies it to the power level adjusting circuit (11), and a filter control means (19b) which allows the low-pass filter (19a) to operate with the 2nd time constant at the rise of the output power and allows the low-pass filter (19a) to operate with the 1st time constant after the rise of the output power.



- 11 ... High frequency power amplifier
- 12 ... Directional coupler
- 14 ... Detector
- 17 ... Memory
- 19 ... LPF circuit
- a ... Input signal
- b ... High frequency power
- c ... Control voltage

(57)要約

電力制御装置は、入力信号を制御電圧に従って所望の電力レベルに調整して出力する電力レベル調整回路(11)と、該電力レベル調整回路(11)の現在の出力電力を目標電力レベルとを比較し、比較結果に基づいて、制御電圧を生成する制御電圧生成回路(12-18)と、第1の時定数および該第1の時定数より小さな第2の時定数のうちの一方で動作し、制御電圧生成回路(12-18)により生成された制御電圧をフィルタリングして、電力レベル調整回路(11)に供給する低域通過フィルタ(19a)と、電力レベル調整回路(11)の出力電力の立ち上がり時に、低域通過フィルタ(19a)を第2の時定数で動作させ、電力レベル調整回路(11)の出力電力の立ち上がり後に、低域通過フィルタ(19a)を前記第1の時定数で動作させるフィルタ制御手段(19b)と、を備える。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AL	アルバニア	EE	エストニア	LC	セントルシア	SD	スーダン
AM	アルメニア	ES	スペイン	LI	リヒテンシュタイン	SE	スウェーデン
AT	オーストリア	FI	フィンランド	LK	スリ・ランカ	SG	シンガポール
AU	オーストラリア	FR	フランス	LR	リベリア	SI	スロヴェニア
AZ	アゼルバイジャン	GA	ガボン	LS	レソト	SK	スロヴァキア
BA	ボスニア・ヘルツェゴビナ	GB	英国	LT	リトアニア	SL	シエラ・レオネ
BB	バルバドス	GD	グレナダ	LU	ルクセンブルグ	SN	セネガル
BE	ベルギー	GE	グルジア	LV	ラトヴィア	SZ	スワジランド
BF	ブルキナ・ファソ	GH	ガーナ	MA	モロッコ	TD	チャード
BG	ブルガリア	GM	ガンビア	MC	モナコ	TG	トーゴ
BJ	ベナン	GN	ギニア	MD	モルドヴァ	TJ	タジキスタン
BR	ブラジル	GW	ギニア・ビサオ	MG	マダガスカル	TZ	タンザニア
BY	ベラルーシ	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア 共和国	TM	トルクメニスタン
CA	カナダ	HR	クロアチア			TR	トルコ
CF	中央アフリカ	HU	ハンガリー	ML	マリ	TT	トリニダード・トバゴ
CG	コンゴ	ID	インドネシア	MN	モンゴル	UA	ウクライナ
CH	スイス	IE	アイルランド	MR	モーリタニア	UG	ウガンダ
CI	コートジボアール	IL	イスラエル	MW	マラウイ	US	米国
CM	カメルーン	IN	インド	MX	メキシコ	UZ	ウズベキスタン
CN	中国	IS	アイスランド	NE	ニジェール	VN	ヴェトナム
CR	コスタ・リカ	IT	イタリア	NL	オランダ	YU	ユーゴスラビア
CU	キューバ	JP	日本	NO	ノールウェー	ZA	南アフリカ共和国
CY	キプロス	KE	ケニア	NZ	ニュー・ジージーランド	ZW	ジンバブエ
CZ	チェッコ	KG	キルギスタン	PL	ポーランド		
DE	ドイツ	KP	北朝鮮	PT	ポルトガル		
DK	デンマーク	KR	韓国	RO	ルーマニア		

## 明 細 書

## 電力制御装置

## 5 技術分野

本発明は、電力制御装置に関し、詳しくは、入力信号を所望の電力レベルに自動的に調整して出力する装置に関し、例えばバースト送信を行うTDMA (Time Division Multiple Access) 方式の無線送信機に適した装置に関するものである。

## 10

## 背景技術

図19は、従来の電力制御装置の構成を示すブロック図であり、このような装置は、例えば特開平4-354209号公報に記載されている。図19において、電力制御装置は、電力増幅器102、方向性結合器103、送信アンテナ104、検波部105、直流増幅部106および112、A/Dコンバータ107および115、CPU108、PROM109、パルス幅変調ジェネレータ110、低域通過フィルタ111、温度検出部113および直流変換部114を備えている。

変調された高周波信号は電力増幅器102により増幅され、方向性結合器103によって、送信アンテナ104に供給する電力と検波部105に供給する電力とに分配される。検波部105に供給された電力は、送信アンテナ104に供給する電力すなわち搬送波の出力レベルを制御するための制御用電力として働く。

制御用電力は、検波部105により検波されて直流電圧に変換され、直流増幅部106により増幅される。直流増幅部106で増幅された直流電圧はA/Dコンバータ107によりデジタルコード化されてCPU108に取り込まれ

る。

一方、電力制御装置の回路温度が温度検出部 1 1 3 により検出されて温度信号として直流変換部 1 1 4 に送られる。温度信号は直流変換部 1 1 4 により直流電圧に変換され、次いで A/D コンバータ 1 0 5 によりデジタル化されて CPU 1 0 8 に取り込まれる。

CPU 1 0 8 は、上記二つのデジタル入力データと PROM 1 0 9 に記憶された補正データとに基づいて、回路温度に応じた適切な補正指示信号を生成する。補正指示信号は PWM ジェネレータ 1 1 0 に供給されて、パルス幅変調された制御電圧が生成される。この制御電圧は低域通過フィルタ 1 1 1 によって直流電圧に変換され、直流増幅部 1 1 8 により増幅される。直流増幅部 1 1 8 により増幅された制御電圧は、電力増幅器 1 0 2 に供給されて電力増幅器 1 0 2 の出力を制御する。

しかしながら、このような従来の電力制御装置においては、制御電圧を直流変換する低域通過フィルタ 1 1 1 の時定数は、その低域通過フィルタの特性によって決まる一定値である。制御電圧の更新量や更新周期によって制御電圧が離散的に変化することがあるが、このような場合には、時定数が一定の低域通過フィルタでは、制御電圧の離散的な変化を十分に平滑化して制御ループを安定させることはできないといった問題点があった。

また、上記のような問題点を解消するために、低域通過フィルタ 1 1 1 として時定数の大きな低域通過フィルタを用いた場合、例えば TDMA 方式の無線通信装置などの高速なバースト送信においては、送信電力の立ち上がり部分がなまり、バースト前縁部のデータが潰れるといった問題点があった。

さらに、周囲温度の変化や回路の電源電圧変動などが生じた場合に、直流増幅器や電力増幅器等の環境特性やバイアス変化等により、送信開始直後および送信停止直後において送信電力のオーバーシュートやアンダーシュートが発生するといった問題点があった。

## 発明の開示

本発明は、上記問題点を解消するためになされたものであり、送信電力の立ち上がりまたは立ち下がり時に、低域通過フィルタの時定数を変化させること  
5 により、送信電力の立ち上がりまたは立ち下がり特性を最適に制御することが可能な電力制御装置を提供することを目的としている。

また、本発明は、装置の温度あるいは周囲温度等の変動で使用環境が変化した場合でも、送信電力の立ち上がりおよび立ち下がり時に低域通過フィルタの時定数を最適値に設定することが可能な電力制御装置を提供することを目的と  
10 している。

この目的を達成するために、一つの観点によれば、入力信号を制御電圧に従って所望の電力レベルに調整して出力する電力レベル調整回路と、該電力レベル調整回路の現在の出力電力を目標電力レベルとを比較し、比較結果に基づいて、前記制御電圧を生成する制御電圧生成回路と、第1の時定数および該第1  
15 の時定数より小さな第2の時定数のうちの一方で動作し、前記制御電圧生成回路により生成された前記制御電圧をフィルタリングして、前記電力レベル調整回路に供給する低域通過フィルタと、前記電力レベル調整回路の前記出力電力の立ち上がり時に、前記低域通過フィルタを前記第2の時定数で動作させ、前記電力レベル調整回路の前記出力電力の立ち上がり後に、前記低域通過フィル  
20 タを前記第1の時定数で動作させるフィルタ制御手段と、を備えた電力制御装置を提供する。

もう一つの観点によれば、入力信号を制御電圧に従って所望の電力レベルに調整して出力する電力レベル調整回路と、該電力レベル調整回路の現在の出力電力を目標電力レベルとを比較し、比較結果に基づいて、前記制御電圧を生成  
25 する制御電圧生成回路と、第1の時定数および該第1の時定数より小さな第2の時定数のうちの一方で動作し、前記制御電圧生成回路により生成された前記

制御電圧をフィルタリングして、前記電力レベル調整回路に供給する低域通過フィルタと、前記電力レベル調整回路の前記出力電力の立ち下がり前に、前記低域通過フィルタを前記第 1 の時定数で動作させ、前記電力レベル調整回路の前記出力電力の立ち下がり時に、前記低域通過フィルタを前記第 2 の時定数で動作させるフィルタ制御手段と、を備えた電力制御装置を提供する。

さらにもう一つの観点によれば、入力信号を制御電圧に従って所望の電力レベルに調整して出力する電力レベル調整回路と、該電力レベル調整回路の現在の出力電力を目標電力レベルとを比較し、比較結果に基づいて、前記制御電圧を生成する制御電圧生成回路と、第 1 の時定数および該第 1 の時定数より小さな第 2 の時定数のうちの一方で動作し、前記制御電圧生成回路により生成された前記制御電圧をフィルタリングして、前記電力レベル調整回路に供給する低域通過フィルタと、前記電力レベル調整回路の前記出力電力の立ち上がり時に、前記低域通過フィルタを前記第 2 の時定数で動作させ、前記電力レベル調整回路の前記出力電力の立ち上がり後に、前記低域通過フィルタを前記第 1 の時定数で動作させ、前記電力レベル調整回路の前記出力電力の立ち下がり前に、前記低域通過フィルタを前記第 1 の時定数で動作させ、前記電力レベル調整回路の前記出力電力の立ち下がり時に、前記低域通過フィルタを前記第 2 の時定数で動作させるフィルタ制御手段と、を備えた電力制御装置を提供する。

前記低域通過フィルタは、第 1 のレジスタと、該第 1 のレジスタと協働して前記第 1 の時定数で動作する第 1 の低域通過フィルタを形成するキャパシタと、前記第 1 のレジスタに並列接続され該第 1 のレジスタおよびキャパシタと協働して前記第 2 の時定数で動作する第 2 の低域通過フィルタを形成する第 2 のレジスタと、を有し、前記フィルタ制御手段は、前記第 2 のレジスタに直列接続されるダイオードを有するようにしてもよい。

ここに、前記低域通過フィルタは、第 1 のレジスタと、該第 1 のレジスタと協働して前記第 1 の時定数で動作する第 1 の低域通過フィルタを形成するキャ

パシタと、前記第1のレジスタに並列接続され該第1のレジスタおよびキャパシタと協働して前記第2の時定数で動作する第2の低域通過フィルタを形成する第2のレジスタと、を有し、前記フィルタ制御手段は、前記第2のレジスタに直列接続される複数のダイオードと、これらのダイオードのそれぞれと前記第2のレジスタとの接続状態を切り替えるスイッチ回路と、を有するようにしてもよい。

また、前記低域通過フィルタは、第1のレジスタと、該第1のレジスタと協働して前記第1の時定数で動作する第1の低域通過フィルタを形成するキャパシタと、前記第1のレジスタにそれぞれが並列接続され該第1のレジスタおよびキャパシタとそれぞれが協働して前記第2の時定数で動作する第2の低域通過フィルタを形成する複数の第2のレジスタと、を有し、前記フィルタ制御手段は、前記複数の第2のレジスタのそれぞれに直列なダイオードと、前記複数の第2のレジスタを選択的に前記ダイオードに接続させるスイッチ回路と、を有するようにしてもよい。

また、前記フィルタ制御手段は、前記電力制御装置の温度または周囲温度を検出する温度センサを有し、該温度センサにより検出された温度に従って前記第1および第2の時定数を切替えるようにしてもよい。

また、前記低域通過フィルタは、第1のレジスタと、キャパシタと、前記第1のレジスタおよび前記キャパシタと協働して前記第1の時定数の低域通過フィルタを形成するアクティブ素子と、前記第1のレジスタと並列接続され該第1のレジスタ、キャパシタおよび前記アクティブ素子と協働して前記第2の時定数で動作する第2の低域通過フィルタを形成する第2のレジスタと、を有し、前記フィルタ制御手段が、前記第2のレジスタに直列接続されるダイオードを有するようにしてもよい。

また、前記低域通過フィルタの前記第2のレジスタが、サーミスタから構成されるようにしてもよい。

### 図面の簡単な説明

図1は、本発明の実施例1による電力制御装置の構成を示すブロック図である。

5 図2は、本発明の実施例1による電力制御装置に含まれる低域通過フィルタ回路の回路図である。

図3は、本発明の実施例1による電力制御装置に含まれるD/Aコンバータおよび低域通過フィルタの出力波形を示す図である。

10 図4は、本発明の実施例1による電力制御装置をTDMA方式の携帯無線通信装置に適用した場合の送信電力波形を示す図である。

図5は、図4に示された送信電力波形の一部を拡大して示す図である。

図6は、本発明の実施例2による電力制御装置の構成を示すブロック図である。

15 図7は、本発明の実施例2による電力制御装置に含まれる低域通過フィルタ回路の回路図である。

図8は、本発明の実施例2による電力制御装置に含まれるD/Aコンバータおよび低域通過フィルタの出力波形を示す図である。

図9は、本発明の実施例3による電力制御装置の構成を示すブロック図である。

20 図10は、本発明の実施例3による電力制御装置に含まれる低域通過フィルタ回路の回路図である。

図11は、動作説明を容易にするために、図10に示された低域通過フィルタ回路を簡略化して示す回路図である。

25 図12は、本発明の実施例3による電力制御装置に含まれるD/Aコンバータおよび低域通過フィルタの出力波形を示す図である。

図13は、本発明の実施例4による電力制御装置の構成を示すブロック図で

ある。

図14は、一般的なTDM方式の携帯無線通信装置における温度変化による送信電力波形の変化を示す図である。

5 図15は、本発明の実施例4による電力制御装置の温度変化時の、出力電圧立ち上がり波形を制御するための低域通過フィルタ回路の出力波形を示す図である。

図16は、本発明の実施例5による電力制御装置を部分的に構成する低域通過フィルタ回路を示す回路図である。

10 図17は、本発明の実施例6による電力制御装置を部分的に構成する低域通過フィルタ回路を示す回路図である。

図18は、本発明の実施例7による電力制御装置を部分的に構成する低域通過フィルタ回路を示す回路図である。

図19は、従来の電力制御装置の構成を示すブロック図である。

## 15 発明を実施するための最良の形態

以下に、本発明を添付図面に従ってより詳細に説明する。

実施例1.

図1から図5を用いて、本発明に係る電力制御装置の実施例1を説明する。

20 図1に示すように、電力制御装置は、高周波電力増幅器11、方向性結合器12、送信アンテナ13、検波器14、A/Dコンバータ15、CPU16、メモリ17、D/Aコンバータ18およびLPF回路19を備えている。

高周波電力増幅器11は、可変利得増幅器（自動利得制御（AGC）用の増幅器）や可変減衰器等を含んで構成され、入力信号を制御電圧に従って所望の電力レベルに調整して出力するものである。本例では、高周波電力増幅器11  
25 は入力信号を制御電圧に従って所定の電力レベルに増幅し、高周波電力として出力する。この高周波電力増幅器から出力される高周波電力を、以下の説明に

においては送信電力と呼ぶことにする。上記のように構成される高周波電力制御増幅器 11 は、入力信号を制御電圧に従って所望の電力レベルに調整して出力する本発明の電力レベル調整回路を構成するものである。

方向性結合器 12 は、高周波電力増幅器 11 からの高周波電力を送信アンテナ 104 に供給する電力と検波器 14 に供給する電力とに分配する。送信アンテナ 104 は、方向性結合器 12 からの送信電力を電波として空中に放出する。検波器 14 は、方向性結合器からの送信電力を検波して、直流電圧に変換する。A/Dコンバータ 15 は、検波器 14 からの直流電圧をデジタルコード化して CPU 16 に出力することにより、現在の高周波電力増幅器 11 の出力電力レベルを CPU 16 に通知する。

CPU 16 は、所定のプログラムの実行により以下のように動作する。すなわち、CPU 16 は、A/Dコンバータ 15 からのデジタルコードを所定の時間間隔でサンプリングする。次いで、A/Dコンバータ 15 は、サンプリングしたデジタルコードと、メモリ 17 に予め記憶されたリファレンスコードと比較して、両コードの差分値を算出する。さらに、CPU 16 は、上記差分値に基づいて、制御電圧のための設定コードを計算し、D/Aコンバータ 8 に出力する。D/Aコンバータ 8 は、設定コードに従って制御電圧を生成し、低域通過フィルタ回路 19 に送る。

上述の方向性結合器 12、検波器 14、A/Dコンバータ 15、CPU 16、メモリ 17 および D/Aコンバータ 18 は、電力レベル調整回路の現在の出力電力を目標電力レベルとを比較し、比較結果に基づいて前記制御電圧を生成する本発明の制御電圧生成回路を構成するものである。

低域通過フィルタ回路 19 は、図 2 に示すように、低域通過フィルタ 19a およびフィルタ制御回路 19b からなる。低域通過フィルタ 19a は、第 1 の時定数および該第 1 の時定数より小さな第 2 の時定数の一方で作動し、D/Aコンバータ 18 により生成された制御電圧をフィルタリングして、高周波電力

増幅器 11 に供給するものである。一方、フィルタ制御回路 19 b は、送信電力の立ち上がり時に、低域通過フィルタ 19 a を第 2 の時定数で動作させ、送信電力の立ち上がり後に、低域通過フィルタ 19 a を第 1 の時定数で動作させるものであり、本願発明のフィルタ制御手段を構成する。

- 5 詳しくは、低域通過フィルタ 19 a は、第 1 のレジスタ R 11 と、該第 1 のレジスタと協働して第 1 の時定数で動作する第 1 の低域通過フィルタを形成するキャパシタ C 10 と、第 1 のレジスタ R 11 に並列接続され該第 1 のレジスタ R 11 およびキャパシタ C 10 と協働して第 2 の時定数で動作する第 2 の低域通過フィルタを形成する第 2 のレジスタ R 12 と、から構成される。フィルタ制御回路 29 b は、低域通過フィルタ 19 a の第 2 のレジスタ R 12 に直列接続されるダイオード D 10 から構成される。

- このダイオード D 10 がオフ状態のとき、第 2 のレジスタンス R 12 は機能しないため、低域通過フィルタ 19 a は、第 1 のレジスタ R 11 とキャパシタ C 10 から構成されて第 1 の時定数で動作する第 1 の低域通過フィルタとみなすことができる。一方、ダイオード D 10 がオン状態のとき、第 2 のレジスタ R 12 が機能するため、低域通過フィルタ 19 a は、第 1 のレジスタ R 11 および第 2 のレジスタ R 12 との並列接続合成とキャパシタ C 10 とから構成され第 2 の時定数で動作する第 2 の低域通過フィルタとみなすことができる。ここに、第 1 の時定数は制御電圧を十分に平滑化するように設定されている。このように設定するのは、もし、制御電圧が十分に平滑化されない場合、出力電圧がふらつき制御ループが不安定になり、制御ループが発散状態になったり、送信中の回線品質が悪化したりするからである。

次に、図 3 を使って本実施例 1 の電力制御装置の動作を説明する。

- D/A コンバータ 18 の出力電圧の立ち上がり波形は、図 3 の上段の実線曲線で示される。ここで、V d a は、D/A コンバータ 18 の出力電圧値であり、CPU 16 からのコード設定により変化する。V f は、ダイオードの順方向の

ON電圧であり、 $V_{lpf}$ は、低域通過フィルタ19aの出力電圧値である。  
図3の上段の一点鎖線曲線は、第1の時定数特性、すなわち第1のレジスタR  
11とキャパシタC10とで構成される第1の低域通過フィルタの時定数特性  
を示し、破線曲線は、第2の時定数特性、すなわち第1および第2のレジスタ  
5 R11、R12の並列接続合成とキャパシタC10とで構成される第2の低域  
通過フィルタの時定数特性を示している。

上述のようにD/Aコンバータ18の出力が図3の上段の実線曲線で表わさ  
れるとき、低域通過フィルタ19aの出力、すなわち、低域通過フィルタ回路  
19の出力である制御電圧は図3の下段の実線曲線に示すように変化する。詳  
10 しくは、送信が開始されると、D/Aコンバータ18の出力電圧が立ち上がり  
始め、このとき、ダイオードD1の両端にかかる電圧が $V_f$ 以下の範囲では、  
ダイオードD10はOFF状態であり、低域通過フィルタ19aは第1のレジ  
スタR11とキャパシタC10で構成される第1の低域通過フィルタとして機  
能する。このため、制御電圧は図3の上段の一点鎖線曲線で示される波形で変  
15 化する。したがって、ダイオードD10がOFF状態の間は時定数が大きくな  
るので、制御電圧は緩やかに上昇する電圧波形となる。

次に、ダイオードの両端にかかる電圧が $V_f$ を超えると、ダイオードD10  
はON状態となる。このため、低域通過フィルタ19aは、第1および第2の  
レジスタR11、R12の並列接続合成とキャパシタC10とで構成される第  
20 2の低域通過フィルタとして機能し、制御電圧は図3の上段の破線曲線で示さ  
れる波形で変化する。したがって、時定数は小さくなり、制御電圧は高速に立  
ち上がる電圧波形となる。

さらに、制御電圧が $V_{da}$ に近づくとダイオードD10の両端にかかる電圧  
は $V_f$ 以下となりダイオードD10がOFF状態となる。このため、低域通過  
25 フィルタ19aは、再び、第1のレジスタR11とキャパシタC10とで構成  
される第1の低域通過フィルタとして機能し、制御電圧は図3の上段の一点鎖

線で示される波形に戻る。したがって、制御電圧が  $V_{da}$  に近づくと、時定数は大きくなり、制御電圧は緩やかな電圧波形に戻る。

図4は、TDM A方式の携帯無線通信装置の送信電力波形を示すグラフである。この無線通信装置の電力制御装置として本実施例1の装置を採用した場合、

5 パースト波の立ち上がり時の送信電力波形は図5に示される。この図5の実線曲線は図4の区間t1の送信電力波形を拡大表示したものである。また図5には、比較のために、D/Aコンバータ出力電圧の平滑化および安定化を目的とした従来の低域通過フィルタを採用した場合の送信電力波形を破線曲線で示す。

10 図5から明らかなように、本実施例1の送信電力装置を採用した場合には、送信開始後の送信電力の前縁部の変調波形が潰れることなく立ち上がっている。一方、破線で示す従来の低域通過フィルタを用いた場合には、送信電力の立ち上がり波形はなまり、送信波形の前縁部が潰れていることが図5から理解される。

上述の実施例1の電力制御装置によれば、送信電力の立ち上がり時に、低域

15 通過フィルタ19aを、小さな第2の時定数で動作させ、送信電力の立ち上がり後に、大きな第1の時定数で動作させるようにしているので、低域通過フィルタの本来の目的であるD/Aコンバータ18の出力電圧の平滑化および制御ループの安定化を確保しながら、制御電圧の高速な立ち上がりを得ることができ

20 自動制御を実現することができる。

また、第1の時定数と第2の時定数の切替えを、第2のレジスタR12とダイオードD10だけの簡単な回路構成によって実現することができるので、回路規模を小さくすることができる。

実施例2.

25 図6から図8を用いて、本発明に係る電力制御装置の実施例2を説明する。なお、重複した説明を避けるため、本実施例2において図1に示した実施例1

と同じ構成には、実施例 1 と同じ符号を付してその説明は省略するものとする。図 6 に示された低域通過フィルタ回路 29 は、図 1 に示された低域通過フィルタ 19 に代わるものであり、図 6 に示されるその他の構成は、図 1 に示されたものと同様に構成される。図 7 に示すように、低域通過フィルタ回路 29 は低

5 域通過フィルタ 29 a およびフィルタ制御回路 29 b から構成される。

低域通過フィルタ 29 a は、図 2 に示された低域通過フィルタ 19 a と同様に、第 1 の時定数および該第 1 の時定数より小さな第 2 の時定数のうちの一方の時定数で動作し、D/A コンバータ 18 により生成された制御電圧をフィルタリングして、高周波電力増幅器 11 に供給するものである。

10 一方、フィルタ制御回路 29 b は、図 2 に示された実施例 1 の低域通過フィルタ 19 a と同様に、送信電力の立ち上がり時に、低域通過フィルタ 29 a を第 2 の時定数で動作させ、送信電力の立ち上がり後に、低域通過フィルタ 29 a を第 1 の時定数で動作させるものである。そしてさらに本実施例 2 では、フィルタ制御回路 29 b は、送信電力の立ち下がり前に、低域通過フィルタ 29 a を第 1 の時定数で動作させ、送信電力の立ち下がり時に、低域通過フィルタ

15 29 a を第 2 の時定数で動作させるものである。

詳しくは、低域通過フィルタ 29 a は、第 1 のレジスタ R 21 と、該第 1 のレジスタ R 21 と協働して第 1 の時定数を有するキャパシタ C 20 と、第 1 のレジスタ R 21 に並列接続される第 2 のレジスタ R 22 と、から構成される。

20 フィルタ制御回路 29 b は、低域通過フィルタ 29 a の第 2 のレジスタ R 22 に直列接続される二つのダイオード D 21、D 22 から構成される。ダイオード D 21 およびダイオード D 22 は互いに逆方向に並列接続されており、ダイオード D 21 は、図 2 に示されたダイオード D 10 と同様に機能するものであるので、ここではこのダイオード D 21 についての説明は省略する。

25 ここに、ダイオード D 22 がオフ状態のとき、第 2 のレジスタ R 22 は機能しないため、低域通過フィルタ 29 a は、第 1 のレジスタ R 21 とキャパシタ

C 2 0 から構成される。この場合に、低域通過フィルタ 2 9 a は、第 1 の時定数で動作する第 1 の低域通過フィルタとみなすことができる。一方、ダイオード D 2 2 がオン状態のとき、第 2 のレジスタ R 2 2 が機能するため、低域通過フィルタ 2 9 a は、第 1 のレジスタ R 2 1 および第 2 のレジスタ R 2 2 との並列接続合成とキャパシタ C 2 0 から構成される。この場合に、低域通過フィルタ 2 9 a は、第 2 の時定数で動作する第 2 の低域通過フィルタとみなすことができる。

次に、図 8 を使って本実施例 2 の電力制御装置の動作を説明する。

D/A コンバータ 1 8 の出力電圧の立ち下がり波形は、図 8 の上段の実線曲線で示される。V f は、ダイオード D 2 1、D 2 2 の順方向の ON 電圧である。また、図 8 における一点鎖線曲線は、第 1 のレジスタ R 2 1 とキャパシタ C 2 0 とで構成される第 1 の低域通過フィルタの時定数特性を示し、破線曲線は、第 1 および第 2 のレジスタ R 2 1、R 2 2 の並列接続合成とキャパシタ C 2 0 とで構成される第 2 の低域通過フィルタの時定数特性を示している。

上述のように D/A コンバータ 1 8 の出力が図 8 の上段の実線曲線で表わされるとき、低域通過フィルタ 2 9 a の出力、すなわち、低域通過フィルタ回路 1 9 の出力である制御電圧は図 8 の下段の実線曲線に示すように変化する。詳しくは、制御電圧と、第 1 のレジスタ R 2 1 とキャパシタ C 2 0 とで決まる時定数で放電される電圧との差が V f 未満のときは、ダイオード D 2 1 および D 2 2 は、ともに OFF 状態であり、低域通過フィルタ 2 9 a は、第一の低域通過フィルタとして動作、すなわち、第 1 の時定数で動作し、低域通過フィルタ回路 2 9 の出力は緩やかに立ち下がり始める。

次に、放電電圧と制御電圧との差が V f 以上になると、ダイオード D 2 2 がオン状態になり、低域通過フィルタ 2 9 a は、第 2 の低域通過フィルタとして動作、すなわち、第 2 の時定数で動作し、低域通過フィルタ回路 2 9 の出力は高速に立ち下がる。このとき、ダイオード D 2 1 の両端子には逆電圧が印可さ

れているので、オフ状態のままである。

さらに、制御電圧が低下して、第1および第2のレジスタR21、R22の並列接続合成とキャパシタC20との放電電圧がVf未満になると、ダイオードD22がオフ状態になり、低域通過フィルタ29aは第1の低域通過フィルタとして動作し、すなわち第1の時定数で動作し、再び、低域通過フィルタ回路29の出力は緩やかに低下する。ここでは、説明しないが、ダイオードD21により、送信電力の立ち上がり時においても、本実施例2の電力制御装置は図3に示した動作と同様に動作するのは言うまでもない。また、制御電圧を高速に立ち上あげる必要のない場合には、ダイオードD21を設けることなくフィルタ制御回路29bを構成してもよい。

本実施例2の電力制御装置によれば、上述の実施例1の効果に加え下記の効果を得ることができる。本実施例2では、送信電力の立ち下がり前に、低域通過フィルタ29aを、大きな第1の時定数で動作させ、送信電力の立ち下がり時に、小さな第2の時定数で動作させるようにしているので、低域通過フィルタの本来の目的であるD/Aコンバータ18の出力電圧の平滑化および制御ループの安定化を行いつつ、かつ制御電圧の高速な立ち下がりを得ることができるため、送信電力の立ち下がりがなまることなく、また安定した送信電力の自動制御を実現することができる。

また、制御電圧の立ち下がり時における第1の時定数と第2の時定数の切替えを、第2のレジスタR12とダイオードD22だけの簡単な回路構成によって実現することができるので、回路規模を小さくすることができる。

実施例3.

図9から図12を用いて、本発明に係る電力制御装置の実施例3を説明する。なお、重複した説明を避けるため、本実施例3において図1に示した実施例1と同じ構成には、実施例1と同じ符号を付してその説明は省略するものとする。

図9に示された電力制御装置は、図1に示された実施例1の低域通過フィル

タ回路19に代わる低域通過フィルタ39を備えており、さらに、スイッチ制御回路30を備えている。低域通過フィルタ回路39の詳細構成は図10に示され、低域通過フィルタ回路39は、低域通過フィルタ39aおよびフィルタ制御回路39bを備えている。

- 5 低域通過フィルタ39aは、第1の時定数および該第1の時定数より小さな第2の時定数のうちの一方の時定数で動作し、D/Aコンバータ18によって生成された制御電圧をフィルタリングして、高周波電力増幅器11に供給するものである。具体的には、低域通過フィルタ39aは、第1のレジスタR31と、該第1のレジスタR31と協働して第1の時定数の第1の低域通過フィルタを形成するキャパシタC30と、第1のレジスタR31に並列接続され第1のレジスタR31およびキャパシタC30と協働して第2の時定数の第2の低域通過フィルタを形成する第2のレジスタR32と、を有する。

- 15 フィルタ制御回路39bは、第2のレジスタR32に直列接続される複数のダイオードDを有するとともに、これらのダイオードDのそれぞれと第2のレジスタR32との接続を有効にし、あるいは短絡させることにより無効にする複数のスイッチSWとを有する。各スイッチSWは、図9に示されるスイッチ制御回路30によって制御される。このスイッチ制御回路30は、CPU16からの指令に基づいて、各スイッチSWのオン・オフを制御することにより、第2のレジスタR32に有効に直列接続するダイオードDを選択するものである。

20 このように構成される本実施例3の電力制御装置においても、上記実施例1と同様に、送信電力の立ち上がり時に、低域通過フィルタ39aを第2の時定数で動作させ、送信電力の立ち上がり後に、低域通過フィルタ39aを第1の時定数で動作させることができる。

- 25 このダイオードDを有効にするか否かの選択の仕方によって、低域通過フィルタ39aの第1および第2の時定数の切り替えタイミングを変化させること

ができる。図11は、図10に示された複数のダイオードDが第1および第2のダイオードD31、D32からなり、スイッチSWが第1、第2および第3のSW31、SW32およびSW33からなる場合の例を示している。

例えば、図11に示すダイオードD31、D32が、図2に示したダイオードD10と同じものあるとして、スイッチSW31をオフにして、スイッチSW32、SW33をオンにした場合、ダイオードD31が有効でダイオードD32が無効になるので、低域通過フィルタ39aの第1および第2の時定数の切り替えタイミングは、図2に示した低域通過フィルタ19aと同じになる。

一方、スイッチSW31、SW32、SW33の全てをオフにした場合、ダイオードD31、D32の両方が有効になるので、低域通過フィルタ39aの第1および第2の時定数の切り替えタイミングが変化する。詳しくは、ダイオードD31、D32の直列接続合成が第2のレジスタR32に有効に直列接続されることになるので、ダイオードD31、D32のオン電圧は、図12に示すように、図3に示したオン電圧 $V_f$ の2倍の $2V_f$ になる。したがって、図12に示した例では、図3に示した例よりも、第1の時定数から第2の時定数に切り替わるタイミングが遅くなり、また第2の時定数から第1の時定数に戻るタイミングが早くなる。

なお、フィルタ制御回路39bに含まれるダイオードDの種類は、同一種類のものである必要はなく、種々のダイオードを組み合わせて用いることが可能であり、もちろんオン電圧が異なるものであってもよい。また、上述の実施例2と同様に、図10に示された各ダイオードDに並列接続された逆向きのダイオードを加えてもよく、あるいは、図10に示された各ダイオードを逆向きにしてもよい。このようにすることにより、制御電圧の立ち下がり特性を改善するようにしてもよい。

本実施例3の電力制御装置によっても、前述の実施例1と同様の効果を得ることができ、さらに以下の効果も得ることができる。スイッチSWの切り替え

により、第2のレジスタR32に接続されるダイオードの数を覚えて第1および第2の時定数の切り替えタイミングを変更することができる。この結果、電力増幅器等の製造ばらつきによる送信電力の立ち上がり速度がばらつくような場合でも、時定数の切り替えタイミングを調整することにより、製造品質に起因するばらつきを吸収することができる。

実施例4.

図13から図15を用いて、本発明に係る電力制御装置の実施例4を説明する。なお、重複した説明を避けるため、本実施例4において図9に示した実施例3と同じ構成要素には、実施例3と同じ符号を付してその説明は省略するものとする。

図13に示される電力制御装置は、図9に示した実施例の構成に加え、さらに温度センサ40aおよびA/Dコンバータ40bを備えている。温度センサ40aは、電力制御装置の周囲温度を検出するものである。A/Dコンバータ40bは、温度センサ40aの出力電圧をデジタルコードに変換するものである。メモリ17には、後述の第2のレジスタに接続するダイオードを指定する温度補正用メモリテーブルが記憶されている。CPU16は、A/Dコンバータ40bからのデジタルコードを入力するメモリ17内の温度補正用メモリテーブルを参照して、第2のレジスタに有効に接続すべきダイオードを選択してスイッチ制御回路30に通知する。

本実施例4の電力制御装置は、温度変化により電力増幅器の立ち上がりが変化する場合に有効である。詳しくは、図14に示すように、送信電力の立ち上がりが低温時にはオーバーシュートし、高温時にはアンダーシュートするような場合、低温時に第2のレジスタに直列接続するダイオードの数を増加させるようにスイッチを制御し、立ち上がりのなまった制御電圧特性、例えば図15に示す低温時の制御電圧特性を得るようにする。一方、高温時のアンダーシュート時には、第2のレジスタに直列接続するダイオードの数を減少させるよう

にスイッチを制御し、高速に立ち上がる制御電圧特性、例えば図15に示す高温時の制御電圧特性を得るようにする。

- 本実施例4によれば、実施例3の効果に加えて以下の効果を得ることができる。すなわち、温度変化によって電力増幅器の立ち上がりが変化した場合でも、
- 5 送信電力の立ち上がり特性を一定に保つことができる。

また、本実施例4においても、各ダイオードに並列に逆向きのダイオードを追加することも、各ダイオードを逆向きのダイオードに入れ替えることも可能であるが、この場合には、温度変化があっても送信電力の立ち下がり特性を一定に保つことができる。

10 実施例5.

図16を用いて、本発明に係る電力制御装置の実施例5を説明する。図16に示された低域通過フィルタ回路59は、図9あるいは図13に示した実施例3あるいは実施例4の低域通過フィルタ回路39に置き換わるものである。

- 図16に示すように、低域通過フィルタ回路59は低域通過フィルタ59a
- 15 およびフィルタ制御回路59bを備えている。低域通過フィルタ59aは、第1のレジスタR51と、該第1のレジスタR51と協働して第1の時定数の低域通過フィルタを形成するキャパシタC50と、第1のレジスタに並列接続され第1のレジスタR51およびキャパシタC50とそれぞれが協働して第2の時定数で動作する第2の低域通過フィルタを形成する複数の第2のレジスタR
- 20 52a、R52b、R52cとを有する。フィルタ制御回路59bは、複数の第2のレジスタR52a、R52b、R52cのそれぞれに直列なダイオードD50と、複数の第2のレジスタR52a、R52b、R52cを選択的にダイオードD50に直列接続させるスイッチSW50とを備えている。

- 本実施例5の電力制御装置では、実施例3および実施例4のようにダイオード
- 25 の数によって送信電力の立ち上がり特性を変化させていたのに対して、第2のレジスタの抵抗値の変化により第2の時定数を変化させることができる。し

たがって、複数の第2のレジスタR52a、R52b、R52cのそれぞれの抵抗値を適切に設定するとともに、スイッチSW50を適切に切り替えることにより、実施例3および実施例4と同様の効果を得ることができる。

また、本実施例5においても、各ダイオードに並列に逆向きのダイオードを追加することも、各ダイオードを逆向きのダイオードに入れ替えることも可能であるが、この場合には、温度変化があっても送信電力の立ち下がり特性を一定に保つことができる。

実施例6.

図17を用いて、本発明に係る電力制御装置の実施例6を説明する。図17に示された低域通過フィルタ回路69は、図1に示した低域通過フィルタ19に置き換わるものである。低域通過フィルタ回路69は、低域通過フィルタ69aおよびフィルタ制御手段69bを備えている。低域通過フィルタ69は、第1のレジスタR61、第2のレジスタR62およびキャパシタC60を備えている。第1のレジスタR61およびキャパシタC60は、図2に示された第1のレジスタR11およびキャパシタC10と同様のものであるが、第2のレジスタR62は、図2に示された第2のレジスタR12と異なり、サーミスタから構成される。このため、本実施例では、第2のレジスタR62が、第2の時定数を提供する機能の他に、温度センサとしての機能と、温度に応じて第2の時定数を変化させる機能を有していることになる。

したがって、本実施例6でも、第2のレジスタR62の（温度—抵抗）特性を適切に設定することにより、第5の実施例と同様の効果を得ることができる。また、第5の実施例よりもさらに簡単な構成で電力制御装置を構成することができる。

また、本実施例6においても、各ダイオードに並列に逆向きのダイオードを追加することも、各ダイオードを逆向きのダイオードに入れ替えることも可能であるが、この場合には、温度変化があっても送信電力の立ち下がり特性を一

定に保つことができる。

実施例 7.

図 18 を用いて、本発明に係る電力制御装置の実施例 7 を説明する。図 18 に示された低域通過フィルタ回路 79 は、図 1 に示した低域通過フィルタ回路 5 19 に置き換わるものである。

低域通過フィルタ回路 79 は、低域通過フィルタ 79 a およびフィルタ制御回路 79 b を有する。低域通過フィルタ 79 a は、第 1 のレジスタ R 71 と、キャパシタ C 70 と、第 1 のレジスタ R 71 およびキャパシタ C 70 と協働して第 1 の時定数の低域通過フィルタを形成するオペアンプ AMP 70 と、第 1 10 のレジスタ R 71 に並列接続され第 1 のレジスタ R 71、キャパシタ C 70 およびオペアンプ AMP 70 と協働して第 2 の時定数で動作する第 2 の低域通過フィルタを形成する第 2 のレジスタ R 72 と、を有する。なお、このオペアンプ AMP 70 が本発明のアクティブ素子に相当する。フィルタ制御回路 79 b は、第 2 のレジスタ R 72 に直列接続されるダイオード D 70 を有する。

15 本実施例 7 は、低域通過フィルタ 79 a がアクティブ素子を備えた場合の例、すなわちアクティブ低域通過フィルタから構成される場合の例を示しており、本実施例 7 においても、実施例 1 と同様に第 1 の時定数および第 2 の時定数を切り替えることができ、実施例 1 と同様の効果を得ることができる。

20 また、本実施例 7 においても、各ダイオードに並列に逆向きのダイオードを追加することも、各ダイオードを逆向きのダイオードに入れ替えることも可能であるが、この場合には、温度変化があっても送信電力の立ち下がり特性を一定に保つことができる。

産業上の利用可能性

25 以上のように、本発明に係る電力制御装置は、入力信号の電力レベルを自動的に制御して出力する装置であれば何れにも適用可能であるが、無線通信装置

の送信出力の電力レベルを制御する装置に適しており、特に、高速なバースト送信を行う T D M A 方式の無線通信装置用の電力制御装置に適している。

## 請求の範囲

1. 入力信号を制御電圧に従って所望の電力レベルに調整して出力する電力レベル調整回路と、
- 5 該電力レベル調整回路の現在の出力電力を目標電力レベルとを比較し、比較結果に基づいて、前記制御電圧を生成する制御電圧生成回路と、  
第1の時定数および該第1の時定数より小さな第2の時定数のうちの一方で動作し、前記制御電圧生成回路により生成された前記制御電圧をフィルタリングして、前記電力レベル調整回路に供給する低域通過フィルタと、
- 10 前記電力レベル調整回路の前記出力電力の立ち上がり時に、前記低域通過フィルタを前記第2の時定数で動作させ、前記電力レベル調整回路の前記出力電力の立ち上がり後に、前記低域通過フィルタを前記第1の時定数で動作させるフィルタ制御手段と、を備えた電力制御装置。
- 15 2. 前記低域通過フィルタは、第1のレジスタと、該第1のレジスタと協働して前記第1の時定数で動作する第1の低域通過フィルタを形成するキャパシタと、前記第1のレジスタに並列接続され該第1のレジスタおよびキャパシタと協働して前記第2の時定数で動作する第2の低域通過フィルタを形成する第2のレジスタと、を有し、
- 20 前記フィルタ制御手段は、前記第2のレジスタに直列接続されるダイオードを有する請求の範囲第1項記載の電力制御装置。
3. 前記低域通過フィルタは、第1のレジスタと、該第1のレジスタと協働して前記第1の時定数で動作する第1の低域通過フィルタを形成するキャパシタと、前記第1のレジスタに並列接続され該第1のレジスタおよびキャパシタと協働して前記第2の時定数で動作する第2の低域通過フィルタを形成する第

2のレジスタと、を有し、

前記フィルタ制御手段は、前記第2のレジスタに直列接続される複数のダイオードと、これらのダイオードのそれぞれと前記第2のレジスタとの接続状態を切り替えるスイッチ回路と、を有する請求の範囲第1項記載の電力制御装置。

5

4. 前記低域通過フィルタは、第1のレジスタと、該第1のレジスタと協働して前記第1の時定数で動作する第1の低域通過フィルタを形成するキャパシタと、前記第1のレジスタにそれぞれが並列接続され該第1のレジスタおよびキャパシタとそれぞれが協働して前記第2の時定数で動作する第2の低域通過  
10 フィルタを形成する複数の第2のレジスタと、を有し、

前記フィルタ制御手段は、前記複数の第2のレジスタのそれぞれに直列なダイオードと、前記複数の第2のレジスタを選択的に前記ダイオードに接続させるスイッチ回路と、を有する請求の範囲第1項記載の電力制御装置。

15 5. 前記フィルタ制御手段は、前記電力制御装置の温度または周囲温度を検出する温度センサを有し、該温度センサにより検出された温度に従って前記第1および第2の時定数を切替える請求の範囲第1項記載の電力制御装置。

6. 前記低域通過フィルタは、第1のレジスタと、キャパシタと、前記第1  
20 のレジスタおよび前記キャパシタと協働して前記第1の時定数の低域通過フィルタを形成するアクティブ素子と、前記第1のレジスタと並列接続され該第1のレジスタ、キャパシタおよび前記アクティブ素子と協働して前記第2の時定数で動作する第2の低域通過フィルタを形成する第2のレジスタと、を有し、

前記フィルタ制御手段が、前記第2のレジスタに直列接続されるダイオード  
25 を有する請求の範囲第1項記載の電力制御装置。

7. 前記低域通過フィルタの前記第2のレジスタが、サーミスタから構成される請求の範囲第2項記載の電力制御装置。

8. 入力信号を制御電圧に従って所望の電力レベルに調整して出力する電力  
5 レベル調整回路と、

該電力レベル調整回路の現在の出力電力を目標電力レベルとを比較し、比較結果に基づいて、前記制御電圧を生成する制御電圧生成回路と、

第1の時定数および該第1の時定数より小さな第2の時定数のうちの一方で動作し、前記制御電圧生成回路により生成された前記制御電圧をフィルタリン  
10 グして、前記電力レベル調整回路に供給する低域通過フィルタと、

前記電力レベル調整回路の前記出力電力の立ち下がり前に、前記低域通過フィルタを前記第1の時定数で動作させ、前記電力レベル調整回路の前記出力電力の立ち下がり時に、前記低域通過フィルタを前記第2の時定数で動作させるフィルタ制御手段と、を備えた電力制御装置。

15

9. 前記低域通過フィルタは、第1のレジスタと、該第1のレジスタと協働して前記第1の時定数で動作する第1の低域通過フィルタを形成するキャパシタと、前記第1のレジスタに並列接続され該第1のレジスタおよびキャパシタと協働して前記第2の時定数で動作する第2の低域通過フィルタを形成する第  
20 2のレジスタと、を有し、

前記フィルタ制御手段は、前記第2のレジスタに直列接続されるダイオードを有する請求の範囲第8項記載の電力制御装置。

10. 前記低域通過フィルタは、第1のレジスタと、該第1のレジスタと協働して前記第1の時定数で動作する第1の低域通過フィルタを形成するキャパシタと、前記第1のレジスタに並列接続され該第1のレジスタおよびキャパシ  
25

タと協働して前記第2の時定数で動作する第2の低域通過フィルタを形成する第2のレジスタと、を有し、

前記フィルタ制御手段は、前記第2のレジスタに直列接続される複数のダイオードと、これらのダイオードのそれぞれと前記第2のレジスタとの接続状態を切り替えるスイッチ回路と、を有する請求の範囲第8項記載の電力制御装置。

11. 前記低域通過フィルタは、第1のレジスタと、該第1のレジスタと協働して前記第1の時定数で動作する第1の低域通過フィルタを形成するキャパシタと、前記第1のレジスタにそれぞれが並列接続され該第1のレジスタおよびキャパシタとそれぞれが協働して前記第2の時定数で動作する第2の低域通過フィルタを形成する複数の第2のレジスタと、を有し、

前記フィルタ制御手段は、前記複数の第2のレジスタのそれぞれに直列なダイオードと、前記複数の第2のレジスタを選択的に前記ダイオードに接続させるスイッチ回路と、を有する請求の範囲第8項記載の電力制御装置。

15

12. 前記フィルタ制御手段は、前記電力制御装置の温度または周囲温度を検出する温度センサを有し、該温度センサにより検出された温度に従って前記第1および第2の時定数を切替える請求の範囲第8項記載の電力制御装置。

20 13. 前記低域通過フィルタは、第1のレジスタと、キャパシタと、前記第1のレジスタおよび前記キャパシタと協働して前記第1の時定数の低域通過フィルタを形成するアクティブ素子と、前記第1のレジスタと並列接続され該第1のレジスタ、キャパシタおよび前記アクティブ素子と協働して前記第2の時定数で動作する第2の低域通過フィルタを形成する第2のレジスタと、を有し、

25 前記フィルタ制御手段が、前記第2のレジスタに直列接続されるダイオードを有する請求の範囲第8項記載の電力制御装置。

14. 前記低域通過フィルタの前記第2のレジスタが、サーミスタから構成される請求の範囲第9項記載の電力制御装置。
- 5 15. 入力信号を制御電圧に従って所望の電力レベルに調整して出力する電力レベル調整回路と、
- 該電力レベル調整回路の現在の出力電力を目標電力レベルとを比較し、比較結果に基づいて、前記制御電圧を生成する制御電圧生成回路と、
- 第1の時定数および該第1の時定数より小さな第2の時定数のうちの一方で
- 10 動作し、前記制御電圧生成回路により生成された前記制御電圧をフィルタリングして、前記電力レベル調整回路に供給する低域通過フィルタと、
- 前記電力レベル調整回路の前記出力電力の立ち上がり時に、前記低域通過フィルタを前記第2の時定数で動作させ、前記電力レベル調整回路の前記出力電力の立ち上がり後に、前記低域通過フィルタを前記第1の時定数で動作させ、
- 15 前記電力レベル調整回路の前記出力電力の立ち下がり前に、前記低域通過フィルタを前記第1の時定数で動作させ、前記電力レベル調整回路の前記出力電力の立ち下がり時に、前記低域通過フィルタを前記第2の時定数で動作させるフィルタ制御手段と、を備えた電力制御装置。

図 1

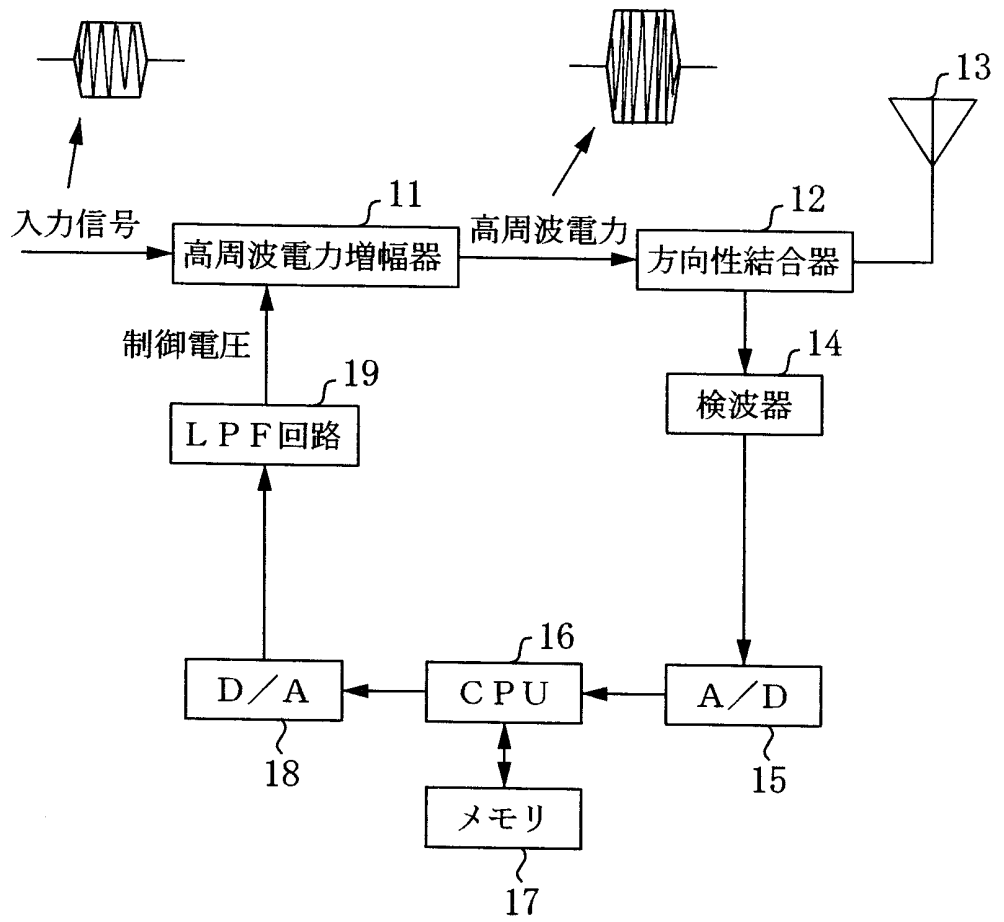


図 2

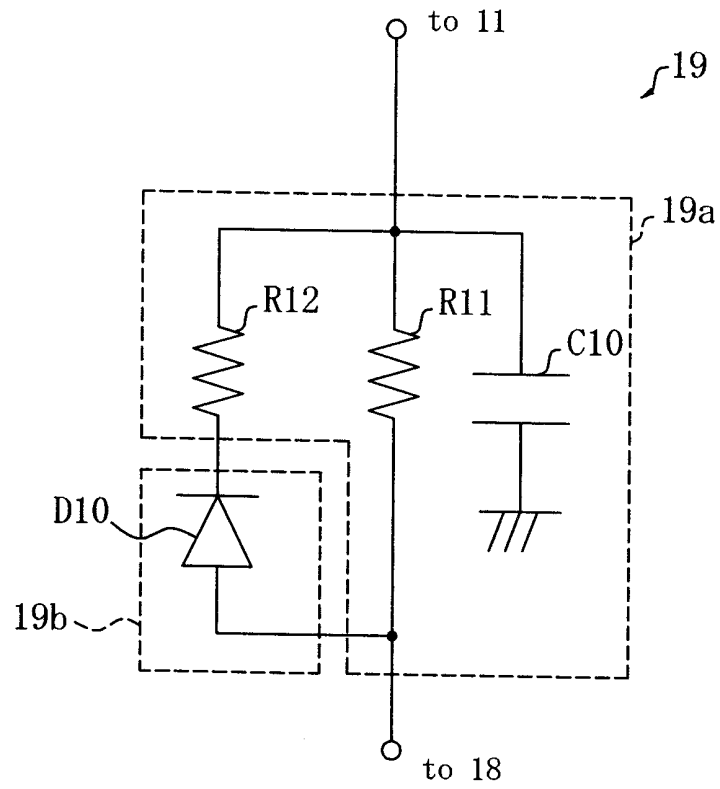


図 3

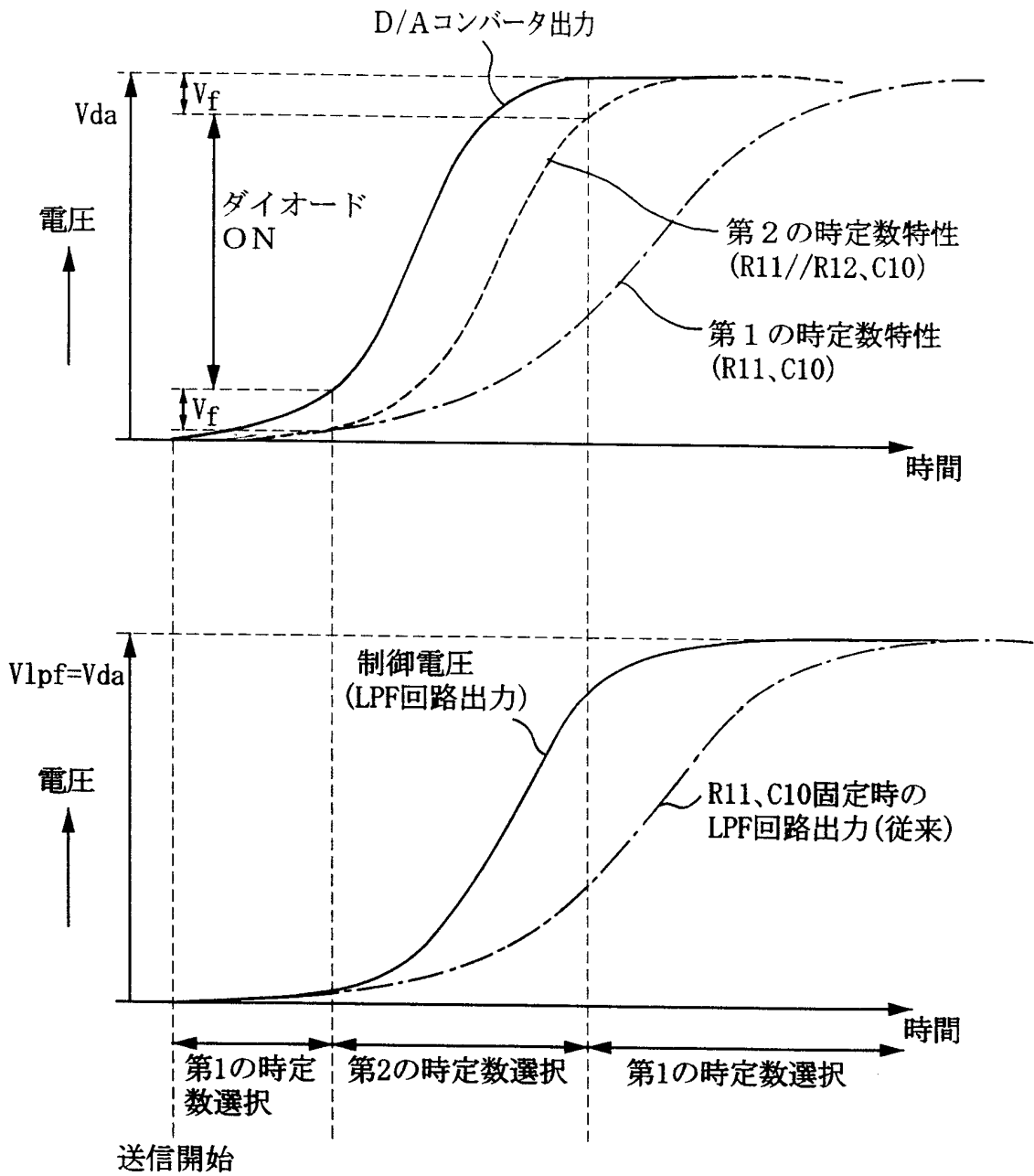


図 4

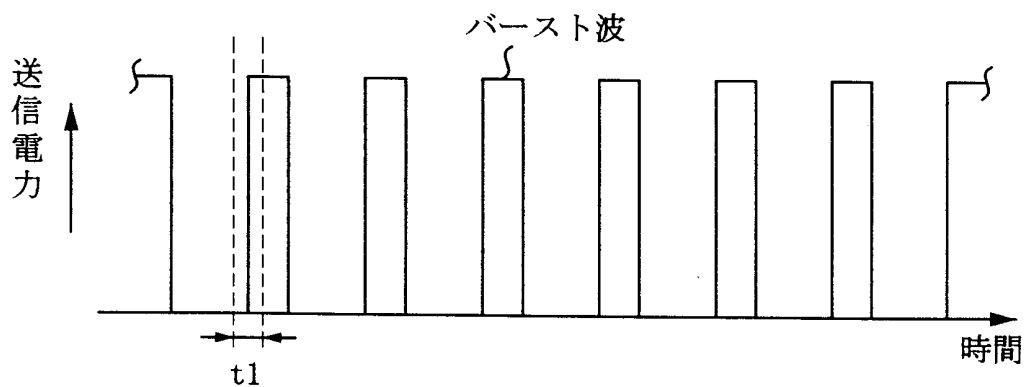


図 5

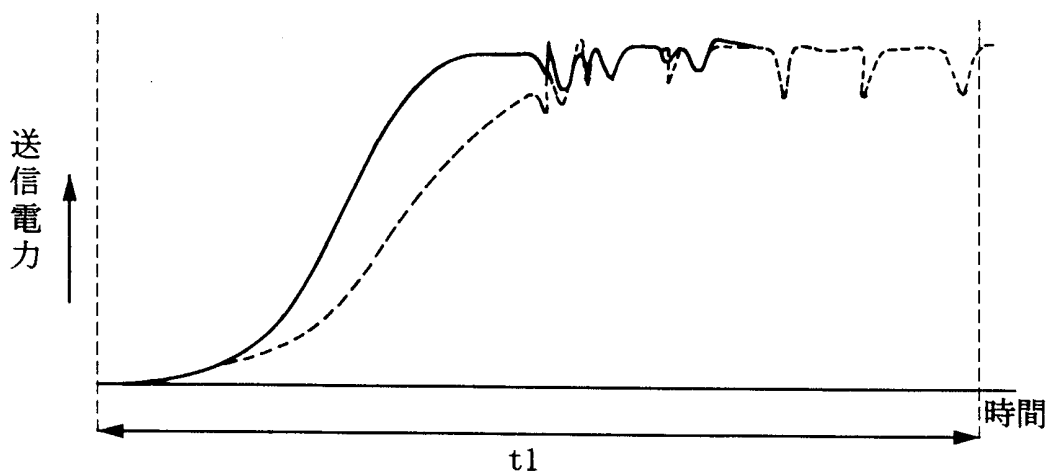
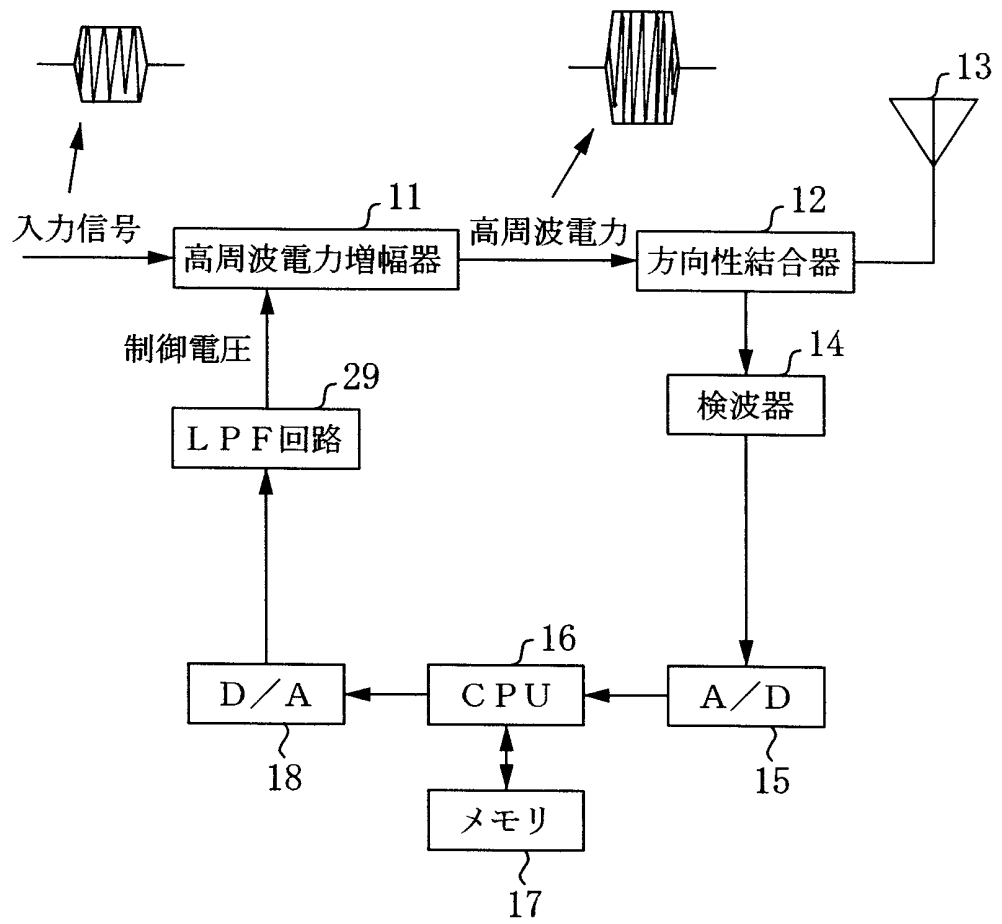


図 6



6/17

図 7

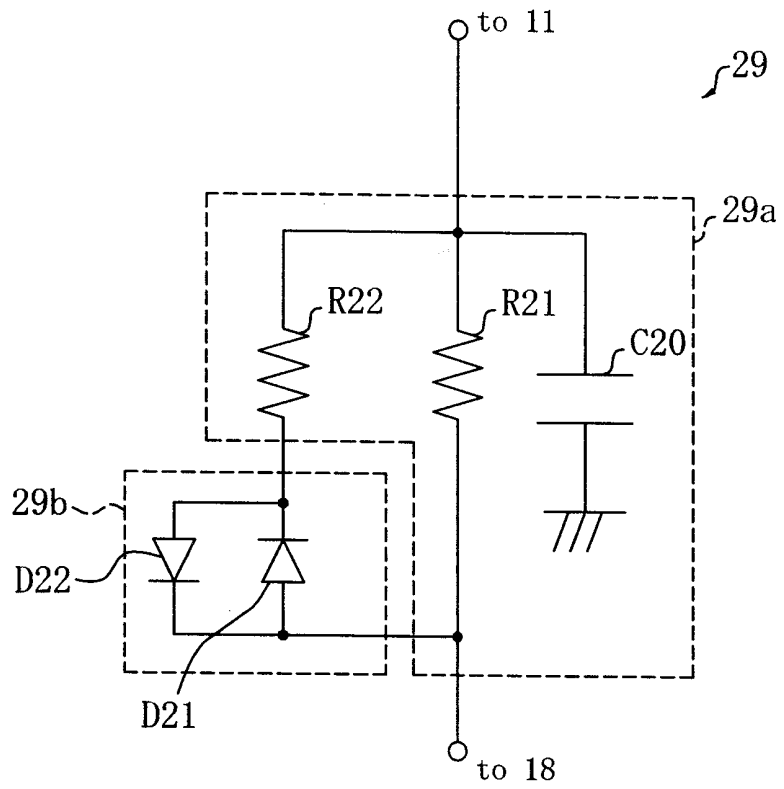


図 8

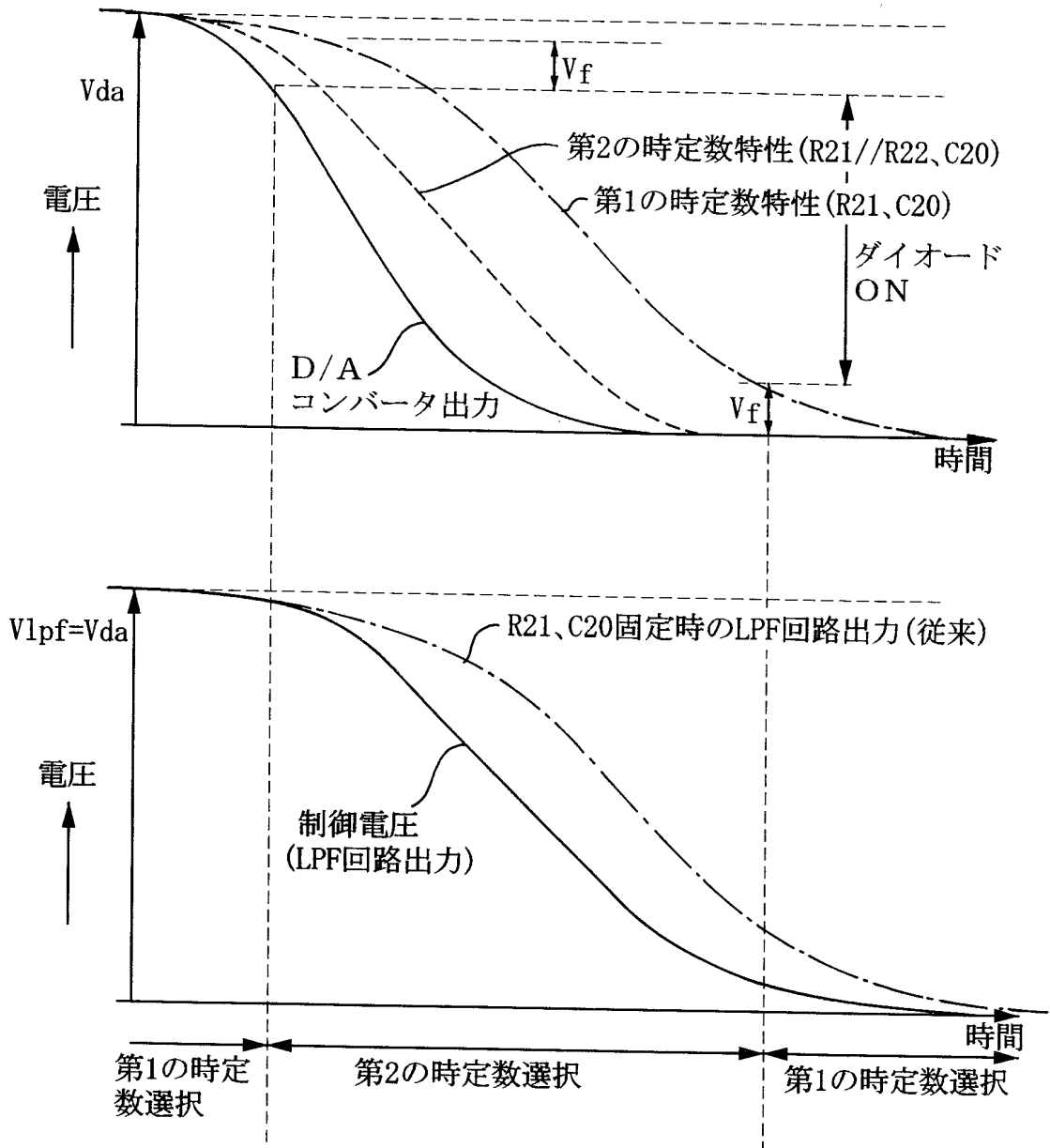
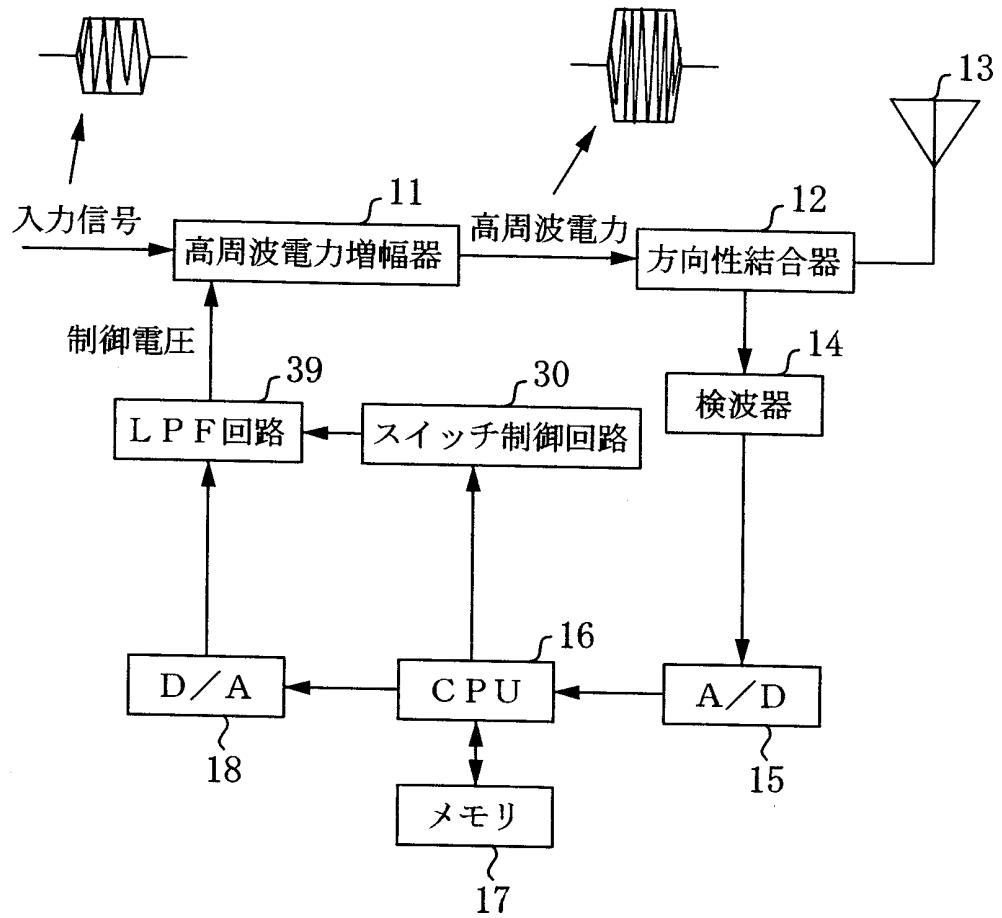


図 9



9/17

図 10

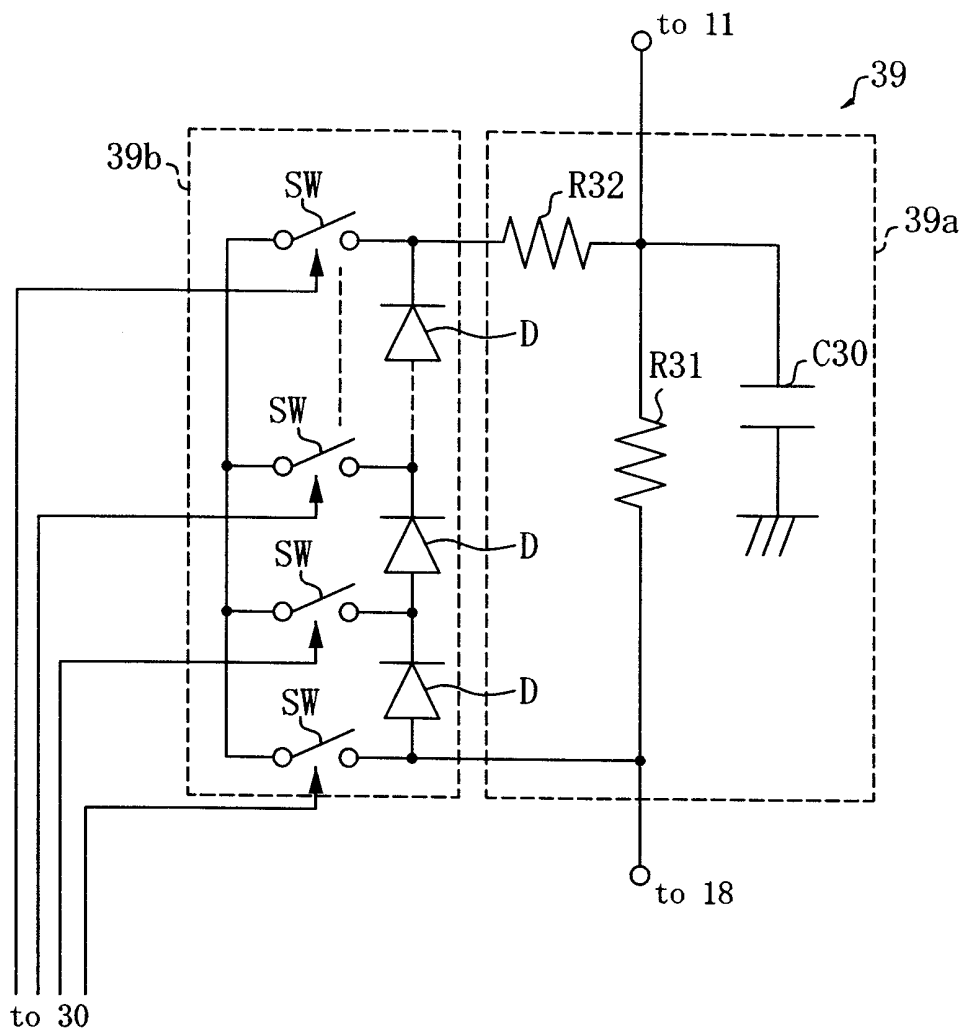


図 11

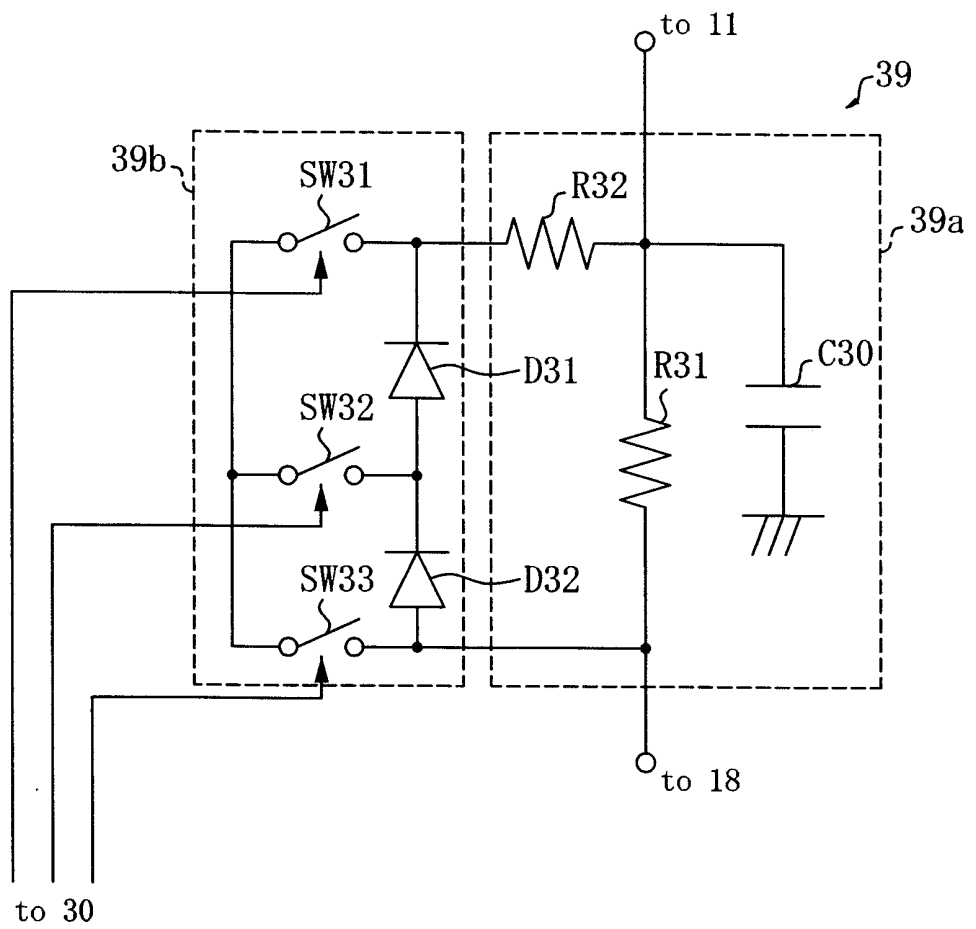
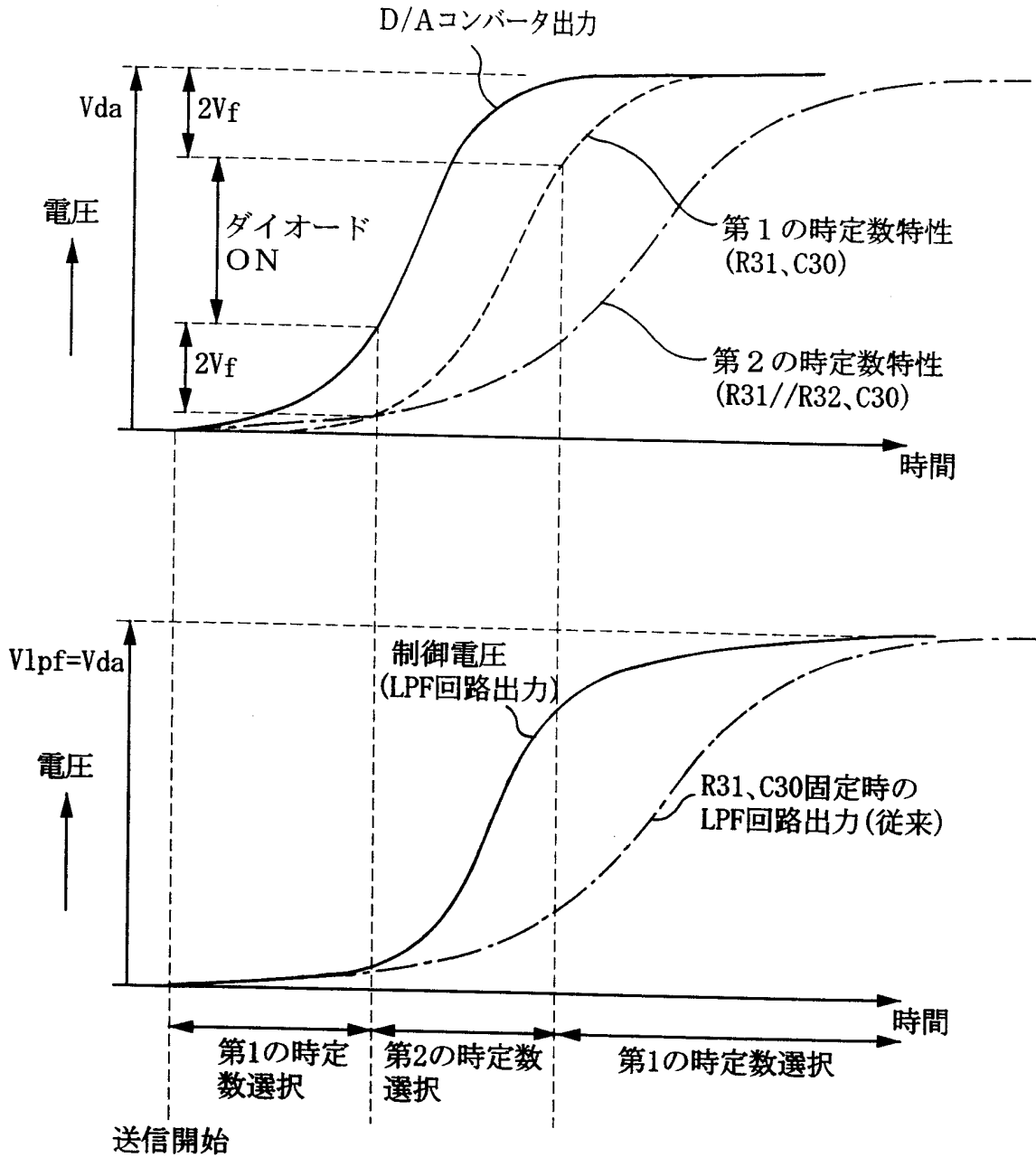


図 12



12/17

図 13

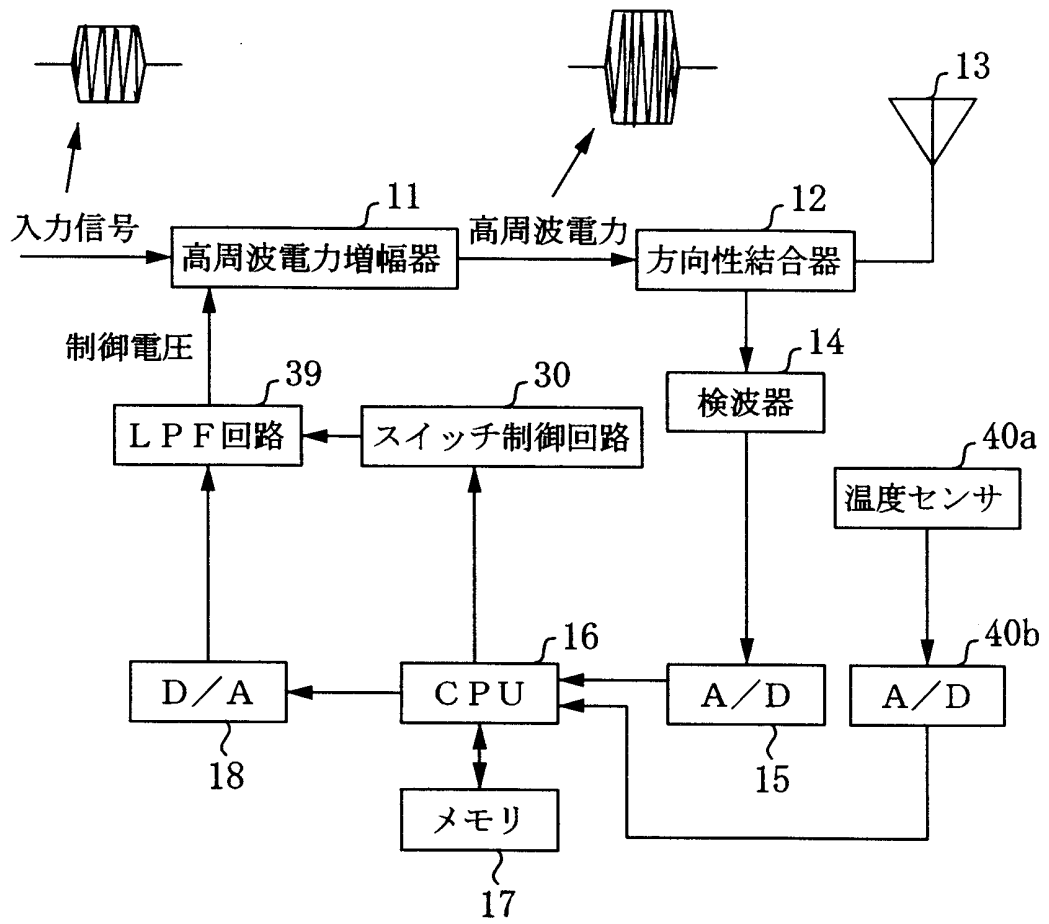


図 14

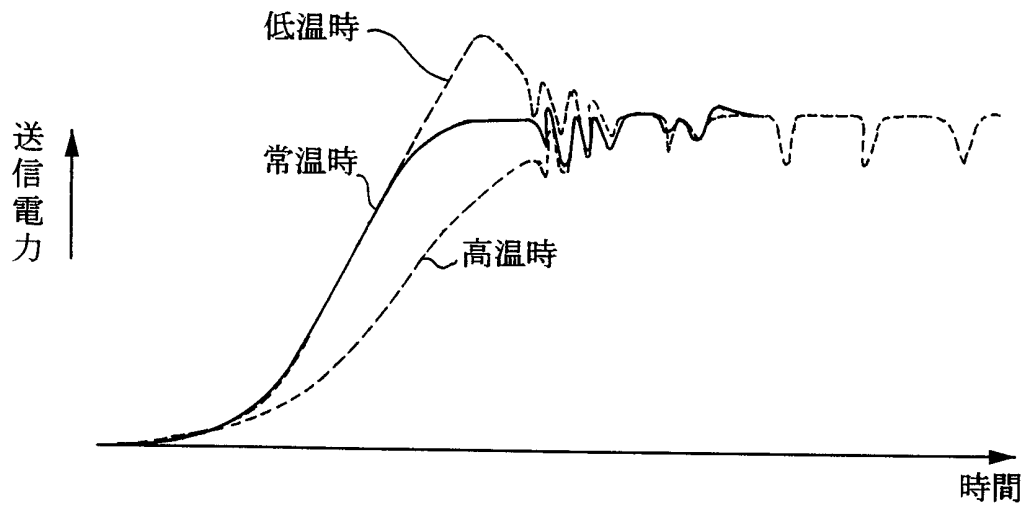


図 15

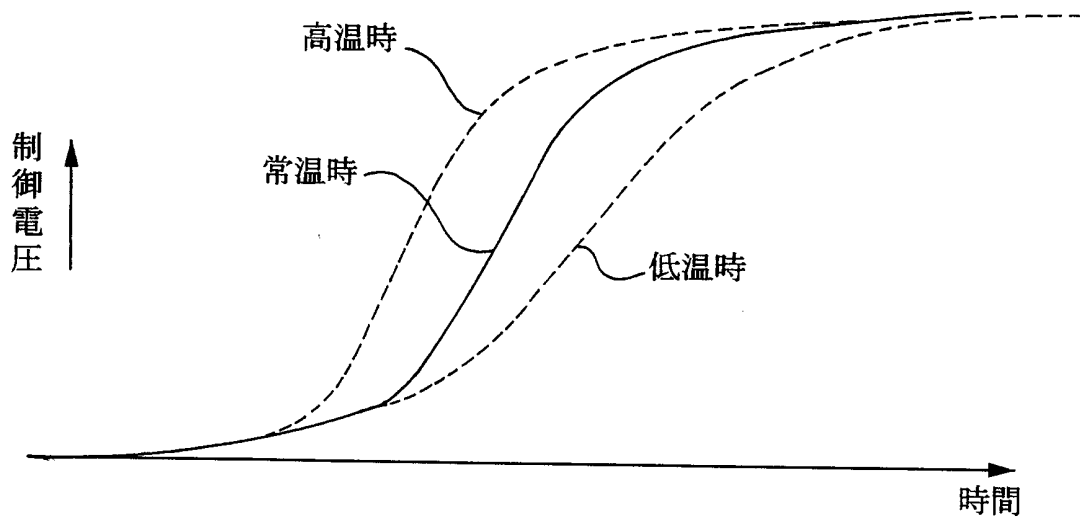


図 16

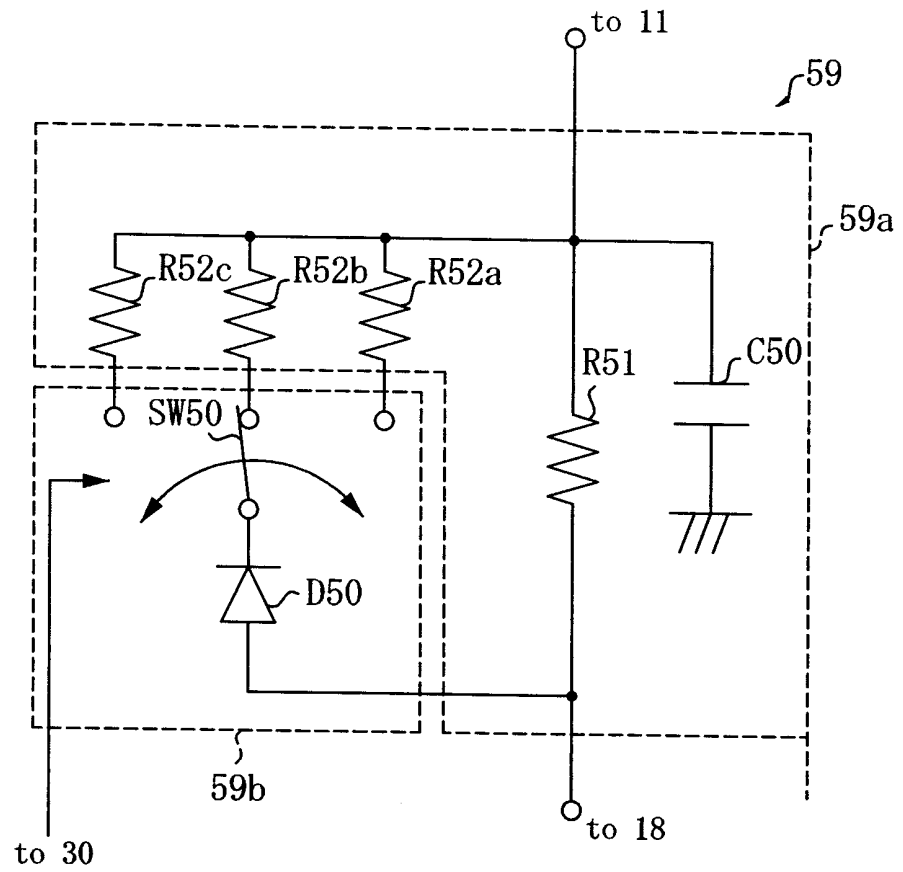


図 17

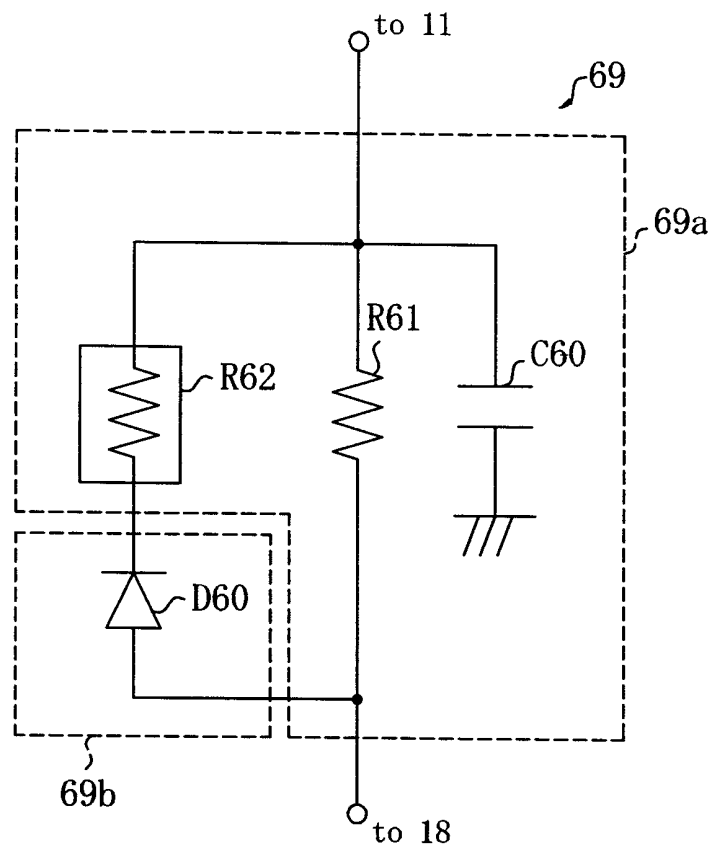


図 18

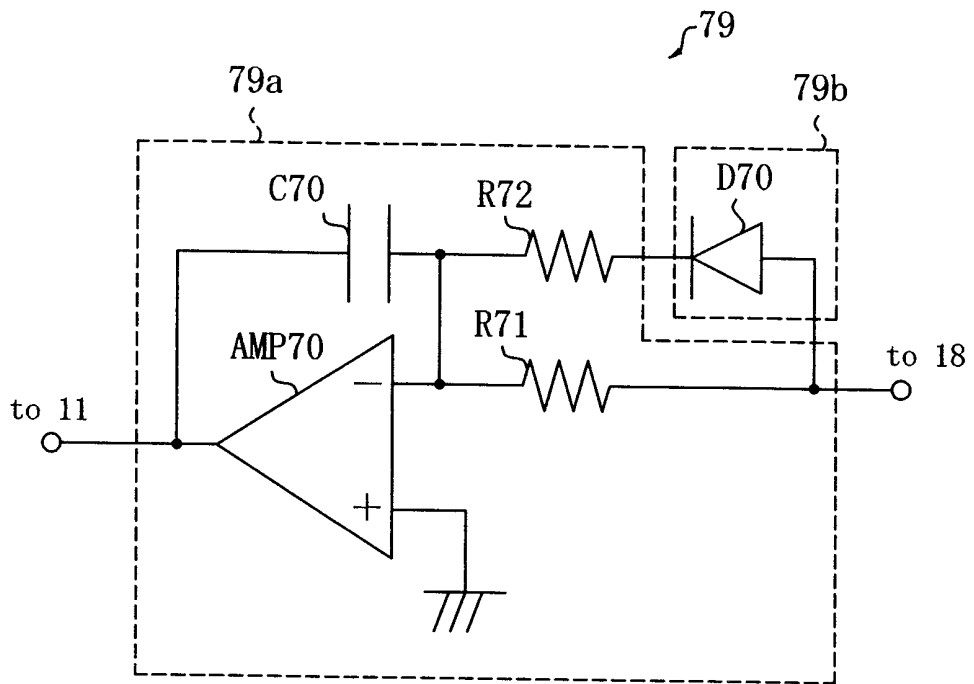
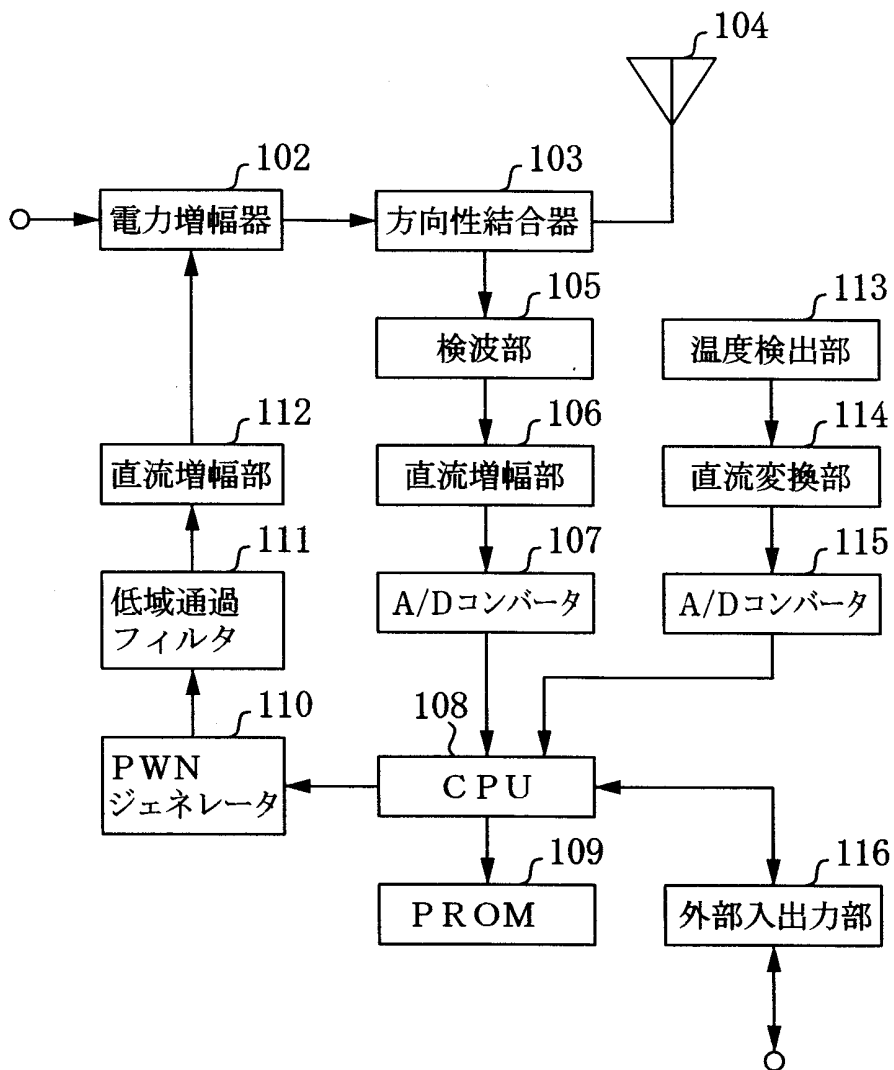


図 19



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/03040

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl <sup>6</sup> H04B1/04		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) Int.Cl <sup>6</sup> H04B1/04		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1998 Kokai Jitsuyo Shinan Koho 1971-1998 Jitsuyo Shinan Toroku Koho 1996-1998		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 4-348618, A (Toshiba Corp.), 3 December, 1992 (03. 12. 92) (Family: none)	1-15
A	JP, 9-51280, A (Fujitsu Ltd.), 18 February, 1997 (18. 02. 97) (Family: none)	1-15
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&amp;" document member of the same patent family</p>		
Date of the actual completion of the international search 16 September, 1998 (16. 09. 98)		Date of mailing of the international search report 29 September, 1998 (29. 09. 98)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>6</sup> H04B 1/04

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>6</sup> H04B 1/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926-1996年
日本国公開実用新案公報	1971-1998年
日本国実用新案登録公報	1996-1998年
日本国登録実用新案公報	1994-1998年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 4-348618, A (株式会社東芝), 03. 12月. 1992 (03. 12. 92) (ファミリーなし)	1-15
A	JP, 9-51280, A (富士通株式会社), 18. 2月. 1997 (18. 02. 97) (ファミリーなし)	1-15

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」先行文献ではあるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日  
16. 09. 98

国際調査報告の発送日  
29.09.98

国際調査機関の名称及びあて先  
 日本国特許庁 (ISA/JP)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
 板橋 通孝  
 5J 7829  
 電話番号 03-3581-1101 内線 3535