

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5179858号
(P5179858)

(45) 発行日 平成25年4月10日 (2013. 4. 10)

(24) 登録日 平成25年1月18日 (2013. 1. 18)

(51) Int. Cl.

F I

G 0 6 K 17/00 (2006. 01)

G 0 6 K 17/00

L

G 0 6 K 19/07 (2006. 01)

G 0 6 K 17/00

F

G 0 6 K 19/00

H

請求項の数 4 (全 34 頁)

(21) 出願番号 特願2007-333519 (P2007-333519)
 (22) 出願日 平成19年12月26日 (2007. 12. 26)
 (65) 公開番号 特開2008-192132 (P2008-192132A)
 (43) 公開日 平成20年8月21日 (2008. 8. 21)
 審査請求日 平成22年11月11日 (2010. 11. 11)
 (31) 優先権主張番号 特願2007-858 (P2007-858)
 (32) 優先日 平成19年1月6日 (2007. 1. 6)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 黒川 義元
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 池田 隆之
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 遠藤 正己
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 傳保 洋樹
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

無線信号を送受信するアンテナ回路と、
 前記無線信号に応じた入力電圧を生成する電源回路と、
 前記入力電圧の信号強度をアナログ値からデジタル値に変換するアナログ / デジタル変換回路と、を有し、
 前記アナログ / デジタル変換回路は、逐次比較方式アナログ / デジタル変換回路と、リングオシレータ方式アナログ / デジタル変換回路と、を有し、
 前記逐次比較方式アナログ / デジタル変換回路が用いられる場合の前記入力電圧は、前記リングオシレータ方式アナログ / デジタル変換回路が用いられる場合の前記入力電圧よりも大きいことを特徴とする半導体装置。

【請求項 2】

無線信号を送受信するアンテナ回路と、
 前記無線信号に応じた入力電圧を生成する電源回路と、
 前記入力電圧の信号強度をアナログ値からデジタル値に変換するアナログ / デジタル変換回路と、を有し、
 前記アナログ / デジタル変換回路は、逐次比較方式アナログ / デジタル変換回路と、リングオシレータ方式アナログ / デジタル変換回路と、を有し、
 前記逐次比較方式アナログ / デジタル変換回路が用いられる場合の前記入力電圧は、前記リングオシレータ方式アナログ / デジタル変換回路が用いられる場合の前記入力電圧よ

10

20

りも大きく、

前記アナログ／デジタル変換回路で変換された前記入力電圧の信号強度に応じたデジタル値のデータ信号は、前記アンテナ回路より外部に送信されることを特徴とする半導体装置。

【請求項 3】

請求項 1 又は請求項 2 において、

前記リングオシレータ方式アナログ／デジタル変換回路は、

前記入力電圧に応じた第 1 のクロック信号を生成する第 1 の自己発振回路と、

基準電圧に応じた第 2 のクロック信号を生成する第 2 の自己発振回路と、

前記第 1 のクロック信号をカウントする第 1 のカウンタと、

前記第 2 のクロック信号をカウントする第 2 のカウンタと、を有することを特徴とする半導体装置。

10

【請求項 4】

請求項 1 乃至 3 のいずれか一項において、

前記電源回路及び前記アナログ／デジタル変換回路は、薄膜トランジスタを有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、無線信号によりデータの送受信及び距離の検出を行う半導体装置に関する。

20

【背景技術】

【0002】

近年、超小型 IC チップと、無線通信用のアンテナを組み合わせた小型半導体装置（以下、半導体装置、RF チップともいう。また、RF ID タグ、無線タグ、ID タグ、RF タグともいわれる）が脚光を浴びている。この半導体装置は、無線通信装置（以下、リーダ／ライタともいう）を使った通信信号の授受により、データを書き込む、またはデータを読み出す等のデータの送受信を非接触で行うことができる。

【0003】

無線信号によりデータの送受信を行う半導体装置の応用分野として、例えば、流通業界における商品管理が挙げられる。現在では、バーコードなどを利用した商品管理が主流であるが、バーコードは光学的に読み取るため、遮蔽物があるとデータを読み取れない場合がある。一方、無線通信装置を用いて非接触でデータの送受信を行う方式では、半導体装置のデータを無線で読み取るため、遮蔽物があってもデータを読み取ることができる。従って、商品管理の効率化、低コスト化などが期待されている。その他、乗車券、航空旅客券、料金の自動精算など、広範な応用が期待されている（特許文献 1 参照）。このように、無線通信によりデータの送受信を行う小型の半導体装置により人や物を識別、管理する仕組みは RF ID（Radio Frequency Identification）と呼ばれ、IT 化社会の基盤技術として注目が高まっている。

30

【特許文献 1】特開 2000 - 149194 号公報

40

【発明の開示】

【発明が解決しようとする課題】

【0004】

無線信号によるデータの送受信に加え、半導体装置の物理的位置の検出ができると、半導体装置を貼付した商品の場所が特定できるので、例えば、倉庫内における探し物に要する時間が短縮できる。また、半導体装置を貼付した商品の追跡ができるので、例えば小売業などでは消費者動向をリアルタイムに知ることができ、より付加価値を高めたサービスを提供できる可能性がある。

【0005】

半導体装置の物理的位置の検出方法として、RSSI（Received Signal

50

Strength Indicator)方式がある。これは、信号源からの距離が増大するに伴い、通信信号の信号強度が減少する性質を利用したものである。例えば、リーダ/ライタの位置を既知とし、リーダ/ライタを通信信号の発信源とした場合、半導体装置に信号強度を検出する機能を搭載すれば、検出した信号強度から距離を算出することで、半導体装置の物理的位置を特定できる。

【0006】

しかしながら、このような半導体装置では、回路動作に必要な電源電圧を半導体装置に搭載した電池から供給する型式(以下、アクティブ型とする)となっている。したがって、定期的に電池の交換をする必要がある。また、電池の物理的形狀、質量に関する制約により、半導体装置の物理的形狀、質量なども制限されることになる。このような欠点は、半導体装置を用いた物理的位置を検出するサービスの利便性を著しく損なうことになる。

10

【0007】

本発明は、上記の問題を鑑みなされたもので、物理的位置を検出する機能を有し、物理的形狀に対する柔軟性を有し、軽量の半導体装置を安価に提供するものである。

【課題を解決するための手段】

【0008】

本発明の半導体装置は、無線通信によりデータの交信を行い、受信した信号から、受信した信号の送信元までの距離の情報を示す信号を生成し、送信することの特徴とする。具体的には、半導体装置に無線信号から電源電圧を生成する機能を有する電源回路と、無線信号から生成された電圧をA/D変換(アナログ/デジタル変換)することで無線信号の強度を検出する機能を有するA/D変換回路(アナログ/デジタル変換回路)と、を搭載することを特徴とする。

20

【0009】

本発明の半導体装置の一は、無線信号を送受信するアンテナ回路と、アンテナ回路で受信した無線信号に応じた入力電圧を生成する電源回路と、入力電圧の信号強度をアナログ値からデジタル値に変換するアナログ/デジタル変換回路を有することを特徴とする。

【0010】

別の本発明の半導体装置の一は、無線信号を送受信するアンテナ回路と、アンテナ回路で受信した無線信号に応じた入力電圧を生成する電源回路と、入力電圧の信号強度をアナログ値からデジタル値に変換するアナログ/デジタル変換回路を有し、アナログ/デジタル変換回路で変換された入力電圧の信号強度に応じたデジタル値のデータ信号は、アンテナ回路より外部に送信されるものであることを特徴とする。

30

【0011】

本発明のアナログ/デジタル変換回路は、フラッシュ方式のアナログ/デジタル変換回路であってもよい。

【0012】

本発明のアナログ/デジタル変換回路は、逐次比較方式のアナログ/デジタル変換回路であってもよい。

【0013】

本発明のアナログ/デジタル変換回路は、マルチスロープ方式のアナログ/デジタル変換回路であってもよい。

40

【0014】

本発明のアナログ/デジタル変換回路は、方式のアナログ/デジタル変換回路であってもよい。

【0015】

本発明のアナログ/デジタル変換回路は、フラッシュ方式のアナログ/デジタル変換回路、逐次比較方式のアナログ/デジタル変換回路、マルチスロープ方式のアナログ/デジタル変換回路、及び方式のアナログ/デジタル変換回路のうち、いずれか2種類のアナログ/デジタル変換回路を具備することのものであってもよい。

【0016】

50

本発明の電源回路及びアナログ／デジタル変換回路は、薄膜トランジスタで形成されているものであってもよい。

【発明の効果】

【0017】

本発明の半導体装置は、バッテリーを搭載する構成とすることなく、物理的位置を検出する機能を有せしめることができる。本発明の半導体装置はバッテリーを必要としないため、その分の物理的形状に対する柔軟性を有し、軽量の半導体装置を安価に提供することができる。

【発明を実施するための最良の形態】

【0018】

以下、本発明の実施の形態及び実施例において図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態及び実施例の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

【0019】

本発明における半導体装置の実施の形態として、図1を用いて説明する。図1は、本発明における半導体装置のブロック図である。

【0020】

図1において、半導体装置100は、無線回路101と、ロジック回路102と、から構成される。無線回路101は、アンテナ回路103と、電源回路104と、クロック回路105と、復調回路106と、変調回路107と、から構成される。ロジック回路102は、RFインターフェース回路108と、ADインターフェース回路109と、A/D変換回路110（アナログ／デジタル変換回路）と、から構成される。

【0021】

アンテナ回路103は、通信信号の送受信を行う機能を有する。例えば、電磁誘導方式を用いる場合にはコイル状のアンテナを、電界方式を用いる場合にはダイポールアンテナを設けた構成とすればよい。

【0022】

電源回路104は、通信信号からクロック回路105やロジック回路102の電源電圧と、A/D変換回路110の入力電圧及び基準電圧と、を生成する機能を有する。電源電圧は、例えば、整流回路と保持容量とを搭載することで生成することができる。また、A/D変換回路110の入力電圧は、電源電圧と共通とすることもできるし、電源電圧生成用とは別の整流回路と保持容量とを搭載することで生成することができる。さらに、A/D変換回路110の基準電圧は、電源電圧をレギュレータによって一定の電圧に変換することで生成することができる。

【0023】

クロック回路105は、ロジック回路102の動作に必要なクロック信号を生成する機能を有する。例えば、PLL（Phase Locked Loop：位相同期ループ）回路で構成することができる。

【0024】

復調回路106は、通信信号から受信データを抽出する機能を有する。例えばLPF（Low Pass Filter：ローパスフィルタ）を用いる構成とすればよい。

【0025】

変調回路107は、通信信号に送信データを重畳する機能を有する。

【0026】

RFインターフェース回路108は、復調回路106及び変調回路107と、ロジック回路102と、の間のデータ授受を行う。例えば、復調回路106で抽出した受信データから、ロジック回路102で実行する処理を決定し、当該処理に必要な制御信号やデータを

10

20

30

40

50

生成する。また、当該処理によって生成されたデータを送信データに変換し、変調回路 107 に供給する。

【0027】

A/D インターフェース回路 109 は、RF インターフェース回路 108 で生成された制御信号やデータを用いて、A/D 変換回路 110 の動作に必要な制御信号を生成する。また、A/D 変換回路 110 より出力されるデータ信号を RF インターフェース回路 108 に供給する。

【0028】

A/D 変換回路 110 は、電源回路 104 で生成される基準電圧と、入力電圧と、を用いて、アナログ値である入力電圧の信号強度をデジタル値に変換し、データ信号として出力する機能を有する。A/D 変換回路 110 には、フラッシュ方式、逐次比較方式、マルチスロープ方式、方式等の A/D 変換回路を用いることができる。また、リングオシレータの発振周波数を計数する方式（以下、リングオシレータ方式 A/D 変換回路ともいう）などを用いることができる。

10

【0029】

電源回路 104 で生成される A/D 変換回路 110 の入力電圧は、無線信号の信号強度が増大する程高電圧となる。このとき、A/D 変換回路 110 は、大きいデジタル値をデータ信号として出力する。したがって、このデータ信号はアンテナ回路 103 を介して、半導体装置 100 から無線信号により外部に送信され、当該無線信号をリーダ/ライタで読み取ることで、半導体装置 100 が受信している無線信号の信号強度を知ることができる。無線信号の信号強度は、無線信号の反射や遮断など特殊事情を除けば、距離の増加に対して単調に減少する。すなわち、半導体装置 100 が送信する A/D 変換回路 110 のデータ信号と、半導体装置 100 とリーダ/ライタとの距離と、は一对一の関係にある。つまり、本実施の形態における半導体装置 100 を用いることで、半導体装置 100 とリーダ/ライタとの距離が検出することができる。

20

【0030】

なお、本発明における半導体装置は、回路動作に必要な電源電圧は無線信号から電源回路 104 で生成する、所謂パッシブ型の半導体装置である。そのため、回路動作に電池を必要とするアクティブ型の半導体装置とは異なり、物理的形狀の制約を受けにくい。また、半導体装置を小型にすることができる。さらに、安価に供給することができる。

30

【0031】

さらに、半導体装置 100 をガラス基板もしくはプラスチック基板上に形成した TFT (Thin Film Transistor: 薄膜トランジスタ) を用いて構成することで、更に軽量化、小型化した半導体装置を安価に提供することができる。特に、プラスチック基板上に形成した TFT を用いて構成することで、物理的柔軟性を備えた、さらに付加価値の高い半導体装置を提供することができる。

【0032】

以上のような構成とすることで、半導体装置にバッテリーを搭載する構成とすることなく、物理的位置を検出する機能を有せしめることができる。本発明の半導体装置はバッテリーを必要としないため、その分の物理的形狀に対する柔軟性を有し、軽量の半導体装置を安価に提供することができる。

40

【実施例 1】

【0033】

本実施例では、実施の形態で説明した半導体装置 100 が受信する信号強度の距離依存性について、図 2 を用いて説明する。図 2 は、距離と通信信号の電力との関係を理論計算により求めたグラフである。なお、理論計算は、微小ダイポールアンテナから周波数: 915 MHz、波長 () : 0.33 m、の通信信号を発振した場合におけるアンテナからの距離 r [m] における通信信号の電力 P [mW] について、出力電力: 30 dBm、ケーブル損失: -2 dB、反射係数: 0、リーダ/ライタの利得: 6 dBi、円偏波損失: 1.93 dBi、放射電力密度: $10 \log (1/4 \pi r^2)$ 、受信断面積: $10 \log ($

50

$2/4$)を仮定して行った。

【0034】

図2より、通信信号の電力は、距離の増加に伴い単調に減少していることがわかる。すなわち、実施の形態で説明した半導体装置100において、電源回路104で生成されるA/D変換回路110に供給する入力電圧も距離の増加に伴い単調に減少していることがわかる。つまり本発明は、半導体装置を構成するA/D変換回路110のデータ信号から、半導体装置とアンテナ、すなわちリーダ/ライタとの距離を検出することができる。

【実施例2】

【0035】

本実施例では、実施の形態で説明した半導体装置100におけるA/D変換回路110の例について、図3～図7を用いて説明する。図3は、フラッシュ方式A/D変換回路の回路図である。図4は、逐次比較方式A/D変換回路のブロック図である。図5は、マルチスロープ方式A/D変換回路のブロック図である。図6は、方式A/D変換回路のブロック図である。図7は、リングオシレータ方式A/D変換回路のブロック図である。

【0036】

図3において、フラッシュ方式A/D変換回路300は、基準電圧端子301、入力電圧端子302、第1の出力端子303～第3の出力端子305、第1の電気抵抗306～第4の電気抵抗309、第1の比較回路310～第3の比較回路312、入力電圧配線313、第1の参照電圧配線314～第3の参照電圧配線316、第1の出力配線317～第3の出力配線319から構成される。

【0037】

ここで、第1の電気抵抗306～第4の電気抵抗309は、不純物を添加した半導体薄膜、金属薄膜などで構成することができる。第1の比較回路310～第3の比較回路312は、差動増幅器などで構成することができる。

【0038】

次に、フラッシュ方式A/D変換回路の動作を説明する。まず、基準電圧端子301及び入力電圧端子302より、基準電圧及び入力電圧を入力する。基準電圧は、第1の電気抵抗306～第4の電気抵抗309により分圧され、第1の参照電圧配線314～第3の参照電圧配線316に、各々第1の参照電圧～第3の参照電圧として供給される。第1の比較回路310～第3の比較回路312は、入力電圧配線313から供給される入力電圧と、第1の参照電圧～第3の参照電圧と、を各々比較し、入力電圧の方が高い(低い)場合には、第1の出力配線317～第3の出力配線319に、各々"H"("L")を出力する。例えば、入力電圧の値が、第1の参照電圧の値と第2の参照電圧の値との間の値の場合、第1の出力配線317、第2の出力配線318、第3の出力配線319には、各々"H"、"L"、"L"が出力される。すなわち、入力電圧の値を知ることができる。

【0039】

なお、第1の電気抵抗306、第2の電気抵抗307、第3の電気抵抗308、第4の電気抵抗309の値の比を1:2:2:1とすることで、第1の参照電圧値～第3の参照電圧の値を等間隔に設定することができる。この時、第1の出力配線317、第2の出力配線318、第3の出力配線319の値は、"L"、"L"、"L"の場合、"H"、"L"、"L"の場合、"H"、"H"、"L"の場合、"H"、"H"、"H"の場合、の4通りがあり得るが、各々を"00"、"01"、"10"、"11"の2ビットのデジタル値で表すことができる。

【0040】

図3に示すフラッシュ方式A/D変換回路を本発明の半導体装置に用いることにより、A/D変換に要する時間が短いという効果を有する。なお、本実施例では、2ビット分解能のフラッシュ方式A/D変換回路について説明したが、一般にn(n:自然数)ビット分解能のフラッシュ方式A/D変換回路とすることができる。nビット分解能とする場合には、 2^n 個の電気抵抗と、 $2^n - 1$ 個の比較回路と、を用いてフラッシュ方式A/D変換回路を構成すれば、以上の説明が同様に適用できる。

【 0 0 4 1 】

図 4 において、逐次比較方式 A / D 変換回路 4 0 0 は、入力電圧端子 4 0 1、基準電圧端子 4 0 2、第 1 の出力端子 4 0 3、第 2 の出力端子 4 0 4、制御信号端子 4 0 5、比較回路 4 0 6、逐次比較レジスタ 4 0 7、D / A 変換回路 4 0 8、入力電圧配線 4 0 9、基準電圧配線 4 1 0、参照電圧配線 4 1 1、比較回路出力配線 4 1 2、制御信号配線 4 1 3、第 1 の出力配線 4 1 4、第 2 の出力配線 4 1 5、から構成される。また、D / A 変換回路 4 0 8 は、第 1 の電気抵抗 4 1 6 ~ 第 4 の電気抵抗 4 1 9、第 1 のスイッチ 4 2 0、第 2 のスイッチ 4 2 1、接地配線 4 2 2、から構成される。

【 0 0 4 2 】

逐次比較レジスタ 4 0 7 は、第 1 の記憶素子及び第 2 の記憶素子から構成される 2 ビットの記憶素子を有している。なお、第 1 の記憶素子が " H "、第 2 の記憶素子が " L " を各々記憶している場合に、逐次比較レジスタ 4 0 7 の値は " H "、" L " である、というように表現することにする。また、逐次比較レジスタ 4 0 7 における第 1 の記憶素子、第 2 の記憶素子の値は、各々第 1 の出力配線 4 1 4、第 2 の出力配線 4 1 5 に出力される。

10

【 0 0 4 3 】

第 1 のスイッチ 4 2 0 は、第 1 の出力配線 4 1 4 の電位が " H "、" L " の場合に各々基準電圧配線 4 1 0 より供給される基準電圧、接地配線 4 2 2 より供給される接地電位を第 1 のスイッチ出力配線 4 2 3 から供給する。同様に、第 2 のスイッチ 4 2 1 は、第 2 の出力配線の電位が " H "、" L " の場合に各々基準電圧配線 4 1 0 より供給される基準電圧、接地配線 4 2 2 より供給される接地電位を第 2 のスイッチ出力配線 4 2 4 から供給する。

20

【 0 0 4 4 】

図 4 において、第 1 の電気抵抗 4 1 6 ~ 第 4 の電気抵抗 4 1 9 は、不純物を添加した半導体薄膜、金属薄膜などで構成することができる。比較回路 4 0 6 は、差動増幅器などで構成することができる。

【 0 0 4 5 】

次に、逐次比較方式 A / D 変換回路 4 0 0 の動作を説明する。まず、第 1 のステップとして、逐次比較レジスタ 4 0 7 に初期値として、" L "、" H " を格納する制御信号を制御信号配線 4 1 3 より供給する。この時、参照電圧配線 4 1 1 には、第 1 の電気抵抗 4 1 6 ~ 第 4 の電気抵抗 4 1 9 により、基準電圧配線 4 1 0 より供給される基準電圧を分圧した電位が、第 1 の参照電圧として供給される。第 1 の参照電圧は、比較回路 4 0 6 により、入力電圧と比較され、入力電圧の方が高電位（低電位）の場合には、比較回路出力配線 4 1 2 に " H "（" L "）が、比較回路出力信号として出力される。ここで、比較回路出力信号が " H " の場合には、逐次比較レジスタ 4 0 7 における第 2 の記憶素子の値は " H " のまま、比較回路出力信号が " L " の場合には、逐次比較レジスタ 4 0 7 における第 2 の記憶素子の値を " L " に変更する制御信号を制御信号配線 4 1 3 より供給する。

30

【 0 0 4 6 】

次に、第 2 のステップとして、逐次比較レジスタ 4 0 7 における第 1 の記憶素子に " H " を格納する制御信号を制御信号配線 4 1 3 より供給する。この時、参照電圧配線 4 1 1 には、第 1 の電気抵抗 4 1 6 ~ 第 4 の電気抵抗 4 1 9 により、基準電圧配線 4 1 0 より供給される基準電圧を分圧した電位が、第 2 の参照電圧として供給される。第 2 の参照電圧は、比較回路 4 0 6 により、入力電圧と比較され、入力電圧の方が高電位（低電位）の場合には、比較回路出力配線 4 1 2 に " H "（" L "）が、比較回路出力信号として出力される。ここで、比較回路出力信号が " H " の場合には、逐次比較レジスタ 4 0 7 における第 1 の記憶素子の値は " H " のまま、比較回路出力信号が " L " の場合には、逐次比較レジスタ 4 0 7 における第 1 の記憶素子の値を " L " に変更する制御信号を制御信号配線 4 1 3 より供給する。

40

【 0 0 4 7 】

このように、2 段階のステップで、逐次比較方式 A / D 変換回路の動作が完了する。

【 0 0 4 8 】

50

ここで、第1の出力端子403、第2の出力端子404に供給される第1の出力、第2の出力により、入力電圧の値を知ることができる。例えば、第1の出力、第2の出力が" L "、" L " の場合、" H "、" L " の場合、" L "、" H "、の場合、" H "、" H " の場合について、各々" 00 "、" 01 "、" 10 "、" 11 " で表すことができる。

【0049】

なお、第1の電気抵抗416、第2の電気抵抗417、第3の電気抵抗418、第4の電気抵抗419の値の比を2:2:2:1とすることで、入力電圧の値を等間隔に区分して、デジタル値で表すことができる。例えば、第1の参照電圧は基準電圧の1/2である。また、第1のステップで、比較回路出力信号が" L "、" H " の場合、第2の参照電圧は基準電圧の1/4、3/4である。すなわち、上で説明した逐次比較方式A/D変換回路の動作ステップは、入力電圧を、まず基準電圧の1/2の電圧と比較し、次に基準電圧の1/4(=0+1/4)もしくは3/4(=1/2+1/4)と比較することに相当し、ステップが進む度に参照電圧を入力電圧に近付けていくことに相当する。

【0050】

図4に示す逐次比較方式A/D変換回路は、比較回路を1つのみ有するため、消費電力が低いという特徴を持つ。図4に示す逐次比較方式A/D変換回路を本発明の半導体装置に用いることにより、消費電力を低減することができる。また図4に示す逐次比較方式A/D変換回路は、A/D変換に要する時間が一定で短いという特徴を持つ。そのため、図4に示す逐次比較方式A/D変換回路を本発明の半導体装置に用いることにより、A/D変換の処理に要する時間を等配し、かつ短時間に行うといった効果を有する。なお、本実施例では、2ビット分解能の逐次比較方式A/D変換回路について説明したが、一般にn(n:自然数)ビット分解能の逐次比較方式A/D変換回路とすることができる。nビット分解能とする場合には、逐次比較レジスタ407をnビットとし、n段階のステップで動作を行えば、以上の説明が同様に適用できる。また、D/A変換回路408を電気抵抗で構成する例について説明したが、電気容量で構成する方式としてもよい。電気容量を用いることで、低消費電力で、ばらつきの少ない1ビットA/D変換回路を構成することができる。

【0051】

図5において、マルチスロープ方式A/D変換回路500は、入力電圧端子501、基準電圧端子502、出力端子503、制御信号端子504、制御回路505、第1のスイッチ506、第2のスイッチ507、演算増幅器508、比較回路509、電気容量510、電気抵抗511、入力電圧配線512、基準電圧配線513、第1のスイッチ出力配線514、演算増幅器入力配線515、演算増幅器出力配線516、第1のスイッチ制御信号配線517、第2のスイッチ制御信号配線518、接地配線519、比較回路出力配線520、出力配線521、制御信号配線522、から構成される。

【0052】

制御回路505は、制御信号配線522から供給される制御信号と、比較回路出力配線520から供給される比較回路出力と、から、第1のスイッチ制御信号配線517、第2のスイッチ制御信号配線518に供給する第1のスイッチ制御信号、第2のスイッチ制御信号を生成する機能を有する。

【0053】

次に、マルチスロープ方式A/D変換回路500の動作を説明する。まず、制御回路505において、第2のスイッチ制御信号を" H "とする制御信号を、制御信号配線522から供給する。この時、第2のスイッチ507は電氣的に導通し、電気容量510に蓄積された電荷を" 0 "にすることができる。なお、比較回路出力配線520に供給される比較回路509の出力は、" H "とする。また、制御回路505に搭載され、周期T[sec]のクロック信号により動作するカウンタの計数値を0に設定する。

【0054】

次に、制御回路505において、第2のスイッチ制御信号を" L "とし、同時に第1のスイッチ制御信号を" H "とする制御信号を、制御信号配線522から供給する。この時、

10

20

30

40

50

第2のスイッチ507は電氣的に絶縁され、第1のスイッチ506において、入力電圧配線512から供給される入力電圧が、第1のスイッチ出力配線514に供給される。

【0055】

さて、演算増幅器508と、電気容量510と、電気抵抗511と、は積分回路を構成していることは明らかである。したがって、電気容量510の容量値を $C [F]$ 、電気抵抗511の抵抗値を $R []$ 、入力電圧の電圧値を $V_{in} [V]$ とすると、 $T1$ 秒間動作を続けることで、演算増幅器出力配線516に供給される演算増幅器出力の電圧は、 $-(V_{in} \cdot T1) / (R \cdot C)$ となる。なお、制御回路505に搭載され、周期 $T [sec]$ のクロック信号により動作するカウンタの計数値が $n1$ ($T1 = n1 \cdot T$)に達するまで積分回路を動作させる。また、比較回路出力配線520に供給される比較回路509の出力は、“H”のままである。

10

【0056】

次に、制御回路505において、第1のスイッチ制御信号を“L”とする制御信号を、制御信号配線522から供給する。この時、第1のスイッチ506において、基準電圧配線513から供給される基準電圧が、第1のスイッチ出力配線514に供給される。また、制御回路505に搭載され、周期 $T [sec]$ のクロック信号により動作するカウンタの計数値を再び0に設定する。

【0057】

さて、基準電圧の値を $V_{ref} [V]$ とし、入力電圧と異なる極性の電圧とすると、 T 秒後の演算増幅器出力の電圧は、 $-(V_{in} \cdot T1) / (R \cdot C) - (-V_{ref} \cdot T) / (R \cdot C)$ となる。ここで、 $T = T2 = (V_{in} / V_{ref}) \cdot T1$ となる時間 $T2 [sec]$ が経過すると、演算増幅器出力が0となり、比較回路出力配線520に供給される比較回路509の出力が、“H”から“L”に変化する。ここで、制御回路505に搭載され、周期 $T [sec]$ のクロック信号により動作するカウンタの計数を停止すると、計数値は $n2$ ($T2 = n2 \cdot T$)である。

20

【0058】

さて、 $n2 = (V_{in} / V_{ref}) \cdot n1$ の関係がある。すなわち、 V_{in} が大きい(小さい)時、 $n2$ は大きく(小さく)なる。すなわち、 $n2$ により、入力電圧の値を知ることができる。具体的には、制御回路に搭載されたカウンタの出力値を出力配線521に出力することで、入力電圧の値を知ることができる。なお、制御回路に搭載されたカウンタが n ビットの場合、 n ビット分解能のA/D変換回路となる。

30

【0059】

図5に示すマルチスロープ方式A/D変換回路は、入力電圧の時間平均を計数することができる。そのため図5に示すマルチスロープ方式A/D変換回路を本発明の半導体装置に用いることにより、入力電圧が時間的に変化する場合、具体的には入力電圧にノイズが印加されている場合などにおいても、精度の高い動作を行うことができる。

【0060】

図6において、方式A/D変換回路600は、入力電圧端子601、基準電圧端子602、出力端子603、加算器604、演算増幅器605、電気抵抗606、電気容量607、比較回路608、1ビットD/A変換回路609、入力電圧配線610、基準電圧配線611、D/A変換回路出力配線612、加算器出力配線613、演算増幅器入力配線614、演算増幅器出力配線615、出力信号配線616、接地配線617、から構成される。

40

【0061】

加算器604は、入力電圧配線610と、D/A変換回路出力配線612と、から各々供給される入力電圧と、D/A変換回路出力と、の差をアナログ演算し、加算器出力配線613に、加算器出力として出力する。加算器604は、例えば、演算増幅器で構成することができる。

【0062】

演算増幅器605と、電気抵抗606と、電気容量607と、は積分回路を構成する。す

50

なわち、加算器出力配線 6 1 3 から供給される、加算器出力を積分した電圧値を、演算増幅器出力として、演算増幅器出力配線 6 1 5 に供給する。電気抵抗 6 0 6 の抵抗値を R []、電気容量 6 0 7 の容量値を C [F] とすると、加算器出力 V_1 [V] に対して、 T 秒間に、 $(V_1 \cdot T) / (R \cdot C)$ だけ演算増幅器出力が増加する。

【 0 0 6 3 】

比較回路 6 0 8 は、演算増幅器出力配線 6 1 5 から供給される演算増幅器出力と、基準電圧配線 6 1 1 より供給される基準電圧と、を比較し、演算増幅器出力の方が大きい (小さい) 場合に " H " (" L ") を、出力信号として、出力信号配線 6 1 6 に供給する。

【 0 0 6 4 】

1 ビット D/A 変換回路 6 0 9 は、出力信号配線 6 1 6 より供給される出力信号が " H "、" L " の場合に、各々第 1 の電圧、第 2 の電圧を、 D/A 変換回路出力として、 D/A 変換回路出力配線 6 1 2 に供給する。例えば、第 1 の電圧を基準電圧、第 2 の電圧を接地電圧とすることができる。

【 0 0 6 5 】

次に、方式 A/D 変換回路 6 0 0 の動作について説明する。なお、出力信号配線 6 1 6 に供給される出力信号が " L "、すなわち、 D/A 変換回路出力配線 6 1 2 に供給される D/A 変換回路出力が 0 の場合から動作が始まるとするが、後の説明からわかるように、方式 A/D 変換回路 6 0 0 の動作において、一般性は失わない。

【 0 0 6 6 】

ここで、入力電圧配線 6 1 0 より入力電圧、基準電圧配線 6 1 1 より基準電圧を、各々供給する。加算器 6 0 4 では、実質的に入力電圧を、加算器出力として加算器出力配線 6 1 3 に出力する。演算増幅器 6 0 5 では、 T 秒間に、 $(V_1 \cdot T) / (R \cdot C)$ だけ演算増幅器出力を増加させ、演算増幅器出力配線 6 1 5 に供給する。

【 0 0 6 7 】

ここで、演算増幅器出力が基準電圧に達すると、比較回路 6 0 8 の出力が " H " に変化する。したがって、 D/A 変換回路出力配線 6 1 2 に供給される D/A 変換回路出力は、基準電圧となる。さて、加算器 6 0 4 では、基準電圧を入力電圧から減算した電圧を、加算器出力として加算器出力配線 6 1 3 に出力するが、基準電圧を適性に設定することで、加算器出力は、入力電圧とは極性が反対の電圧となる。すなわち、演算増幅器 6 0 5 では、逆方向の積分を行うことになり、演算増幅器出力は、瞬間的に 0 V 近傍まで低下することになる。なお、この時、比較回路 6 0 8 の出力は " L " となる。以下、同様の動作を繰り返すことになる。

【 0 0 6 8 】

さて、上記の動作より、出力信号配線 6 1 6 に供給される出力信号は、" L "、" H " を交互に繰り返すことがわかる。また、" H " を出力する時間間隔は、演算増幅器出力が、基準電圧に達する時間と等価であるため、基準電圧を V_{ref} [V] とすると、時間間隔は $(R \cdot C) \cdot (V_{ref} / V_1)$ となる。つまり、入力電圧が大きく (小さく) になると、" H " が出力される時間間隔は小さく (大きく) なる。また、周期が早く (遅く) なるということもできる。したがって、出力信号より、入力電圧の値を知ることができる。

【 0 0 6 9 】

図 6 に示す方式 A/D 変換回路は、入力電圧として時間的に変化する信号を用いる場合に有効であるという特徴を持つ。そのため図 6 に示す方式 A/D 変換回路を本発明の半導体装置に用いることにより、入力電圧として時間的に変化する信号を処理することができるといった効果を有することができる。

【 0 0 7 0 】

図 7 において、リングオシレータ方式 A/D 変換回路 7 0 0 は、入力電圧端子 7 0 1、基準電圧端子 7 0 2、出力端子 7 0 3、制御信号端子 7 0 4、第 1 のカウンタ回路 7 0 5、第 2 のカウンタ回路 7 0 6、入力電圧配線 7 0 7、基準電圧配線 7 0 8、出力配線 7 0 9、第 1 の制御信号配線 7 1 0、第 2 の制御信号配線 7 1 1、から構成される。

【 0 0 7 1 】

第1のカウンタ回路705は、入力電圧配線707から供給される入力電圧を電源電圧とする第1の自己発振回路（リングオシレータ）と、 $n1$ （ $n1$ は自然数）ビットの第1のカウンタと、を有し、第1の自己発振回路の出力をクロック信号として、第1のカウンタは計数を行う。また、第1のカウンタは、第1の制御信号配線710から供給される第1の制御信号が“H”の期間のみ計数を行う。さらに、第2の制御信号配線711から供給される第2の制御信号が“H”になった瞬間における第1のカウンタの計数値を、出力配線709に、出力信号として出力する。

【0072】

第2のカウンタ回路706は、基準電圧配線708から供給される基準電圧を電源電圧とする第2の自己発振回路（リングオシレータ）と、 $n2$ （ $n2$ は自然数）ビットの第2のカウンタと、を有し、第2の自己発振回路の出力をクロック信号として、第2のカウンタは計数を行う。また、第2のカウンタは、第1の制御信号配線710から供給される第1の制御信号が“H”の期間のみ計数を行う。また、第2のカウンタは、計算値が規定数（ここでは N とする）に達すると、第2の制御信号配線711に供給する第2の制御信号を“L”から“H”に変化する機能を有する。

【0073】

次に、リングオシレータ方式A/D変換回路700の動作について説明する。まず、第1の制御信号を“H”とする。このとき、第1のカウンタ回路705及び第2のカウンタ回路706における第1のカウンタ及び第2のカウンタは、各々第1の自己発振回路及び第2の自己発振回路の出力をクロック信号として、計数を始める。ここで、第2のカウンタの計数値が N に達したとき、第2の制御信号は“L”から“H”に変化し、第1のカウンタにおける計数値（ここでは M とする）が、出力信号として、出力配線709に供給される。

【0074】

さて、第2の自己発振回路は、基準電圧を電源電圧としているため、発振周波数は一定である。すなわち、第2のカウンタが規定数 N を計数するまでの時間は常に一定である。一方、第1の自己発振回路は、入力電圧を電源電圧としているため、入力電圧が高い（低い）と、発振周波数が高い（低い）。すなわち、上記の動作は、一定時間における第1のカウンタの計数値を求めたことに相当し、出力信号である第1のカウンタの計数値 M は、第1の自己発振回路の発振周波数に比例することになる。つまり、出力信号から、入力電圧の値を知ることができる。

【0075】

図7に示すリングオシレータ方式A/D変換回路は、小規模な回路で構成することができ、低い入力電圧に対して、消費電力が少ないという特徴を持つ。そのため図7に示すリングオシレータ方式A/D変換回路を本発明の半導体装置に用いることにより、半導体装置を小型化することができ、且つ低消費電力化を図れるといった効果を有することができる。また図7に示すリングオシレータ方式A/D変換回路は、入力電圧と出力信号（デジタル値）が非線形な関係になり、低い入力電圧における電圧分解能が高いという特徴を有する。そのため図7に示すリングオシレータ方式A/D変換回路を本発明の半導体装置においては、リーダ/ライタからの距離が遠く、通信信号から生成する電圧が低い場合に高い分解能を得ることができる。

【0076】

なお、上記で説明したA/D変換回路を互いに組み合わせて、本発明の半導体装置におけるA/D変換回路とすることも可能である。例えば、逐次比較方式A/D変換回路とリングオシレータ方式A/D変換回路とを組み合わせ、入力電圧が低い範囲では、リングオシレータ方式A/D変換回路を用い、入力電圧が高い範囲では、逐次比較方式A/D変換回路を用いることが考えられる。この場合、本発明における半導体装置の低消費電力化を図ることができる。

【0077】

なお、本実施例は、実施の形態と自由に組み合わせて実施することが可能である。

【0078】

以上のような構成とすることで、物理的位置を検出する機能を有し、物理的形狀に対する柔軟性を有し、軽量の半導体装置を安価に提供することができる。

【実施例3】

【0079】

本実施例では、本発明における半導体装置に搭載するA/D変換回路について、各種変換方式での性能比較をシミュレーションにより行った結果について、図8～図10を用いて説明する。A/D変換回路として、実施例2で取り上げた、逐次比較方式A/D変換回路（8ビット分解能）、マルチスロープ方式A/D変換回路（9ビット分解能）、方式A/D変換回路（10ビット分解能）、リングオシレータ方式A/D変換回路（10ビット分解能）の4つの方式について性能比較を行った。図8は、入力電圧に対する消費電力を示す図である。図9は、入力電圧に対する1回のA/D変換に要する電力量を示す図である。図10は、入力電圧に対する消費電力を1デジタル出力当たりで示した図である。

10

【0080】

なお、本実施例のシミュレーションに用いた各A/D変換回路の回路は、実施例2で説明した図4～図7を用いており、ガラス基板上に形成した薄膜トランジスタ（TFT）を用いて回路を構成している。なお、具体的な回路構成やトランジスタのチャネル幅など設計事項について、実施者は適宜最適な値を設定することができる。

【0081】

図8において、入力電圧に対する消費電力の逐次比較方式A/D変換回路のシミュレーション結果801、マルチスロープ方式A/D変換回路のシミュレーション結果802、方式A/D変換回路のシミュレーション結果803、リングオシレータ方式A/D変換回路のシミュレーション結果804である。

20

【0082】

概ね消費電力が少ない順に、逐次比較方式A/D変換回路、マルチスロープ方式A/D変換回路、リングオシレータ方式A/D変換回路、方式A/D変換回路となっている。なお、リングオシレータ方式A/D変換回路は、入力電圧の増加に伴う消費電力増加が最も著しい。そのため、入力電圧が低電圧の領域において用いることが適当である。

【0083】

図9において、入力電圧に対する1回のA/D変換に要する電力量についての逐次比較方式A/D変換回路のシミュレーション結果901、マルチスロープ方式A/D変換回路のシミュレーション結果902、方式A/D変換回路のシミュレーション結果903、リングオシレータ方式A/D変換回路のシミュレーション結果904である。1回のA/D変換に要する電力量は、A/D変換時における消費電力と、1回のA/D変換に要する時間と、の積から算出している。

30

【0084】

概ね電力量が少ない順に、逐次比較方式A/D変換回路、マルチスロープ方式A/D変換回路、リングオシレータ方式A/D変換回路、方式A/D変換回路となっている。

【0085】

図10において、入力電圧に対する1デジタル出力当たりの消費電力の逐次比較方式A/D変換回路のシミュレーション結果1001、マルチスロープ方式A/D変換回路のシミュレーション結果1002、方式A/D変換回路のシミュレーション結果1003、リングオシレータ方式A/D変換回路のシミュレーション結果1004である。1デジタル出力当たりの消費電力は、図8に示した消費電力を、A/D変換回路の出力デジタルビット数で除して算出している。なお、出力デジタルビット数は、nビット分解能の場合に、 2^n である。1デジタル出力当たりの消費電力を比べることで、A/D変換回路の精度と消費電力とのトレードオフを定量的に評価することができる。

40

【0086】

入力電圧に対する1デジタル出力当たりの消費電力は、入力電圧が2.8V以下の低入力電圧領域では、リングオシレータ方式A/D変換回路の結果が最も優れている。一方、入

50

力電圧が2.8V以上の高入力電圧領域では、逐次比較方式A/D変換回路及び方式A/D変換回路の結果が優れている。したがって、低入力電圧領域で高精度のA/D変換を行うには、リングオシレータ方式A/D変換回路を用いることが望ましい。また、高入力電圧領域で高精度のA/D変換を行うには、逐次比較方式A/D変換回路もしくは方式A/D変換回路を用いることが望ましい。このように、広範囲の入力電圧領域において高精度のA/D変換を実行するには、入力電圧の値に応じて、異なる方式のA/D変換回路を用いることで、低消費電力化も同時に実現できる。

【実施例4】

【0087】

本実施例では、本発明における半導体装置の試作例について、図11～図13を用いて説明する。A/D変換回路として、実施例2及び実施例3で取り上げた、逐次比較方式A/D変換回路(8ビット分解能)、マルチスロープ方式A/D変換回路(9ビット分解能)、方式A/D変換回路(10ビット分解能)、リングオシレータ方式A/D変換回路(10ビット分解能)の4つの方式について、A/D変換回路を構成した。図11は、入力電圧に対するA/D変換出力を示す図である。図12は、半導体装置における回路配置図である。図13は、無線通信時の通信信号の測定結果である。

10

【0088】

図11に、入力電圧に対するA/D変換出力についての逐次比較方式A/D変換回路の結果1101、マルチスロープ方式A/D変換回路の結果1102、方式A/D変換回路の結果1103、リングオシレータ方式A/D変換回路の結果1104を示す。1デジタル出力当たりの電圧分解能は、逐次比較方式A/D変換回路で24.61mV、マルチスロープ方式A/D変換回路で15.94mV、方式A/D変換回路で6.62mV、リングオシレータ方式A/D変換回路で8.41mVである。なお、各A/D変換回路の1デジタル出力当たりの電圧分解能は、最小自乗法による近似直線の傾きから求めた。

20

【0089】

図12において、半導体装置1200は、無線回路1201と、ロジック回路1202と、から構成される。無線回路1201は、アンテナ回路1203と、電源回路1204と、クロック回路1205と、復調回路1206と、変調回路1207と、から構成される。ロジック回路1202は、RFインターフェース回路1208と、ADインターフェース回路1209と、逐次比較方式A/D変換回路1211と、マルチスロープ方式A/D変換回路1212と、方式A/D変換回路1213と、リングオシレータ方式A/D変換回路1214と、から構成される。なお、本実施例における半導体装置のブロック構成は、実施の形態で説明した図1において、A/D変換回路110を、4つの方式のA/D変換回路で構成したものに相当する。したがって、各部分の説明は割愛する。

30

【0090】

図13で示しているのは、本実施例における半導体装置の受信信号1301、送信信号1302である。測定は、次のように行っている。まず、パターンジェネレータで生成したデータと、搬送波(915MHzRF信号)と、をミキサーにより重畳することで生成された無線信号を、アンテナから半導体装置に送信する。ここでは、パターンジェネレータは、A/D変換回路においてA/D変換を1回実行するためのデータを生成している。半導体装置からの送信信号1302は、アンテナで受信され、スペクトラムアナライザで検出される。図13より、半導体装置が正常に動作している様子がわかる。

40

【実施例5】

【0091】

本実施例では、上記実施の形態で示した半導体装置の作製方法の一例に関して、図面を参照して説明する。本実施例においては、アンテナ回路を含む半導体装置を同じ基板上に設ける構成について説明する。なお、同一基板上にアンテナ回路、半導体装置を形成し、半導体装置を構成するトランジスタを薄膜トランジスタとすることで、小型化を図ることができる。

【0092】

50

まず、図14(A)に示すように、基板1901の一表面に絶縁膜1902を介して剥離層1903を形成し、続けて下地膜として機能する絶縁膜1904と半導体膜1905(例えば、非晶質珪素を含む膜)を積層して形成する。なお、絶縁膜1902、剥離層1903、絶縁膜1904および半導体膜1905は、連続して形成することができる。

【0093】

なお、基板1901は、ガラス基板、石英基板、金属基板(例えばステンレス基板など)、セラミック基板、Si基板等の半導体基板から選択されるものである。他にもプラスチック基板として、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルホン(PES)、アクリルなどの基板を選択することもできる。なお、本工程では、剥離層1903は、絶縁膜1902を介して基板1901の全面に設けているが、必要に応じて、基板1901の全面に剥離層を設けた後に、フォトリソグラフィ法により選択的に設けてもよい。

【0094】

また、絶縁膜1902、絶縁膜1904は、CVD法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン(SiO_xN_y)($x > y > 0$)、窒化酸化シリコン(SiN_xO_y)($x > y > 0$)等の絶縁材料を用いて形成する。例えば、絶縁膜1902、1904を2層構造とする場合、第1層目の絶縁膜として窒化酸化シリコン膜を形成し、第2層目の絶縁膜として酸化窒化シリコン膜を形成するとよい。また、第1層目の絶縁膜として窒化シリコン膜を形成し、第2層目の絶縁膜として酸化シリコン膜を形成してもよい。絶縁膜1902は、基板1901から剥離層1903又はその上に形成される素子に不純物元素が混入するのを防ぐブロッキング層として機能し、絶縁膜1904は基板1901、剥離層1903からその上に形成される素子に不純物元素が混入するのを防ぐブロッキング層として機能する。このように、ブロッキング層として機能する絶縁膜1902、1904を形成することによって、基板1901からNaなどのアルカリ金属やアルカリ土類金属が、剥離層1903から剥離層に含まれる不純物元素がこの上に形成する素子に悪影響を与えることを防ぐことができる。なお、基板1901として石英を用いるような場合には絶縁膜1902を省略してもよい。

【0095】

また、剥離層1903は、金属膜や金属膜と金属酸化膜の積層構造等を用いることができる。金属膜としては、タングステン(W)、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)、ニオブ(Nb)、ニッケル(Ni)、コバルト(Co)、ジルコニウム(Zr)、亜鉛(Zn)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスミウム(Os)、イリジウム(Ir)から選択された元素または当該元素を主成分とする合金材料若しくは化合物材料からなる膜を単層又は積層して形成する。また、これらの材料は、スパッタ法やプラズマCVD法等の各種CVD法等を用いて形成することができる。金属膜と金属酸化膜の積層構造としては、上述した金属膜を形成した後に、酸素雰囲気化または N_2O 雰囲気下におけるプラズマ処理、酸素雰囲気化または N_2O 雰囲気下における加熱処理を行うことによって、金属膜表面に当該金属膜の酸化物または酸化窒化物を設けることができる。例えば、金属膜としてスパッタ法やCVD法等によりタングステン膜を設けた場合、タングステン膜にプラズマ処理を行うことによって、タングステン膜表面にタングステン酸化物からなる金属酸化膜を形成することができる。また、この場合、タングステンの酸化物は、 WO_x で表され、Xは2~3であり、Xが2の場合(WO_2)、Xが2.5の場合(W_2O_5)、Xが2.75の場合(W_4O_{11})、Xが3の場合(WO_3)などがある。タングステンの酸化物を形成するにあたり、上記に挙げたXの値に特に制約はなく、エッチングレート等を基に、どの酸化物を形成するかを決めるとよい。他にも、例えば、金属膜(例えば、タングステン)を形成した後に、当該金属膜上にスパッタ法で酸化珪素(SiO_2)等の絶縁膜を設けると共に、金属膜上に金属酸化物(例えば、タングステン上にタングステン酸化物)を形成してもよい。また、プラズマ処理として、例えば上述した高密度プラズマ処理を行ってもよい。また、金属酸化膜の他にも、金属窒化物や金属酸化窒化物を用いてもよい。この場合、金属膜に窒素雰囲気下また

10

20

30

40

50

は窒素と酸素雰囲気下でプラズマ処理や加熱処理を行えばよい。

【0096】

また、半導体膜1905は、スパッタリング法、LP-CVD法、プラズマCVD法等により、25～200nm（好ましくは30～150nm）の厚さで形成する。

【0097】

次に、図14（B）に示すように、半導体膜1905にレーザー光を照射して結晶化を行う。なお、レーザー光の照射と、RTA又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法とを組み合わせた方法等により半導体膜1905の結晶化を行ってもよい。その後、得られた結晶質半導体膜を所望の形状にエッチングして、結晶化した結晶質半導体膜1905a～1905fを形成し、当該半導体膜1905a～1905fを覆うようにゲート絶縁膜1906を形成する。

10

【0098】

なお、ゲート絶縁膜1906は、CVD法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン（ SiO_xN_y ）（ $x > y > 0$ ）、窒化酸化シリコン（ SiN_xO_y ）（ $x > y > 0$ ）等の絶縁材料を用いて形成する。例えば、ゲート絶縁膜1906を2層構造とする場合、第1層目の絶縁膜として酸化窒化シリコン膜を形成し、第2層目の絶縁膜として窒化酸化シリコン膜を形成するとよい。また、第1層目の絶縁膜として酸化シリコン膜を形成し、第2層目の絶縁膜として窒化シリコン膜を形成してもよい。

【0099】

20

結晶質半導体膜1905a～1905fの作製工程の一例を以下に簡単に説明すると、まず、プラズマCVD法を用いて、膜厚50～60nmの非晶質半導体膜を形成する。次に、結晶化を助長する金属元素であるニッケルを含む溶液を非晶質半導体膜上に保持させた後、非晶質半導体膜に脱水素化の処理（500℃、1時間）と、熱結晶化の処理（550℃、4時間）を行って結晶質半導体膜を形成する。その後、レーザー光を照射し、フォトリソグラフィ法を用いることによって結晶質半導体膜1905a～1905fを形成する。なお、結晶化を助長する金属元素を用いる熱結晶化を行わずに、レーザー光の照射だけで非晶質半導体膜の結晶化を行ってもよい。

【0100】

なお、結晶化に用いるレーザー発振器としては、連続発振型のレーザー発振器（CWレーザー発振器）やパルス発振型のレーザー発振器（パルスレーザー発振器）を用いることができる。ここで用いることができるレーザービームは、Arレーザー、Krレーザー、エキシマレーザーなどの気体レーザー、単結晶のYAG、YVO₄、フォルステライト（ Mg_2SiO_4 ）、YAlO₃、GdVO₄、若しくは多結晶（セラミック）のYAG、Y₂O₃、YVO₄、YAlO₃、GdVO₄に、ドープメントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種または複数種添加されているものを媒質とするレーザー、ガラスレーザー、ルビーレーザー、アレキサンドライトレーザー、Ti：サファイアレーザー、銅蒸気レーザーまたは金蒸気レーザーのうち一種または複数種から発振されるものを用いることができる。このようなレーザービームの基本波、及びこれらの基本波の第2高調波から第4高調波のレーザービームを照射することで、大粒径の結晶を得ることができる。例えば、Nd：YVO₄レーザー（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を用いることができる。このときレーザーのパワー密度は0.01～100MW/cm²程度（好ましくは0.1～10MW/cm²）が必要である。そして、走査速度を10～2000cm/sec程度として照射する。なお、単結晶のYAG、YVO₄、フォルステライト（ Mg_2SiO_4 ）、YAlO₃、GdVO₄、若しくは多結晶（セラミック）のYAG、Y₂O₃、YVO₄、YAlO₃、GdVO₄に、ドープメントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種または複数種添加されているものを媒質とするレーザー、Arイオンレーザー、またはTi：サファイアレーザーは、連続発振をさせることが可能であり、Q保護回路動作やモード同期などを行うことによって10MHz以上の発振周波数でパルス発振をさせ

30

40

50

ることも可能である。10 MHz以上の発振周波数でレーザービームを発振させると、半導体膜がレーザーによって熔融してから固化するまでの間に、次のパルスが半導体膜に照射される。従って、発振周波数が低いパルスレーザーを用いる場合と異なり、半導体膜において固液界面を連続的に移動させることができるため、走査方向に向かって連続的に成長した結晶粒を得ることができる。

【0101】

また、ゲート絶縁膜1906は、半導体膜1905a～1905fに対し前述の高密度プラズマ処理を行い、表面を酸化又は窒化することで形成しても良い。例えば、He、Ar、Kr、Xeなどの希ガスと、酸素、酸化窒素(NO_2)、アンモニア、窒素、水素などの混合ガスを導入したプラズマ処理で形成する。この場合のプラズマの励起は、マイクロ波の導入により行くと、低電子温度で高密度のプラズマを生成することができる。この高密度プラズマで生成された酸素ラジカル(OHラジカルを含む場合もある)や窒素ラジカル(NHラジカルを含む場合もある)によって、半導体膜の表面を酸化又は窒化することができる。

【0102】

このような高密度プラズマを用いた処理により、1～20 nm、代表的には5～10 nmの絶縁膜が半導体膜に形成される。この場合の反応は、固相反応であるため、当該絶縁膜と半導体膜との界面準位密度はきわめて低くすることができる。このような、高密度プラズマ処理は、半導体膜(結晶性シリコン、或いは多結晶シリコン)を直接酸化(若しくは窒化)するため、形成される絶縁膜の厚さは理想的には、ばらつきをきわめて小さくすることができる。加えて、結晶性シリコンの結晶粒界でも酸化が強くされることがないため、非常に好ましい状態となる。すなわち、ここで示す高密度プラズマ処理で半導体膜の表面を固相酸化することにより、結晶粒界において異常に酸化反応をさせることなく、均一性が良く、界面準位密度が低い絶縁膜を形成することができる。

【0103】

なお、ゲート絶縁膜1906は、高密度プラズマ処理によって形成される絶縁膜のみを用いても良いし、それにプラズマや熱反応を利用したCVD法で酸化シリコン、酸窒化シリコン、窒化シリコンなどの絶縁膜を堆積し、積層させても良い。いずれにしても、高密度プラズマで形成した絶縁膜をゲート絶縁膜の一部又は全部に含んで形成されるトランジスタは、特性のばらつきを小さくすることができる。

【0104】

また、半導体膜に対し、連続発振レーザー若しくは10 MHz以上の周波数で発振するレーザービームを照射しながら一方向に走査して結晶化させて得られた半導体膜1905a～1905fは、そのビームの走査方向に結晶が成長する特性がある。その走査方向をチャンネル長方向(チャンネル形成領域が形成されたときにキャリアが流れる方向)に合わせてトランジスタを配置し、上記ゲート絶縁層を組み合わせることで、特性ばらつきが小さく、しかも電界効果移動度が高い薄膜トランジスタ(Thin Film Transistor)を得ることができる。

【0105】

次に、ゲート絶縁膜1906上に、第1の導電膜と第2の導電膜とを積層して形成する。ここでは、第1の導電膜は、CVD法やスパッタリング法等により、20～100 nmの厚さで形成する。第2の導電膜は、100～400 nmの厚さで形成する。第1の導電膜と第2の導電膜は、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等から選択された元素又はこれらの元素を主成分とする合金材料若しくは化合物材料で形成する。または、リン等の不純物元素をドーピングした多結晶珪素に代表される半導体材料により形成する。第1の導電膜と第2の導電膜の組み合わせの例を挙げると、窒化タンタル膜とタングステン膜、窒化タングステン膜とタングステン膜、窒化モリブデン膜とモリブデン膜等が挙げられる。タングステンや窒化タンタルは、耐熱性が高いため、第1の導電膜と第2の導電膜を形成した後に、熱活性化を目的とした加熱処理を行うことができる

。また、2層構造ではなく、3層構造の場合は、モリブデン膜とアルミニウム膜とモリブデン膜の積層構造を採用するとよい。

【0106】

次に、フォトリソグラフィ法を用いてレジストからなるマスクを形成し、ゲート電極とゲート線を形成するためのエッチング処理を行って、半導体膜1905a~1905fの上方にゲート電極1907を形成する。ここでは、ゲート電極1907として、第1の導電膜1907aと第2の導電膜1907bの積層構造で設けた例を示している。

【0107】

次に、図14(C)に示すように、ゲート電極1907をマスクとして半導体膜1905a~1905fに、イオンドープ法またはイオン注入法により、n型を付与する不純物元素を低濃度に添加し、その後、フォトリソグラフィ法によりレジストからなるマスクを選択的に形成して、半導体膜1905c、1905eにp型を付与する不純物元素を高濃度に添加する。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。ここでは、n型を付与する不純物元素としてリン(P)を用い、 $1 \times 10^{15} \sim 1 \times 10^{19} / \text{cm}^3$ の濃度で含まれるように半導体膜1905a~1905fに選択的に導入し、n型を示す不純物領域1908を形成する。また、p型を付与する不純物元素としてボロン(B)を用い、 $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^3$ の濃度で含まれるように選択的に半導体膜1905c、1905eに導入し、p型を示す不純物領域1909を形成する。

【0108】

続いて、ゲート絶縁膜1906とゲート電極1907を覆うように、絶縁膜を形成する。絶縁膜は、プラズマCVD法やスパッタリング法等により、珪素、珪素の酸化物又は珪素の窒化物の無機材料を含む膜や、有機樹脂などの有機材料を含む膜を、単層又は積層して形成する。次に、絶縁膜を、垂直方向を主体とした異方性エッチングにより選択的にエッチングして、ゲート電極1907の側面に接する絶縁膜1910(サイドウォールともよばれる)を形成する。絶縁膜1910は、LDD(Lightly Doped drain)領域を形成する際のドーピング用のマスクとして用いる。

【0109】

続いて、フォトリソグラフィ法により形成したレジストからなるマスクと、ゲート電極1907および絶縁膜1910をマスクとして用いて、半導体膜1905a、1905b、1905d、1905fにn型を付与する不純物元素を高濃度に添加して、n型を示す不純物領域1911を形成する。ここでは、n型を付与する不純物元素としてリン(P)を用い、 $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^3$ の濃度で含まれるように半導体膜1905a、1905b、1905d、1905fに選択的に導入し、不純物領域1908より高濃度のn型を示す不純物領域1911を形成する。

【0110】

以上の工程により、図14(D)に示すように、nチャネル型薄膜トランジスタ1900a、1900b、1900d、1900fとpチャネル型薄膜トランジスタ1900c、1900eが形成される。

【0111】

なお、nチャネル型薄膜トランジスタ1900aは、ゲート電極1907と重なる半導体膜1905aの領域にチャネル形成領域が形成され、ゲート電極1907及び絶縁膜1910と重ならない領域にソース領域又はドレイン領域を形成する不純物領域1911が形成され、絶縁膜1910と重なる領域であってチャネル形成領域と不純物領域1911の間に低濃度不純物領域(LDD領域)が形成されている。また、nチャネル型薄膜トランジスタ1900b、1900d、1900fも同様にチャネル形成領域、低濃度不純物領域及び不純物領域1911が形成されている。

【0112】

また、pチャネル型薄膜トランジスタ1900cは、ゲート電極1907と重なる半導

10

20

30

40

50

体膜 1905c の領域にチャネル形成領域が形成され、ゲート電極 1907 と重ならない領域にソース領域又はドレイン領域を形成する不純物領域 1909 が形成されている。また、p チャネル型薄膜トランジスタ 1900e も同様にチャネル形成領域及び不純物領域 1909 が形成されている。なお、ここでは、p チャネル型薄膜トランジスタ 1900c、1900e には、LDD 領域を設けていないが、p チャネル型薄膜トランジスタに LDD 領域を設けてもよいし、n チャネル型薄膜トランジスタに LDD 領域を設けない構成としてもよい。

【0113】

次に、図 15 (A) に示すように、半導体膜 1905a ~ 1905f、ゲート電極 1907 等を覆うように、絶縁膜を単層または積層して形成し、当該絶縁膜上に薄膜トランジスタ 1900a ~ 1900f のソース領域又はドレイン領域を形成する不純物領域 1909、1911 と電氣的に接続する導電膜 1913 を形成する。絶縁膜は、CVD 法、スパッタリング法、SOG 法、液滴吐出法、スクリーン印刷法等により、珪素の酸化物や珪素の窒化物等の無機材料、ポリイミド、ポリアミド、ベンゾシクロブテン、アクリル、エポキシ等の有機材料やシロキサン材料等により、単層または積層で形成する。ここでは、当該絶縁膜を 2 層で設け、1 層目の絶縁膜 1912a として窒化酸化珪素膜で形成し、2 層目の絶縁膜 1912b として酸化窒化珪素膜で形成する。また、導電膜 1913 は、薄膜トランジスタ 1900a ~ 1900f のソース電極又はドレイン電極を形成する。

【0114】

なお、絶縁膜 1912a、1912b を形成する前、または絶縁膜 1912a、1912b のうちの 1 つまたは複数の薄膜を形成した後に、半導体膜の結晶性の回復や半導体膜に添加された不純物元素の活性化、半導体膜の水素化を目的とした加熱処理を行うとよい。加熱処理には、熱アニール、レーザーアニール法または RTA 法などを適用するとよい。

【0115】

また、導電膜 1913 は、CVD 法やスパッタリング法等により、アルミニウム (Al)、タングステン (W)、チタン (Ti)、タンタル (Ta)、モリブデン (Mo)、ニッケル (Ni)、白金 (Pt)、銅 (Cu)、金 (Au)、銀 (Ag)、マンガン (Mn)、ネオジム (Nd)、炭素 (C)、シリコン (Si) から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方又は両方とを含む合金材料に相当する。導電膜 1913 は、例えば、バリア膜とアルミニウムシリコン (Al-Si) 膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン (Al-Si) 膜と窒化チタン膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電膜 1913 を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体膜上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体膜と良好なコンタクトをとることができる。

【0116】

次に、導電膜 1913 を覆うように、絶縁膜 1914 を形成し、当該絶縁膜 1914 上に、薄膜トランジスタ 1900a、1900f のソース電極又はドレイン電極を形成する導電膜 1913 とそれぞれ電氣的に接続する導電膜 1915a、1915b を形成する。また、薄膜トランジスタ 1900b、1900e のソース電極又はドレイン電極を形成する導電膜 1913 とそれぞれ電氣的に接続する導電膜 1916a、1916b を形成する。なお、導電膜 1915a、1915b と導電膜 1916a、1916b は同一の材料で同時に形成してもよい。導電膜 1915a、1915b と導電膜 1916a、1916b

10

20

30

40

50

は、上述した導電膜 1913 で示したいずれかの材料を用いて形成することができる。

【0117】

続いて、図 15 (B) に示すように、導電膜 1916a、1916b にアンテナとして機能する導電膜 1917 が電氣的に接続されるように形成する。ここでは、アンテナとして機能する導電膜 1917 の一方が上記実施の形態で示したアンテナ回路のアンテナに相当する。

【0118】

なお、絶縁膜 1914 は、CVD 法やスパッタ法等により、酸化珪素 (SiO_x)、窒化珪素 (SiN_x)、酸化窒化珪素 (SiO_xN_y) ($x > y$)、窒化酸化珪素 (SiN_xO_y) ($x > y$) 等の酸素または窒素を有する絶縁膜や DLC (ダイヤモンドライクカーボン) 等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。なお、シロキサン材料とは、 $\text{Si}-\text{O}-\text{Si}$ 結合を含む材料に相当する。シロキサンは、シリコン (Si) と酸素 (O) との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基 (例えばアルキル基、芳香族炭化水素) が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

【0119】

また、導電膜 1917a、1917b は、CVD 法、スパッタリング法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、メッキ法等を用いて、導電性材料により形成する。導電膜 1917a、1917b は、アルミニウム (Al)、チタン (Ti)、銀 (Ag)、銅 (Cu)、金 (Au)、白金 (Pt) ニッケル (Ni)、パラジウム (Pd)、タンタル (Ta)、モリブデン (Mo) から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層構造又は積層構造で形成する。

【0120】

例えば、スクリーン印刷法を用いてアンテナとして機能する導電膜 1917a、1917b を形成する場合には、粒径が数 nm から数十 μm の導電体粒子を有機樹脂に溶解または分散させた導電性のペーストを選択的に印刷することによって設けることができる。導電体粒子としては、銀 (Ag)、金 (Au)、銅 (Cu)、ニッケル (Ni)、白金 (Pt)、パラジウム (Pd)、タンタル (Ta)、モリブデン (Mo) およびチタン (Ti) 等のいずれか一つ以上の金属粒子やハロゲン化銀の微粒子、または分散性ナノ粒子を用いることができる。また、導電性ペーストに含まれる有機樹脂は、金属粒子のバインダー、溶媒、分散剤および被覆材として機能する有機樹脂から選ばれた一つまたは複数を用いることができる。代表的には、エポキシ樹脂、珪素樹脂等の有機樹脂が挙げられる。また、導電膜の形成にあたり、導電性のペーストを押し出した後に焼成することが好ましい。例えば、導電性のペーストの材料として、銀を主成分とする微粒子 (例えば粒径 1 nm 以上 100 nm 以下) を用いる場合、150 ~ 300 の温度範囲で焼成することにより硬化させて導電膜を得ることができる。また、はんだや鉛フリーのはんだを主成分とする微粒子を用いてもよく、この場合は粒径 20 μm 以下の微粒子を用いることが好ましい。はんだや鉛フリーのはんだは、低コストであるといった利点を有している。

【0121】

次に、図 15 (C) に示すように、導電膜 1917a、1917b を覆うように絶縁膜 1918 を形成した後、薄膜トランジスタ 1900a ~ 1900f、導電膜 1917a、1917b 等を含む層 (以下、「素子形成層 1919」と記す) を基板 1901 から剥離する。ここでは、レーザー光 (例えば UV 光) を照射することによって、薄膜トランジスタ 1900a ~ 1900f を避けた領域に開口部を形成後、物理的な力を用いて基板 1901 から素子形成層 1919 を剥離することができる。また、基板 1901 から素子形成層 1919 を剥離する前に、形成した開口部にエッチング剤を導入して、剥離層 1903

10

20

30

40

50

を選択的に除去してもよい。エッチング剤は、フッ化ハロゲンまたはハロゲン化合物を含む気体又は液体を使用する。例えば、フッ化ハロゲンを含む気体として三フッ化塩素 (ClF_3) を使用する。そうすると、素子形成層 1919 は、基板 1901 から剥離された状態となる。なお、剥離層 1903 は、全て除去せず一部分を残存させてもよい。こうすることによって、エッチング剤の消費量を抑え剥離層の除去に要する処理時間を短縮することが可能となる。また、剥離層 1903 の除去を行った後にも、基板 1901 上に素子形成層 1919 を保持しておくことが可能となる。また、素子形成層 1919 が剥離された基板 1901 を再利用することによって、コストの削減をすることができる。

【0122】

絶縁膜 1918 は、CVD 法やスパッタ法等により、酸化珪素 (SiO_x)、窒化珪素 (SiN_x)、酸化窒化珪素 (SiO_xN_y) ($x > y$)、窒化酸化珪素 (SiN_xO_y) ($x > y$) 等の酸素または窒素を有する絶縁膜や DLC (ダイヤモンドライクカーボン) 等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。

【0123】

本実施例では、図 16 (A) に示すように、レーザー光の照射により素子形成層 1919 に開口部を形成した後に、当該素子形成層 1919 の一方の面 (絶縁膜 1918 の露出した面) に第 1 のシート材 1920 を貼り合わせた後、基板 1901 から素子形成層 1919 を剥離する。

【0124】

次に、図 16 (B) に示すように、素子形成層 1919 の他方の面 (剥離により露出した面) に、第 2 のシート材 1921 を貼り合わせた後、加熱処理と加圧処理の一方又は両方を行って第 2 のシート材 1921 を貼り合わせる。第 1 のシート材 1920、第 2 のシート材 1921 として、ホットメルトフィルム等を用いることができる。

【0125】

また、第 1 のシート材 1920、第 2 のシート材 1921 として、静電気等を防止する帯電防止対策を施したフィルム (以下、帯電防止フィルムと記す) を用いることもできる。帯電防止フィルムとしては、帯電防止可能な材料を樹脂中に分散させたフィルム、及び帯電防止可能な材料が貼り付けられたフィルム等が挙げられる。帯電防止可能な材料が設けられたフィルムは、片面に帯電防止可能な材料を設けたフィルムであってもよいし、両面に帯電防止可能な材料を設けたフィルムであってもよい。さらに、片面に帯電防止可能な材料が設けられたフィルムは、帯電防止可能な材料が設けられた面をフィルムの内側になるように層に貼り付けてもよいし、フィルムの外側になるように貼り付けてもよい。なお、帯電防止可能な材料はフィルムの全面、あるいは一部に設けてあればよい。ここでの帯電防止可能な材料としては、金属、インジウムと錫の酸化物 (ITO)、両性界面活性剤や陽イオン性界面活性剤や非イオン性界面活性剤等の界面活性剤を用いることができる。また、他にも帯電防止材料として、側鎖にカルボキシル基および 4 級アンモニウム塩基をもつ架橋性共重合体高分子を含む樹脂材料等を用いることができる。これらの材料をフィルムに貼り付けたり、練り込んだり、塗布することによって帯電防止フィルムとすることができる。帯電防止フィルムで封止を行うことによって、商品として取り扱う際に、外部からの静電気等によって半導体素子に悪影響が及ぶことを抑制することができる。

【0126】

また本実施例では素子形成層 1919 を基板 1901 から剥離して利用する例を示しているが、剥離層 1903 を設けずに、基板 1901 上に上述の素子形成層 1919 を作製し、半導体装置として利用しても良い。なお基板 1901 は、として SOI ($\text{Silicon on Insulator}$) 基板を用いる場合は、半導体膜として単結晶半導体膜を用いればよく、半導体膜の結晶化の工程の分の時間の短縮を図ることが出来る。

【0127】

以上、本実施例で示した本発明の半導体装置の作製方法で作成された半導体装置は、物理

10

20

30

40

50

的形狀に対する柔軟性を有し、軽量であることを特徴する。特に本発明の半導体装置は、本発明の半導体装置はバッテリーを必要としないため、よりいっそうの物理的形狀に対する柔軟性を有せしめることができる。

【実施例 6】

【0128】

本実施例では、単結晶基板に形成されたトランジスタを用いて、本発明の半導体装置を作製する例について説明する。単結晶基板に形成されたトランジスタは特性のばらつきを抑えることが出来るので、半導体装置に用いるトランジスタの数を抑えることが出来る。

【0129】

まず図 18 (A) に示すように、半導体基板 2300 に、半導体素子を電氣的に分離するための素子分離用絶縁膜 2301 を絶縁膜で形成する。素子分離用絶縁膜 2301 の形成により、トランジスタを形成するための領域 (素子形成領域) 2302 と、素子形成領域 2303 とを電氣的に分離することが出来る。

【0130】

半導体基板 2300 は、例えば、n 型または p 型の導電型を有する単結晶シリコン基板、化合物半導体基板 (GaAs 基板、InP 基板、GaN 基板、SiC 基板、サファイア基板、ZnSe 基板等)、貼り合わせ法または SIMOX (Separation by Implanted Oxygen) 法を用いて作製された SOI (Silicon on Insulator) 基板等を用いることができる。

【0131】

素子分離用絶縁膜 2301 の形成には、選択酸化法 (LOCOS (Local Oxidation of Silicon) 法) またはトレンチ分離法等を用いることができる。

【0132】

また本実施例では n 型の導電型を有する単結晶シリコン基板を半導体基板 2300 として用い、素子形成領域 2303 に p ウェル 2304 を形成した例を示している。半導体基板 2300 の素子形成領域 2303 に形成された p ウェル 2304 は、p 型の導電型を付与する不純物元素を素子形成領域 2303 に選択的に導入することによって形成することができる。p 型を付与する不純物元素としては、ボロン (B)、アルミニウム (Al)、ガリウム (Ga) 等を用いることができる。また半導体基板 2300 として p 型の導電型を有する半導体基板を用いる場合、素子形成領域 2302 に n 型を付与する不純物元素を選択的に導入し、n ウェルを形成すれば良い。

【0133】

なお本実施例では、半導体基板 2300 として n 型の導電型を有する半導体基板を用いているため、素子形成領域 2302 には不純物元素の導入を行っていない。しかし、n 型を付与する不純物元素を導入することにより素子形成領域 2302 に n ウェルを形成してもよい。n 型を付与する不純物元素としては、リン (P) やヒ素 (As) 等を用いることができる。

【0134】

次に図 18 (B) に示すように、素子形成領域 2302、2303 を覆うように絶縁膜 2305、2306 をそれぞれ形成する。本実施例では、半導体基板 2300 を熱酸化することで素子形成領域 2302、2303 に形成された酸化珪素膜を、絶縁膜 2305、2306 として用いる。また、熱酸化により酸化珪素膜を形成した後、窒化処理を行うことによって酸化珪素膜の表面を窒化させて酸窒化珪素膜を形成し、酸化珪素膜と酸窒化珪素膜とが積層された層を絶縁膜 2305、2306 として用いても良い。

【0135】

他にも、上述したように、プラズマ処理を用いて絶縁膜 2305、2306 を形成してもよい。例えば、高密度プラズマ処理により半導体基板 2300 の表面を酸化または窒化することで、素子形成領域 2302、2303 に、絶縁膜 2305、2306 として用いる酸化珪素 (SiO_x) 膜または窒化珪素 (SiN_x) 膜を形成することができる。

【 0 1 3 6 】

次に図 1 8 (C) に示すように、絶縁膜 2 3 0 5、2 3 0 6 を覆うように導電膜を形成する。本実施例では、導電膜として、順に積層された導電膜 2 3 0 7 と導電膜 2 3 0 8 とを用いた例を示している。導電膜は、単層の導電膜を用いていても良いし、3 層以上の導電膜が積層された構造を用いていても良い。

【 0 1 3 7 】

導電膜 2 3 0 7、2 3 0 8 として、タンタル (T a)、タングステン (W)、チタン (T i)、モリブデン (M o)、アルミニウム (A l)、銅 (C u)、クロム (C r)、ニオブ (N b) 等を用いることが出来る。また導電膜 2 3 0 7、2 3 0 8 は、上記金属で形成された膜の他に、上記金属を主成分とする合金で形成された膜、或いは上記金属を含む化合物を用いて形成された膜を用いても良い。または、半導体膜に導電性を付与するリン等の不純物元素をドーピングした、多結晶珪素などの半導体を用いて形成しても良い。本実施例では、窒化タンタルを用いて導電膜 2 3 0 7 を形成し、タングステンを用いて導電膜 2 3 0 8 を形成する。

【 0 1 3 8 】

次に図 1 9 (A) に示すように、積層して設けられた導電膜 2 3 0 7、2 3 0 8 を所定の形状に加工 (パターニング) することによって、絶縁膜 2 3 0 5、2 3 0 6 上にゲート電極 2 3 0 9、2 3 1 0 を形成する。

【 0 1 3 9 】

次に図 1 9 (B) に示すように、素子形成領域 2 3 0 2 を覆うように、レジストでマスク 2 3 1 1 を選択的に形成する。そして、素子形成領域 2 3 0 3 に不純物元素を導入する。マスク 2 3 1 1 に加えてゲート電極 2 3 1 0 もマスクとして機能するので、上記不純物元素の導入により、p ウェル 2 3 0 4 にソース領域またはドレイン領域として機能する不純物領域 2 3 1 2 と、チャネル形成領域 2 3 1 3 が形成される。不純物元素は、n 型を付与する不純物元素または p 型を付与する不純物元素を用いる。n 型を付与する不純物元素としては、リン (P) やヒ素 (A s) 等を用いることができる。p 型を付与する不純物元素としては、ボロン (B) やアルミニウム (A l) やガリウム (G a) 等を用いることができる。本実施例では、不純物元素として、リン (P) を用いる。

【 0 1 4 0 】

次にマスク 2 3 1 1 を除去した後、図 1 9 (C) に示すように、素子形成領域 2 3 0 3 を覆うようにレジストでマスク 2 3 1 4 を選択的に形成する。そして素子形成領域 2 3 0 2 に不純物元素を導入する。マスク 2 3 1 4 に加えてゲート電極 2 3 0 9 もマスクとして機能するので、上記不純物元素の導入により、素子形成領域 2 3 0 2 内の半導体基板 2 3 0 0 において、ソース領域またはドレイン領域として機能する不純物領域 2 3 1 5 と、チャネル形成領域 2 3 1 6 が形成される。不純物元素としては、n 型を付与する不純物元素または p 型を付与する不純物元素を用いる。n 型を付与する不純物元素としては、リン (P) やヒ素 (A s) 等を用いることができる。p 型を付与する不純物元素としては、ボロン (B) やアルミニウム (A l) やガリウム (G a) 等を用いることができる。本実施例では、図 1 9 (C) で素子形成領域 2 3 0 3 に導入した不純物元素と異なる導電型を有する不純物元素 (例えば、ボロン (B)) を導入する。

【 0 1 4 1 】

次に図 2 0 (A) に示すように、絶縁膜 2 3 0 5、2 3 0 6、ゲート電極 2 3 0 9、2 3 1 0 を覆うように絶縁膜 2 3 1 7 を形成する。そして絶縁膜 2 3 1 7 にコンタクトホールを形成し、不純物領域 2 3 1 2、2 3 1 5 を一部露出させる。次にコンタクトホールを介して不純物領域 2 3 1 2、2 3 1 5 と接続する導電膜 2 3 1 8 を形成する。導電膜 2 3 1 8 は、C V D 法やスパッタリング法等により形成することができる。

【 0 1 4 2 】

絶縁膜 2 3 1 7 は、無機絶縁膜、有機樹脂膜またはシロキサン系絶縁膜を用いて形成することができる。無機絶縁膜ならば酸化珪素、酸化窒化珪素、窒化酸化珪素、D L C (ダイヤモンドライクカーボン) に代表される炭素を含む膜などを用いることができる。有機

10

20

30

40

50

樹脂膜ならば、例えばアクリル、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテンなどを用いることが出来る。また絶縁膜 2317 はその材料に応じて、CVD 法、スパッタ法、液滴吐出法または印刷法などで形成することが出来る。

【0143】

なお本発明の半導体装置に用いるトランジスタは、本実施例において図示した構造に限定されるものではない。例えば、逆スタガ構造であっても良い。

【0144】

次に図 20 (B) に示すように層間膜 2324 を形成する。そして層間膜 2324 をエッチングしコンタクトホールを形成し、導電膜 2318 の一部を露出させる。層間膜 2324 は樹脂には限定せず、CVD 酸化膜など他の膜であっても良いが、平坦性の観点から樹脂であることが望ましい。また、感光性樹脂を用いて、エッチングを用いずにコンタクトホールを形成しても良い。次に層間膜 2324 上に、コンタクトホールを介して導電膜 2318 と接する配線 2325 を形成する。

【0145】

次にアンテナとして機能する導電膜 2326 を、配線 2325 と接するように形成する。導電膜 2326 は、銀 (Ag)、金 (Au)、銅 (Cu)、パラジウム (Pd)、クロム (Cr)、白金 (Pt)、モリブデン (Mo)、チタン (Ti)、タンタル (Ta)、タングステン (W)、アルミニウム (Al)、鉄 (Fe)、コバルト (Co)、亜鉛 (Zn)、錫 (Sn)、ニッケル (Ni) などの金属を用いて形成することが出来る。導電膜 2326 は、上記金属で形成された膜の他に、上記金属を主成分とする合金で形成された膜、或いは上記金属を含む化合物を用いて形成された膜を用いても良い。導電膜 2326 は、上述した膜を単層で用いても良いし、上述した複数の膜を積層して用いても良い。

【0146】

導電膜 2326 は、CVD 法、スパッタリング法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、めっき法、フォトリソグラフィ法、蒸着法等を用いて形成することが出来る。

【0147】

なお本実施例では、アンテナを半導体素子と同じ基板上に形成する例について説明したが、本発明はこの構成に限定されない。半導体素子を形成した後、別途形成したアンテナを、集積回路と電氣的に接続するようにしても良い。この場合、アンテナと集積回路との電氣的な接続は、異方導電性フィルム (ACF (Anisotropic Conductive Film)) や異方導電性ペースト (ACP (Anisotropic Conductive Paste)) 等で圧着させることにより電氣的に接続することが出来る。また、他にも、銀ペースト、銅ペーストまたはカーボンペースト等の導電性接着剤や半田接合等を用いて接続を行うことも可能である。

【0148】

以上、本実施例で示した本発明の半導体装置の作製方法で作成された半導体装置は、バッテリーを必要としないため、軽量の半導体装置を安価に提供することができる。なお、本実施例は、上記実施の形態及び実施例と組み合わせて実施することが出来る。

【実施例 7】

【0149】

本実施例では、図 17 を参照して、本発明の半導体装置を利用した一例として、商品の管理システム、室内等における動体の管理システムについて説明する。本発明の半導体装置は複数のリーダ/ライタと半導体装置の間の距離の算出を行うことで半導体装置が付された什器の位置情報の知ることができる。

【0150】

まず、図 17 を参照して、顧客が店内で商品を購入する場合について説明する。店内に陳列された商品には、商品固有の情報、生産履歴等の情報を内蔵した IC ラベル又は IC タグの他に本発明の半導体装置が付されている。

【0151】

顧客1701は、店内に設置された位置検出用のリーダ/ライタ1702に囲まれた店内の空間において、本発明の半導体装置を具備した商品1703をもって移動する。そして上記実施の形態で示したように、本発明の半導体装置を店内に設置されたリーダ/ライタ1702で位置の検出を行うことにより、管理者は顧客1701が設置された陳列棚1704の間をどのような動線で動いたかを管理することができる。このような顧客の動線を記録管理することにより、商品の設置場所や、商品の管理等のマーケティングを効率よく行うことができるため好適である。

【0152】

本実施例に示したように、店内に設置された複数のリーダ/ライタにより、リアルタイムで商品の店内における動線を把握することにより、陳列棚からの盗難防止のためのリーダ/ライタのゲートをくぐらせることなく、盗難を防ぐことができる。また、リアルタイムで商品の動線の把握が可能であるため、管理者はコンピュータ等を用いて盗難者の動きに関する情報を予め予測し、進路を防ぐ等の策を講じ、商品の盗難を未然に防ぐこともできる。これにより、管理者は盗難者を直接的に捕まえることなく捕縛することができるため、安全に盗難者の確保が容易となる。

10

【0153】

また、本実施例においては、ゲート状のリーダ/ライタを出入り口に設置することなく、例えばフロアのタイルの一部や、柱の一部、または天井等にリーダ/ライタを設置していれば、顧客の目に触れることなく、商品の位置情報についてリアルタイムに管理者側から管理することが可能となる。本発明の半導体装置を用いた位置検出システムにより、GPSなどでは困難な狭い範囲での商品の動線のトレースが容易となる。また本発明の半導体装置においてUHF帯のアンテナを用いれば、数メートルの範囲を網羅することができる。また本発明の半導体装置において、衝突防止機能を具備することにより複数の動体の管理も可能となり好適である。

20

【0154】

なお、本発明の半導体装置を用いた位置検出システムは、監視カメラ等と併設することにより、盗難防止には効果的である。管理者は遠隔地からの管理をより確実に、容易にすることができる。

【0155】

また本実施例において複数のリーダ/ライタの数を増やすことによって、広い空間であっても、半導体装置を具備する対象の正確な動線の把握が容易となり好適である。特に本発明の半導体装置を本実施例に用いることで、半導体装置自体にバッテリーを搭載する構成とすることなく、物理的位置を検出する機能を有せしめることができる。本発明の半導体装置はバッテリーを必要としないため、その分の物理的形状に対する柔軟性を有し、軽量の半導体装置を安価に提供することができる。そのため、商品への貼付が容易になるといった効果を有する。

30

【図面の簡単な説明】

【0156】

【図1】本発明における半導体装置のブロック図。

40

【図2】通信信号と距離依存性に関する理論計算の結果。

【図3】フラッシュ方式A/D変換回路の回路図。

【図4】逐次比較方式A/D変換回路のブロック図。

【図5】マルチスロープ方式A/D変換回路のブロック図。

【図6】方式A/D変換回路のブロック図。

【図7】リングオシレータ方式A/D変換回路のブロック図。

【図8】A/D変換回路における入力電圧に対する消費電力のシミュレーション例。

【図9】A/D変換回路における入力電圧に対する1回のA/D変換に要する電力量のシミュレーション例。

【図10】A/D変換回路における入力電圧に対する1デジタル出力当たり消費電力のシ

50

ミュレーション例。

【図 1 1】試作した半導体装置における A / D 変換回路入力電圧に対する A / D 変換出力の測定結果。

【図 1 2】試作した半導体装置の回路配置図。

【図 1 3】試作した半導体装置における無線通信時の通信信号の測定結果。

【図 1 4】本発明の半導体装置の作製方法を示す図。

【図 1 5】本発明の半導体装置の作製方法を示す図。

【図 1 6】本発明の半導体装置の作製方法を示す図。

【図 1 7】本発明の半導体装置を用いた位置情報検出システムについて説明する図。

【図 1 8】本発明の半導体装置の作製方法を示す図。

10

【図 1 9】本発明の半導体装置の作製方法を示す図。

【図 2 0】本発明の半導体装置の作製方法を示す図。

【符号の説明】

【 0 1 5 7 】

1 0 0	半導体装置	
1 0 1	無線回路	
1 0 2	ロジック回路	
1 0 3	アンテナ回路	
1 0 4	電源回路	
1 0 5	クロック回路	20
1 0 6	復調回路	
1 0 7	変調回路	
1 0 8	R F インターフェース回路	
1 0 9	A D インターフェース回路	
1 1 0	A / D 変換回路	
3 0 0	フラッシュ方式 A / D 変換回路	
3 0 1	基準電圧端子	
3 0 2	入力電圧端子	
3 0 3	出力端子	
3 0 4	出力端子	30
3 0 5	出力端子	
3 0 6	電気抵抗	
3 0 7	電気抵抗	
3 0 8	電気抵抗	
3 0 9	電気抵抗	
3 1 0	比較回路	
3 1 1	比較回路	
3 1 2	比較回路	
3 1 3	入力電圧配線	
3 1 4	参照電圧配線	40
3 1 5	参照電圧配線	
3 1 6	参照電圧配線	
3 1 7	出力配線	
3 1 8	出力配線	
3 1 9	出力配線	
4 0 0	逐次比較方式 A / D 変換回路	
4 0 1	入力電圧端子	
4 0 2	基準電圧端子	
4 0 3	出力端子	
4 0 4	出力端子	50

4 0 5	制御信号端子	
4 0 6	比較回路	
4 0 7	逐次比較レジスタ	
4 0 8	D / A 変換回路	
4 0 9	入力電圧配線	
4 1 0	基準電圧配線	
4 1 1	参照電圧配線	
4 1 2	比較回路出力配線	
4 1 3	制御信号配線	
4 1 4	出力配線	10
4 1 5	出力配線	
4 1 6	電気抵抗	
4 1 7	電気抵抗	
4 1 8	電気抵抗	
4 1 9	電気抵抗	
4 2 0	スイッチ	
4 2 1	スイッチ	
4 2 2	接地配線	
4 2 3	スイッチ出力配線	
4 2 4	スイッチ出力配線	20
5 0 0	マルチスロープ方式 A / D 変換回路	
5 0 1	入力電圧端子	
5 0 2	基準電圧端子	
5 0 3	出力端子	
5 0 4	制御信号端子	
5 0 5	制御回路	
5 0 6	スイッチ	
5 0 7	スイッチ	
5 0 8	演算増幅器	
5 0 9	比較回路	30
5 1 0	電気容量	
5 1 1	電気抵抗	
5 1 2	入力電圧配線	
5 1 3	基準電圧配線	
5 1 4	スイッチ出力配線	
5 1 5	演算増幅器入力配線	
5 1 6	演算増幅器出力配線	
5 1 7	スイッチ制御信号配線	
5 1 8	スイッチ制御信号配線	
5 1 9	接地配線	40
5 2 0	比較回路出力配線	
5 2 1	出力配線	
5 2 2	制御信号配線	
6 0 0	方式 A / D 変換回路	
6 0 1	入力電圧端子	
6 0 2	基準電圧端子	
6 0 3	出力端子	
6 0 4	加算器	
6 0 5	演算増幅器	
6 0 6	電気抵抗	50

6 0 7	電気容量	
6 0 8	比較回路	
6 0 9	ビット D / A 変換回路	
6 1 0	入力電圧配線	
6 1 1	基準電圧配線	
6 1 2	D / A 変換回路出力配線	
6 1 3	加算器出力配線	
6 1 4	演算増幅器入力配線	
6 1 5	演算増幅器出力配線	
6 1 6	出力信号配線	10
6 1 7	接地配線	
7 0 0	リングオシレータ方式 A / D 変換回路	
7 0 1	入力電圧端子	
7 0 2	基準電圧端子	
7 0 3	出力端子	
7 0 4	制御信号端子	
7 0 5	カウンタ回路	
7 0 6	カウンタ回路	
7 0 7	入力電圧配線	
7 0 8	基準電圧配線	20
7 0 9	出力配線	
7 1 0	制御信号配線	
7 1 1	制御信号配線	
8 0 1	シミュレーション結果	
8 0 2	シミュレーション結果	
8 0 3	シミュレーション結果	
8 0 4	シミュレーション結果	
9 0 1	シミュレーション結果	
9 0 2	シミュレーション結果	
9 0 3	シミュレーション結果	30
9 0 4	シミュレーション結果	
1 0 0 1	シミュレーション結果	
1 0 0 2	シミュレーション結果	
1 0 0 3	シミュレーション結果	
1 0 0 4	シミュレーション結果	
1 1 0 1	逐次比較方式 A / D 変換回路の結果	
1 1 0 2	マルチスロープ方式 A / D 変換回路の結果	
1 1 0 3	方式 A / D 変換回路の結果	
1 1 0 4	リングオシレータ方式 A / D 変換回路の結果	
1 2 0 0	半導体装置	40
1 2 0 1	無線回路	
1 2 0 2	ロジック回路	
1 2 0 3	アンテナ回路	
1 2 0 4	電源回路	
1 2 0 5	クロック回路	
1 2 0 6	復調回路	
1 2 0 7	変調回路	
1 2 0 8	R F インターフェース回路	
1 2 0 9	A D インターフェース回路	
1 2 1 1	逐次比較方式 A / D 変換回路	50

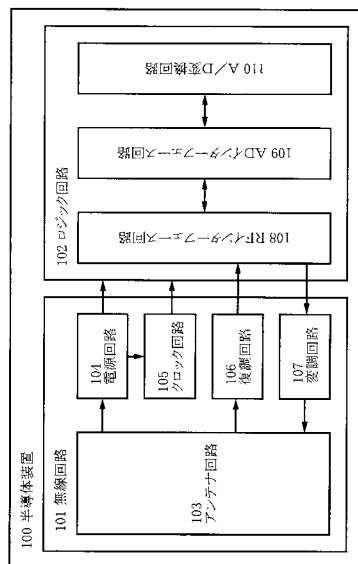
1 2 1 2	マルチスロープ方式 A / D 変換回路	
1 2 1 3	方式 A / D 変換回路	
1 2 1 4	リングオシレータ方式 A / D 変換回路	
1 3 0 1	受信信号	
1 3 0 2	送信信号	
1 7 0 1	顧客	
1 7 0 2	リーダ / ライタ	
1 7 0 3	商品	
1 7 0 4	陳列棚	
1 9 0 1	基板	10
1 9 0 2	絶縁膜	
1 9 0 3	剥離層	
1 9 0 4	絶縁膜	
1 9 0 5	半導体膜	
1 9 0 6	ゲート絶縁膜	
1 9 0 7	ゲート電極	
1 9 0 8	不純物領域	
1 9 0 9	不純物領域	
1 9 1 0	絶縁膜	
1 9 1 1	不純物領域	20
1 9 1 3	導電膜	
1 9 1 4	絶縁膜	
1 9 1 7	導電膜	
1 9 1 8	絶縁膜	
1 9 1 9	素子形成層	
1 9 2 0	シート材	
1 9 2 1	シート材	
1 9 0 0 a	n チャネル型薄膜トランジスタ	
1 9 0 0 b	n チャネル型薄膜トランジスタ	
1 9 0 0 c	p チャネル型薄膜トランジスタ	30
1 9 0 0 d	n チャネル型薄膜トランジスタ	
1 9 0 0 e	p チャネル型薄膜トランジスタ	
1 9 0 0 f	n チャネル型薄膜トランジスタ	
1 9 0 5 a	半導体膜	
1 9 0 5 b	半導体膜	
1 9 0 5 c	半導体膜	
1 9 0 5 d	半導体膜	
1 9 0 5 e	半導体膜	
1 9 0 5 f	半導体膜	
1 9 0 7 a	導電膜	40
1 9 0 7 b	導電膜	
1 9 1 2 a	絶縁膜	
1 9 1 2 b	絶縁膜	
1 9 1 5 a	導電膜	
1 9 1 5 b	導電膜	
1 9 1 6 a	導電膜	
1 9 1 6 b	導電膜	
1 9 1 7 a	導電膜	
1 9 1 7 b	導電膜	
2 3 0 0	半導体基板	50

2 3 0 1	素子分離用絶縁膜
2 3 0 2	素子形成領域
2 3 0 3	素子形成領域
2 3 0 4	pウェル
2 3 0 5	絶縁膜
2 3 0 6	絶縁層
2 3 0 7	導電膜
2 3 0 8	導電膜
2 3 0 9	ゲート電極
2 3 1 0	ゲート電極
2 3 1 1	マスク
2 3 1 2	不純物領域
2 3 1 3	チャネル形成領域
2 3 1 4	マスク
2 3 1 5	不純物領域
2 3 1 6	チャネル形成領域
2 3 1 7	絶縁膜
2 3 1 8	導電膜
2 3 2 4	層間膜
2 3 2 5	配線
2 3 2 6	導電膜

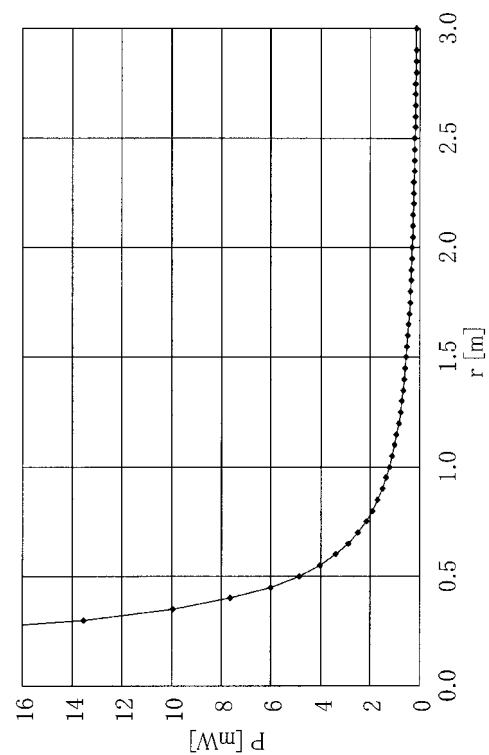
10

20

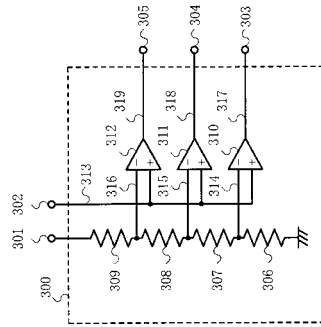
【図 1】



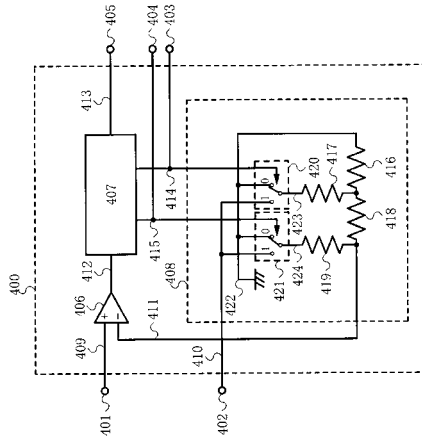
【図 2】



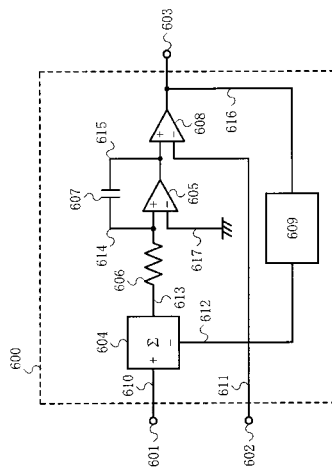
【図 3】



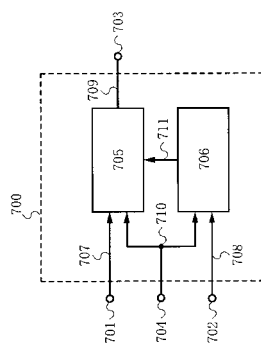
【図 4】



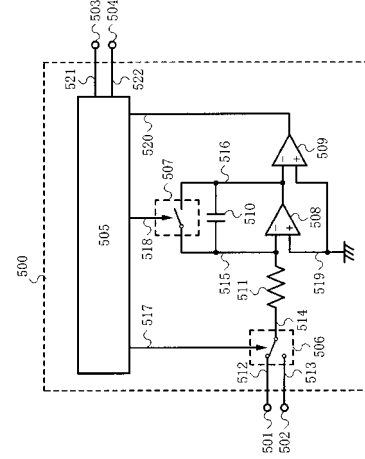
【図 6】



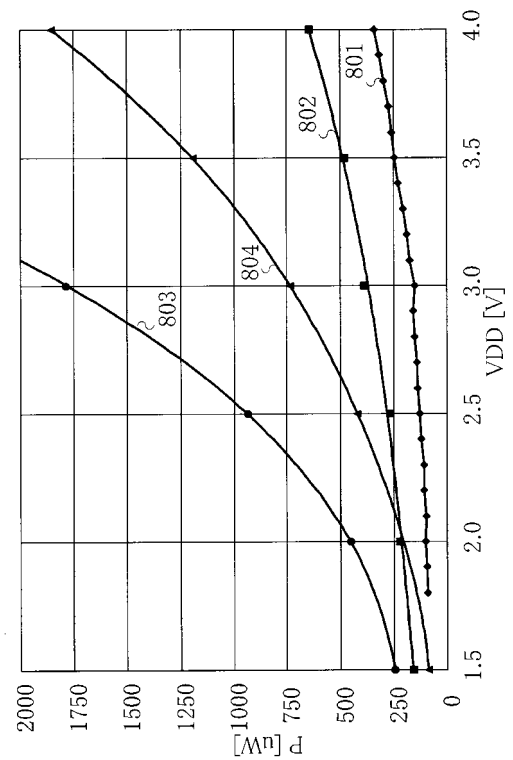
【図 7】



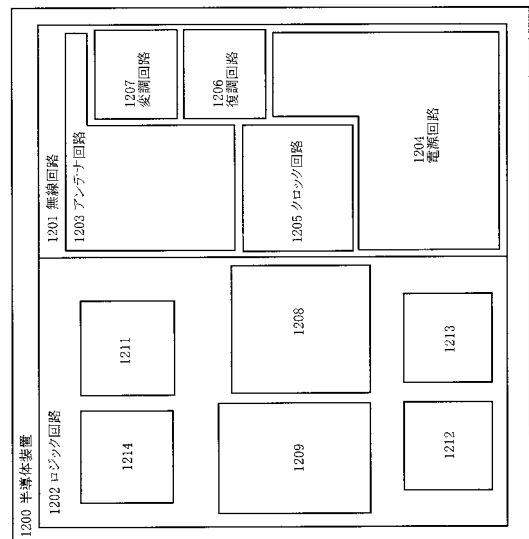
【図 5】



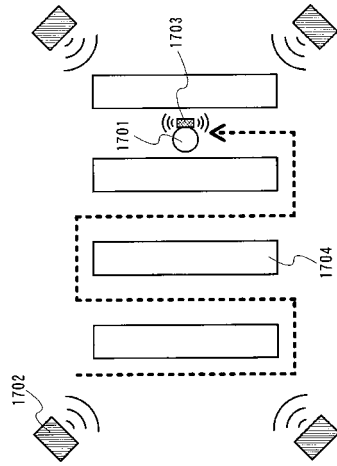
【図 8】



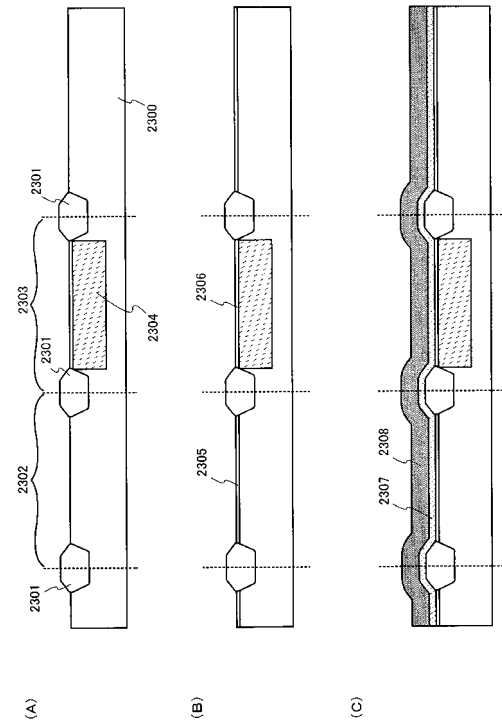
【 図 1 2 】



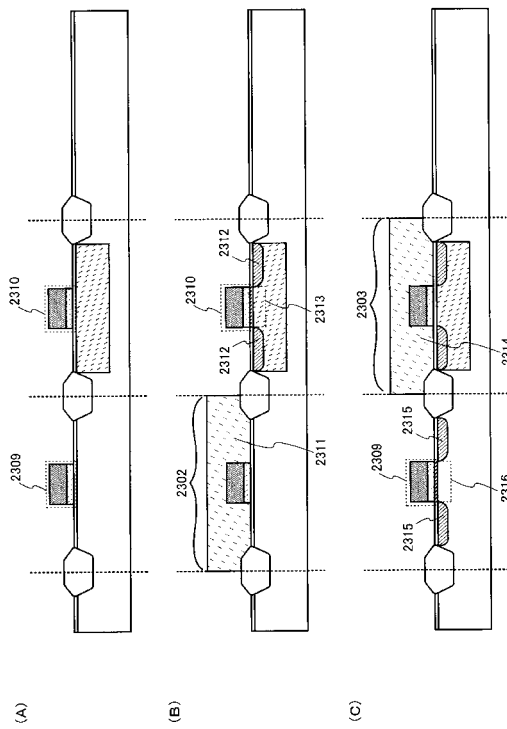
【図 17】



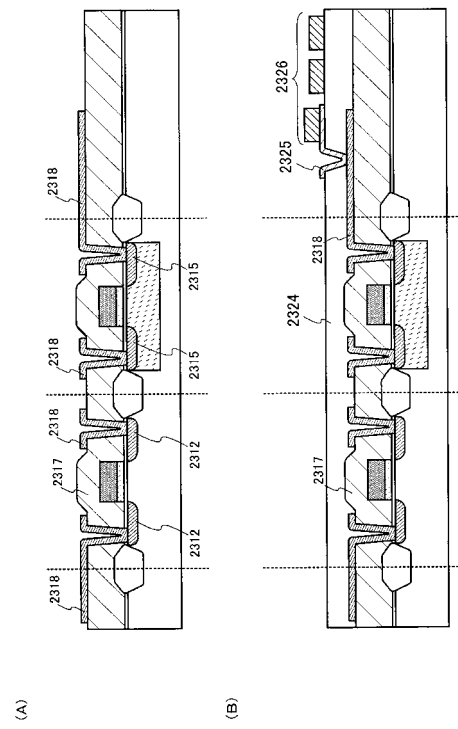
【図 18】



【図 19】



【図 20】



フロントページの続き

- (72)発明者 河江 大輔
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
- (72)発明者 井上 卓之
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
- (72)発明者 上妻 宗広
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

審査官 村田 充裕

- (56)参考文献 特開 2 0 0 4 - 1 3 2 8 9 0 (J P , A)
特開 2 0 0 6 - 3 0 3 9 7 0 (J P , A)
特開昭 6 1 - 2 6 6 0 9 9 (J P , A)
特開平 0 6 - 3 2 6 6 0 9 (J P , A)
特開 2 0 0 3 - 1 4 3 0 1 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 6 K 1 7 / 0 0
G 0 6 K 1 9 / 0 0 - 1 9 / 0 8
B 4 2 D 1 5 / 1 0
H 0 4 B 1 / 5 9
H 0 4 B 5 / 0 2