

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年9月29日(29.09.2022)



(10) 国際公開番号

WO 2022/202017 A1

- (51) 国際特許分類:
H03K 5/08 (2006.01) H04N 5/378 (2011.01)
H04N 5/369 (2011.01)
- (21) 国際出願番号: PCT/JP2022/006683
- (22) 国際出願日: 2022年2月18日(18.02.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-047787 2021年3月22日(22.03.2021) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

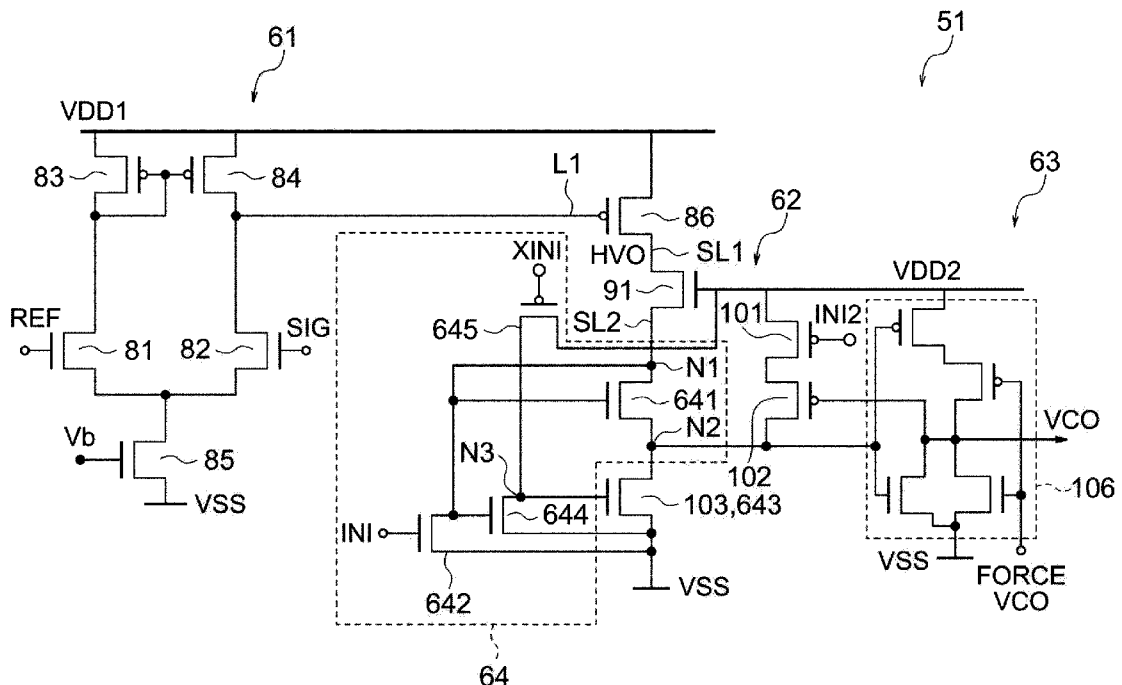
(72) 発明者: 吉田 顕 鑑 (YOSHIDA Akimiru); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 中村 行孝, 外 (NAKAMURA Yukitaka et al.); 〒1000005 東京都千代田区丸の内1丁目6番6号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,

(54) Title: COMPARATOR, AD CONVERTER, SOLID-STATE IMAGING DEVICE, AND ELECTRONIC APPARATUS

(54) 発明の名称: 比較器、A/D変換器、固体撮像装置及び電子機器



(57) Abstract: [Problem] To suppress erroneous inversion of comparison results. [Solution] This comparator comprises: a comparison unit that outputs an output signal based on a comparison of an input signal and a reference signal; and a logic fixing unit that fixes a logic of an output signal line of the comparator to a first logic until the logic of the output signal is inverted, and that releases the fixing of the logic of the output signal line at a timing at which the logic of the output signal is inverted.

HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

(57) 要約：〔課題〕 比較結果の誤反転を抑制する。〔解決手段〕 比較器は、入力信号と参照信号との比較に基づいた出力信号を出力する比較部と、前記出力信号の論理が反転するまで、前記比較部の出力信号線の論理を第1論理に固定し、前記出力信号の論理が反転するタイミングで、前記出力信号線の論理の固定を解除する論理固定部と、を備える。

明 細 書

発明の名称： 比較器、A D変換器、固体撮像装置及び電子機器
技術分野

[0001] 本開示による実施形態は、比較器、A D変換器、固体撮像装置及び電子機器に関する。

背景技術

[0002] 固体撮像装置の信号読み出し側に、A D C (Analog to Digital Converter) が設けられる。A D C用の比較器に、画素信号と参照信号とを比較する差動入力回路と、この差動入力回路による出力信号に正帰還をかけて、比較器による比較結果の信号の遷移時間を高速化する正帰還回路と、が搭載される場合がある（特許文献1、2参照）。

先行技術文献

特許文献

[0003] 特許文献1：国際公開第2016／009832号

特許文献2：特許第6760258号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、差動入力回路と正帰還回路との間のノードは、差動入力回路の出力信号が反転するまでの間、フローティング状態になる。オフ状態のトランジスタを介して電源からのリーク電流がフローティング状態のノードに流れると、ノードの電圧レベルが上昇する可能性がある。この場合、A D変換期間の終了までに、正帰還がかかることにより比較結果が誤反転してしまう問題があった。

[0005] そこで、本開示では、比較結果の誤反転を抑制することができる比較器、A D変換器、固体撮像装置及び電子機器を提供するものである。

課題を解決するための手段

[0006] 上記の課題を解決するために、本開示によれば、

入力信号と参照信号との比較に基づいた出力信号を出力する比較部と、
前記出力信号の論理が反転するまで、前記比較部の出力信号線の論理を第
1 論理に固定し、前記出力信号の論理が反転するタイミングで、前記出力信
号線の論理の固定を解除する論理固定部と、
を備える、比較器が提供される。

[0007] 前記論理固定部は、第 1 基準電圧ノードと接続される前記比較部から前記
出力信号線に流れるリーク電流を、第 2 基準電圧ノードに流すように、前記
出力信号線の論理を前記第 2 基準電圧ノードに基づいた前記第 1 論理に固定
してもよい。

[0008] 前記論理固定部は、前記比較部から前記出力信号線上の第 1 ノードに流れ
るリーク電流を、複数のリーク電流パスを介して前記出力信号線上の第 2 ノ
ード及び前記第 2 基準電圧ノードに流すことにより、前記第 1 ノードから前
記第 2 ノードに流れるリーク電流を前記第 2 基準電圧ノードに流すように、
前記第 2 ノードの論理を前記第 2 基準電圧ノードに基づいた前記第 1 論理に
固定してもよい。

[0009] 前記論理固定部は、
前記出力信号線上の第 1 ノードと第 2 ノードとの間に接続され、ゲートが
前記第 1 ノードと電氣的に接続される第 1 トランジスタと、
前記第 1 ノードと第 2 基準電圧ノードとの間に接続される第 2 トランジス
タ、及び、前記第 2 ノードと前記第 2 基準電圧ノードとの間に接続される第
3 トランジスタの少なくとも一方と、
前記第 3 トランジスタのゲートと、前記第 2 基準電圧ノードと、の間に接
続され、ゲートが前記第 1 ノードと電氣的に接続される第 4 トランジスタと
、
前記第 3 トランジスタのゲートと、第 3 基準電圧ノードと、の間に接続さ
れる第 5 トランジスタと、
を有し、
前記出力信号の論理が反転するまで前記第 3 トランジスタをオンすること

により、前記第2ノードの論理を前記第2基準電圧ノードに基づいた前記第1論理に固定してもよい。

[0010] 前記論理固定部は、

前記第2トランジスタのゲートに入力される第1初期化信号に基づいて前記第1ノードの電圧レベルを前記第2基準電圧ノードに基づいて初期化することにより、前記第1トランジスタ及び前記第4トランジスタをオフし、

前記第5トランジスタのゲートに入力される第2初期化信号に基づいて前記第3トランジスタのゲートの電圧レベルを前記第3基準電圧ノードに基づいて初期化することにより、前記第3トランジスタをオンするとともに、前記第2ノードの論理を前記第2基準電圧ノードに基づいた前記第1論理にしてもよい。

[0011] 前記論理固定部は、

前記比較部から前記第1ノードに流れるリーク電流を、オフ状態の前記第1トランジスタ及び前記第2トランジスタを介して、それぞれ前記第2ノード及び前記第2基準電圧ノードに流し、

オフ状態の前記第1トランジスタを介して前記第1ノードから前記第2ノードに流れるリーク電流を、オン状態の前記第3トランジスタを介して前記第2基準電圧ノードに流すように、前記第2ノードの論理を前記第2基準電圧ノードに基づいた前記第1論理に固定してもよい。

[0012] 前記論理固定部は、オフ状態の前記第5トランジスタを介して前記第3基準電圧ノードから前記第3トランジスタのゲートに流れるリーク電流を、オフ状態の前記第4トランジスタを介して、前記第2基準電圧ノードに流してもよい。

[0013] 前記論理固定部は、

前記第1ノードに出力される前記出力信号の論理が反転するタイミングで前記第4トランジスタをオンすることにより、前記第3トランジスタをオフして前記第2ノードの論理の固定を解除し、

前記第1ノードに出力される前記出力信号の論理が反転するタイミングで

前記第1トランジスタをオンすることにより、前記出力信号を前記第2ノードに供給してもよい。

[0014] 前記第1トランジスタ、前記第2トランジスタ、前記第3トランジスタ及び前記第4トランジスタは、同じ導電型のトランジスタであり、

前記第5トランジスタは、前記第1トランジスタ、前記第2トランジスタ、前記第3トランジスタ及び前記第4トランジスタとは異なる導電型のトランジスタであってもよい。

[0015] 前記第2トランジスタのゲートと、前記第5トランジスタのゲートと、の間に接続されるインバータをさらに備えてもよい。

[0016] 前記第1トランジスタ、前記第2トランジスタ、前記第3トランジスタ、前記第4トランジスタ及び前記第5トランジスタは、同じ導電型のトランジスタであり、

前記第5トランジスタのゲートは、前記第2トランジスタのゲートに入力される信号と同じ信号が入力されてもよい。

[0017] 前記比較部は、前記比較部の第1基準電圧ノードと、前記出力信号線と、の間に接続される第6トランジスタを有し、

前記第6トランジスタの閾値電圧は、前記論理固定部が有するトランジスタの閾値電圧と略同じであってもよい。

[0018] 前記比較部は、前記比較部の第1基準電圧ノードと、前記出力信号線と、の間に接続される第6トランジスタを有し、

前記第6トランジスタの閾値電圧は、前記論理固定部が有するトランジスタの閾値電圧よりも低くてもよい。

[0019] 前記出力信号に基づいて、前記比較器の比較結果信号の論理が反転するときの遷移速度を高速化する正帰還回路をさらに備え、

前記論理固定部は、第4基準電圧ノードと接続される前記正帰還回路から前記出力信号線に流れるリーク電流を、第2基準電圧ノードに流すように、前記出力信号線の論理を前記第2基準電圧ノードに基づいた前記第1論理に固定してもよい。

[0020] 前記第4基準電圧ノードよりも高い第1基準電圧ノードの電圧で動作する前記比較部の前記出力信号を、前記第4基準電圧ノードの電圧に対応する信号に変換する電圧変換回路をさらに備えてもよい。

[0021] 本開示によれば、入力信号と参照信号との比較に基づいた出力信号を出力する比較部と、

前記出力信号の論理が反転するまで、前記比較部の出力信号線の論理を第1論理に固定し、前記出力信号の論理が反転するタイミングで、前記出力信号線の論理の固定を回路する論理固定部と、

を備える比較器と、

前記比較器の比較結果信号が反転したときの時刻コードを記憶するデータ記憶部と、

を備える、A/D変換器が提供される。

[0022] 本開示によれば、入力信号と参照信号との比較に基づいた出力信号を出力する比較部と、

前記出力信号の論理が反転するまで、前記比較部の出力信号線の論理を第1論理に固定し、前記出力信号の論理が反転するタイミングで、前記出力信号線の論理の固定を回路する論理固定部と、

を備える比較器と、

前記比較器の比較結果信号が反転したときの時刻コードを記憶するデータ記憶部と、

を備えるA/D変換器と、

画素に入射された光を受光して光電変換することで生成された電荷信号を、前記入力信号として前記比較部に出力する画素回路と、

を備える、固体撮像装置が提供される。

[0023] 前記画素回路が配置される第1チップと、

前記第1チップと積層され、前記論理固定部が配置される第2チップと、をさらに備えてもよい。

[0024] 前記A/D変換器は、画素ごとに配置されてもよい。

[0025] 本開示によれば、入力信号と参照信号との比較に基づいた出力信号を出力する比較部と、

前記出力信号の論理が反転するまで、前記比較部の出力信号線の論理を第1論理に固定し、前記出力信号の論理が反転するタイミングで、前記出力信号線の論理の固定を回路する論理固定部と、

を備える比較器と、

前記比較器の比較結果信号が反転したときの時刻コードを記憶するデータ記憶部と、

を備えるA/D変換器と、

画素に入射された光を受光して光電変換することで生成された電荷信号を、前記入力信号として前記比較部に出力する画素回路と、

を備える固体撮像装置

を備える、電子機器が提供される。

図面の簡単な説明

[0026] [図1]本開示に係る固体撮像装置の概略構成を示す図である。

[図2]画素の詳細構成例を示すブロック図である。

[図3]比較回路の詳細構成例を示すブロック図である。

[図4]画素回路の詳細構成について説明する図である。

[図5]第1実施形態による比較回路の構成の一例を示す回路図である。

[図6]第1実施形態による比較回路の動作の一例を示すタイミングチャートである。

[図7A]第1実施形態による比較回路の動作の一例を示す回路図である。

[図7B]図7Aに続く、比較回路の動作の一例を示す回路図である。

[図7C]図7Bに続く、比較回路の動作の一例を示す回路図である。

[図8]第1比較例による比較回路の構成の一例を示す回路図である。

[図9]第1比較例による比較回路の各ノードの電圧レベルを示す概略図である。

。

[図10]第2比較例による比較回路の構成の一例を示す回路図である。

[図11]第2比較例による比較回路の各ノードの電圧レベルを示す概略図である。

[図12]第2実施形態による比較回路の構成の一例を示す回路図である。

[図13]第3実施形態による比較回路の構成の一例を示す回路図である。

[図14]2枚の半導体基板を積層することで固体撮像装置を構成する概念図である。

[図15]2枚の半導体基板で固体撮像装置を構成する場合の回路構成例を示す図である。

[図16]本開示に係る電子機器としての撮像装置の構成例を示すブロック図である。

発明を実施するための形態

[0027] 以下、図面を参照して、比較器、A/D変換器、固体撮像装置及び電子機器の実施形態について説明する。以下では、比較器、A/D変換器、固体撮像装置及び電子機器の主要な構成部分を中心に説明するが、比較器、A/D変換器、固体撮像装置及び電子機器には、図示又は説明されていない構成部分や機能が存在しうる。以下の説明は、図示又は説明されていない構成部分や機能を除外するものではない。

[0028] <固体撮像装置の概略構成例>

図1は、本開示に係る固体撮像装置の概略構成を示している。

[0029] 図1の固体撮像装置1は、半導体として例えばシリコン(Si)を用いた半導体基板11に、画素21が2次元アレイ状に配列された画素アレイ部22を有する。画素アレイ部22には、時刻コード発生部26で生成された時刻コードを各画素21に転送する時刻コード転送部23も設けられている。そして、半導体基板11上の画素アレイ部22の周辺には、画素駆動回路24、DAC(D/A Converter)25、時刻コード発生部26、垂直駆動回路27、出力部28、及びタイミング生成回路29が形成されている。

[0030] 2次元アレイ状に配列された画素21のそれぞれには、図2を参照して後述するように、画素回路41とADC42が設けられており、画素21は、画素

内の受光素子（例えば、フォトダイオード）で受光した光量に応じた電荷信号を生成し、デジタルの画素信号SIGに変換して出力する。

[0031] 画素駆動回路24は、画素21内の画素回路41（図2）を駆動する。DAC25は、時間経過に応じてレベル（電圧）が単調減少するスロープ信号である参照信号（基準電圧信号）REFを生成し、各画素21に供給する。時刻コード発生部26は、各画素21が、アナログの画素信号SIGをデジタルの信号に変換（AD変換）する際に使用される時刻コードを生成し、対応する時刻コード転送部23に供給する。時刻コード発生部26は、画素アレイ部22に対して複数個設けられており、画素アレイ部22内には、時刻コード発生部26に対応する数だけ、時刻コード転送部23が設けられている。即ち、時刻コード発生部26と、そこで生成された時刻コードを転送する時刻コード転送部23は、1対1に対応する。

[0032] 垂直駆動回路27は、画素21内で生成されたデジタルの画素信号SIGを、タイミング生成回路29から供給されるタイミング信号に基づいて、所定の順番で出力部28に出力させる制御を行う。画素21から出力されたデジタルの画素信号SIGは、出力部28から固体撮像装置1の外部へ出力される。出力部28は、黒レベルを補正する黒レベル補正処理やCDS(Correlated Double Sampling；相関2重サンプリング)処理など、所定のデジタル信号処理を必要に応じて行い、その後、外部へ出力する。

[0033] タイミング生成回路29は、各種のタイミング信号を生成するタイミングジェネレータなどによって構成され、生成した各種のタイミング信号を、画素駆動回路24、DAC25、垂直駆動回路27等に供給する。

[0034] 固体撮像装置1は、以上のように構成されている。なお、図1では、上述したように、固体撮像装置1を構成する全ての回路が、1つの半導体基板11上に形成されるように説明したが、後述するように、固体撮像装置1を構成する回路を複数枚の半導体基板11に分けて配置する構成とすることもできる。

[0035] <画素の詳細構成例>

図 2 は、画素 2 1 の詳細構成例を示すブロック図である。

[0036] 画素 2 1 は、画素回路 4 1 と ADC (AD変換器) 4 2 で構成されている。

[0037] 画素回路 4 1 は、受光した光量に応じた電荷信号をアナログの画素信号 SIG として ADC 4 2 に出力する。ADC 4 2 は、画素回路 4 1 から供給されたアナログの画素信号 SIG をデジタル信号に変換する。

[0038] ADC 4 2 は、比較回路 5 1 (比較器) とデータ記憶部 5 2 で構成される。

[0039] 比較回路 5 1 は、DAC 2 5 から供給される参照信号 REF と画素信号 SIG を比較し、比較結果を表す比較結果信号として、出力信号 VC0 を出力する。比較回路 5 1 は、参照信号 REF と画素信号 SIG が同一 (の電圧) になったとき、出力信号 VC0 を反転させる。

[0040] 比較回路 5 1 は、差動入力回路 6 1、電圧変換回路 6 2、及び正帰還回路 (PFB: positive feedback) 6 3 により構成されるが、詳細は図 3 を参照して後述する。

[0041] データ記憶部 5 2 には、比較回路 5 1 から出力信号 VC0 が入力される他、垂直駆動回路 2 7 から、画素信号の書き込み動作であることを表す WR 信号、画素信号の読み出し動作であることを表す RD 信号、及び、画素信号の読み出し動作中における画素 2 1 の読み出しタイミングを制御する WORD 信号が、垂直駆動回路 2 7 から供給される。また、時刻コード転送部 2 3 を介して、時刻コード発生部 2 6 で生成された時刻コードも供給される。

[0042] データ記憶部 5 2 は、WR 信号及び RD 信号に基づいて、時刻コードの書き込み動作と読み出し動作を制御するラッチ制御回路 7 1 と、時刻コードを記憶するラッチ記憶部 7 2 で構成される。

[0043] ラッチ制御回路 7 1 は、時刻コードの書き込み動作においては、比較回路 5 1 から Hi (High) の出力信号 VC0 が入力されている間、時刻コード転送部 2 3 から供給される、単位時間ごとに更新される時刻コードをラッチ記憶部 7 2 に記憶させる。そして、参照信号 REF と画素信号 SIG が同一 (の電圧) になり、比較回路 5 1 から供給される出力信号 VC0 が Lo (Low) に反転されたとき、供給される時刻コードの書き込み (更新) を中止し、最後にラッチ記憶部 7

2に記憶された時刻コードをラッチ記憶部72に保持させる。ラッチ記憶部72に記憶された時刻コードは、画素信号SIGと参照信号REFが等しくなった時刻を表しており、画素信号SIGがその時刻の基準電圧であったことを示すデータ、即ち、デジタル化された光量値を表す。

[0044] 参照信号REFの掃引が終了し、画素アレイ部22内の全ての画素21のラッチ記憶部72に時刻コードが記憶された後、画素21の動作が、書き込み動作から読み出し動作に変更される。

[0045] ラッチ制御回路71は、時刻コードの読み出し動作においては、読み出しタイミングを制御するWORD信号に基づいて、画素21が自分の読み出しタイミングとなったときに、ラッチ記憶部72に記憶されている時刻コード（デジタルの画素信号SIG）を、時刻コード転送部23に出力する。時刻コード転送部23は、供給された時刻コードを、列方向（垂直方向）に順次転送し、出力部28に供給する。

[0046] 以下では、時刻コードの書き込み動作においてラッチ記憶部72に書き込まれる時刻コードと区別するため、時刻コードの読み出し動作においてラッチ記憶部72から読み出される出力信号VC0が反転したときの反転時刻コードである、画素信号SIGがその時刻の基準電圧であったことを示すデジタル化された画素データを、AD変換画素データとも称する。

[0047] <比較回路の構成例>

図3は、比較回路51を構成する差動入力回路61、電圧変換回路62、及び正帰還回路63の詳細構成を示す回路図である。

[0048] 差動入力回路61は、画素21内の画素回路41から出力された画素信号SIGと、DAC25から出力された参照信号REFとを比較し、画素信号SIGが参照信号REFよりも高いときに所定の信号（電流）を出力する。

[0049] 差動入力回路61は、差動対となるトランジスタ81及び82、カレントミラーを構成するトランジスタ83及び84、入力バイアス電流Vbに応じた電流IBを供給する定電流源としてのトランジスタ85、並びに、差動入力回路61の出力信号HV0を出力するトランジスタ86により構成されている。

- [0050] トランジスタ81、82、及び85は、NMOS(Negative Channel MOS)トランジスタで構成され、トランジスタ83、84、及び86は、PMOS(Positive Channel MOS)トランジスタで構成される。
- [0051] 差動対となるトランジスタ81及び82のうち、トランジスタ81のゲートには、DAC25から出力された参照信号REFが入力され、トランジスタ82のゲートには、画素21内の画素回路41から出力された画素信号SIGが入力される。トランジスタ81と82のソースは、トランジスタ85のドレインと接続され、トランジスタ85のソースは、所定の電圧VSS ($VSS < VDD2 < VDD1$) に接続されている。
- [0052] トランジスタ81のドレインは、カレントミラー回路を構成するトランジスタ83及び84のゲート及びトランジスタ83のドレインと接続され、トランジスタ82のドレインは、トランジスタ84のドレイン及びトランジスタ86のゲートと接続されている。トランジスタ83、84、及び86のソースは、第1電源電圧VDD1に接続されている。
- [0053] 電圧変換回路62は、例えば、NMOS型のトランジスタ91で構成される。トランジスタ91のドレインは、差動入力回路61のトランジスタ86のドレインと接続され、トランジスタ91のソースは、正帰還回路63内の所定の接続点に接続され、トランジスタ86のゲートは、バイアス電圧VBIASに接続されている。
- [0054] 差動入力回路61を構成するトランジスタ81乃至86は、第1電源電圧VDD1までの高電圧で動作する回路であり、正帰還回路63は、第1電源電圧VDD1よりも低い第2電源電圧VDD2で動作する回路である。電圧変換回路62は、差動入力回路61から入力される出力信号HV0を、正帰還回路63が動作可能な低電圧の信号(変換信号)LVIに変換して、正帰還回路63に供給する。
- [0055] バイアス電圧VBIASは、定電圧で動作する正帰還回路63の各トランジスタ101乃至105を破壊しない電圧に変換する電圧であれば良い。例えば、バイアス電圧VBIASは、正帰還回路63の第2電源電圧VDD2と同じ電圧($VBIAS = VDD2$)とすることができる。

[0056] 正帰還回路 6 3 は、差動入力回路 6 1 からの出力信号HV0が第 2 電源電圧VD D2に対応する信号に変換された変換信号LVIに基づいて、画素信号SIGが参照信号REFよりも高いときに反転する比較結果信号を出力する。また、正帰還回路 6 3 は、比較結果信号として出力する出力信号VC0が反転するときの遷移速度を高速化する。

[0057] 正帰還回路 6 3 は、5つのトランジスタ 1 0 1乃至 1 0 5で構成される。ここで、トランジスタ 1 0 1、1 0 2、及び 1 0 4 は、PMOSトランジスタで構成され、トランジスタ 1 0 3及び 1 0 5は、NMOSトランジスタで構成される。

[0058] 電圧変換回路 6 2 の出力端であるトランジスタ 9 1 のソースは、トランジスタ 1 0 2 及び 1 0 3 のドレインと、トランジスタ 1 0 4 及び 1 0 5 のゲートに接続されている。トランジスタ 1 0 1 及び 1 0 4 のソースは、第 2 電源電圧VDD2に接続され、トランジスタ 1 0 1 のドレインは、トランジスタ 1 0 2 のソースと接続され、トランジスタ 1 0 2 のゲートは、正帰還回路 6 3 の出力端でもあるトランジスタ 1 0 4 及び 1 0 5 のドレインと接続されている。トランジスタ 1 0 3 及び 1 0 5 のソースは、所定の電圧VSSに接続されている。トランジスタ 1 0 1 と 1 0 3 のゲートには、初期化信号INIが供給される。

[0059] トランジスタ 1 0 4 と 1 0 5 はインバータ回路を構成し、それらのドレインどうしの接続点は、比較回路 5 1 が出力信号VC0を出力する出力端となっている。

[0060] <画素回路の詳細構成例>

図 4 を参照して、画素回路 4 1 の詳細構成について説明する。

[0061] 図 4 は、図 3 に示した比較回路 5 1 に、画素回路 4 1 の詳細を追加して示した回路図である。

[0062] 画素回路 4 1 は、光電変換素子としてのフォトダイオード (PD) 1 2 1、排出トランジスタ 1 2 2、転送トランジスタ 1 2 3、リセットトランジスタ 1 2 4、及び、FD(浮遊拡散層) 1 2 5 で構成されている。

[0063] 排出トランジスタ 122 は、露光期間を調整する場合に使用される。具体的には、露光期間を任意のタイミングで開始したいときに排出トランジスタ 122 をオンさせると、それまでの間にフォトダイオード 121 に蓄積されていた電荷が排出されるので、排出トランジスタ 122 がオフされた以降から、露光期間が開始されることになる。

[0064] 転送トランジスタ 123 は、フォトダイオード 121 で生成された電荷を FD 125 に転送する。リセットトランジスタ 124 は、FD 125 に保持されている電荷をリセットする。FD 125 は、差動入力回路 61 のトランジスタ 82 のゲートに接続されている。これにより、差動入力回路 61 のトランジスタ 82 は、画素回路 41 の増幅トランジスタとしても機能する。

[0065] リセットトランジスタ 124 のソースは、差動入力回路 61 のトランジスタ 82 のゲート、及び、FD 125 に接続されており、リセットトランジスタ 124 のドレインは、トランジスタ 82 のドレインと接続されている。従って、FD 125 の電荷をリセットするための固定のリセット電圧がない。これは、差動入力回路 61 の回路状態を制御することで、FD 125 をリセットするリセット電圧を、参照信号 REF を用いて任意に設定可能であるためである。

[0066] <第 1 実施形態>

[比較回路の構成]

図 5 は、第 1 実施形態による比較回路 51 の構成の一例を示す回路図である。

[0067] 差動入力回路 61 は、上記のように、入力信号（画素信号 SIG）と参照信号 REF との比較に基づいた出力信号 HV0 を出力する。また、差動入力回路 61 （比較部）の出力信号線 SL1 は、図 3 及び図 4 に示す出力信号 HV0 が通過する。電圧変換回路 62 の出力信号線 SL2 は、図 3 及び図 4 に示す変換信号 LVI が通過する。比較部の出力信号線として、出力信号線 SL1、SL2 の両方が含まれてもよい。

[0068] なお、基準電圧ノード VDD1 は、例えば、基準電圧ノード VDDH である。基準電圧ノード VDD2 は、例えば、基準電圧ノード VDDL である。基準電圧ノード VSS

は、例えば、グラウンドノードGNDである。

[0069] 以下では、電圧変換回路62が設けられる場合について説明する。しかし、電圧変換回路62が設けられなくてもよい。この場合、出力信号線SL2は出力信号線SL1に対応し、基準電圧ノードVDD2は基準電圧ノードVDD1と同じ電圧レベルである。

[0070] 正帰還回路63は、図3及び図4に示すインバータ回路（トランジスタ104、105）に代えて、NORゲート106を有する。NORゲート106の2つの入力端子のうち一方は、出力信号線SL2の第2ノードN2に接続され、他方には、駆動信号FORCEVC0が入力される。NORゲート106は、入力信号の否定論理和を正帰還信号としてトランジスタ102のゲートに出力する。図5に示す正帰還回路63は、図3及び図4に示す正帰還回路63とほぼ同様に動作する。また、トランジスタ101のゲートは、初期化信号INI2が入力される。初期化信号INI2は、図3及び図4に示すように、初期化信号INIと同じでよい。

[0071] 比較回路51は、論理固定部64をさらに備える。

[0072] 論理固定部64は、差動入力回路61と正帰還回路63との間に接続される。より詳細には、論理固定部64は、電圧変換回路62と正帰還回路63との間に接続される。論理固定部64は、差動入力回路61の出力信号HV0の論理が反転するまで、出力信号線SL2の第2ノードN2の論理を第1論理に固定する。第1論理は、例えば、Loである。論理固定部64は、例えば、電圧レベルを固定させるように、出力信号線SL2の第2ノードN2の論理を固定する。また、論理固定部64は、差動入力回路61の出力信号HV0の論理が反転するタイミングで、出力信号線SL2の第2ノードN2の論理の固定を解除する。これにより、図7Bを参照して後で説明するように、比較回路51の比較結果信号（出力信号VC0）の論理の誤反転を抑制することができる。

[0073] 論理固定部64は、第1トランジスタ641と、第2トランジスタ642と、第3トランジスタ643と、第4トランジスタ644と、第5トランジ

スタ 6 4 5 と、を有する。

[0074] なお、第 2 トランジスタ 6 4 2 及び第 3 トランジスタ 6 4 3 のいずれか一方は、論理固定部 6 4 に含まれず、図 3 及び図 4 に示す正帰還回路 6 3 のトランジスタ 1 0 3 であってもよい。以下では、図 5 に示すように、第 3 トランジスタ 6 4 3 が論理固定部 6 4 に含まれないトランジスタ 1 0 3 であるとして説明する。

[0075] 第 1 トランジスタ 6 4 1 は、出力信号線 S L 2 上の第 1 ノード N 1 と第 2 ノード N 2 との間に接続される。第 1 ノード N 1 は、差動入力回路 6 1 と第 1 トランジスタ 6 4 1 との間の出力信号線 S L 2 上に配置される。第 2 ノード N 2 は、第 1 トランジスタ 6 4 1 と正帰還回路 6 3 との間の出力信号線 S L 2 上に配置される。第 1 トランジスタ 6 4 1 のゲートは、第 1 ノード N 1 と電氣的に接続される。第 1 トランジスタ 6 4 1 は、例えば、NMOS トランジスタである。

[0076] 第 2 トランジスタ 6 4 2 は、第 1 ノード N 1 と、基準電圧ノード VSS (第 2 基準電圧ノード) と、の間に接続される。第 2 トランジスタ 6 4 2 のゲートは、初期化信号 INI が入力される。第 2 トランジスタ 6 4 2 は、例えば、NMOS トランジスタである。

[0077] 第 3 トランジスタ 6 4 3 は、第 2 ノード N 2 と基準電圧ノード VSS との間に接続される。差動入力回路 6 1 の出力信号 HV0 がオンするまで、第 3 トランジスタ 6 4 3 がオン状態になることにより、出力信号線 S L 2 の第 2 ノード N 2 の論理を第 1 論理に固定することができる。第 3 トランジスタ 6 4 3 のゲートは、第 3 ノード N 3 と電氣的に接続される。第 3 トランジスタ 6 4 3 は、例えば、NMOS トランジスタである。

[0078] 第 4 トランジスタ 6 4 4 は、第 3 トランジスタ 6 4 3 のゲート (第 3 ノード N 3) と、基準電圧ノード VSS と、の間に接続される。第 4 トランジスタ 6 4 4 のゲートは、第 1 ノード N 1 と電氣的に接続される。第 4 トランジスタ 6 4 4 は、例えば、NMOS トランジスタである。

[0079] 第 5 トランジスタ 6 4 5 は、第 3 トランジスタ 6 4 3 のゲート (第 3 ノー

ドN3)と、基準電圧ノードVDD2(第3基準電圧ノード)と、の間に接続される。基準電圧ノードVDD2は、例えば、基準電圧ノードVDD1と基準電圧ノードVSSとの間の電圧レベルを有する。第5トランジスタ645のゲートは、初期化信号XINIが入力される。初期化信号XINIは、初期化信号INIとは反対のレベルの信号である。第5トランジスタ645は、例えば、PMOSトランジスタである。すなわち、第5トランジスタ645は、第1トランジスタ641、第2トランジスタ642、第3トランジスタ643及び第4トランジスタ644とは異なる導電型のトランジスタである。

[0080] [比較回路の動作]

図6は、第1実施形態による比較回路51の動作の一例を示すタイミングチャートである。

[0081] 図7A～図7Cは、第1実施形態による比較回路51の動作の一例を示す回路図である。トランジスタ上の丸印は、オン状態を示し、トランジスタ上のX印は、オフ状態を示す。実線の矢印は、オン状態のトランジスタに電流が流れることを示す。破線の矢印は、オフ状態のトランジスタにリーク電流が流れることを示す。

[0082] 図6に示す例では、初期状態において、参照信号REFは持ち上げられている。

[0083] まず、時刻t1において、AD変換前に比較回路51の各ノード(第1ノードN1、第2ノードN2及び第3ノードN3)が初期状態にリセットされる。初期化信号INIは、LoからHiに遷移する。初期化信号XINIは、HiからLoに遷移する。また、参照信号REFの電圧レベルは、画素信号SIGの電圧レベルよりも高い。

[0084] 図7Aは、図6の時刻t1における回路図を示す。

[0085] 参照信号REFの電圧レベルが画素信号SIGの電圧レベルよりも高いため、図7Aに示す差動入力回路61のトランジスタ86はオフ状態である。

[0086] また、初期化信号INI(第1初期化信号)がHiに遷移するため、第2トランジスタ642がオンする。これにより、第1ノードN1は、基準電圧ノードV

SSと電氣的に接続される。従って、図6に示すように、第1ノードN1の電圧レベルは低下して、第1ノードN1の論理はLoに遷移する。これにより、第1トランジスタ641及び第4トランジスタ644はオフする。

[0087] また、初期化信号XINI（第2初期化信号）がLoに遷移するため、第5トランジスタ645はオンする。これにより、第3ノードN3は、基準電圧ノードVDD2と電氣的に接続されて充電される。従って、図6に示すように、第3ノードN3の電圧レベルは上昇して、第3ノードN3の論理はHiに遷移する。これにより、第3トランジスタ643はオンする。これにより、第2ノードN2は、基準電圧ノードVSSに電氣的に接続される。従って、図6に示すように、第2ノードN2の電圧レベルは低下して、第2ノードN2の論理はLoに遷移する。また、第2ノードN2の論理がLoであるため、NORゲート106により、トランジスタ102はオフする。

[0088] 次に、時刻t2において、初期化信号INIは、HiからLoに遷移する。初期化信号XINIは、LoからHiに遷移する。時刻t2の後、AD変換が開始される。

[0089] 次に、時刻t3において、参照信号REFの掃引が開始される。差動入力回路61のトランジスタ86のゲートに接続される信号線L1の電圧レベルは、時間とともに徐々に低下する。

[0090] 図7Bは、図6の時刻t2から時刻t4までの回路図を示す。時刻t4は、差動入力回路61の出力信号HV0の論理が反転するタイミングである時刻t5の直前の時刻である。

[0091] 参照信号REFの電圧レベルが画素信号SIGの電圧レベルよりも高いため、図7Bに示す差動入力回路61のトランジスタ86はオフ状態である。

[0092] また、初期化信号INIがLoであるため、第2トランジスタ642がオフ状態である。これにより、第1ノードN1は基準電圧ノードVSSから電氣的に切り離される。初期化信号XINIがHiであるため、第5トランジスタ645はオフ状態である。これにより、第3ノードN3は基準電圧ノードVDD2から電氣的に切り離される。他の第1トランジスタ641、第3トランジスタ643、第4トランジスタ644及び正帰還回路63のトランジスタ102は、図7

Aと同様に、それぞれオフ状態、オン状態、オフ状態、オフ状態である。

[0093] ここで、トランジスタがオフ状態であっても、ソースとドレインとの間を流れるリーク電流が存在し得る。

[0094] トランジスタ86をリーク電流パスとして、基準電圧ノードVDD1から出力信号線SL2の第1ノードN1にリーク電流が流れる。

[0095] オフ状態の第2トランジスタ642をリーク電流パスとして、第1ノードN1から基準電圧ノードVSSにリーク電流が流れる。オフ状態の第1トランジスタ641をリーク電流パスとして、第1ノードN1から第2ノードN2にリーク電流が流れる。オフ状態のトランジスタ86を通過するリーク電流により、第1ノードN1が充電されて第1ノードN1の電圧レベルが上昇する可能性がある。しかし、オフ状態の第1トランジスタ641及び第2トランジスタ642がリーク電流パスとして機能し、トランジスタ86を通過するリーク電流は、それぞれ第2ノードN2及び基準電圧ノードVSSに流れる。第1トランジスタ641をリーク電流パスとして第1ノードN1から第2ノードN2に流れるリーク電流は、オン状態の第3トランジスタ643により基準電圧ノードVSSに流れる。これにより、第1ノードN1の電圧レベルの上昇を抑制することができる。従って、図6に示すように、第1ノードN1の論理をLoに固定（維持）することができる。

[0096] オフ状態の第5トランジスタ645をリーク電流パスとして、基準電圧ノードVDD2から第3ノードN3にリーク電流が流れる。オフ状態の第4トランジスタ644をリーク電流パスとして、第3ノードN3から基準電圧ノードVSSにリーク電流が流れる。オフ状態の第4トランジスタ644を通過するリーク電流により、第3ノードN3の電荷が抜けて第3ノードN3の電圧レベルが低下する可能性がある。しかし、オフ状態の第5トランジスタ645を介した基準電圧ノードVDD2からのリーク電流パスにより、第3ノードN3の電圧レベルの低下を抑制することができる。従って、図6に示すように、第3ノードN3の論理をHiに固定することができる。この結果、第3トランジスタ643のオン状態を維持することができる。

- [0097] また、第1ノードN1には、基準電圧ノードVSSへの2つのリーク電流パスである第1トランジスタ641及び第2トランジスタ642が接続されている。もし、第1ノードN1の電圧レベルが上昇すると、第4トランジスタ644のリーク電流が増大して、第3ノードN3の電荷が抜けてしまう。従って、第1ノードN1から基準電圧ノードVSSへのリーク電流パスの数は、多いほどより好ましい。
- [0098] 正帰還回路63のオフ状態のトランジスタ102をリーク電流パスとして、基準電圧ノードVDD2から出力信号線SL2の第2ノードN2にリーク電流が流れる。このリーク電流は、オン状態の第3トランジスタ643を通過して基準電圧ノードVSSへ捨てられる。これにより、第2ノードN2の電圧レベルの上昇を抑制することができる。従って、図6に示すように、第2ノードN2の論理をLoに固定することができる。
- [0099] また、第1ノードN1及び第3ノードN3のそれぞれに、高電源側のリーク電流パスと低電源側のリーク電流パスとが配置されている。これにより、第1ノードN1及び第3ノードN3における電圧レベルがリーク電流によって変化しないように、固定することができる。この結果、第3トランジスタ643をオン状態で維持しやすくなり、第2ノードN2の論理をより固定しやすくすることができる。
- [0100] このように、論理固定部64は、基準電圧ノードVDD1（第1基準電圧ノード）と接続される差動入力回路61から出力信号線SL1、SL2に流れるリーク電流を、基準電圧ノードVSSに流すように、出力信号線SL2の第2ノードN2の論理を第1論理に固定する。この結果、比較回路51の比較結果の誤反転を抑制することができる。また、上記のように、第3ノードN3から基準電圧ノードVSSに電荷が抜けることを抑制するため、論理固定部64は、差動入力回路61から第1ノードN1に流れるリーク電流を、複数のリーク電流パスを介して、第2ノードN2及び基準電圧ノードVSSに流す。
- [0101] なお、図7Aにおいても、リーク電流は流れる。しかし、オフ状態のトランジスタ86、102、第1トランジスタ641を流れるリーク電流は、図

7 Bと同様に、オン状態の第3トランジスタ643を通過して、基準電圧ノードVSSへ流れる。

[0102] 次に、時刻t4から時刻t5にかけて、差動入力回路61の出力信号HV0の論理が反転する。

[0103] 図7Cは、図6の時刻t5の回路図を示す。

[0104] 参照信号REFと画素信号SIGとの間で電圧レベルが反転すると、トランジスタ86がオンする。従って、差動入力回路61の出力信号HV0の論理が反転する。これにより、第1ノードN1が基準電圧ノードVDD1によって充電され、第1ノードN1の電圧レベルが上昇する。この結果、第1ノードN1の論理がHiに遷移する。

[0105] 第1ノードN1の電圧レベルが第4トランジスタ644の閾値電圧に達すると、第4トランジスタ644はオンする。これにより、第3ノードN3の電荷が基準電圧ノードVSSへ捨てられ、第3ノードN3の電圧レベルが低下する。この結果、第3ノードの論理がLoに遷移する。これにより、第3トランジスタ643がオフする。従って、第3トランジスタ643による第2ノードN2の論理の固定が解除される。

[0106] 第1ノードN1の電圧レベルが第1トランジスタ641の閾値電圧に達すると、第1トランジスタ641はオンする。オン状態のトランジスタ86を流れる電流は、第2トランジスタ642側には流れず、オン状態の第1トランジスタ641を通過して第2ノードN2に流れる。従って、電圧変換回路62の変換信号LVI（差動入力回路61の出力信号HV0）が第2ノードN2に供給される。なお、上記のように、第3トランジスタ643はオフ状態であるため、第2ノードN2の電圧レベル及び論理の固定は停止されている。従って、第2ノードN2が充電されて、第2ノードN2の電圧レベルが上昇する。この結果、第2ノードN2の論理がHiに遷移する。

[0107] 時刻t5において、第2ノードN2の電圧レベルが上昇すると、NORゲート106の出力信号VC0の電圧レベルが低下する。出力信号VC0の電圧レベルが低下すると、トランジスタ102がオンすることにより出力信号線SL

2の第2ノードN2は基準電圧ノードVDD2と電氣的に接続される。これにより、正帰還回路63によって出力信号VC0の反転が高速化される。また、データ記憶部52では、出力信号VC0が反転した時点の時刻データ（NビットのDATA[1]乃至DATA[N]）が記憶される。

[0108] 時刻t5よりも後の比較回路51の動作は、例えば、図3のような、論理固定部64が設けられない場合の比較回路51の動作とほぼ同様である。

[0109] 時刻t5の後、読み出しタイミングを制御するWORD信号がHiとなり、Nビットのラッチ信号Col[n]（n=1乃至N）（不図示）が、データ記憶部52のラッチ制御回路71から出力される。

[0110] なお、CDS(Correlated Double Sampling；相関2重サンプリング)処理が行われてもよい。例えば、リセットレベルのP相データが取得された後、信号レベルのD相データが取得される。

[0111] 以上のように、第1実施形態によれば、論理固定部64は、差動入力回路61の出力信号HV0（電圧変換回路62の変換信号LVI）の論理が反転するまで、電圧レベルを維持するように、第2ノードN2の論理を第1論理に固定する。すなわち、論理固定部64は、第2ノードN2をフローティング状態にしないようにする。これにより、トランジスタ86のリーク電流による第2ノードN2の電圧レベルの上昇を抑制することができる。この結果、リーク電流による、比較回路51の比較結果信号（出力信号VC0）の誤反転を抑制することができる。従って、比較回路51の誤動作を抑制することができる。

[0112] また、ADC42は、画素21ごとに設けられる。したがって、論理固定部64も、画素21ごとに設けられる。なお、ADC42は、複数の画素21ごとに設けられてもよい。

[0113] <第1比較例>

図8は、第1比較例による比較回路51aの構成の一例を示す回路図である。図8に示す比較回路51aは、論理固定部64が設けられておらず、図3に示す比較回路51とほぼ同じである。

[0114] 図8に示す例では、時刻 t_2 から時刻 t_4 までの出力信号HV0の反転前において、トランジスタ86、102、103はオフ状態である。従って、出力信号線SL2は、時刻 t_5 において差動入力回路61の出力信号HV0が反転するまで、フローティング状態である。出力信号線SL2には、リーク電流 I_{leak} が流れ得る。例えば、トランジスタ86、102を介して基準電圧ノードVDD1、VDD2から出力信号線SL2に流れるリーク電流 I_{leak} が、トランジスタ103を介して出力信号線SL2から基準電圧ノードVSSに流れるリーク電流 I_{leak} よりも大きい場合、出力信号線SL2が充電されて、出力信号線SL2の電圧レベルが上昇してしまう。

[0115] 図9は、第1比較例による比較回路51aの各ノードの電圧レベルを示す概略図である。図9は、出力信号線SL2の電圧レベル及び比較回路51の出力信号VC0を示す。縦軸は電圧レベルを示し、横軸は時間を示す。

[0116] 図9に示すように、差動入力回路61の出力信号HV0の論理が反転する前に、リーク電流 I_{leak} によって出力信号線SL2の電圧レベルが上昇してしまう。出力信号線SL2の電圧レベルの上昇により、出力信号VC0の電圧レベルが基準電圧ノードVDD2の電圧レベルから低下する。D相期間内で出力信号VC0の電圧レベルがトランジスタ102の閾値電圧 V_{th} に達すると、正帰還がかかり誤反転が生じてしまう。すなわち、図9に示すように、D相期間が終わる前に、出力信号線SL2の電圧レベルが基準電圧ノードVDD2の電圧レベルになり、出力信号VC0がLoに遷移してしまう。

[0117] 出力信号線SL2の電圧レベルは、図9の一点鎖線に示すように、基準電圧ノードVSSの電圧レベルで略一定であることが好ましい。しかし、上記のように、D相期間内で出力信号VC0に誤反転がすると、例えば、撮像画像に白飛びが生じてしまう。

[0118] これに対して、第1実施形態では、図7Bに示すように、出力信号線SL2の第2ノードN2はフローティング状態ではなく、第3トランジスタ643によって基準電圧ノードVSSの電圧レベルに固定されている。これにより、トランジスタ86、102を介して出力信号線SL2に流れるリーク電流 I_{leak}

e_{ak} を、基準電圧ノードVSSに適切に捨てることができる。この結果、リーク電流 I_{leak} による第2ノードN2の電圧レベルの上昇を抑制することができ、比較回路51の比較結果信号（出力信号VC0）の誤反転を抑制することができる。

[0119] <第2比較例>

図10は、第2比較例による比較回路51bの構成の一例を示す回路図である。第2比較例では、トランジスタの閾値電圧を調整することにより、出力信号線SL2の電圧レベルの上昇が抑制される。

[0120] オフ状態のトランジスタのリーク電流 I_{leak} は、ゲートソース間電圧 V_{gs} 及び閾値電圧 V_{th} を用いて、式1により表される。従って、リーク電流 I_{leak} は、閾値電圧に比例する。

[数1]

$$I_{leak} \propto e^{V_{gs}-V_{th}} \quad (\text{式1})$$

[0121] 閾値電圧を調整することにより、出力信号線SL2に流れ込むリーク電流 I_{leak} に対して、出力信号線SL2から流れ出るリーク電流 I_{leak} を相対的に増加することができる。例えば、トランジスタ102の閾値電圧を高くすることにより、トランジスタ102をリーク電流パスとして基準電圧ノードVDD2から出力信号線SL2に流れるリーク電流 I_{leak} を低減することができる。また、トランジスタ103の閾値電圧を低くすることにより、トランジスタ103を介して出力信号線SL2から基準電圧ノードVSSに流れるリーク電流 I_{leak} を増大させることができる。

[0122] 図11は、第2比較例による比較回路51bの各ノードの電圧レベルを示す概略図である。図11は、信号線L2の電圧レベル及び比較回路51の出力信号VC0を示す。なお、図11に示す破線は、図9に示す第1比較例による出力信号線SL2及び出力信号VC0の電圧レベルを示す。

[0123] 図11に示すように、トランジスタ102、103の閾値電圧の調整により、出力信号線SL2の電圧レベルの上昇速度を低減することができる。す

なわち、出力信号線SL2の充電にかかる時間を長くして、AD期間終了までの出力信号VC0の誤反転を抑制することができる。

[0124] 第2比較例では、図10に示す電圧変換回路62及び正帰還回路63内で、例えば、カスコード接続されたトランジスタ101、102の閾値電圧が最も高く、NORゲート106のトランジスタの閾値電圧が次に高く、トランジスタ103の閾値電圧が次に高く、トランジスタ91の閾値電圧が最も低い。すなわち、電圧変換回路62及び正帰還回路63内で、閾値電圧を調整した4種類のトランジスタが用いられる。

[0125] しかし、複数の種類のトランジスタが用いられる場合、閾値電圧のばらつきの影響が大きく回路の安定性が劣化してしまう。また、次のタイプの回路の再設計時の検討項目が増加してしまう。すなわち、設計自由度が低下してしまう。

[0126] さらに、トランジスタごとに製造工程が必要になり、開発費が増加してしまう。また、トランジスタ103の閾値電圧を低くすることに伴うランダムノイズの影響が大きくなってしまう。この場合、例えば、フィルタとして機能するキャパシタ65を追加する必要がある。キャパシタ65は、例えば、MOS (Metal Oxide Semiconductor) キャパシタである。また、プロセス依存、すなわち、プロセス技術によるばらつきが大きく、汎用性及び設計自由度が低下してしまう。

[0127] これに対して、第1実施形態では、トランジスタ102及び第3トランジスタ643（トランジスタ103）の閾値電圧を変更することなく、回路構成により出力信号線SL2の第2ノードN2の電圧レベルの上昇を抑制することができる。これにより、電圧変換回路62のトランジスタ91以外のトランジスタの種類を統一することができる。例えば、差動入力回路61のトランジスタ86（第6トランジスタ）、論理固定部64が有するトランジスタ、及び、正帰還回路63が有するトランジスタの閾値電圧は、略同じである。この結果、閾値電圧のばらつきによる回路の安定性の劣化を抑制することができる。また、設計自由度の低下を抑制することができる。

[0128] さらに、トランジスタごとの製造工程を共通化して開発費の増加を抑制することができる。また、トランジスタの閾値電圧を低下させる調整を行わないため、ランダムノイズの影響が大きくなることを抑制することができる。また、ノイズ低減用のキャパシタ65が不要になり、低回路面積化及びチャージ電流を低減することができる。なお、第1実施形態では、第2比較例と比較して4つのトランジスタ（第1トランジスタ641、第2トランジスタ642、第4トランジスタ644及び第5トランジスタ645）が追加されている。しかし、キャパシタ65の空きスペースに、追加された4つのトランジスタを配置することができる。また、汎用性及び設計自由度の低下を抑制することができる。

[0129] <第2実施形態>

図12は、第2実施形態による比較回路51の構成の一例を示す回路図である。第2実施形態は、第1実施形態と比較して、第5トランジスタ645のゲートへの初期化信号XINIの入力方法が異なっている。

[0130] 論理固定部64は、インバータINVをさらに備える。

[0131] インバータINVは、第2トランジスタ642のゲートと、第5トランジスタ645のゲートと、の間に接続される。インバータINVは、初期化信号INIの反転のパルスを生成する。従って、初期化信号INIが反転された信号が、初期化信号XINIに代えて、第5トランジスタ645のゲートに入力される。

[0132] 第1実施形態では、第1比較例及び第2比較例と比較して、初期化信号XINIの追加によって配線が増加してしまう。画素アレイ部22の外から引いてくる配線数が増えると、例えば、初期化信号INI及び駆動信号FORCEVC0等の他の配線の配線幅が狭くなってしまう可能性がある。

[0133] これに対して、第2実施形態では、インバータINVを設けることにより配線数の増加を抑制することができる。また、第2比較例と比較して、例えば、MOSキャパシタであるキャパシタ65の空きスペースにインバータINVを配置することができ、必要なスペースの増大を抑制することができる。

[0134] <第3実施形態>

図13は、第3実施形態による比較回路51の構成の一例を示す回路図である。第3実施形態は、第5トランジスタ645の導電型が逆になっている点で、第1実施形態とは異なっている。

[0135] 図13に示す例では、第5トランジスタ645は、PMOSトランジスタではなく、NMOSトランジスタである。従って、第1トランジスタ641、第2トランジスタ642、第3トランジスタ643、第4トランジスタ644及び第5トランジスタ645は、全て同じ導電型の、NMOSトランジスタである。

[0136] また、第5トランジスタ645のゲートには、第2トランジスタ642のゲートに入力される初期化信号INIと同じ信号が入力される。これにより、初期化信号XINIの入力が不要になり、第2実施形態と同様に、配線数の増加を抑制することができる。

[0137] <第4実施形態>

第4実施形態は、第1実施形態と比較して、図5に示すトランジスタ86の閾値電圧が異なる。トランジスタ86（第6トランジスタ）の閾値電圧は、所定値よりも低い。トランジスタ86の閾値電圧は、例えば、正帰還回路63及び論理固定部64が有するトランジスタの閾値電圧よりも低い。

[0138] 論理固定部64を追加することにより、図8を参照して説明した第1比較例と比較して、反転遅延が増大してしまう可能性がある。そこで、トランジスタ86の駆動力を上げることにより、反転遅延の増大を抑制することができる。

[0139] 第1比較例では、トランジスタ86の駆動力を上げるために閾値電圧を下げると、トランジスタ86のリーク電流が増大する。従って、比較回路51aの出力信号VC0の誤反転が生じやすくなってしまう。

[0140] これに対して、第4実施形態では、図7Bを参照して説明したように、論理固定部64によって信号線L2の第2ノードN2は基準電圧ノードVSSと接続され、論理が固定される。従って、トランジスタ86のリーク電流が増大しても、リーク電流は基準電圧ノードVSSに捨てられる。リーク電流による比

較回路 5 1 の比較結果信号の誤反転が抑制されているため、トランジスタ 8 6 の閾値電圧を下げて、反転遅延の増大を抑制することができる。

[0141] <複数基板構成>

これまでの説明では、固体撮像装置 1 が、1 枚の半導体基板 1 1 上に形成されるものとして説明したが、複数枚の半導体基板 1 1 に回路を作り分けることで、固体撮像装置 1 を構成してもよい。

[0142] 図 1 4 は、上側基板 1 1 A と下側基板 1 1 C の 2 枚の半導体基板 1 1 を積層することで固体撮像装置 1 を構成する概念図を示している。

[0143] 上側基板 1 1 A には、フォトダイオード 1 2 1 を含む画素回路 4 1 が少なくとも形成されている。下側基板 1 1 C には、時刻コードを記憶するデータ記憶部 5 2 と時刻コード転送部 2 3 が少なくとも形成されている。上側基板 1 1 A と下側基板 1 1 C は、例えば、Cu-Cu などの金属結合などにより接合される。

[0144] 図 1 5 は、上側基板 1 1 A と下側基板 1 1 C のそれぞれに形成される回路構成例を示している。

[0145] 上側基板 1 1 A には、画素回路 4 1 と、ADC 4 2 のうちの差動入力回路 6 1 のトランジスタ 8 1、8 2、及び 8 5 の回路が形成されている。なお、図 1 5 では、画素回路 4 1 の一部が示されている。下側基板 1 1 C には、トランジスタ 8 1、8 2、及び 8 5 を除く ADC 4 2 の回路と時刻コード転送部 2 3 が形成されている。従って、論理固定部 6 4 は、下側基板 1 1 C に配置される。なお、図 1 5 では、データ記憶部 5 2 及び時刻コード転送部 2 3 は省略されている。

[0146] <電子機器への適用例>

本開示は、固体撮像装置への適用に限られるものではない。即ち、本開示は、デジタルスチルカメラやビデオカメラ等の撮像装置や、撮像機能を有する携帯端末装置や、画像読取部に固体撮像装置を用いる複写機など、画像取込部（光電変換部）に固体撮像装置を用いる電子機器全般に対して適用可能である。固体撮像装置は、ワンチップとして形成された形態であってもよいし、撮像部と信号処理部または光学系とがまとめてパッケージングされた撮

像機能を有するモジュール状の形態であってもよい。

[0147] 図16は、本開示に係る電子機器としての、撮像装置の構成例を示すブロック図である。

[0148] 図16の撮像装置800は、レンズ群などからなる光学部801、図1の固体撮像装置1の構成が採用される固体撮像装置（撮像デバイス）802、およびカメラ信号処理回路であるDSP(Digital Signal Processor)回路803を備える。また、撮像装置800は、フレームメモリ804、表示部805、記録部806、操作部807、および電源部808も備える。DSP回路803、フレームメモリ804、表示部805、記録部806、操作部807および電源部808は、バスライン809を介して相互に接続されている。

[0149] 光学部801は、被写体からの入射光（像光）を取り込んで固体撮像装置802の撮像面上に結像する。固体撮像装置802は、光学部801によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。この固体撮像装置802として、図1の固体撮像装置1、即ち、画素信号をAD変換する際の判定速度を向上させつつ、消費電力を低減させた比較回路51や、回路規模と消費電力を大幅に削減できる時刻コード転送部23を有する固体撮像装置を用いることができる。

[0150] 表示部805は、例えば、液晶パネルや有機EL(Electro Luminescence)パネル等のパネル型表示装置からなり、固体撮像装置802で撮像された動画または静止画を表示する。記録部806は、固体撮像装置802で撮像された動画または静止画を、ハードディスクや半導体メモリ等の記録媒体に記録する。

[0151] 操作部807は、ユーザによる操作の下に、撮像装置800が持つ様々な機能について操作指令を発する。電源部808は、DSP回路803、フレームメモリ804、表示部805、記録部806および操作部807の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0152] 上述したように、固体撮像装置802として、上述したいずれかの構成を採用した固体撮像装置1を用いることで、AD変換の判定速度を高速化させつ

つ、消費電力を低減することができる。従って、ビデオカメラやデジタルスチルカメラ、さらには携帯電話機等のモバイル機器向けカメラモジュールなどの撮像装置800においても、撮影の高速化と低消費電力を実現することができる。

[0153] 上述した説明では、比較回路51及びADC42は、固体撮像装置1に組み込まれた部品として説明したが、それぞれ単独で流通する製品（比較器、AD変換器）とすることができる。

[0154] また、本開示は、固体撮像装置に限らず、他の半導体集積回路を有する半導体装置全般に対して適用可能である。

[0155] 本開示の実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。

[0156] 上述した各実施の形態の回路構成は、電子を電荷とする回路構成として説明したが、本開示は、正孔を電荷とする回路構成とすることもできる。また、上述した各回路構成において、トランジスタの極性（NMOSトランジスタとPMOSトランジスタ）を入れ替えた回路構成でも実現可能である。その場合、トランジスタに入力される制御信号は、HiとLowが反対の信号となる。

[0157] 上述した各実施の形態では、参照信号REFが時間経過に応じてレベル（電圧）が単調減少するスロープ信号であるとして説明したが、参照信号REFは、時間経過に応じてレベル（電圧）が単調増加するスロープ信号とすることもできる。

[0158] その他、上述した複数の実施の形態の全てまたは一部を組み合わせた形態を採用することができる。上述した実施の形態では説明していない他の実施の形態どうしを適宜組み合わせた形態も可能である。

[0159] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、本明細書に記載されたもの以外の効果があってもよい。

[0160] なお、本技術は以下のような構成を取ることができる。

（1）入力信号と参照信号との比較に基づいた出力信号を出力する比較部と、

前記出力信号の論理が反転するまで、前記比較部の出力信号線の論理を第1論理に固定し、前記出力信号の論理が反転するタイミングで、前記出力信号線の論理の固定を解除する論理固定部と、

を備える、比較器。

(2) 前記論理固定部は、第1基準電圧ノードと接続される前記比較部から前記出力信号線に流れるリーク電流を、第2基準電圧ノードに流すように、前記出力信号線の論理を前記第2基準電圧ノードに基づいた前記第1論理に固定する、(1)に記載の比較器。

(3) 前記論理固定部は、前記比較部から前記出力信号線上の第1ノードに流れるリーク電流を、複数のリーク電流パスを介して前記出力信号線上の第2ノード及び前記第2基準電圧ノードに流すことにより、前記第1ノードから前記第2ノードに流れるリーク電流を前記第2基準電圧ノードに流すように、前記第2ノードの論理を前記第2基準電圧ノードに基づいた前記第1論理に固定する、(2)に記載の比較器。

(4) 前記論理固定部は、

前記出力信号線上の第1ノードと第2ノードとの間に接続され、ゲートが前記第1ノードと電氣的に接続される第1トランジスタと、

前記第1ノードと第2基準電圧ノードとの間に接続される第2トランジスタ、及び、前記第2ノードと前記第2基準電圧ノードとの間に接続される第3トランジスタの少なくとも一方と、

前記第3トランジスタのゲートと、前記第2基準電圧ノードと、の間に接続され、ゲートが前記第1ノードと電氣的に接続される第4トランジスタと、

前記第3トランジスタのゲートと、第3基準電圧ノードと、の間に接続される第5トランジスタと、

を有し、

前記出力信号の論理が反転するまで前記第3トランジスタをオンすることにより、前記第2ノードの論理を前記第2基準電圧ノードに基づいた前記第

1 論理に固定する、(1) 乃至 (3) のいずれか一項に記載の比較器。

(5) 前記論理固定部は、

前記第2トランジスタのゲートに入力される第1初期化信号に基づいて前記第1ノードの電圧レベルを前記第2基準電圧ノードに基づいて初期化することにより、前記第1トランジスタ及び前記第4トランジスタをオフし、

前記第5トランジスタのゲートに入力される第2初期化信号に基づいて前記第3トランジスタのゲートの電圧レベルを前記第3基準電圧ノードに基づいて初期化することにより、前記第3トランジスタをオンするとともに、前記第2ノードの論理を前記第2基準電圧ノードに基づいた前記第1論理にする、(4) に記載の比較器。

(6) 前記論理固定部は、

前記比較部から前記第1ノードに流れるリーク電流を、オフ状態の前記第1トランジスタ及び前記第2トランジスタを介して、それぞれ前記第2ノード及び前記第2基準電圧ノードに流し、

オフ状態の前記第1トランジスタを介して前記第1ノードから前記第2ノードに流れるリーク電流を、オン状態の前記第3トランジスタを介して前記第2基準電圧ノードに流すように、前記第2ノードの論理を前記第2基準電圧ノードに基づいた前記第1論理に固定する、(4) 又は (5) に記載の比較器。

(7) 前記論理固定部は、オフ状態の前記第5トランジスタを介して前記第3基準電圧ノードから前記第3トランジスタのゲートに流れるリーク電流を、オフ状態の前記第4トランジスタを介して、前記第2基準電圧ノードに流す、(6) に記載の比較器。

(8) 前記論理固定部は、

前記第1ノードに出力される前記出力信号の論理が反転するタイミングで前記第4トランジスタをオンすることにより、前記第3トランジスタをオフして前記第2ノードの論理の固定を解除し、

前記第1ノードに出力される前記出力信号の論理が反転するタイミングで

前記第1トランジスタをオンすることにより、前記出力信号を前記第2ノードに供給する、(4)乃至(7)のいずれか一項に記載の比較器。

(9) 前記第1トランジスタ、前記第2トランジスタ、前記第3トランジスタ及び前記第4トランジスタは、同じ導電型のトランジスタであり、

前記第5トランジスタは、前記第1トランジスタ、前記第2トランジスタ、前記第3トランジスタ及び前記第4トランジスタとは異なる導電型のトランジスタである、(4)乃至(8)のいずれか一項に記載の比較器。

(10) 前記第2トランジスタのゲートと、前記第5トランジスタのゲートと、の間に接続されるインバータをさらに備える、(9)に記載の比較器。

(11) 前記第1トランジスタ、前記第2トランジスタ、前記第3トランジスタ、前記第4トランジスタ及び前記第5トランジスタは、同じ導電型のトランジスタであり、

前記第5トランジスタのゲートは、前記第2トランジスタのゲートに入力される信号と同じ信号が入力される、(4)乃至(8)のいずれか一項に記載の比較器。

(12) 前記比較部は、前記比較部の第1基準電圧ノードと、前記出力信号線と、の間に接続される第6トランジスタを有し、

前記第6トランジスタの閾値電圧は、前記論理固定部が有するトランジスタの閾値電圧と略同じである、(1)乃至(11)のいずれか一項に記載の比較器。

(13) 前記比較部は、前記比較部の第1基準電圧ノードと、前記出力信号線と、の間に接続される第6トランジスタを有し、

前記第6トランジスタの閾値電圧は、前記論理固定部が有するトランジスタの閾値電圧よりも低い、(1)乃至(11)のいずれか一項に記載の比較器。

(14) 前記出力信号に基づいて、前記比較器の比較結果信号の論理が反転するときの遷移速度を高速化する正帰還回路をさらに備え、

前記論理固定部は、第4基準電圧ノードと接続される前記正帰還回路から前記出力信号線に流れるリーク電流を、第2基準電圧ノードに流すように、前記出力信号線の論理を前記第2基準電圧ノードに基づいた前記第1論理に固定する、(1)乃至(13)のいずれか一項に記載の比較器。

(15) 前記第4基準電圧ノードよりも高い第1基準電圧ノードの電圧で動作する前記比較部の前記出力信号を、前記第4基準電圧ノードの電圧に対応する信号に変換する電圧変換回路をさらに備える、(14)に記載の比較器。

(16) 入力信号と参照信号との比較に基づいた出力信号を出力する比較部と、

前記出力信号の論理が反転するまで、前記比較部の出力信号線の論理を第1論理に固定し、前記出力信号の論理が反転するタイミングで、前記出力信号線の論理の固定を回路する論理固定部と、

を備える比較器と、

前記比較器の比較結果信号が反転したときの時刻コードを記憶するデータ記憶部と、

を備える、AD変換器。

(17) 入力信号と参照信号との比較に基づいた出力信号を出力する比較部と、

前記出力信号の論理が反転するまで、前記比較部の出力信号線の論理を第1論理に固定し、前記出力信号の論理が反転するタイミングで、前記出力信号線の論理の固定を回路する論理固定部と、

を備える比較器と、

前記比較器の比較結果信号が反転したときの時刻コードを記憶するデータ記憶部と、

を備えるAD変換器と、

画素に入射された光を受光して光電変換することで生成された電荷信号を、前記入力信号として前記比較部に出力する画素回路と、

を備える、固体撮像装置。

(18) 前記画素回路が配置される第1チップと、
前記第1チップと積層され、前記論理固定部が配置される第2チップと、
をさらに備える、(17)に記載の固体撮像装置。

(19) 前記AD変換器は、画素ごとに配置される、(17)又は(18)
に記載の固体撮像装置。

(20) 入力信号と参照信号との比較に基づいた出力信号を出力する比較
部と、

前記出力信号の論理が反転するまで、前記比較部の出力信号線の論理を第
1論理に固定し、前記出力信号の論理が反転するタイミングで、前記出力信
号線の論理の固定を回路する論理固定部と、

を備える比較器と、

前記比較器の比較結果信号が反転したときの時刻コードを記憶するデータ
記憶部と、

を備えるAD変換器と、

画素に入射された光を受光して光電変換することで生成された電荷信号を
、前記入力信号として前記比較部に出力する画素回路と、

を備える固体撮像装置

を備える、電子機器。

[0161] 本開示の態様は、上述した個々の実施形態に限定されるものではなく、当
業者が想到しうる種々の変形も含むものであり、本開示の効果も上述した内
容に限定されない。すなわち、特許請求の範囲に規定された内容およびその
均等物から導き出される本開示の概念的な思想と趣旨を逸脱しない範囲で種
々の追加、変更および部分的削除が可能である。

符号の説明

[0162] 1 固体撮像装置、11A 上側基板、11C 下側基板、21 画素、41
画素回路、42 ADC、51 比較回路、52 データ記憶部、61
差動入力回路、62 電圧変換回路、63 正帰還回路、64 論理固定部

、 6 4 1 第 1 トランジスタ、 6 4 2 第 2 トランジスタ、 6 4 3 第 3 トランジスタ、 6 4 4 第 4 トランジスタ、 6 4 5 第 5 トランジスタ、 I N V インバータ、 S L 2 出力信号線、 N 1 第 1 ノード、 N 2 第 2 ノード、 N 3 第 3 ノード

請求の範囲

- [請求項1] 入力信号と参照信号との比較に基づいた出力信号を出力する比較部と、
- 前記出力信号の論理が反転するまで、前記比較部の出力信号線の論理を第1論理に固定し、前記出力信号の論理が反転するタイミングで、前記出力信号線の論理の固定を解除する論理固定部と、
- を備える、比較器。
- [請求項2] 前記論理固定部は、第1基準電圧ノードと接続される前記比較部から前記出力信号線に流れるリーク電流を、第2基準電圧ノードに流すように、前記出力信号線の論理を前記第2基準電圧ノードに基づいた前記第1論理に固定する、請求項1に記載の比較器。
- [請求項3] 前記論理固定部は、前記比較部から前記出力信号線上の第1ノードに流れるリーク電流を、複数のリーク電流パスを介して前記出力信号線上の第2ノード及び前記第2基準電圧ノードに流すことにより、前記第1ノードから前記第2ノードに流れるリーク電流を前記第2基準電圧ノードに流すように、前記第2ノードの論理を前記第2基準電圧ノードに基づいた前記第1論理に固定する、請求項2に記載の比較器。
- [請求項4] 前記論理固定部は、
- 前記出力信号線上の第1ノードと第2ノードとの間に接続され、ゲートが前記第1ノードと電氣的に接続される第1トランジスタと、
- 前記第1ノードと第2基準電圧ノードとの間に接続される第2トランジスタ、及び、前記第2ノードと前記第2基準電圧ノードとの間に接続される第3トランジスタの少なくとも一方と、
- 前記第3トランジスタのゲートと、前記第2基準電圧ノードと、の間に接続され、ゲートが前記第1ノードと電氣的に接続される第4トランジスタと、
- 前記第3トランジスタのゲートと、第3基準電圧ノードと、の間に

接続される第5トランジスタと、

を有し、

前記出力信号の論理が反転するまで前記第3トランジスタをオンすることにより、前記第2ノードの論理を前記第2基準電圧ノードに基づいた前記第1論理に固定する、請求項1に記載の比較器。

[請求項5]

前記論理固定部は、

前記第2トランジスタのゲートに入力される第1初期化信号に基づいて前記第1ノードの電圧レベルを前記第2基準電圧ノードに基づいて初期化することにより、前記第1トランジスタ及び前記第4トランジスタをオフし、

前記第5トランジスタのゲートに入力される第2初期化信号に基づいて前記第3トランジスタのゲートの電圧レベルを前記第3基準電圧ノードに基づいて初期化することにより、前記第3トランジスタをオンするとともに、前記第2ノードの論理を前記第2基準電圧ノードに基づいた前記第1論理にする、請求項4に記載の比較器。

[請求項6]

前記論理固定部は、

前記比較部から前記第1ノードに流れるリーク電流を、オフ状態の前記第1トランジスタ及び前記第2トランジスタを介して、それぞれ前記第2ノード及び前記第2基準電圧ノードに流し、

オフ状態の前記第1トランジスタを介して前記第1ノードから前記第2ノードに流れるリーク電流を、オン状態の前記第3トランジスタを介して前記第2基準電圧ノードに流すように、前記第2ノードの論理を前記第2基準電圧ノードに基づいた前記第1論理に固定する、請求項4に記載の比較器。

[請求項7]

前記論理固定部は、オフ状態の前記第5トランジスタを介して前記第3基準電圧ノードから前記第3トランジスタのゲートに流れるリーク電流を、オフ状態の前記第4トランジスタを介して、前記第2基準電圧ノードに流す、請求項6に記載の比較器。

- [請求項8] 前記論理固定部は、
前記第1ノードに出力される前記出力信号の論理が反転するタイミングで前記第4トランジスタをオンすることにより、前記第3トランジスタをオフして前記第2ノードの論理の固定を解除し、
前記第1ノードに出力される前記出力信号の論理が反転するタイミングで前記第1トランジスタをオンすることにより、前記出力信号を前記第2ノードに供給する、請求項4に記載の比較器。
- [請求項9] 前記第1トランジスタ、前記第2トランジスタ、前記第3トランジスタ及び前記第4トランジスタは、同じ導電型のトランジスタであり、
前記第5トランジスタは、前記第1トランジスタ、前記第2トランジスタ、前記第3トランジスタ及び前記第4トランジスタとは異なる導電型のトランジスタである、請求項4に記載の比較器。
- [請求項10] 前記第2トランジスタのゲートと、前記第5トランジスタのゲートと、の間に接続されるインバータをさらに備える、請求項9に記載の比較器。
- [請求項11] 前記第1トランジスタ、前記第2トランジスタ、前記第3トランジスタ、前記第4トランジスタ及び前記第5トランジスタは、同じ導電型のトランジスタであり、
前記第5トランジスタのゲートは、前記第2トランジスタのゲートに入力される信号と同じ信号が入力される、請求項4に記載の比較器。
- [請求項12] 前記比較部は、前記比較部の第1基準電圧ノードと、前記出力信号線と、の間に接続される第6トランジスタを有し、
前記第6トランジスタの閾値電圧は、前記論理固定部が有するトランジスタの閾値電圧と略同じである、請求項1に記載の比較器。
- [請求項13] 前記比較部は、前記比較部の第1基準電圧ノードと、前記出力信号線と、の間に接続される第6トランジスタを有し、

前記第6トランジスタの閾値電圧は、前記論理固定部が有するトランジスタの閾値電圧よりも低い、請求項1に記載の比較器。

[請求項14] 前記出力信号に基づいて、前記比較器の比較結果信号の論理が反転するときの遷移速度を高速化する正帰還回路をさらに備え、

前記論理固定部は、第4基準電圧ノードと接続される前記正帰還回路から前記出力信号線に流れるリーク電流を、第2基準電圧ノードに流すように、前記出力信号線の論理を前記第2基準電圧ノードに基づいた前記第1論理に固定する、請求項1に記載の比較器。

[請求項15] 前記第4基準電圧ノードよりも高い第1基準電圧ノードの電圧で動作する前記比較部の前記出力信号を、前記第4基準電圧ノードの電圧に対応する信号に変換する電圧変換回路をさらに備える、請求項14に記載の比較器。

[請求項16] 入力信号と参照信号との比較に基づいた出力信号を出力する比較部と、

前記出力信号の論理が反転するまで、前記比較部の出力信号線の論理を第1論理に固定し、前記出力信号の論理が反転するタイミングで、前記出力信号線の論理の固定を回路する論理固定部と、

を備える比較器と、

前記比較器の比較結果信号が反転したときの時刻コードを記憶するデータ記憶部と、

を備える、AD変換器。

[請求項17] 入力信号と参照信号との比較に基づいた出力信号を出力する比較部と、

前記出力信号の論理が反転するまで、前記比較部の出力信号線の論理を第1論理に固定し、前記出力信号の論理が反転するタイミングで、前記出力信号線の論理の固定を回路する論理固定部と、

を備える比較器と、

前記比較器の比較結果信号が反転したときの時刻コードを記憶する

データ記憶部と、

を備えるA/D変換器と、

画素に入射された光を受光して光電変換することで生成された電荷信号を、前記入力信号として前記比較部に出力する画素回路と、
を備える、固体撮像装置。

[請求項18]

前記画素回路が配置される第1チップと、

前記第1チップと積層され、前記論理固定部が配置される第2チップと、をさらに備える、請求項17に記載の固体撮像装置。

[請求項19]

前記A/D変換器は、画素ごとに配置される、請求項17に記載の固体撮像装置。

[請求項20]

入力信号と参照信号との比較に基づいた出力信号を出力する比較部と、

前記出力信号の論理が反転するまで、前記比較部の出力信号線の論理を第1論理に固定し、前記出力信号の論理が反転するタイミングで、前記出力信号線の論理の固定を回路する論理固定部と、

を備える比較器と、

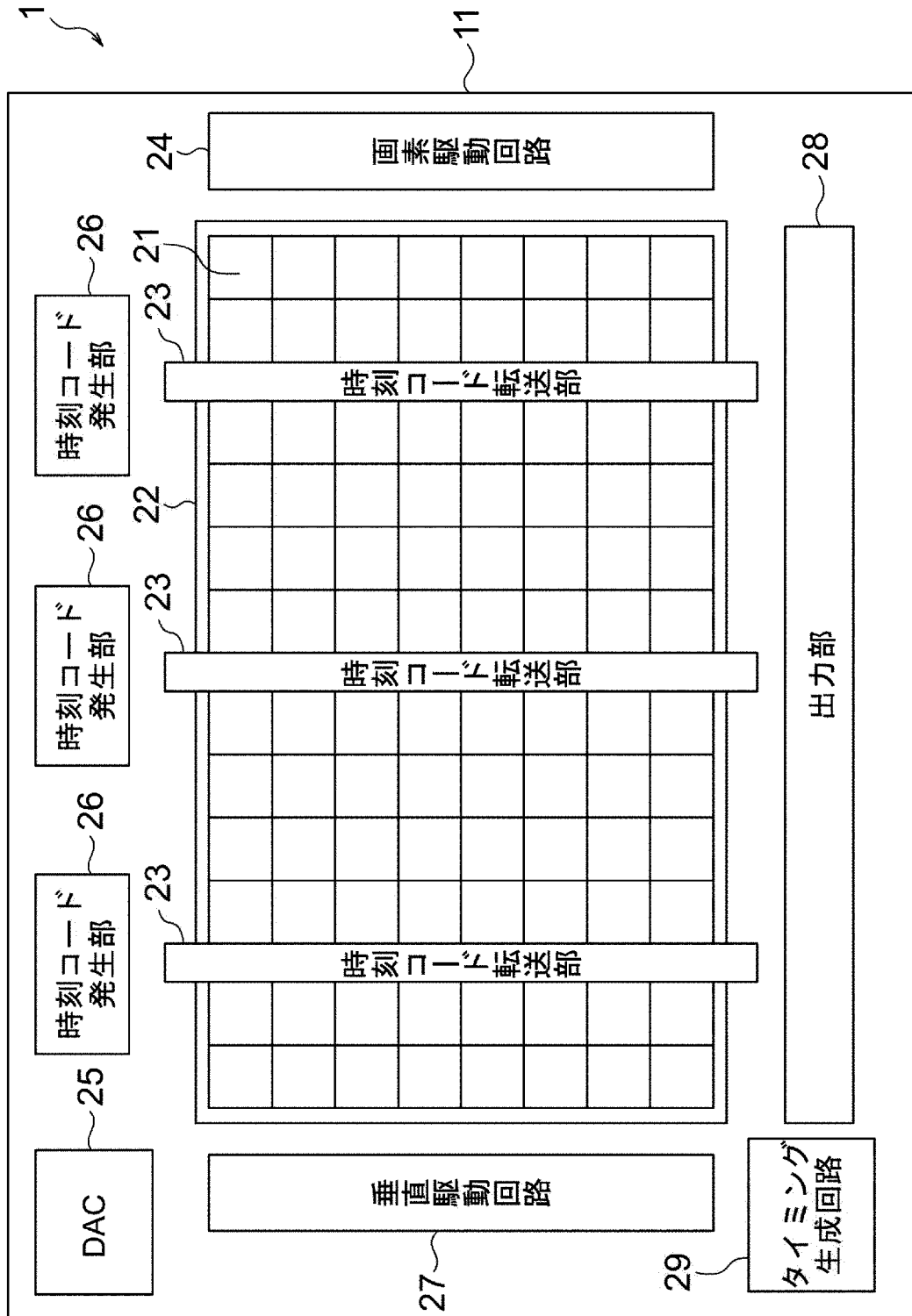
前記比較器の比較結果信号が反転したときの時刻コードを記憶するデータ記憶部と、

を備えるA/D変換器と、

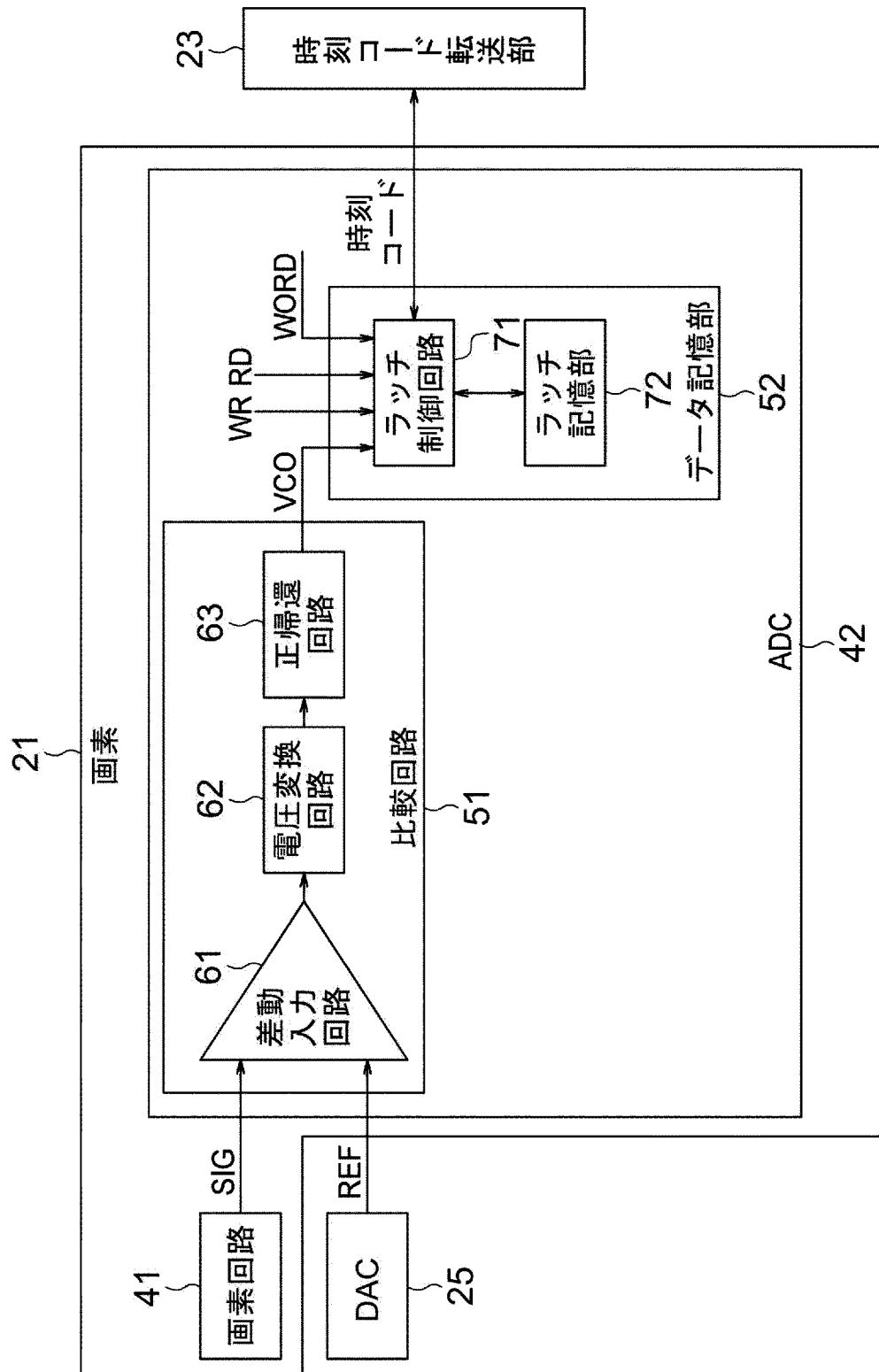
画素に入射された光を受光して光電変換することで生成された電荷信号を、前記入力信号として前記比較部に出力する画素回路と、
を備える固体撮像装置

を備える、電子機器。

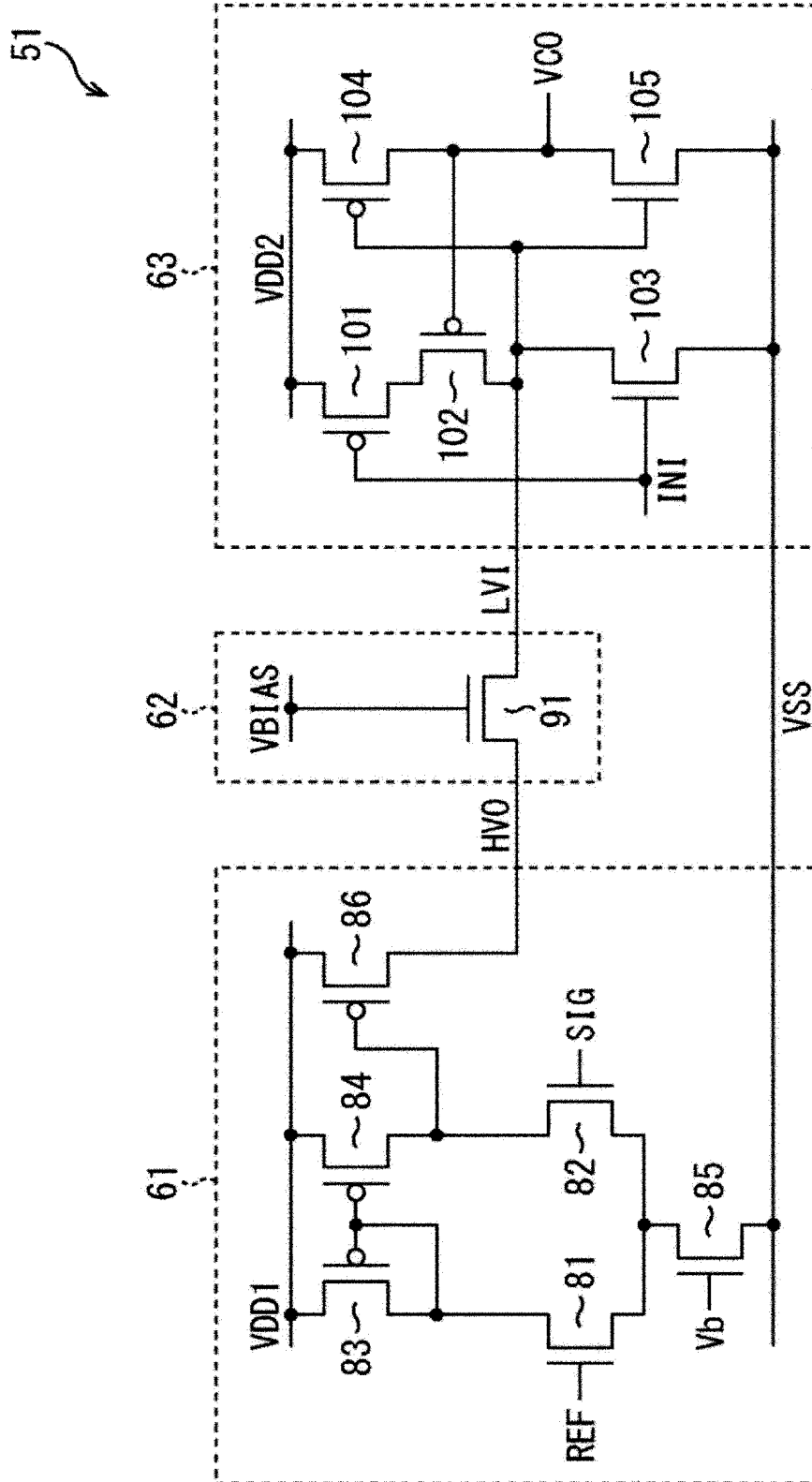
[図1]



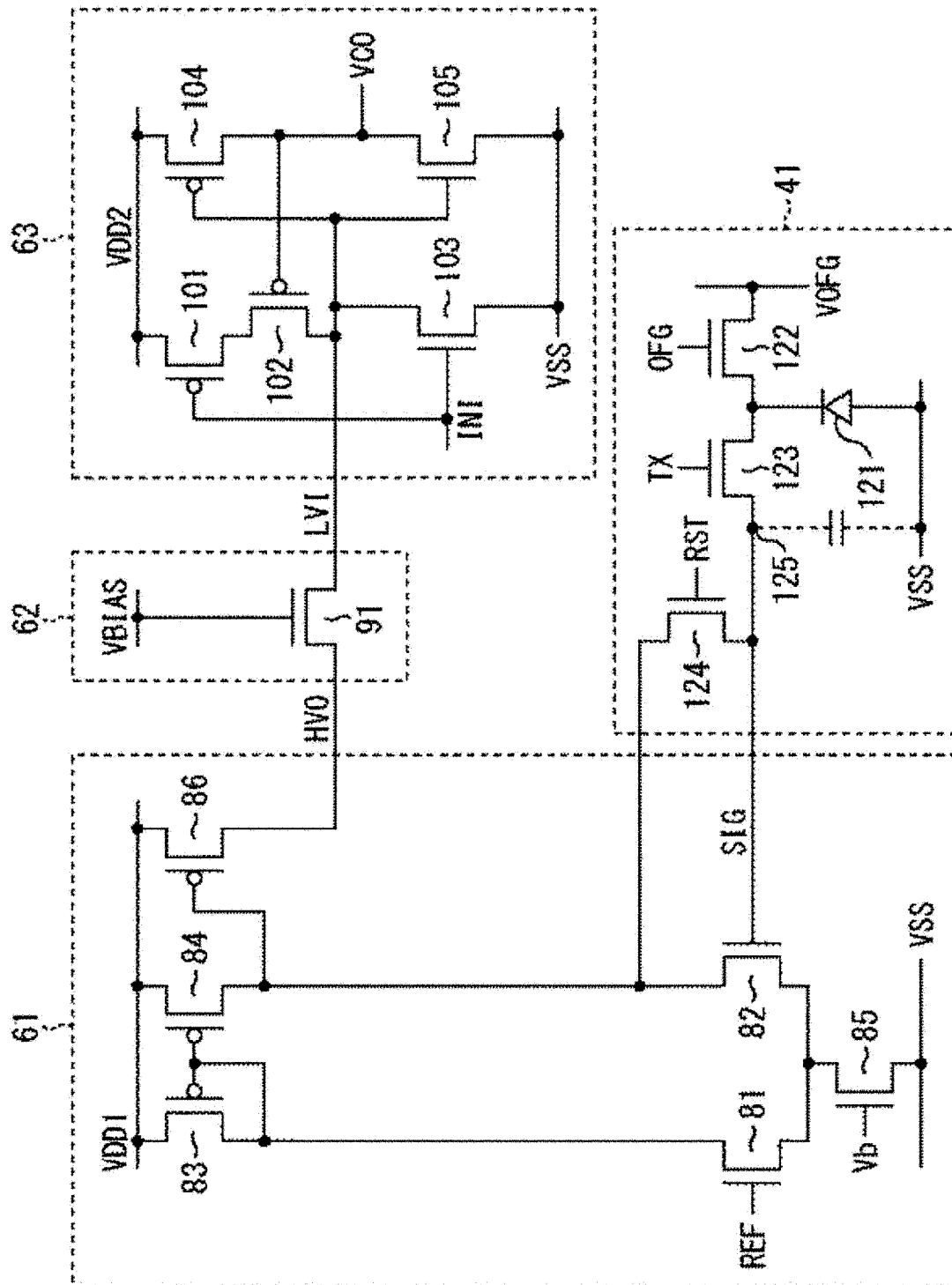
[図2]



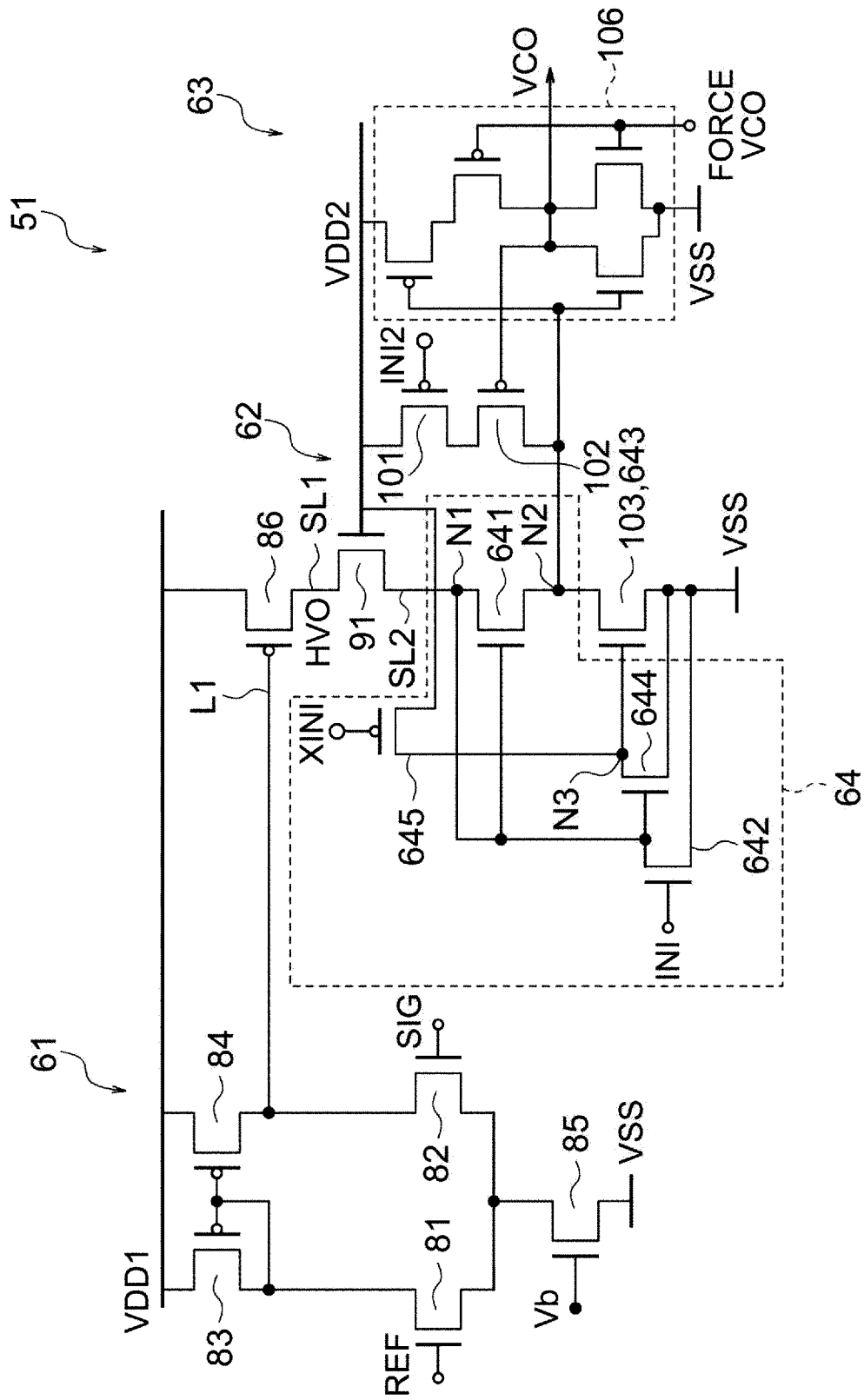
[図3]



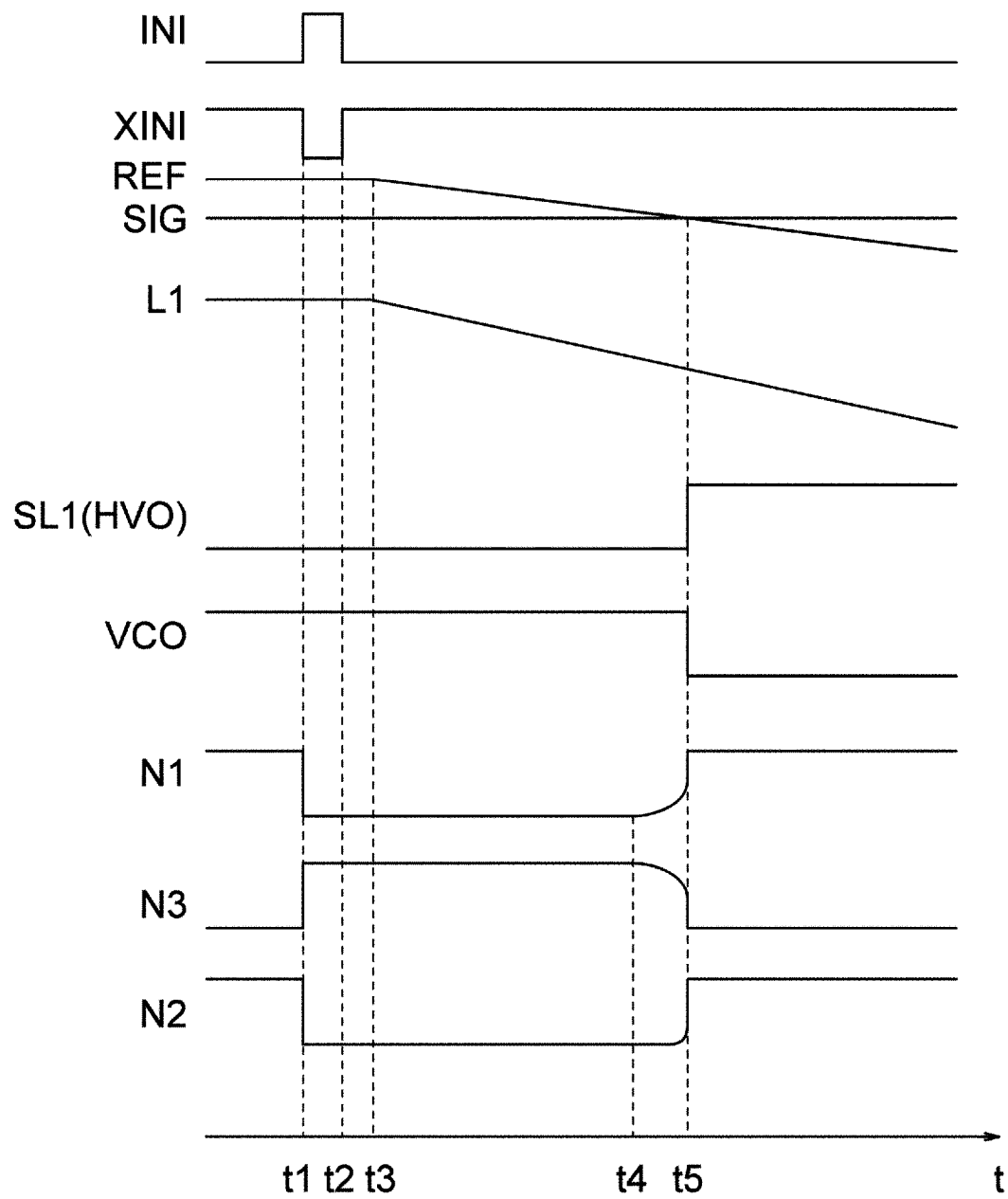
[図4]



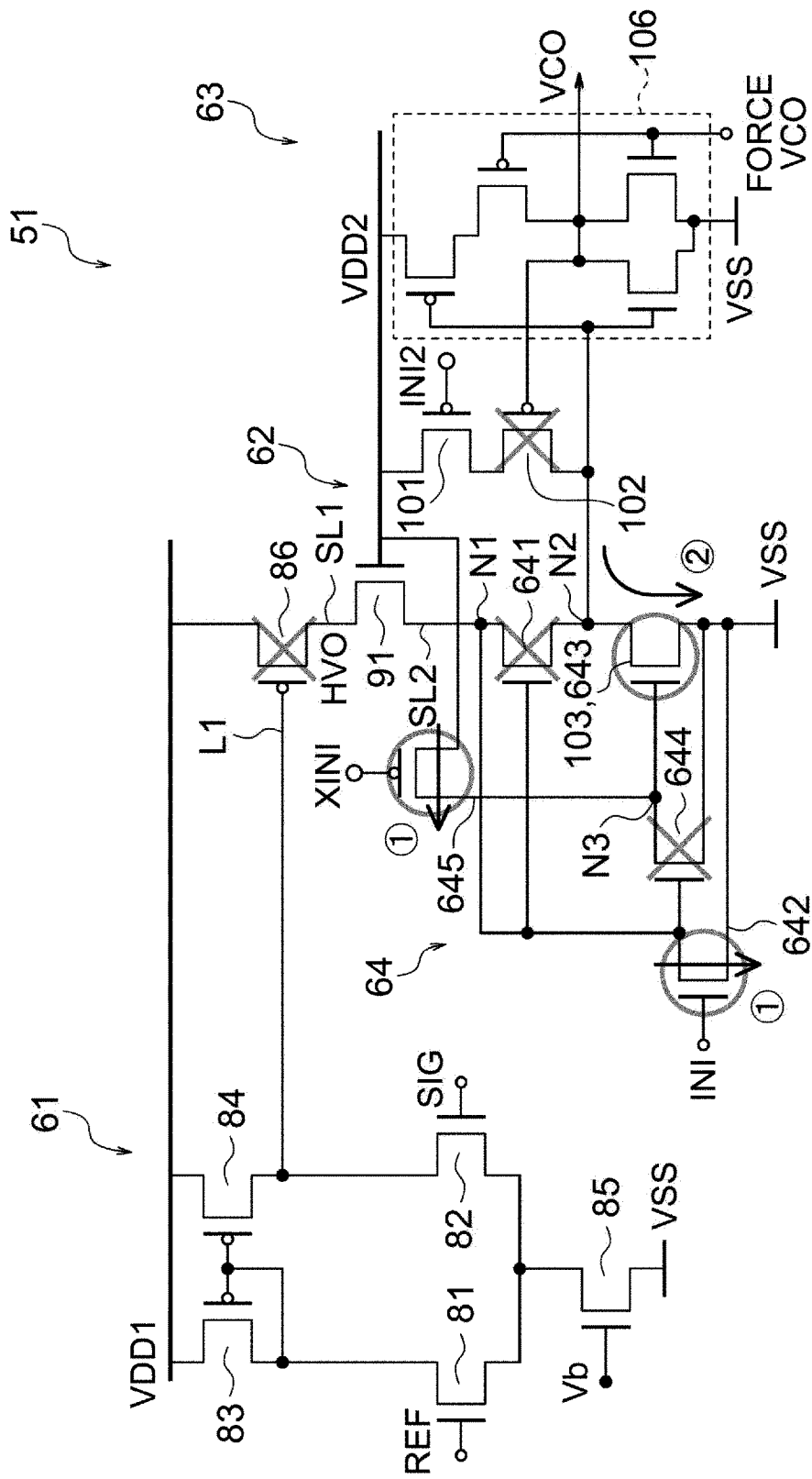
[図5]



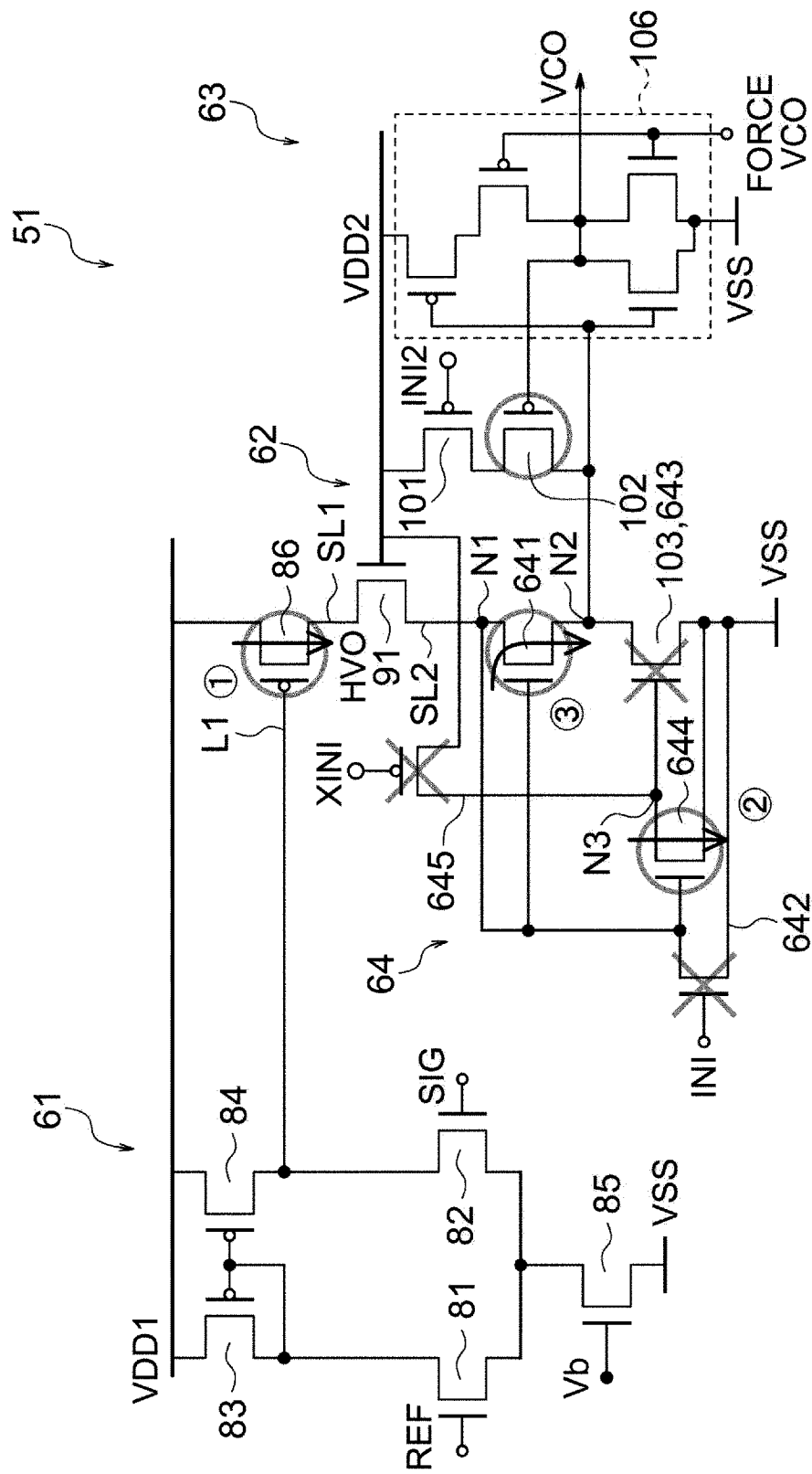
[図6]



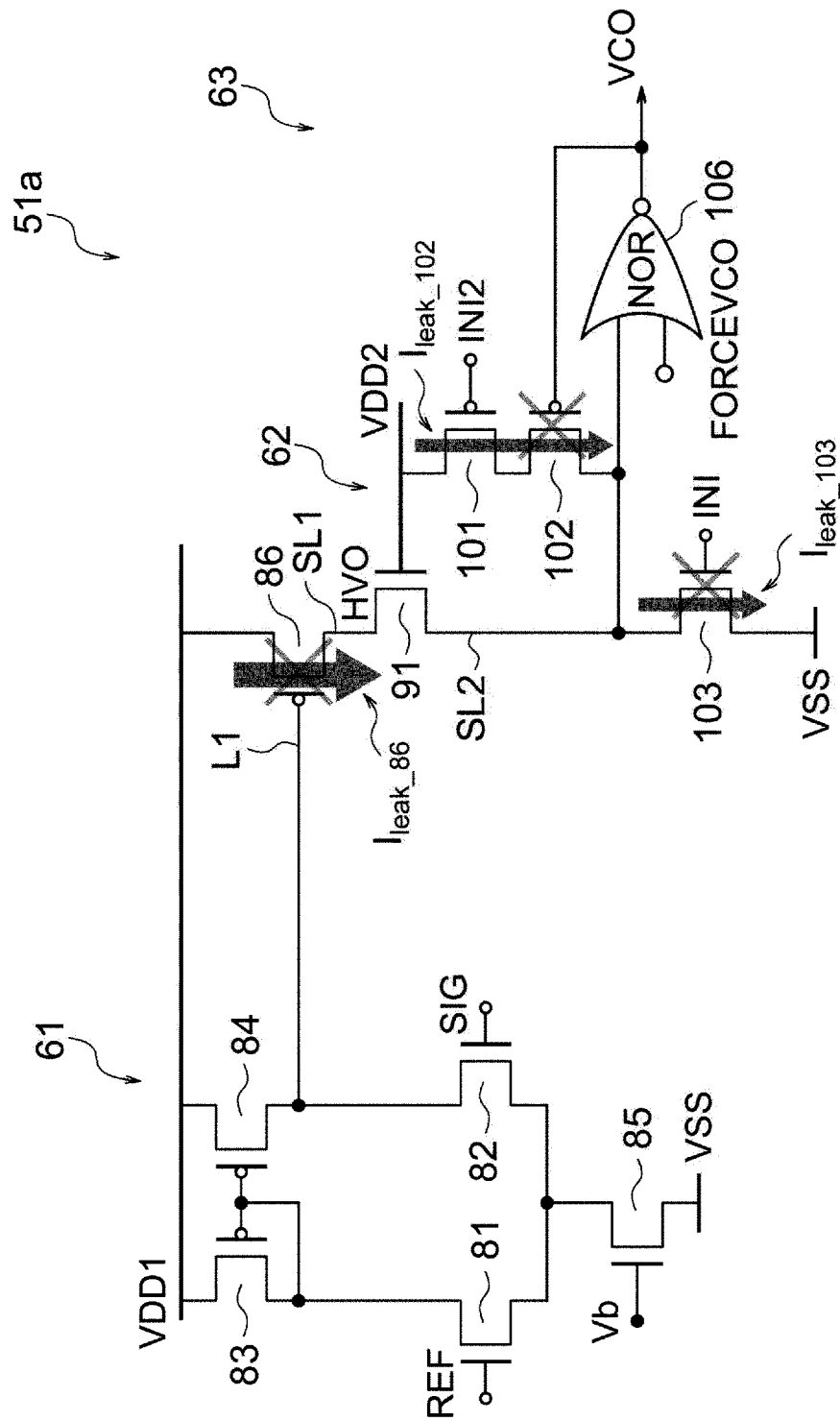
[図7A]



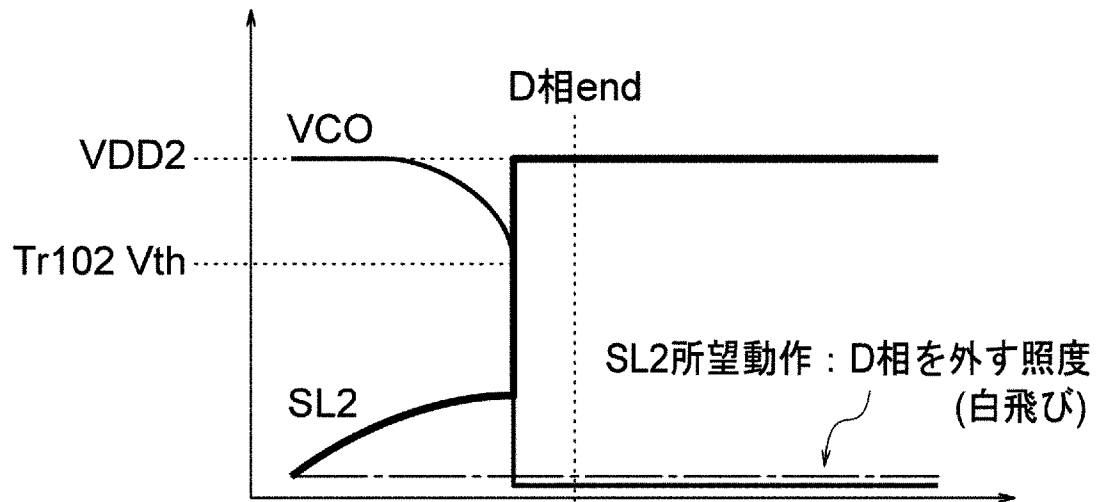
[図7C]



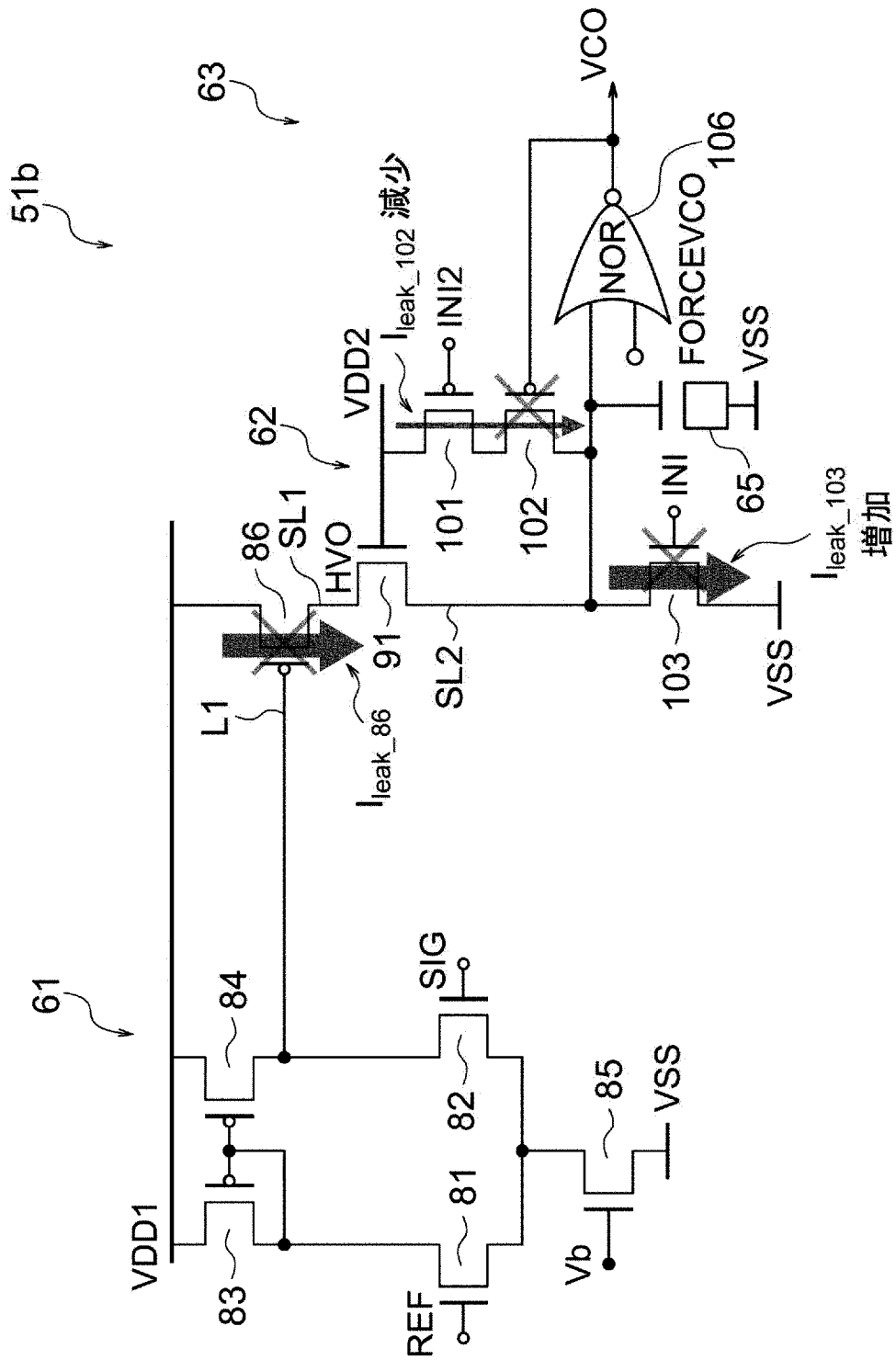
[図8]



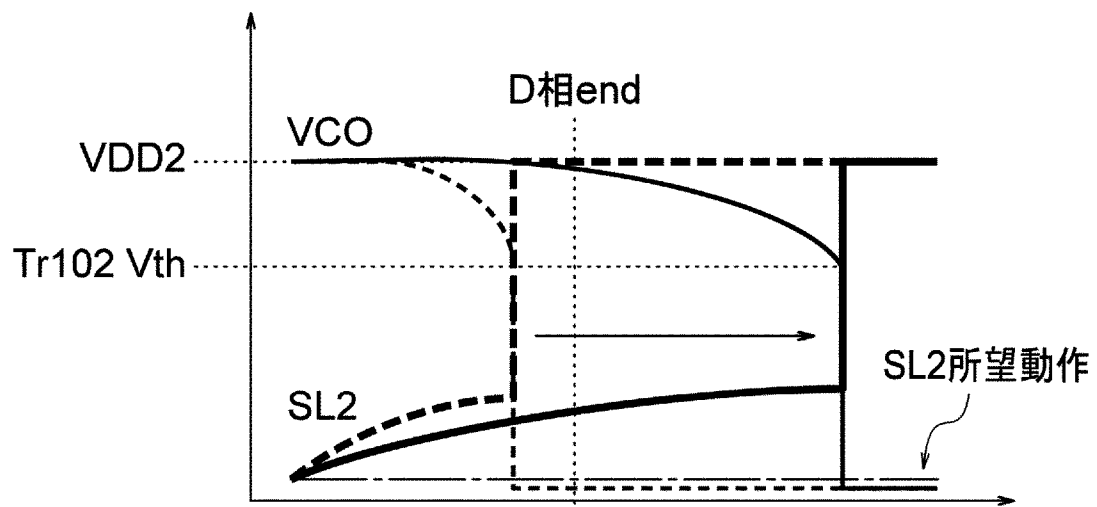
[図9]



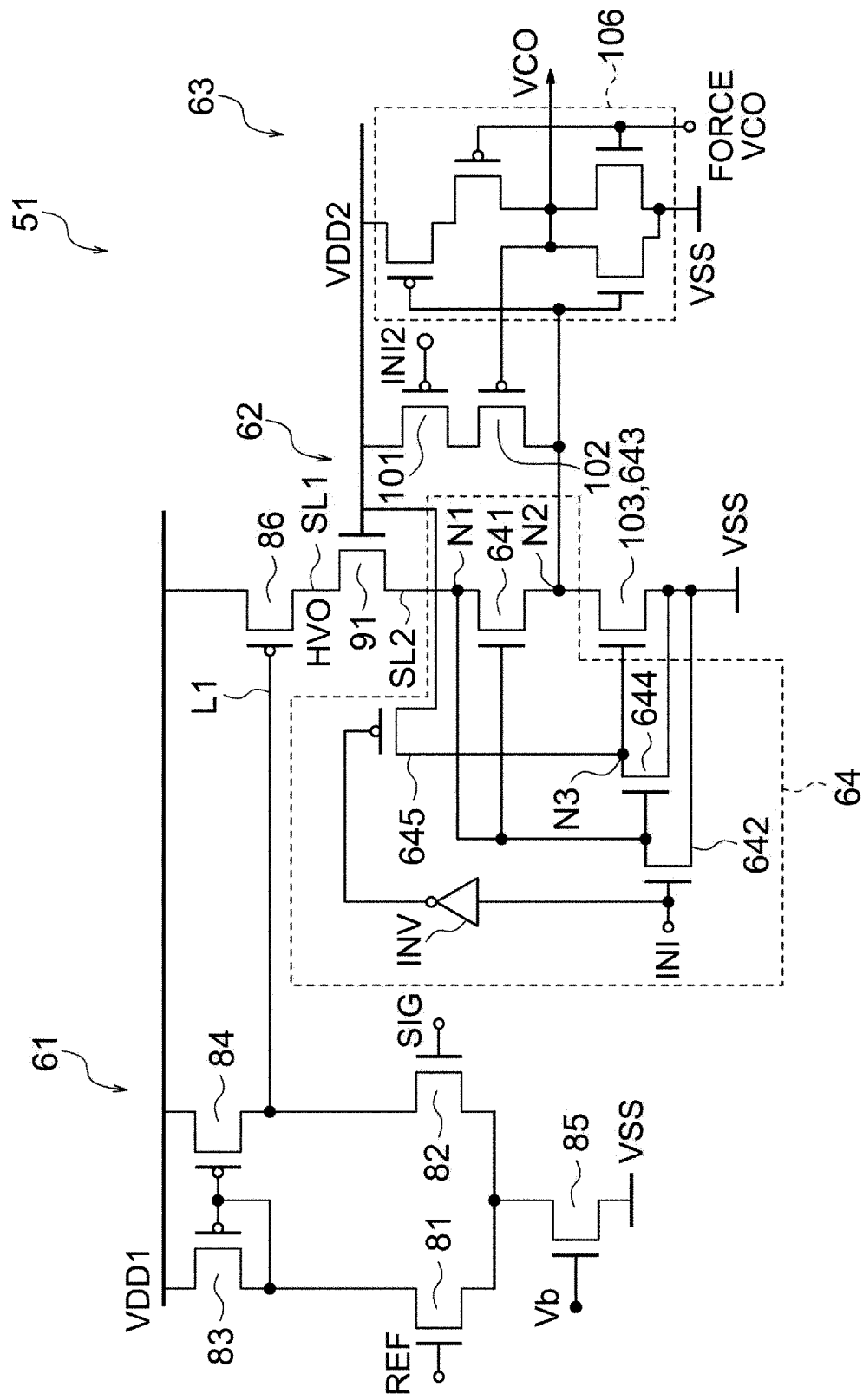
[図10]



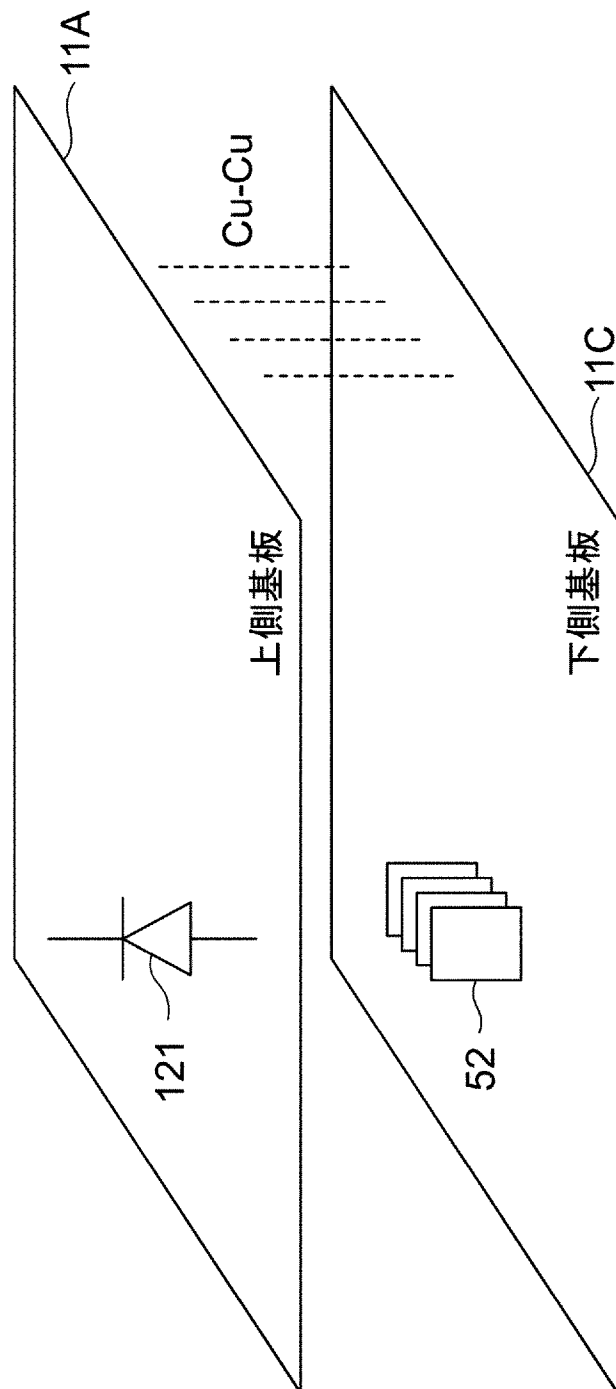
[図11]



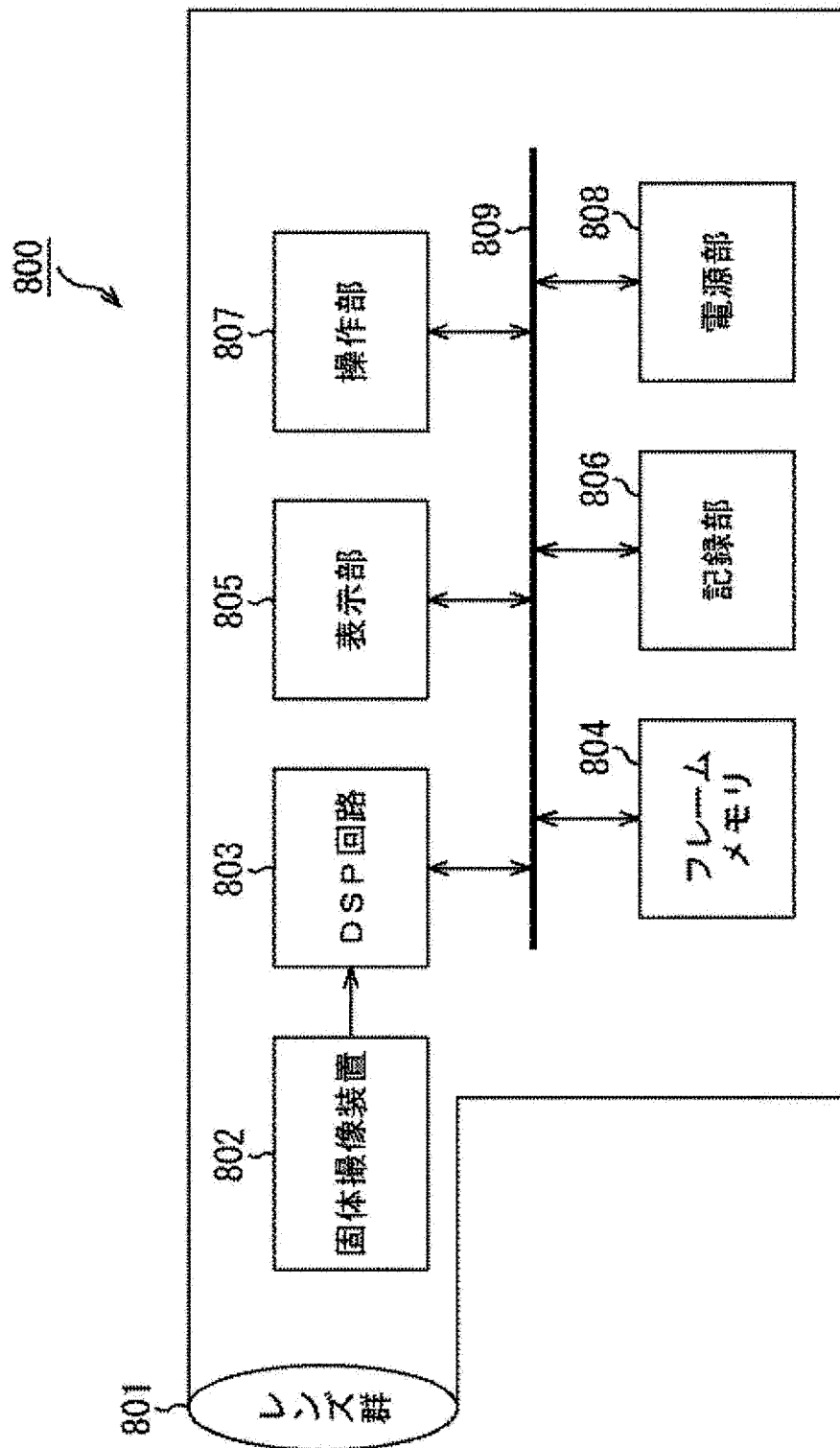
[図12]



[図14]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/006683

A. CLASSIFICATION OF SUBJECT MATTER**H03K 5/08**(2006.01)i; **H04N 5/369**(2011.01)i; **H04N 5/378**(2011.01)i

FI: H03K5/08 E; H04N5/369; H04N5/378

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K5/08; H04N5/369; H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2022
 Registered utility model specifications of Japan 1996-2022
 Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2009-171397 A (SONY CORP.) 30 July 2009 (2009-07-30) paragraphs [0040]-[0069], fig. 4, 5, 12	1, 12-13, 16-17, 20
Y		2-3, 14-15, 18-19
A		4-11
Y	JP 2011-182188 A (SEMICONDUCTOR TECHNOLOGY ACADEMIC RESEARCH CENTER) 15 September 2011 (2011-09-15) paragraph [0047], fig. 10	2-3, 14-15
A		4-11
Y	WO 2018/037901 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 01 March 2018 (2018-03-01) paragraphs [0021]-[0061], [0122]-[0126], fig. 2, 3, 14, 15	14-15, 18-19
A		4-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

22 April 2022

Date of mailing of the international search report

10 May 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/006683

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2009-171397	A	30 July 2009	US 2009/0184236 A1 paragraphs [0078]-[0168], fig. 4, 5, 12	
JP	2011-182188	A	15 September 2011	US 2011/0210762 A1 paragraph [0090], fig. 10	
WO	2018/037901	A1	01 March 2018	US 2019/0207596 A1 paragraphs [0045]-[0086], [0147]-[0151], fig. 2, 3, 14, 15	
				EP 3503535 A1	
				CN 109479106 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03K 5/08(2006.01)i; H04N 5/369(2011.01)i; H04N 5/378(2011.01)i FI: H03K5/08 E; H04N5/369; H04N5/378														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H03K5/08; H04N5/369; H04N5/378														
最小限資料以外の資料で調査を行った分野に含まれるもの														
<table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2022年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2022年	日本国実用新案登録公報	1996 - 2022年	日本国登録実用新案公報	1994 - 2022年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2022年													
日本国実用新案登録公報	1996 - 2022年													
日本国登録実用新案公報	1994 - 2022年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
X	JP 2009-171397 A（ソニー株式会社）30.07.2009（2009 - 07 - 30） 段落[0040]-[0069]，図4-5，12	1, 12-13, 16-17, 20												
Y		2-3, 14-15, 18-19												
A		4-11												
Y	JP 2011-182188 A（株式会社半導体理工学研究センター）15.09.2011（2011 - 09 - 15） 段落[0047]，図10	2-3, 14-15												
A		4-11												
Y	WO 2018/037901 A1（ソニーセミコンダクタソリューションズ株式会社）01.03.2018 （2018 - 03 - 01） 段落[0021]-[0061]，[0122]-[0126]，図2-3，14-15	14-15, 18-19												
A		4-11												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 22.04.2022	国際調査報告の発送日 10.05.2022													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 及川 尚人 5W 5888 電話番号 03-3581-1101 内線 3576													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/006683

引用文献			公表日	パテントファミリー文献	公表日
JP	2009-171397	A	30.07.2009	US 2009/0184236 A1 段落[0078]-[0168], 図4- 5, 12	
JP	2011-182188	A	15.09.2011	US 2011/0210762 A1 段落[0090], 図10	
WO	2018/037901	A1	01.03.2018	US 2019/0207596 A1 段落[0045]-[0086], [0147]-[0151], 図2-3, 14- 15	
				EP 3503535 A1	
				CN 109479106 A	