

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011年3月31日(31.03.2011)

PCT

(10) 国際公開番号
WO 2011/037003 A1

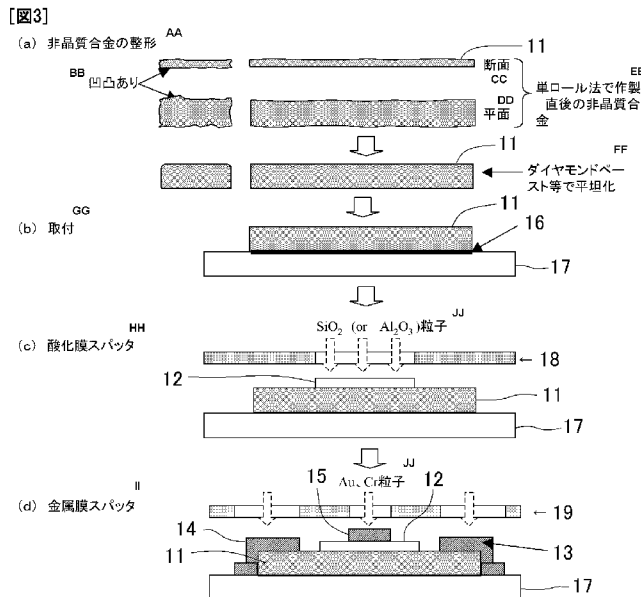
- (51) 国際特許分類:
H01L 29/66 (2006.01) H01L 29/06 (2006.01)
H01L 21/822 (2006.01) H01L 29/786 (2006.01)
H01L 27/04 (2006.01)
- (21) 国際出願番号: PCT/JP2010/065234
- (22) 国際出願日: 2010年9月6日(06.09.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-218358 2009年9月24日(24.09.2009) JP
- (71) 出願人(米国を除く全ての指定国について): 国立大学法人東北大学(TOHOKU UNIVERSITY) [JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 Miyagi (JP). 学校法人早稲田大学(WASEDA UNIVERSITY) [JP/JP]; 〒1698050 東京都新宿区戸塚町1丁目104番地 Tokyo (JP).

- (72) 発明者: および
- (75) 発明者/出願人(米国についてのみ): 福原 幹夫(FUKUHARA Mikio) [JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内 Miyagi (JP). 佐々木 敏夫(SASAKI Toshio) [JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内 Miyagi (JP). 吉田 肇(YOSHIDA Shigeru) [JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内 Miyagi (JP). 井上明久(INOUE Akihisa) [JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内 Miyagi (JP). 川原田 洋(KAWARADA Hiroshi) [JP/JP]; 〒1698050 東京都新宿区戸塚町1丁目104番地 学校法人早稲田大学内 Tokyo (JP). 関口 哲志(SEKIGUCHI Tetsushi) [JP/JP]; 〒1698050 東京都新宿区戸塚町1丁目104番地 学校法人早稲田大学内 Tokyo (JP). 齋藤 美紀子(SAITO Mikiko) [JP/JP]; 〒1698050 東京都新宿区戸塚町1丁目104番地 学校法人早稲田大学内 Tokyo (JP). 水野 潤(MIZUNO Jun) [JP/JP]; 〒1698050 東京都新宿区戸

[続葉有]

(54) Title: FIELD-EFFECT TRANSISTOR AND INTEGRATED CIRCUIT

(54) 発明の名称: 電界効果型トランジスタおよび集積回路



AA SHAPING OF AMORPHOUS ALLOY
BB UNEVEN SURFACE
CC SECTION
DD PLANE
EE AMORPHOUS ALLOY IMMEDIATELY AFTER BEING PRODUCED BY SINGLE ROLL METHOD
FF PLANARIZED BY DIAMOND PASTE, ETC.
GG ATTACHMENT
HH OXIDIZED FILM SPUTTERING
JJ PARTICLES
II METAL FILM SPUTTERING

(57) Abstract: Provided is a field-effect transistor which operates based on single electrons or atoms and which can be operated at a room temperature and can be densely integrated. A thin film (11) is composed of an amorphous alloy or a metal glass. An electrical insulation film (12) is provided on one surface of the thin film (11). A source electrode (13) and a drain electrode (14) are provided on both ends of the thin film (11). A gate electrode (15) is provided on the surface of the film (12). The thin film (11) has a metal polyhedral structure or a metal cluster having a plurality of conductive islands in which nanoscopic or sub-nanoscopic gaps or tunnels are formed in a two-dimensional plane or a three-dimensional space. The thin film (11) is configured so that hydrogen dissolved in the metal polyhedral structure or the metal cluster forms voids having a capacitance of a nanoscopic or subnanoscopic diameter, and tunneling of protons or electrons occurs via the voids.

(57) 要約: 【課題】室温動作し、高密度集積化が可能な、単電子または原子で作動する電界効果型トランジスタを提供する。

[続葉有]

WO 2011/037003 A1



塚町 1 丁目 1 0 4 番地 学校法人早稲田大学
内 Tokyo (JP).

(74) 代理人: 須田 篤, 外(SUDA Atsushi et al.); 〒
9800012 宮城県仙台市青葉区錦町一丁目 2 番 1
0-6 0 5 号 Miyagi (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH,
PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF,
BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE,
SN, TD, TG).

規則 4.17 に規定する申立て:

— 発明者である旨の申立て (規則 4.17(iv))

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

【解決手段】薄膜 1 1 が、非晶質合金または金属ガラスから成る。電気絶縁性の被膜 1 2 が、薄膜 1 1 の一方の表面に設けられている。ソース電極 1 3 とドレイン電極 1 4 とが、薄膜 1 1 の両端にそれぞれ設けられている。ゲート電極 1 5 が、被膜 1 2 の表面に設けられている。薄膜 1 1 は、2 次元平面もしくは 3 次元空間に、ナノスケールまたはサブナノスケールの隙間またはトンネルが並んで形成された複数の伝導島を有する金属多面体構造または金属クラスターを有している。薄膜 1 1 は、金属多面体構造または金属クラスター間に固溶した水素がナノスケールまたはサブナノスケール径のキャパシタンスを持った空隙を形成し、プロトンまたは電子がその空隙を介してトンネリングするよう構成されている。

明 細 書

発明の名称：電界効果型トランジスタおよび集積回路

技術分野

[0001] 本発明は、非晶質合金または金属ガラスから成る薄膜を用いた電界効果型トランジスタおよび集積回路に関する。

背景技術

[0002] シリコンを基盤とした半導体デバイスおよびそれを利用したコンピュータは、ムーアの法則に乗って急速なる発展を遂げてきた。しかし、従来のトランジスタは、1～10万個の電子からなる「電流」によって作動するため、その微細化によるデバイスの動作上の問題点と、集積度の向上に伴う発熱およびノイズの問題点とから、ムーアの法則には技術的限界が近づいている。これを克服する一つの方法として、従来の集積回路に使われているトランジスタとは異なり、単一の電子もしくは原子で作動する新しい動作原理に基づくデバイス・システムおよびその集積化が必要である。

[0003] 単電子もしくは原子で作動するデバイス・システムの集積回路ができれば、従来の集積回路と較べて消費電力を10万分の1程度まで減少でき、動作限界が緩和され、発熱による集積回路不能の問題も回避できる。

[0004] 単電子作動のデバイス・システムは、クーロンブロック現象と呼ばれる単電子固有の新しい作動原理に基づいて機能する。この現象は、金属または半導体の物質サイズがナノサイズにまで小さくなると現れる量子効果の現象である。ナノメートルスケールサイズの金属または半導体（別名「導体島」または「クーロン島」）では、ナノメートルの間隙（別名「トンネルギャップ」）で電極を繋いだ場合、電子の移動は阻止（ブロック）され、電極にある一定以上の電圧を印加したときのみ、電子がトンネリング現象によって電極からこれらの島に移動する（例えば、非特許文献1参照）。

[0005] 単電子トンネリングは、構造自体が本質的に小さく、高密度集積化に適しているが、クーロン島の大きさをナノメートルサイズまで小さくして集積さ

せ、室温で作動させるには、島の間の空隙を 1.6 aF 以下のキャパシタンスを持ったナノスケールまたはサブナノスケール径の空隙とする必要がある。現在、単電子トンネリングとしての室温動作での研究報告がなされている（例えば、非特許文献 2 参照）。

[0006] 原子のトンネリングであるプロトントンネリングでは、電荷は $+1$ なので、単電子トンネリングと極性が正反対となる。また、原子トンネリングでは、トンネル効果によるリーク電流の発生に伴い作動しなくなるという、従来の半導体素子で生ずる欠点を克服することができる。また、単電子トンネリングおよび原子トンネリングを利用したデバイスでは、トンネル現象で電子が移動するため、配線が不必要になる。

[0007] なお、本発明者等は、予備研究として、低温及び常温において、非晶質合金における直流／交流増幅作用（例えば、非特許文献 3、4 参照）およびクーロン振動（例えば、非特許文献 5、6 参照）を発表している。また、本発明者等は、金属アモルファスを含む合金に、電気分解やイオン注入法、ガス浸透法のような種々の方法により水素をチャージさせるという方法により、量子ドットトンネリングする集積微細構造である合金が形成されることを見出している（例えば、特許文献 1 参照）。さらに、本発明者等は、その合金の金属クラスターの大きさ、および金属クラスター間のトンネル径の大きさを求めている（例えば、非特許文献 7、8 参照）。

先行技術文献

特許文献

[0008] 特許文献 1：特開 2009-99868 号公報

非特許文献

[0009] 非特許文献 1：T. A. Fulton and G. J. Dolan, “Observation of Single-Electron Charging Effects in Small Tunnel Junctions”, Phys. Rev. Lett., 1987 年, 90, p. 109-112

非特許文献 2：H. W. ChPostma, T. Teepen, Z. Yao, M. Grifoni and G. Dekker, “Carbon Nanotube Single-Electron Transistors at Room Temperature”, Sci

ence, 2001年7月6日, 293, p. 76

非特許文献3: M. Fukuhara, A. Kawashima, S. Yamaura and A. Inoue, “Coulomb oscillation of a proton in a Ni-Nb-Zr-H glassy alloy with multiple junctions”, Appl. Phys. Lett., 2007年, 90, p. 203111

非特許文献4: M. Fukuhara and A. Inoue, “Room-temperature Coulomb oscillation of a proton dot in Ni-Nb-Zr-H glassy alloy with nanofarad capacitance”, J. Appl. Phys., 2009年, 105, p. 063715

非特許文献5: M. Fukuhara, S. Yamaura and A. Inoue, “A proton dot tunneling in a Ni-Nb-Zr-H glassy alloy with multiple junctions”, Journal of Physics: Conference Series, 2009年, 144, p. 012086

非特許文献6: M. Fukuhara, S. Yamaura and A. Inoue, “Coulomb oscillation of a proton in a Ti-Ni-Cu-H glassy alloy with multiple junctions”, Phys. Stat. Soli., 2009年, B. 246, p. 153-157

非特許文献7: M. Fukuhara, N. Fujima, H. Oji, A. Inoue and S. Emura, “Structures of the icosahedral clusters in Ni-Nb-Zr-H glassy alloys determined by first-principles molecular dynamics calculation and XAFS measurements”, J. Alloy Comp., 2010年, 497, p. 182-187

非特許文献8: M. Fukuhara, M. Seto and A. Inoue, “ac impedance analysis of a Ni-Nb-Zr-H glassy alloy with femtofarad capacitance tunnels”, Appl. Phys. Lett., 2010年, 96, p. 043103

発明の概要

発明が解決しようとする課題

- [0010] 従来の単電子トンネリングを利用した単電子作動のデバイス・システムでは、非特許文献2に記載のように、室温動作での研究報告がなされているが、デバイスの集積化（セル化）には至っていないという課題があった。すなわち、多くの単電子トランジスタを微細な細線を用いて結ぶことは、従来の技術では不可能であった。単電子デバイスが正常に動作するには、電子間の力が電子のもつ熱運動に打ち勝つ必要があり、室温で動作する単電子デバイ

スでは、数 nm と極微細な構造が必要となり、現在の技術では 30 nm が限界であることから、その製造方法が問題になっていた。

[0011] 本発明は、このような課題に着目してなされたもので、非特許文献 3、4 および特許文献 1 に記載の研究をさらに発展させて、室温動作し、高密度集積化が可能な、単電子または原子で作動する電界効果型トランジスタおよび集積回路を提供することを目的としている。

課題を解決するための手段

[0012] 上記目的を達成するために、本発明者らは、新たな発想のもとに鋭意研究を行い、金属アモルファスを含む非晶質合金または金属ガラスに、電気分解やイオン注入法、ガス浸透法のような種々の方法により水素をチャージさせるという方法によって、ナノスケールまたはサブナノスケール径のキャパシタンスを持った空隙を形成し、本発明を完成することに至った。さらに、それらの方法で、液体窒素、液体水素冷媒により急速冷却蒸着させることにより、本発明を補足可能であることも見出した。

[0013] すなわち、本発明に係る電界効果型トランジスタは、非晶質合金または金属ガラスから成る薄膜と、前記薄膜の一方の表面に設けられた電気絶縁性の被膜と、前記薄膜の両端にそれぞれ設けられたソース電極とドレイン電極と、前記被膜の表面に設けられたゲート電極とを有し、前記薄膜は、2次元平面もしくは3次元空間に、ナノスケールまたはサブナノスケールの隙間またはトンネルが並んで形成された複数の伝導島を有する金属多面体構造または金属クラスターを有し、前記金属多面体構造または前記金属クラスター間に固溶した水素がナノスケールまたはサブナノスケール径のキャパシタンスを持った空隙を形成し、プロトンまたは電子が前記空隙を介してトンネリングするよう構成されていることを、特徴とする。

[0014] 本発明に係る電界効果型トランジスタでは、ゲート電極からの静電誘導により、ナノスケールまたはサブナノスケールサイズの金属多面体構造または金属クラスターの伝導島間に、ナノスケールまたはサブナノスケール径のキャパシタンスを持った空隙を介して、プロトンまたは電子がトンネリングす

ることを利用しており、極低温から200℃までの温度において動作が可能である。従来のリソグラフィ技術では、伝導島の幅は30nmが限界であるが、本発明の一例では、金属クラスターの大きさは0.55nm程度、クラスター間の空隙は平均0.13nm程度であるため、常温クーロン振動が背景熱雑音に打ち勝って、トンネリングが容易に起こる。

[0015] 本発明に係る電界効果型トランジスタでは、薄膜の複数の伝導島が、2次元平面もしくは3次元空間に、ナノスケールまたはサブナノスケールの隙間またはトンネルが並んで形成された、ほぼ均一サイズの集積微細構造（量子ドット集積構造）を成しており、トンネリングでプロトンまたは電子が移動するため、配線が不要である。このため、配線の問題が起きず、高密度集積化が可能である。配線がなくトンネル電流の漏洩もないことから、電子輸送の機能化を最大限に利用できるため、情報処理を行う超高速集積・極低電力システムを構成することができる。なお、本発明に係る電界効果型トランジスタは、電子がトンネリングする場合には、単電子トランジスタとなる。

[0016] 薄膜を構成する非晶質合金または金属ガラスは、配線のない理想的なネットワーク組織をしているため、単電子またはプロトンの近接相互作用によって作動する量子ドットセルオートマトンになっている。このセルオートマトンを平行に並べることにより、各セル間では隣接するセルからの静電力は働くが、電子やプロトンのトンネリングは起こらず、また配線同士のクロストークも回避できるため、従来の半導体集積回路の欠点を完全に克服することができる。

[0017] 本発明に係る電界効果型トランジスタは、直流／交流変換、整流作用、スイッチング作用、メモリー作用、電流増幅作用、電磁アシストクーロン振動、光アシストクーロン振動を起こすことができる。また、磁場下、光または電磁波照射下で、量子ドット現象が生じ、変調信号を出現させることができる。ほぼ均一サイズの縦横に並んだ伝導島（量子ドット）間に生じる近接効果を利用して、信号処理、画像処理、さらには量子ドットアレイの活性層を持たせてレーザー発振させることもできる。この量子ドットレーザーでは、

電気を光に変える「エレクトロルミネッセンス」や、ある波長の可視光を照射すると別の波長の光を放出する「フォトルミネッセンス」と呼ばれる現象を起こさせることもできる。

[0018] 本発明に係る電界効果型トランジスタでは、薄膜を構成する非晶質合金または金属ガラスは、金属アモルファスを含み、四面体、八面体、十二面体、二十面体等の金属多面体構造または金属クラスターもしくはその派生構造の組み合わせから、部分的もしくは全面的に構成されていることが好ましい。このような非晶質合金または金属ガラスに水素原子が吸収される時、最初はクラスター間に侵入して空隙またはサブナノサイズのトンネルを形成し、さらに水素量が増えると、金属多面体内または金属クラスター内に侵入し固溶される。その固溶限は水素原子との親和性がある元素によって異なるものの、水素原子が最大固溶限界まで固溶した組織は、ナノオーダーの均一な組織ネットワーク構造が系全体に作成されている理想的なナノマテリアルとなる。

[0019] また、薄膜を構成する非晶質合金または金属ガラスは、水素との親和性が良い金属元素および水素と親和性のない金属元素の両方を使用することが好ましい。量子ドット現象の発生温度は、水素との親和性の高い金属元素の量によって制御できるため、各種の用途に応じて構成元素の種類と組成とを変化させることが好ましい。さらに、量子ドット現象の感度は、水素との親和性の高い金属元素と水素原子との比によって変動するため、用途に応じて金属元素や水素原子の量を変化させることが好ましい。例えば、四面体構造または四面体金属クラスターの場合、金属元素対水素原子の比は4 : 1、八面体の場合、8 : 1が好ましい。

[0020] 本発明に係る電界効果型トランジスタで、前記非晶質合金または前記金属ガラスは、例えば、遷移元素のニッケル（Ni）、ニオブ（Nb）、ジルコニウム（Zr）、銅（Cu）、チタン（Ti）、アルミニウム（Al）、パラジウム（Pd）、マグネシウム（Mg）、鉄（Fe）、バナジウム（V）などの、2種以上の健康上無害な金属元素を含むことが好ましい。従来のト

ランジスタで使用されている半導体材料のうち、ガリウムヒ素（GaAs）は、高価なGaと、毒性を有するAsが使用されており、経済性・健康安全性の点から使用量の拡大が懸念されている。これに対し、安価で健康上無害な金属元素を含むことにより、経済的かつ安全である。

[0021] 本発明に係る電界効果型トランジスタで、前記被膜は、ⅢⅤ族元素またはⅣⅥ族元素の酸化物または窒化物から成ることが好ましい。特に、前記被膜は、アルミナ、シリカ、窒化珪素または窒化ホウ素から成ることが好ましい。この場合、これらの物質が高絶縁性であるため、ゲート電極からの静電誘導を効果的に起こさせることができる。

[0022] 本発明に係る電界効果型トランジスタは、ゲート駆動電圧が、静電増幅効果により、従来のSiの場合の1～10V単位に対して、その千分の1以下の0.5～15mVと3桁低くなり、省エネである。また、ドレイン電流が金属伝導状態から絶縁状態まで3～6桁変調するため、スイッチング作用することができ、高速演算に好適である。ゲート駆動電圧が直流のとき、電流の流す方向によって極性が決まるターンスタイル型となるため、電子またはプロトンの流れを任意に正確に制御することができる。

[0023] 本発明に係る電界効果型トランジスタで、前記薄膜は両面を平滑化した後、他方の表面で絶縁基体に付着されており、前記ソース電極、前記ドレイン電極および前記ゲート電極は、同時に成膜して設けられていることが好ましい。この場合、薄膜の表面を平滑化することにより、薄膜の膜質を均一にすることができる。これにより、ゲート電極の静電気破壊を抑制することができ、信頼性を高めることができる。また、ソース電極、ドレイン電極およびゲート電極を同時に成膜することにより、製造工程数を削減することができる。これにより、高価な製造装置の使用頻度が減少するため、低コスト化を図ることができる。

[0024] 本発明に係る電界効果型トランジスタで、前記被膜は、スパッタで成膜して設けられ、前記ソース電極、前記ドレイン電極および前記ゲート電極は、スパッタまたは蒸着にて成膜して設けられていることが好ましい。また、前

記被膜は、金属マスクを介してスパッタで成膜して設けられ、前記ソース電極、前記ドレイン電極および前記ゲート電極は、金属マスクを介してスパッタまたは蒸着にて成膜して設けられていてもよい。前記被膜は、フォトリソを介してフォトリソを感光し、前記フォトリソを除去後、スパッタで成膜して設けられ、前記ソース電極、前記ドレイン電極および前記ゲート電極は、フォトリソを介してフォトリソを感光し、前記フォトリソを除去後、スパッタまたは蒸着にて成膜して設けられていてもよい。これらの場合、被膜、ソース電極、ドレイン電極およびゲート電極を容易に加工することができる。フォトリソおよびフォトリソを使用する場合には、より微細な加工が可能である。

[0025] 本発明に係る電界効果型トランジスタは、ゲート電圧が $+10\text{ mV}$ から -10 mV の範囲で動作するよう構成されていることが好ましい。この場合、ゲート電圧が $+10\text{ mV}$ から -10 mV の範囲でも、ドレイン抵抗が約4桁変化するため、スイッチのオン・オフ状態を実現することができる。

[0026] 本発明に係る電界効果型トランジスタで、前記ゲート電極は、信号の電流制御用の第1ゲート電極および信号変調用の第2ゲート電極から成っていてもよい。また、本発明に係る電界効果型トランジスタは、前記薄膜の他方の表面に設けられ、前記被膜と同じ材質から成る電気絶縁性の第2被膜と、前記第2被膜の表面に設けられた信号変調またはバイアス印加用のバック・ゲート電極とを、有していてもよい。

[0027] 本発明に係る電界効果型トランジスタは、前記ゲート電極に設けられた静電破壊防止用保護回路を有していてもよい。この場合、静電破壊防止用保護回路により、静電破壊を抑制することができる。

[0028] 本発明に係る集積回路は、表面に複数の分離溝が形成された絶縁基体と、前記絶縁基体の表面に、各分離溝により分離して設けられた複数の本発明に係る電界効果型トランジスタと、前記絶縁基体の表面および各電界効果型トランジスタの表面を覆うよう設けられた、VSS（接地）層またはVDD（電源）層を兼ねた電界シールド層と、前記電界シールド層の表面に、他の電

界効果型トランジスタ、コンデンサ、抵抗、インダクタンスといった素子を結線可能に設けられた配線層とを、有することを特徴とする。

[0029] また、本発明に係る集積回路は、表面に複数の穴が形成された絶縁基体と、各穴の内部にそれぞれ設けられた複数の本発明に係る電界効果型トランジスタと、前記絶縁基体の表面および各電界効果型トランジスタの表面を覆い、他の電界効果型トランジスタ、コンデンサ、抵抗、インダクタンスといった素子を結線可能に設けられた配線層とを、有していてもよい。

[0030] 本発明に係る集積回路では、非晶質合金または金属ガラスから成る薄膜が低抵抗であるため、これをそのまま電源配線、信号配線に適用することができる。このため、接続配線およびコンタクト数を削減することができ、従来の半導体集積回路の欠点を完全に克服した、低電圧低電力の集積回路とすることができる。また、長距離配線に用いても効果的である。

[0031] 本発明に係る積層集積回路は、本発明に係る集積回路を複数積層して形成され、各配線層にチップコンデンサ、チップ抵抗、チップ単電子トランジスタといった素子を結線して成ることを、特徴とする。また、本発明に係る電界効果型トランジスタの積層回路は、本発明に係る電界効果型トランジスタを複数積層して形成され、各電界効果型トランジスタが貫通配線で接続されていることを、特徴とする。本発明に係る積層集積回路および電界効果型トランジスタの積層回路は、3次元の構成となるため、小型化が可能である。また、寄生配線の影響を低減することもできる。

[0032] 本発明に係る電界効果型トランジスタを利用したシステムは、本発明に係る電界効果型トランジスタを含む機能回路と、前記機能回路に接続された低電圧安定化回路と、前記電界効果型トランジスタの電源を兼ねるレベルシフタ回路または低電圧インターフェース回路とを、有することを特徴とする。

発明の効果

[0033] 本発明によれば、室温動作し、高密度集積化が可能な、単電子または原子で作動する電界効果型トランジスタを提供することができる。

図面の簡単な説明

[0034] [図1] 本発明の実施の形態の電界効果型トランジスタを示す構成図である。

[図2] 図1に示す電界効果型トランジスタの（a）平面図、（b）C－D線断面図、（c）A－B線断面図である。

[図3] 図1に示す電界効果型トランジスタの作成工程を示す断面図である。

[図4] 図1に示す電界効果型トランジスタの、直流のゲート電圧（Gate Voltage）に対するドレイン抵抗（Drain Resistance）およびドレイン抵抗率（Drain Resistivity）の変化を示すグラフである。

[図5] 図1に示す電界効果型トランジスタの、ドレイン電圧が－10mVのときの、ゲート電圧（Gate Voltage）に対するドレイン電流（Drain Current）の変化を示すグラフである。

[図6] 図1に示す電界効果型トランジスタによるターンスタイル型トランジスタの特性を示すドレイン電流 I_{ds} のドレイン電圧 V_{ds} 特性を示すグラフである。

[図7] 図1に示す電界効果型トランジスタの、ドレイン電極に交流バイアス電圧を負荷したときの、ゲート電圧（Gate Voltage）に対するドレイン電流（Drain Current）の変化を示すグラフである。

[図8] 図1に示す電界効果型トランジスタの、ゲート電極に直流および100kHzの交流電圧をかけ、ゲート電圧を1V/sで掃引したときの、ゲート電圧（Gate Voltage）に対するドレイン電流（Drain Current）の変化を示すグラフである。

[図9] 図1に示す電界効果型トランジスタの、周波数10、20、60kHzの交流電圧をゲート電極に印加したときの、ゲート電圧（Gate Voltage）に対する静電容量（Capacitance）の変化を示すグラフである。

[図10] 図1に示す電界効果型トランジスタのラジオ受信器への使用例を示す回路図である。

[図11] 本発明の実施の形態の電界効果型トランジスタの各種構成例を示す断面図である。

[図12] 本発明の実施の形態の電界効果型トランジスタの、ゲート保護回路付

の構成例を示す平面図である。

[図13]本発明の実施の形態の電界効果型トランジスタにより構築した集積回路の、集積化工程を示す断面図である。

[図14]本発明の実施の形態の電界効果型トランジスタにより構築した他の集積回路の、集積化工程を示す断面図である。

[図15]本発明の実施の形態の電界効果型トランジスタにより構築した積層基板化した集積回路を示す断面図である。

[図16]本発明の実施の形態の電界効果型トランジスタによる（a）従来型インターフェース利用のシステム例を示す構成図、（b）低電圧インターフェース利用のシステム例を示す構成図である。

発明を実施するための形態

[0035] 以下、図面に基づき本発明の実施の形態について説明する。

図1乃至図16は、本発明の実施の形態の電界効果型トランジスタを示している。

図1および図2に示すように、電界効果型トランジスタ10は、薄膜11と被膜12とソース電極13とドレイン電極14とゲート電極15とを有している。なお、有効なゲート領域は、チャンネル幅Wおよびチャンネル長Lで定義する。

[0036] 薄膜11は、非晶質合金または金属ガラスから成る。薄膜11は、2次元平面もしくは3次元空間に、ナノスケールまたはサブナノスケールの隙間またはトンネルが並んで形成された複数の伝導島を有する金属多面体構造または金属クラスターを有している。薄膜11は、金属多面体構造または金属クラスター間に固溶した水素がナノスケールまたはサブナノスケール径のキャパシタンスを持った空隙を形成し、プロトンまたは電子がその空隙を介してトンネリングするよう構成されている。

[0037] 被膜12は、電気絶縁性を有するシリコン酸化膜 SiO_2 または酸化アルミニウム膜 Al_2O_3 の酸化膜から成り、薄膜11の一方の表面に設けられている。具体的な一例では、被膜12は、厚さが70nmである。

[0038] ソース電極 13 およびドレイン電極 14 は、金 Au から成り、薄膜 11 の両端に、下地としてクロム Cr を敷いた上にスパッタで成膜してそれぞれ設けられている。ゲート電極 15 は、金 Au から成り、被膜 12 の上に、下地としてクロム Cr を敷いた上にスパッタで成膜して設けられている。なお、ソース電極 13、ドレイン電極 14、ゲート電極 15 は、半導体で一般的なアルミニウムや銅から成っていてもよい。具体的な一例では、Cr 膜厚が約 10 nm、Au 膜厚が約 340 nm である。

[0039] 非晶質合金または金属ガラスから成る薄膜 11 は、以下のようにして製造される。まず、Ar 雰囲気下で、任意の組成にアーク溶解した合金インゴットから、冷却速度 $\sim 10^7 \text{ m/s}$ の単ロール液体急冷法にて、厚さ $30 \mu\text{m}$ のリボン状試料を作成し、ダイシングソー等で、幅 1 mm、長さ 7 mm に切断する。単ロール法で作製した直後の非晶質合金のリボンは、表面の凹凸が多数存在しているため、図 3 (a) に示すように、ダイシングソーで切断した後、高精度のやすり（ダイヤモンドペースト、CMP など）で表面の凹凸を解消して平滑化する。また、電気絶縁性の被膜 12 を成膜する際、鋭角な角やステップカバレッジ（段差）の問題で薄膜 11 が部分的に薄くなり、電界集中によるゲート絶縁破壊を起こさないようにするため、エッジを丸め処理する。

[0040] 水素のチャージは、電気分解法またはガス雰囲気法で行った。電気分解法は、常温下で、 $0.5 \text{ M H}_2\text{SO}_4$ に、 1.4 g/l のチオ尿素を添加した溶液中で、電流密度 30 A/m^2 の条件で行った。ガス雰囲気法は、 $200 \sim 300^\circ\text{C}$ 、一気圧の水素雰囲気中、1 時間の条件で行った。なお、上記単ロール液体急冷法以外でも、水素注入法を用いない液体窒素、液体水素冷媒により急速冷却蒸着させることにより、本発明を補足可能である。

[0041] 表 1 に、作成した非晶質合金または金属ガラスから成る薄膜 11 の一例を示す。なお、水素の定量は、不活性ガス搬送熱伝導度法によった。水素のチャージにより金属多面体構造または金属クラスター間に、自己組織化的に水素が固溶し、 $\sim 2.5 \text{ at. \%}$ の自由体積（原子空孔）を有する集積微細構

造(セル)が作成される。なお、本発明が適用される材料は、請求項において包含される全ての金属元素が対象であり、表 1 に記載された材料に限定されるものではない。

[0042] [表1]

番号	配合組成(at%)	水素チャージ法	非晶質判定	主クラスタの種類
1	(Ni _{0.36} Nb _{0.24} Zr _{0.40}) ₈₈₋₉₃ H ₇₋₁₂	電気分解法	非晶質	20 面体
2	(Ti _{0.50} Cu _{0.25} Ni _{0.25}) ₆₀₋₇₅ H ₂₅₋₄₀	ガス雰囲気法	非晶質	20 面体

[0043] 図 3 (b) に示すように、薄膜 11 は、耐熱温度を考慮して、耐熱性の瞬間接着剤 16 など絶縁基体 17 に接着される。接着剤 16 は、接着後のプロセス耐熱性や使用環境(耐寒、耐熱)を考慮して選択すればよく、例えば高耐熱性エポキシ接着剤等でもよい。その際は、非晶質合金および絶縁基体 17 に可能な限り熱膨張率が近い接着剤を選択すればよい。また、実用に際しては、パッケージに封止したりすることで、長期に信頼性を確保することができる。

[0044] なお、絶縁基体 17 は、導電性基板に穴を掘り、その面を酸化して絶縁膜を形成し、非晶質合金をスパッタなどで埋め込んでもよい。この場合は、さらに放熱効果も期待できるため、環境温度＝非晶質合金の温度となり、設計が容易になる。

[0045] 次に、図 3 (c) に示すように、酸化膜用金属マスク 18 でその薄膜 11 の一面に、被膜 12 をスパッタで電気絶縁性皮膜として成膜(ゲート酸化膜)する。さらに、図 3 (d) に示すように、端子用金属マスク 19 で電気絶縁性皮膜上に、ソース電極 13、ドレイン電極 14、ゲート電極 15 を、Cr、Au の順にスパッタで成膜する。なお、バイアススパッタ法で、ある程度凹凸を緩和できる膜ができるが、鋭角な角があることから、平滑化の工程を施すほうがよい。

[0046] なお、非晶質合金または金属ガラスは、ある種の電解メッキした合金の膜や低温蒸着で作製されてもよい。また、ソース電極 13、ドレイン電極 14

、ゲート電極 15 は、メッキで作製されてもよい。薄膜 11 は、分離してディスクリット化して活用してもよく、また予め絶縁基体 17 に穴（溝）を掘り、一面に非晶質合金膜を成膜形成した後、表面をCMP等で削り、ソース電極 13、ドレイン電極 14、ゲート電極 15 を作成し、容量、抵抗、インダクタンス等の各素子間を接続させてもよい。また、プリント基板などに貼り付ける表面チップ・デバイスと同様に構成し、貼りつけてもよい。

[0047] 次に、作用について説明する。

電界効果型トランジスタ 10 では、ゲート電極 15 からの静電誘導により、ナノスケールまたはサブナノスケールサイズの金属多面体構造または金属クラスターの空隙を介して、プロトンまたは電子がトンネリングすることを利用しており、極低温から 200℃までの温度において動作が可能である。電界効果型トランジスタ 10 では、金属クラスターの大きさは 0.55 nm 程度、クラスター間の空隙は平均 0.13 nm 程度であるため、常温クーロン振動が背景熱雑音に打ち勝って、トンネリングが容易に起こる。

[0048] 電界効果型トランジスタ 10 では、薄膜 11 の複数の伝導島が、2次元平面もしくは3次元空間に、ナノスケールまたはサブナノスケールの隙間またはトンネルが並んで形成された、ほぼ均一サイズの集積微細構造（量子ドット集積構造）を成しており、トンネリングでプロトンまたは電子が移動するため、配線が不要である。このため、配線の問題が起きず、高密度集積化が可能である。配線がなくトンネル電流の漏洩もないことから、電子輸送の機能化を最大限に利用できるため、情報処理を行う超高速集積・極低電力システムを構成することができる。

[0049] 薄膜 11 を構成する非晶質合金または金属ガラスは、配線のない理想的なネットワーク組織をしているため、単電子またはプロトンの近接相互作用によって作動する量子ドットセルオートマトンになっている。このセルオートマトンを平行に並べることにより、各セル間では隣接するセルからの静電力は働くが、電子やプロトンのトンネリングは起こらず、また配線同士のクロストークも回避できるため、従来の半導体集積回路の欠点を完全に克服する

ことができる。

[0050] 電界効果型トランジスタ 10 は、直流／交流変換、整流作用、スイッチング作用、メモリー作用、電流増幅作用、電磁アシストクーロン振動、光アシストクーロン振動を起こすことができる。また、ほぼ均一サイズの縦横に並んだ伝導島（量子ドット）間に生じる近接効果を利用して、信号処理、画像処理、さらには量子ドットアレイの活性層を持たせてレーザー発振させることもできる。この量子ドットレーザーでは、電気を光に変える「エレクトロルミネッセンス」や、ある波長の可視光を照射すると別の波長の光を放出する「フォトルミネッセンス」と呼ばれる現象を起こさせることもできる。

[0051] 電界効果型トランジスタ 10 は、金属からできているため、光線、赤外線、アルファ線、紫外線などの外乱を抑制することができ、安定動作し、信頼性を向上することができる。電界効果型トランジスタ 10 は、安価で健康上無害な金属元素を含んでいるため、経済的かつ安全である。また、被膜 12 が高絶縁性の酸化膜から成るため、ゲート電極 15 からの静電誘導を効果的に起こさせることができる。電界効果型トランジスタ 10 は、従来のシリコン集積回路と同一チップ上に混成回路を形成したり、層状多層サンドウィッチ構造を形成したりすることにより、次世代への橋渡しとしての過渡的な使用も可能である。

実施例 1

[0052] 薄膜 11 として、表 1 中の番号 1 の試料 ($\text{Ni}_{0.36}\text{Nb}_{0.24}\text{Zr}_{0.40}\text{Hf}_{0.5}\text{Hf}_{0.5}$) を用いて、電界効果型トランジスタ 10 を作成した。電界効果型トランジスタ 10 のドレイン抵抗値 (Drain Resistance) R_d のゲート電圧 (Gate

Voltage) V_{gs} 依存性を、図 4 に示す。図 4 に示すように、ゲート駆動電圧は、約 $\pm 10 \text{ mV}$ である。また、ソースドレイン間の電圧 (V_{sd}) が $10 \mu \text{ V}$ のとき、わずか 20 mV のゲート電圧の変化により、電気抵抗が金属伝導状態から絶縁状態まで約 4 桁変化し、スイッチのオン・オフ状態を実現できている。これは、電界効果型トランジスタ 10 のスイッチング効果であ

る。今まで半導体でしか成しえなかったスイッチング現象が、非晶質合金を使用して確認された例である。

[0053] ドレイン電圧 $V_d = -10 \text{ mV}$ での、ドレイン電流とゲート電圧との関係 ($I_{sd} - V_g$ 特性) を、図 5 に示す。図 5 に示すように、ゲート電圧 (V_g) に対して、ドレイン電流 (I_{sd}) が周期的な振動を起こしている。これは、クーロン振動現象であり、直流／交流変換である。このクーロン振動は、ゲート電圧の関数として、 $0.1 \sim 10 \text{ mV}$ の周期で起こっている。また、このクーロン振動は、カーボンナノチューブ素子でのクーロン振動の電圧に対して、約 $1/1000$ の電圧で生じている。

[0054] ゲート電圧 (V_{gs}) を 5 mV から 10 mV まで変化させたときの、ドレイン電流 I_{ds} のドレイン電圧 V_{ds} 依存性を、図 6 に示す。図 6 に示すように、電流を流す方向によって極性が決まるターンスタイル型のトランジスタの特性を示している。このときの駆動ゲート電圧は mV のオーダーであり、従来の半導体より 3 桁低く、約 $1/1000$ の微弱電圧で制御することができる。また、ゲート電位の変化 $5 \sim 10 \text{ mV}$ で、ドレイン電流 I_{ds} は 2 倍変化している。

実施例 2

[0055] 薄膜 11 として、表 1 中の番号 1 の試料 ($\text{Ni}_{0.36}\text{Nb}_{0.24}\text{Zr}_{0.40}\text{S}_{9.5}\text{H}_{10.5}$) を用いて、電界効果型トランジスタ 10 を作成した。電界効果型トランジスタ 10 のドレイン電極 14 に交流バイアス電圧を負荷したときの、ゲート電圧 $-20 \text{ mV} \sim +10 \text{ mV}$ 間の変動によるドレイン電流の変調結果を、図 7 に示す。図 7 に示すように、図 4 と同様に、ドレイン電圧 (V_d) が $-40 \mu\text{V}$ のとき、わずか 30 mV のゲート電圧の変化により、3 ～ 4 桁の電流変移が生じており、金属伝導状態から絶縁状態へのスイッチング効果が確認された。

[0056] ドレイン電圧 (V_d) を 0.02 mV とし、ゲート電極 15 に直流および 100 kHz の交流電圧をかけ、 $V_g = 1 \text{ V/s}$ で掃引したときの、ドレイン電流とゲート電圧との関係 ($I_d - V_g$ 特性) を、図 8 に示す。図 8 に示

すように、メモリー効果特有のステップが認められる。また、電荷注入速度は、 $4.6 \times 10^{-3} \text{ (mV)}^2/\text{s}$ であり、従来のSi半導体素子より約1000倍速い。

- [0057] DCゲートバイアス電圧を、 $-2 \text{ mV} \sim +2 \text{ mV}$ まで、掃引速度 22.2 mV/s で掃引し、 2 mV の10、20、60 kHz交流電圧をそれぞれゲート電極15にかけたときの、キャパシタンス（静電容量）とゲート電圧との関係（C-V_g特性）を、図9に示す。図9に示すように、キャパシタンスは、ゲート電極15の変調周波数のみで決まり、バイアス電圧に逆らってドレイン電流を流すことができる電子ポンプ素子の特徴を示していることが確認された。また、図9に示す場合、ゲート電極15にかける交流電圧は、10 kHzが最適周波数である。

実施例 3

- [0058] 薄膜11として、表1中の番号1の試料（ $\text{Ni}_{0.36}\text{Nb}_{0.24}\text{Zr}_{0.40}\text{S}_{9.5}\text{H}_{10.5}$ ）を用いて、三極の電界効果型トランジスタ10を作成し、図10に示すように、真空管の代わりにラジオ受信器にセットした。図10に示すラジオ受信器は、イヤホン経由であるが、AF波を受信することができた。

実施例 4

- [0059] 図11に、各種の電界効果型トランジスタ10の構成例を示す。図11に示すように、2重ゲート型は、電界効果型トランジスタ10に、第1ゲート端子G1、第2ゲート端子G2を同一面に構築し、それぞれを信号の電流制御用と変調用として使うことができる。また、バック・ゲート付加型は、第1ゲート端子Gに対面する絶縁基体17の側に薄膜11を介して第3のゲート（バック・ゲート）端子BGを構築し、それぞれを信号の電流制御用と変調用として使うことができる。さらに、その第1ゲート端子Gを第1ゲート端子G1、第2ゲート端子G2として2重化構成とすることで、それぞれを信号の電流制御用もしくは変調用とし、薄膜11を介した第3のゲート端子BGをバイアス印加用として使うことができる。

実施例 5

- [0060] 図 1 2 に、ゲート保護回路付の電界効果型トランジスタ 1 0 の構成を示す。電界効果型トランジスタ 1 0 のゲート電極 1 5 に双方向タイプの静電気破壊保護用ダイオード 2 0 を付加することで、静電破壊を抑制できる。同様に、電界効果型トランジスタ 1 0 を集積した回路においては、その集積回路の外部入力端子に保護回路を設けることで静電破壊を抑制できる。

実施例 6

- [0061] 図 1 3 に、電界効果型トランジスタ 1 0 の集積化工程を示す。まず、絶縁基体 1 7 に分離溝 2 1 を設け、複数の電界効果型トランジスタ 1 0 に分離し、ソース電極 1 3、ドレイン電極 1 4、ゲート電極 1 5 を形成後に、その上部に非晶質合金層を覆う V S S 層もしくは V D D 層を兼ねた電界シールド層 2 2 を設け、かつ電界効果型トランジスタ 1 0 もしくはコンデンサ、抵抗、インダクタンスなどの他の素子を結線する配線層 2 3 を設けた構成とする。これによって、非晶質合金への電界の影響を軽減し、ノイズ耐性を良くし、信頼性を向上できる低電圧低電力の集積回路を構築することができる。
- [0062] なお、スパッタなどで非晶質合金を成膜、もしくは単ロール法で作成した金属ガラス・リボンを付着させた場合も、同様な効果を得ることができる。また、分離溝 2 1 の作成（溝掘り等）方法としては、例えば、ダイシングソーなどによる機械的方法、薬品エッチングなどの溝を掘り埋め戻しする化学的方法などが考えられる。
- 低電圧で動作させるため、非晶質合金との間には電界が減衰するシールド層を設けることが好ましい。
- [0063] 図 1 4 に、電界効果型トランジスタ 1 0 の他の集積化工程を示す。まず、絶縁基体 1 7 に、複数の分離された溝（穴） 2 4 を設け、スパッタなどで非晶質合金を成膜し、ソース電極 1 3、ドレイン電極 1 4、ゲート電極 1 5 を形成後に、その上部に他の電界効果型トランジスタもしくはコンデンサ、抵抗、インダクタンスなどの他の素子を結線する配線層 2 5 を設けた構成とする。また、V D D、V S S を電極としない、パストラジスタなども配置す

る。さらに、非晶質合金の低抵抗性を利用して電源配線とする。これにより、低電圧低電力の集積回路を構築することができる。なお、非晶質合金の代わりに、ディスクリートデバイスを取り付けてもよい。

[0064] 図 15 に、積層基板化した集積回路の構造例を示す。

層状多層サンドウィッチ構造の各配線層にチップコンデンサ、チップ抵抗、非晶質合金も同様の形としたチップ単電子トランジスタを設け、各素子を結線し集積化した構成とする。また、各層が貫通配線 26 で接続されている。3次元デバイスとすることで、小型化可能であり、寄生配線の影響も低減可能である。

実施例 7

[0065] 図 16 に、電界効果型トランジスタ 10 によるシステム構成例を示す。図 16 (a) に、既存の入出力変換回路からなる従来型インターフェース利用のシステム例を示す。電界効果型トランジスタ (単電子トランジスタ) 10 を含む機能回路 27 用に低電圧安定化回路 (例えば、0.1 mV 出力) 28 を有し、さらに情報の連絡用として、従来型トランジスタの電源と電界効果型トランジスタ 10 の電源とから成るレベルシフタ回路 29 を有している。このレベルシフタ回路 29 は、レベル変換のため、電界効果型トランジスタ 10 と従来型トランジスタとの混成回路を含む集積回路である。従来システムとの混載では、特にレベルシフタ回路 29 では、図 13 に示すシールド層を設けることで、従来電圧からのノイズカップリングなどの影響を緩和できるので、信頼度が向上する。

[0066] 図 16 (b) に、低電圧インターフェース利用のシステム例を示す。電界効果型トランジスタ 10 を含む機能回路 27 用に低電圧安定化回路 (例えば、0.1 mV 出力) 28 を有し、さらに情報の連絡用として、電界効果型トランジスタ 10 の電源からなる低電圧インターフェース回路 (低電圧 I N / O U T 装置) 30 を有することで、レベルシフタ回路 29 の電力損失とスピード劣化を改善することができる。

符号の説明

- [0067] 1 0 電界効果型トランジスタ
- 1 1 薄膜
- 1 2 被膜
- 1 3 ソース電極
- 1 4 ドレイン電極
- 1 5 ゲート電極
- 1 6 接着剤
- 1 7 絶縁基体

請求の範囲

[請求項1]

非晶質合金または金属ガラスから成る薄膜と、
前記薄膜の一方の表面に設けられた電気絶縁性の被膜と、
前記薄膜の両端にそれぞれ設けられたソース電極とドレイン電極と、
前記被膜の表面に設けられたゲート電極とを有し、
前記薄膜は、2次元平面もしくは3次元空間に、ナノスケールまたはサブナノスケールの隙間またはトンネルが並んで形成された複数の伝導島を有する金属多面体構造または金属クラスターを有し、前記金属多面体構造または前記金属クラスター間に固溶した水素がナノスケールまたはサブナノスケール径のキャパシタンスを持った空隙を形成し、プロトンまたは電子が前記空隙を介してトンネリングするよう構成されていることを、
特徴とする電界効果型トランジスタ。

[請求項2]

前記被膜は、ⅢⅤ族元素またはⅣⅥ族元素の酸化物または窒化物から成ることを、特徴とする請求項1記載の電界効果型トランジスタ。

[請求項3]

前記被膜は、アルミナ、シリカ、窒化珪素または窒化ホウ素から成ることを、特徴とする請求項1記載の電界効果型トランジスタ。

[請求項4]

前記薄膜は両面を平滑化した後、他方の表面で絶縁基体に付着されており、
前記ソース電極、前記ドレイン電極および前記ゲート電極は、同時に成膜して設けられていることを、
特徴とする請求項1、2または3記載の電界効果型トランジスタ。

[請求項5]

前記被膜は、スパッタで成膜して設けられ、
前記ソース電極、前記ドレイン電極および前記ゲート電極は、スパッタまたは蒸着にて成膜して設けられていることを、
特徴とする請求項1、2、3または4記載の電界効果型トランジスタ。

タ。

[請求項6] 前記被膜は、金属マスクを介してスパッタで成膜して設けられ、
前記ソース電極、前記ドレイン電極および前記ゲート電極は、金属マスクを介してスパッタまたは蒸着にて成膜して設けられていることを、

特徴とする請求項 1、2、3 または 4 記載の電界効果型トランジスタ。

[請求項7] 前記被膜は、フォトマスクを介してフォトレジストを感光し、前記フォトレジストを除去後、スパッタで成膜して設けられ、

前記ソース電極、前記ドレイン電極および前記ゲート電極は、フォトマスクを介してフォトレジストを感光し、前記フォトレジストを除去後、スパッタまたは蒸着にて成膜して設けられていることを、

特徴とする請求項 1、2、3 または 4 記載の電界効果型トランジスタ。

[請求項8] ゲート電圧が +10 mV から -10 mV の範囲で動作するよう構成されていることを、特徴とする請求項 1 乃至 7 のいずれか一項に記載の電界効果型トランジスタ。

[請求項9] 前記ゲート電極は、信号の電流制御用の第 1 ゲート電極および信号変調用の第 2 ゲート電極から成ることを、特徴とする請求項 1 乃至 8 のいずれか一項に記載の電界効果型トランジスタ。

[請求項10] 前記薄膜の他方の表面に設けられ、前記被膜と同じ材質から成る電気絶縁性の第 2 被膜と、

前記第 2 被膜の表面に設けられた信号変調用またはバイアス印加用のバック・ゲート電極とを、

有することを特徴とする請求項 1 乃至 9 のいずれか一項に記載の電界効果型トランジスタ。

[請求項11] 前記ゲート電極に設けられた静電破壊防止用保護回路を有することを、特徴とする請求項 1 乃至 10 のいずれか一項に記載の電界効果型

トランジスタ。

[請求項12]

表面に複数の分離溝が形成された絶縁基体と、

前記絶縁基体の表面に、各分離溝により分離して設けられた複数の請求項 1 乃至 11 のいずれか一項に記載の電界効果型トランジスタと、

前記絶縁基体の表面および各電界効果型トランジスタの表面を覆うよう設けられた、VSS（接地）層またはVDD（電源）層を兼ねた電界シールド層と、

前記電解シールド層の表面に、他の電界効果型トランジスタ、コンデンサ、抵抗、インダクタンスといった素子を結線可能に設けられた配線層とを、

有することを特徴とする集積回路。

[請求項13]

表面に複数の穴が形成された絶縁基体と、

各穴の内部にそれぞれ設けられた複数の請求項 1 乃至 11 のいずれか一項に記載の電界効果型トランジスタと、

前記絶縁基体の表面および各電界効果型トランジスタの表面を覆い、他の電界効果型トランジスタ、コンデンサ、抵抗、インダクタンスといった素子を結線可能に設けられた配線層とを、

有することを特徴とする集積回路。

[請求項14]

請求項 12 または 13 記載の集積回路を複数積層して形成され、各配線層にチップコンデンサ、チップ抵抗、チップ単電子トランジスタといった素子を結線して成ることを、特徴とする積層集積回路。

[請求項15]

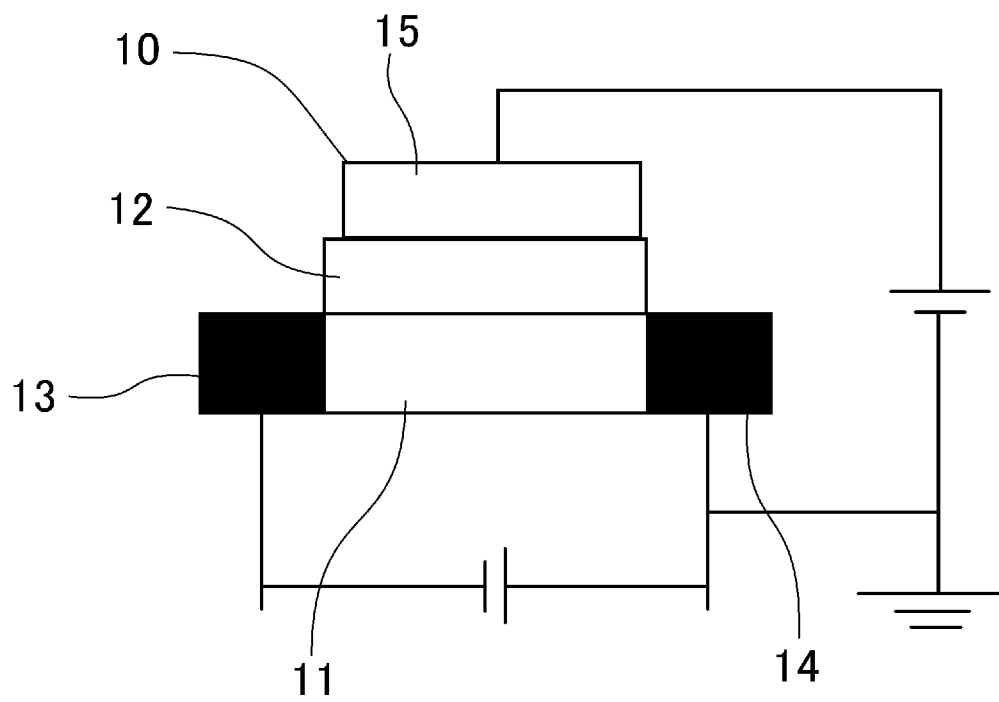
請求項 1 乃至 11 のいずれか一項に記載の電界効果型トランジスタを複数積層して形成され、各電界効果型トランジスタが貫通配線で接続されていることを、特徴とする電界効果型トランジスタの積層回路。

[請求項16]

請求項 1 乃至 11 のいずれか一項に記載の電界効果型トランジスタを含む機能回路と、

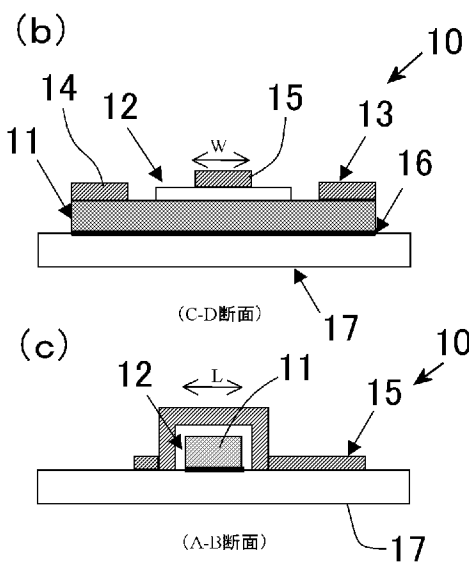
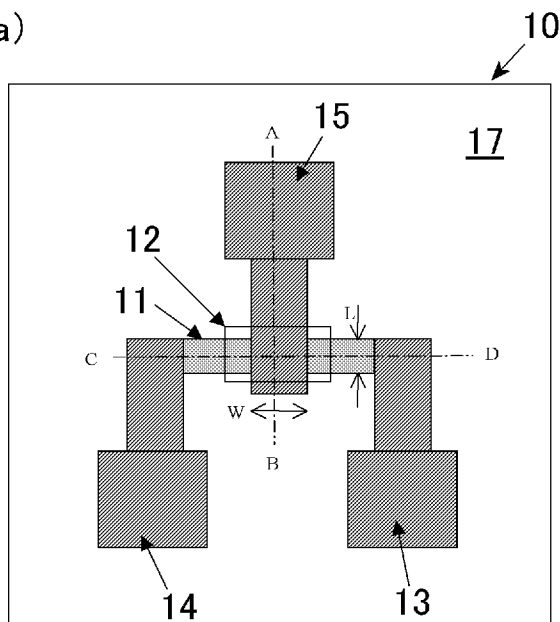
前記機能回路に接続された低電圧安定化回路と、
前記電界効果型トランジスタの電源を兼ねるレベルシフト回路または低電圧インターフェース回路とを、
有することを特徴とする電界効果型トランジスタを利用したシステム。

[図1]



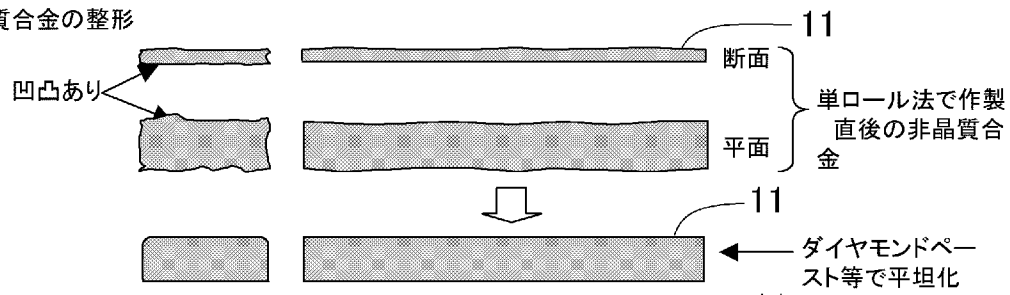
[図2]

(a)

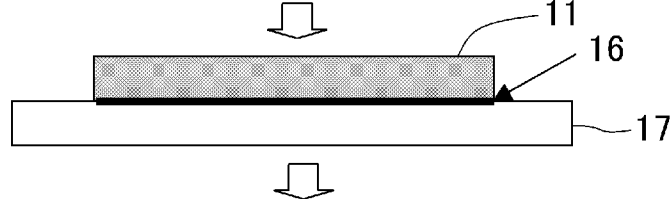


[図3]

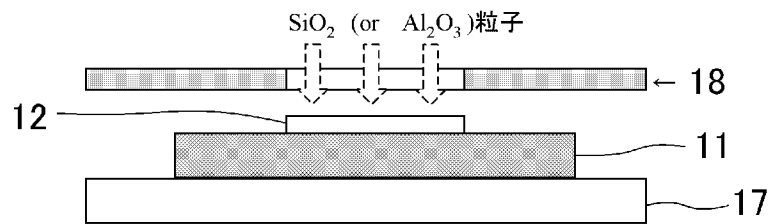
(a) 非晶質合金の整形



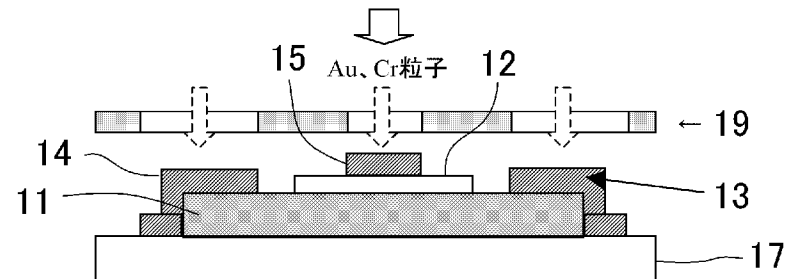
(b) 取付



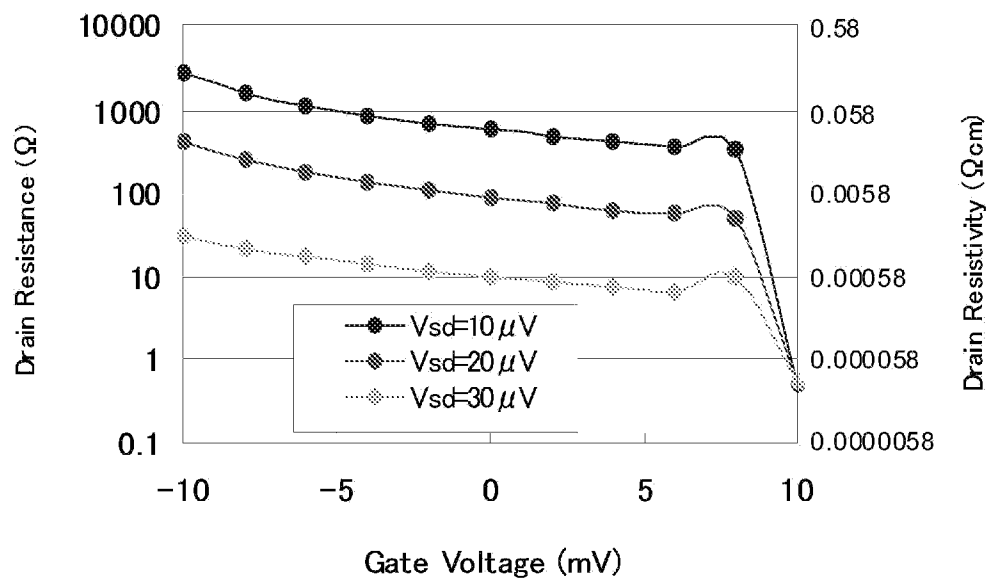
(c) 酸化膜スパッタ



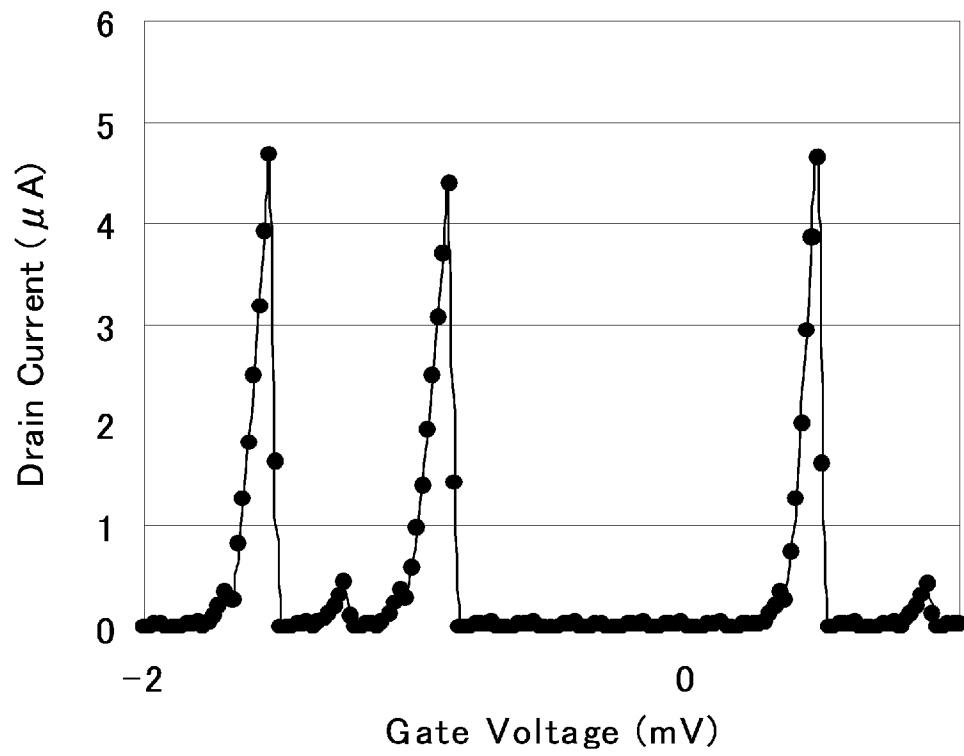
(d) 金属膜スパッタ



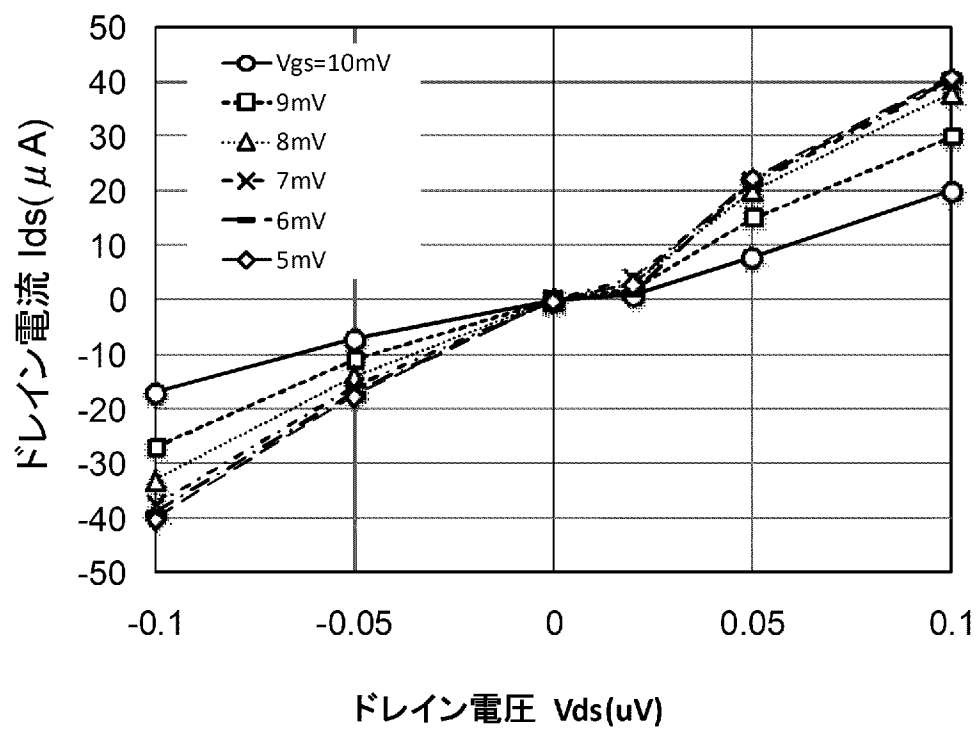
[図4]



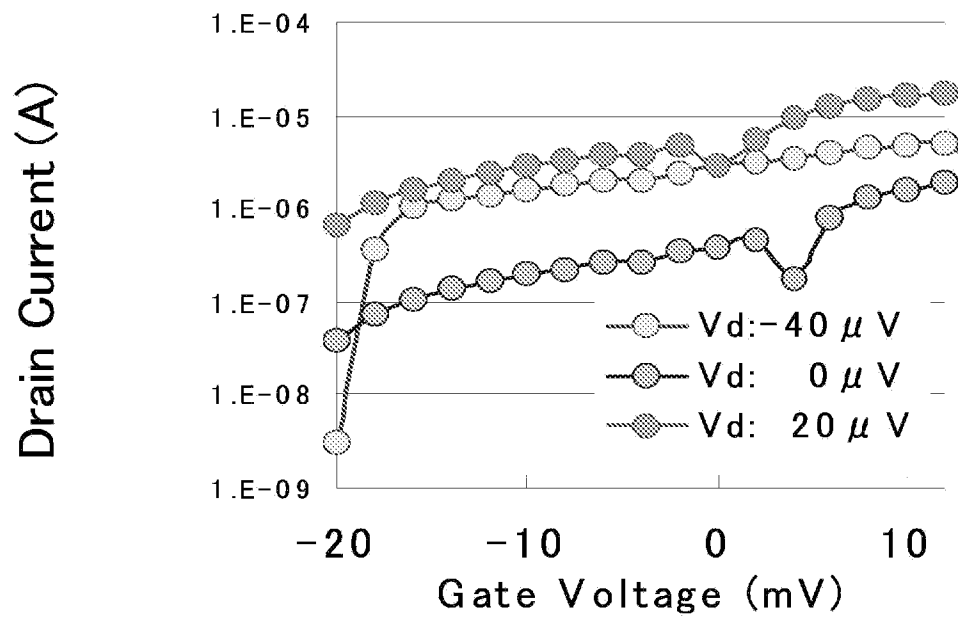
[図5]



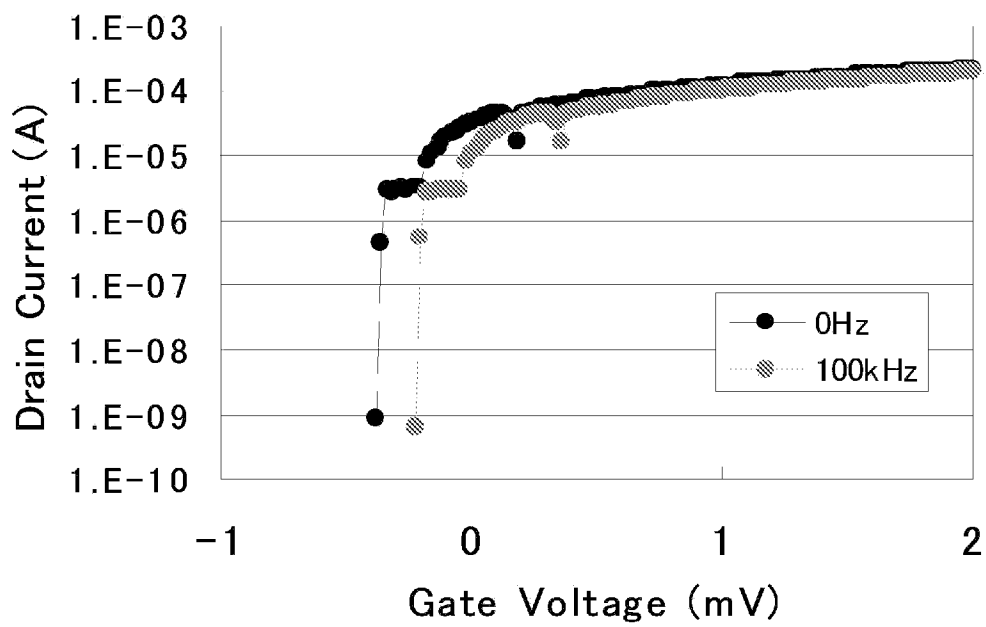
[図6]



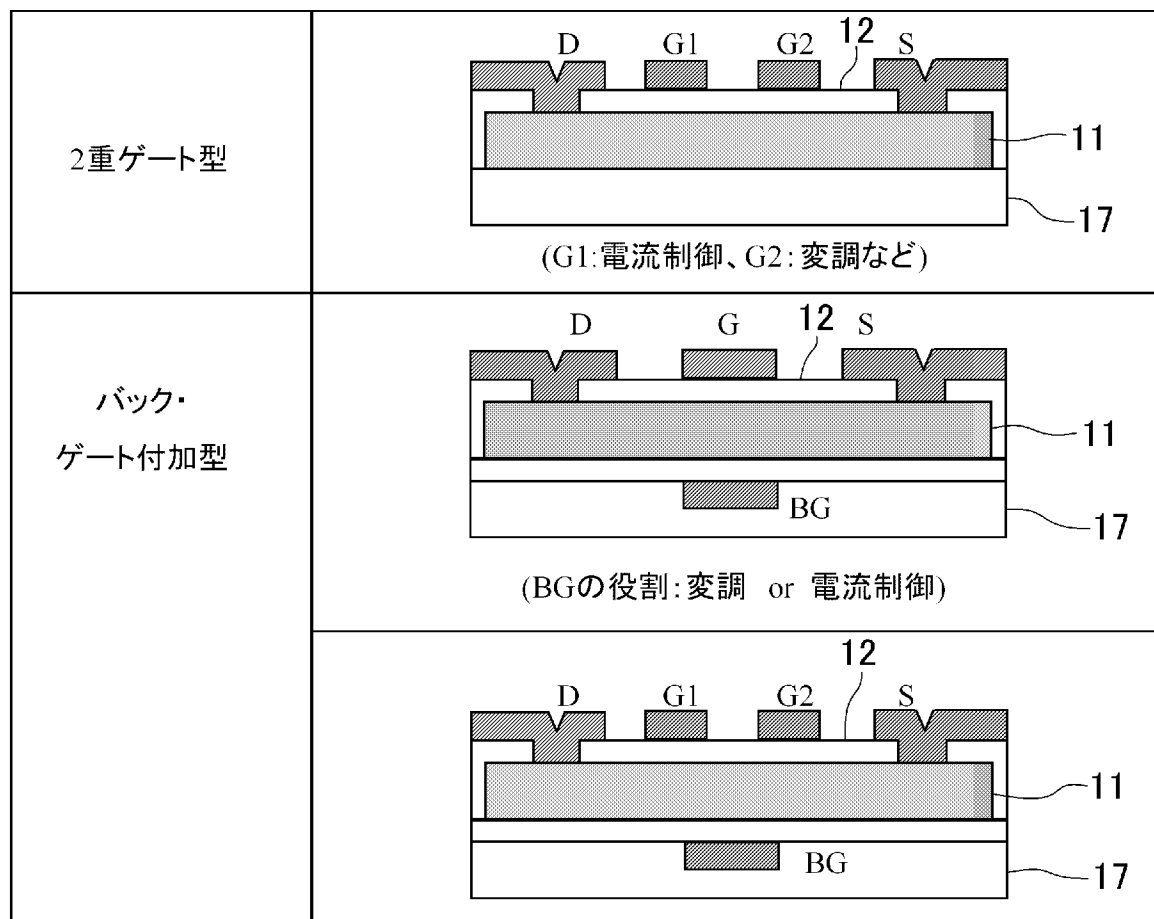
[図7]



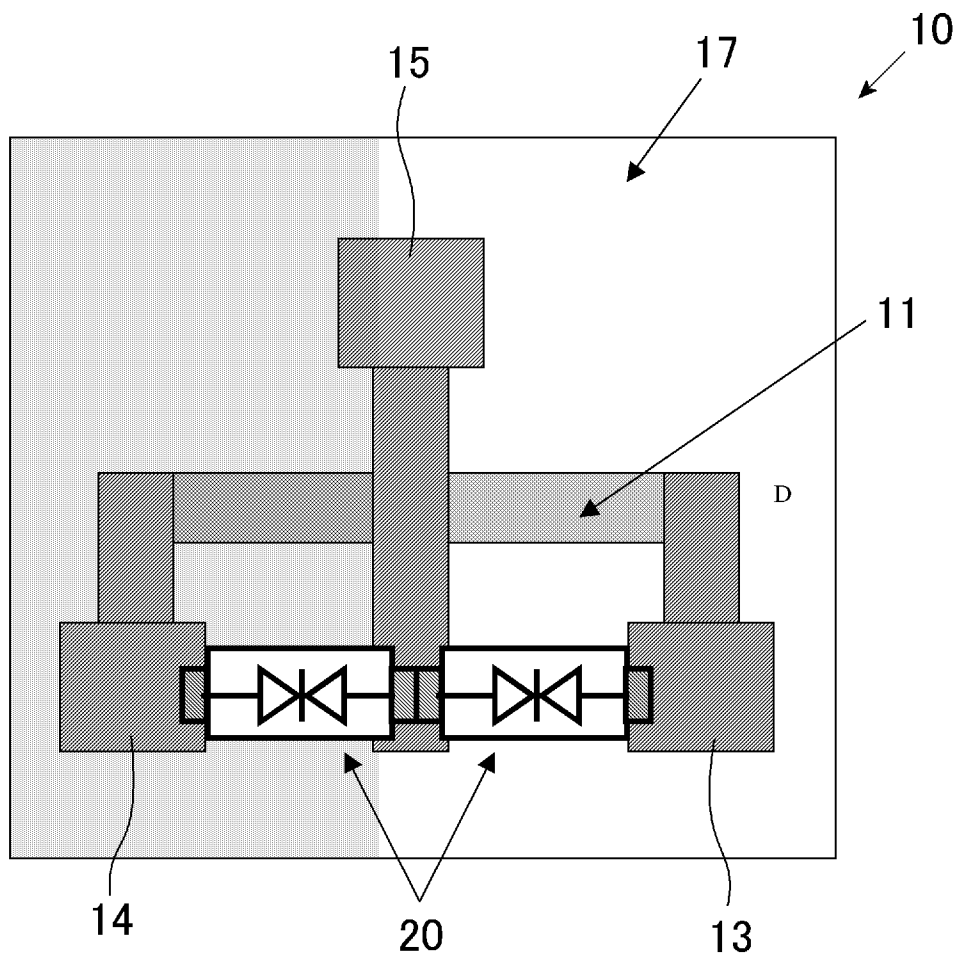
[図8]



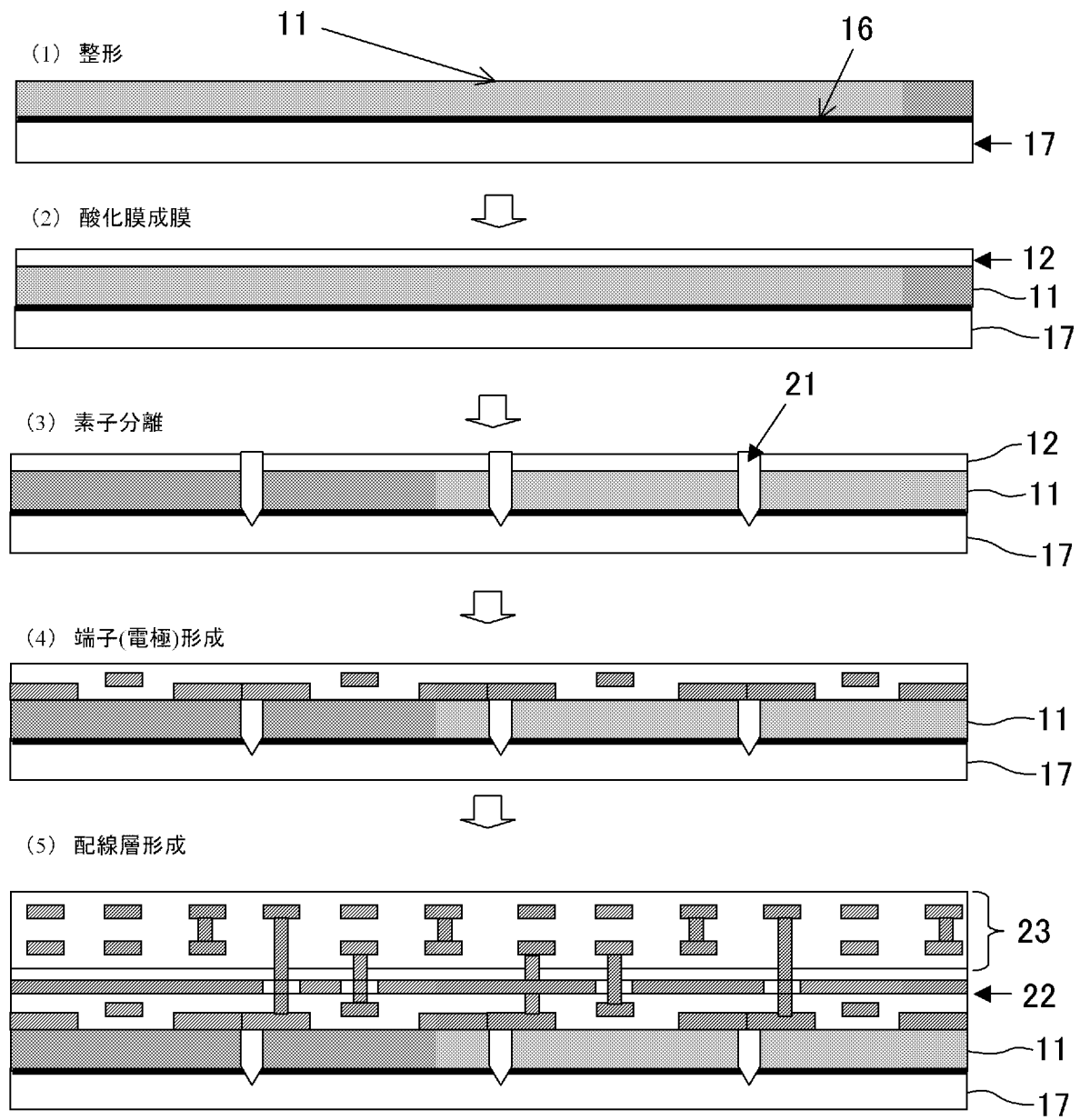
[図11]



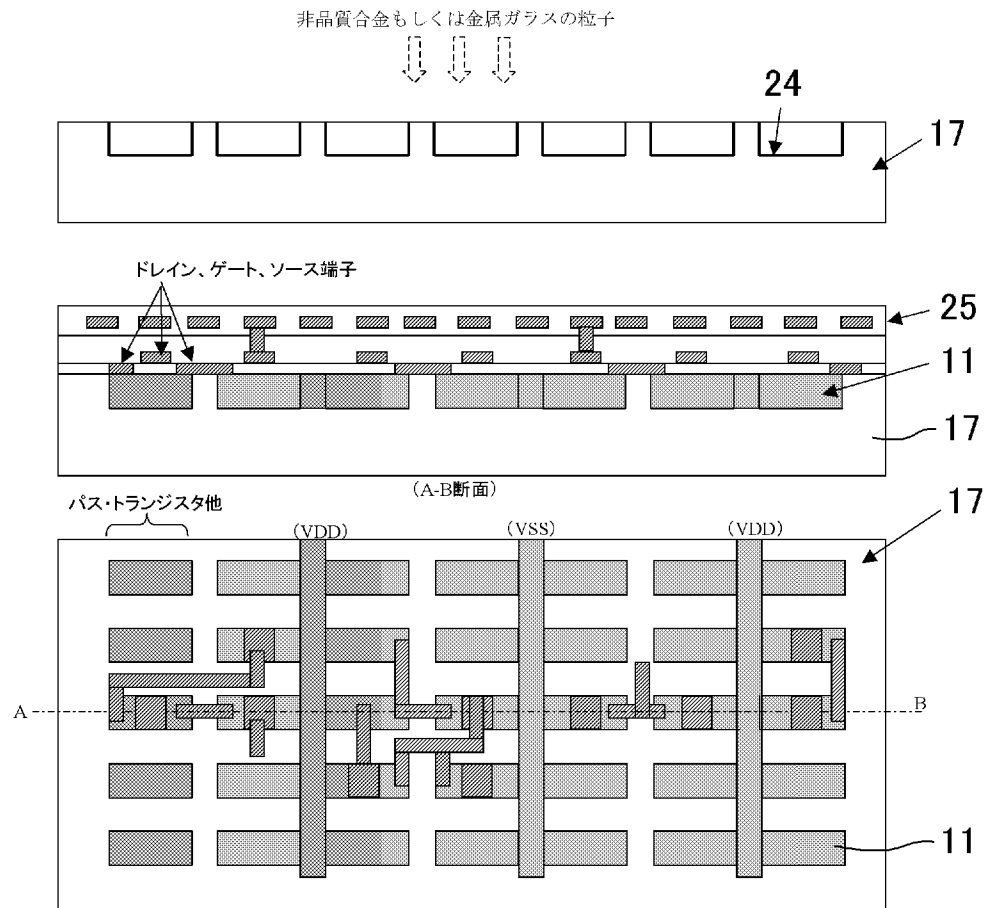
[図12]



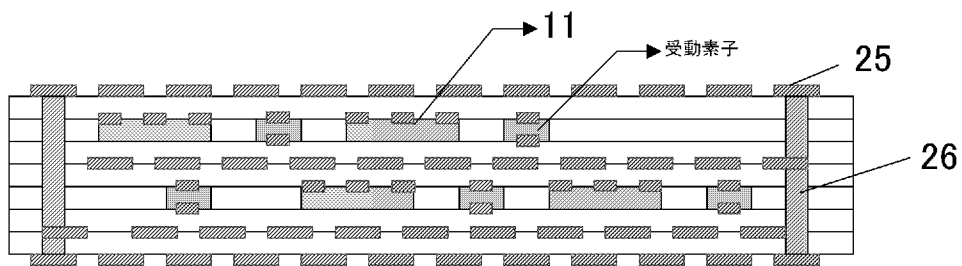
[図13]



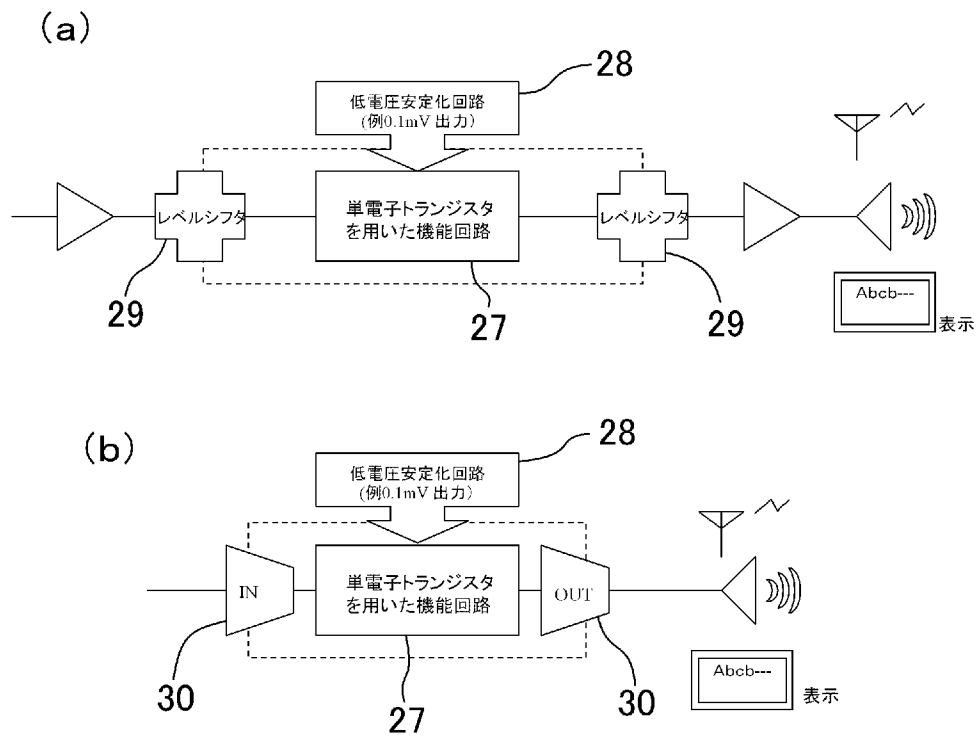
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/065234

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/66(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i, H01L29/06(2006.01)i, H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/66, H01L21/822, H01L27/04, H01L29/06, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JSTPlus (JDreamII)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2009-99868 A (Tohoku University), 07 May 2009 (07.05.2009), entire text; all drawings (Family: none)	1-11, 13, 14, 16 1-16
Y	Mikio Fukuhara et. al., Coulomb oscillation of a proton in a Ni-Nb-Zr-H glassy alloy with multiple junctions, Applied Physics Letters, 2007.05.18, 90, 203111	1-16
Y	Mikio Fuliwara et. al., Room-temperature Coulomb oscillation of a proton dot in Ni-Nb- Zr-H glassy alloys with nanofarad capacitance, Journal of Applied Physics, 2009.03.25, 105, 063715	1-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

11 November, 2010 (11.11.10)

Date of mailing of the international search report

07 December, 2010 (07.12.10)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/065234

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-231721 A (Mitsubishi Electric Corp.), 16 August 2002 (16.08.2002), entire text; all drawings & US 2002/0105079 A1 & US 2004/0104452 A1 & TW 523932 B & KR 10-2002-0065331 A	12
Y	JP 2009-55004 A (Honda Motor Co., Ltd.), 12 March 2009 (12.03.2009), entire text; all drawings & US 2009/0051012 A1 & US 2009/0061659 A1	15
A	JP 2008-214704 A (Tohoku University), 18 September 2008 (18.09.2008), entire text; all drawings (Family: none)	1-16

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H01L29/66(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i, H01L29/06(2006.01)i, H01L29/786(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H01L29/66, H01L21/822, H01L27/04, H01L29/06, H01L29/786			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2 - 1 9 9 6 年 日本国公開実用新案公報 1 9 7 1 - 2 0 1 0 年 日本国実用新案登録公報 1 9 9 6 - 2 0 1 0 年 日本国登録実用新案公報 1 9 9 4 - 2 0 1 0 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語） JSTPlus(JDreamII)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
X	JP 2009-99868 A（国立大学法人東北大学）2009.05.07, 全文, 全図 （ファミリーなし）	1-11, 13, 14, 16	
Y		1-16	
Y	Mikio Fukuhara et. al., Coulomb oscillation of a proton in a Ni-Nb-Zr-H glassy alloy with multiple junctions, Applied Physics Letters, 2007.05.18, 90, 203111	1-16	
Y	Mikio Fuliara et. al., Room-temperature Coulomb oscillation of	1-16	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願			
の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 1 1 . 1 1 . 2 0 1 0		国際調査報告の発送日 0 7 . 1 2 . 2 0 1 0	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 恩田 春香 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8	4 L 8 9 3 4

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	a proton dot in Ni-Nb-Zr-H glassy alloys with nanofarad capacitance, Journal of Applied Physics, 2009.03.25, 105, 063715	
Y	JP 2002-231721 A (三菱電機株式会社) 2002.08.16, 全文, 全図 & US 2002/0105079 A1 & US 2004/0104452 A1 & TW 523932 B & KR 10-2002-0065331 A	12
Y	JP 2009-55004 A (本田技研工業株式会社) 2009.03.12, 全文, 全図 & US 2009/0051012 A1 & US 2009/0061659 A1	15
A	JP 2008-214704 A (国立大学法人東北大学) 2008.09.18, 全文, 全図 (ファミリーなし)	1-16