

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6498605号
(P6498605)

(45) 発行日 平成31年4月10日(2019.4.10)

(24) 登録日 平成31年3月22日(2019.3.22)

(51) Int.Cl.

F I

H02M 3/155 (2006.01)

H02M 3/155

K

H02M 3/155

F

請求項の数 12 (全 20 頁)

(21) 出願番号 特願2015-539815 (P2015-539815)
 (86) (22) 出願日 平成25年10月24日(2013.10.24)
 (65) 公表番号 特表2015-536634 (P2015-536634A)
 (43) 公表日 平成27年12月21日(2015.12.21)
 (86) 国際出願番号 PCT/US2013/066704
 (87) 国際公開番号 W02014/066697
 (87) 国際公開日 平成26年5月1日(2014.5.1)
 審査請求日 平成28年9月27日(2016.9.27)
 (31) 優先権主張番号 13/659,682
 (32) 優先日 平成24年10月24日(2012.10.24)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 595020643
 クォアルコム・インコーポレイテッド
 QUALCOMM INCORPORATED
 アメリカ合衆国、カリフォルニア州 92
 121-1714、サン・ディエゴ、モア
 ハウス・ドライブ 5775
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100109830
 弁理士 福原 淑弘
 (74) 代理人 100158805
 弁理士 井関 守三
 (74) 代理人 100194814
 弁理士 奥村 元宏

最終頁に続く

(54) 【発明の名称】 ブーストコンバータ制御

(57) 【特許請求の範囲】

【請求項 1】

ハイサイドスイッチと、ローサイドスイッチと、加算器と、比較器と、制御ブロックとを備える装置によって実行される方法であって、

前記ハイサイドスイッチは、インダクタの第1の導線を負荷と蓄積キャパシタとに結合された出力ノードに選択的に結合するように構成され、前記出力ノードは出力電圧を提供し、前記インダクタの第2の導線は、電源電圧に接続され、

前記ローサイドスイッチは、前記インダクタの前記第1の導線を接地電圧に選択的に結合するように構成され、

前記加算器が、基準電圧を生成するために、しきい値電圧から前記ローサイドスイッチを通る電流に基づく電圧を減算することと、

前記比較器が、比較器出力を生成するために、前記出力電圧の関数を前記基準電圧と比較することと、前記しきい値電圧は、前記出力電圧に対する設定点であり、前記出力電圧の関数は、前記出力電圧から導出される電圧であり、

前記制御ブロックが、前記電源電圧よりも高い前記出力電圧を生成するために、前記比較器出力に基づいて前記ハイサイドスイッチと前記ローサイドスイッチとを制御することと、

を備え、

前記制御することは、

クロック信号のエッジタイミングに基づき前記比較器出力の値が第1の論理値である

10

20

ことが検出されたことに応答して、前記ローサイドスイッチをオンにすること、を備える、方法。

【請求項 2】

前記制御ブロックは、前記ハイサイドスイッチおよび前記ローサイドスイッチへの制御が異なる 2 つのモードのうち的一方で動作するように前記制御ブロックを構成するためのデジタル制御信号を使用するように構成され、

前記制御することは、

前記デジタル制御信号が、第 1 のモードを示す場合、(a) 前記比較器出力のラッチされた値を生成するために、前記クロック信号の第 1 のエッジで前記比較器出力をラッチすることと、(b) 前記クロック信号の第 2 のエッジにおいて、前記第 1 の論理値である前記比較器出力の前記ラッチされた値に応答して、前記ローサイドスイッチをオンにすることと、(c) 前記クロック信号の前記第 1 のエッジで前記ローサイドスイッチをオフにすることと、を備え、

前記デジタル制御信号が第 2 のモードを示す場合、(d) 前記クロック信号の前記第 2 のエッジにおいて前記第 1 の論理値である前記比較器出力の値に応答して前記ローサイドスイッチをオンにすることと、(e) 前記比較器出力の前記第 2 のエッジで前記ローサイドスイッチをオフにすること、

を備える、請求項 1 に記載の方法。

【請求項 3】

前記第 1 のエッジは立下りエッジであり、前記第 2 のエッジは立上りエッジである、請求項 2 に記載の方法。

【請求項 4】

前記ハイサイドスイッチを通る電流が 0 以下であることを示す電圧信号に応答して、前記ローサイドスイッチと前記ハイサイドスイッチの両方をオフにすること

をさらに備え、

前記電圧信号は、前記ハイサイドスイッチを通る前記電流が、前記第 1 の導線から前記出力ノードへ流れる正の方向に流れてないことを示す、請求項 3 に記載の方法。

【請求項 5】

装置であって、

第 1 の導線と第 2 の導線とを有するインダクタ、前記第 2 の導線は電源電圧に結合される、と、

前記インダクタの前記第 1 の導線を負荷と蓄積キャパシタとに結合された出力ノードに選択的に結合するように構成されたハイサイドスイッチ、前記出力ノードは出力電圧を提供する、と、

前記インダクタの前記第 1 の導線を接地電圧 (G N D) に選択的に結合するように構成されたローサイドスイッチと、

基準電圧を生成するために、しきい値電圧から前記ローサイドスイッチを通る電流に基づく電圧値を減算するための手段と、前記しきい値電圧は、前記出力電圧に対する設定点であり、

比較器出力を生成するために前記出力電圧を前記基準電圧と比較するための手段と、

前記電源電圧よりも高い前記出力電圧を生成するために、前記比較器出力に基づいて、前記ハイサイドスイッチと前記ローサイドスイッチとを制御するための手段と、

を備え、

前記制御するための手段は、

クロック信号のエッジタイミングに基づき前記比較器出力の値が第 1 の論理値であることが検出されたことに応答して、前記ローサイドスイッチをオンにするための手段と、を備える、装置。

【請求項 6】

制御するための前記手段は、前記ハイサイドスイッチおよび前記ローサイドスイッチへの制御が異なる 2 つのモードのうち的一方で動作するように前記制御するための手段を構

成するためのデジタル制御信号を使用するように構成され、
制御するための前記手段は、

前記デジタル制御信号が第 1 のモードを示す場合、(a) 前記比較器出力のラッチされた値を提供するために前記クロック信号の第 1 のエッジで前記比較器出力をラッチし、(b) 前記クロック信号の第 2 のエッジにおいて、前記第 1 の論理値である前記比較器出力の前記ラッチされた値に应答して、前記ローサイドスイッチをオンにし、(c) 前記クロック信号の前記第 1 のエッジで前記ローサイドスイッチをオフにするように構成され、

前記デジタル制御信号が第 2 のモードを示す場合、(d) 前記クロック信号の前記第 2 のエッジにおいて、前記第 1 の論理値である前記比較器出力の値に应答して、前記ローサイドスイッチをオンにし、(e) 前記比較器出力の前記第 2 のエッジで前記ローサイドスイッチをオフにするように構成される、

10

請求項 5 に記載の装置。

【請求項 7】

前記第 1 のエッジは立下りエッジであり、前記第 2 のエッジは立上りエッジである、請求項 6 に記載の装置。

【請求項 8】

制御するための前記手段は、

前記ハイサイドスイッチを通る電流が 0 以下であることを示す電圧信号に应答して、前記ローサイドスイッチと前記ハイサイドスイッチとをオフにするように構成するように構成され、

20

前記電圧信号は、前記ハイサイドスイッチを通る前記電流が、前記第 1 の導線から前記出力ノードへ流れる正の方向に流れてないことを示す、請求項 6 に記載の装置。

【請求項 9】

前記減算するための手段が前記基準電圧を生成するより前に、前記ローサイドスイッチを通る電流から、前記ローサイドスイッチを通る電流の平均値を減算するように構成された DC オフセット消去のための手段

をさらに備える、請求項 6 に記載の装置。

【請求項 10】

前記ローサイドスイッチを通る電流の平均値が、前記ローサイドスイッチを通る電流のピーク値を使用して、または前記クロック信号の期間にわたって計算される、請求項 9 に記載の装置。

30

【請求項 11】

DC オフセット消去のための前記手段は、

第 1 および第 2 のミラー NMOS トランジスタと、

前記第 1 および前記第 2 のミラー NMOS トランジスタにそれぞれ結合された第 1 および第 2 のミラー PMOS トランジスタと、前記第 1 および前記第 2 のミラー PMOS トランジスタのドレインが、前記第 1 および前記第 2 のミラー NMOS トランジスタのドレインにそれぞれ結合され、

前記第 1 および前記第 2 のミラー PMOS トランジスタのゲートを選択的に結合するスイッチと、

40

前記スイッチが選択的に閉じられたとき、前記第 1 および前記第 2 のミラー PMOS トランジスタの前記ゲートに結合される低域フィルタ、ここにおいて、

前記ローサイドスイッチを通る電流が前記第 1 のミラー NMOS トランジスタのドレインに結合され、

前記第 1 のミラー PMOS トランジスタの前記ドレインを通る電流が、出力電流を生成するために、前記第 1 のミラー NMOS トランジスタの前記ドレインを通る電流から減算され、前記第 1 のミラー PMOS トランジスタの前記ドレインを通る前記電流は、前記低域フィルタによって前記ローサイドスイッチを通る電流を低域フィルタ処理することによって得られる、と、

を備える、請求項 9 に記載の装置。

50

【請求項 1 2】

前記負荷が増幅器を備え、前記装置が、

出力電圧を生成するために入力電圧を増幅するように構成された電力増幅のための手段、電力増幅のための前記手段が、電力増幅のための前記手段を供給するために電力増幅のための前記手段の前記出力電圧のエンベロープを追跡する電圧を増幅するように構成され、ここにおいて、前記入力電圧が、複数の信号波形の任意のものに対応するように構成可能であり、前記クロック信号が、前記複数の信号波形に対応する複数のクロック周波数をサポートするように構成可能である、

をさらに備える、請求項 6 に記載の装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

[0001]本開示は、所望の出力電圧を生成するようにブーストコンバータ (boost converter) を制御するための技法に関する。

【背景技術】

【0002】

[0002]利用可能なバッテリー電圧レベルよりも高い電圧供給レベルを生成するために、通常、ブーストコンバータが採用される。ブーストコンバータは、インダクタを交互に充電および放電するように制御ブロックによって構成されたスイッチを組み込み得る。充電されたインダクタは負荷に出力電圧を供給し得、出力電圧のレベルは、制御ブロック中の

20

【0003】

[0003]ブーストコンバータのための従来技術の制御技法は、バーストモード (BM: burst mode) 制御とピーク電流モード (PCM: peak current mode) 制御とを含む。BM 制御によれば、スイッチは、出力電圧が一定のしきい値レベルを下回ったときはいつでもアクティブにされるように構成される。PCM 制御によれば、スイッチを通るピーク電流が、所望の出力電圧を得るために制御ループを使用してサンプリングされ、制御される。BM 制御には、ループ経路中の 2 つの積分器 (すなわち、キャパシタとインダクタ) の存在に起因する潜在的なループ不安定性という欠点があり得るが、一方、PCM 制御は、多数の回路ブロックを実装する必要があるため、望ましくなく複雑になり得る。

30

【0004】

[0004]ブーストコンバータの動作を制御するための効率的でロバストな技法を提供することが望ましいであろう。

【図面の簡単な説明】

【0005】

【図 1】[0005]従来技術において知られているブーストコンバータを示す図。

【図 2】[0006]本開示による、ブーストコンバータ制御方式の例示的な実施形態を示す図。

。

【図 3】[0007]CFF 動作モード中に論理ブロックによって実装されるステートマシンの例示的な実施形態を示す図。

40

【図 4】[0008]MPC 動作モード中に論理ブロックによって実装され得るステートマシンの代替の例示的な実施形態を示す図。

【図 5】[0009]本開示の原理をさらに示すために、CFF 動作モードタイプと MPC 動作モードタイプとの場合の例示的な信号タイミング図の比較を示す図。

【図 6】[0010]本開示のいくつかの態様をさらに強調する例示的な線形システムを示す図。

【図 7】[0011]追加の DC オフセット消去ブロックが与えられた、本開示による、ブーストコンバータ制御方式の例示的な実施形態を示す図。

【図 8】[0012]時間選択性スイッチ (time-selective switch) が $g_{l \cdot I_N1}$ を高域フィルタ (HPF: high-pass filter) に選択的に結合する、ブロックの例示的な実施形

50

態を示す図。

【図 9】[0013] N 1 がオンであるときに I_{__} N 1 を平均化するための方式の例示的な回路実装形態を示す図。

【図 10】[0014] 本開示による方法の例示的な実施形態を示す図。

【図 11】[0015] 本明細書で開示するブーストコンバータ技法が無線周波数 (R F : radio-frequency) 電力増幅器のためのエンベロープトラッキング (E T : envelope tracking) システム中で利用される、本開示の代替の例示的な実施形態を示す図。

【発明を実施するための形態】

【 0 0 0 6 】

[0016] 添付の図面を参照しながら本開示の様々な態様について以下でより十分に説明する。ただし、本開示は、多くの異なる形態で実施され得、本開示全体にわたって提示する任意の特定の構造または機能に限定されるものと解釈すべきではない。むしろ、これらの態様は、本開示が周到で完全になり、本開示の範囲を当業者に十分に伝えるために与えるものである。本明細書の教示に基づいて、本開示の範囲は、本開示の他の態様とは無関係に実装されるにせよ、本開示の他の態様と組み合わせて実装されるにせよ、本明細書で開示する本開示のいかなる態様をもカバーするものであることを、当業者なら諒解されたい。たとえば、本明細書に記載される態様をいくつ使用しても、装置は実装され得、または方法は実施され得る。さらに、本開示の範囲は、本明細書に記載の本開示の様々な態様に加えてまたはそれらの態様以外に、他の構造、機能、または構造および機能を使用して実施されるそのような装置またはそのような方法をカバーするものとする。本明細書で開示する本開示のいずれの態様も、請求項の 1 つまたは複数の要素によって実施され得ることを理解されたい。

【 0 0 0 7 】

[0017] 添付の図面に関して以下に記載する発明を実施するための形態は、本発明の例示的な態様を説明するものであり、本発明が実施され得る唯一の例示的な様態を表すものではない。この明細書全体にわたって使用する「例示的」という用語は、「例、事例、または例示の動きをすること」を意味し、必ずしも他の例示的な態様よりも好ましいまたは有利であると解釈すべきではない。発明を実施するための形態は、本発明の例示的な態様の完全な理解を与える目的で具体的な詳細を含む。本発明の例示的な態様はこれらの具体的な詳細なしに実施され得ることが当業者には明らかであろう。いくつかの例では、本明細書で提示する例示的な態様の新規性を不明瞭にしないように、よく知られている構造およびデバイスをブロック図の形式で示す。本明細書および特許請求の範囲において、「モジュール」および「ブロック」という用語は、説明する動作を実行するように構成されたエンティティを示すために互換的に使用され得る。

【 0 0 0 8 】

[0018] 本明細書および特許請求の範囲において、「高」または「低」であるとしての信号または電圧の表示は、そのような信号または電圧が、信号または電圧のための「TRUE」（たとえば、= 1）状態または「FALSE」（たとえば、= 0）状態に対応し得る（が、対応する必要はない）論理「高」または「低」状態にあることを指すことがあることに留意されたい。本明細書で説明する機能と実質的に等価な機能を有する回路を導出するために、本明細書で説明する論理規約を容易に変更し得ること、たとえば、「低」を「高」で置換し、および/または「高」を「低」で置換し得ることを、当業者は諒解されよう。そのような代替の例示的な実施形態は、本開示の範囲内に入ることが企図される。

【 0 0 0 9 】

[0019] 図 1 に、従来技術において知られているブーストコンバータ 100 を示す。図 1 は、説明の目的で示したものにすぎず、本開示の範囲を、明示的に示された特定のタイプのブーストコンバータに限定するものではないことに留意されたい。

【 0 0 1 0 】

[0020] 図 1 において、ブーストインダクタ (boost inductor) L は、一方の端部が電圧源 V D D に結合され、他方の端部がハイサイド (high-side) スイッチトランジスタ P 1

10

20

30

40

50

とローサイド (low-side) スイッチトランジスタ $N1$ とに結合される。 $N1$ は、交互にインダクタ L を接地に結合するか、または接地から分離するように制御信号 $NCtrl$ によって構成される。同様に、 $P1$ は、交互にインダクタ L を出力電圧 V_{out} に結合するか、または出力電圧 V_{out} から分離するように制御信号 $PCtrl$ によって構成される。 V_{out} は、抵抗 R_L としてモデル化された負荷と、蓄積キャパシタ C とに結合される。当業者に知られている動作原理に従って、 $NCtrl$ 、 $PCtrl$ を使用してスイッチ $N1$ 、 $P1$ を構成することによって、ブーストコンバータ 100 は、ソース電圧 V_{DD} よりも高い出力電圧 V_{out} を生成し得る。図示の実装形態では、 $NCtrl$ および $PCtrl$ は制御論理ブロック 110 によって生成される。

【0011】

10

[0021]動作中、ブロック 110 は、たとえば、特定のターゲット出力電圧 V_{out} を生成するために $N1$ および $P1$ がオンおよびオフにされるデューティサイクルおよび周波数をプログラムし得る。特に、「充電段階」中に $N1$ がオンにされた（および $P1$ がオフにされた）とき、インダクタ電流 I_L は増加し始め、エネルギーがインダクタに蓄積される。「放電段階」中に $P1$ がオンにされた（および $N1$ がオフにされた）とき、インダクタに蓄積されたエネルギーは出力キャパシタ C と負荷 R_L とに放電される。

【0012】

[0022]いくつかの動作条件の下で、負荷 R_L によって引き出されるサージ電流は V_{out} の急激な低下を生じ得る。この場合、インダクタ電流 I_L は、通常動作に必要な V_{out} のレベルをサポートするために C における電荷が回復され得る前に補充される必要がある。たとえば、 1μ 秒持続時間の間の負荷 R_L への 500mA のサージ電流は、 $5\mu\text{F}$ キャパシタ C に V_{out} の 100mV 低下を経験させ得る。そのような場合に I_L を補充するために必要な時間は、所望のターゲットレベルまでの出力電圧 V_{out} の復帰を望ましくなく遅延させ得る。

20

【0013】

[0023]バーストモード (BM) 制御として知られるブーストコンバータ制御のための従来技術のアルゴリズムでは、制御論理 110 は、出力電圧 V_{out} がある設定点、たとえば、 V_{ok_th} を下回ったときはいつでも、 C を充電するために $N1$ と $P1$ とをスイッチングすることを開始し得る。BM制御に従って、制御論理 110 は、出力電圧 V_{out} が設定点を上回ったとき、スイッチングを停止し得る（たとえば、スイッチ $N1$ とスイッチ $P1$ の両方をオフにし得る）。一実装形態では、 $P1$ を通る電流 I_{P1} の測定が制御論理 110 に与えられ得、ブロック 110 は、 I_{P1} が負の方向に流れる（たとえば、 V_{out} から V_L に流れる）ことがわかったときに $P1$ をオフにするように構成され得る。さらに、 $N1$ を通る電流 I_{N1} の測定は制御論理ブロック 110 に与えられ得、ブロック 110 は、 I_{N1} がある限界を超えたときに $N1$ をオフにし、 L を充電することを停止するように構成され得る。BM制御に従って、制御ループ中で動作する2つの積分器（すなわち、インダクタ L とキャパシタ C ）があるので、 $N1$ と $P1$ とのスイッチングは「バースト」中に行われることがわかる。

30

【0014】

[0024]概して、BM制御は2次不安定システムとして特徴づけられ得、出力電圧 V_{out} は、制御システム中に電流情報が含まれないので、本質的にバースト的であり得る。BM制御は電流情報を制御方式に組み込まず、BM制御は、比較的大きいピークインダクタ電流を生じるので、インダクタ電流 I_L もバースト的の性質を有することが諒解されよう。ブーストコンバータ中の雑音を最小限に抑えるために、ピークインダクタ電流を減少させることが望ましい、それはより大きいピークインダクタ電流が、 $N1$ と $P1$ とキャパシタとを通るより大きいAC電流により高いレベルの磁気結合をもたらすからである。

40

【0015】

[0025]ピーク電流 (PC: peak current) モード制御として知られるブーストコンバータ制御のための別の従来技術のアルゴリズムでは、制御論理 110 は、クロック信号 (図1に図示せず) のエッジ (たとえば、立上りまたは立下り) を検出したことに応答して N

50

1 をオンにし得る。N 1 オフ（および P 1 オン）への遷移は、比較器（図示せず）の出力によってトリガされ得、比較器は、 V_{out} と基準電圧 V_{ref} との間の差を、ランプ波形に重ね合わせられた I_{N1} と比較する。P C モード制御は、概して、出力電圧 V_{out} がうまく調整されることを保証し、比較的大きいデューティサイクルに適応するために傾斜補償を含むが、P C モード制御システムの設計は、比較的複雑であることが諒解されよう。特に、P C M 制御は、多数の要素、たとえば、 V_{out} をうまく調整された状態に保つ誤差増幅器、大きいデューティサイクルのための傾斜補償、およびパルススキップシナリオを検出するためのパルススキップ（P S : pulse skip）比較器（図 1 に図示せず）を必要とする。

【0016】

10

[0026] 上記の考慮事項に鑑みて、実装するのに単純で効率的であり、出力電圧 V_{out} の正確で高帯域幅の調整を同時に与える、ブーストコンバータのための制御機構を提供することが望ましいであろう。

【0017】

[0027] 図 2 に、本開示によるブーストコンバータ制御方式の例示的な実施形態 200 を示す。図 2 は、説明の目的で示したものにすぎず、本開示の範囲を図 2 に明示的に示された回路要素に限定するものではないことに留意されたい。

【0018】

[0028] 図 2 において、ブーストコンバータ 200 は、それぞれスイッチトランジスタ N 1、P 1 のゲート電圧 N_{CTRL} 、 P_{CTRL} を制御する制御論理ブロック 210 を含む。論理ブロック 210 はクロック CLK によって駆動される。N 1 を通る電流 I_{N1} を I_{N1} として測定する電流計 (current meter) 250 が与えられ、電流計 250 は、加算器 230 の負 (-) 入力において電圧 $g1 \cdot I_{N1}$ を生成するために、増幅器 220 を使用して I_{N1} に変換利得 $g1$ を与える。加算器 230 は、電圧 V_{ref} を生成するために、しきい値電圧 V_{ok_th} から $(g1 \cdot I_{N1})$ を減算する。 V_{ref} の生成に続いて、制限比較器 240 は、 V_{ref} を、 V_{out} から導出された電圧 V_{out} と比較し、ここにおいて、 V_{out} は増幅器 / バッファ 270 の利得である。比較器 240 の出力は V_{ok} と標示され、スイッチ P 1、N 1 の制御を助けるために論理ブロック 210 にさらに与えられる。

20

【0019】

30

[0029] 図 2 において、電圧 I_{pzero} は、P 1 を通る電流 I_{P1} の方向性を示すために、比較器 260 によってさらに生成されることに留意されたい。図示の例示的な実施形態では、 I_{pzero} は、 $I_{P1} = 0$ のときに 1 に等しくなり、 $I_{P1} > 0$ のときに 0 に等しくなる。測定された電流 I_{N1} がしきい値 I_{th} よりも大きいかどうかを示す電圧 I_{nlimit} がさらに生成される。代替の例示的な実施形態では、信号 I_{pzero} および I_{nlimit} は、代替の技法（図 2 に図示せず）を使用して生成または導出され得、たとえば、P 1 と N 1 とを通る電流の方向性および / または大きさは、当技術分野において知られている他のタイプの電流検知技法を使用して測定され得ることに留意されたい。そのような代替の例示的な実施形態は、本開示の範囲内に入ることが企図される。

【0020】

40

[0030] 本開示によれば、図 3 および図 4 に関して以下でさらに説明するように、制御論理ブロック 210 は、図 2 に示された回路を使用して電流フィードフォワード (CFF : current feed forward) モードまたは変更ピーク電流 (MPC : modified peak current) モードで動作するように構成され得る。

【0021】

[0031] 特に、図 3 に、CFF 動作モードで論理ブロック 210 によって実装されるステートマシン 300 の例示的な実施形態を示す。図 3 は、説明の目的で示したものにすぎず、本開示の範囲を限定するものではないことに留意されたい。図 3 において、信号 V_{okFE} は、 CLK の立下りエッジでラッチされた V_{ok} の値に対応する。

【0022】

50

[0032]状態 S 1 において、P 1 はオンにされ、N 1 はオフにされる。状態 S 1 において、条件 3 1 0 に従って、I p z e r o = 1 であることが検出された場合、状態 S 1 は状態 S 2 に遷移し、ここにおいて、P 1 と N 1 の両方はオフである。さらに、状態 S 1 において、条件 3 5 0 に従って、V o k F E が C L K の立上りエッジで 0 であることが検出された場合、状態 S 1 は状態 S 3 に遷移し、ここにおいて、P 1 はオフであり、N 1 はオンである。

【 0 0 2 3 】

[0033]状態 S 2 において、条件 3 2 0 に従って、V o k F E が C L K の立上りエッジで 0 であることが検出された場合、状態 S 2 は状態 S 3 に遷移する。

【 0 0 2 4 】

[0034]状態 S 3 において、条件 3 3 0 に従って、C L K の次の立下りエッジで自動的に、または条件 3 4 0 に従って、I n l i m i t の次の立上りエッジで自動的に、状態 S 3 は状態 S 1 に遷移する。

【 0 0 2 5 】

[0035]ステートマシン 3 0 0 によって実装される C F F 電流制御モードは、制御プロセスのバーストの性質を緩和するために、制御機構中で電流情報（たとえば、N 1 を通る電流）を有利に利用し得ることが諒解されよう。

【 0 0 2 6 】

[0036]図 4 に、M P C 動作モード中に論理ブロック 2 1 0 によって実装され得るステートマシン 4 0 0 の代替の例示的な実施形態を示す。図 4 は、説明の目的で示したものにすぎず、本開示の範囲を限定するものではないことに留意されたい。

【 0 0 2 7 】

[0037]図 4 では、状態 S 1 ' において、条件 4 1 0 に従って、I p z e r o = 1 であることが検出された場合、状態 S 1 ' は状態 S 2 ' に遷移し、ここにおいて、P 1 と N 1 の両方はオフである。さらに、状態 S 1 ' において、条件 4 5 0 に従って、V o k が C L K の立上りエッジで 0 であることが検出された場合、状態 S 1 ' は状態 S 3 に遷移する。

【 0 0 2 8 】

[0038]状態 S 2 ' において、条件 4 2 0 に従って、V o k が C L K の立上りエッジで 0 であることが検出された場合、状態 S 2 ' は状態 S 3 ' に遷移する。

【 0 0 2 9 】

[0039]状態 S 3 ' において、条件 4 3 0 に従って、C L K の次の立下りエッジで自動的に、または条件 4 4 0 に従って、I n l i m i t の次の立上りエッジで自動的に、状態 S 3 ' は状態 S 1 ' に遷移する。

【 0 0 3 0 】

[0040]上記で説明した例示的な実施形態では、M P C モードでの状態遷移条件が、C F F モードの場合のように、V o k F E（すなわち、C L K の立下りエッジでラッチされた V o k の値）ではなく、V o k のリアルタイム値に基づき得るという点で、M P C モードステートマシン 4 0 0 は C F F モードステートマシン 3 0 0 とは異なり得ることが諒解されよう。

【 0 0 3 1 】

[0041]M P C モードでは、誤差増幅器、比較的大きいキャパシタ、またはパルススキッピング比較器（pulse skipping comparator）は不要であるので、ステートマシン 4 0 0 によって実装される M P C 電流制御モードは、P C モード制御と比較して制御機構を有利に簡略化し得ることが諒解されよう。C F F 動作モードと M P C 動作モードの両方が図 2 に示された回路を共有し得るので、システムは、たとえば、デジタル制御信号（図示せず）を使用して、制御論理ブロック 2 1 0 を構成することによって、いずれのモードも動作するように容易に構成され得ることがさらに諒解されよう。

【 0 0 3 2 】

[0042]図 5 に、本開示の原理をさらに示すために、C F F 動作モードタイプと M P C 動作モードタイプとの場合の例示的な信号タイミング図の比較を示す。図 5 は、説明の目的

10

20

30

40

50

で示したものにすぎず、本開示の範囲をブーストコンバータのための特定の動作条件に限定するものではないことに留意されたい。図5中の信号デューティサイクルおよび/またはパルス幅は、必ずしも一定の縮尺で描かれているとは限らないことに留意されたい。図5中でマークされたいくつかの例示的な時刻における波形の挙動について、以下でさらに説明する。

【0033】

[0043]図5において、CFFモード波形510A、520A、525Aは、それぞれ信号Vok、CLK、VokFEを示し、波形530Aは、N1がオンにされたときの時間の期間を示す。時間t1において、システムは図3の状態S3に入り、N1がオンにされる。時間t1.1において、(条件)330に従って、すなわち、CLKの立下りエッジで、S3は状態S1に遷移し、N1はオフにされる。時間t2において、CLKの立上りエッジでS1において遷移は起こらない。(条件)350は、VokFEの(すなわち、CLKの立下りエッジにおいてラッチされた)その当時の値が1であるので、t2において偽であることに留意されたい。t3において、VokFEのその当時の値が1であるので、S1からの遷移は起こらない。時間t4において、CLKの立上りエッジで、VokFEは0であり、S1は再びS3に遷移する。時間t4.1において、条件330により、S3は再びS1に遷移する。時間t5において、VokFEのその当時の値が1であるので、状態遷移は起こらない。

【0034】

[0044]図5は、MPCモードでの動作の場合に、それぞれVok、CLK、およびN1オンに対応する波形510B、520B、および530Bをさらに示す。特に、時間t1'において、システムは図4の状態S3'に入り、N1がオンにされる。時間t1.1'において、Vokは高に遷移し、条件430は真であり、したがって、S3'はS1'に遷移する。時間t2'において、450に従って、S1'はS3'に遷移する。時間t2.1'において、条件430に従って、S3'はS1'に遷移する。時間t3'において、450に従って、S1'はS3'に遷移する。時間t3.1'において、430に従って、S3'はS1'に遷移する。時間t4'において、VokがCLKの立上りエッジで高であるので、状態S1'からの遷移は起こらない。時間t5'において、450に従って、S1'はS3'に遷移する。

【0035】

[0045]ブーストコンバータのための制御方式のCFFモードタイプおよびMPCモードタイプは、いくつかの仮定の下で線形システムとしてモデル化され得ることが諒解されよう。図6に、本開示のいくつかの態様をさらにハイライトする制御方式をモデル化する例示的な線形システム600を示す。図6は、説明の目的で示したものにすぎず、本開示の範囲を、図示の線形モデルによって特徴づけられ得るそれらの実施形態のみに限定するものではないことに留意されたい。線形モデルは、たとえば、信号値が各クロックサイクルにわたって平均化され、スイッチング周波数が固定であり、および/または高周波スイッチングリップルが無視されると仮定すると、システム200の挙動をモデル化するために有用であり得る。

【0036】

[0046]図6において、インダクタLのs領域(s-domain)表現をまとめて示すブロック612、614の出力において、電流I_{ind}がサンプリングされ、利得K₄₆₂₄がI_{ind}に適用される。同時に、I_{ind}はまた、キャパシタCのs領域表現をまとめて示すブロック618、620、および加算器616を通る出力電圧Voutに結合される。ブロック622、624は、図2中の制限比較器240をまとめてモデル化し、加算器622は、入力としてVoutとブロック624の出力とを受け付ける。ブロック626の出力はVokに対応し得る。例示的な実施形態では、本開示による制御アルゴリズムは、たとえば、Vok = 0の場合にパルス(すなわち、N1またはP1をある状態から別の状態にスイッチングするコマンド)を通過することと、Vok = 1の場合にパルスを吸収することとに対応し得る。

【 0 0 3 7 】

[0047]図 6 において、パラメータ K_1 、 K_2 は、 CFF モードと MPC モードとについて別々に計算され得る。たとえば、 K_1 、 K_2 は、たとえば、 N_1 の出力電圧レベルおよび/またはデューティサイクルに依存し得る。さらに、 K_4 は、 V_{ok} における電流情報を表すと理解され得、線形システム 600 においてのその存在は、システムを安定させるのを助けると理解される。 K_4 の値が適切に選定されると、システム 600 は、広範囲の周波数にわたって安定的に動作し得ることが諒解されよう。

【 0 0 3 8 】

[0048]線形モデル 600 は、スイッチモードブーストコンバータにおいて、異なる方法で、たとえば、図 2 に示されたものとは別の回路を使用して実装され得ることを、当業者は諒解されよう。たとえば、図 2 では、 $V_{ref} = V_{ok_th} - g_1 \cdot I_{N1}$ であることがわかり得る。代替の例示的な実施形態では、比較器 240 への入力、比較器 240 の出力 V_{ok} について同じ挙動を達成するように代替的に構成され得る。たとえば、代替の例示的な実施形態（図示せず）では、 V_{ok_th} は、代わりに、比較器 240 の負（-）入力に結合され得るが、比較器 240 の正（+）入力、代わりに、 $V_{out} + g_1 \cdot I_{N1}$ に結合され得る。そのような代替の例示的な実施形態は、本開示の範囲内に入ることが企図される。

【 0 0 3 9 】

[0049] N_1 を通る電流 I_{N1} が、制御論理ブロック 210 のためのバイナリ出力 V_{ok} または V_{okFE} を生成するために処理される、いくつかの例示的な実施形態について説明した。たとえば、図 2 に見られるように、比較器 240 は、 I_{N1} のバイナリ関数 V_{ok} を生成するために（ I_{N1} の関数である） V_{ref} を V_{out} と比較する。しかしながら、代替の例示的な実施形態では、制御論理ブロック 210 は、バックコンバータの動作を制御するために、 I_{N1} の他の一般的な関数（たとえば、アナログ関数または他のデジタル関数）を代替的にまたは追加として利用し得ることが諒解されよう。そのような代替の例示的な実施形態は、本開示の範囲内に入ることが企図される。

【 0 0 4 0 】

[0050]代替の例示的な実施形態では、制御アルゴリズムの性能を改善するために N_1 と P_1 とのための制御ブロックにフィードバックされる電流情報から DC オフセットが除去され得る。 DC オフセットを除去することは、システムの精度を有利に改善し得ることが諒解されよう。図 7 に、本開示による、ブーストコンバータ制御方式の例示的な実施形態 700 を示す、ここにおいて、追加の DC オフセット消去ブロック 710 が与えられる。図 7 において、ブロック 710 は、たとえば、入力の平均（ DC ）値を推定することと、 $(g_1 \cdot I_{N1})_{filter_red}$ で示される出力を生成するために入力からそれを減算することとによって、信号 $g_1 \cdot I_{N1}$ 中の DC オフセットを消去するように構成される。

【 0 0 4 1 】

[0051]図 8 に、ブロック 710 の例示的な実施形態 710.1 を示す、ここにおいて、時間選択性スイッチ 810 が $g_1 \cdot I_{N1}$ を高域フィルタ（ HPF ）820 に選択的に結合する。スイッチ 810 は、複数の異なる方式に従ってアクティブにされ得ることに留意されたい。たとえば、 $g_1 \cdot I_{N1}$ は、クロック周期全体にわたって平均化され得、その場合、スイッチ 810 は、クロックの 1 つまたは複数の期間の全持続時間の間、閉じられ得る。代替的に、 $g_1 \cdot I_{N1}$ は、 N_1 がオンである時間にわたってのみ平均化され得、その場合、スイッチ 810 は、 N_1 がオンであるときにのみ閉じられ得る。代替的に、 $g_1 \cdot I_{N1}$ は、 N_1 ピーク電流に近い短い時間の期間にわたって平均化され得、その場合、スイッチ 810 は、 N_1 ピーク電流に対応する時間の期間中のみ閉じられ得る。例示的な実施形態では、 N_1 中でピーク電流がいつあるかという判断は、上記で与えられた説明に照らして当業者によって容易に設計され得るピーク電流センサーを使用して行われ得る。すべてのそのような例示的な実施形態は、本開示の範囲内に入ることが企図されることが諒解されよう。

10

20

30

40

50

【 0 0 4 2 】

[0052] 代替の例示的な実施形態では、本明細書で明示的に説明しない代替技法を使用して、 $g_1 \cdot I_{N1}$ または I_{N1} の DC 値の推定値が生成され得る。そのような代替の例示的な実施形態は、本開示の範囲内に入ることが企図される。

【 0 0 4 3 】

[0053] 図 9 に、 N_1 がオンであるときに I_{N1} を平均化するための方式の例示的な回路実装形態 900 を示す。回路 900 は、本開示によれば、たとえば、 $g_1 \cdot I_{N1}$ から信号 ($g_1 \cdot I_{N1}$) $_{filtered}$ を生成するために使用され得る。図 9 は、図 8 に示された DC 消去方式の回路実装に対応することが諒解されよう。

【 0 0 4 4 】

10

[0054] 図 9 において、電流源 910 を使用して、電流 $g_1 \cdot I_{N1}$ のコピーまたは $i_1 A$ がトランジスタ $N_1 A$ に与えられ、1:1 の比に従って $N_2 A$ によってミラーリングされる。 $N_2 A$ を通る電流 $i_2 A$ は $P_1 A$ に与えられる。スイッチ $SW_1 A$ が閉じられたとき、 $P_1 A$ のゲートは $P_2 A$ のゲートに結合され、 $P_2 A$ は電流 $i_3 A$ を生成する。 R_A と C_A とを含む、 $P_1 A$ のゲートと $P_2 A$ のゲートとを結合する R-C ネットワークは、 $P_1 A$ 、 $P_2 A$ のゲート電圧を効果的に低域フィルタ処理し、得られた電流 $i_3 A$ は、したがって、 $i_1 A$ の低域フィルタ処理されたバージョンである。対応して、 $i_3 A$ から減算された $i_1 A$ を表す I_{out} は、 $i_1 A$ の高域フィルタ処理されたバージョンである。

【 0 0 4 5 】

20

[0055] 図 10 に、本開示による方法の例示的な実施形態 1000 を示す。図 10 は、説明の目的で示したものにすぎず、本開示の範囲を図示の特定の方法に限定するものではないことに留意されたい。

【 0 0 4 6 】

[0056] ブロック 1010 において、インダクタを、負荷と蓄積キャパシタとに結合された出力電圧に選択的に結合するようにハイサイドスイッチを構成する。

【 0 0 4 7 】

[0057] ブロック 1020 において、インダクタを接地電圧に選択的に結合するようにローサイドスイッチを構成する。

【 0 0 4 8 】

30

[0058] ブロック 1030 において、出力電圧の関数とローサイドスイッチを通る電流の関数とを備える入力に基づいてハイサイドスイッチとローサイドスイッチとを構成することを制御する。

【 0 0 4 9 】

[0059] 図 11 に、本明細書で開示するブーストコンバータ技法は無線周波数 (RF) 電力増幅器のためのエンベロープトラッキング (ET) システム 1100 中で利用される、本開示の代替の例示的な実施形態を示す。図 11 は、説明の目的で示したものにすぎず、本開示の範囲を ET システムの特定の实装形態に限定するものではないことに留意されたい。たとえば、上記で説明した技法は非 ET システムに容易に適用され得、そのような代替の例示的な実施形態は、本開示の範囲内に入ることが企図される。

40

【 0 0 5 0 】

[0060] 図 11 において、電力増幅器 (PA: power amplifier) 1130 が入力電圧 I_N を受け取り、増幅された出力電圧 O_{UT} を生成する。電圧 V_{amp} は、電源電圧として PA_{1130} に与えられる。 V_{amp} は、線形増幅器であり得る増幅器 1140 によって少なくとも部分的に生成される。増幅器 1140 は、 PA 出力電圧 O_{UT} のエンベロープを追跡する電圧 E_{nv} を増幅し得る。増幅器 1140 は、ブーストコンバータ 1110 によって生成された電圧 V_{DD_Amp} によって供給される。ブーストコンバータ 1110 はクロック信号 (CLK) を供給される。

【 0 0 5 1 】

[0061] バックコンバータ 1120 が PA_{130} の V_{amp} にさらに結合される。バック

50

コンバータ 1120 は、V b a t t を V b a t t よりも低いレベル V a m p に変換し得る。バックコンバータ 1120 は、図 11 に図示されていないが、当技術分野で知られている動作原理に従って、たとえば、ステップダウンされた出力電圧 V a m p を生成するためにインダクタを充電および放電するように交互に構成された複数のスイッチを使用して、V b a t t よりも小さい V a m p のレベルを生成し得ることに留意されたい。バックコンバータ 1120 は、たとえば、P A 1130 に電源の低周波数成分を供給し得るが、増幅器 1140 は、P A 1130 に、たとえば、P A 出力電圧のエンベロープの変動に起因する電源のより高い周波数成分を供給し得ることが諒解されよう。V a m p は、P A 1130 の線形演算を保証するのに十分なレベルにおいて維持され、すなわち、十分な「ヘッドルーム」を与えられる一方、不要な D C 電力消費を低減し得る。

10

【0052】

[0062]例示的な実施形態では、E T システム 1100 中のブーストコンバータ 1110 は、たとえば、図 2、図 3、および図 4 に関して上記で説明した、ブーストコンバータアーキテクチャ 200 および / または制御技法、たとえば、C F F 動作モードまたは M P C 動作モードを組み込み得る。特に、電力増幅器 1130 への入力電圧 I N は、複数の信号波形の任意なもの、たとえば、ロングタームエボリューション (L T E) ワイヤレス規格に従って指定された特性を有する送信波形、に対応し得る。異なる L T E 信号波形に適応するために、E T システム 1100 は、広い範囲にわたって C L K の周波数を変化させるように要求され、たとえば、L T E 波形の各タイプの特定のシグナリング特性に適応するように要求され得る。上記で説明したブーストコンバータ制御技法は、そのような広範囲の C L K 周波数に適応するように容易に適合され得、たとえば、図 3 および図 4 において指定された状態および状態遷移は、概して、何らかの好適な周波数の C L K 信号に適応し得ることが諒解されよう。E T システムにおける本開示のそのような例示的な実施形態は、本開示の範囲内に入ることが企図される。

20

【0053】

[0063]本明細書および特許請求の範囲において、要素が別の要素に「接続」または「結合」されていると言及されるとき、その要素は他の要素に直接接続または結合され得るか、あるいは介在要素が存在し得ることを理解されよう。対照的に、要素が別の要素に「直接接続」または「直接結合」されていると言及されるとき、介在要素は存在しない。さらに、要素が別の要素に「電氣的に結合」されていると言及されるとき、そのような要素間に低抵抗の経路が存在することを示し、要素が別の要素に単に「結合」されていると言及されるとき、そのような要素間に低抵抗の経路があることもないこともある。

30

【0054】

[0064]情報および信号は多種多様な技術および技法のいずれかを使用して表され得ることを、当業者は理解されよう。たとえば、上記の説明全体にわたって言及され得るデータ、命令、コマンド、情報、信号、ビット、シンボル、およびチップは、電圧、電流、電磁波、磁界または磁性粒子、光場または光学粒子、あるいはそれらの任意の組合せによって表され得る。

【0055】

[0065]さらに、本明細書で開示する例示的な態様に関連して説明した様々な例示的な論理ブロック、モジュール、回路、およびアルゴリズムステップは、電子ハードウェア、コンピュータソフトウェア、または両方の組合せとして実装され得ることを、当業者は諒解されよう。ハードウェアとソフトウェアのこの互換性を明確に示すために、様々な例示的な構成要素、ブロック、モジュール、回路、およびステップについて、上記では概してそれらの機能に関して説明した。そのような機能をハードウェアとして実装するか、ソフトウェアとして実装するかは、特定の適用例および全体的なシステムに課された設計制約に依存する。当業者は、説明した機能を特定の適用例ごとに様々な方法で実装し得るが、そのような実装の決定は、本発明の例示的な態様の範囲からの逸脱を生じるものと解釈されるべきではない。

40

【0056】

50

[0066]本明細書で開示した態様に関して説明した様々な例示的な論理ブロック、モジュール、および回路は、汎用プロセッサ、デジタル信号プロセッサ(DSP)、特定用途向け集積回路(ASIC)、フィールドプログラマブルゲートアレイ(FPGA)または他のプログラマブル論理デバイス、個別ゲートまたはトランジスタ論理、個別ハードウェア構成要素、あるいは本明細書で説明する機能を実行するように設計されたそれらの任意の組合せを用いて実装または実行され得る。汎用プロセッサはマイクロプロセッサであり得るが、代替として、プロセッサは、任意の従来のプロセッサ、コントローラ、マイクロコントローラ、またはステートマシンであり得る。プロセッサはまた、コンピューティングデバイスの組合せ、たとえば、DSPとマイクロプロセッサとの組合せ、複数のマイクロプロセッサ、DSPコアと連携する1つまたは複数のマイクロプロセッサ、あるいは任意の他のそのような構成として実装され得る。

10

【0057】

[0067]本明細書で開示する例示的な態様に関して説明した方法またはアルゴリズムのステップは、ハードウェアで直接実施されるか、プロセッサによって実行されるソフトウェアモジュールで実施されるか、またはその2つの組合せで実施され得る。ソフトウェアモジュールは、ランダムアクセスメモリ(RAM)、フラッシュメモリ、読取り専用メモリ(ROM)、電氣的プログラマブルROM(EPROM)、電氣的消去可能プログラマブルROM(EEPROM(登録商標))、レジスタ、ハードディスク、リムーバブルディスク、CD-ROM、または当技術分野で知られている任意の他の形態の記憶媒体中に常駐し得る。例示的な記憶媒体は、プロセッサが記憶媒体から情報を読み取り、記憶媒体に情報を書き込むことができるように、プロセッサに結合される。代替として、記憶媒体はプロセッサに一体化され得る。プロセッサおよび記憶媒体はASIC中に常駐し得る。ASICはユーザ端末中に常駐し得る。代替として、プロセッサおよび記憶媒体は、ユーザ端末中に個別コンポーネントとして常駐し得る。

20

【0058】

[0068]1つまたは複数の例示的な態様では、説明する機能は、ハードウェア、ソフトウェア、ファームウェア、またはそれらの任意の組合せで実装され得る。ソフトウェアで実装される場合、機能は、1つまたは複数の命令またはコードとしてコンピュータ可読媒体上に記憶されるか、あるいはコンピュータ可読媒体を介して送信され得る。コンピュータ可読媒体は、ある場所から別の場所へのコンピュータプログラムの転送を可能にする任意の媒体を含む、コンピュータ記憶媒体とコンピュータ通信媒体の両方を含む。記憶媒体は、コンピュータによってアクセスされ得る任意の利用可能な媒体であり得る。限定ではなく例として、そのようなコンピュータ可読媒体は、RAM、ROM、EEPROM、CD-ROMまたは他の光ディスクストレージ、磁気ディスクストレージまたは他の磁気ストレージデバイス、あるいは命令またはデータ構造の形態の所望のプログラムコードを搬送または記憶するために使用され得、コンピュータによってアクセスされ得る、任意の他の媒体を備えることができる。また、いかなる接続もコンピュータ可読媒体と適切に呼ばれる。たとえば、ソフトウェアが、同軸ケーブル、光ファイバーケーブル、ツイストペア、デジタル加入者回線(DSL)、または赤外線、無線、およびマイクロ波などのワイヤレス技術を使用して、ウェブサイト、サーバ、または他のリモートソースから送信される場合、同軸ケーブル、光ファイバーケーブル、ツイストペア、DSL、または赤外線、無線、およびマイクロ波などのワイヤレス技術は、媒体の定義に含まれる。本明細書で使用するディスク(disk)およびディスク(disc)は、コンパクトディスク(disc)(CD)、レーザーディスク(登録商標)(disc)、光ディスク(disc)、デジタル多用途ディスク(disc)(DVD)、フロッピー(登録商標)ディスク(disk)およびBlu-Ray(登録商標)ディスク(disc)を含み、ディスク(disk)は、通常、データを磁氣的に再生し、ディスク(disc)は、データをレーザーで光学的に再生する。上記の組合せもコンピュータ可読媒体の範囲内に含めるべきである。

30

40

【0059】

[0069]開示した例示的な態様の前述の説明は、当業者が本発明を実施または使用するこ

50

とができるように与えたものである。これらの例示的な態様への様々な修正は当業者には容易に明らかであり、本明細書で定義した一般原理は、本発明の趣旨または範囲から逸脱することなく他の例示的な態様に適用され得る。したがって、本開示は、本明細書で示した例示的な態様に限定されるものではなく、本明細書で開示した原理および新規の特徴に一致する最も広い範囲を与えられるべきである。

以下に、本願出願の当初の特許請求の範囲に記載された発明を付記する。

[C 1]

装置であって、前記装置は下記を備える、

インダクタに結合されたローサイドスイッチとハイサイドスイッチとを制御するように構成された制御論理ブロック、ここにおいて、

前記ハイサイドスイッチが、前記インダクタを負荷と蓄積キャパシタとに結合された出力電圧に選択的に結合するように制御され、

前記ローサイドスイッチが、前記インダクタを接地電圧に選択的に結合するように制御され、

前記制御論理ブロックが、前記出力電圧の関数と前記ローサイドスイッチを通る電流の関数とを備える入力に基づいて前記複数のスイッチを制御するように構成される。

[C 2]

C 1 に記載の装置であって、前記装置は、

前記出力電圧の前記関数を、しきい値電圧と前記ローサイドスイッチを通る電流の前記関数との間の前記差を備える基準電圧と比較するように構成された比較器

をさらに備える。

[C 3]

C 2 に記載の装置であって、前記制御論理ブロックは、

前記比較器のラッチされた出力が前記クロック信号の立上りエッジで低であることに応答して前記ローサイドスイッチをオンにし、ここにおいて、前記比較器出力が前記クロック信号の立下りエッジでラッチされる、

ように構成される、

前記装置。

[C 4]

C 3 に記載の装置であって、前記制御論理ブロックが、

前記クロック信号の立下りエッジに応答して前記ローサイドスイッチをオフにするようにさらに構成される、前記装置。

[C 5]

C 4 に記載の装置であって、前記制御論理ブロックは、

前記ハイサイドスイッチを通る前記電流が 0 以下であることに応答して、前記ローサイドスイッチと前記ハイサイドスイッチの両方をオフにする

ようにさらに構成される、前記装置。

[C 6]

C 2 に記載の装置であって、前記制御論理ブロックは、

前記比較器出力が前記クロック信号の立上りエッジで低であることに応答して、前記ローサイドスイッチをオンにすることと、

前記ローサイドスイッチを通る前記電流としきい値電流との間の前記差を備える信号の前記立上りエッジに応答して前記ローサイドスイッチをオフにすることと、

を行うように構成される、前記装置。

[C 7]

C 1 に記載の装置であって、前記装置は、

前記基準電圧を生成するより前から前記ローサイドスイッチを通る前記電流の値から平均を減算するように構成された DC オフセット消去ブロック

をさらに備える。

[C 8]

C 7 に記載の装置であって、

前記電流の平均値が、ピーク値を使用して、または前記クロック信号の期間にわたって計算される、前記装置。

[C 9]

C 7 に記載の装置であって、前記 D C オフセット消去ブロックは、

第 1 および第 2 のミラー N M O S トランジスタと、

前記第 1 および前記第 2 の N M O S トランジスタにそれぞれ結合された第 1 および第 2 のミラー P M O S トランジスタと、

前記第 1 および前記第 2 のミラー P M O S トランジスタの前記ゲートを選択的に結合するスイッチと、

前記スイッチが選択的に閉じられたとき、前記第 1 および前記第 2 のミラー P M O S トランジスタの前記ゲートに結合された低域フィルタ、ここにおいて、フィルタ処理される前記電流が前記第 1 の N M O S トランジスタの前記ドレインに結合され、前記第 1 の P M O S トランジスタの前記ドレインを通る前記電流が、前記出力電流を生成するために前記第 1 の N M O S トランジスタの前記ドレイン電流から減算される、と、

を備える、前記装置。

[C 1 0]

C 1 に記載の装置であって、前記負荷が増幅器を備え、前記装置が、

出力電圧を生成するために入力電圧を増幅するように構成された電力増幅器、前記増幅器が、前記電力増幅器を供給するために前記電力増幅器の出力電圧の前記エンベロープに対応する信号を増幅するように構成され、ここにおいて、前記入力電圧が、複数の送信信号波形タイプの任意のものに対応するように構成可能であり、前記クロック信号が、前記複数の送信信号波形タイプに対応する複数のクロック周波数をサポートするように構成可能である、

をさらに備える。

[C 1 1]

方法であって、前記方法は下記を備える、

インダクタを負荷と蓄積キャパシタとに結合された出力電圧に選択的に結合するように、ハイサイドスイッチを構成することと、

前記インダクタを接地電圧に選択的に結合するように、ローサイドスイッチを構成することと、

前記出力電圧の関数と前記ローサイドスイッチを通る電流の関数とを備える入力に基づいて前記ハイサイドスイッチと前記ローサイドスイッチとを前記構成することを制御すること。

[C 1 2]

C 1 1 に記載の方法であって、前記方法は下記をさらに備える、

基準電圧を生成するためにしきい値電圧から前記ローサイドスイッチを通る前記電流の値を減算することと、

比較器出力を生成するために前記出力電圧を基準電圧と比較すること、ここにおいて、前記構成することを前記制御することが、前記比較器出力とクロック信号とを備える入力に基づいて前記スイッチを制御することを備える。

[C 1 3]

C 1 2 に記載の方法であって、前記方法は下記をさらに備える、

前記クロック信号の立下りエッジで前記比較器出力をラッチすることと、

前記ラッチされた比較器出力が前記クロック信号の立上りエッジで低であることに応答して、前記ローサイドスイッチをオンにすることと、

前記クロック信号の立下りエッジに応答して前記ローサイドスイッチをオフにすること。

[C 1 4]

C 1 3 に記載の方法であって、前記方法は、

前記ハイサイドスイッチを通る電流が0以下であると判断されたことに応答して、前記ローサイドスイッチと前記ハイサイドスイッチの両方をオフにすること
をさらに備える。

[C 1 5]

C 1 2 に記載の方法であって、前記方法は、
前記比較器出力が前記クロック信号の立上りエッジで低であることに応答して、前記ローサイドスイッチをオンにすること
をさらに備える。

[C 1 6]

装置であって、前記装置は下記を備える、
インダクタを負荷と蓄積キャパシタとに結合された出力電圧に選択的に結合するように、ハイサイドスイッチを構成するための手段と、
前記インダクタを接地電圧に選択的に結合するようにローサイドスイッチを構成するための手段と、
前記出力電圧の関数と前記ローサイドスイッチを通る電流の関数とを備える入力に基づいて、前記ハイサイドスイッチと前記ローサイドスイッチとを前記構成することを制御するための手段。

[C 1 7]

C 1 6 に記載の装置であって、前記装置は下記をさらに備える、
基準電圧を生成するためにしきい値電圧から前記ローサイドスイッチを通る前記電流の値を減算するための手段と、
比較器出力を生成するために前記出力電圧を基準電圧と比較するための手段、ここにおいて、前記構成することを制御するための前記手段が、前記比較器出力とクロック信号とを備える入力に基づいて前記スイッチを制御するための手段を備える。

[C 1 8]

C 1 7 に記載の装置であって、前記装置は下記をさらに備える、
クロック信号の立下りエッジで前記比較器出力をラッチするための手段と、
前記ラッチされた比較器出力が前記クロック信号の立上りエッジで低であることに応答して、前記複数のスイッチのうちの1つをオンにするための手段と、
前記クロック信号の立下りエッジに応答して前記複数のスイッチのうちの1つをオフにするための手段。

[C 1 9]

C 1 8 に記載の装置であって、前記装置は、
前記スイッチのうちの1つを通る前記電流が0以下であると判断されたことに応答して、前記スイッチをオフにするための手段
をさらに備える。

[C 2 0]

C 1 7 に記載の装置であって、前記装置は、
比較するための前記手段の前記出力が、前記クロック信号の立上りエッジで低であることに応答して、スイッチをオンにするための手段
をさらに備える。

10

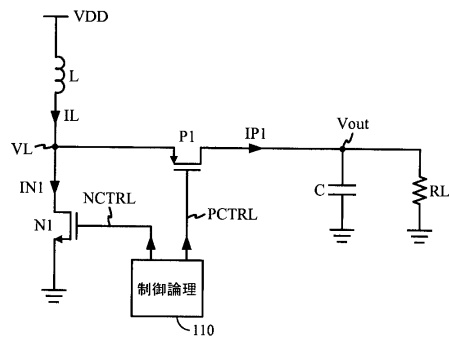
20

30

40

【圖 1】

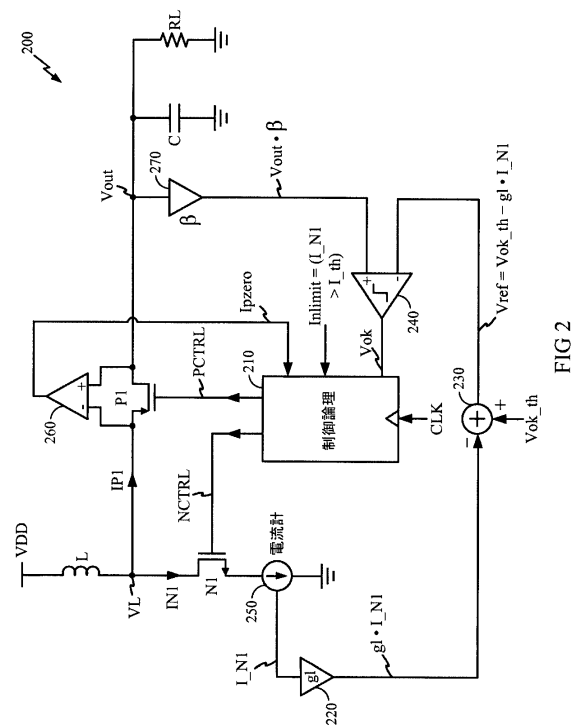
图 1



(従来技術)
FIG 1

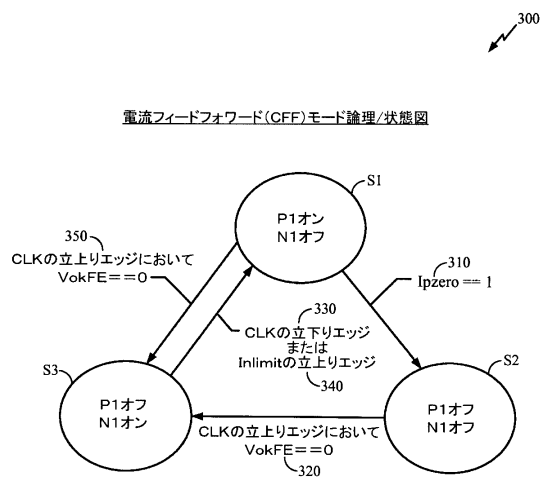
【圖 2】

图 2



【 図 3 】

图 3



注:VokFE=CLKの立下りエッジにおいてラッチされたVok

FIG 3

【圖 4】

图 4

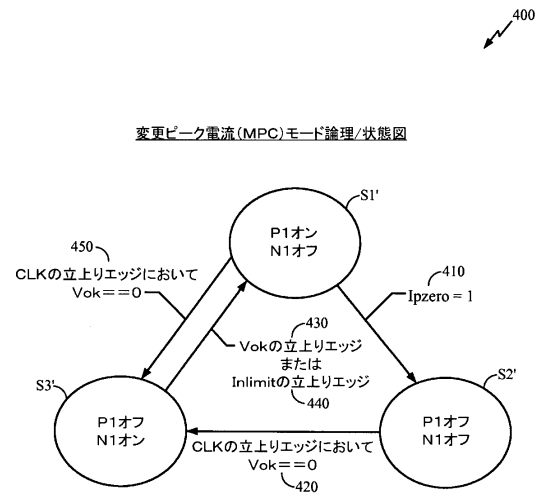


FIG 4

【 図 5 】

图 5

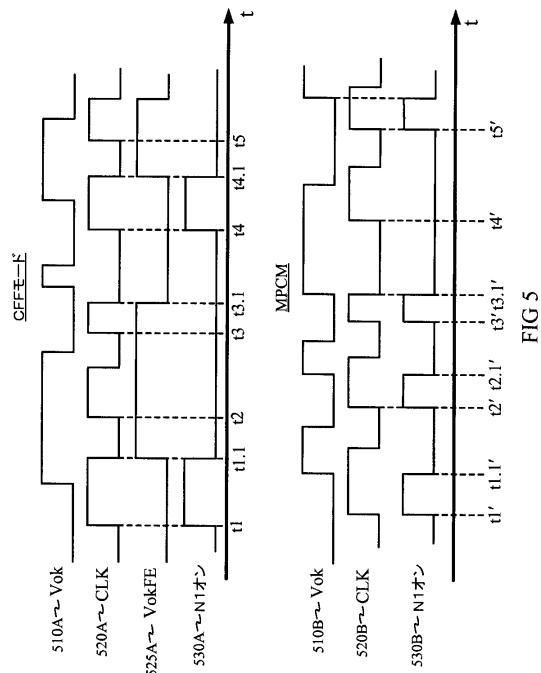


FIG 5

【 図 6 】

図 6

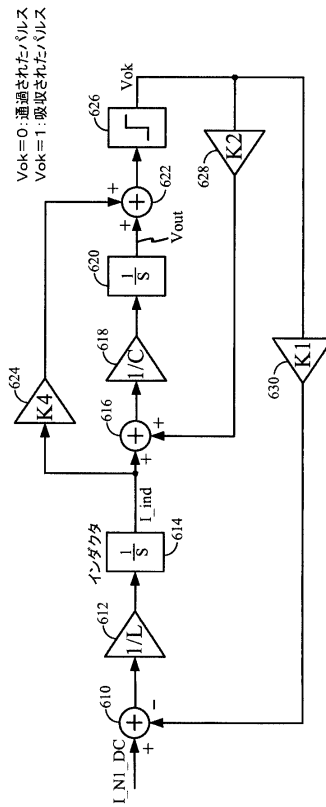


FIG 6

【 圖 7 】

图 7

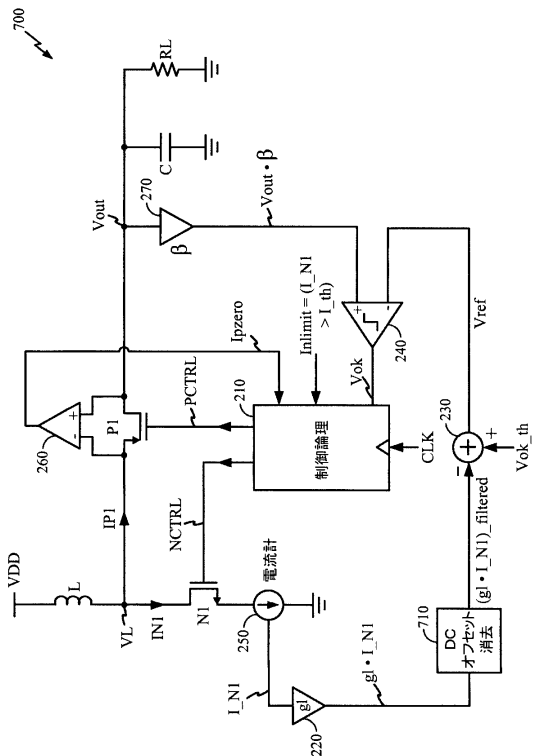


FIG 7

【 図 8 】

图 8

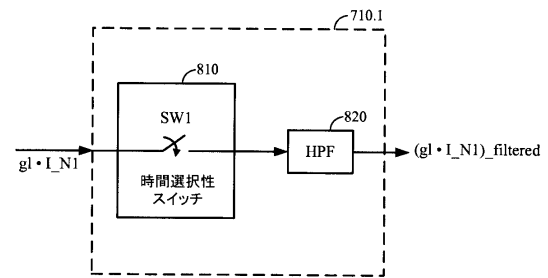


FIG 8

フロントページの続き

- (72)発明者 シ、ソン・ストン
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5
- (72)発明者 マセ、レナート・カール - アクセル
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5
- (72)発明者 シ、ユンフェイ
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5

審査官 坂東 博司

- (56)参考文献 特開 2 0 1 2 - 0 6 5 4 3 0 (J P , A)
特開 2 0 1 0 - 2 0 0 4 5 0 (J P , A)
米国特許第 0 6 6 5 7 4 1 7 (U S , B 1)
米国特許第 0 7 5 5 7 5 5 1 (U S , B 1)
米国特許出願公開第 2 0 1 0 / 0 2 1 3 9 1 1 (U S , A 1)
米国特許出願公開第 2 0 0 6 / 0 1 2 5 4 5 5 (U S , A 1)
米国特許出願公開第 2 0 0 9 / 0 2 4 3 5 7 7 (U S , A 1)
国際公開第 2 0 1 2 / 0 4 4 3 9 1 (W O , A 1)

- (58)調査した分野(Int.Cl. , D B 名)
H 0 2 M 3 / 1 5 5