(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0087174
(43) 공개일자 2020년07월20일

(51) 국제특허분류(Int. Cl.)
H01L 25/075 (2006.01) *H01L 33/00* (2010.01)
H01L 33/38 (2010.01) *H01L 33/40* (2010.01)
H01L 33/58 (2010.01)
(52) CPC특허분류
H01L 25/0756 (2013.01)
H01L 33/0008 (2013.01)
(21) 출원번호 10-2020-7015646
(22) 출원일자(국제) 2018년11월27일
심사청구일자 없음
(85) 번역문제출일자 2020년06월01일
(86) 국제출원번호 PCT/KR2018/014672
(87) 국제공개번호 WO 2019/103567
국제공개일자 2019년05월31일
(30) 우선권주장
62/590,830 2017년11월27일 미국(US)
(뒷면에 계속)

(71) 출원인
서울바이오시스 주식회사
경기도 안산시 단원구 산단로163번길 65-16, 1블럭 36호 (원시동)
(72) 발명자
채종현
경기도 안산시 단원구 산단로163번길 97-11
김창연
경기도 안산시 단원구 산단로 163번길 97-11
(뒷면에 계속)
(74) 대리인
특허법인에이아이피

전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **디스플레이용 발광 다이오드 및 이를 갖는 디스플레이 장치**

(57) 요 약

디스플레이용 발광 다이오드 스택은 지지 기판, 제1 LED 스택, 제2 LED 스택 및 제3 LED 스택을 포함하고, 도전성 성장 기판이 제2 LED 스택 또는 제3 LED 스택에 결합되며, 제1 컬러 필터가 제1 및 제2 LED 스택 사이에 개재되고 제2 LED 스택으로부터 발생되는 광을 반사시키면서 제1 LED 스택으로부터 발생되는 광을 투과시키고, 제2 컬러 필터가 제2 및 제3 LED 스택 사이에 개재되며 제3 LED 스택으로부터 발생되는 광을 반사시키면서 제1 및 제2 LED 스택으로부터 발생되는 광을 투과시키며, 제1 LED 스택으로부터 발생되는 광은 제2 LED 스택, 제3 LED 스택 및 도전성 성장 기판을 통해 외부로 방출되고, 제2 LED 스택으로부터 발생되는 광은 제3 LED 스택 및 도전성 성장 기판을 통해 외부로 방출된다.

(52) CPC특허분류
H01L 33/38 (2013.01)
H01L 33/405 (2013.01)
H01L 33/58 (2013.01)

(72) 발명자
이정훈
경기도 안산시 단원구 산단로163번길 97-11
이호준
경기도 안산시 단원구 산단로163번길 97-11
장성규
경기도 안산시 단원구 산단로 163번길 97-11
조대성
경기도 안산시 단원구 산단로163번길 97-11

(30) 우선권주장
62/595,415 2017년12월06일 미국(US)
62/597,614 2017년12월12일 미국(US)
62/598,223 2017년12월13일 미국(US)
62/621,492 2018년01월24일 미국(US)
62/624,639 2018년01월31일 미국(US)
62/624,667 2018년01월31일 미국(US)
16/200,036 2018년11월26일 미국(US)

명 세 서

청구범위

청구항 1

디스플레이용 발광 다이오드 픽셀로서,

제1 LED 스택;

제1 LED 스택 상에서 일부 영역 내에 배치되는 제2 LED 스택;

제2 LED 스택 상에서 일부 영역 내에 배치되는 제3 LED 스택; 및

제1 LED 스택의 하 측에 배치되는 반사 전극을 구비하고,

제1 내지 제3 LED 스택의 각각이 n-형 반도체 층 및 p-형 반도체 층을 구비하고,

제1 내지 제3 LED 스택의 모든 n-형 반도체 층이 반사 전극에 전기적으로 연결되며,

제1 LED 스택, 제2 LED 스택 및 제3 LED 스택이 독립적으로 구동되는, 디스플레이용 발광 다이오드 픽셀.

청구항 2

제1항에 있어서,

제1 LED 스택, 제2 LED 스택 및 제3 LED 스택이 각각 서로 다른 파장을 갖는 광을 방출하는, 디스플레이용 발광 다이오드 픽셀.

청구항 3

제2항에 있어서,

제1 LED 스택, 제2 LED 스택 및 제3 LED 스택이 각각 적색 광, 녹색 광 및 청색 광을 방출하는, 디스플레이용 발광 다이오드 픽셀.

청구항 4

제1항에 있어서,

제1 내지 제3 LED 스택의 p-형 반도체 층이 그 n-형 반도체 층 상에 각각 배치되고, 반사 전극은 제1 LED 스택의 n-형 반도체 층과 오믹 접촉을 형성하는, 디스플레이용 발광 다이오드 픽셀.

청구항 5

제4항에 있어서,

제1 LED 스택과 제2 LED 스택 사이에 개재되는 제1 컬러 필터; 및

제2 LED 스택과 제3 LED 스택 사이에 개재되는 제2 컬러 필터를 추가로 구비하고,

제1 컬러 필터는 제2 LED 스택으로부터 발생되는 광을 반사시키면서 제1 LED 스택으로부터 발생되는 광을 투과시키고,

제2 컬러 필터는 제3 LED 스택으로부터 발생되는 광을 반사시키면서 제2 LED 스택으로부터 발생되는 광을 투과시키는, 디스플레이용 발광 다이오드 픽셀.

청구항 6

제5항에 있어서,

제1 컬러 필터는 제2 LED 스택의 n-형 반도체 층에 인접하고, 제2 컬러 필터는 제3 LED 스택의 n-형 반도체 층에 인접한, 디스플레이용 발광 다이오드 픽셀.

청구항 7

제5항에 있어서,

제1 LED 스택과 제1 컬러 필터 사이에 개재되는 제2 본딩 층; 및

제2 LED 스택과 제2 컬러 필터 사이에 개재되는 제3 본딩 층을 추가로 구비하고,

제2 본딩 층은 제1 LED 스택으로부터 발생되는 광을 투과시키고, 제3 본딩 층은 제2 LED 스택으로부터 발생되는 광을 투과시키는, 디스플레이용 발광 다이오드 픽셀.

청구항 8

제4항에 있어서,

제1 LED 스택의 p-형 반도체 층과 접촉하는 제1-2 오믹 전극;

제2 LED 스택의 n-형 반도체 층과 접촉하는 제2-1 오믹 전극;

제2 LED 스택의 p-형 반도체 층과 접촉하는 제2-2 오믹 전극;

제3 LED 스택의 n-형 반도체 층과 접촉하는 제3-1 오믹 전극; 및

제3 LED 스택의 p-형 반도체 층과 접촉하는 제3-2 오믹 전극을 추가로 구비하고,

제1-2 오믹 전극은 제1 LED 스택의 일부 영역 외부에서 n-형 반도체 층과 접촉하고, 제2-1 오믹 전극 및 제2-2 오믹 전극은 제2 LED 스택의 일부 영역 외부에서 n-형 및 p-형 반도체 층과 각각 접촉하는, 디스플레이용 발광 다이오드 픽셀.

청구항 9

제8항에 있어서,

제3-1 오믹 전극은 제3 LED 스택의 n-형 반도체 층 상에서 n-형 반도체 층과 접촉하고, 제3-2 오믹 전극은 제3 LED 스택의 p-형 반도체 층 상에서 p-형 반도체 층과 접촉하는, 디스플레이용 발광 다이오드 픽셀.

청구항 10

제9항에 있어서,

제2-1 오믹 전극 및 제3-1 오믹 전극을 반사 전극에 각각 전기적으로 연결하는 연결 부분을 추가로 구비하는, 디스플레이용 발광 다이오드 픽셀.

청구항 11

제1항에 있어서,

제1 LED 스택의 일부 영역을 제외한 제1 LED 스택 영역의 면적, 제2 LED 스택의 일부 영역을 제외한 제2 LED 스택 영역의 면적 및 제3 LED 스택 영역의 면적이 서로 다른, 디스플레이용 발광 다이오드 픽셀.

청구항 12

지지 기판 상에 배열되는 다수의 픽셀을 구비하는 디스플레이 장치로서, 각 픽셀이,

제1 LED 스택;

제1 LED 스택 상에서 일부 영역 내에 배치되는 제2 LED 스택;

제2 LED 스택 상에서 일부 영역 내에 배치되는 제3 LED 스택; 및

제1 LED 스택의 하 측에 배치되는 반사 전극을 구비하고,

제1 내지 제3 LED 스택의 각각이 n-형 반도체 층 및 p-형 반도체 층을 구비하고,

제1 내지 제3 LED 스택의 모든 n-형 반도체 층이 반사 전극에 전기적으로 연결되며,

제1 LED 스택, 제2 LED 스택 및 제3 LED 스택이 독립적으로 구동되는, 디스플레이 장치.

청구항 13

제12항에 있어서,

제1 LED 스택, 제2 LED 스택 및 제3 LED 스택이 각각 서로 다른 파장을 갖는 광을 방출하는, 디스플레이 장치.

청구항 14

제12항에 있어서,

제1 LED 스택의 n-형 반도체 층, 제2 LED 스택의 n-형 반도체 층 및 제3 LED 스택의 n-형 반도체 층이 공통 라인에 전기적으로 연결되고,

제1 LED 스택의 p-형 반도체 층, 제2 LED 스택의 p-형 반도체 층 및 제3 LED 스택의 p-형 반도체 층은 서로 다른 라인에 전기적으로 연결되는, 디스플레이 장치.

청구항 15

제13항에 있어서,

제1 내지 제3 LED 스택의 p-형 반도체 층이 그 n-형 반도체 층 상에 각각 배치되고, 반사 전극은 제1 LED 스택의 n-형 반도체 층과 오믹 접촉을 형성하는, 디스플레이 장치.

청구항 16

제15항에 있어서,

각 픽셀이,

제1 LED 스택과 제2 LED 스택 사이에 개재되는 제1 컬러 필터; 및

제2 LED 스택과 제3 LED 스택 사이에 개재되는 제2 컬러 필터를 추가로 구비하고,

제1 컬러 필터는 제2 LED 스택으로부터 발생되는 광을 반사시키면서 제1 LED 스택으로부터 발생되는 광을 투과시키고,

제2 컬러 필터는 제3 LED 스택으로부터 발생되는 광을 반사시키면서 제2 LED 스택으로부터 발생되는 광을 투과시키는, 디스플레이 장치.

청구항 17

제16항에 있어서,

각 픽셀이,

지지 기판과 반사 전극 사이에 개재되는 제1 본딩 층;

제1 LED 스택과 제1 컬러 필터 사이에 개재되는 제2 본딩 층; 및

제2 LED 스택과 제2 컬러 필터 사이에 개재되는 제3 본딩 층을 추가로 구비하는, 디스플레이 장치.

청구항 18

제15항에 있어서,

각 픽셀이,

제1 LED 스택의 p-형 반도체 층과 접촉하는 제1-2 오믹 전극;

제2 LED 스택의 n-형 반도체 층과 접촉하는 제2-1 오믹 전극;

제2 LED 스택의 p-형 반도체 층과 접촉하는 제2-2 오믹 전극;

제3 LED 스택의 n-형 반도체 층과 접촉하는 제3-1 오믹 전극; 및

제3 LED 스택의 p-형 반도체 층과 접촉하는 제3-2 오믹 전극을 추가로 구비하고,

제1-2 오믹 전극이 제1 LED 스택의 일부 영역 외부에서 p-형 반도체 층과 접촉하고,

제2-1 오믹 전극 및 제2-2 오믹 전극은 제2 LED 스택의 일부 영역 외부에서 n-형 및 p-형 반도체 층과 각각 접촉하는, 디스플레이 장치.

청구항 19

제18항에 있어서,

제3-1 오믹 전극은 제3 LED 스택의 n-형 반도체 층 상에서 n-형 반도체 층과 접촉하고, 제3-2 오믹 전극은 제3 LED 스택의 p-형 반도체 층 상에서 p-형 반도체 층과 접촉하는, 디스플레이 장치.

청구항 20

제18항에 있어서,

각 픽셀이, 제2-1 오믹 전극 및 제3-1 오믹 전극을 반사 전극에 각각 전기적으로 연결하는 연결 부분을 추가로 구비하는, 디스플레이 장치.

발명의 설명

기 술 분 야

[0001] 본 개시의 예시적인 실시예는 차세대 디스플레이용 발광 다이오드 및 이를 갖는 디스플레이 장치에 관한 것이다.

배 경 기 술

[0002] 무기 광원으로서, 발광 다이오드가 디스플레이, 차량 램프, 일반적인 조명 등을 포함하는 다양한 분야에서 사용되어 왔다. 긴 수명, 저 전력 소비 및 빠른 응답과 같은 다양한 장점으로, 발광 다이오드는 당 업계에서 기존의 광원을 대체하고 있다.

[0003] 전형적인 발광 다이오드는 디스플레이 장치에서 백라이트 광원으로서 사용되어 왔다. 최근, 그러나, 마이크로-LED 디스플레이가, 발광 다이오드를 사용하여 이미지를 직접 실현하도록 구성되는 차세대 디스플레이로서 개발되었다.

[0004] 일반적으로, 디스플레이 장치는 청색, 녹색 및 적색 광의 혼합을 통해 다양한 색상을 실현한다. 디스플레이 장치에서, 각 픽셀은 청색, 녹색 및 적색 색상에 각각 대응하는 서브픽셀을 포함하여, 이들 서브픽셀의 색상에 기초해서 특정 픽셀의 색상을 결정함으로써, 이미지는 그러한 픽셀의 조합을 통해 실현될 수 있다.

[0005] 마이크로-LED 디스플레이에서, 마이크로-LED는 이차원 평면 상에 서브픽셀에 대응하여 배열되기 때문에, 다수의 마이크로-LED가 단일 기판 상에 배열될 필요가 있다. 그러나, 마이크로-LED는 200 ㎛ 이하의 매우 작은 크기 또는 100 ㎛ 이하의 크기를 가짐으로써, 다양한 문제가 발생한다. 특히, 마이크로-LED의 취급에 있어서의 어려움으로 인해 마이크로-LED를 디스플레이 패널에 실장하기가 어렵고 디스플레이 패널 상의 마이크로-LED 중 결함이 있는 마이크로-LED를 새로운 마이크로-LED로 대체하기가 어렵다.

[0006] 또한, 서브픽셀이 디스플레이 내에서 이차원 평면 내에 배열되기 때문에, 청색, 녹색 및 적색 색상을 위한 서브픽셀을 포함하는 하나의 픽셀이 상대적으로 큰 면적을 점유한다. 그러므로, 한정된 면적 내에 서브픽셀을 배열하기 위해서는 각 서브픽셀의 면적이 감소되어야 하고, 그에 의해, 발광 면적의 감소로 인한 밝기 저하가 유발된다.

[0007] 한편, 청색, 녹색 및 적색 색상에 대한 가시성에는 상당한 차이가 있다. 특히, 녹색 색상에 대한 가시성은 적색 색상에 대한 가시성보다 훨씬 높다. 결과적으로, 발광 다이오드(light emitting diode: LED)가 동일한 복사 광속을 방출할 때에도, 색상에 따라 밝기 차이가 발생한다. 가시성에 따른 밝기 차이를 감소시키기 위해, 낮은 가시성을 갖는 색상을 방출하는 LED의 면적이 증가될 수 있다. 그러나, LED의 면적이 증가하면, 서브픽셀이 차지하는 면적이 증가한다.

[0008] 또한, 각 LED에 인가되는 전류 밀도의 조절을 통해 밝기 차이를 줄일 수 있지만, 전류 밀도의 조절을 통한 가시

성에 따른 밝기 차이의 감소는 디스플레이의 동작을 복잡하고 어렵게 만든다. 그러므로, 마이크로-LED를 사용하는 디스플레이 장치의 경우, 이차원 평면에서 마이크로-LED가 차지하는 면적 또는 마이크로-LED에 인가되는 전류 밀도를 크게 변화시키지 않으면서 마이크로-LED가 유사한 밝기의 광을 방출할 수 있도록 하는 기술의 개발이 필요하다.

[0009] 본 배경 섹션에 개시된 상기 정보는 단지 본 발명의 개념의 배경을 이해하기 위한 것이며, 그러므로, 선행 기술을 구성하지 않는 정보를 포함할 수 있다.

발명의 내용

해결하려는 과제

[0010] 본 개시의 예시적인 실시예는, 픽셀 면적을 증가시키지 않으면서 각 서브픽셀의 발광 면적의 증가를 허용하는 디스플레이용 발광 다이오드, 및 이를 갖는 디스플레이 장치를 제공한다.

[0011] 본 개시의 예시적인 실시예는, 다수의 픽셀의 동시 제조를 허용하여 디스플레이 패널 상에 개별적으로 실장될 필요가 없는 디스플레이용 발광 다이오드, 및 이를 갖는 디스플레이 장치를 제공한다.

[0012] 본 개시의 예시적인 실시예는, 픽셀 면적을 증가시키지 않으면서 각 서브픽셀의 발광 면적의 증가를 허용하는 디스플레이용 발광 다이오드, 및 이를 갖는 디스플레이 장치를 제공한다.

[0013] 본 개시의 예시적인 실시예는, 다수의 픽셀의 동시 제조를 허용하여 디스플레이 패널 상에 개별적으로 실장될 필요가 없는 디스플레이용 발광 다이오드, 및 이를 갖는 디스플레이 장치를 제공한다.

[0014] 본 개시의 예시적인 실시예는, 다수의 픽셀의 동시 제조를 허용하여 디스플레이 패널 상에 개별적으로 실장될 필요가 없는 디스플레이용 발광 다이오드 픽셀, 및 이를 포함하는 디스플레이 장치를 제공한다.

[0015] 본 개시의 예시적인 실시예는, 픽셀 면적을 증가시키지 않으면서 각 서브픽셀의 발광 면적의 증가를 허용하는 디스플레이용 발광 다이오드, 및 이를 포함하는 디스플레이 장치를 제공한다.

[0016] 본 개시의 예시적인 실시예는, 다수의 픽셀의 동시 제조를 허용하여 디스플레이 패널 상에 개별적으로 실장될 필요가 없는 디스플레이용 발광 다이오드, 및 이를 포함하는 디스플레이 장치를 제공한다.

[0017] 본 개시의 예시적인 실시예는, 가시성을 고려하여 광의 방출을 조절할 수 있는 디스플레이용 발광 다이오드, 및 이를 포함하는 디스플레이 장치를 제공한다.

[0018] 본 개시의 예시적인 실시예는, 픽셀 면적을 증가시키지 않으면서 각 서브픽셀의 발광 면적의 증가를 허용하는 디스플레이용 발광 다이오드, 및 이를 갖는 디스플레이 장치를 제공한다.

[0019] 본 개시의 예시적인 실시예는, 다수의 픽셀의 동시 제조를 허용하여 디스플레이 패널 상에 개별적으로 실장될 필요가 없는 디스플레이용 발광 다이오드, 및 이를 갖는 디스플레이 장치를 제공한다.

[0020] 본 개시의 예시적인 실시예는, 가시성을 고려하여 광의 방출을 조절할 수 있는 디스플레이용 발광 다이오드, 및 이를 갖는 디스플레이 장치를 제공한다.

과제의 해결 수단

[0021] 본 개시의 하나의 예시적인 실시예에 따라, 디스플레이용 발광 다이오드 스택은: 지지 기판; 지지 기판 상에 배치되는 제1 LED 스택; 제1 LED 스택 상에 배치되는 제2 LED 스택; 제2 LED 스택 상에 배치되는 제3 LED 스택; 제2 LED 스택 또는 제3 LED 스택에 결합되는 도전성 성장 기판; 제1 LED 스택과 제2 LED 스택 사이에 개재되고 제2 LED 스택으로부터 발생되는 광을 반사시키면서 제1 LED 스택으로부터 발생되는 광을 투과시키는 제1 컬러 필터; 및 제2 LED 스택과 제3 LED 스택 사이에 개재되며 제3 LED 스택으로부터 발생되는 광을 반사시키면서 제1 및 제2 LED 스택으로부터 발생되는 광을 투과시키는 제2 컬러 필터를 포함하고, 제1 LED 스택으로부터 발생되는 광은 제2 LED 스택, 제3 LED 스택 및 도전성 성장 기판을 통해 외부로 방출되고, 제2 LED 스택으로부터 발생되는 광은 제3 LED 스택 및 도전성 성장 기판을 통해 외부로 방출된다.

[0022] 본 개시의 또 하나의 예시적인 실시예에 따라, 디스플레이 장치는 지지 기판 상에 배열되는 다수의 픽셀을 포함하고, 각 픽셀은: 지지 기판 상에 배치되는 제1 LED 스택; 제1 LED 스택 상에 배치되는 제2 LED 스택; 제2 LED 스택 상에 배치되는 제3 LED 스택; 제2 LED 스택 또는 제3 LED 스택에 결합되는 도전성 성장 기판; 제1 LED 스택과 제2 LED 스택 사이에 개재되고 제2 LED 스택으로부터 발생되는 광을 반사시키면서 제1 LED 스택으로부터

발생되는 광을 투과시키는 제1 컬러 필터; 및 제2 LED 스택과 제3 LED 스택 사이에 개재되며 제3 LED 스택으로부터 발생되는 광을 반사시키면서 제1 및 제2 LED 스택으로부터 발생되는 광을 투과시키는 제2 컬러 필터를 포함하고, 제1 LED 스택으로부터 발생되는 광은 제2 LED 스택, 제3 LED 스택 및 도전성 성장 기판을 통해 외부로 방출되고, 제2 LED 스택으로부터 발생되는 광은 제3 LED 스택 및 도전성 성장 기판을 통해 외부로 방출된다.

[0023] 본 개시의 하나의 예시적인 실시예에 따라, 디스플레이용 발광 다이오드 스택은: 제1 도전형 반도체 층 및 제2 도전형 반도체 층을 포함하는 제1 LED 스택; 제1 LED 스택 상에 배치되는 제2 LED 스택; 제2 LED 스택 상에 배치되는 제3 LED 스택; 제2 LED 스택의 반대 측에 배치되고 제1 LED 스택의 제1 도전형 반도체 층과 오믹 접촉을 형성하는 오믹 전극; 및 제2 LED 스택의 반대 측에 배치되며 제1 LED 스택의 제2 도전형 반도체 층과 오믹 접촉을 형성하는 반사 전극을 포함하고, 제1 LED 스택으로부터 발생되는 광은 제2 LED 스택 및 제3 LED 스택을 통해 외부로 방출되며 제2 LED 스택으로부터 발생되는 광은 제3 LED 스택을 통해 외부로 방출된다.

[0024] 본 개시의 또 하나의 예시적인 실시예에 따라, 디스플레이 장치는 지지 기판 상에 배열되는 다수의 픽셀을 포함하고, 각 픽셀은: 지지 기판 상에 배치되고 제1 도전형 반도체 층 및 제2 도전형 반도체 층을 포함하는 제1 LED 스택; 제1 LED 스택 상에 배치되는 제2 LED 스택; 제2 LED 스택 상에 배치되는 제3 LED 스택; 기판과 제1 LED 스택의 제1 도전형 반도체 층 사이에 개재되며 제1 LED 스택의 제1 도전형 반도체 층과 오믹 접촉을 형성하는 오믹 전극; 및 기판과 제1 LED 스택의 제2 도전형 반도체 층 사이에 개재되고 제1 LED 스택의 제2 도전형 반도체 층과 오믹 접촉을 형성하는 반사 전극을 포함하고, 제1 LED 스택으로부터 발생되는 광은 제2 LED 스택 및 제3 LED 스택을 통해 외부로 방출되며, 제2 LED 스택으로부터 발생되는 광은 제3 LED 스택을 통해 외부로 방출된다.

[0025] 본 개시의 하나의 예시적인 실시예에 따라, 디스플레이용 발광 다이오드 픽셀은: 제1 LED 스택; 제1 LED 스택 상의 일부 영역 내에 배치되는 제2 LED 스택; 제2 LED 스택 상의 일부 영역 내에 배치되는 제3 LED 스택; 및 제1 LED 스택의 하 측에 배치되는 반사 전극을 포함하고, 제1 내지 제3 LED 스택 각각은 n-형 반도체 층 및 p-형 반도체 층을 포함하며, 제1 내지 제3 LED 스택의 n-형 반도체 층 모두는 반사 전극에 전기적으로 연결되고, 제1 LED 스택, 제2 LED 스택 및 제3 LED 스택은 독립적으로 구동될 수 있다.

[0026] 본 개시의 또 하나의 예시적인 실시예에 따라, 디스플레이 장치는 지지 기판 상에 배열되는 다수의 픽셀을 포함하고, 각 픽셀은: 제1 LED 스택; 제1 LED 스택 상의 일부 영역 내에 배치되는 제2 LED 스택; 제2 LED 스택 상의 일부 영역 내에 배치되는 제3 LED 스택; 및 제1 LED 스택의 하 측에 배치되는 반사 전극을 포함하고, 제1 내지 제3 LED 스택 각각은 n-형 반도체 층 및 p-형 반도체 층을 포함하며, 제1 내지 제3 LED 스택의 n-형 반도체 층 모두는 반사 전극에 전기적으로 연결되고, 제1 LED 스택, 제2 LED 스택 및 제3 LED 스택은 독립적으로 구동된다.

[0027] 본 개시의 하나의 예시적인 실시예에 따라, 디스플레이용 발광 다이오드 스택은: 제1-1 LED 스택; 제1-1 LED 스택 상에 배치되는 제1-2 LED 스택; 제1-2 LED 스택 상에 배치되는 제2 LED 스택; 및 제2 LED 스택 상에 배치되는 제3 LED 스택을 포함하고, 제1-1 LED 스택 및 제1-2 LED 스택은 적색 광을 방출하도록 적합화되며, 제2 LED 스택은 녹색 광을 방출하도록 적합화되고, 제3 LED 스택은 청색 광을 방출하도록 적합화된다.

[0028] 본 개시의 또 하나의 예시적인 실시예에 따라, 디스플레이 장치는 지지 기판 상에 배열되는 다수의 픽셀을 포함하고, 각 픽셀은: 지지 기판 상에 배치되는 제1-1 LED 스택; 제1-1 LED 스택 상에 배치되는 제1-2 LED 스택; 제1-2 LED 스택 상에 배치되는 제2 LED 스택; 및 제2 LED 스택 상에 배치되는 제3 LED 스택을 포함하고, 제1-1 LED 스택 및 제1-2 LED 스택은 적색 광을 방출하도록 적합화되며, 제2 LED 스택은 녹색 광을 방출하도록 적합화되고, 제3 LED 스택은 청색 광을 방출하도록 적합화된다.

[0029] 본 개시의 다른 예시적인 실시예에 따라, 디스플레이용 발광 다이오드 스택은, 제1-1 LED 스택; 제1-1 LED 스택 상에 배치되는 제1-2 LED 스택; 제1-2 LED 스택 상에 배치되는 제2 LED 스택; 및 제2 LED 스택 상에 배치되는 제3 LED 스택을 포함하고, 제1-1 LED 스택 및 제1-2 LED 스택은 AlGaInP계 웰 층을 포함하며, 제2 LED 스택은 제1-1 및 1-2 LED 스택보다 짧은 파장을 갖는 광을 방출하도록 적합화되고, 제3 LED 스택은 제2 LED 스택보다 짧은 파장을 갖는 광을 방출하도록 적합화된다.

[0030] 본 개시의 하나의 예시적인 실시예에 따라, 디스플레이용 발광 다이오드 스택은: 제1 LED 스택; 제1 LED 스택 상에 배치되는 제2 LED 스택; 및 제2 LED 스택 상에 배치되는 제3 LED 스택을 포함하고, 제1 LED 스택은 다중-접합 LED 적층 구조를 갖는다.

[0031] 본 개시의 또 하나의 예시적인 실시예에 따라, 디스플레이 장치는 지지 기판 상에 배열되는 다수의 픽셀을 포함

하고, 각 픽셀은: 지지 기판 상에 배치되는 제1 LED 스택; 제1 LED 스택 상에 배치되는 제2 LED 스택; 및 제2 LED 스택 상에 배치되는 제3 LED 스택을 포함하고, 제1 LED 스택은 다중-접합 LED 적층 구조를 갖는다.

[0032] 본 개시의 하나의 예시적인 실시예에 따라, 디스플레이용 발광 다이오드 스택이 제공된다. 발광 다이오드 스택은: 지지 기판; 지지 기판 상에 배치되는 제1 LED 스택; 제1 LED 스택 상에 배치되는 제2 LED 스택; 제2 LED 스택 상에 배치되는 제3 LED 스택; 제2 LED 스택 또는 제3 LED 스택에 결합되는 도전성 성장 기판; 제1 LED 스택과 제2 LED 스택 사이에 개재되고 제2 LED 스택으로부터 발생되는 광을 반사시키면서 제1 LED 스택으로부터 발생되는 광을 투과시키는 제1 컬러 필터; 및 제2 LED 스택과 제3 LED 스택 사이에 개재되며 제3 LED 스택으로부터 발생되는 광을 반사시키면서 제1 및 제2 LED 스택으로부터 발생되는 광을 투과시키는 제2 컬러 필터를 포함하고, 제1 LED 스택으로부터 발생되는 광은 제2 LED 스택, 제3 LED 스택 및 도전성 성장 기판을 통해 외부로 방출되고, 제2 LED 스택으로부터 발생되는 광은 제3 LED 스택 및 도전성 성장 기판을 통해 외부로 방출된다.

[0033] 제1 내지 제3 LED 스택이 서로 적층되는 구조에 의해, 발광 다이오드 스택은, 픽셀 면적을 증가시키지 않으면서, 각 서브픽셀의 발광 면적을 증가시킬 수 있다. 부가하여, 제1 및 제2 컬러 필터에 의해, 발광 다이오드 스택은 제1 LED 스택으로부터 발생되는 광이 제2 LED 스택 및 제3 LED 스택을 통해 외부로 방출되는 것을 허용하고, 제2 LED 스택으로부터 발생되는 광이 제3 LED 스택을 통해 외부로 방출되는 것을 허용하며, 제2 LED 스택으로부터 발생되는 광이 제1 LED 스택으로 진입하는 것을 방지하고, 제3 LED 스택으로부터 발생되는 광이 제2 LED 스택으로 진입하는 것을 방지하며, 그에 의해, 발광 효율을 향상시킨다.

[0034] 또한, 제2 LED 스택 또는 제3 LED 스택을 위한 성장 기판은 제거되지 않고 잔류할 수 있어서, 제조 공정의 단순화를 가능하게 한다. 그러나, 본 개시가 이에 한정되는 것은 아님을 이해하여야 한다. 다른 예시적인 실시예에서, 성장 기판은 제거될 수 있다.

[0035] 특히, 발광 다이오드 스택은 제2 LED 스택 및 제3 LED 스택에 각각 결합되는 도전성 성장 기판을 포함할 수 있다.

[0036] 한편, 제1, 제2 및 제3 LED 스택은 순차적으로 배치되어 그 순서대로 점차 감소하는 파장을 갖는 광을 방출할 수 있다. 예를 들어, 제1, 제2 및 제3 LED 스택은 적색 광, 녹색 광 및 청색 광을 각각 방출할 수 있다. 제1, 제2 및 제3 LED 스택이 그 순서대로 점차 감소하는 파장을 갖는 광을 방출하므로, LED 스택 간 광 간섭을 방지할 수 있다.

[0037] 제1 컬러 필터 및 제2 컬러 필터의 각각은 저역 통과 필터, 대역 통과 필터 또는 대역 저지 필터일 수 있다. 특히, 제1 컬러 필터 및 제2 컬러 필터의 각각은 서로 다른 굴절률을 갖는 절연 층을 포함할 수 있다. 제1 및 제2 컬러 필터가 절연 층을 포함하는 구조에 의해, 발광 다이오드 스택은 구조에 있어서 안정성을 가질 수 있고 양호한 발광 효율을 나타낼 수 있다. 예를 들어, 제1 컬러 필터 및 제2 컬러 필터의 각각은 분산 브래그 반사기를 포함하는 대역 저지 필터일 수 있다.

[0038] 도전성 성장 기판은 Si-도핑된 GaN계 기판일 수 있다. 성장 기판으로서 사용되는 GaN계 기판은 그 위에 성장되는 제2 LED 스택 또는 제3 LED 스택의 전위 밀도를 감소시킬 수 있다. 제2 LED 스택 또는 제3 LED 스택은, 예를 들어, 103 내지 107/cm2의 전위 밀도를 가질 수 있다. 결과적으로, 제2 LED 스택 또는 제3 LED 스택의 발광 효율이 향상될 수 있다.

[0039] 제1 LED 스택, 제2 LED 스택 및 제3 LED 스택은 제1 본딩 층, 제2 본딩 층 및 제3 본딩 층을 경유하여 지지 기판 상에 순차적으로 적층될 수 있다. 제1 본딩 층, 제2 본딩 층 및 제3 본딩 층은 투명 무기 절연 층, 투명 유기 절연 층 또는 투명 도전 층일 수 있다.

[0040] 하나의 예시적인 실시예에서, 디스플레이용 발광 다이오드 스택은: 지지 기판과 제1 LED 스택 사이에 개재되는 제1 본딩 층; 제1 LED 스택과 제1 컬러 필터 사이에 개재되는 제2 본딩 층; 및 제2 LED 스택과 제2 컬러 필터 사이에 개재되는 제3 본딩 층을 추가로 포함할 수 있고, 제2 본딩 층은 제1 LED 스택으로부터 발생되는 광을 투과시키며 제3 본딩 층은 제1 및 제2 LED 스택으로부터 발생되는 광을 투과시킨다. 제1 내지 제3 본딩 층에 의해, 제1 LED 스택, 제2 LED 스택 및 제3 LED 스택은, 광이 제2 본딩 층 및 제3 본딩 층을 통해 외부로 방출되는 것을 허용하면서, 서로 본딩될 수 있고, 그에 의해, 광 손실을 방지한다.

[0041] 제1 내지 제3 LED 스택은 독립적으로 구동될 수 있다. 이를 위해, 발광 다이오드 스택은 다양한 구조를 갖는 전극이 제공될 수 있다.

[0042] 하나의 예시적인 실시예에서, 디스플레이용 발광 다이오드 스택은: 제1 본딩 층과 제1 LED 스택 사이에 개재되

고 제1 LED 스택의 p-형 반도체 층과 오믹 접촉을 형성하는 제1-p 반사 전극; 제1 컬러 필터와 제2 LED 스택 사이에 개재되고 제2 LED 스택의 p-형 반도체 층과 오믹 접촉을 형성하는 제2-p 투명 전극; 및 제2 컬러 필터와 제3 LED 스택 사이에 개재되고 제3 LED 스택의 p-형 반도체 층과 오믹 접촉을 형성하는 제3-p 투명 전극을 추가로 포함할 수 있고, 제1 LED 스택으로부터 발생되는 광은 제2-p 투명 전극 및 제3-p 투명 전극을 통해 외부로 방출되며 제2 LED 스택으로부터 발생되는 광은 제3-p 투명 전극을 통해 외부로 방출된다. 제1-p 반사 전극, 제2-p 투명 전극 및 제3-p 투명 전극은 발광 다이오드 스택에서 전류 퍼짐을 도울 수 있다. 또한, 제1-p 반사 전극은 제1 LED 스택으로부터 발생되는 광을 외부로 방출되도록 반사시켜 발광 효율을 향상시킬 수 있고, 제2-p 투명 전극 및 제3-p 투명 전극은 LED 스택들로부터 발생되는 광을 투과시켜 광 손실을 방지한다.

[0043] 제2 본딩 층은 제1 LED 스택의 n-형 반도체 층에 인접할 수 있고, 제3 본딩 층은 제2 LED 스택에 결합되는 도전성 성장 기판에 인접할 수 있다.

[0044] 다른 예시적인 실시예들에서, 디스플레이용 발광 다이오드 스택은: 지지 기판과 제1 LED 스택 사이에 개재되는 제1 본딩 층; 제1 컬러 필터와 제2 LED 스택 사이에 개재되는 제2 본딩 층; 및 제2 LED 스택과 제2 컬러 필터 사이에 개재되는 제3 본딩 층을 추가로 포함할 수 있고, 제2 본딩 층 및 제3 본딩 층은 제1 LED 스택 및 제2 LED 스택으로부터 발생되는 광을 투과시킨다.

[0045] 부가하여, 디스플레이용 발광 다이오드 스택은: 제1 본딩 층과 제1 LED 스택 사이에 개재되고 제1 LED 스택의 n-형 반도체 층과 오믹 접촉을 형성하는 제1-n 반사 전극; 제1 LED 스택과 제1 컬러 필터 사이에 개재되고 제1 LED 스택의 p-형 반도체 층과 오믹 접촉을 형성하는 제1-p 투명 전극; 제2 LED 스택과 제3 본딩 층 사이에 개재되고 제2 LED 스택의 p-형 반도체 층과 오믹 접촉을 형성하는 제2-p 투명 전극; 및 제2 컬러 필터와 제3 LED 스택 사이에 개재되고 제3 LED 스택의 p-형 반도체 층과 오믹 접촉을 형성하는 제3-p 투명 전극을 추가로 포함할 수 있고, 제1 LED 스택으로부터 발생되는 광은 제1-p 투명 전극, 제2-p 투명 전극 및 제3-p 투명 전극을 통해 외부로 방출되며, 제2 LED 스택으로부터 발생되는 광은 제2-p 투명 전극 및 제3-p 투명 전극을 통해 외부로 방출된다.

[0046] 본 개시의 또 다른 예시적인 실시예에 따라, 디스플레이 장치가 제공된다. 디스플레이 장치는: 지지 기판 상에 배열되는 다수의 픽셀을 포함하고, 각 픽셀은: 지지 기판 상에 배치되는 제1 LED 스택; 제1 LED 스택 상에 배치되는 제2 LED 스택; 제2 LED 스택 상에 배치되는 제3 LED 스택; 제2 LED 스택 또는 제3 LED 스택에 결합되는 도전성 성장 기판; 제1 LED 스택과 제2 LED 스택 사이에 개재되고 제2 LED 스택으로부터 발생되는 광을 반사시키면서 제1 LED 스택으로부터 발생되는 광을 투과시키는 제1 컬러 필터; 및 제2 LED 스택과 제3 LED 스택 사이에 개재되며 제3 LED 스택으로부터 발생되는 광을 반사시키면서 제1 및 제2 LED 스택으로부터 발생되는 광을 투과시키는 제2 컬러 필터를 포함하고, 제1 LED 스택으로부터 발생되는 광은 제2 LED 스택, 제3 LED 스택 및 도전성 성장 기판을 통해 외부로 방출되고, 제2 LED 스택으로부터 발생되는 광은 제3 LED 스택 및 도전성 성장 기판을 통해 외부로 방출된다.

[0047] 또한, 디스플레이 장치는 제2 LED 스택 및 제3 LED 스택에 각각 결합되는 도전성 성장 기판을 포함할 수 있다.

[0048] 제1 컬러 필터 및 제2 컬러 필터의 각각은 저역 통과 필터, 대역 통과 필터 또는 대역 저지 필터일 수 있다.

[0049] 도전성 성장 기판은 Si-도핑된 GaN계 기판일 수 있다.

[0050] 각 픽셀에서, 제1, 제2 및 제3 LED 스택의 p-형 반도체 층은 공통 라인에 전기적으로 연결될 수 있고, 그 n-형 반도체 층은 서로 다른 라인에 전기적으로 연결될 수 있다. 예를 들어, 공통 라인은 데이터 라인일 수 있고, 서로 다른 라인은 스캔 라인일 수 있다.

[0051] 디스플레이 장치는: 제1, 제2 및 제3 LED 스택의 측면을 덮는 하부 절연 층을 추가로 포함할 수 있으며, 하부 절연 층은 전기적 연결을 위한 개구부를 포함할 수 있다.

[0052] 하부 절연 층은 적색, 녹색 및 청색 광을 반사시키는 분산 브래그 반사기를 포함할 수 있다.

[0053] 하나의 예시적인 실시예에서, 디스플레이 장치는 지지 기판과 제1 LED 스택 사이에 개재되는 반사 전극을 추가로 포함할 수 있다. 반사 전극은 공통 라인으로서 사용되기 위해 다수의 픽셀 상부에 연속적으로 배치될 수 있다.

[0054] 또 하나의 예시적인 실시예에서, 디스플레이 장치는 지지 기판과 제1 LED 스택 사이에 개재되는 반사 전극을 추가로 포함할 수 있다. 각 반사 전극은 각 픽셀 영역 내에 제한적으로 위치될 수 있다.

[0055] 디스플레이 장치는: 지지 기판과 제1 LED 스택 사이에 개재되는 제1 본딩 층; 제1 LED 스택과 제2 LED 스택 사이에 개재되는 제2 본딩 층; 및 제2 LED 스택과 제2 컬러 필터 사이에 개재되는 제3 본딩 층을 추가로 포함할 수 있고, 제2 본딩 층은 제1 LED 스택으로부터 발생되는 광을 투과시키고 제3 본딩 층은 제1 및 제2 LED 스택으로부터 발생되는 광을 투과시킨다.

[0056] 제1 본딩 층, 제2 본딩 층 및 제3 본딩 층은 투명 무기 절연 층, 투명 유기 절연 층 또는 투명 도전 층일 수 있다.

[0057] 각 픽셀에서, 제1 내지 제3 LED 스택은 독립적으로 구동될 수 있다.

[0058] 본 개시는 간단한 구조를 가지며 간단하게 제조될 수 있는 발광 적층 구조를 제공한다.

[0059] 본 개시는 발광 적층 구조를 갖는 디스플레이 디바이스를 제공한다.

[0060] 본 발명의 개념의 실시예들은, 서로 순차적으로 적층되어 서로 다른 파장 대역을 갖는 색광(color lights)을 방출하는, 다수의 에피택셜 스택을 포함하는 발광 적층 구조를 제공할 수 있다. 각 에피택셜 스택은 색광 중 대응하는 색광을 상방향으로 방출할 수 있고, 에피택셜 스택의 발광 구역은 서로 중첩하며, 에피택셜 스택 중 최하단에 배치되는 에피택셜 스택은 그 상부 표면 상에 배치되는 요철 부분을 구비한다.

[0061] 각 에피택셜 스택은 독립적으로 구동될 수 있다.

[0062] 에피택셜 스택으로부터 각각 방출되는 색광은 서로 다른 에너지 밴드를 가질 수 있고, 에피택셜 스택으로부터 방출되는 색광의 에너지 밴드는 에피택셜 스택 중 최하단에 배치되는 에피택셜 스택으로부터 최상단에 배치되는 에피택셜 스택까지 점점 높아진다.

[0063] 에피택셜 스택 중 서로 인접하여 배치되는 두 개의 에피택셜 스택에서 하부 에피택셜 스택으로부터 방출되는 색광은 두 개의 에피택셜 스택에서 상부 에피택셜 스택을 관통하여 진행할 수 있다. 에피택셜 스택은 그 아래에 배치되는 에피택셜 스택으로부터의 색광의 약 80 % 이상을 투과시킬 수 있다.

[0064] 에피택셜 스택은, 제1 색광을 방출하기 위해 기판 상에 배치되는 제1 에피택셜 스택, 제1 색광과 다른 파장 대역을 갖는 제2 색광을 방출하기 위해 제1 에피택셜 스택 상에 배치되는 제2 에피택셜 스택, 및 제1 및 제2 색광과 다른 파장 대역을 갖는 제3 색광을 방출하기 위해 제2 에피택셜 스택 상에 배치되는 제3 에피택셜 스택을 포함할 수 있다.

[0065] 제1, 제2 및 제3 색광은 각각 적색 광, 녹색 광 및 청색 광일 수 있다.

[0066] 발광 적층 구조는 제1 에피택셜 스택과 제2 에피택셜 스택 사이에 배치되는 제1 파장 통과 필터를 추가로 포함할 수 있다.

[0067] 발광 적층 구조는 제2 에피택셜 스택과 제3 에피택셜 스택 사이에 배치되는 제2 파장 통과 필터를 추가로 포함할 수 있다.

[0068] 제1, 제2 및 제3 에피택셜 스택의 각각은 기판 상에 배치되는 p-형 반도체 층, p-형 반도체 층 상에 배치되는 활성 층, 및 활성 층 상에 배치되는 n-형 반도체 층을 포함할 수 있다.

[0069] 제2 및 제3 에피택셜 스택 중 적어도 하나의 n-형 반도체 층은 그 위에 배치되는 요철 부분을 포함할 수 있다.

[0070] 발광 적층 구조는 제1, 제2 및 제3 에피택셜 스택의 p-형 반도체 층에 각각 연결되는 제1, 제2 및 제3 p-형 전극을 추가로 포함할 수 있다.

[0071] 제1 p-형 전극은 기판과 제1 에피택셜 스택 사이에 배치될 수 있다.

[0072] 제2 p-형 전극은 제1 에피택셜 스택과 제2 에피택셜 스택 사이에 배치될 수 있다. 제2 p-형 전극은 투명 도전성 재료를 포함할 수 있다.

[0073] 제3 p-형 전극은 제2 에피택셜 스택과 제3 에피택셜 스택 사이에 배치될 수 있다. 제3 p-형 전극은 투명 도전성 재료를 포함할 수 있다.

[0074] 제1, 제2 및 제3 p-형 전극은 각각 제1, 제2 및 제3 에피택셜 스택을 실질적으로 덮을 수 있다.

[0075] 발광 적층 구조는, 제3 에피택셜 스택을 덮고 제2 및 제3 p-형 전극의 상부 표면을 노출시키기 위해 그를 통하여 마련되는 제1 컨택 홀 및 제2 및 제3 n-형 반도체 층의 상부 표면을 노출시키기 위해 그를 통하여 마련되는

제2 컨택 홀을 포함하는, 절연 층을 추가로 포함할 수 있다.

[0076] 제1 및 제2 컨택 홀은 주변 구역 내에 마련될 수 있다.

[0077] 발광 적층 구조는 제1, 제2 및 제3 에피택셜 스택의 제1, 제2 및 제3 p-형 전극에 공통 전압을 인가하기 위한 데이터 라인을 추가로 포함할 수 있다. 데이터 라인은 기판과 제1 에피택셜 스택 사이에서 제1 p-형 전극에 연결되고 제1 컨택 홀을 통해 제2 p-형 전극 및 제3 p-형 전극에 연결된다.

[0078] 발광 적층 구조는, 제1, 제2 및 제3 에피택셜 스택의 제1, 제2 및 제3 n-형 반도체 층에 각각 신호를 인가하는 제1, 제2 및 제3 신호 라인을 추가로 포함할 수 있다. 제1 신호 라인은 기판과 제1 에피택셜 스택 사이에서 제1 n-형 반도체 층에 연결될 수 있고, 제2 신호 라인은 제2 컨택 홀을 통해 제2 n-형 반도체 층에 연결될 수 있으며, 제3 신호 라인 제2 컨택 홀을 통해 제3 n-형 반도체 층에 연결될 수 있다.

[0079] 본 발명의 개념의 실시예들은 발광 적층 구조가 적용되는 디스플레이 디바이스를 제공할 수 있다. 디스플레이 디바이스는 다수의 픽셀을 포함한다. 각 픽셀은 서로 순차적으로 적층되고 서로 다른 파장 대역을 갖는 색광을 방출하는 다수의 에피택셜 스택을 포함한다. 각 에피택셜 스택은 색광 중 대응하는 색광을 상방향으로 방출하고, 에피택셜 스택의 발광 구역은 서로 중첩하며, 에피택셜 스택 중 최하단에 배치되는 에피택셜 스택은 그 상부 표면 상에 배치되는 요철 부분을 포함할 수 있다.

[0080] 디스플레이 디바이스는 픽셀에 발광 신호를 인가하기 위해 픽셀에 전기적으로 연결되는 라인 부(line part)를 추가로 포함할 수 있다.

[0081] 라인 부는, 제1 방향으로 연장되고 제1, 제2 및 제3 에피택셜 스택의 제1 반도체 층에 연결되는 다수의 데이터 라인 및 제1 방향과 교차하는 제2 방향으로 연장되며 제1, 제2 및 제3 에피택셜 스택의 제2 반도체 층에 각각 연결되는 다수의 신호 라인을 포함할 수 있다.

[0082] 디스플레이 디바이스는 패시브 매트릭스 방식 또는 액티브 매트릭스 방식으로 구동될 수 있다.

[0083] 상기한 바에 따라, 발광 적층 구조는 간단한 구조를 가질 수 있으며 간단하게 제조될 수 있다. 또한, 디스플레이 디바이스는 발광 적층 구조를 포함할 수 있다.

[0084] 본 개시는 간단한 구조를 가지며 간단하게 제조될 수 있는 발광 적층 구조를 제공한다.

[0085] 본 발명의 개념의 실시예들은, 제1 색광을 방출하는 제1 에피택셜 스택, 제1 색광과 다른 제2 색광을 방출하기 위해 제1 에피택셜 스택 상에 배치되는 제2 에피택셜 스택, 및 제2 에피택셜 스택 상에 배치되고 제1 및 제2 에피택셜 스택에 전기적으로 연결되는 전극 부를 포함하는, 발광 적층 구조를 제공할 수 있다. 제1 에피택셜 스택의 발광 구역은 제2 에피택셜 스택의 발광 구역과 중첩할 수 있고, 제1 및 제2 에피택셜 스택은 제1 및 제2 색광을 하방으로 방출할 수 있다.

[0086] 제1 색광은 제2 색광의 파장보다 짧은 파장을 가질 수 있다.

[0087] 제1 색광은 청색 광일 수 있고, 제2 색광은 적색 광일 수 있다.

[0088] 제1 및 제2 에피택셜 스택은 서로 독립적으로 구동될 수 있다.

[0089] 제1 에피택셜 스택 및 제2 에피택셜 스택 중 적어도 하나는 그 하부 표면 상에 배치되는 요철 부분을 포함할 수 있다.

[0090] 발광 적층 구조는 제1 에피택셜 스택과 제2 에피택셜 스택 사이에 배치되는 접착 층을 추가로 포함할 수 있다.

[0091] 발광 적층 구조는 제1 에피택셜 스택과 접착 층 사이에 배치되는 장파장 통과 필터를 추가로 포함할 수 있다.

[0092] 제1 에피택셜 스택은 n-형 반도체 층, n-형 반도체 층 상에 배치되는 활성 층, 활성 층 상에 배치되는 p-형 반도체 층, 및 p-형 반도체 층 상에 배치되는 제1 p-형 컨택 전극을 포함할 수 있다.

[0093] 제1 p-형 컨택 전극은 투명 도전성 재료를 포함할 수 있다.

[0094] 발광 적층 구조는 평면도에서 볼 때 발광 구역에 인접하여 배치되는 주변 구역을 추가로 포함할 수 있고, 제1 p-형 컨택 전극은 발광 구역과 중첩하도록 배치될 수 있다.

[0095] 제2 에피택셜 스택은, 제2 n-형 반도체 층, 제2 n-형 반도체 층 상에 배치되는 제2 에피택셜 스택의 활성 층, 제2 에피택셜 스택의 활성 층 상에 배치되는 제2 에피택셜 스택의 p-형 반도체 층, 제2 n-형 반도체 층 상에 배

치되는 제2 n-형 컨택 전극, 및 제2 에피택셜 스택의 p-형 반도체 층 상에 배치되는 제2 p-형 컨택 전극을 포함할 수 있다.

[0096] 제2 p-형 컨택 전극은 반사 재료를 포함할 수 있다.

[0097] 전극 부는, 제1 p-형 컨택 전극 및 제2 p-형 컨택 전극에 연결되는 공통 전극, 제1 에피택셜 스택의 n-형 반도체 층에 연결되는 제1 신호 전극, 및 제2 n-형 반도체 층에 연결되는 제2 신호 전극을 포함할 수 있다.

[0098] 제1 컨택 홀이 제2 에피택셜 스택, 제1 에피택셜 스택의 활성 층 및 제1 에피택셜 스택의 p-형 반도체 층을 통해 마련되어 제1 에피택셜의 n-형 반도체 층의 상부 표면을 노출시킬 수 있고, 제1 신호 전극은 제1 컨택 홀을 통해 제1 에피택셜 스택의 n-형 반도체 층에 연결될 수 있다.

[0099] 제3 컨택 홀이 제2 에피택셜 스택을 통해 마련되어 제1 p-형 컨택 전극의 상부 표면을 노출시킬 수 있고, 공통 전극은 제3 컨택 홀을 통해 제1 p-형 컨택 전극에 연결될 수 있다.

[0100] 발광 적층 구조는 제2 에피택셜 스택을 덮는 제1 절연 층을 추가로 포함할 수 있고, 제2 컨택 홀이 제1 절연 층을 통해 마련되어 제2 n-형 컨택 전극의 상부 표면을 노출시킬 수 있으며, 제2 신호 전극은 제2 컨택 홀을 통해 제2 n-형 컨택 전극에 연결될 수 있다.

[0101] 발광 적층 구조는 제1 절연 층 상에 배치되는 제2 절연 층을 추가로 포함할 수 있고, 제4 컨택 홀이 제2 절연 층을 통해 마련되어 제2 p-형 컨택 전극의 상부 표면을 노출시킬 수 있으며, 공통 전극은 제4 컨택 홀을 통해 제2 p-형 컨택 전극에 연결될 수 있다.

[0102] 제1 에피택셜 스택의 n-형 반도체 층 및 제2 n-형 반도체 층 중 적어도 하나는 그 하부 표면 상에 배치되는 요철 부분을 포함할 수 있다.

[0103] 발광 적층 구조는 제1 에피택셜 스택의 하부 표면 상에 배치되는 기판을 추가로 포함할 수 있다.

[0104] 발광 적층 구조는 제1 에피택셜 스택의 하부 표면 상에 배치되는 광 변환 층을 추가로 포함할 수 있다.

[0105] 본 발명의 개념의 실시예들은, 인쇄 회로 기판 및 인쇄 회로 기판 상에 실장되는 발광 적층 구조를 포함하는, 조명 장치를 제공할 수 있다.

[0106] 본 개시의 하나의 예시적인 실시예에 따라, 디스플레이용 발광 다이오드 스택이 제공된다. 발광 다이오드 스택은: 제1 도전형 반도체 층 및 제2 도전형 반도체 층을 포함하는 제1 LED 스택; 제1 LED 스택 상에 배치되는 제2 LED 스택; 제2 LED 스택 상에 배치되는 제3 LED 스택; 제2 LED 스택의 반대 측에 배치되고 제1 LED 스택의 제1 도전형 반도체 층과 오믹 접촉을 형성하는 오믹 전극; 및 제2 LED 스택의 반대 측에 배치되며 제1 LED 스택의 제2 도전형 반도체 층과 오믹 접촉을 형성하는 반사 전극을 포함하고, 제1 LED 스택으로부터 발생되는 광은 제2 LED 스택 및 제3 LED 스택을 통해 외부로 방출되며, 제2 LED 스택으로부터 발생되는 광은 제3 LED 스택을 통해 외부로 방출된다.

[0107] 제1 내지 제3 LED 스택이 서로 적층되는 구조에 의해, 발광 다이오드 스택은, 픽셀 면적을 증가시키지 않으면서, 각 서브픽셀의 발광 면적을 증가시킬 수 있다. 제1 LED 스택으로부터 발생되는 광은 제2 LED 스택 및 제3 LED 스택을 통해 외부로 방출될 수 있고, 제2 LED 스택으로부터 발생되는 광은 제3 LED 스택을 통해 외부로 방출될 수 있으며, 그에 의해, 발광 효율을 향상시킨다.

[0108] 제1 LED 스택은 제2 및 제3 LED 스택보다 긴 파장을 갖는 광을 방출할 수 있고, 제2 LED 스택은 제3 LED 스택보다 긴 파장을 갖는 광을 방출할 수 있다. 예를 들어, 제1, 제2 및 제3 LED 스택은 적색 광, 녹색 광 및 청색 광을 각각 방출할 수 있다. 제1, 제2 및 제3 LED 스택이 그 순서대로 점차 감소하는 파장을 갖는 광을 방출하므로, LED 스택 간 광 간섭을 방지할 수 있다.

[0109] 디스플레이용 발광 다이오드 스택은: 제1 LED 스택과 제2 LED 스택 사이에 개재되고 제2 LED 스택으로부터 발생되는 광을 반사시키면서 제1 LED 스택으로부터 발생되는 광을 투과시키는 제1 컬러 필터; 및 제2 LED 스택과 제3 LED 스택 사이에 개재되며 제3 LED 스택으로부터 발생되는 광을 반사시키면서 제1 및 제2 LED 스택으로부터 발생되는 광을 투과시키는 제2 컬러 필터를 추가로 포함할 수 있다. 제1 및 제2 컬러 필터에 의해, 발광 다이오드 스택은 제2 LED 스택으로부터 발생되는 광이 제1 LED 스택으로 진입하는 것을 방지할 수 있고 제3 LED 스택으로부터 발생되는 광이 제2 LED 스택으로 진입하는 것을 방지할 수 있으며, 그에 의해, 발광 효율을 더욱 향상시킨다.

[0110] 제1 컬러 필터 및 제2 컬러 필터의 각각은 저역 통과 필터, 대역 통과 필터 또는 대역 저지 필터일 수 있다. 특히, 제1 컬러 필터 및 제2 컬러 필터의 각각은 서로 다른 굴절률을 갖는 절연 층을 포함할 수 있다. 제1 및 제2 컬러 필터가 절연 층을 포함하는 구조에 의해, 발광 다이오드 스택은 구조에 있어서 안정성을 가질 수 있고 양호한 발광 효율을 나타낼 수 있다.

[0111] 디스플레이용 발광 다이오드 스택은, 제1 LED 스택 아래에 배치되어 반사 전극으로부터 절연되고 오믹 전극에 연결되는 인터커넥션 라인을 추가로 포함할 수 있다. 인터커넥션 라인은 제1 LED 스택의 제1 도전형 반도체 층에 전기적으로 연결되어 디스플레이 장치에서 스캔 라인 또는 데이터 라인으로서 사용될 수 있다.

[0112] 디스플레이용 발광 다이오드 스택은: 반사 전극과 인터커넥션 라인 사이에 개재되어 인터커넥션 라인을 반사 전극으로부터 절연시키는 절연 층을 추가로 포함할 수 있다.

[0113] 디스플레이용 발광 다이오드 스택은: 지지 기판; 지지 기판과 제1 LED 스택 사이에 개재되는 제1 본딩 층; 제1 LED 스택과 제2 LED 스택 사이에 개재되는 제2 본딩 층; 및 제2 LED 스택과 제3 LED 스택 사이에 개재되는 제3 본딩 층을 추가로 포함할 수 있고, 제2 본딩 층은 제1 LED 스택으로부터 발생되는 광을 투과시키며, 제3 본딩 층은 제1 및 제2 LED 스택으로부터 발생되는 광을 투과시킨다.

[0114] 제1 본딩 층은 인터커넥션 라인에 인접할 수 있다.

[0115] 디스플레이용 발광 다이오드 스택은: 제2 LED 스택의 p-형 반도체 층과 오믹 접촉을 형성하는 제2-p 투명 전극; 및 제3 LED 스택의 p-형 반도체 층과 오믹 접촉을 형성하는 제3-p 투명 전극을 추가로 포함할 수 있다. 발광 다이오드 스택은, 대응하는 LED 스택으로부터 발생되는 광의 관통 통과를 허용하는 제2-p 투명 전극 및 제3-p 투명 전극을 통해 전류 퍼짐을 달성할 수 있고, 그에 의해, 광 손실을 방지한다.

[0116] 하나의 예시적인 실시예에서, 디스플레이용 발광 다이오드 스택은: 제1 LED 스택과 제2 LED 스택 사이에 개재되고 제2 LED 스택으로부터 발생되는 광을 반사시키면서 제1 LED 스택으로부터 발생되는 광을 투과시키는 제1 컬러 필터; 및 제2 LED 스택과 제3 LED 스택 사이에 개재되며 제3 LED 스택으로부터 발생되는 광을 반사시키면서 제1 및 제2 LED 스택으로부터 발생되는 광을 투과시키는 제2 컬러 필터를 추가로 포함할 수 있고, 제1 컬러 필터는 제2 본딩 층 상에 배치될 수 있고 제2 컬러 필터는 제3 본딩 층 상에 배치될 수 있다.

[0117] 본 개시의 또 다른 예시적인 실시예에 따라, 디스플레이 장치가 제공된다. 디스플레이 장치는: 지지 기판 상에 배열되는 다수의 픽셀을 포함하고, 각 픽셀은: 지지 기판 상에 배치되고 제1 도전형 반도체 층 및 제2 도전형 반도체 층을 포함하는 제1 LED 스택; 제1 LED 스택 상에 배치되는 제2 LED 스택; 제2 LED 스택 상에 배치되는 제3 LED 스택; 기판과 제1 LED 스택의 제1 도전형 반도체 층 사이에 개재되며 제1 LED 스택의 제1 도전형 반도체 층과 오믹 접촉을 형성하는 오믹 전극; 및 기판과 제1 LED 스택의 제2 도전형 반도체 층 사이에 개재되고 제1 LED 스택의 제2 도전형 반도체 층과 오믹 접촉을 형성하는 반사 전극을 포함하고, 제1 LED 스택으로부터 발생되는 광은 제2 LED 스택 및 제3 LED 스택을 통해 외부로 방출되며, 제2 LED 스택으로부터 발생되는 광은 제3 LED 스택을 통해 외부로 방출된다.

[0118] 제1 LED 스택은 제2 및 제3 LED 스택보다 긴 파장을 갖는 광을 방출할 수 있고, 제2 LED 스택은 제3 LED 스택보다 긴 파장을 갖는 광을 방출할 수 있다.

[0119] 디스플레이 장치는: 지지 기판과 제1 LED 스택 사이에 개재되어 반사 전극으로부터 절연되고 오믹 전극에 연결되는 인터커넥션 라인을 추가로 포함할 수 있다.

[0120] 디스플레이 장치는: 반사 전극과 인터커넥션 라인 사이에 개재되어 인터커넥션 라인을 반사 전극으로부터 절연시키는 절연 층을 추가로 포함할 수 있다.

[0121] 디스플레이 장치는: 제1 LED 스택과 제2 LED 스택 사이에 개재되고 제2 LED 스택으로부터 발생되는 광을 반사시키면서 제1 LED 스택으로부터 발생되는 광을 투과시키는 제1 컬러 필터; 및 제2 LED 스택과 제3 LED 스택 사이에 개재되며 제3 LED 스택으로부터 발생되는 광을 반사시키면서 제1 및 제2 LED 스택으로부터 발생되는 광을 투과시키는 제2 컬러 필터를 추가로 포함할 수 있다.

[0122] 제1 컬러 필터 및 제2 컬러 필터의 각각은 저역 통과 필터, 대역 통과 필터 또는 대역 저지 필터일 수 있다.

[0123] 각 픽셀에서, 제1, 제2 및 제3 LED 스택의 p-형 반도체 층은 공통 라인에 전기적으로 연결될 수 있고, 그 n-형 반도체 층은 서로 다른 라인에 전기적으로 연결될 수 있다. 인터커넥션 라인은 제1 LED 스택의 n-형 반도체 층에 연결되는 라인일 수 있다.

[0124] 공통 라인은 데이터 라인일 수 있고, 다른 라인은 스캔 라인일 수 있다. 대안적으로, 제1, 제2 및 제3 LED 스택의 n-형 반도체 층은 공통 라인에 전기적으로 연결될 수 있고, 그 p-형 반도체 층은 서로 다른 라인에 전기적으로 연결될 수 있다.

[0125] 반사 전극은 공통 라인으로서 사용되기 위해 다수의 픽셀 상부에 연속적으로 배치될 수 있다.

[0126] 디스플레이 장치는: 제1, 제2 및 제3 LED 스택의 측면을 덮는 하부 절연 층을 추가로 포함할 수 있고, 하부 절연 층은 반사 전극, 제2 LED 스택 및 제3 LED 스택을 노출시키는 개구부를 포함할 수 있다.

[0127] 하부 절연 층은 적색, 녹색 및 청색 광을 반사시키는 분산 브래그 반사기를 포함할 수 있다.

[0128] 본 개시의 하나의 예시적인 실시예에 따라, 디스플레이용 발광 다이오드 픽셀은: 제1 LED 스택; 제1 LED 스택 상의 일부 영역 내에 배치되는 제2 LED 스택; 제2 LED 스택 상의 일부 영역 내에 배치되는 제3 LED 스택; 및 제1 LED 스택의 하 측에 배치되는 반사 전극을 포함하고, 제1 내지 제3 LED 스택의 각각은 n-형 반도체 층 및 p-형 반도체 층을 포함하며, 제1 내지 제3 LED 스택의 n-형 반도체 층 모두는 반사 전극에 전기적으로 연결되고, 제1 LED 스택, 제2 LED 스택 및 제3 LED 스택은 독립적으로 구동된다.

[0129] 제1 내지 제3 LED 스택이 서로 중첩하도록 배치될 수 있는 구조에 의해, 제1 내지 제3 LED 스택은 웨이퍼 본딩을 통해 웨이퍼 레벨에서 제조될 수 있으며, 그에 의해, 제1 내지 제3 LED 스택의 개별적인 실장에 대한 필요성을 제거한다.

[0130] 부가하여, 제2 LED 스택이 제1 LED 스택 상의 일부 영역 내에 배치되고 제3 LED 스택이 제2 LED 스택 상의 일부 영역 내에 배치되므로, 발광 다이오드 픽셀은, 제1 LED 스택 및 제2 LED 스택으로부터 방출되는 광의, 제2 LED 스택 또는 제3 LED 스택에 의한, 흡수에 의해 유발되는 광 손실을 감소시킬 수 있다.

[0131] 부가하여, 제1 내지 제3 LED 스택의 n-형 반도체 층이 반사 전극에 전기적으로 연결되므로, 제1 내지 제3 LED 스택의 캐소드가 공통 라인에 전기적으로 연결되는 픽셀을 제공하는 것이 가능하다.

[0132] 제1 내지 제3 LED 스택은 각각 서로 다른 파장을 갖는 광을 방출한다. 몇몇 예시적인 실시예에서, 제1 LED 스택은 제2 LED 스택보다 긴 파장을 갖는 광을 방출할 수 있고, 제2 LED 스택은 제3 LED 스택보다 긴 파장을 갖는 광을 방출할 수 있다. 예를 들어, 제1, 제2 및 제3 LED 스택은 적색 광, 녹색 광 및 청색 광을 각각 방출할 수 있다.

[0133] 제1 내지 제3 LED 스택의 p-형 반도체 층은 그 n-형 반도체 층 상에 각각 배치될 수 있고, 반사 전극은 제1 LED 스택의 n-형 반도체 층과 오믹 접촉을 형성할 수 있다.

[0134] 발광 다이오드 픽셀은: 제1 LED 스택과 제2 LED 스택 사이에 개재되는 제1 컬러 필터; 및 제2 LED 스택과 제3 LED 스택 사이에 개재되는 제2 컬러 필터를 추가로 포함할 수 있다. 제1 컬러 필터는 제2 LED 스택으로부터 발생되는 광을 반사시키면서 제1 LED 스택으로부터 발생되는 광을 투과시킬 수 있고, 제2 컬러 필터는 제3 LED 스택으로부터 발생되는 광을 반사시키면서 제2 LED 스택으로부터 발생되는 광을 투과시킬 수 있다.

[0135] 제1 컬러 필터는 제2 LED 스택의 n-형 반도체 층에 인접할 수 있고, 제2 컬러 필터는 제3 LED 스택의 n-형 반도체 층에 인접할 수 있다.

[0136] 발광 다이오드 픽셀은: 제1 LED 스택과 제1 컬러 필터 사이에 개재되는 제2 본딩 층; 및 제2 LED 스택과 제2 컬러 필터 사이에 개재되는 제3 본딩 층을 추가로 포함할 수 있다. 제2 본딩 층은 제1 LED 스택으로부터 발생되는 광을 투과시킬 수 있고, 제3 본딩 층은 제2 LED 스택으로부터 발생되는 광을 투과시킬 수 있다.

[0137] 발광 다이오드 픽셀은: 제1 LED 스택의 p-형 반도체 층과 접촉하는 제1-2 오믹 전극; 제2 LED 스택의 n-형 반도체 층과 접촉하는 제2-1 오믹 전극; 제2 LED 스택의 p-형 반도체 층과 접촉하는 제2-2 오믹 전극; 제3 LED 스택의 n-형 반도체 층과 접촉하는 제3-1 오믹 전극; 및 제3 LED 스택의 p-형 반도체 층과 접촉하는 제3-2 오믹 전극을 추가로 포함할 수 있다. 부가하여, 제1-2 오믹 전극은 제1 LED 스택의 일부 영역 외부에서 n-형 반도체 층과 접촉할 수 있고, 제2-1 오믹 전극 및 제2-2 오믹 전극은 제2 LED 스택의 일부 영역 외부에서 n-형 및 p-형 반도체 층과 각각 접촉할 수 있다.

[0138] 또한, 제3-1 오믹 전극은 제3 LED 스택의 n-형 반도체 층 상에서 n-형 반도체 층과 접촉할 수 있고, 제3-2 오믹 전극은 제3 LED 스택의 p-형 반도체 층 상에서 p-형 반도체 층과 접촉할 수 있다.

[0139] 발광 다이오드 픽셀은 제2-1 오믹 전극 및 제3-1 오믹 전극을 반사 전극에 각각 전기적으로 연결하는 연결 부분

을 추가로 포함할 수 있다. 따라서, 제2 LED 스택의 n-형 반도체 층과 제3 LED 스택의 p-형 반도체 층은 오믹 전극 및 연결 부분을 통해 반사 전극에 전기적으로 연결된다.

[0140] 한편, 제1 LED 스택의 일부 영역을 제외한 제1 LED 스택 영역의 면적, 제2 LED 스택의 일부 영역을 제외한 제2 LED 스택 영역의 면적 및 제3 LED 스택 영역의 면적은 서로 다를 수 있다. 제1 내지 제3 LED 스택이 서로 다른 가시성을 갖는 광을 방출하기 때문에, 제1 내지 제3 LED 스택의 면적의 조절을 통해 더 낮은 가시성을 갖는 광의 광도를 더 높은 가시성을 갖는 광의 광도 이상으로 증가시키는 것이 가능하다.

[0141] 본 개시의 또 다른 예시적인 실시예에 따라, 디스플레이 장치가 제공된다. 디스플레이 장치는 지지 기판 상에 배열되는 다수의 픽셀을 포함하고, 각 픽셀은: 제1 LED 스택; 제1 LED 스택 상의 일부 영역 내에 배치되는 제2 LED 스택; 제2 LED 스택 상의 일부 영역 내에 배치되는 제3 LED 스택; 및 제1 LED 스택의 하 측에 배치되는 반사 전극을 포함하고, 제1 내지 제3 LED 스택 각각은 n-형 반도체 층 및 p-형 반도체 층을 포함하며, 제1 내지 제3 LED 스택의 n-형 반도체 층 모두는 반사 전극에 전기적으로 연결되고, 제1 LED 스택, 제2 LED 스택 및 제3 LED 스택은 독립적으로 구동될 수 있다.

[0142] 제1 LED 스택, 제2 LED 스택 및 제3 LED 스택은 각각 서로 다른 파장을 갖는 광을 방출할 수 있다.

[0143] 제1 LED 스택의 n-형 반도체 층, 제2 LED 스택의 n-형 반도체 층 및 제3 LED 스택의 n-형 반도체 층은 공통 라인에 전기적으로 연결될 수 있고, 제1 LED 스택의 p-형 반도체 층, 제2 LED 스택의 p-형 반도체 층 및 제3 LED 스택의 p-형 반도체 층은 서로 다른 라인에 전기적으로 연결될 수 있다. 따라서, 제1 LED 스택, 제2 LED 스택 및 제3 LED 스택은 독립적으로 구동될 수 있다.

[0144] 한편, 제1 내지 제3 LED 스택의 p-형 반도체 층은 그 n-형 반도체 층 상에 각각 배치될 수 있고, 반사 전극은 제1 LED 스택의 n-형 반도체 층과 오믹 접촉을 형성할 수 있다.

[0145] 각 픽셀은: 제1 LED 스택과 제2 LED 스택 사이에 개재되는 제1 컬러 필터; 및 제2 LED 스택과 제3 LED 스택 사이에 개재되는 제2 컬러 필터를 추가로 포함할 수 있고, 제1 컬러 필터는 제2 LED 스택으로부터 발생되는 광을 반사시키면서 제1 LED 스택으로부터 발생되는 광을 투과시키며, 제2 컬러 필터는 제3 LED 스택으로부터 발생되는 광을 반사시키면서 제2 LED 스택에서 발생되는 광을 투과시킨다.

[0146] 각 픽셀은: 지지 기판과 반사 전극 사이에 개재되는 제1 본딩 층; 제1 LED 스택과 제1 컬러 필터 사이에 개재되는 제2 본딩 층; 및 제2 LED 스택과 제2 컬러 필터 사이에 개재되는 제3 본딩 층을 추가로 포함할 수 있다.

[0147] 각 픽셀은: 제1 LED 스택의 p-형 반도체 층과 접촉하는 제1-2 오믹 전극; 제2 LED 스택의 n-형 반도체 층과 접촉하는 제2-1 오믹 전극; 제2 LED 스택의 p-형 반도체 층과 접촉하는 제2-2 오믹 전극; 제3 LED 스택의 n-형 반도체 층과 접촉하는 제3-1 오믹 전극; 및 제3 LED 스택의 p-형 반도체 층과 접촉하는 제3-2 오믹 전극을 추가로 포함할 수 있다. 부가하여, 제1-2 오믹 전극은 제1 LED 스택의 일부 영역 외부에서 p-형 반도체 층과 접촉할 수 있고, 제2-1 오믹 전극 및 제2-2 오믹 전극은 제2 LED 스택의 일부 영역 외부에서 n-형 및 p-형 반도체 층과 각각 접촉할 수 있다.

[0148] 또한, 제3-1 오믹 전극은 제3 LED 스택의 n-형 반도체 층 상에서 n-형 반도체 층과 접촉할 수 있고, 제3-2 오믹 전극은 제3 LED 스택의 p-형 반도체 층 상에서 p-형 반도체 층과 접촉할 수 있다.

[0149] 각 픽셀은: 제2-1 오믹 전극 및 제3-1 오믹 전극을 반사 전극에 각각 전기적으로 연결하는 연결 부분을 추가로 포함할 수 있다.

[0150] 한편, 제1 LED 스택의 일부 영역을 제외한 제1 LED 스택 영역의 면적, 제2 LED 스택의 일부 영역을 제외한 제2 LED 스택 영역의 면적 및 제3 LED 스택 영역의 면적은 서로 다를 수 있다. 예를 들어, 제1 LED 스택의 일부 영역을 제외한 제1 LED 스택 영역의 면적은 제2 LED 스택의 일부 영역을 제외한 제2 LED 스택 영역의 면적보다 클 수 있고 제3 LED 스택 영역의 면적은 서로 다를 수 있다.

[0151] 본 개시의 하나의 예시적인 실시예에 따라, 디스플레이용 발광 다이오드 스택은: 지지 기판; 지지 기판 상에 배치되는 제1-1 LED 스택; 제1-1 LED 스택 상에 배치되는 제1-2 LED 스택; 제1-2 LED 스택 상에 배치되는 제2 LED 스택; 및 제2 LED 스택 상에 배치되는 제3 LED 스택을 포함하고, 제1-1 LED 스택 및 제1-2 LED 스택은 적색 광을 방출하도록 적합화되며, 제2 LED 스택은 녹색 광을 방출하도록 적합화되고, 제3 LED 스택은 청색 광을 방출하도록 적합화된다.

[0152] 제1 내지 제3 LED 스택이 서로 적층되는 구조에 의해, 발광 다이오드 스택은, 픽셀 면적을 증가시키지

않으면서, 각 서브픽셀의 발광 면적을 증가시킬 수 있다. 또한, 제1-1 LED 스택이 제1-2 LED 스택과 중첩하도록 배치되는 구조에 의해, 발광 다이오드 스택은 이차원 평면에서 그에 의해 점유되는 면적을 증가시키지 않으면서 적색 광의 밝기를 증가시킬 수 있다.

[0153] 하나의 예시적인 실시예에서, 발광 다이오드 스택은 제1-1 LED 스택의 상부 표면과 오믹 접촉을 형성하는 제1-1 상부 오믹 접촉 층; 및 제1-2 LED 스택의 하부 표면과 오믹 접촉을 형성하는 제1-2 하부 오믹 접촉 층을 추가로 포함할 수 있다. 제1-1 상부 오믹 접촉 층 및 제1-2 하부 오믹 접촉 층은 서로 전기적으로 연결될 수 있다.

[0154] 발광 다이오드 스택은: 제1-1 LED 스택의 하부 표면과 오믹 접촉을 형성하는 제1-1 하부 오믹 접촉 층; 및 제1-2 LED 스택의 상부 표면과 오믹 접촉을 형성하는 제1-2 상부 오믹 접촉 층을 추가로 포함할 수 있고, 제1-1 LED 스택 및 제1-2 LED 스택은 제1-1 하부 오믹 접촉 층과 제1-2 상부 오믹 접촉 층 사이에서 직렬로 서로 연결될 수 있다.

[0155] 제1-1 하부 오믹 접촉 층은 제1-1 LED 스택으로부터 발생되는 광을 반사시키는 반사층을 포함할 수 있다. 결과적으로, 제1-1 LED 스택의 발광 효율이 향상될 수 있다.

[0156] 발광 다이오드 스택은 제1-1 LED 스택과 제1-2 LED 스택 사이에 개재되는 제2 본딩 층을 추가로 포함할 수 있다. 제2 본딩 층은 투명 도전 층일 수 있다. 본딩 층으로서 투명 도전 층을 채택함으로써, 제1-1 LED 스택 및 제1-2 LED 스택은 용이하게 서로 전기적으로 연결될 수 있다.

[0157] 몇몇 예시적인 실시예에서, 발광 다이오드 스택은: 제1-1 LED 스택의 상부 표면과 오믹 접촉을 형성하는 제1-1 상부 오믹 접촉 층; 제1-2 LED 스택의 하부 표면과 오믹 접촉을 형성하는 제1-2 하부 오믹 접촉 층; 및 제1-1 LED 스택 및 제1-2 LED 스택 사이에 개재되는 제2 본딩 층을 추가로 포함할 수 있고, 제1-1상부 오믹 접촉 층은 제2 본딩 층에 의해 제1-2 하부 오믹 접촉 층으로부터 절연될 수 있다. 제2 본딩 층은 절연 재료로 형성될 수 있다.

[0158] 발광 다이오드 스택은: 제1-1 LED 스택의 하부 표면과 오믹 접촉을 형성하는 제1-1 하부 오믹 접촉 층; 및 제1-2 LED 스택의 상부 표면과 오믹 접촉을 형성하는 제1-2 상부 오믹 접촉 층을 추가로 포함할 수 있고, 제1-1 하부 오믹 접촉 층은 제1-2 하부 오믹 접촉 층에 전기적으로 연결될 수 있으며 제1-2 상부 오믹 접촉 층은 제1-1 상부 오믹 접촉 층에 전기적으로 연결될 수 있다. 따라서, 제1-1 LED 스택은 제1-2 LED 스택에 병렬로 연결될 수 있다.

[0159] 발광 다이오드 스택은: 제1-2 LED 스택과 제2 LED 스택 사이에 개재되고 제2 LED 스택으로부터 발생되는 광을 반사시키면서 제1-1 및 제1-2 LED 스택으로부터 발생되는 광을 투과시키는 제1 컬러 필터; 및 제2 LED 스택과 제3 LED 스택 사이에 개재되며 제3 LED 스택으로부터 발생되는 광을 반사시키면서 제1-1, 제1-2 및 제2 LED 스택으로부터 발생되는 광을 투과시키는 제2 컬러 필터를 추가로 포함할 수 있다.

[0160] 제1-1 및 제1-2 LED 스택으로부터 발생되는 광은 제2 LED 스택 및 제3 LED 스택을 통해 외부로 방출될 수 있고, 제2 LED 스택으로부터 발생되는 광은 제3 LED 스택을 통해 외부로 방출될 수 있다.

[0161] 제1 및 제2 컬러 필터에 의해, 발광 다이오드 스택은 제2 LED 스택으로부터 발생되는 광이 제1-2 LED 스택으로 진입하는 것을 방지할 수 있고 제3 LED 스택으로부터 발생되는 광이 제2 LED 스택으로 진입하는 것을 방지할 수 있으며, 그에 의해, 광 손실을 감소시킨다.

[0162] 다른 예시적인 실시예에서, 제2 LED 스택은 제1-2 LED 스택 상에서 일부 영역 내에 배치될 수 있고, 제3 LED 스택은 제2 LED 스택 상에서 일부 영역 내에 배치될 수 있다. 따라서, 제1-1 및 제1-2 LED 스택으로부터 발생되는 일부 광은 제2 LED 스택을 관통하지 않고 외부로 방출될 수 있고, 제2 LED 스택으로부터 발생되는 일부 광은 제3 LED 스택을 관통하지 않고 외부로 방출될 수 있다.

[0163] 발광 다이오드 스택은: 제1-1 LED 스택의 하 측에 배치되는 지지 기판; 지지 기판과 제1-1 LED 스택 사이에 개재되는 제1 본딩 층; 제1-2 LED 스택과 제1 컬러 필터 사이에 개재되는 제3 본딩 층; 및 제2 LED 스택과 제2 컬러 필터 사이에 개재되는 제4 본딩 층을 추가로 포함할 수 있고, 제3 본딩 층은 제1-1 및 제1-2 LED 스택으로부터 발생되는 광을 투과시키고, 제4 본딩 층은 제1-1, 1-2 및 제2 LED 스택으로부터 발생되는 광을 투과시킨다.

[0164] 발광 다이오드 스택은: 제1 컬러 필터와 제2 LED 스택 사이에 개재되며 제2 LED 스택과 오믹 접촉을 형성하는 제2 투명 전극; 및 제2 컬러 필터와 제3 LED 스택 사이에 개재되고 제3 LED 스택과 오믹 접촉을 형성하는 제3 투명 전극을 추가로 포함할 수 있다.

[0165] 제2 투명 전극 및 제3 투명 전극은 제2 LED 스택 및 제3 LED 스택에서 전류 퍼짐을 도울 수 있다.

[0166] 본 개시의 또 하나의 예시적인 실시예에 따라, 디스플레이 장치는: 지지 기판 상에 배열되는 다수의 픽셀을 포함하고, 각 픽셀은, 지지 기판 상에 배치되는 제1-1 LED 스택; 제1-1 LED 스택 상에 배치되는 제1-2 LED 스택; 제1-2 LED 스택 상에 배치되는 제2 LED 스택; 및 제2 LED 스택 상에 배치되는 제3 LED 스택을 포함하고, 제1-1 LED 스택 및 제1-2 LED 스택은 적색 광을 방출하도록 적합화되며, 제2 LED 스택은 녹색 광을 방출하도록 적합화되고, 제3 LED 스택은 청색 광을 방출하도록 적합화된다.

[0167] 각 픽셀은 서로 중첩하는 제1-1 LED 스택 및 제1-2 LED 스택을 이용하여 적색 광을 방출하도록 적합화될 수 있고, 그에 의해, 서브픽셀의 면적을 증가시키지 않으면서 각 픽셀 내에서 적색 광의 밝기를 증가시킨다.

[0168] 하나의 예시적인 실시예에서, 제1-1 LED 스택 및 제1-2 LED 스택은 직렬로 서로 연결될 수 있다. 또한, 각 픽셀에서, 제1-1, 제2 및 제3 LED 스택의 p-형 반도체 층은 공통 라인에 전기적으로 연결될 수 있고, 제1-2, 제2 및 제3 LED 스택의 n-형 반도체 층은 서로 다른 라인에 전기적으로 연결될 수 있다.

[0169] 또 하나의 예시적인 실시예에서, 제1-1 LED 스택 및 제1-2 LED 스택은 병렬로 서로 연결될 수 있다. 또한, 각 픽셀에서, 제1-1, 제1-2, 제2 및 제3 LED 스택의 p-형 반도체 층은 공통 라인에 전기적으로 연결될 수 있으며, 제1-1, 제2 및 제3 LED 스택의 n-형 반도체 층은 서로 다른 라인에 전기적으로 연결될 수 있고, 제1-2 LED 스택의 n-형 반도체 층은 제1-1 LED 스택의 n-형 반도체 층에 전기적으로 연결될 수 있다.

[0170] 디스플레이 장치는: 제1-1, 제1-2, 제2 및 제3 LED 스택의 측면을 덮는 하부 절연 층을 추가로 포함할 수 있고, 하부 절연 층은 제1-2, 제2 및 제3 LED 스택의 최소한 일부를 노출시키는 개구부를 포함할 수 있다.

[0171] 디스플레이 장치는 지지 기판과 제1 LED 스택 사이에 개재되는 반사 전극을 추가로 포함할 수 있다. 반사 전극은 다수의 픽셀 상부에 연속적으로 배치될 수 있다.

[0172] 디스플레이 장치는: 제1-2 LED 스택과 제2 LED 스택 사이에 개재되고 제2 LED 스택으로부터 발생되는 광을 반사시키면서 제1-1 및 제1-2 LED 스택으로부터 발생되는 광을 투과시키는 제1 컬러 필터; 및 제2 LED 스택과 제3 LED 스택 사이에 개재되며 제3 LED 스택으로부터 발생되는 광을 반사시키면서 제1-1, 제1-2 및 제2 LED 스택으로부터 발생되는 광을 투과시키는 제2 컬러 필터를 추가로 포함할 수 있다.

[0173] 제1-1 및 제1-2 LED 스택으로부터 발생되는 광은 제2 LED 스택 및 제3 LED 스택을 통해 외부로 방출될 수 있고, 제2 LED 스택으로부터 발생되는 광은 제3 LED 스택을 통해 외부로 방출될 수 있다.

[0174] 다른 예시적인 실시예에서, 제2 LED 스택은 제1-2 LED 스택 상에서 일부 영역 내에 배치될 수 있고, 제3 LED 스택은 제2 LED 스택 상에서 일부 영역 내에 배치될 수 있다. 따라서, 제1-1 및 제1-2 LED 스택으로부터 발생되는 일부 광은 제2 LED 스택을 관통하지 않고 외부로 방출될 수 있고, 제2 LED 스택으로부터 발생되는 일부 광은 제3 LED 스택을 관통하지 않고 외부로 방출될 수 있다.

[0175] 각 픽셀에서, 제2 및 제3 LED 스택은 제1-1 및 제1-2 LED 스택과 독립적으로 구동될 수 있고, 제1-1 LED 스택과 제1-2 LED 스택은 함께 구동될 수 있다.

[0176] 본 개시의 하나의 예시적인 실시예에 따라, 디스플레이용 발광 다이오드 스택이 제공된다. 발광 다이오드 스택은: 제1 LED 스택; 제1 LED 스택 상에 배치되는 제2 LED 스택; 및 제2 LED 스택 상에 배치되는 제3 LED 스택을 포함하고, 제1 LED 스택은 다중-접합 LED 적층 구조를 갖는다.

[0177] 제1 내지 제3 LED 스택이 서로 적층되는 구조에 의해, 발광 다이오드 스택은, 픽셀 면적을 증가시키지 않으면서, 각 서브픽셀의 발광 면적을 증가시킬 수 있다. 또한, 다중 접합 LED 적층 구조를 갖는 제1 LED 스택을 채택함으로써, 발광 다이오드 스택은 발광 면적 및 전류 밀도를 증가시키지 않으면서 제1 LED 스택의 밝기를 증가시킬 수 있다.

[0178] 여기서, "LED 스택"이라는 용어는 광을 방출할 수 있는 반도체 층의 스택을 의미한다. 부가하여, 다중 접합 LED 적층 구조는 두 개 이상의 LED 스택의 터널 접합에 의해 형성되는 LED 스택을 의미한다.

[0179] 제1 LED 스택은 제1-1 LED 스택; 제1-2 LED 스택; 및 제1-1 LED 스택과 제1-2 LED 스택 사이에 개재되는 터널 접합 층을 포함할 수 있고, 제1-1 LED 스택 및 제1-2 LED 스택의 각각은 n-형 반도체 층, 활성 층 및 p-형 반도체 층을 포함한다.

[0180] 제1 LED 스택은 AlGaInP계 반도체 층을 포함할 수 있다.

[0181] 제1 LED 스택은 제2 및 제3 LED 스택보다 긴 파장을 갖는 적색 광을 방출할 수 있고, 제2 LED 스택은 제3 LED 스택보다 긴 파장을 갖는 적색 광을 방출할 수 있다. 제1-1 LED 스택은 제1-2 LED 스택의 파장과 동일한 파장 또는 근사한 파장을 갖는 광을 방출할 수 있다. 예를 들어, 제1, 제2 및 제3 LED 스택은 적색 광, 녹색 광 및 청색 광을 각각 방출할 수 있다.

[0182] 또한, 제1 LED 스택으로부터 발생되는 광은 제2 LED 스택 및 제3 LED 스택을 통해 외부로 방출될 수 있고, 제2 LED 스택으로부터 발생되는 광은 제3 LED 스택을 통해 외부로 방출될 수 있다.

[0183] 다른 예시적인 실시예에서, 제2 LED 스택은 제1 LED 스택 상에서 일부 영역 내에 배치될 수 있고, 제3 LED 스택도 제2 LED 스택 상에서 일부 영역 내에 배치될 수 있다. 따라서, 제1 LED 스택으로부터 발생되는 광의 적어도 일부는 제2 LED 스택을 관통하지 않고 외부로 방출될 수 있고, 제2 LED 스택으로부터 발생되는 광의 적어도 일부는 제3 LED 스택을 관통하지 않고 외부로 방출될 수 있다.

[0184] 발광 다이오드 스택은: 제1 LED 스택과 제2 LED 스택 사이에 개재되고 제2 LED 스택으로부터 발생되는 광을 반사시키면서 제1 LED 스택으로부터 발생되는 광을 투과시키는 제1 컬러 필터; 및 제2 LED 스택과 제3 LED 스택 사이에 개재되며 제3 LED 스택으로부터 발생되는 광을 반사시키면서 제1 및 제2 LED 스택으로부터 발생되는 광을 투과시키는 제2 컬러 필터를 추가로 포함할 수 있다.

[0185] 제1 및 제2 컬러 필터에 의해, 발광 다이오드 스택은 제1 LED 스택으로부터 발생되는 광이 제2 LED 스택 및 제3 LED 스택을 통해 외부로 방출되는 것을 허용하고, 제2 LED 스택으로부터 발생되는 광이 제3 LED 스택을 통해 외부로 방출되는 것을 허용하며, 제2 LED 스택으로부터 발생되는 광이 제1 LED 스택으로 진입하는 것을 방지하고, 제3 LED 스택으로부터 발생되는 광이 제2 LED 스택으로 진입하는 것을 방지하며, 그에 의해, 발광 효율을 향상시킨다.

[0186] 제1 컬러 필터 및 제2 컬러 필터의 각각은 저역 통과 필터, 대역 통과 필터 또는 대역 저지 필터일 수 있다. 특히, 제1 컬러 필터 및 제2 컬러 필터의 각각은 분산 브래그 반사기를 포함할 수 있다. 제1 및 제2 컬러 필터가 분산 브래그 반사기를 포함하는 구조에 의해, 발광 다이오드 스택은 구조에 있어서 안정성을 가질 수 있고 양호한 발광 효율을 나타낼 수 있다.

[0187] 발광 다이오드 스택은: 제1 LED 스택과 제1 컬러 필터 사이에 개재되는 제2 본딩 층; 및 제2 LED 스택과 제2 컬러 필터 사이에 개재되는 제3 본딩 층을 추가로 포함할 수 있고, 제2 본딩 층은 제1 LED 스택으로부터 발생되는 광을 투과시키고 제3 본딩 층은 제1 LED 스택 및 제2 LED 스택으로부터 발생되는 광을 투과시킨다.

[0188] 제2 및 제3 본딩 층에 의해, 제1 LED 스택, 제2 LED 스택 및 제3 LED 스택은, 광이 제2 본딩 층 및 제3 본딩 층을 통해 외부로 방출되는 것을 허용하면서, 서로 본딩될 수 있고, 그에 의해, 광 손실을 방지한다.

[0189] 발광 다이오드 스택은: 제1 LED 스택의 하 측에 배치되는 지지 기판; 및 지지 기판과 제1 LED 스택 사이에 개재되는 제1 본딩 층을 추가로 포함할 수 있다.

[0190] 발광 다이오드 스택은: 제1 본딩 층과 제1 LED 스택 사이에 개재되고 제1 LED 스택의 p-형 반도체 층과 오믹 접촉을 형성하는 제1 반사 전극을 추가로 포함할 수 있다.

[0191] 제1 반사 전극은 제1 LED 스택으로부터 발생되는 광을 반사시켜, 제1 LED 스택의 발광 효율을 향상시킬 수 있다.

[0192] 발광 다이오드 스택은 제1 LED 스택의 상부 표면과 오믹 접촉을 형성하는 제1 오믹 전극을 추가로 포함할 수 있다.

[0193] 발광 다이오드 스택은: 제1 컬러 필터와 제2 LED 스택 사이에 개재되고 제2 LED 스택의 p-형 반도체 층과 오믹 접촉을 형성하는 제2 투명 전극; 및 제2 컬러 필터와 제3 LED 스택 사이에 개재되며 제3 LED 스택의 p-형 반도체 층과 오믹 접촉을 형성하는 제3 투명 전극을 추가로 포함할 수 있고, 제1 LED 스택으로부터 발생되는 광은 제2 투명 전극 및 제3 투명 전극을 통해 외부로 방출되고, 제2 LED 스택으로부터 발생되는 광은 제3 투명 전극을 통해 외부로 방출된다.

[0194] 본 개시의 또 다른 예시적인 실시예에 따라, 디스플레이 장치가 제공된다. 디스플레이 장치는: 지지 기판 상에 배열되는 다수의 픽셀을 포함하고, 각 픽셀은: 지지 기판 상에 배치되는 제1 LED 스택; 제1 LED 스택 상에 배치되는 제2 LED 스택; 및 제2 LED 스택 상에 배치되는 제3 LED 스택을 포함하고, 제1 LED 스택은 다중-접합 LED 적층 구조를 갖는다.

[0195] 다중 접합 LED 적층 구조에 의해, 제1 LED 스택은 향상된 밝기를 가질 수 있다.

[0196] 제1 LED 스택은: 제1-1 LED 스택; 제1-2 LED 스택; 및 제1-1 LED 스택과 제1-2 LED 스택 사이에 개재되는 터널 접합 층을 포함할 수 있고, 제1-1 LED 스택 및 제1-2 LED 스택의 각각은 n-형 반도체 층, 활성 층 및 p-형 반도체 층을 포함한다.

[0197] 제1 LED 스택은 AlGaInP계 반도체 층을 포함할 수 있다.

[0198] 디스플레이 장치는: 제1 LED 스택과 제2 LED 스택 사이에 개재되고 제2 LED 스택으로부터 발생되는 광을 반사시키면서 제1 LED 스택으로부터 발생되는 광을 투과시키는 제1 컬러 필터; 및 제2 LED 스택과 제3 LED 스택 사이에 개재되며 제3 LED 스택으로부터 발생되는 광을 반사시키면서 제1 및 제2 LED 스택으로부터 발생되는 광을 투과시키는 제2 컬러 필터를 추가로 포함할 수 있고, 제1 LED 스택으로부터 발생되는 광은 제2 LED 스택 및 제3 LED 스택을 통해 외부로 방출되며, 제2 LED 스택으로부터 발생되는 광은 제3 LED 스택을 통해 외부로 방출된다.

[0199] 제1 컬러 필터 및 제2 컬러 필터의 각각은 저역 통과 필터, 대역 통과 필터 또는 대역 저지 필터일 수 있으며, 특정 파장 대역에서 높은 반사율을 갖는 분산 브래그 반사기를 포함할 수 있다.

[0200] 다른 예시적인 실시예에서, 제2 LED 스택은 제1 LED 스택 상에서 일부 영역 내에 배치될 수 있고, 제3 LED 스택도 제2 LED 스택 상에서 일부 영역 내에 배치될 수 있다. 따라서, 제1 LED 스택으로부터 발생되는 광의 적어도 일부는 제2 LED 스택을 관통하지 않고 외부로 방출될 수 있고, 제2 LED 스택으로부터 발생되는 광의 적어도 일부는 제3 LED 스택을 관통하지 않고 외부로 방출될 수 있다.

[0201] 각 픽셀에서, 제1, 제2 및 제3 LED 스택의 p-형 반도체 층은 공통 라인에 전기적으로 연결될 수 있고, 그 n-형 반도체 층은 서로 다른 라인에 전기적으로 연결될 수 있다. 예를 들어, 공통 라인은 데이터 라인일 수 있고, 서로 다른 라인은 스캔 라인일 수 있다.

[0202] 디스플레이 장치는: 제1 내지 제3 LED 스택의 측면을 덮는 하부 절연 층을 추가로 포함할 수 있으며, 하부 절연 층은 적색, 녹색 및 청색 광을 반사시키는 분산 브래그 반사기를 포함할 수 있다.

[0203] 하나의 예시적인 실시예에서, 디스플레이 장치는 제1 LED 스택과 지지 기판 사이에 개재되는 반사 전극을 추가로 포함할 수 있다.

[0204] 반사 전극은 공통 라인으로서 사용되기 위해 다수의 픽셀 상부에 연속적으로 배치될 수 있다.

[0205] 또 하나의 예시적인 실시예에서, 디스플레이 장치는 지지 기판과 제1 LED 스택 사이에 개재되는 반사 전극을 추가로 포함할 수 있다. 각 반사 전극은 각 픽셀 영역 내에 제한적으로 위치될 수 있다.

[0206] 각 픽셀에서 제1 내지 제3 LED 스택은 독립적으로 구동될 수 있다.

[0207] 전술한 일반적인 설명 및 이하의 상세한 설명은 모두 예시적이고 설명적인 것이며 청구범위에 기재된 본 발명에 대한 추가적인 설명을 제공하도록 의도된 것으로 이해되어야 한다.

발명의 효과

[0208] 본 개시의 예시적인 실시예는, 픽셀 면적을 증가시키지 않으면서 각 서브픽셀의 발광 면적의 증가를 허용하는 디스플레이용 발광 다이오드, 및 이를 갖는 디스플레이 장치를 제공한다.

[0209] 본 개시의 예시적인 실시예는, 다수의 픽셀의 동시 제조를 허용하여 디스플레이 패널 상에 개별적으로 실장될 필요가 없는 디스플레이용 발광 다이오드, 및 이를 갖는 디스플레이 장치를 제공한다.

[0210] 본 개시의 예시적인 실시예는, 픽셀 면적을 증가시키지 않으면서 각 서브픽셀의 발광 면적의 증가를 허용하는 디스플레이용 발광 다이오드, 및 이를 갖는 디스플레이 장치를 제공한다.

[0211] 본 개시의 예시적인 실시예는, 다수의 픽셀의 동시 제조를 허용하여 디스플레이 패널 상에 개별적으로 실장될 필요가 없는 디스플레이용 발광 다이오드, 및 이를 갖는 디스플레이 장치를 제공한다.

[0212] 본 개시의 예시적인 실시예는, 다수의 픽셀의 동시 제조를 허용하여 디스플레이 패널 상에 개별적으로 실장될 필요가 없는 디스플레이용 발광 다이오드 픽셀, 및 이를 포함하는 디스플레이 장치를 제공한다.

[0213] 본 개시의 예시적인 실시예는, 픽셀 면적을 증가시키지 않으면서 각 서브픽셀의 발광 면적의 증가를 허용하는 디스플레이용 발광 다이오드, 및 이를 포함하는 디스플레이 장치를 제공한다.

[0214] 본 개시의 예시적인 실시예는, 다수의 픽셀의 동시 제조를 허용하여 디스플레이 패널 상에 개별적으로 실장될 필요가 없는 디스플레이용 발광 다이오드, 및 이를 포함하는 디스플레이 장치를 제공한다.

[0215] 본 개시의 예시적인 실시예는, 가시성을 고려하여 광의 방출을 조절할 수 있는 디스플레이용 발광 다이오드, 및 이를 포함하는 디스플레이 장치를 제공한다.

[0216] 본 개시의 예시적인 실시예는, 픽셀 면적을 증가시키지 않으면서 각 서브픽셀의 발광 면적의 증가를 허용하는 디스플레이용 발광 다이오드, 및 이를 갖는 디스플레이 장치를 제공한다.

[0217] 본 개시의 예시적인 실시예는, 다수의 픽셀의 동시 제조를 허용하여 디스플레이 패널 상에 개별적으로 실장될 필요가 없는 디스플레이용 발광 다이오드, 및 이를 갖는 디스플레이 장치를 제공한다.

[0218] 본 개시의 예시적인 실시예는, 가시성을 고려하여 광의 방출을 조절할 수 있는 디스플레이용 발광 다이오드, 및 이를 갖는 디스플레이 장치를 제공한다.

도면의 간단한 설명

[0219] 도 1은 본 개시의 하나의 예시적인 실시예에 따른 디스플레이용 발광 다이오드 스택의 개략적인 단면도이다.

도 2A, 도 2B 및 도 2C는 본 개시의 하나의 예시적인 실시예에 따른 디스플레이용 발광 다이오드 스택을 제조하는 방법을 나타내는 개략적인 단면도이다.

도 3은 본 개시의 하나의 예시적인 실시예에 따른 디스플레이 장치의 작동을 나타내는 개략적인 회로도이다.

도 4는 본 개시의 예시적인 실시예에 따른 디스플레이 장치의 개략적인 평면도이다.

도 5는 도 4에 도시된 디스플레이 장치의 하나의 픽셀의 확대 평면도이다.

도 6은 도 5의 선 A-A를 따라 취한 개략적인 단면도이다.

도 7은 도 5의 선 B-B를 따라 취한 개략적인 단면도이다.

도 8A, 도 8B, 도 8C, 도 8D, 도 8E, 도 8F, 도 8G, 도 8H, 도 8I, 도 8J 및 도 8K는 본 개시의 하나의 예시적인 실시예에 따른 디스플레이 장치를 제조하는 방법을 나타내는 개략적인 단면도이다.

도 9는 본 개시의 또 하나의 예시적인 실시예에 따른 디스플레이 장치의 작동을 나타내는 개략적인 회로도이다.

도 10은 본 개시의 또 하나의 예시적인 실시예에 따른 디스플레이 장치의 개략적인 평면도이다.

도 11은 본 개시의 또 하나의 예시적인 실시예에 따른 디스플레이용 발광 다이오드 스택의 개략적인 단면도이다.

도 12A, 도 12B, 도 12C, 도 12D, 도 12E 및 도 12F는 본 개시의 또 다른 예시적인 실시예에 따른 디스플레이용 발광 다이오드 스택을 제조하는 방법을 나타내는 개략적인 단면도이다.

도 13은 본 개시의 다른 예시적인 실시예에 따른 디스플레이용 발광 다이오드 스택의 개략적인 단면도이다.

도 14는 본 개시의 또 다른 하나의 예시적인 실시예에 따른 디스플레이용 발광 다이오드 스택의 개략적인 단면도이다.

도 15는 본 개시의 예시적인 실시예에 따른 발광 적층 구조를 나타내는 단면도이다.

도 16은 라인의 컨택부를 갖는 본 개시의 예시적인 실시예에 따른 발광 적층 구조를 나타내는 단면도이다.

도 17A, 도 17B 및 도 17C는 도 16의 각 에피택셜 스택을 상세하게 나타내는 단면도이다.

도 18은 본 개시의 예시적인 실시예에 따른 소정 통과 필터를 갖는 발광 적층 구조를 나타내는 단면도이다.

도 19 및 도 20은 본 개시의 예시적인 실시예에 따른 에피택셜 스택의 적어도 일부분에서 요철 부분이 형성되는 발광 적층 구조를 나타내는 단면도이다.

도 21은 본 개시의 예시적인 실시예에 따른 디스플레이 디바이스를 나타내는 평면도이다.

도 22는 도 21의 부분 P1을 나타내는 확대 평면도이다.

도 23은 본 개시의 예시적인 실시예에 따른 디스플레이 디바이스를 나타내는 블록도이다.

도 24는 패시브 매트릭스 타입 디스플레이 디바이스용 하나의 서브픽셀을 나타내는 회로도이다.

도 25는 액티브 매트릭스 타입 디스플레이 디바이스용 제1 서브픽셀을 나타내는 회로도이다.

도 26은 본 개시의 예시적인 실시예에 따른 픽셀을 나타내는 평면도이다.

도 27A 및 도 27B는 각각 도 26의 선 I-I’ 및 II-II’를 따라 취한 단면도이다.

도 28은 제1 내지 제3 에피택셜 스택이 그 위에 적층되는 기판을 나타내는 평면도이다.

도 29A, 도 29B, 도 29C, 도 29D, 도 29E, 도 29F, 도 29G, 도 29H, 도 29I, 도 29J, 도 29K 및 도 29L은, 도 28의 선 I-I’을 따라 취한, 기판 상에 제1 내지 제3 에피택셜 스택을 적층하는 공정을 순차적으로 나타내는 단면도이다.

도 30A, 도 31A, 도 32A, 도 33A, 도 34A 및 도 35A는 제2 및 제3 에피택셜 스택을 제2 및 제3 서브-스캔 라인 및 데이터 라인에 연결하는 공정을 순차적으로 나타내는 평면도이다.

도 30B, 도 31B, 도 32B, 도 33B, 도 34B 및 도 35B는 각각 도 30A, 도 31A, 도 32A, 도 33A, 도 34A 및 도 35A의 선 I-I', IIa-IIa' 및 IIb-IIb'을 따라 취한 단면도이다.

도 36A, 도 36B 및 도 36C는 본 개시의 예시적인 실시예에 따른 발광 적층 구조를 나타내는 단면도이다.

도 37A는 본 개시의 예시적인 실시예에 따른 발광 적층 구조를 나타내는 평면도이다.

도 37B는 도 37A의 선 I-I’을 따라 취한 단면도이다.

도 38A, 도 39A, 도 40A, 도 41A, 도 42A 및 도 43A는 본 개시의 예시적인 실시예에 따른 발광 적층 구조의 제조 방법을 순차적으로 나타내는 평면도이다.

도 38B, 도 39B, 도 40B, 도 40C, 도 40D, 도 40E, 도 40F, 도 40G, 도 41B, 도 41C, 도 41D, 도 42B 및 도 43B는 각각 도 38A, 도 39A, 도 40A, 도 41A, 도 42A 및 도 43A의 선 I-I을 따라 취한 단면도이다.

도 44는 본 개시의 예시적인 실시예에 따른 발광 적층 구조를 나타내는 단면도이다.

도 45는 제2 에피택셜 스택 상에 형성되는 요철 부분을 나타내는 단면도이다.

도 46은 본 개시의 예시적인 실시예에 따른 발광 적층 구조를 나타내는 단면도이다.

도 47 및 도 48은 본 개시의 예시적인 실시예에 따른 광 변환 층을 갖는 발광 적층 구조를 나타내는 단면도이다.

도 49 및 도 50은 본 개시의 예시적인 실시예에 따른 인쇄 회로 기판 상에 실장되는 발광 적층 구조를 나타내는 평면도이다.

도 51은 본 개시의 하나의 예시적인 실시예에 따른 디스플레이용 발광 다이오드 스택의 개략적인 단면도이다.

도 52A, 도 52B, 도 52C, 도 52D 및 도 52E는 본 개시의 하나의 예시적인 실시예에 따른 디스플레이용 발광 다이오드 스택을 제조하는 방법을 나타내는 개략적인 단면도이다.

도 53은 본 개시의 하나의 예시적인 실시예에 따른 디스플레이 장치의 작동을 나타내는 개략적인 회로도이다.

도 54는 본 개시의 예시적인 실시예에 따른 디스플레이 장치의 개략적인 평면도이다.

도 55는 도 54에 도시된 디스플레이 장치의 하나의 픽셀의 확대 평면도이다.

도 56은 도 55의 선 A-A를 따라 취한 개략적인 단면도이다.

도 57은 도 55의 선 B-B를 따라 취한 개략적인 단면도이다.

도 58A, 도 58B, 도 58C, 도 58D, 도 58E, 도 58F, 도 58G 및 도 58H는 본 개시의 하나의 예시적인 실시예에 따른 디스플레이 장치를 제조하는 방법을 나타내는 개략적인 단면도이다.

도 59는 본 개시의 또 하나의 예시적인 실시예에 따른 디스플레이 장치의 개략적인 평면도이다.

도 60은 본 개시의 하나의 예시적인 실시예에 따른 디스플레이용 발광 다이오드 픽셀의 개략적인 단면도이다.

도 61은 본 개시의 예시적인 실시예에 따른 디스플레이 장치의 작동을 나타내는 개략적인 회로도이다.

도 62는 본 개시의 특별한 예시적인 실시예에 따른 디스플레이 장치의 개략적인 평면도이다.

도 63은 도 62에 도시된 디스플레이 장치의 하나의 픽셀의 확대 평면도이다.

도 64A는 도 63의 선 A-A를 따라 취한 개략적인 단면도이다.

도 64B는 도 63의 선 B-B를 따라 취한 개략적인 단면도이다.

도 64C는 도 63의 선 C-C를 따라 취한 개략적인 단면도이다.

도 64D는 도 63의 선 D-D를 따라 취한 개략적인 단면도이다.

도 65A, 도 65B, 도 66A, 도 66B, 도 67A, 도 67B, 도 67C, 도 68A, 도 68B, 도 68C, 도 69A, 도 69B, 도 70A, 도 70B, 도 71A, 도 71B, 도 72A, 도 72B, 도 73A, 도 73B, 도 74A, 도 74B, 도 75, 도 76A, 도 76B 및 도 77은 본 개시의 특별한 예시적인 실시예에 따른 디스플레이 장치를 제조하는 방법을 나타내는 개략적인 단면도이다.

도 78은 본 개시의 또 하나의 예시적인 실시예에 따른 디스플레이 장치의 작동을 나타내는 개략적인 회로도이다.

도 79는 본 개시의 하나의 예시적인 실시예에 따른 디스플레이용 발광 다이오드 스택의 개략적인 단면도이다.

도 80A, 도 80B, 도 80C 및 도 80D는 본 개시의 하나의 예시적인 실시예에 따른 디스플레이용 발광 다이오드 스택을 제조하는 방법을 나타내는 개략적인 단면도이다.

도 81은 본 개시의 하나의 예시적인 실시예에 따른 디스플레이 장치의 작동을 나타내는 개략적인 회로도이다.

도 82는 본 개시의 예시적인 실시예에 따른 디스플레이 장치의 개략적인 평면도이다.

도 83은 도 82에 도시된 디스플레이 장치의 하나의 픽셀의 확대 평면도이다.

도 84는 도 83의 선 A-A를 따라 취한 개략적인 단면도이다.

도 85는 도 83의 선 B-B를 따라 취한 개략적인 단면도이다.

도 86A, 도 86B, 도 86C, 도 86D, 도 86E, 도 86F, 도 86G, 도 86H, 도 86I, 도 86J 및 도 86K는 본 개시의 하나의 예시적인 실시예에 따른 디스플레이 장치를 제조하는 방법을 나타내는 개략적인 단면도이다.

도 87은 본 개시의 또 하나의 예시적인 실시예에 따른 디스플레이 장치의 개략적인 평면도이다.

도 88은 본 개시의 또 하나의 예시적인 실시예에 따른 디스플레이 장치의 작동을 나타내는 개략적인 회로도이다.

도 89A는 본 개시의 하나의 예시적인 실시예에 따른 디스플레이용 발광 다이오드 스택의 개략적인 단면도이다.

도 89B는 도 89A의 제1 LED 스택의 확대 단면도이다.

도 90A, 도 90B 및 도 90C는 본 개시의 하나의 예시적인 실시예에 따른 디스플레이용 발광 다이오드 스택을 제조하는 방법을 나타내는 개략적인 단면도이다.

도 91은 본 개시의 하나의 예시적인 실시예에 따른 디스플레이 장치의 작동을 나타내는 개략적인 회로도이다.

도 92는 본 개시의 예시적인 실시예에 따른 디스플레이 장치의 개략적인 평면도이다.

도 93은 도 92에 도시된 디스플레이 장치의 하나의 픽셀의 확대 평면도이다.

도 94는 도 93의 선 A-A를 따라 취한 개략적인 단면도이다.

도 95는 도 93의 선 B-B를 따라 취한 개략적인 단면도이다.

도 96A, 도 96B, 도 96C, 도 96D, 도 96E, 도 96F, 도 96G, 도 96H, 도 96I, 도 96J 및 도 96K는 본 개시의 하나의 예시적인 실시예에 따른 디스플레이 장치를 제조하는 방법을 나타내는 개략적인 단면도이다.

도 97은 본 개시의 또 하나의 예시적인 실시예에 따른 디스플레이 장치의 작동을 나타내는 개략적인 회로도이다.

도 98은 본 개시의 다른 예시적인 실시예에 따른 디스플레이 장치의 개략적인 평면도이다.

발명을 실시하기 위한 구체적인 내용

[0220] 이하, 본 개시의 예시적인 실시예를 첨부한 도면을 참조하여 상세히 설명하기로 한다. 이하의 실시예는 본 개시의 사상을 본 개시가 속하는 기술 분야의 당업자에게 충분히 전달하기 위한 예로서 제공된다. 따라서, 본 개시는 여기에 개시된 실시예에 한정되지 않으며 다른 형태로 구현될 수도 있다. 도면에서, 요소의 폭, 길이, 두께 등은 명료함과 설명적인 목적을 위해 과장될 수 있다. 요소 또는 층이 다른 요소 또는 층의 "상부에 배치"되거나 "상에 배치"되는 것으로 언급될 때, 해당 요소 또는 층은 직접적으로 다른 요소 또는 층의 "상부에 배치"되거나 "상에 배치"될 수 있고 또는 중간에 개재되는 요소 또는 층이 존재할 수 있다. 명세서 전체에 걸쳐서, 같은 참조 번호는 동일 또는 유사한 기능을 갖는 같은 요소를 지칭한다.

[0221] 이하, 본 개시의 예시적인 실시예를 첨부한 도면을 참조하여 상세히 설명하기로 한다. 본 명세서에서 사용되는, 예시적인 실시예에 따른 발광 디바이스 또는 발광 다이오드는, 당 업계에 공지된 바와 같이 약 10,000 μm^2 미만의 표면적을 갖는 마이크로 LED를 포함할 수 있다. 다른 예시적인 실시예에서, 마이크로 LED는 특정 응용예에 따라 약 4,000 μm^2 미만 또는 약 2,500 μm^2 미만의 표면적을 가질 수 있다.

[0222] 도 1은 본 개시의 하나의 예시적인 실시예에 따른 디스플레이용 발광 다이오드 스택(100)의 개략적인 단면도이다.

[0223] 도 1을 참조하면, 발광 다이오드 스택(100)은 지지 기판(51), 제2 기판(31), 제3 기판(41), 제1 LED 스택(23), 제2 LED 스택(33), 제3 LED 스택(43), 제1-p 반사 전극(25), 제2-p 투명 전극(35), 제3-p 투명 전극(45), 제1 컬러 필터(37), 제2 컬러 필터(47), 제1 본딩 층(53), 제2 본딩 층(55), 및 제3 본딩 층(57)을 포함할 수 있다.

[0224] 지지 기판(51)은 반도체 스택(23, 33 및 43)을 지지한다. 지지 기판(51)은 그 표면 상에 또는 그 내부에 회로를 포함할 수 있지만, 이에 한정되는 것은 아니다. 지지 기판(51)은, 예를 들어, Si 기판 또는 Ge 기판을 포함할 수 있다.

[0225] 제1 LED 스택(23), 제2 LED 스택(33) 및 제3 LED 스택(43)의 각각은 n-형 반도체 층, p-형 반도체 층 및 그 사이에 개재되는 활성 층을 포함한다. 활성 층은 다중 양자 웰 구조를 가질 수 있다.

[0226] 예를 들어, 제1 LED 스택(23)은 적색 광을 방출하도록 적합화되는 무기 발광 다이오드일 수 있고, 제2 LED 스택(33)은 녹색 광을 방출하도록 적합화되는 무기 발광 다이오드일 수 있으며, 제3 LED 스택(43)은 청색 광을 방출하도록 적합화되는 무기 발광 다이오드일 수 있다. 제1 LED 스택(23)은 GaInP계 웰 층을 포함할 수 있고, 제2 LED 스택(33) 및 제3 LED 스택(43)의 각각은 GaInN계 웰 층을 포함할 수 있다.

[0227] 아울러, 제1 내지 제3 LED 스택(23, 33 및 43)의 각각의 양면은 각각 n-형 반도체 층 및 p-형 반도체 층이다. 이러한 예시적인 실시예에서, 제1 내지 제3 LED 스택(23, 33 및 43)의 각각은 n-형 상부 표면 및 p-형 하부 표면을 갖는다. 제3 LED 스택(43)이 n-형 상부 표면을 가지기 때문에, 조면화된 표면(roughened surface)이 제3 LED 스택(43)의 상부 표면 상에 화학적 식각을 통해 형성될 수 있다. 그러나, 본 개시가 이에 한정되는 것은 아니며 각 LED 스택의 상부 및 하부 표면의 반도체 유형은 변화될 수 있다는 것을 이해하여야 한다.

[0228] 제1 LED 스택(23)은 지지 기판(51) 근처에 배치되고, 제2 LED 스택(33)은 제1 LED 스택(23) 상에 배치되며, 제3 LED 스택(43)은 제2 LED 스택(33) 상에 배치된다. 제1 LED 스택(23)이 제2 및 제3 LED 스택(33 및 43)보다 긴 파장을 갖는 광을 방출하기 때문에, 제1 LED 스택(23)으로부터 발생되는 광은 제2 및 제3 LED 스택(33 및 43)을 통해 외부로 방출될 수 있다. 또한, 제2 LED 스택(33)이 제3 LED 스택(43)보다 긴 파장을 갖는 광을 방출하기 때문에, 제2 LED 스택(33)으로부터 발생되는 광은 제3 LED 스택(43)을 통해 외부로 방출될 수 있다.

[0229] 제2 기판(31)은 제2 LED 스택(33)을 위한 성장 기판이며, 예를 들어, GaN계 기판일 수 있다. 제2 기판(31)은 제2 LED 스택(33)에 대한 균질 기판이고 제2 LED 스택(33)에 모놀리식으로(monolithically) 결합된다. 제2 기판(31)은 n-형 반도체 층으로 사용되기 위해 Si와 같은 n-형 도펀트로 도핑될 수 있다. 제2 LED 스택(33)에 대한 균질 기판이 제2 기판(31)으로서 사용되기 때문에, 제2 기판(31) 상에서 성장되는 제2 LED 스택(33)의 전위 밀도(dislocation density)가 감소될 수 있고, 그에 의해, 제2 LED 스택(33)의 발광 효율이 향상된다. 제2 LED 스택(33)은, 예를 들어, 103 내지 107/cm2의 전위 밀도를 가질 수 있다. 사파이어 기판 상에서 성장되는 GaN계 반도체 층이 일반적으로 108/cm2 이상의 전위 밀도를 가지므로, 제2 LED 스택(33)의 전위 밀도가 GaN 성장 기판을 사용하여 상당히 감소될 수 있다.

[0230] 제3 기판(41)은 제3 LED 스택(43)을 위한 성장 기판이며, GaN계 기판, 예를 들어 GaN 기판일 수 있다. 제3 기판(41)은 제3 LED 스택(43)에 대한 균질 기판이고 제3 LED 스택(43)에 모놀리식으로 결합된다. 제3 기판(41)은 n-형 반도체 층으로 사용되기 위해 Si와 같은 n-형 도펀트로 도핑될 수 있다. 제3 LED 스택(43)에 대한 균질 기판이 제3 기판(41)으로서 사용되기 때문에, 제3 기판(41) 상에서 성장되는 제3 LED 스택(43)의 전위 밀도가 감소될 수 있고, 그에 의해, 제3 LED 스택(43)의 발광 효율이 향상된다. 제3 LED 스택(43)은, 예를 들어, 103 내지 107/cm2의 전위 밀도를 가질 수 있다.

[0231] 제2 기판(31) 및 제3 기판(41) 모두가 본 예시적인 실시예에서 사용되지만, 제2 기판(31) 및 제3 기판(41) 중 하나는 생략될 수 있다. 또한, 제2 기판(31) 및 제3 기판(41) 모두가 도 13을 참조하여 후술하는 바와 같이 제거될 수 있다.

[0232] 제1-p 반사 전극(25)은 제1 LED 스택(23)의 p-형 반도체 층과 오믹 접촉을 형성하고, 제1 LED 스택(23)으로부터 발생되는 광을 반사시킨다. 예를 들어, 제1-p 반사 전극(25)은 Au-Ti 또는 Au-Sn으로 형성될 수 있다. 또한, 제1-p 반사 전극(25)은 확산 배리어 층을 포함할 수 있다.

[0233] 제2-p 투명 전극(35)은 제2 LED 스택(33)의 p-형 반도체 층과 오믹 접촉을 형성한다. 제2-p 투명 전극(35)은 적색 광 및 녹색 광에 관하여 투과성인 금속 층 또는 도전성 산화물 층으로 구성될 수 있다.

[0234] 부가하여, 제3-p 투명 전극(45)은 제3 LED 스택(43)의 p-형 반도체 층과 오믹 접촉을 형성한다. 제3-p 투명 전극(45)은 적색 광, 녹색 광 및 청색 광에 관하여 투과성인 금속 층 또는 도전성 산화물 층으로 구성될 수 있다.

[0235] 제1-p 반사 전극(25), 제2-p 투명 전극(35) 및 제3-p 투명 전극(45)은 각 LED 스택의 p-형 반도체 층과의 오믹 접촉을 통해 전류 퍼짐(current spreading)을 도울 수 있다.

[0236] 제1 컬러 필터(37)는 제1 LED 스택(23)과 제2 LED 스택(33) 사이에 개재될 수 있다. 부가하여, 제2 컬러 필터(47)는 제2 LED 스택(33)과 제3 LED 스택(43) 사이에 개재될 수 있다. 제1 컬러 필터(37)는 제2 LED 스택(33)으로부터 발생되는 광을 반사시키면서 제1 LED 스택(23)으로부터 발생되는 광을 투과시킨다. 제2 컬러 필터(47)는 제3 LED 스택(43)으로부터 발생되는 광을 반사시키면서 제1 및 제2 LED 스택(23 및 33)으로부터 발생되는 광을 투과시킨다. 결과적으로, 제1 LED 스택(23)으로부터 발생되는 광은 제2 LED 스택(33) 및 제3 LED 스택(43)을 통해 외부로 방출될 수 있고, 제2 LED 스택(33)으로부터 발생되는 광은 제3 LED 스택(43)을 통해 외부로 방출될 수 있다. 또한, 발광 다이오드 스택은 제2 LED 스택(33)으로부터 발생되는 광이 제1 LED 스택(23)으로 진입하는 것을 방지할 수 있거나 또는 제3 LED 스택(43)으로부터 발생되는 광이 제2 LED 스택(33)으로 진입하는 것을 방지할 수 있으며, 그에 의해, 광 손실을 방지한다. 한편, 제1 LED 스택(23)으로부터 발생되는 광은 제2-p 투명 전극(35) 및 제3-p 투명 전극(45)을 통해 외부로 방출되고, 제2 LED 스택(33)으로부터 발생되는 광은 제3-p 투명 전극(45)을 통해 외부로 방출된다.

[0237] 몇몇 예시적인 실시예에서, 제1 컬러 필터(37)는 제3 LED 스택(43)으로부터 발생되는 광을 반사시킬 수 있다.

[0238] 제1 및 제2 컬러 필터(37 및 47)는, 예를 들어, 저 주파수 대역에서, 즉, 장파장 대역에서, 광을 통과시키는 저역 통과 필터, 소정 파장 대역에서 광을 통과시키는 대역 통과 필터, 또는 소정 파장 대역에서 광의 통과를 방지하는 대역 저지 필터일 수 있다. 특히, 제1 및 제2 컬러 필터(37 및 47)의 각각은 분산 브래그 반사기(DBR)를 포함하는 대역 저지 필터일 수 있다. 분산 브래그 반사기는 서로 다른 굴절률을 갖는 절연 층, 예를 들어, TiO2 및 SiO2를 교대로 적층함으로써 형성될 수 있다. 아울러, 분산 브래그 반사기의 저지 대역은 TiO2 및 SiO2 층의 두께를 조절함으로써 제어될 수 있다. 저역 통과 필터 및 대역 통과 필터도 서로 다른 굴절률을 갖는 절연 층을 교대로 적층함으로써 형성될 수 있다.

[0239] 제1 본딩 층(53)은 제1 LED 스택(23)을 지지 기판(51)에 결합한다. 도면에 도시된 바와 같이, 제1-p 반사 전극(25)은 제1 본딩 층(53)에 인접할 수 있다. 제1 본딩 층(53)은 광 투과성 또는 불투명 층일 수 있다. 제1 본딩 층(53)은, 예를 들어, 투명 무기 절연 층, 투명 유기 절연 층 또는 투명 도전 층일 수 있다.

[0240] 제2 본딩 층(55)은 제2 LED 스택(33)을 제1 LED 스택(23)에 결합한다. 도면에 도시된 바와 같이, 제2 본딩 층(55)은 제1 LED 스택(23) 및 제1 컬러 필터(37)에 인접할 수 있다. 그러나, 본 개시가 이에 한정되는 것은 아니며 투명 도전 층이 제1 LED 스택(23) 상에 배치될 수 있다는 것을 이해하여야 한다. 제2 본딩 층(55)은 제1 LED 스택(23)으로부터 발생되는 광을 투과시킨다. 제2 본딩 층(55)은, 예를 들어, 투명 무기 절연 층, 투명 유기 절연 층 또는 투명 도전 층일 수 있고, 예를 들어, 광 투과성 스핀-온-글래스로 형성될 수 있다.

[0241] 제3 본딩 층(57)은 제3 LED 스택(43)을 제2 LED 스택(33)에 결합한다. 도면에 도시된 바와 같이, 제3 본딩 층

(57)은 제2 LED 스택(33)에 모놀리식으로 결합되는 제2 기판(31)에 인접할 수 있고 제2 컬러 필터(47)에도 인접할 수 있다. 그러나, 본 개시가 이에 한정되는 것은 아님을 이해하여야 한다. 제2 기판(31)이 생략되면, 제3 본딩 층(57)은 제2 LED 스택(33)에 인접할 수 있다. 또한, 투명 도전 층이 제2 LED 스택(33) 또는 제2 기판(31) 상에 배치될 수 있고, 제3 본딩 층(57)은 투명 도전 층에 인접할 수 있다. 제3 본딩 층(57)은 제1 LED 스택(23) 및 제2 LED 스택(33)으로부터 발생되는 광을 투과시킨다. 제3 본딩 층(57)은, 예를 들어, 투명 무기 절연 층, 투명 유기 절연 층 또는 투명 도전 층일 수 있고, 예를 들어, 광 투과성 스핀-온-글래스로 형성될 수 있다.

[0242] 도 2는 본 개시의 하나의 예시적인 실시예에 따른 디스플레이용 발광 다이오드 스택을 제조하는 방법을 나타내는 개략적인 단면도이다.

[0243] 도 2를 참조하면, 먼저, 제1 LED 스택(23)이 제1 기판(21) 상에서 성장되고, 제1-p 반사 전극(25)이 제1 LED 스택(23) 상에 형성된다.

[0244] 제1 기판(21)은, 예를 들어, GaAs 기판일 수 있다. 부가하여, 제1 LED 스택(23)은 AlGaInP계 반도체 층으로 구성되며, n-형 반도체 층, 활성 층 및 p-형 반도체 층을 포함한다. 제1-p 반사 전극(25)은 p-형 반도체 층과 오믹 접촉을 형성한다.

[0245] 한편, 제2 LED 스택(33)이 제2 기판(31) 상에서 성장되고, 제2-p 투명 전극(35) 및 제1 컬러 필터(37)가 제2 LED 스택(33) 상에 형성된다. 제2 LED 스택(33)은 GaN계 반도체 층으로 구성될 수 있고, GaInN 웰 층을 포함할 수 있다. 제2 기판(31)은 GaN계 반도체 층에 대한 균질 기판이며, 예를 들어, GaN 기판일 수 있다. 또한, 제2 기판(31)은 n-형 도펀트로 도핑된 n-형 반도체일 수 있다. 제2 LED 스택(33)을 위한 GaInN의 조성비는 제2 LED 스택(33)이 녹색 광을 방출하도록 결정될 수 있다. 한편, 제2-p 투명 전극(35)은 p-형 반도체 층과 오믹 접촉을 형성한다.

[0246] 또한, 제3 LED 스택(43)이 제3 기판(41) 상에서 성장되고, 제3-p 투명 전극(45) 및 제2 컬러 필터(47)가 제3 LED 스택(43) 상에 형성된다. 제3 LED 스택(43)은 GaN계 반도체 층으로 구성될 수 있고, GaInN 웰 층을 포함할 수 있다. 제3 기판(41)은 GaN계 반도체 층에 대한 균질 기판이며, 예를 들어, GaN 기판일 수 있다. 제3 LED 스택(43)을 위한 GaInN의 조성비는 제3 LED 스택(43)이 청색 광을 방출하도록 결정될 수 있다. 다른 한편, 제3-p 투명 전극(45)은 p-형 반도체 층과 오믹 접촉을 형성한다.

[0247] 제1 컬러 필터(37) 및 제2 컬러 필터(47)는 도 1을 참조하여 설명한 것들과 동일하며, 그 반복되는 설명은 생략하기로 한다.

[0248] 도 1 및 도 2를 참조하면, 제1 LED 스택(23)이 제1 본딩 층(53)을 경유하여 지지 기판(51)에 결합된다. 제1 본딩 층(53)은 지지 기판(51) 상에 사전에 형성될 수 있고, 제1-p 반사 전극(25)은 지지 기판(51)을 향하도록 배치될 수 있으며 제1 본딩 층(53)에 본딩될 수 있다. 제1 기판(21)이 화학적 식각에 의해 제1 LED 스택(23)으로부터 제거된다.

[0249] 그리고 나서, 제2 LED 스택(33)이 제2 본딩 층(55)을 경유하여 제1 LED 스택(23)에 결합된다. 제1 컬러 필터(37)는 제1 LED 스택(23)을 향하도록 배치되며 제2 본딩 층(55)에 본딩된다. 제2 본딩 층(55)은 제1 LED 스택(23) 상에 미리 형성될 수 있고, 제1 컬러 필터(37)는 제2 본딩 층(55)을 향하도록 배치될 수 있고 제2 본딩 층(55)에 본딩될 수 있다. 제2 기판(31)은, 제2 기판이 성장 기판으로서 사용되는 경우에 비해, 박화 공정(thinning proces)을 통해 감소된 두께를 가질 수 있다. 또한, 제2 기판(31) 전체가 제거될 수 있다.

[0250] 그리고 나서, 제3 LED 스택(43)이 제3 본딩 층(57)을 경유하여 제2 LED 스택(33)에 결합된다. 제2 컬러 필터(47)는 제2 기판(31)을 향하도록 배치되며 제3 본딩 층(57)에 본딩된다. 제3 본딩 층(57)은 제2 기판(31) 상에 미리 배치될 수 있고, 제2 컬러 필터(47)는 제3 본딩 층(57)을 향하도록 배치될 수 있으며 제3 본딩 층(57)에 본딩될 수 있다. 결과적으로, 도 1에 도시된 바와 같이, 외부로 노출되는 제3 LED 스택(43)을 갖는, 디스플레이용 발광 다이오드 스택이 제공된다. 제3 기판(41)은 또한 박화 공정에 처하여질 수 있고 완전히 제거될 수도 있다.

[0251] 디스플레이 장치가, 픽셀 유닛 내의 지지 기판(51) 상에서 제1 내지 제3 LED 스택(23, 33 및 43)의 스택을 패터닝하고 이어서 제1 내지 제3 LED 스택을 인터커넥션 라인을 통해 서로 연결함으로써, 제공될 수 있다. 이하, 디스플레이 장치의 예시적인 실시예를 설명하기로 한다.

[0252] 도 3은 본 개시의 하나의 예시적인 실시예에 따른 디스플레이 장치의 작동을 나타내는 개략적인 회로도이고, 도 4는 본 개시의 예시적인 실시예에 따른 디스플레이 장치의 개략적인 평면도이다.

[0253] 먼저, 도 3 및 도 4를 참조하면, 본 예시적인 실시예에 따른 디스플레이 장치는 패시브 매트릭스 방식으로 작동하도록 구현될 수 있다.

[0254] 예를 들어, 도 1을 참조하여 설명한 디스플레이용 발광 다이오드 스택은 제1 내지 제3 LED 스택(23, 33 및 43)이 수직방향으로 적층되는 구조를 갖기 때문에, 하나의 픽셀이 세 개의 발광 다이오드(R, G 및 B)를 포함한다. 제1 발광 다이오드(R)는 제1 LED 스택(23)에 대응하고, 제2 발광 다이오드(G)는 제2 LED 스택(33)에 대응하며, 제3 발광 다이오드(B)는 제3 LED 스택(43)에 대응한다.

[0255] 도 3 및 도 4에서, 하나의 픽셀은 제1 내지 제3 발광 다이오드(R, G 및 B)를 포함하고, 그 각각은 서브픽셀에 대응한다. 제1 내지 제3 발광 다이오드(R, G 및 B)의 애노드는 공통 라인, 예를 들어, 데이터 라인에 연결되고, 그 캐소드는 다른 라인, 예를 들어, 스캔 라인에 연결된다. 예를 들어, 제1 픽셀에서, 제1 내지 제3 발광 다이오드(R, G 및 B)의 애노드는 데이터 라인(Vdata1)에 공통적으로 연결되고, 그 캐소드는 스캔 라인(Vscan1-1, Vscan1-2 및 Vscan1-3)에 각각 연결된다. 결과적으로, 각 픽셀 내의 발광 다이오드(R, G 및 B)는 독립적으로 구동될 수 있다.

[0256] 또한, 발광 다이오드(R, G 및 B)의 각각은 펄스 폭 변조에 의해 또는 전류의 크기를 변경하는 것에 의해 구동되고, 그에 의해, 각 서브픽셀의 밝기의 조절을 가능하게 한다.

[0257] 도 4를 다시 참조하면, 다수의 픽셀이 도 1을 참조하여 설명한 스택을 패터닝함으로써 형성되고, 각 픽셀은 제1-p 반사 전극(25) 및 인터커넥션 라인(71, 73 및 75)에 연결된다. 도 3에 도시된 바와 같이, 제1-p 반사 전극(25)은 데이터 라인(Vdata)으로서 사용될 수 있고, 인터커넥션 라인(71, 73 및 75)은 스캔 라인으로서 형성될 수 있다.

[0258] 픽셀은, 각 픽셀의 발광 다이오드(R, G 및 B)의 애노드가 제1-p 반사 전극(25)에 공통적으로 연결되고 그 캐소드가 서로 분리된 인터커넥션 라인(71, 73 및 75)에 연결되는, 매트릭스 형태로 배열될 수 있다. 인터커넥션 라인(71, 73 및 75)은 스캔 라인(Vscan)으로서 사용될 수 있다.

[0259] 도 5는 도 4에 도시된 디스플레이 장치의 하나의 픽셀의 확대 평면도이고, 도 6은 도 5의 선 A-A를 따라 취한 개략적인 단면도이며, 도 7은 도 5의 선 B-B를 따라 취한 개략적인 단면도이다.

[0260] 도 4, 도 5, 도 6 및 도 7을 참조하면, 각 픽셀에서, 제1-p 반사 전극(25)의 일부분, 제1 LED 스택(23)의 상부 표면의 일부분, 제2-p 투명 전극(35)의 일부분, 제2 기판(31)의 상부 표면의 일부분, 제3-p 투명 전극(45)의 일부분, 및 제3 기판(41)의 상부 표면이 외부에 노출된다.

[0261] 제3 LED 스택(43)은 그 상부 표면 상에 조면화된 표면(43a)을 가질 수 있다. 조면화된 표면(43a)은, 도면에 도시된 바와 같이, 제3 기판(41)의 상부 표면의 전체에 걸쳐서 형성되거나 또는 그 몇몇 영역에 형성될 수 있다. 제3 기판(41)이 제거되는 구조에서는, 조면화된 표면은 제3 LED 스택(43) 상에 형성될 수 있다.

[0262] 제1 절연 층(61)은 각 픽셀의 측면을 덮을 수 있다. 제1 절연 층(61)은 SiO2와 같은 광 투과성 재료로 형성될 수 있다. 이 경우, 제1 절연 층(61)은 제3 기판(41)의 전체 상부 표면을 덮을 수 있다. 대안적으로, 제1 절연 층(61)은 분산 브래그 반사기를 포함하여 제1 내지 제3 LED 스택(23, 33 및 43)의 측면을 향하여 진행하는 광을 반사시킬 수 있다. 이 경우, 제1 절연 층(61)은 제3 기판(41)의 상부 표면을 최소한 부분적으로 노출시킨다.

[0263] 제1 절연 층(61)은 제3 기판(41)의 상부 표면을 노출시키는 개구부(61a), 제2 기판(31)의 상부 표면을 노출시키는 개구부(61b), 제1 LED 스택(23)의 오믹 전극(29)을 노출시키는 개구부(61c)(도 8H 참조), 제3-p 투명 전극(45)을 노출시키는 개구부(61d), 제2-p 투명 전극(35)을 노출시키는 개구부(61e), 및 제1-p 반사 전극(25)을 노출시키는 개구부(61f)를 포함할 수 있다.

[0264] 인터커넥션 라인(71 및 75)은 지지 기판(51) 상에서 제1 내지 제3 LED 스택(23, 33 및 43) 근처에 형성될 수 있고, 제1-p 반사 전극(25)으로부터 절연되도록 제1 절연 층(61) 상에 배치될 수 있다. 한편, 제1 LED 스택(23), 제2 LED 스택(33) 및 제3 LED 스택(43)의 애노드가 제1-p 반사 전극(25)에 공통적으로 연결되도록, 연결 부분(77a)이 제3-p 투명 전극(45)을 제1-p 반사 전극(25)에 연결하고 연결 부분(77b)이 제2-p 투명 전극(35)을 제1-p 반사 전극(25)에 연결한다.

[0265] 연결 부분(71a)은 제3 기판(41)의 상부 표면을 인터커넥션 라인(71)에 연결하고, 연결 부분(75a)은 제1 LED 스택(23)의 상부 표면을 인터커넥션 라인(75)에 연결한다.

[0266] 제2 절연 층(81)이 인터커넥션 라인(71 및 73) 상에 배치되어 제3 기판(41)의 상부 표면을 덮을 수 있다. 제2

절연 층(81)은 제2 기판(31)의 상부 표면을 부분적으로 노출시키는 개구부(81a)를 가질 수 있다.

[0267] 인터커넥션 라인(73)은 제2 절연 층(81) 상에 배치될 수 있고, 연결 부분(73a)은 제2 기판(31)의 상부 표면을 인터커넥션 라인(73)에 연결할 수 있다. 연결 부분(73a)은 인터커넥션 라인(75)의 상부 부분을 관통할 수 있고, 제2 절연 층(81)에 의해 인터커넥션 라인(75)으로부터 절연된다.

[0268] 각 픽셀의 전극이 본 예시적인 실시예에서 데이터 라인 및 스캔 라인에 연결되는 것으로 설명되지만, 다양한 구현예가 가능하다는 것을 이해하여야 한다. 본 예시적인 실시예에서는 인터커넥션 라인(71 및 75)이 제1 절연 층(61) 상에 형성되고 인터커넥션 라인(73)이 제2 절연 층(81) 상에 형성되지만, 본 개시가 이에 한정되지는 않는다는 것을 이해하여야 한다. 예를 들어, 모든 인터커넥션 라인(71, 73 및 75)이 제1 절연 층(61) 상에 형성될 수 있으며, 인터커넥션 라인(73)을 노출시키도록 구성되는 개구부를 가질 수 있는, 제2 절연 층(81)에 의해 덮일 수 있다. 이러한 구조에서, 연결 부분(73a)은 제2 기판(31)의 상부 표면을 제2 절연 층(81)의 개구부를 통해 인터커넥션 라인(73)에 연결할 수 있다.

[0269] 대안적으로, 인터커넥션 라인(71, 73 및 75)은 지지 기판(51) 내부에 형성될 수 있고, 제1 절연 층(61) 상의 연결 부분(71a, 73a 및 75a)은 제1 LED 스택(23)의 상부 표면 및 제2 및 제3 기판(31 및 41)의 상부 표면을 인터커넥션 라인(71, 73 및 75)에 연결할 수 있다.

[0270] 도 8A 내지 도 8K는 본 개시의 하나의 예시적인 실시예에 따른 디스플레이 장치를 제조하는 방법을 나타내는 개략적인 단면도이다. 이하의 설명은 도 5의 픽셀을 형성하는 방법에 대해 주어질 것이다.

[0271] 먼저, 도 1에서 설명한 발광 다이오드 스택(100)이 준비된다.

[0272] 그리고 나서, 도 8A를 참조하면, 조면화된 표면(41a)이 제3 기판(41)의 상부 표면 상에 형성될 수 있다. 조면화된 표면(41a)은 각 픽셀 영역에 대응하도록 제3 기판(41)의 상부 표면 상에 형성될 수 있다. 조면화된 표면(41a)은 화학적 식각, 예를 들어, 광-증강 화학적 식각(photo-enhanced chemical etching: PEC)에 의해 형성될 수 있다.

[0273] 조면화된 표면(41a)은 후속 공정에서 식각될 제3 기판(41)의 영역을 고려하여 각 픽셀 영역 내에 부분적으로 형성될 수 있지만, 이에 한정되는 것은 아니다. 대안적으로, 조면화된 표면(41a)은 제3 기판(41)의 전체 상부 표면에 걸쳐서 형성될 수 있다.

[0274] 도 8B를 참조하면, 각 픽셀에서 제3 기판(41) 및 제3 LED 스택(43)의 주위 영역이 식각에 의해 제거되어 제3-p 투명 전극(45)을 노출시킨다. 도면에 도시된 바와 같이, 제3 기판(41)은 직사각형 형상 또는 정사각형 형상을 갖도록 잔류할 수 있다. 다수의 함몰부가 제3 기판(41) 및 제3 LED 스택(43)의 가장자리를 따라 형성될 수 있다. 이들 함몰부는 제3 기판(41) 및 제3 LED 스택(43) 상에 연속적으로 형성될 수 있다.

[0275] 도 8C를 참조하면, 하나의 함몰부 내에서 노출되는 제3-p 투명 전극(45)의 일부분을 제외한 다른 영역에서 노출되는 제3-p 투명 전극(45)을 제거함으로써, 제2 기판(31)의 상부 표면이 노출된다. 따라서, 제2 기판(31)의 상부 표면은, 제3 기판(41) 주위에서 그리고 제3-p 투명 전극(45)이 부분적으로 잔류하는 함몰부를 제외한 다른 함몰부 내에서, 노출된다.

[0276] 도 8D를 참조하면, 하나의 함몰부 내에서 노출되는 제2 기판(31)의 일부분을 제외한 다른 영역에서 노출되는 제2 기판(31)을 제거하고 이어서 제2 LED 스택(33)을 제거함으로써, 제2-p 투명 전극(35)이 노출된다.

[0277] 도 8E를 참조하면, 하나의 함몰부 내에서 노출되는 제2-p 투명 전극(35)의 일부분을 제외한 다른 영역에서 노출되는 제2-p 투명 전극(35)을 제거함으로써, 제1 LED 스택(23)의 상부 표면이 노출된다. 따라서, 제1 LED 스택(23)의 상부 표면이 제3 기판(41) 주위에서 노출되고, 제1 LED 스택(23)의 상부 표면은 제3 기판(41) 내에 형성되는 함몰부 중 적어도 하나 내에서 노출된다.

[0278] 도 8F를 참조하면, 하나의 함몰부 내에서 노출되는 제1 LED 스택(23)을 제외한 다른 영역에서 제1 LED 스택(23)의 노출되는 부분을 제거함으로써, 제1-p 반사 전극(25)이 노출된다. 제1-p 반사 전극(25)은 제3 기판(41) 주위에서 노출된다.

[0279] 도 8G를 참조하면, 선형 인터커넥션 라인이 제1-p 반사 전극(25)을 패터닝함으로써 형성된다. 여기서, 지지 기판(51)이 노출될 수 있다. 제1-p 반사 전극(25)은 매트릭스로 배열되는 픽셀 중 하나의 행(row) 내에 배열되는 픽셀을 서로 연결할 수 있다(도 4 참조).

[0280] 도 8H를 참조하면, 제1 절연 층(61)(도 6 및 도 7 참조)이 픽셀을 덮도록 형성된다. 제1 절연 층(61)은 제1-p

반사 전극(25), 제1 내지 제3 LED 스택(23, 33 및 43)의 측면 및 제2 및 제3 기판(31 및 41)의 측면을 덮는다. 부가하여, 제1 절연 층(61)은 제3 기판(41)의 상부 표면을 적어도 부분적으로 덮을 수 있다. 제1 절연 층(61)이 SiO2 층과 같은 투명 층이면, 제1 절연 층(61)은 제3 기판(41)의 전체 상부 표면을 덮을 수 있다. 대안적으로, 제1 절연 층(61)은 분산 브래그 반사기를 포함할 수 있다. 이 경우, 제1 절연 층(61)은 제3 기판(41)의 상부 표면을 최소한 부분적으로 노출시켜 광이 외부로 방출되는 것을 허용할 수 있다.

[0281] 제1 절연 층(61)은 제3 기판(41)을 노출시키는 개구부(61a), 제2 기판(31)을 노출시키는 개구부(61b), 제1 LED 스택(23)을 노출시키는 개구부(61c), 제3-p 투명 전극(45)을 노출시키는 개구부(61d), 제2-p 투명 전극(35)을 노출시키는 개구부(61e), 및 제1-p 반사 전극(25)을 노출시키는 개구부(61f)를 포함할 수 있다. 제1-p 반사 전극(25)을 노출시키도록 적합화되는 개구부(61f)는 다수 형성될 수 있다.

[0282] 도 8I를 참조하면, 인터커넥션 라인(71 및 75) 및 연결 부분(71a, 75a, 77a 및 77b)이 형성된다. 이들은 리프트-오프 공정에 의해 형성될 수 있다. 인터커넥션 라인(71 및 75)은 제1 절연 층(61)에 의해 제1-p 반사 전극(25)으로부터 절연된다. 연결 부분(71a)은 제3 기판(41)을 인터커넥션 라인(71)에 전기적으로 연결하고, 연결 부분(75a)은 제1 LED 스택(23)을 인터커넥션 라인(75)에 전기적으로 연결한다. 연결 부분(77a)은 제3-p 투명 전극(45)을 제1-p 반사 전극(25)에 전기적으로 연결하고, 연결 부분(77b)은 제2-p 투명 전극(35)을 제1-p 반사 전극(25)에 전기적으로 연결한다.

[0283] 도 8J를 참조하면, 제2 절연 층(81)(도 6 및 도 7 참조)이 인터커넥션 라인(71 및 75) 및 연결 부분(71a, 75a, 77a 및 77b)을 덮는다. 제2 절연 층(81)도 제3 기판(41)의 전체 상부 표면을 덮을 수 있다. 제2 절연 층(81)은 제2 기판(31)의 상부 표면을 노출시키는 개구부(81a)를 갖는다. 제2 절연 층(81)은, 예를 들어, 실리콘 산화물 또는 실리콘 질화물로 형성될 수 있고, 분산 브래그 반사기를 포함할 수 있다. 제2 절연 층(81)이 분산 브래그 반사기를 포함하는 구조에서, 제2 절연 층(81)은 제3 기판(41)의 상부 표면의 적어도 일부를 노출시키도록 형성되어, 광이 외부로 방출되는 것을 허용한다.

[0284] 도 8K를 참조하면, 인터커넥션 라인(73) 및 연결 부분(73a)이 형성된다. 인터커넥션 라인(75) 및 연결 부분(73a)은 리프트-오프 공정에 의해 형성될 수 있다. 인터커넥션 라인(73)은 제2 절연 층(81) 상에 배치되며, 제1-p 반사 전극(25) 및 인터커넥션 라인(71 및 75)으로부터 절연된다. 연결 부분(73a)은 제2 기판(31)을 인터커넥션 라인(73)에 전기적으로 연결한다. 연결 부분(73a)은 인터커넥션 라인(75)의 상부 부분을 관통할 수 있고, 제2 절연 층(81)에 의해 인터커넥션 라인(75)으로부터 절연된다.

[0285] 결과적으로, 픽셀 영역이 도 5에 도시된 바와 같이 완성된다. 부가하여, 도 4에 도시된 바와 같이, 다수의 픽셀이 지지 기판(51) 상에 형성될 수 있으며, 제1-p 반사 전극(25) 및 인터커넥션 라인(71, 73 및 75)에 의해 서로 연결되어 패시브 매트릭스 방식으로 동작할 수 있다.

[0286] 패시브 매트릭스 방식으로 동작하도록 적합화되는 디스플레이 장치를 제조하는 방법을 본 예시적인 실시예에서 도시하였지만, 본 개시가 이에 한정되지 않는다는 것을 이해하여야 한다. 즉, 예시적인 실시예에 따른 디스플레이 장치는 도 1에 도시된 발광 다이오드 스택을 사용하여 패시브 매트릭스 방식으로 동작하도록 다양한 방식으로 제조될 수 있다.

[0287] 예를 들어, 본 예시적인 실시예에서 인터커넥션 라인(73)이 제2 절연 층(81) 상에 형성되는 것으로 도시되지만, 인터커넥션 라인(73)은 제1 절연 층(61) 상에서 인터커넥션 라인(71 및 75)과 함께 형성될 수 있으며, 연결 부분(73a)은 제2 절연 층(81) 상에 형성되어 제2 기판(31)을 인터커넥션 라인(73)에 연결할 수 있다. 대안적으로, 인터커넥션 라인(71, 73 및 75)은 지지 기판(51) 내부에 배치될 수 있다.

[0288] 도 9는 본 개시의 또 하나의 예시적인 실시예에 따른 디스플레이 장치의 작동을 나타내는 개략적인 회로도이다. 상기 실시예는 패시브 매트릭스 방식으로 구동되는 디스플레이 장치에 관한 것인 반면, 본 예시적인 실시예는 액티브 매트릭스 방식으로 구동되는 디스플레이 장치에 관한 것이다.

[0289] 도 9를 참조하면, 본 예시적인 실시예에 따른 구동 회로는 두 개 이상의 트랜지스터(Tr1 및 Tr2) 및 커패시터를 포함한다. 전원이 선택 라인(Vrow1 내지 Vrow3)에 연결되고 전압이 데이터 라인(Vdata1 내지 Vdata3)에 인가되면, 전압이 해당하는 발광 다이오드에 인가된다. 또한, 대응하는 커패시터는 데이터 라인(Vdata1 내지 Vdata3)의 값에 따라 충전된다. 트랜지스터(Tr2)의 턴온 상태가 커패시터의 충전된 전압에 의해 유지될 수 있기 때문에, 커패시터의 전압은 선택 라인(Vrow1)에 공급되는 전원이 차단되더라도 유지되어 발광 다이오드(LED1 내지 LED3)에 인가될 수 있다. 또한, 발광 다이오드(LED1 내지 LED3) 내에서 흐르는 전류는 데이터 라인(Vdata1 내지 Vdata3)의 값에 따라 변경될 수 있다. 전류는 전류 공급원(Vdd)을 통해 연속적으로 공급될 수 있고, 그에

의해, 연속적인 발광을 가능하게 한다.

[0290] 트랜지스터(Tr1 및 Tr2) 및 커패시터는 지지 기판(51) 내부에서 형성될 수 있다. 예를 들어, 실리콘 기판 상에 형성되는 박막 트랜지스터가 액티브 매트릭스 구동을 위해 사용될 수 있다.

[0291] 발광 다이오드(LED1 내지 LED3)는 하나의 픽셀 내에 적층되는 제1 내지 제3 LED 스택(23, 33 및 43)에 각각 대응한다. 제1 내지 제3 LED 스택의 애노드는 트랜지스터(Tr2)에 연결되고, 그 캐소드는 접지에 연결된다.

[0292] 비록 액티브 매트릭스 구동을 위한 회로의 일 예가 본 예시적인 실시예에서 도시되지만, 다른 유형의 회로도 사용될 수 있다는 것을 이해하여야 한다. 부가하여, 본 예시적인 실시예에서 발광 다이오드(LED1 내지 LED3)의 애노드가 서로 다른 트랜지스터(Tr2)에 연결되고 그 캐소드가 접지에 연결되지만, 다른 예시적인 실시예에서 발광 다이오드의 애노드는 전류 공급원(Vdd)에 연결될 수 있고 그 캐소드는 서로 다른 트랜지스터에 연결될 수 있다.

[0293] 도 10은 본 개시의 또 하나의 예시적인 실시예에 따른 디스플레이 장치의 개략적인 평면도이다. 이하의 설명은 지지 기판(151) 상에 배열되는 다수의 픽셀 중 하나의 픽셀에 대해 주어질 것이다.

[0294] 도 10을 참조하면, 본 예시적인 실시예에 따른 픽셀은, 지지 기판(151)이 트랜지스터 및 커패시터를 포함하는 박막 트랜지스터 패널이고 제1-p 반사 전극(25)이 제1 LED 스택(23)의 하부 영역 내에 제한적으로 위치된다는 것을 제외하고는, 도 4 내지 도 7을 참조하여 설명한 픽셀과 실질적으로 유사하다.

[0295] 제3 LED 스택(43)의 캐소드는 연결 부분(171a)을 통해 지지 기판(151)에 연결된다. 예를 들어, 도 9에 도시된 바와 같이, 제3 LED 스택(43)의 캐소드는 지지 기판(151)에의 전기적인 연결을 통해 접지에 연결될 수 있다. 제2 LED 스택(33) 및 제1 LED 스택(23)의 캐소드는 또한 연결 부분(173a 및 175a)을 경유한 지지 기판(151)에의 전기적인 연결을 통해 접지에 연결될 수 있다.

[0296] 한편, 제1-p 반사 전극(25)은 지지 기판(151) 내부에서 트랜지스터(Tr2)(도 9 참조)에 연결된다. 제3-p 투명 전극(45) 및 제2-p 투명 전극(35)도 연결 부분(171a 및 173b)을 통해 지지 기판(151) 내부에서 트랜지스터(Tr2)(도 9 참조)에 연결된다.

[0297] 이러한 방식으로, 제1 내지 제3 LED 스택(23, 33 및 43)은 서로 연결되고, 그에 의해, 도 9에 도시된 바와 같이, 액티브 매트릭스 구동을 위한 회로를 구성한다.

[0298] 액티브 매트릭스 구동을 위한 전기적인 연결의 일 예가 본 예시적인 실시예에서 도시되지만, 본 개시가 이에 한정되는 것은 아니며 디스플레이 장치용 회로가 다양한 방식으로 액티브 매트릭스 구동을 위한 다양한 회로로 변형될 수 있다는 것을 이해하여야 한다.

[0299] 한편, 도 1을 참조하여 설명한 예시적인 실시예에서는, 제1-p 반사 전극(25), 제2-p 투명 전극(35) 및 제3-p 투명 전극(45)이 각각 제1 LED 스택(23), 제2 LED 스택(33) 및 제3 LED 스택(43)의 p-형 반도체 층과 오믹 접촉을 형성하지만, 제2 기판(31) 및 제3 기판(41)의 각각에는 별도의 오믹 접촉 층이 제공되지 않는다. 픽셀이 200 ㎛ 이하의 작은 크기를 가질 때, n-형 반도체 층 내에 별도의 오믹 접촉 층을 형성하지 않고서도 전류 퍼짐(current spreading)에 있어서 어려움이 없다. 그러나, 전류 퍼짐을 확보하기 위해, 투명 전극 층이 제2 기판(31) 및 제3 기판(41)의 각각 상에 배치될 수 있다.

[0300] 부가하여, 제1 내지 제3 LED 스택(23, 33 및 43)은 다양한 구조로 서로 연결될 수 있다.

[0301] 도 11은 본 개시의 또 하나의 예시적인 실시예에 따른 디스플레이용 발광 다이오드 스택(101)의 개략적인 단면도이다.

[0302] 도 11을 참조하면, 도1을 참조하여 설명한 발광 다이오드 스택(100)처럼, 발광 다이오드 스택(101)은 지지 기판(51), 제1 LED 스택(23), 제2 LED 스택(33), 제3 LED 스택(43), 제2 기판(31), 제3 기판(41), 제2-p 투명 전극(35), 제3-p 투명 전극(45), 제1 컬러 필터(137), 제2 컬러 필터(47), 제1 본딩 층(153), 제2 본딩 층(155), 및 제3 본딩 층(157)을 포함한다. 부가하여, 발광 다이오드 스택(101)은 제1-n 반사 전극(129), 제1-p 투명 전극(125) 및 제2-n 투명 전극(139)을 더 포함할 수 있다.

[0303] 지지 기판(51)은 반도체 스택(23, 33 및 43)을 지지한다. 지지 기판(51)은 그 표면 상에 또는 그 내부에 회로를 포함할 수 있지만, 이에 한정되는 것은 아니다. 지지 기판(51)은, 예를 들어, Si 기판 또는 Ge 기판을 포함할 수 있다.

[0304] 제1 LED 스택(23), 제2 LED 스택(33) 및 제3 LED 스택(43)은 도 1을 참조하여 설명한 것들과 유사하며, 그 상세

한 설명은 생략하기로 한다. 그러나, 본 예시적인 실시예는, 제1 LED 스택(23) 및 제2 LED 스택(33)의 각각이 n-형 하부 표면 및 p-형 상부 표면을 갖는다는 점에서, 도 1에 도시된 예시적인 실시예와 다르다. 도 1에 도시된 예시적인 실시예에서와 같이, 본 예시적인 실시예에 따른 제3 LED 스택(43)은 p-형 하부 표면 및 n-형 상부 표면을 갖는다.

[0305] 제2 기판(31) 및 제3 기판(41)은 도 1을 참조하여 설명한 것들과 유사하며, 그 상세한 설명은 생략하기로 한다.

[0306] 한편, 제1 LED 스택(23)이 p-형 상부 표면을 갖기 때문에, 제1-p 투명 전극(125)은 제1 LED 스택(23)의 상부 표면과 오믹 접촉을 형성한다. 제1-p 투명 전극(125)은 제1 LED 스택(23)으로부터 발생되는 광, 예를 들어, 적색 광을 투과시킨다.

[0307] 제1-n 반사 전극(129)은 제1 LED 스택(23)의 하부 표면과 오믹 접촉을 형성한다. 제1-n 반사 전극(129)은 제1 LED 스택(23)과 오믹 접촉을 형성하고, 제1 LED 스택(23)으로부터 발생되는 광을 반사시킨다. 제1-n 반사 전극(129)은, 예를 들어, Au-Ti 또는 Au-Sn으로 형성될 수 있다. 또한, 제1-n 반사 전극(129)은 확산 배리어 층을 포함할 수 있다.

[0308] 제2-p 투명 전극(35)은 제2 LED 스택(33)의 p-형 반도체 층과 오믹 접촉을 형성한다. 제2 LED 스택(33)이 p-형 상부 표면을 갖기 때문에, 제2-p 투명 전극(35)은 제2 LED 스택(33) 상에 배치된다. 제2-p 투명 전극(35)은 적색 광 및 녹색 광에 관하여 투과성인 금속 층 또는 도전성 산화물 층으로 구성될 수 있다.

[0309] 제2-n 투명 전극(139)은 제2 기판(31)의 하부 표면과 오믹 접촉을 형성할 수 있다. 제2-n 투명 전극(139)도 적색 광 및 녹색 광에 관하여 투과성인 금속 층 또는 도전성 산화물 층으로 구성될 수 있다. 제2-n 투명 전극(139)은 제2 LED 스택(33) 및 제2 기판(31)을 패터닝함으로써 부분적으로 노출되어 제2 LED 스택(33)의 n-형 반도체 층에의 전기적인 연결을 위한 연결 단자를 제공한다.

[0310] 제3-p 투명 전극(45)은 제3 LED 스택(43)의 p-형 반도체 층과 오믹 접촉을 형성한다. 제3-p 투명 전극(45)은 적색 광, 녹색 광 및 청색 광에 관하여 투과성인 금속 층 또는 도전성 산화물 층으로 구성될 수 있다.

[0311] 제1 컬러 필터(137)는 제1 LED 스택(23)과 제2 LED 스택(33) 사이에 개재된다. 부가하여, 제2 컬러 필터(47)는 제2 LED 스택(33)과 제3 LED 스택(43) 사이에 개재된다. 제1 컬러 필터(137)는 제1 LED 스택(23)으로부터 발생되는 광을 투과시키고, 제2 LED 스택(33)으로부터 발생되는 광을 반사시킨다. 한편, 제2 컬러 필터(47)는 제1 및 제2 LED 스택(23 및 33)으로부터 발생되는 광을 투과시키고, 제3 LED 스택(43)으로부터 발생되는 광을 반사시킨다. 따라서, 제1 LED 스택(23)으로부터 발생되는 광은 제2 기판(31), 제2 LED 스택(33), 제3 LED 스택(43) 및 제3 기판(41)을 통해 외부로 방출될 수 있고, 제2 LED 스택(33)으로부터 발생되는 광은 제3 LED 스택(43) 및 제3 기판(41)을 통해 외부로 방출될 수 있다. 또한, 발광 다이오드 스택(101)은 제2 LED 스택(33)으로부터 발생되는 광이 제1 LED 스택(23)으로 진입하는 것을 방지할 수 있고 제3 LED 스택(43)으로부터 발생되는 광이 제2 LED 스택(33)으로 진입하는 것을 방지할 수 있으며, 그에 의해, 광 손실을 방지한다. 제1 LED 스택(23)으로부터 발생되는 광은 제1-p 투명 전극(125), 제2-p 투명 전극(35), 제2-n 투명 전극(139) 및 제3-p 투명 전극(45)을 통해 외부로 방출된다. 또한, 제2 LED 스택(33)으로부터 발생되는 광은 제2-p 투명 전극(35) 및 제3-p 투명 전극(45)을 통해 외부로 방출된다.

[0312] 몇몇 예시적인 실시예에서, 제1 컬러 필터(137)는 제3 LED 스택(43)으로부터 발생되는 광을 반사시킬 수 있다.

[0313] 제1 및 제2 컬러 필터(137 및 47)는, 예를 들어, 저 주파수 대역에서, 즉, 장파장 대역에서, 광의 그를 통한 통과를 허용하는 저역 통과 필터, 소정 파장 대역에서 광의 그를 통한 통과를 허용하는 대역 통과 필터, 또는 소정 파장 대역에서 광의 그를 통한 통과를 방지하는 대역 저지 필터일 수 있다. 특히, 제1 및 제2 컬러 필터(137 및 47)의 각각은 분산 브래그 반사기(DBR)를 포함하는 대역 저지 필터일 수 있다. 분산 브래그 반사기는 서로 다른 굴절률을 갖는 절연 층, 예를 들어, TiO2 및 SiO2를 교대로 적층함으로써 형성될 수 있다. 아울러, 분산 브래그 반사기의 저지 대역은 TiO2 및 SiO2 층의 두께를 조절함으로써 제어될 수 있다. 저역 통과 필터 및 대역 통과 필터도 서로 다른 굴절률을 갖는 절연 층을 교대로 적층함으로써 형성될 수 있다.

[0314] 제1 본딩 층(153)은 제1 LED 스택(23)을 지지 기판(51)에 결합한다. 도면에 도시된 바와 같이, 제1-n 반사 전극(129)은 제1 본딩 층(153)에 인접할 수 있다. 제1 본딩 층(153)은 광 투과성 또는 불투명 층일 수 있다. 제1 본딩 층(153)은, 예를 들어, 투명 무기 절연 층, 투명 유기 절연 층 또는 투명 도전 층일 수 있다.

[0315] 제2 본딩 층(155)은 제2 LED 스택(33)을 제1 LED 스택(23)에 결합한다. 도면에 도시된 바와 같이, 제2 본딩 층(155)은 제1 컬러 필터(137) 상에 배치될 수 있고 제2-n 투명 전극(139)에 인접할 수 있다. 제2 본딩 층(155)은

제1 LED 스택(23)으로부터 발생되는 광을 투과시킨다. 제2 본딩 층(155)은, 예를 들어, 투명 무기 절연 층, 투명 유기 절연 층 또는 투명 도전 층일 수 있고, 예를 들어, 광 투과성 스핀-온-글래스로 형성될 수 있다.

[0316] 제3 본딩 층(157)은 제3 LED 스택(43)을 제2 LED 스택(33)에 결합한다. 도면에 도시된 바와 같이, 제3 본딩 층(157)은 제2-p 투명 전극(35) 및 제2 컬러 필터(47)에 인접할 수 있다. 제3 본딩 층(157)은 제1 LED 스택(23) 및 제2 LED 스택(33)으로부터 발생되는 광을 투과시킨다. 제3 본딩 층(157)은, 예를 들어, 투명 무기 절연 층, 투명 유기 절연 층 또는 투명 도전 층일 수 있고, 예를 들어, 광 투과성 스핀-온-글래스로 형성될 수 있다.

[0317] 도 12A 내지 도 12F는 본 개시의 또 다른 예시적인 실시예에 따른 디스플레이용 발광 다이오드 스택을 제조하는 방법을 나타내는 개략적인 단면도이다.

[0318] 도 12A를 참조하면, 먼저, 제3 LED 스택(43)이 제3 기판(41) 상에서 성장되고, 제3-p 투명 전극(45) 및 제2 컬러 필터(47)가 제3 LED 스택(43) 상에 형성된다. 제3 LED 스택(43)은 GaN계 반도체 층으로 구성되고, GaInN 웰 층을 포함할 수 있다. 제3 기판(41)은 GaN계 반도체 층에 대한 균질 기판이며, 예를 들어, n-형 도펀트로 도핑된 GaN 기판일 수 있다. 제3 LED 스택(43)을 위한 GaInN의 조성비는 제3 LED 스택(43)이 청색 광을 방출하도록 결정될 수 있다. 제3-p 투명 전극(45)은 p-형 반도체 층과 오믹 접촉을 형성한다.

[0319] 도 12B를 참조하면, 제2 LED 스택(33)이 제2 기판(31) 상에서 성장되고, 제2-p 투명 전극(35)이 제2 LED 스택(33) 상에 형성된다. 제2 LED 스택(33)은 GaN계 반도체 층으로 구성될 수 있고, GaInN 웰 층을 포함할 수 있다. 제2 기판(31)은 GaN계 반도체 층에 대한 균질 기판이며, 예를 들어, n-형 도펀트로 도핑된 GaN 기판일 수 있다. 제2 LED 스택(33)을 위한 GaInN의 조성비는 제2 LED 스택(33)이 녹색 광을 방출하도록 결정될 수 있다. 한편, 제2-p 투명 전극(35)은 p-형 반도체 층과 오믹 접촉을 형성한다.

[0320] 제2 기판(31)은, 제3 본딩 층(157)이 제2 컬러 필터(47)에 제공되고 제2 기판(31)상의 제2-p 투명 전극(35)이 제3 본딩 층(157)에 인접하도록, 배치된다. 제3 본딩 층(157)은, 예를 들어, 스핀-온-글래스로 형성될 수 있다. 따라서, 제2 LED 스택(33)은 제3 LED 스택(43)에 결합된다.

[0321] 도 12C를 참조하면, 제2-n 투명 전극(139)이 제2 기판(31) 상에 형성될 수 있다. 제2-n 투명 전극(139)은 제2 기판(31)과 오믹 접촉을 형성한다. 제2-n 투명 전극(139)은 금속 층 또는 도전성 산화물 층으로 구성될 수 있다. 제2-n 투명 전극(139)은 생략될 수 있다.

[0322] 도 12D를 참조하면, 제1 LED 스택(23)이 제1 기판(21) 상에서 성장되고, 제1-p 투명 전극(125)이 제1 LED 스택(23) 상에 형성되며, 제1 컬러 필터(137)가 제1-p 투명 전극(125) 상에 형성된다.

[0323] 제1 기판(21)은, 예를 들어, GaAs 기판일 수 있다. 부가하여, 제1 LED 스택(23)은 AlGaInP계 반도체 층으로 구성되며, n-형 반도체 층, 활성 층 및 p-형 반도체 층을 포함한다. 제1-p 투명 전극(125)은 p-형 반도체 층과 오믹 접촉을 형성한다.

[0324] 제1 컬러 필러(137)는 도 1을 참조하여 설명한 그 것과 실질적으로 동일하며, 반복을 피하기 위해 그 상세한 설명은 생략하기로 한다.

[0325] 그리고 나서, 제2 본딩 층(155)이 제2-n 투명 전극(139)에 제공되며, 제2 기판(31)은 제1 기판(21) 상의 제1 컬러 필터(137)가 제2 본딩 층(155)에 인접하도록 배치된다. 제2 본딩 층(155)은, 예를 들어, 스핀-온-글래스로 형성될 수 있다. 따라서, 제1 LED 스택(23)이 제2 LED 스택(33)에 결합된다.

[0326] 도 12E를 참조하면, 제1 LED 스택(23)이 제2 LED 스택(33)에 본딩되며, 제1 기판(21)은 화학적 식각에 의해 제1 LED 스택(23)으로부터 제거된다. 결과적으로, 제1 LED 스택(23)이 노출된다.

[0327] 도 12F를 참조하면, 제1-n 반사 전극(129)이 노출된 제1 LED 스택(23) 상에 형성된다. 제1-n 반사 전극(129)은 제1 LED 스택(23)으로부터 발생되는 광을 반사시키는 금속 층을 포함한다.

[0328] 그리고 나서, 제1 본딩 층(153)이 제1-n 반사 전극(129) 상에 배치되며, 지지 기판(51)이 그에 본딩된다. 결과적으로, 도 11에 도시된 바와 같이, 외부에 노출되는 제3 기판(41)을 갖는 발광 다이오드 스택(101)이 제공된다.

[0329] 픽셀 유닛 내에서 지지 기판(51) 상의 제1 내지 제3 LED 스택(23, 33 및 43)의 스택(101)을 패터닝하고 이어서 제1 내지 제3 LED 스택을 인터커넥션 라인을 통해 서로 연결함으로써, 디스플레이 장치가 제공될 수 있다.

[0330] 도 13은 본 개시의 다른 예시적인 실시예에 따른 디스플레이용 발광 다이오드 스택(102)의 개략적인

단면도이다.

[0331] 도 13을 참조하면, 본 예시적인 실시예에 따른 발광 다이오드 스택(102)은, 제2 기판(31) 및 제3 기판(41)이 제거된다는 점을 제외하고는, 도 1을 참조하여 설명한 발광 다이오드 스택(100)과 대체로 유사하다. 제2 기판(31) 및 제3 기판(41)은 각각 제2 LED 스택(33) 및 제3 LED 스택(43)을 위한 성장 기판으로서 사용된 후 제2 LED 스택(33) 및 제3 LED 스택(43)으로부터 제거된다. 제2 LED 스택(33) 및 제3 LED 스택(43)의 각각은 균질 GaN계 기판 상에서 성장되며, 그에 의해, 103 내지 107/cm2의 감소된 전위 밀도를 제공한다.

[0332] 제2 기판(31) 및 제3 기판(41)이 제거되므로, 이들 기판(31 및 41)에 전기적으로 연결되는 인터커넥션 라인은 제2 LED 스택(33) 및 제3 LED 스택(43)에 각각 전기적으로 연결될 수 있다. 부가하여, 조면화된 표면(41a)이 제3 LED 스택(43)의 상부 표면 상에 형성될 수 있다.

[0333] 도 14는 본 개시의 또 다른 하나의 예시적인 실시예에 따른 디스플레이용 발광 다이오드 스택(103)의 개략적인 단면도이다.

[0334] 도 14를 참조하면, 본 예시적인 실시예에 따른 발광 다이오드 스택(103)은, 제2 기판(31) 및 제3 기판(41)이 제거된다는 점을 제외하고는, 도 11을 참조하여 설명한 발광 다이오드 스택(101)과 대체로 유사하다. 제2 기판(31) 및 제3 기판(41)은 각각 제2 LED 스택(33) 및 제3 LED 스택(43)을 위한 성장 기판으로서 사용된 후 제2 LED 스택(33) 및 제3 LED 스택(43)으로부터 제거된다. 제2 LED 스택(33) 및 제3 LED 스택(43)의 각각은 균질 GaN계 기판 상에서 성장되며, 그에 의해, 103 내지 107/cm2의 감소된 전위 밀도를 제공한다.

[0335] 제2 기판(31) 및 제3 기판(41)이 제거되므로, 이들 기판(31 및 41)에 전기적으로 연결되는 인터커넥션 라인은 제2 LED 스택(33) 및 제3 LED 스택(43)에 각각 전기적으로 연결될 수 있다. 부가하여, 조면화된 표면(41a)이 제3 LED 스택(43)의 상부 표면 상에 형성될 수 있다.

[0336] 예시적인 실시예들에 따르면, 디스플레이용 발광 다이오드 스택(100; 101; 102; 및 103)을 이용하여 웨이퍼 레벨에서 다수의 픽셀을 형성하는 것이 가능하기 때문에, 발광 다이오드를 개별적으로 실장할 필요가 없다. 부가하여, 예시적인 실시예에 따른 발광 다이오드 스택은, 제1 내지 제3 LED 스택(23, 33 및 43)이 수직 방향으로 적층되는, 구조를 가지며, 그에 의해, 제한된 픽셀 면적 내에서 서브픽셀을 위한 면적을 확보한다. 또한, 예시적인 실시예에 따른 발광 다이오드 스택은 제1 LED 스택(23), 제2 LED 스택(33) 및 제3 LED 스택(43)으로부터 발생되는 광이 그를 통하여 외부로 방출되는 것을 허용하고, 그에 의해, 광 손실을 감소시킨다. 또한, 제2 LED 스택(33) 및 제3 LED 스택(43)의 각각이 균질 기판 상에서 성장되어 그 전위 밀도를 감소시킬 수 있고, 그에 의해, 발광 효율을 향상시킨다. 또한, 제2 기판(31) 및 제3 기판(41)이 제거되지 않고 제2 LED 스택(33) 및 제3 LED 스택(43) 상에 잔류할 수 있고, 그에 의해, 발광 다이오드 스택을 제조하는 공정을 단순화한다.

[0337] 도 15는 본 개시의 예시적인 실시예에 따른 발광 적층 구조를 나타내는 단면도이다.

[0338] 도 15를 참조하면, 본 개시의 예시적인 실시예에 따른 발광 적층 구조는 서로 적층되는 다수의 에피택셜 스택을 포함한다. 에피택셜 스택은 기판(210) 상에 배치된다.

[0339] 기판(210)은 전면 및 후면이 제공되는 플레이트 형상을 갖는다.

[0340] 기판(210)은, 에피택셜 스택이 그 위에 실장되는 전면이 각각 제공되는, 다양한 형상을 가질 수 있다. 기판(210)은 절연 재료를 포함할 수 있다. 기판(210)의 재료로서, 유리, 석영, 실리콘, 유기 폴리머 또는 유기-무기 복합 재료가 사용될 수 있지만, 이에 또는 이에 의해 한정되는 것은 아니다. 즉, 기판(210)의 재료는 절연 특성을 갖는 한 특별히 제한되지 않아야 한다. 본 개시의 예시적인 실시예에서, 라인 부(line part)가 기판(210) 상에 더 배치되어 각 에피택셜 스택에 발광 신호 및 공통 전압을 인가할 수 있다. 특히, 각 에피택셜 스택이 액티브 매트릭스 방법에 의해 작동되는 경우, 박막 트랜지스터를 포함하는 구동 디바이스가 라인 부에 부가하여 기판 상에 더 배치될 수 있다. 이를 위해, 기판(210)은, 라인 부 및/또는 구동 디바이스를 유리, 석영, 실리콘, 유기 폴리머 또는 유기-무기 복합 재료 상에 형성함으로써 얻어지는, 인쇄 회로 기판 또는 복합 기판으로서 제공될 수 있다.

[0341] 에피택셜 스택은 기판(210)의 전면 상에 순차적으로 적층된다.

[0342] 본 개시의 예시적인 실시예에서, 두 개 이상의 에피택셜 스택이 제공되고 에피택셜 스택은 서로 다른 파장 대역을 갖는 광을 방출한다. 즉, 에피택셜 스택은 다수 개로 제공되고, 에피택셜 스택은 서로 다른 에너지 밴드를 갖는다. 본 예시적인 실시예에서는, 기판(210) 상에 순차적으로 적층되는 세 개의 에피택셜 스택이 도시된다. 이하의 실시예에서, 기판(210) 상에 순차적으로 적층되는 세 개의 층은 제1, 제2 및 제3 에피택셜 스택(220,

230 및 240)으로 각각 언급될 것이다.

[0343] 각 에피택셜 스택은 다양한 파장 대역의 광 중 가시광 대역의 색광을 방출할 수 있다. 최하단에 배치되는 에피택셜 스택으로부터 방출되는 광은 가장 낮은 에너지 밴드를 갖는 가장 긴 파장의 색광이고, 에피택셜 스택으로부터 방출되는 색광의 파장은 에피택셜 스택의 바닥에서 정부까지 점차 짧아진다. 최상단에 배치되는 에피택셜 스택으로부터 방출되는 광은 가장 높은 에너지 밴드를 갖는 가장 짧은 파장의 색광이다. 예를 들어, 제1 에피택셜 스택(220)은 제1 색광(L1)을 방출하고, 제2 에피택셜 스택(230)은 제2 색광(L2)을 방출하며, 제3 에피택셜 스택(240)은 제3 색광(L3)을 방출한다. 제1, 제2 및 제3 색광(L1, L2 및 L3)은 서로 다른 색광일 수 있고, 제1, 제2 및 제3 색광(L1, L2 및 L3)은 순차적으로 짧아지는 서로 다른 파장 대역을 갖는 색광일 수 있다. 즉, 제1, 제2 및 제3 색광(L1, L2 및 L3)은 서로 다른 파장 대역을 가질 수 있으며, 색광은 제1 색광(L1)으로부터 제3 색광(L3)까지 점차 높은 에너지를 갖는 점차 짧은 파장 대역의 색광일 수 있다.

[0344] 본 예시적인 실시예에서, 제1 색광(L1)은 적색 광일 수 있고, 제2 색광(L2)은 녹색 광일 수 있으며, 제3 색광(L3)은 청색 광일 수 있다.

[0345] 각 에피택셜 스택은 기판(210)의 전면이 향하는 방향으로 진행하도록 광을 방출한다. 이 경우, 하나의 에피택셜 스택으로부터 방출되는 광은, 해당 에피택셜 스택으로부터 방출되는 광의 광로 상에 위치되는 다른 에피택셜 스택을 관통한 후, 기판(210)의 전면이 향하는 방향으로 진행한다. 기판(210)의 전면이 향하는 방향은 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240)이 적층되는 방향을 나타낸다.

[0346] 이하, 설명의 편의를 위해, 기판(210)의 전면이 향하는 방향은 "전면 방향" 또는 "상방향"으로 칭하기로 하며, 기판(210)의 후면이 향하는 방향은 "후면 방향" 또는 "하방향"으로 칭하기로 한다. 그러나, "상" 및 "하"라는 용어는 서로 상대적인 방향을 나타내며, 발광 적층 구조의 배열 또는 적층 방향에 따라 변할 수 있다.

[0347] 각 에피택셜 스택은 광을 상방향으로 방출하고 그 아래에 배치되는 에피택셜 스택으로부터 방출되는 광의 대부분을 투과시킨다. 즉, 제1 에피택셜 스택(220)으로부터 방출되는 광은 제2 에피택셜 스택(230) 및 제3 에피택셜 스택(240)을 관통한 후 전면 방향으로 진행하며, 제2 에피택셜 스택(230)으로부터 방출되는 광은 제3 에피택셜 스택(240)을 관통한 후 전면 방향으로 진행한다. 이를 위해, 최하단에 배치되는 에피택셜 스택을 제외한 다른 에피택셜 스택의 적어도 일부분, 바람직하게는 전체 부분은 광투과성 재료로 형성될 수 있다. "광투과성 재료"라는 용어는 광투과성 재료가 모든 광을 투과시키는 경우 뿐만아니라 광투과성 재료가 소정 파장을 갖는 광 또는 소정 파장을 갖는 광의 일부분을 투과시키는 경우도 나타낸다. 예시적인 실시예에서, 각 에피택셜 스택은 그 아래에 배치되는 에피택셜 스택으로부터의 광의 약 60% 이상을 투과시킬 수 있다. 다른 실시예에 따라, 각 에피택셜 스택은 그 아래에 배치되는 에피택셜 스택으로부터의 광의 약 80% 이상을 투과시킬 수 있고, 다른 실시예에 따라, 각 에피택셜 스택은 그 아래에 배치되는 에피택셜 스택으로부터의 광의 약 90% 이상을 투과시킬 수 있다.

[0348] 본 개시의 예시적인 실시예에 따른 상기한 구조를 갖는 발광 적층 구조에서는, 에피택셜 스택은, 에피택셜 스택에 발광 신호를 각각 인가하는 신호 라인이 에피택셜 스택에 독립적으로 연결되기 때문에, 독립적으로 구동될 수 있고, 광이 각 에피택셜 스택으로부터 방출되는지에 따라 다양한 색상을 디스플레이할 수 있다. 부가하여, 서로 다른 파장을 갖는 광을 방출하는 에피택셜 스택이 서로 중첩되도록 형성되므로, 발광 적층 구조는 좁은 면적 내에 형성될 수 있다.

[0349] 도 16은, 각 에피택셜 스택이 독립적으로 구동되는 것을 허용하는, 라인 부를 갖는 본 개시의 예시적인 실시예에 따른 발광 적층 구조를 나타내는 단면도이다. 도 17A 내지 도 17C는 도 16의 각 에피택셜 스택을 상세하게 나타내는 단면도이다.

[0350] 도 16을 참조하면, 발광 적층 구조는 발광 구역(EA) 및 발광 구역(EA)에 인접하여 배치되는 주변 구역(PA)을 포함한다.

[0351] 발광 구역(EA)은 광이 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240)으로부터 상방향으로 방출되는 구역이다. 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240)의 발광 구역(EA)은 서로 중첩되며, 그러므로, 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240)의 발광 구역(EA)은 서로 동일한 면적을 갖는다.

[0352] 주변 구역(PA)은 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240)에 연결되는 라인 부가 배치되는 구역이다. 광은 주변 구역(PA) 내에 배치되는 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240)으로부터 방출될 수 있다. 그러나, 도면에 도시하지는 않았지만, 다양한 부가적인 구성 요소가 라인 부에 부가하여 주변 구역(PA) 내에 배치될 수 있으며, 광이 외부로 출사되는 것을 방지하는 별도의 차단 층 또는 반사 층이 주변 구역(PA) 내에 더

배치될 수 있다. 따라서, 광이 주변 구역(PA)을 통해 출사되지 않을 수 있다.

[0353] 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240)의 각각은 기판(210) 상에 배치되며, 제1, 제2 및 제3 접착 층(250a, 250b 및 250c) 중 대응하는 접착 층이 그 사이에 개재된다. 제1, 제2 및 제3 접착 층(250a, 250b 및 250c)은 비도전성 재료를 포함할 수 있으며, 광 투과 재료를 포함할 수 있다. 예를 들어, 제1, 제2 및 제3 접착 층(250a, 250b 및 250c)은 광학용 투명 접착제(optically clear adhesive: OCA)를 포함할 수 있다. 제1, 제2 및 제3 접착 층(250a, 250b 및 250c)의 재료는, 제1, 제2 및 제3 접착 층(250a, 250b 및 250c)의 재료가 광학적으로 투명하고 안정적으로 각 에피택셜 스택에 부착되는 한, 특별히 제한되지 않아야 한다. 예를 들어, 제1, 제2 및 제3 접착 층(250a, 250b 및 250c)은, SU-8, 다양한 레지스트, 파릴렌, 폴리(메틸 메타크릴레이트)(PMMA) 및 벤조사이클로부텐(BCB)과 같은 에폭시계 폴리머와 같은 유기 재료 및 실리콘 산화물, 알루미늄 산화물 및 용융 유리와 같은 무기 재료를 포함할 수 있다. 또한, 필요에 따라 도전성 산화물이 접착 층으로서 사용될 수 있으며, 이 경우, 도전성 산화물은 다른 구성 요소로부터 절연되어야할 필요가 있다. 유기 재료가 접착 층으로서 사용되고 무기 재료 중 용융 유리가 접착 층으로서 사용되는 경우, 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240) 및 기판(210)은, 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240) 및 기판(210)의 접착 측(adhesive side) 상에 재료를 코팅하고 고진공 하에서 재료에 고온 및 고압을 인가함으로써, 서로 부착된다. (용융 유리를 제외한) 무기 재료가 접착 층으로서 사용되는 경우, 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240) 및 기판(210)은, 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240) 및 기판(210)의 접착 측 상에 재료를 증착하고 화학-기계적 평탄화(CMP)를 이용하여 재료를 평탄화하고 재료의 표면 상에서 플라즈마 처리를 수행하고 고진공 하에서 부착함으로써, 서로 부착된다.

[0354] 도 17A 내지 17C를 참조하면, 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240)은 순차적으로 적층되는 제1 반도체 층(221, 231 및 241), 활성 층(223, 233 및 243) 및 제2 반도체 층(225, 235 및 245)을 포함한다. 도 17A 내지 도 17C에서, 제1 반도체 층(221, 231 및 241), 활성 층(223, 233 및 243) 및 제2 반도체 층(225, 235 및 245)은 상방향으로 순차적으로 적층되지만, 도 17A 내지 도 17C의 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240)이 도 16에서는 거꾸로 도시되어 있다는 점에 주목하여야 한다. 즉, 도 16에 도시된 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240)은 상방향에서 제2 반도체 층(225, 235 및 245), 활성 층(223, 233 및 243) 및 제1 반도체 층(221, 231 및 241)의 순서로 배열되어 있다.

[0355] 도 17A를 참조하면, 제1 에피택셜 스택(220)의 제1 반도체 층(221), 활성 층(223) 및 제2 반도체 층(225)은 적색 광을 방출하는 반도체 재료를 포함할 수 있다. 적색 광을 방출하는 반도체 재료로서, 알루미늄 갈륨 비화물(AlGaAs), 갈륨 비화 인화물(GaAsP), 알루미늄 갈륨 인듐 인화물(AlGaInP) 및 갈륨 인화물(GaP)이 사용될 수 있다. 그러나, 적색 광을 방출하는 반도체 재료는 이에 또는 이에 의해 한정되지 않아야 하며, 다양한 다른 재료가 사용될 수 있다.

[0356] 제1 반도체 층(221)은 제1 도전형 불순물을 포함하는 반도체 층일 수 있고, 제2 반도체 층(225)은 제2 도전형 불순물을 포함하는 반도체 층일 수 있다. 제1 도전형과 제2 도전형은 서로 반대인 극성을 갖는다. 제1 도전형이 n-형인 경우, 제2 도전형은 p-형이고, 제1 도전형이 p-형인 경우, 제2 도전형은 n-형이다. 본 개시의 예시적인 실시예에서, n-형 반도체 층, 활성 층 및 p-형 반도체 층이 순차적으로 형성된 구조를 대표적인 예로서 설명하기로 하며, 제1 반도체 층(221)은 "n-형 반도체 층"으로서 지칭될 수 있고, 제2 반도체 층(225)은 "p-형 반도체 층"으로서 지칭될 수 있다. 이는 설명의 편의를 위한 것이며, 본 개시의 다른 실시예에 따라, 제1 반도체 층(221) 및 제2 반도체 층(225)은 각각 p-형 반도체 층 및 n-형 반도체 층일 수 있다.

[0357] n-형 반도체 층(221), 활성 층(223) 및 p-형 반도체 층(225)의 부분을 제거함으로써 메사(mesa)가 제1 에피택셜 스택(220)에 형성된다. 제1 n-형 컨택 전극(229)이 노출된 n-형 반도체 층(221)의 상부 표면 상에 배치되며, 제1 p-형 컨택 전극(227)이 메사가 형성된 p-형 반도체 층(225) 상에 배치된다.

[0358] 제1 n-형 컨택 전극(229) 및 제1 p-형 컨택 전극(227)은 금속 재료의 단층 구조 또는 다층 구조를 가질 수 있다. 예를 들어, 제1 n-형 컨택 전극(229) 및 제1 p-형 컨택 전극(227)은 Al, Ti, Cr, Au, Ag, Ti, Sn, Ni, Cr, W, Cu 또는 그 합금과 같은 금속 재료를 포함할 수 있다. 특히, 제1 p-형 컨택 전극(227)은 높은 반사율을 갖는 금속 재료를 포함할 수 있고, 제1 p-형 컨택 전극(227)이 높은 반사율을 갖는 금속 재료를 포함하기 때문에, 제1 에피택셜 스택(220)으로부터 방출되는 광의 상방향으로의 발광 효율이 향상될 수 있다.

[0359] 제1 에피택셜 스택(220)은 제1 접착 층(250a)이 사이에 개재된 상태에서 기판(210) 상에 반전되어 배치되므로, 제1 n-형 컨택 전극(229) 및 제1 p-형 컨택 전극(227)은 기판(210)과 제2 접착 층(250b) 사이에 배치된다. 제1 p-형 컨택 전극(227)은 발광 구역(EA)과 중첩하며, 제1 에피택셜 스택(220)의 활성 층(223)으로부터 방출되는

광을 상방향으로 반사시킨다.

[0360] 도 17B를 참조하면, 제2 에피택셜 스택(230)은 순차적으로 적층되는 n-형 반도체 층(231), 활성 층(233) 및 p-형 반도체 층(235)을 포함한다. n-형 반도체 층(231), 활성 층(233) 및 p-형 반도체 층(235)은 녹색 광을 방출하는 반도체 재료를 포함할 수 있다. 녹색 광을 방출하는 반도체 재료로서, 인듐 갈륨 질화물(InGaN), 갈륨 질화물(GaN), 갈륨 인화물(GaP), 알루미늄 갈륨 인듐 인화물(AlGaInP) 및 알루미늄 갈륨 인화물(AlGaP)이 사용될 수 있다. 그러나, 녹색 광을 방출하는 반도체 재료는 이에 또는 이에 의해 한정되지 않아야 하며, 다양한 다른 재료가 사용될 수 있다.

[0361] 도 16을 다시 참조하면, 제2 p-형 컨택 전극(237)이 제2 에피택셜 스택(230)의 p-형 반도체 층(235) 상에 배치된다. 도 16에서, 제2 에피택셜 스택(230)이 도 17B의 반전된 제2 에피택셜 스택(230)에 대응하기 때문에, 제2 p-형 컨택 전극(237)은 제1 에피택셜 스택(220)과 제2 에피택셜 스택(230) 사이에, 상세하게는, 제2 접착 층(250b)과 제2 에피택셜 스택(230) 사이에 배치된다.

[0362] 제2 p-형 컨택 전극(237)은 투명 도전성 재료, 예컨대, 투명 도전성 산화물(TCO)을 포함할 수 있으며, 약 2000 옹스트롬 내지 약 2 마이크로미터의 두께를 가질 수 있다.

[0363] 도 17C를 참조하면, 제3 에피택셜 스택(240)은 순차적으로 적층되는 n-형 반도체 층(241), 활성 층(243) 및 p-형 반도체 층(245)을 포함한다. n-형 반도체 층(241), 활성 층(243) 및 p-형 반도체 층(235)은 청색 광을 방출하는 반도체 재료를 포함할 수 있다. 청색 광을 방출하는 반도체 재료로서, 갈륨 질화물(GaN), 인듐 갈륨 질화물(InGaN) 및 아연 셀렌화물(ZnSe)이 사용될 수 있다. 그러나, 청색 광을 방출하는 반도체 재료는 이에 또는 이에 의해 한정되지 않아야 하며, 다양한 다른 재료가 사용될 수 있다.

[0364] 도 16을 다시 참조하면, 제3 p-형 컨택 전극(247)이 제3 에피택셜 스택(240)의 p-형 반도체 층(245) 상에 배치된다. 도 16에서, 제3 에피택셜 스택(240)이 도 17C의 반전된 제3 에피택셜 스택(240)에 대응하기 때문에, 제3 p-형 컨택 전극(247)은 제2 에피택셜 스택(230)과 제3 에피택셜 스택(240) 사이에, 상세하게는, 제3 접착 층(250c)과 제3 에피택셜 스택(240) 사이에 배치된다.

[0365] 본 예시적인 실시예에서, 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240)의 각각의 n-형 반도체 층(221, 231 및 241) 및 각각의 p-형 반도체 층(225, 235 및 245)은 단층 구조를 갖지만, 실시예에 따라, 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240)의 각각의 n-형 반도체 층(221, 231 및 241) 및 각각의 p-형 반도체 층(225, 235 및 245)은 다층 구조를 가질 수 있고 초격자 층을 포함할 수 있다. 제1, 제2 및 제3 에피택셜 스택들(220, 230 및 240)의 활성 층(223, 233 및 243)은 단일 양자 웰 구조 또는 다중 양자 웰 구조를 가질 수 있다.

[0366] 본 예시적인 실시예에서, 제2 및 제3 p-형 컨택 전극(237 및 247)은 발광 구역(EA)과 중첩하도록 배치된다. 제2 및 제3 p-형 컨택 전극(237 및 247)은 아래에 배채되는 에피택셜 스택으로부터의 광을 투과시키기 위해 투명 도전성 재료를 포함할 수 있다. 예를 들어, 제2 및 제3 p-형 컨택 전극(237 및 247)의 각각은 투명 도전성 산화물(TCO)을 포함할 수 있다. 투명 도전성 산화물은 주석 산화물(SnO), 인듐 산화물(InO2), 아연 산화물(ZnO), 인듐 주석 산화물(ITO) 및 인듐 주석 아연 산화물(ITZO)을 포함할 수 있다. 투명 도전성 산화물은 증발기 또는 스퍼터를 이용한 화학 기상 증착(CVD) 또는 물리 기상 증착(PVD)에 의해 증착될 수 있다. 제2 및 제3 p-형 컨택 전극(237 및 247)은 투과율이 만족되는 범위 내에서 이하의 제조 공정에서 식각 스토퍼로서 기능하기에 충분한 두께를 가질 수 있다.

[0367] 본 예시적인 실시예에서, 제1, 제2 및 제3 p-형 컨택 전극(227, 237 및 247)은 공통 라인에 연결될 수 있다. 공통 라인은 공통 전압이 인가되는 라인이다. 또한, 공통 신호 라인은 제2 및 제3 에피택셜 스택(230 및 240)의 제1 n-형 컨택 전극(229) 및 p-형 반도체 층(235 및 245)에 각각 연결될 수 있다. 본 예시적인 실시예에서, 공통 전압(Sc)이 공통 라인을 통해 제1 p-형 컨택 전극(227), 제2 p-형 컨택 전극(237) 및 제3 p-형 컨택 전극(247)에 인가되고, 발광 신호는 발광 신호 라인을 통해 제1 n-형 컨택 전극(229), 제2 에피택셜 스택(230)의 n-형 반도체 층(231) 및 제3 에피택셜 스택(240)의 n-형 반도체 층(241)에 인가된다. 따라서, 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240)의 발광이 제어된다. 발광 신호는 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240)에 각각 대응하는 제1, 제2 및 제3 발광 신호(SR, SG 및 SB)를 포함하며, 제1, 제2 및 제3 발광 신호(SR, SG 및 SB)는 적색 광, 녹색 광 및 청색 광의 발광에 각각 대응하는 신호이다.

[0368] 상술한 실시예에서, 공통 전압이 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240)의 p-형 반도체 층에 인가되고 발광 신호는 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240)의 n-형 반도체 층에 인가되지만, 본 개시의 실시예가 이에 또는 이에 의해 한정되어서는 아니된다. 본 개시의 다른 실시예에 따라, 공통 전압이 제1, 제2

및 제3 에피택셜 스택(220, 230 및 240)의 n-형 반도체 층에 인가될 수 있고, 발광 신호는 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240)의 p-형 반도체 층에 인가될 수 있다. 이 구조는 p-형 반도체 층, 활성 층 및 n-형 반도체 층의 순서로 각 에피택셜 스택을 형성함으로써 용이하게 구현될 수 있고, 이 순서는 상술한 실시예에서 n-형 반도체 층, 활성 층 및 p-형 반도체 층의 순서로 형성되는 각 에피택셜 스택의 적층 순서와 다르다. 전술한 실시예에 따라, 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240)은 그에 인가되는 발광 신호에 응답하여 구동된다. 즉, 제1 에피택셜 스택(220)은 제1 발광 신호(SR)에 응답하여 구동되고, 제2 에피택셜 스택(230)은 제2 발광 신호(SG)에 응답하여 구동되며, 제3 에피택셜 스택(240)은 제3 발광 신호(SB)에 응답하여 구동된다. 이 경우, 제1, 제2 및 제3 발광 신호(SR, SG 및 SB)는 제1, 제2 및 제3 에피택셜 스택(220, 230 및 220)에 독립적으로 인가되고, 결과적으로, 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240)은 독립적으로 구동된다. 발광 적층 구조는 제1, 제2 및 제3 에피택셜 스택으로부터 상방향으로 방출되는 제1, 제2 및 제3 색광의 조합에 의해 다양한 색상의 광을 제공할 수 있다.

[0369] 색상을 디스플레이할 때, 상술한 구조를 갖는 발광 적층 구조는 평면 상의 서로 다른 구역을 통해 서로 다른 색광을 제공하기 보다는 서로 중첩되는 구역을 통해 서로 다른 색광을 제공하며, 그러므로, 발광 소자가 소형화될 수 있고 집적화될 수 있다. 종래 기술에 따르면, 서로 다른 색광, 예컨대, 적색, 녹색 및 청색 광을 방출하는 발광 소자는 풀 색상 디스플레이를 구현하기 위해 평면 상에서 서로 이격되어 배치된다. 따라서, 발광 소자가 평면 상에서 서로 이격되어 배치되기 때문에, 종래 기술에서 발광 소자에 의해 점유되는 면적은 상대적으로 크다. 한편, 본 개시에 따르면, 서로 다른 색광을 방출하는 발광 소자가 서로 중첩되도록 동일한 면적 내에 배치되어 발광 적층 구조를 형성하며, 그러므로, 종래 기술보다 현저히 작은 면적을 통해 풀 색상 디스플레이가 구현될 수 있다. 그러므로, 고해상도 디스플레이 디바이스가 작은 면적 내에 제조될 수 있다.

[0370] 또한, 적층 방식으로 제조되는 종래의 발광 디바이스의 경우에도, 종래의 발광 디바이스는, 각 발광 소자 내에 컨택 부를 개별적으로 형성함으로써, 예컨대, 발광 소자를 개별적으로 그리고 분리적으로 형성하고 발광 소자를 와이어링을 사용하여 서로 연결함으로써, 제조된다. 결과적으로, 발광 디바이스의 구조는 복잡하고, 발광 디바이스를 제조하기가 쉽지 않다. 그러나, 본 개시의 예시적인 실시예에 따른 발광 적층 구조는, 하나의 기판 상에 다수의 에피택셜 스택을 순차적으로 적층하고 최소 공정을 통해 에피택셜 스택 내에 컨택 부를 형성하고 라인 부를 에피택셜 스택에 연결함으로써, 제조된다. 부가하여, 본 개시의 예시적인 실시예에 따르면, 종래의 발광 소자들 대신에 하나의 발광 적층 구조가 실장되므로, 개별 색상의 발광 소자를 분리적으로 제조하고 발광 소자를 개별적으로 실장하는 종래의 디스플레이 디바이스 제조 방법에 비해, 디스플레이 디바이스의 제조 방법이 단순화될 수 있다.

[0371] 본 개시의 예시적인 실시예에 따른 발광 적층 구조는 색광을 고순도 및 고효율로 제공하기 위한 다양한 구성 요소를 추가로 포함할 수 있다. 예를 들어, 본 개시의 예시적인 실시예에 따른 발광 적층 구조는, 상대적으로 짧은 파장을 갖는 광이 상대적으로 긴 파장을 갖는 광을 방출하는 에피택셜 스택으로 진행하는 것을 방지하기 위한 파장 통과 필터를 포함할 수 있다.

[0372] 이하의 실시예에서는, 중복을 피하기 위해, 전술한 실시예의 특징과 다른 특징이 주로 설명될 것이다. 설명되지 않은 부분은 전술한 실시예의 그 것과 동일하거나 유사한 것으로 가정된다.

[0373] 도 18은 본 개시의 예시적인 실시예에 따른 소정 파장 통과 필터를 갖는 발광 적층 구조를 나타내는 단면도이다.

[0374] 도 18을 참조하면, 본 개시의 예시적인 실시예에 따른 발광 적층 구조는 제1 에피택셜 스택(220)과 제2 에피택셜 스택(230) 사이에 배치되는 제1 파장 통과 필터(261)를 포함할 수 있다.

[0375] 제1 파장 통과 필터(261)는 소정 파장을 갖는 광을 선택적으로 투과시킨다. 제1 파장 통과 필터(261)는 제1 에피택셜 스택(220)으로부터 방출되는 제1 색광을 투과시킬 수 있고 제1 색광을 제외한 광을 차단 또는 반사시킬 수 있다. 따라서, 제1 에피택셜 스택(220)으로부터 방출되는 제1 색광은 상방향으로 진행할 수 있고, 제2 및 제3 에피택셜 스택(230 및 240)으로부터 각각 방출되는 제2 및 제3 색광은 제1 파장 통과 필터(261)에 의해 제1 에피택셜 스택(220)을 향해 진행하지 않을 수 있으며 반사되거나 차단될 수 있다.

[0376] 제2 및 제3 색광은 제1 색광보다 상대적으로 짧은 파장 및 상대적으로 높은 에너지를 갖는다. 제2 및 제3 색광이 제1 에피택셜 스택(220) 내로 입사되는 경우, 제1 에피택셜 스택(220) 내에서 부가적인 발광이 유도될 수 있다. 본 예시적인 실시예에서, 제2 및 제3 색광은 제1 파장 통과 필터(261)에 의해 제1 에피택셜 스택(220) 내로 입사되는 것이 방지될 수 있다.

[0377] 본 개시의 예시적인 실시예에서, 제2 파장 통과 필터(263)가 제2 에피택셜 스택(230)과 제3 에피택셜 스택(240) 사이에 배치될 수 있다. 제2 파장 통과 필터(263)는 제1 및 제2 에피택셜 스택(220 및 230)으로부터 각각 방출되는 제1 및 제2 색광을 투과시킬 수 있고, 제1 및 제2 색광을 제외한 광을 차단 또는 반사시킬 수 있다. 따라서, 제1 및 제2 에피택셜 스택(220 및 230)으로부터 각각 방출되는 제1 및 제2 색광은 상방향으로 진행할 수 있고, 제3 에피택셜 스택(240)으로부터 방출되는 제3 색광은 제2 파장 통과 필터(263)에 의해 제1 및 제2 에피택셜 스택(220 및 230)을 향해 진행하지 않을 수 있고 반사 또는 차단될 수 있다.

[0378] 상기 설명과 유사하게, 제3 색광은 제1 및 제2 색광보다 상대적으로 짧은 파장 및 상대적으로 높은 에너지를 갖는다. 제3 색광이 제1 및 제2 에피택셜 스택(220 및 230) 내로 입사되는 경우, 부가적인 발광이 제1 및 제2 에피택셜 스택(220 및 230) 내에서 유도될 수 있다. 본 예시적인 실시예에서, 제3 색광은 제2 파장 통과 필터(263)에 의해 제1 및 제2 에피택셜 스택(220 및 230) 내로 입사되는 것이 방지될 수 있다.

[0379] 본 개시의 예시적인 실시예에 따른 발광 적층 구조는 고효율의 균일한 광을 제공하기 위해 다양한 구성 요소를 추가로 포함할 수 있다. 일 예로, 본 개시의 예시적인 실시예에 따른 발광 적층 구조는 발광면 상에서 다양한 요철 부분을 포함할 수 있다.

[0380] 도 19 및 도 20은 본 개시의 예시적인 실시예에 따른 에피택셜 스택의 적어도 일부분에서 요철 부분이 형성되는 발광 적층 구조를 나타내는 단면도이다.

[0381] 본 개시의 예시적인 실시예에 따른 발광 적층 구조는 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240)의 n-형 반도체 층(221, 231 및 241) 중 적어도 하나의 n-형 반도체 층의 상부 표면 상에 형성되는 요철 부분(PR)을 포함할 수 있다. 본 개시의 예시적인 실시예에서, 각 에피택셜 스택의 요철 부분(PR)은 선택적으로 형성될 수 있다. 예를 들어, 요철 부분(PR)은 도 19에 도시된 바와 같이 제1 및 제3 에피택셜 스택(220 및 240) 상에 배치될 수 있고, 요철 부분(PR)은 도 20에 도시된 바와 같이 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240) 상에 배치될 수 있다. 각 에피택셜 스택의 요철 부분(PR)은 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240)의 발광면에 각각 대응하는 n-형 반도체 층(221, 231 및 241) 상에 배치될 수 있다.

[0382] 요철 부분(PR)은 발광 효율을 향상시키기 위해 사용된다. 요철 부분(PR)은, 그 위에 요철 부분이 랜덤하게 배열될 수 있는, 다각형 피라미드, 반구 또는 거칠기를 갖는 표면과 같은, 다양한 형상으로 제공될 수 있다. 요철 부분(PR)은 다양한 식각 공정을 통해 텍스처링되거나 또는 패터닝된 사파이어 기판을 사용하여 형성될 수 있다.

[0383] 본 개시의 예시적인 실시예에서, 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240)으로부터의 제1, 제2 및 제3 색광은 광도에 있어서 차이를 가질 수 있고, 광도 차이는 가시성에 있어서 차이를 유발할 수 있다. 본 예시적인 실시예에서, 발광 효율은 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240)의 발광면 상에 선택적으로 형성되는 요철 부분(PR)에 의해 향상될 수 있으며, 그러므로, 제1, 제2 및 제3 색광 간의 광도 차이는 감소될 수 있다. 적색 및/또는 청색에 대응하는 색광은 녹색에 대응하는 색광보다 낮은 가시성을 갖기 때문에, 가시성에 있어서의 차이는 제1 에피택셜 스택(220) 및/또는 제3 에피택셜 스택(240)을 텍스처링함으로써 감소될 수 있다. 특히, 적색 광은 발광 적층 구조의 최하 부분으로부터 제공되기 때문에 상대적으로 더 작은 광도를 갖는다. 이 경우, 요철 부분(PR)이 제1 에피택셜 스택(220) 상에 형성될 때, 광 효율이 향상될 수 있다.

[0384] 상술한 구조를 갖는 발광 적층 구조는 다양한 색상을 디스플레이할 수 있는 발광 소자에 대응하며, 픽셀로서 디스플레이 디바이스에서 사용될 수 있다. 이하의 설명에서는, 상술한 구조를 갖는 발광 적층 구조를 그 구성 요소로서 사용하는 디스플레이 디바이스가 설명될 것이다.

[0385] 도 21은 본 개시의 예시적인 실시예에 따른 디스플레이 디바이스(2100)를 나타내는 평면도이고, 도 22는 도 21의 부분 P1을 나타내는 확대 평면도이다.

[0386] 도 21 및 도 22를 참조하면, 본 개시의 예시적인 실시예에 따른 디스플레이 디바이스(2100)는 텍스트, 비디오, 사진 및 이차원 또는 삼차원 이미지와 같은 임의의 시각 정보를 디스플레이한다.

[0387] 디스플레이 디바이스(2100)는, 직사각 형상과 같은 직선 면을 갖는 닫힌 다각형, 곡면을 갖는 원형 또는 타원형 및 직선 면과 곡면을 갖는 반원형 또는 반 타원형과 같은, 다양한 형상을 가질 수 있다. 본 개시의 예시적인 실시예에서는, 직사각 형상을 갖는 디스플레이 디바이스가 도시된다.

[0388] 디스플레이 디바이스(2100)는 이미지를 디스플레이하는 다수의 픽셀(2110)을 포함한다. 각 픽셀(2110)은 이미지를 디스플레이하는 최소 단위이다. 각 픽셀(2110)은 상술한 구조를 갖는 발광 적층 구조를 포함할 수 있으며, 백색 광 및/또는 색광을 방출할 수 있다.

[0389] 본 개시의 예시적인 실시예에서, 각 픽셀(2110)은 적색 광을 방출하는 제1 서브픽셀(2110R), 녹색 광을 방출하는 제2 서브픽셀(2110G), 및 청색 광을 방출하는 제3 서브픽셀(2110B)을 포함한다. 제1, 제2 및 제3 서브픽셀(2110R, 2110G 및 2110B)은 전술한 발광 적층 구조의 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240)에 각각 해당할 수 있다.

[0390] 픽셀(2110)은 매트릭스 형태로 배열된다. 픽셀(2110)이 매트릭스 형태로 배열된다는 표현은, 픽셀(2110)이 행 또는 열을 따라 정확하게 일렬로 배열되는 것 뿐만아니라 픽셀(2110)의 세부 위치가, 예컨대, 지그재그 형태로 변화되면서, 픽셀(2110)이 전체적으로 행 또는 열을 따라 배열되는 것을 나타낼 수 있다.

[0391] 도 23은 본 개시의 예시적인 실시예에 따른 디스플레이 디바이스를 나타내는 블록도이다.

[0392] 도 23을 참조하면, 본 개시의 예시적인 실시예에 따른 디스플레이 디바이스(2100)는 타이밍 컨트롤러(2350), 스캔 드라이버(2310), 데이터 드라이버(2330), 라인 부 및 픽셀을 포함한다. 각 픽셀이 다수의 서브픽셀을 포함하는 경우, 각 서브픽셀은 라인 부를 통해 스캔 드라이버(2310) 및 데이터 드라이버(2330)에 개별적으로 연결된다.

[0393] 타이밍 컨트롤러(2350)는, 외부 소스(예컨대, 이미지 데이터를 전송하는 시스템)로부터, 디스플레이 디바이스(2100)를 구동하기 위해 필요한 다양한 제어 신호 및 이미지 데이터를 수신한다. 타이밍 컨트롤러(2350)는 수신된 이미지 데이터를 재배열하고 재배열된 이미지 데이터를 데이터 드라이버(2330)에 인가한다. 또한, 타이밍 컨트롤러(2350)는 스캔 드라이버(2310) 및 데이터 드라이버(2330)를 구동하기 위해 필요한 스캔 제어 신호 및 데이터 제어 신호를 생성하며, 생성된 스캔 제어 신호 및 데이터 제어 신호를 스캔 드라이버(2310) 및 데이터 드라이버(2330)에 각각 인가한다.

[0394] 스캔 드라이버(2310)는 타이밍 컨트롤러(2350)로부터 스캔 제어 신호를 수신하고, 스캔 제어 신호에 응답하여 스캔 신호를 생성한다.

[0395] 데이터 드라이버(2330)는 타이밍 컨트롤러(2350)로부터 데이터 제어 신호 및 이미지 데이터를 수신하고, 데이터 제어 신호에 응답하여 데이터 신호를 생성한다.

[0396] 라인 부는 다수의 신호 라인을 포함한다. 구체적으로, 라인 부는 스캔 드라이버(2310)와 서브픽셀을 연결하는 스캔 라인(2130) 및 데이터 드라이버(2330)와 서브픽셀을 연결하는 데이터 라인(2120)을 포함한다. 스캔 라인(2130)은 서브픽셀에 각각 연결될 수 있고, 서브픽셀에 각각 연결되는 스캔 라인은 제1, 제2 및 제3 서브-스캔 라인(2130R, 2130G 및 2130B)으로서 도시된다.

[0397] 부가하여, 라인 부는, 신호를 전송하기 위해 타이밍 컨트롤러(2350)와 스캔 드라이버(2310), 타이밍 컨트롤러(2350)와 데이터 드라이버(2330) 또는 기타 구성 요소를 서로 연결하는, 라인을 더 포함할 수 있다.

[0398] 스캔 라인(2130)은 스캔 드라이버(2310)에 의해 생성되는 스캔 신호를 서브픽셀에 인가한다. 데이터 드라이버(2330)에 의해 생성되는 데이터 신호는 데이터 라인(2120)에 인가된다.

[0399] 서브픽셀은 스캔 라인(2130) 및 데이터 라인(2120)에 연결된다. 서브픽셀은 스캔 라인(2130)으로부터의 스캔 신호가 그에 인가될 때 데이터 라인(2120)으로부터 제공되는 데이터 신호에 응답하여 선택적으로 발광한다. 일 예로서, 각 서브픽셀은 각 프레임 기간 동안 그에 인가되는 데이터 신호에 대응하는 밝기로 광을 방출한다. 블랙 밝기에 해당하는 데이터 신호가 인가되는 서브픽셀은 해당 프레임 기간 동안 광을 방출하지 않으며, 그러므로, 흑색이 디스플레이된다.

[0400] 본 개시의 예시적인 실시예에서, 서브픽셀은 패시브 또는 액티브 매트릭스 방식으로 구동될 수 있다. 디스플레이 디바이스가 액티브 매트릭스 방식으로 구동될 때, 디스플레이 디바이스(2100)는 스캔 신호 및 데이터 신호에 부가하여 제1 및 제2 픽셀 전원을 추가로 공급받음으로써 구동될 수 있다.

[0401] 도 24는 패시브 매트릭스 타입 디스플레이 디바이스용 하나의 서브픽셀을 나타내는 회로도이다. 이 경우, 서브픽셀은 서브픽셀들, 예컨대, 레드 서브픽셀, 그린 서브픽셀 및 블루 서브픽셀 중 하나일 수 있으며, 제1 서브픽셀(2110R)이 본 예시적인 실시예에서 도시된다.

[0402] 도 24를 참조하면, 제1 서브픽셀(2110R)은 스캔 라인(2130)과 데이터 라인(2120) 사이에 연결되는 발광 소자(2150)를 포함한다. 발광 소자(2150)는 제1 에피택셜 스택(220)에 해당한다. 문턱 전압 이상의 전압이 p-형 반도체 층과 n-형 반도체 층 사이에 인가될 때, 제1 에피택셜 스택(220)은 그에 인가되는 전압의 레벨에 대응하는 밝기로 광을 방출한다. 즉, 제1 서브픽셀(2110R)의 발광은, 스캔 라인(2130)에 인가되는 스캔 신호의 전압 및/

또는 데이터 라인(2120)에 인가되는 데이터 신호의 전압을 제어함으로써, 제어될 수 있다.

[0403] 도 25는 액티브 매트릭스 타입 디스플레이 디바이스용 제1 서브픽셀(2110R)을 나타내는 회로도이다. 디스플레이 디바이스가 액티브 매트릭스 타입 디스플레이 디바이스일 때, 제1 서브픽셀(2110R)은 스캔 신호 및 데이터 신호에 부가하여 제1 및 제2 픽셀 전원(ELVDD 및 ELVSS)을 더 공급받음으로써 구동될 수 있다.

[0404] 도 25를 참조하면, 제1 서브픽셀(2110R)은 하나 이상의 발광 소자(2150) 및 발광 소자(2150)에 연결되는 트랜지스터 부를 포함한다.

[0405] 발광 소자(2150)는 제1 에피택셜 스택(220)에 해당할 수 있고, 발광 소자(2150)의 p-형 반도체 층은 트랜지스터 부를 경유하여 제1 픽셀 전원(ELVDD)에 연결될 수 있으며, 발광 소자(2150)의 n-형 반도체 층은 제2 픽셀 전원(ELVSS)에 연결될 수 있다. 제1 픽셀 전원(ELVDD) 및 제2 픽셀 전원(ELVSS)은 서로 다른 전위를 가질 수 있다. 예를 들어, 제2 픽셀 전원(ELVSS)은 발광 소자(2150)의 문턱 전압 이상만큼 제1 픽셀 전원(ELVDD)의 전위보다 낮은 전위를 가질 수 있다. 발광 소자(2150)의 각각은 트랜지스터 부에 의해 제어되는 구동 전류에 대응하는 밝기로 광을 방출한다.

[0406] 본 개시의 예시적인 실시예에 따라, 트랜지스터 부는 제1 및 제2 트랜지스터(M1 및 M2) 및 스토리지 커패시터(Cst)를 포함한다. 그러나, 트랜지스터 부의 구성은 도 25에 도시된 실시예에 한정되어서는 아니된다.

[0407] 제1 트랜지스터(스위칭 트랜지스터)(M1)는 데이터 라인(2120)에 연결되는 소스 전극, 제1 노드(N1)에 연결되는 드레인 전극, 및 스캔 라인(2130)에 연결되는 게이트 전극을 포함한다. 제1 트랜지스터(M1)는 제1 트랜지스터(M1)를 턴온시키기에 충분한 전압을 갖는 스캔 신호가 스캔 라인(2130)을 통해 제공될 때 턴온되어 데이터 라인(2120) 및 제1 노드(N1)를 전기적으로 연결한다. 이 경우, 해당 프레임의 데이터 신호는 데이터 라인(2120)에 인가되고, 그러므로, 데이터 신호는 제1 노드(N1)에 인가된다. 스토리지 커패시터(Cst)는 제1 노드(N1)에 인가되는 데이터 신호로 충전된다.

[0408] 제2 트랜지스터(구동 트랜지스터)(M2)는 제1 픽셀 전원(ELVDD)에 연결되는 소스 전극, 발광 소자(2150)의 n-형 반도체 층에 연결되는 드레인 전극, 및 제1 노드(N1)에 연결되는 게이트 전극을 포함한다. 제2 트랜지스터(M2)는 제1 노드(N1)의 전압에 응답하여 발광 소자(2150)에 공급되는 구동 전류의 양을 제어한다.

[0409] 스토리지 커패시터(Cst)의 하나의 전극은 제1 픽셀 전원(ELVDD)에 연결되고, 스토리지 커패시터(Cst)의 다른 하나의 전극은 제1 노드(N1)에 연결된다. 스토리지 커패시터(Cst)는 제1 노드(N1)에 인가되는 데이터 신호에 대응하는 전압으로 충전되고 다음 프레임의 데이터 신호가 제공될 때까지 충전된 전압을 유지한다.

[0410] 설명의 편의를 위해, 도 25는 두 개의 트랜지스터를 포함하는 트랜지스터 부를 도시한다. 그러나, 트랜지스터 부에 포함되는 트랜지스터의 개수는 두 개로 제한되어서는 아니되고, 트랜지스터 부의 구성은 다양한 방식으로 변화될 수 있다. 예를 들어, 트랜지스터 부는 더 많은 트랜지스터 및 더 많은 커패시터를 포함할 수 있다. 부가하여, 본 예시적인 실시예에서, 제1 및 제2 트랜지스터, 스토리지 커패시터 및 라인의 구성은 상세하게 도시되지 않았지만, 제1 및 제2 트랜지스터, 스토리지 커패시터 및 라인은 본 개시의 예시적인 실시예에 따른 회로를 구현하는 범위 내에서 다양한 방식으로 변화될 수 있다.

[0411] 상술한 픽셀은 본 개시의 범위 내에서 다양한 방식으로 변화될 수 있으며, 이하의 구조로 구현될 수 있다.

[0412] 도 26은 본 개시의 예시적인 실시예에 따른 픽셀을 나타내는 평면도이고, 도 27A 및 도 27B는 각각 도 26의 선 I-I' 및 II-II'를 따라 취한 단면도이다.

[0413] 도 26, 도 27A 및 도 27B를 참조하면, 본 개시의 예시적인 실시예에 따른 픽셀은 발광 구역(EA) 및 주변 구역(PA)을 포함한다. 에피택셜 스택은 발광 구역(EA) 내에서 적층된다. 본 예시적인 실시예에서, 에피택셜 스택은 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240)을 포함한다.

[0414] 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240)은 제1, 제2 및 제3 서브-스캔 라인(2130R, 2130G 및 2130B) 및 데이터 라인(2120)에 연결된다. 본 개시의 예시적인 실시예에서, 제1, 제2 및 제3 서브-스캔 라인(2130R, 2130G 및 2130B)은 제1 방향, 예컨대, 도 26의 수평 방향으로 연장될 수 있다. 데이터 라인(2120)은 제1 컨택 홀(CH1)을 통해 제1 p-형 컨택 전극(227)에 연결되고, 제1 p-형 컨택 전극(227)은 실질적으로 데이터 라인(2120)으로서 작용한다. 따라서, 이하, 제1 p-형 컨택 전극(227)은 데이터 라인(2120)으로서 지칭될 수 있다. 데이터 라인(2120)은, 제2 방향, 예컨대, 제1, 제2 및 제3 서브-스캔 라인(2130R, 2130G 및 2130B)을 가로지르는 도 26의 수직 방향으로 연장될 수 있다. 그러나, 제1, 제2 및 제3 서브-스캔 라인(2130R, 2130G 및 2130B) 및 데이터 라인(2120)이 연장되는 방향은 이에 또는 이에 의해 한정되어서는 아니되며, 픽셀의 배열에 따라 다

양한 방식으로 변화될 수 있다.

[0415] 제1 서브-스캔 라인(2130R) 및 데이터 라인, 구체적으로, 제1 p-형 컨택 전극(227)은 제1 에피택셜 스택(220)에 연결된다. 데이터 라인(2120) 및 제2 서브-스캔 라인(2130G)은 각각 제1 및 제2 컨택 홀(CH1 및 CH2)을 통해 제2 에피택셜 스택(230)에 연결된다. 데이터 라인(2120) 및 제3 서브-스캔 라인(2130B)은 각각 제1 및 제2 컨택 홀(CH1 및 CH2)을 통해 제3 에피택셜 스택(240)에 연결된다. 본 예시적인 실시예에서, 제1 및 제2 컨택 홀(CH1 및 CH2)은 주변 구역(PA) 내에 형성된다.

[0416] 접착 층, 컨택 전극 및 파장 통과 필터가 기판(210)과 제1 에피택셜 스택(220) 사이, 제1 에피택셜 스택(220)과 제2 에피택셜 스택(230) 사이, 및 제2 에피택셜 스택(230)과 제3 에피택셜 스택(240) 사이에 배치된다. 이하, 본 개시의 예시적인 실시예에 따른 픽셀을 적층 순서에 따라 설명하기로 한다.

[0417] 본 예시적인 실시예에 따라, 메사 구조를 갖는 제1 에피택셜 스택(220)이, 제1 접착 층(250a)이 사이에 개재되는 상태에서, 기판(210) 상에 배치된다.

[0418] 제1 절연 층(271)이 제1 에피택셜 스택(220)의 하부 표면, 즉, 기판(210)과 마주보는 표면 상에 배치된다. 제1 절연 층(271)에는 그를 통하여 마련되는 다수의 컨택 홀이 제공된다. 제1 에피택셜 스택(220)의 n-형 반도체 층과 접촉하는 제1 n-형 컨택 전극(229)은 주변 구역(PA)에 대응하는 컨택 홀 내에 배치되며, 제1 에피택셜 스택(220)의 p-형 반도체 층과 접촉하는 제1 p-형 컨택 전극(227)은 발광 구역(EA)에 대응하는 컨택 홀 내에 배치된다. 제1 및 제2 오믹 전극(229' 및 227')은, 제1 p-형 컨택 전극(227) 및 제1 n-형 컨택 전극(229)과의 오믹 접촉을 위해, 제1 n-형 컨택 전극(229) 및 제1 p-형 컨택 전극(227)이 형성되는 구역 상에 배치될 수 있다. 오믹 접촉을 위한 제1 및 제2 오믹 전극(229' 및 227')은 다양한 재료를 포함할 수 있다. 본 개시의 예시적인 실시예에서, p-형 오믹 전극에 대응하는 제2 오믹 전극(227')은 Au(Zn) 또는 Au(Be)를 포함할 수 있다. 이 경우, 제2 오믹 전극(227')용 재료가 Ag, Al 및 Au보다 낮은 반사율을 갖기 때문에, 추가 반사 전극이 더 배치될 수 있다. 추가 반사 전극용 재료로서, Ag 또는 Au가 사용될 수 있고, Ti, Ni, Cr 또는 Ta를 포함하는 층이 인접한 구성 요소에의 접착을 위한 접착 층으로서 배치될 수 있다. 이 경우, 접착 층은 Ag 또는 Au를 포함하는 반사 전극의 상부 및 하부 표면 상에 얇게 증착될 수 있다.

[0419] 제1 p-형 컨택 전극(227)은 발광 구역(EA)과 중첩하고, 평면도에서 볼 때 발광 구역(EA)의 전체를 덮도록 제공된다. 제1 p-형 컨택 전극(227)은 반사성을 갖는 재료를 포함하여 제1 에피택셜 스택(220) 내에서 광을 반사시킬 수 있다. 이 경우, 제1 절연 층(271)은, 제1 에피택셜 스택(220) 내에서 광의 반사가 용이하게 수행되도록, 반사성을 갖도록 형성될 수 있다. 예를 들어, 제1 절연 층(271)은 전방향 반사기(omni-directional reflector: ODR) 구조를 가질 수 있다.

[0420] 제2 절연 층(273)이 제1 p-형 컨택 전극(227) 및 기판(210) 사이에 배치된다. 제2 절연 층(273)은, 제1 p-형 컨택 전극(227)이 그 위에 형성되는, 제1 에피택셜 스택(220)의 하부 표면을 덮고, 제1 n-형 컨택 전극(229)이 관통하여 노출되는 컨택 홀을 갖는다. 제1 서브-스캔 라인(2130R)은 제2 절연 층(273)과 기판(210) 사이에 배치되어 데이터 신호를 제1 n-형 컨택 전극(229)에 인가한다.

[0421] 제2 접착 층(250b)이 제1 에피택셜 스택(220) 상에 배치되며, 제1 파장 통과 필터(261), 제2 p-형 컨택 전극(237) 및 제2 에피택셜 스택(230)이 제2 접착 층(250b) 상에 순차적으로 배치된다. 별도로 도시하지는 않았지만, 제2 에피택셜 스택(230)은, 제2 에피택셜 스택(230)의 바닥으로부터 상방향으로 순차적으로 적층되는, p-형 반도체 층, 활성 층 및 n-형 반도체 층을 포함한다.

[0422] 본 예시적인 실시예에서, 제1 파장 통과 필터(261) 및 제2 p-형 컨택 전극(237)은 제1 에피택셜 스택(220)과 실질적으로 동일한 면적을 가질 수 있고, 제2 에피택셜 스택(230)은 제1 에피택셜 스택(220)보다 작은 면적을 가질 수 있다. 제2 에피택셜 스택(230)이 제1 에피택셜 스택(220)보다 작은 면적을 가지므로, 제2 p-형 컨택 전극(237)의 일부분이 노출될 수 있다.

[0423] 제3 접착 층(250c)이 제2 에피택셜 스택(230) 상에 배치되며, 제2 파장 통과 필터(263), 제3 p-형 컨택 전극(247) 및 제3 에피택셜 스택(240)이 제3 접착 층(250c) 상에 순차적으로 배치된다. 별도로 도시하지는 않았지만, 제3 에피택셜 스택(240)은, 제3 에피택셜 스택(240)의 바닥으로부터 상방향으로 순차적으로 적층되는, p-형 반도체 층, 활성 층 및 n-형 반도체 층을 포함한다.

[0424] 제3 에피택셜 스택(240)은 제2 에피택셜 스택(230)보다 작은 면적을 가질 수 있다. 제3 에피택셜 스택(240)은 제3 p-형 컨택 전극(247)보다 작은 면적을 가질 수 있고, 그러므로, 제3 p-형 컨택 전극(247)의 상부 표면의 일부분이 노출될 수 있다. 부가하여, 제3 p-형 컨택 전극(247)이 제2 에피택셜 스택(230)보다 작은 면적을 가질

수 있고, 그러므로, 제2 에피택셜 스택(230)의 상부 표면의 일부분이 노출될 수 있다.

[0425] 제3 절연 층(275)이 제3 에피택셜 스택(240) 상에 배치되어 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240)의 적층 구조를 덮는다. 제3 절연 층(275)은 다양한 유기/무기 절연 재료를 포함할 수 있지만, 이에 또는 이에 의해 한정되어서는 아니된다. 예를 들어, 제3 절연 층(275)은 실리콘 질화물 및 실리콘 산화물을 포함하는 무기 절연 재료 또는 폴리이미드와 같은 유기 절연 재료를 포함할 수 있다.

[0426] 제3 절연 층(275)은, 제1, 제2 및 제3 p-형 컨택 전극(227, 237 및 247)의 상부 표면이 관통하여 노출되는 제1 컨택 홀(CH1) 및 제2 및 제3 에피택셜 스택(230 및 240)의 n-형 반도체 층의 상부 표면이 관통하여 노출되는 제2 컨택 홀(CH2)을 포함한다.

[0427] 데이터 라인(2120) 및 제1, 제2 및 제3 서브-스캔 라인(2130R, 2130G 및 2130B)이 제3 절연 층(275) 상에 배치된다. 데이터 라인(2120)은 제3 절연 층(275)을 통해 형성되는 제1 컨택 홀(CH1)을 통해 제1, 제2 및 제3 p-형 컨택 전극(227, 237 및 247)에 동시에 연결된다. 제2 및 제3 서브-스캔 라인(2130G 및 2130B)의 각각은 제2 컨택 홀(CH2)을 통해 제2 에피택셜 스택(230)의 n-형 반도체 층 및 제3 에피택셜 스택(240)의 n-형 반도체 층에 각각 연결된다.

[0428] 본 개시의 예시적인 실시예에서, 제2 서브-스캔 라인(2130G)은 제2 에피택셜 스택(230)의 n-형 반도체 층과 직접 접촉하고 전기적으로 연결될 수 있으며, 제3 서브-스캔 라인(2130B)은 제3 에피택셜 스택(240)의 n-형 반도체 층과 직접 접촉하고 전기적으로 연결될 수 있다. 그러나, 다른 실시예에 따라, 제2 n-형 컨택 전극이 제2 서브-스캔 라인(2130G)과 제2 에피택셜 스택(230)의 n-형 반도체 층 사이에 더 배치될 수 있으며, 제2 서브-스캔 라인(2130G) 및 제2 에피택셜 스택(230)의 n-형 반도체 층은 제2 n-형 컨택 전극에 의해 서로 전기적으로 연결될 수 있다. 또한, 제3 n-형 컨택 전극이 제3 서브-스캔 라인(2130B)과 제3 에피택셜 스택(240)의 n-형 반도체 층 사이에 더 배치될 수 있고, 제3 서브-스캔 라인(2130B) 및 제3 에피택셜 스택(240)의 n-형 반도체 층은 제3 n-형 컨택 전극에 의해 서로 전기적으로 연결될 수 있다.

[0429] 제4 절연 층(277)이 데이터 라인(2120) 및 제1, 제2 및 제3 서브-스캔 라인(2130R, 2130G 및 2130B) 상에 배치되어 데이터 라인(2120) 및 제1, 제2 및 제3 서브-스캔 라인(2130R, 2130G 및 2130B)을 덮는다. 또한, 제4 절연 층(277)은 다양한 유기/무기 절연 재료를 포함할 수 있지만, 이에 또는 이에 의해 한정되어서는 아니된다.

[0430] 본 예시적인 실시예에서 별도로 도시하지는 않았지만, 요철 부분이 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240)의 상부 표면, 즉, 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240)의 각각의 n-형 반도체 층의 상부 표면 상에 선택적으로 배치될 수 있다. 각 요철 부분은 발광 구역(EA)에 대응하는 면적 내에 만 배치될 수 있거나 또는 각 n-형 반도체 층의 전체 상부 표면 상에 배치될 수 있다. 따라서, 제2 및 제3 서브-스캔 라인(2130G 및 2130B)은 요철 부분(PR)이 그 위에 배치되지 않은 n-형 반도체 층과 접촉하고 전기적으로 연결될 수 있거나 또는 요철 부분(PR)이 그 위에 배치되는 n-형 반도체 층과 접촉하고 전기적으로 연결될 수 있다.

[0431] 또한, 상세하게 도시하지는 않았지만, 본 개시의 예시적인 실시예에서, 광불투과성 층이 픽셀의 측면에 대응하는 제4 절연 층(277) 상에 더 배치될 수 있다. 광불투과성 층은 광 차단 층으로서 작용하여 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240)으로부터의 광이 픽셀의 측면으로 출사되는 것을 방지할 수 있으며, 광을 흡수하거나 또는 반사시키는 재료를 포함할 수 있다.

[0432] 광불투과성 층은, 광불투과성 층이 광을 흡수하여 또는 반사시켜 광의 투과를 차단하는 한, 특별히 제한되지 않아야 한다. 본 개시의 예시적인 실시예에서, 광불투과성 층은 분산 브래그 반사기(DBR) 유전체 미러, 절연 층 상에 형성되는 금속 반사 층 또는 흑색 유기 폴리머 층일 수 있다. 금속 반사 층이 광불투과성 층으로서 사용될 때, 금속 반사 층은, 금속 반사 층이 다른 픽셀의 구성 요소로부터 전기적으로 절연되는, 플로팅 상태일 수 있다.

[0433] 픽셀의 측면에 배치되는 광불투과성 층으로 인해, 특정 픽셀로부터 출사되는 광이 인접한 픽셀에 영향을 미치거나 인접한 픽셀로부터 출사되는 광과 혼합되는 것을 방지할 수 있다.

[0434] 상기한 구조를 갖는 픽셀은 기판 상에 제1, 제2 및 제3 에피택셜 스택을 순차적으로 적층함으로써 제조될 수 있고, 이하, 도 28 및 도 29A 내지 도 29L을 참조하여 상세히 설명하기로 한다.

[0435] 도 28은 제1 내지 제3 에피택셜 스택이 그 위에 적층되는 기판을 나타내는 평면도이고, 도 29A 내지 도 29L은, 도 28의 선 I-I' 을 따라 취한, 기판 상에 제1 내지 제3 에피택셜 스택을 적층하는 공정을 순차적으로 나타내는 단면도이다.

[0436] 도 28 및 도 29A를 참조하면, 제1 에피택셜 스택(220)이 제1 초기 기판(210p) 상에 형성된다. 본 개시의 예시적인 실시예에서, 제1 초기 기판(210p)은 제1 에피택셜 스택(220)을 형성하기 위해 필요한 반도체, 예컨대, 갈륨 비화물(GaAs)로 이루어질 수 있다. 제1 에피택셜 스택(220)은, 제1 초기 기판(210p) 상에 n-형 반도체 층, 활성 층 및 p-형 반도체 층을 형성하고 n-형 반도체 층, 활성 층 및 p-형 반도체 층의 일부분을 제거하여 메사 구조를 형성함으로써, 제조된다.

[0437] 도 28 및 도 29B를 참조하면, 제1 절연 층(271)이 제1 초기 기판(210p) 상에 형성되고, 컨택 홀이 제1 절연 층(271)을 통해 형성되어 p-형 반도체 층 및 n-형 반도체 층을 부분적으로 노출시킨다. p-형 반도체 층 상부에 마련되는 컨택 홀은 다수 개로 제공될 수 있다. 오믹 전극(227' 및 229')은, 컨택 홀을 통해 노출되는 p-형 반도체 층 및 n-형 반도체 층 상에 각각 형성될 수 있다.

[0438] 도 28 및 도 29C를 참조하면, 제1 n-형 컨택 전극(229) 및 제1 p-형 컨택 전극(227)이, 오믹 전극(227' 및 229')이 그 위에 형성되는, 제1 초기 기판(210p) 상에 형성된다. 제1 n-형 컨택 전극(229)은 n-형 반도체 층 상에 형성되고, 제1 p-형 컨택 전극(227)은 p-형 반도체 층 상에 형성된다. 제1 n-형 컨택 전극(229) 및 제1 p-형 컨택 전극(227)은 반사 재료로 형성될 수 있다.

[0439] 도 28 및 도 29D를 참조하면, 제2 절연 층(273)이, 제1 n-형 컨택 전극(229) 및 제1 p-형 컨택 전극(227)이 그 위에 형성되는, 제1 초기 기판(210p) 상에 형성되고, 제1 서브-스캔 라인(2130R)이 제2 절연 층(273) 상에 형성된다. 컨택 홀이 제1 n-형 컨택 전극(229)에 대응하는 위치에서 제2 절연 층(273)을 통해 형성되며, 제1 서브-스캔 라인(2130R)은 제1 n-형 컨택 전극(229)에 대응하는 위치에 형성되는 컨택 홀을 통해 제1 n-형 컨택 전극(229)에 연결된다.

[0440] 도 28 및 도 29E를 참조하면, 제1 초기 기판(210p) 상에 형성된 제1 에피택셜 스택(220)이 반전되어, 제1 접착 층(250a)이 사이에 개재되는 상태에서, 기판(210)에 부착된다.

[0441] 도 28 및 도 29F를 참조하면, 제1 초기 기판(210p)은, 제1 에피택셜 스택(220)이 기판(210)에 부착된 후에, 제거된다. 제1 초기 기판(210p)은 습식 식각 공정, 건식 식각 공정, 물리적 제거 공정 또는 레이저 리프트-오프 공정과 같은 다양한 방법에 의해 제거될 수 있다. 도면에 도시하지는 않았지만, 제1 초기 기판(210p)이 제거된 후, 요철 부분(PR)이 제1 에피택셜 스택(220)의 상부 표면(n-형 반도체 층) 상에 형성될 수 있다. 요철 부분(PR)은 다양한 식각 공정을 통해 텍스처링될 수 있다. 예를 들어, 요철 부분(PR)은, 마이크로포토그래피를 이용한 건식 식각 공정, 결정 특성을 이용한 습식 식각 공정, 샌드블라스트와 같은 물리적 방법을 이용한 텍스처링 공정, 이온 빔 식각 공정 또는 블록 코폴리머의 식각 속도 차이를 이용한 텍스처링 공정과 같은 다양한 공정을 통해, 형성될 수 있다.

[0442] 도 28 및 도 29G를 참조하면, 제2 에피택셜 스택(230)이 제2 초기 기판(210q) 상에 형성된다. 제2 초기 기판(210q)은 사파이어 기판일 수 있다. 제2 초기 기판(210q) 상에 n-형 반도체 층, 활성 층 및 p-형 반도체 층을 형성함으로써, 제2 에피택셜 스택(230)이 제조된다. 제2 p-형 컨택 전극(237) 및 제1 파장 통과 필터(261)가 제2 에피택셜 스택(230) 상에 더 형성될 수 있다.

[0443] 도 28 및 도 29H를 참조하면, 제2 초기 기판(210q) 상에 형성된 제2 에피택셜 스택(230)은 반전되어, 제2 접착 층(250b)이 사이에 개재되는 상태에서, 제1 에피택셜 스택(220)에 부착된다.

[0444] 도 28 및 도 29I를 참조하면, 제2 에피택셜 스택(230)이 제1 에피택셜 스택(220)에 부착된 후, 제2 초기 기판(210q)은 제거된다.

[0445] 도면에 도시하지는 않았지만, 제2 초기 기판(210q)이 제거된 후, 요철 부분(PR)이 제2 에피택셜 스택(230)의 상부 표면(n-형 반도체 층) 상에 형성될 수 있다. 요철 부분(PR)은 다양한 식각 공정을 통해 텍스처링되거나 또는 패터닝된 사파이어 기판을 제2 초기 기판(210q)으로 사용하여 형성될 수 있다. 제2 초기 기판(210q)은 다양한 방법으로 제거될 수 있다. 예를 들어, 제2 초기 기판(210q)이 사파이어 기판인 경우, 사파이어 기판은 레이저 리프트-오프 공정, 스트레스 리프트-오프 공정, 화학적 리프트-오프 공정 또는 물리적 연마 공정에 의해 제거될 수 있다.

[0446] 도 28 및 도 29J를 참조하면, 제3 에피택셜 스택(240)이 제3 초기 기판(210r) 상에 형성된다. 제3 초기 기판(210r)은 사파이어 기판일 수 있다. 제3 초기 기판(210r) 상에 n-형 반도체 층, 활성 층 및 p-형 반도체 층을 형성함으로써, 제3 에피택셜 스택(240)이 제조된다. 제3 p-형 컨택 전극(247) 및 제2 파장 통과 필터(263)가 제3 에피택셜 스택(240) 상에 더 형성될 수 있다.

[0447] 도 28 및 도 29K를 참조하면, 제3 초기 기판(210r) 상에 형성된 제3 에피택셜 스택(240)은 반전되어, 제3 접착 층(250c)이 사이에 개재되는 상태에서, 제2 에피택셜 스택(230)에 부착된다.

[0448] 도 28 및 도 29L을 참조하면, 제3 초기 기판(210r)은 제3 에피택셜 스택(240)이 제2 에피택셜 스택(230)에 부착된 후 제거되고, 그러므로, 모든 제1, 제2 및 제3 에피택셜 스택(220, 230 및 240)이 기판(210) 상에 적층된다. 도면에 도시하지는 않았지만, 제3 초기 기판(210r)이 제거된 후, 요철 부분(PR)이 제3 에피택셜 스택(240)의 상부 표면(n-형 반도체 층) 상에 형성될 수 있다. 요철 부분(PR)은 다양한 식각 공정을 통해 텍스처링되거나 또는 패터닝된 사파이어 기판을 제3 초기 기판(210r)으로 사용하여 형성될 수 있다.

[0449] 전술한 공정을 통해, 제1 에피택셜 스택(220)이 제1 서브-스캔 라인(2130R) 및 데이터 라인, 즉, 제1 p-형 컨택 전극(227)에 연결되지만, 제2 및 제3 에피택셜 스택(230 및 240)은 제2 및 제3 서브-스캔 라인(2130G 및 2130B) 및 데이터 라인(2120)에 연결되지 않는다. 따라서, 제2 및 제3 에피택셜 스택(230 및 240)을 제2 및 제3 서브-스캔 라인(2130G 및 2130B) 및 데이터 라인(2120)에 연결하기 위한 공정이 수행된다.

[0450] 도 30A 내지 도 35A는, 제2 및 제3 에피택셜 스택(230 및 240)을 제2 및 제3 서브-스캔 라인(2130G 및 2130B) 및 데이터 라인(2120)에 연결하기 위한 공정을 순차적으로 나타내는 평면도이고, 도 30B 내지 도 35B는 각각 도 30A 내지 도 35A의 선 I-I', IIa-IIa' 및 and IIb-IIb'를 따라 취한 단면도이다.

[0451] 도 30A 및 도 30B를 참조하면, 제3 p-형 컨택 전극(247)의 상부 표면의 일부분이 외부에 노출되도록, 제3 에피택셜 스택(240)의 일부분이 제거된다. 제3 p-형 컨택 전극(247)은 제3 에피택셜 스택(240)이 식각될 때 식각 스토퍼로서 기능한다.

[0452] 도 31A 및 도 31B를 참조하면, 제3 p-형 컨택 전극(247), 제2 파장 통과 필터(263) 및 제3 접착 층(250c)의 일부분이 식각된다. 따라서, 제2 에피택셜 스택(230)의 상부 표면의 일부분이 외부에 노출된다. 이 경우, 제3 p-형 컨택 전극(247) 및 데이터 라인(2120)이 연결되는 컨택 구역은 식각되지 않는다.

[0453] 도 32A 및 도 32B를 참조하면, 제2 에피택셜 스택(230)의 일부분이 제거되어, 제2 p-형 컨택 전극(237)의 상부 표면의 일부분을 노출시킨다. 제2 p-형 컨택 전극(237)은 제2 에피택셜 스택(230)이 식각될 때 식각 스토퍼로서 기능한다.

[0454] 도 33A 및 도 33B를 참조하면, 제2 p-형 컨택 전극(237), 제1 파장 통과 필터(261), 제2 접착 층(250b), 제1 에피택셜 스택(220) 및 제1 절연 층(271)의 일부분이 식각된다. 그러므로, 제2 절연 층(273) 및 제1 p-형 컨택 전극(227)의 일부분이 외부에 노출된다. 이 경우, 제2 p-형 컨택 전극(237) 및 데이터 라인(2120)이 연결되는 컨택 구역은 식각되지 않는다.

[0455] 도 34A 및 도 34B를 참조하면, 제1 및 제2 컨택 홀(CH1 및 CH2)이 그를 관통하여 형성되는 제3 절연 층(275)이 기판(210) 상에 형성된다. 데이터 라인(2120)이 연결되는 부분, 즉, 제1, 제2 및 제3 p-형 컨택 전극(227, 237 및 247)의 상부 표면의 부분이 제1 컨택 홀(CH1)을 통해 노출된다. 제2 및 제3 서브-스캔 라인(2130G 및 2130B)이 연결되는 일부분, 즉, 제2 및 제3 에피택셜 스택(230 및 240)의 n-형 반도체 층의 상부 표면의 일부분이 제2 컨택 홀(CH2)을 통해 노출된다.

[0456] 도 35A 및 도 35B를 참조하면, 제2 및 제3 서브-스캔 라인(2130G 및 2130B) 및 데이터 라인(2120)이, 제1 및 제2 컨택 홀(CH1 및 CH2)이 그 위에 형성되는, 기판(210) 상에 형성된다. 제2 및 제3 서브-스캔 라인(2130G 및 2130B) 및 데이터 라인(2120)은, 기판(210) 상에 금속 층을 형성하고 금속 층을 패터닝함으로써, 형성될 수 있다. 제2 및 제3 서브-스캔 라인(2130G 및 2130B)은 제2 컨택 홀(CH2)을 통해 제2 및 제3 n-형 반도체 층에 각각 연결되고, 데이터 라인(2120)은 제1 컨택 홀(CH1)을 통해 제1, 제2 및 제3 p-형 컨택 전극(227, 237 및 247)에 연결된다.

[0457] 제4 절연 층(277)이, 제2 및 제3 서브-스캔 라인(2130G 및 2130B) 및 데이터 라인(2120)이 그 위에 형성되는, 기판(210) 상에 형성된다.

[0458] 본 개시의 예시적인 실시예에서, 비록 도면에 도시하지는 않았지만, 광불투과성 층이 픽셀의 측면에 대응하는 제3 절연 층(275) 또는 제4 절연 층(277) 상에 더 배치될 수 있다. 광불투과성 층은 DBR 유전체 미러에 의해, 절연 층 상에 형성되는 금속 반사 층에 의해 또는 유기 폴리머에 의해 형성될 수 있다. 금속 반사 층이 광불투과성 층으로서 사용되는 경우에, 금속 반사 층은, 금속 반사 층이 다른 픽셀의 구성 요소로부터 전기적으로 절연되는, 플로팅 상태에 있을 수 있다.

[0459] 상술한 바와 같이, 본 개시의 예시적인 실시예에 따른 디스플레이 디바이스는, 다수의 에피택셜 스택을 순차적

으로 적층하고 에피택셜 스택 내에 라인 부와 컨택 구조를 실질적으로 동시에 형성함으로써, 제조될 수 있다.

[0460] 본 개시의 실시예는 광을 방출하는 발광 적층 구조에 관한 것이다. 본 개시의 발광 적층 구조는 다양한 디바이스에서 광원으로서 이용될 수 있다.

[0461] 도 36A 내지 도 36C는 본 개시의 예시적인 실시예에 따른 발광 적층 구조를 나타내는 단면도이다.

[0462] 도 36A 내지 도 36C를 참조하면, 본 개시의 예시적인 실시예에 따른 발광 적층 구조는 순차적으로 적층되는 두 개의 에피택셜 스택, 즉, 제1 에피택셜 스택(320) 및 제2 에피택셜 스택(330)을 포함한다. 제1 및 제2 에피택셜 스택(320 및 330)은 기판(310) 상에 배치된다.

[0463] 기판(310)은 전면 및 후면이 제공되는 플레이트 형상을 갖는다.

[0464] 기판(310)은 광투과성 절연 재료로 형성될 수 있다. "기판(310)은 광투과 특성을 갖는다"라는 표현은, 기판(310)이 광을 실질적으로 전체적으로 투과시키도록 투명한 경우, 기판(310)이 특정 파장을 갖는 광 만을 투과시키도록 반투명한 경우 또는 기판(310)이 특정 파장을 갖는 광의 일부분 만을 투과시키도록 부분적으로 투명한 경우와 같은, 다양한 경우를 나타낸다.

[0465] 기판(310)의 재료로서, 기판(310) 바로 위에 배치되는 에피택셜 스택, 즉, 제1 에피택셜 스택(320)이 그 위에서 성장되는, 성장 기판 중 하나가 사용될 수 있다. 이 경우, 기판(310)은 사파이어 기판일 수 있지만, 기판(310)이 이에 또는 이에 의해 한정되어서는 아니된다. 즉, 재료가 투명하고 절연 특성을 가지며 에피택셜 스택이 기판(310)의 상부 표면 상에 배치되는 한, 사파이어 기판 외에 다양한 투명 절연 재료가 기판(310)의 재료로서 사용될 수 있다. 예를 들어, 기판(310)의 재료로서, 유리, 석영, 유기 폴리머 또는 유기-무기 복합 재료가 사용될 수 있다. 본 개시의 예시적인 실시예에서, 라인 부가 기판(310) 상에 더 배치되어 각 에피택셜 스택에 발광 신호 및 공통 전압을 인가할 수 있다. 이를 위해, 기판(310)은, 라인 부 및/또는 구동 디바이스를 유리, 석영, 실리콘, 유기 폴리머 또는 유기-무기 복합 재료 상에 형성함으로써 얻어지는, 인쇄 회로 기판 또는 복합 기판으로서 제공될 수 있다. 제1 에피택셜 스택(320)은 순차적으로 적층되는 n-형 반도체 층(321), 활성 층(323) 및 p-형 반도체 층(325)을 포함한다. 본 예시적인 실시예에서, n-형 반도체 층(321) 및 p-형 반도체 층(325)은 단층 구조, 다층 구조 또는 초격자 층을 가질 수 있다. 부가하여, 활성 층(323)은 단일 양자 웰 구조 또는 다중 양자 웰 구조를 가질 수 있다. 제2 에피택셜 스택(330)은 순차적으로 적층되는 n-형 반도체 층(331), 활성 층(333) 및 p-형 반도체 층(335)을 포함한다. 본 예시적인 실시예에서, n-형 반도체 층(331) 및 p-형 반도체 층(335)은 단층 구조, 다층 구조 또는 초격자 층을 가질 수 있다. 부가하여, 활성 층(333)은 단일 양자 웰 구조 또는 다중 양자 웰 구조를 가질 수 있다.

[0466] 제2 에피택셜 스택(330)의 n-형 반도체 층(331), 활성 층(333) 및 p-형 반도체 층(335)은 적색 광을 방출하는 반도체 재료를 포함할 수 있다.

[0467] 적색 광을 방출하는 반도체 재료로서, 알루미늄 갈륨 비화물(AlGaAs), 갈륨 비화 인화물(GaAsP), 알루미늄 갈륨 인듐 인화물(AlGaInP) 및 갈륨 인화물(GaP)이 사용될 수 있다. 그러나, 적색 광을 방출하는 반도체 재료는 이에 또는 이에 의해 한정되지 않아야 하며, 다양한 다른 재료가 사용될 수 있다. 본 예시적인 실시예에서, 반도체 층이 다른 색광을 방출하는 경우, 다른 색광에 대응하는 반도체 재료가 선택될 수 있다.

[0468] 제1 및 제2 에피택셜 스택(320 및 330)은 기판(310)의 전면 상에 순차적으로 적층되고, 제1 및 제2 에피택셜 스택(320 및 330)의 각각은 광을 방출한다. 제1 에피택셜 스택(320)은 제2 에피택셜 스택(330)보다 상대적으로 더 짧은 파장 및 상대적으로 더 높은 에너지 밴드를 갖는 색광을 방출하고, 제2 에피택셜 스택(330)은 제1 에피택셜 스택(320)보다 상대적으로 더 긴 파장 및 상대적으로 더 낮은 에너지 밴드를 갖는 색광을 방출한다.

[0469] 본 개시의 예시적인 실시예에서, 제1 및 제2 에피택셜 스택(320 및 330)은 서로 다른 파장 대역을 갖는 광을 방출할 수 있다. 즉, 에피택셜 스택은 다수 개로 제공되고, 에피택셜 스택은 서로 다른 에너지 밴드를 갖는다. 각 에피택셜 스택은 다양한 파장 대역의 광 중 가시광 대역의 색광을 방출할 수 있다. 예를 들어, 제1 에피택셜 스택(320)은 제1 색광(L1)을 방출할 수 있고, 제2 에피택셜 스택(330)은 제2 색광(L2)을 방출할 수 있다.

[0470] 제1 및 제2 광(L1 및 L2)은 서로 다른 색광일 수 있다. 제1 및 제2 색광(L1 및 L2)은, 순차적으로 길어지는, 서로 다른 파장 대역을 갖는 색광일 수 있다. 본 예시적인 실시예에서, 제1 및 제2 색광(L1 및 L2)의 각각은 소정 파장 대역의 색상을 나타낼 수 있고, 제1 및 제2 색광(L1 및 L2)이 서로 혼합될 때 백색을 나타내도록 선택될 수 있다. 예를 들어, 제1 색광(L1)은 청색 광일 수 있고, 제2 색광(L2)은 적색 광일 수 있다. 다른 예로, 제1 색광(L1)은 청색 광일 수 있고, 제2 색광(L2)은 황색 광일 수 있다. 다른 예로, 제1 색광(L1)은 청색 광일 수

있고, 제2 색광(L2)은 녹색 광일 수 있다. 제1 및 제2 색광(L1 및 L2)이 서로 혼합될 때, 제1 및 제2 색광(L1 및 L2)의 혼합 광은 대략 흰색을 나타낼 수 있지만, 제1 및 제2 색광(L1 및 L2)의 광도 차이에 따라 색 온도 및 색 좌표에 차이가 존재한다.

[0471] 이하, 설명의 편의를 위해, 제1 색광(L1)은 청색 광으로 설명하기로 하고, 제2 색광(L2)은 적색 광으로 설명하기로 한다.

[0472] 각 에피택셜 스택은 기판(310)의 후면 방향으로 광을 방출한다. 후면 방향은 제1 및 제2 에피택셜 스택(320 및 330)이 적층되는 반대 방향에 대응한다. 이하, 설명의 편의를 위해, 기판(310)의 전면이 향하는 방향은 "전면 방향" 또는 "상방향"으로 칭하기로 하며, 기판(310)의 후면이 향하는 방향은 "후면 방향" 또는 "하방향"으로 칭하기로 한다. 그러나, "상" 및 "하"라는 용어는 서로 상대적인 방향을 나타낼 수 있으며, 발광 적층 구조의 배열 또는 적층 방향에 따라 변할 수 있다.

[0473] 제1 및 제2 에피택셜 스택(320 및 330)의 각각은 하방향으로 광을 방출한다. 즉, 제1 에피택셜 스택(320)은 그 아래에 배치되는 기판(310)으로 광을 방출하고, 제2 에피택셜 스택(330)은 그 아래에 배치되는 제1 에피택셜 스택(320) 및 기판(310)으로 광을 방출한다. 이 경우, 제1 에피택셜 스택(320)은 그 위에 배치되는 제2 에피택셜 스택(330)으로부터 방출되는 광의 대부분을 투과시킨다. 이를 위해, 제1 에피택셜 스택(320)의 적어도 일부분, 바람직하게는, 전체 부분이 광투과성 재료로 형성될 수 있다. "광투과성 재료"라는 용어는 광투과성 재료가 광을 실질적으로 전체적으로 투과시키는 경우 뿐만아니라 광투과성 재료가 소정 파장을 갖는 광 또는 소정 파장을 갖는 광의 일부분을 투과시키는 경우도 나타낸다. 예시적인 실시예에서, 제1 에피택셜 스택(320)은 그 위에 배치되는 제2 에피택셜 스택(330)으로부터의 광의 약 60% 이상을 투과시킬 수 있다. 다른 실시예에 따라, 제1 에피택셜 스택(320)은 그 위에 배치되는 제2 에피택셜 스택(330)으로부터의 광의 약 80% 이상을 투과시킬 수 있고, 다른 실시예에 따르면, 제1 에피택셜 스택(320)은 그 위에 배치되는 제2 에피택셜 스택(330)으로부터의 광의 약 90% 이상을 투과시킬 수 있다.

[0474] 본 개시의 예시적인 실시예에 따른 상술한 구조를 갖는 발광 적층 구조에서는, 제1 및 제2 에피택셜 스택(320 및 330)은, 제1 및 제2 에피택셜 스택(320 및 330)에 발광 신호를 각각 인가하는 신호 라인이 제1 및 제2 에피택셜 스택(320 및 330)에 독립적으로 연결되기 때문에, 독립적으로 구동될 수 있고, 광이 각 에피택셜 스택으로부터 방출되는지에 따라 다양한 색 온도를 갖는 색광 및 백색 광을 디스플레이할 수 있다. 부가하여, 서로 다른 파장을 갖는 광을 방출하는 제1 및 제2 에피택셜 스택(320 및 330)이 서로 중첩되도록 형성되므로, 발광 적층 구조는 좁은 면적 내에 형성될 수 있다.

[0475] 결과적으로, 본 개시의 예시적인 실시예에 따른 발광 적층 구조는 태양 광에 가까운 백색 광을 구현할 수 있으며, 사용자의 요구에 따라 다양한 색상을 갖는 광을 방출할 수 있다.

[0476] 도 37A는 본 개시의 예시적인 실시예에 따른 발광 적층 구조를 나타내는 평면도이고, 도 37B는 도 37A의 선 I-I' 을 따라 취한 단면도이다. 이하, 설명의 편의를 위해, 평면에서의 발광 적층 구조의 구조를 도 37A를 참조하여 평면에서 설명하기로 하며, 단면에서의 발광 적층 구조의 구조를 도 37B를 참조하여 단면에서 설명하기로 한다.

[0477] 도 37A 및 도 37B를 참조하면, 본 개시의 예시적인 실시예에 따른 발광 적층 구조는 실질적으로 직사각형 형상을 가질 수 있지만, 발광 적층 구조의 형상은 직사각형 형상에 한정되어서는 아니된다.

[0478] 본 개시의 예시적인 실시예에서, 발광 적층 구조는 평면도에서 볼 때 발광 구역(EA) 및 주변 구역(PA)를 포함한다. 제1 및 제2 에피택셜 스택(320 및 330)은 발광 적층 구조의 발광 구역(EA) 내에서 적층된다. 주변 구역(PA)은 발광 구역(EA)의 적어도 일측에 인접하여 배치될 수 있다. 본 예시적인 실시예에서, 주변 구역(PA)은 발광 구역(EA)을 둘러싸도록 제공된다. 컨택 부가 주변 구역(PA) 내에 배치되어 제1 및 제2 에피택셜 스택(320 및 330)을 배선에 전기적으로 연결한다. 컨택 부는 컨택 홀이 제1 및 제2 에피택셜 스택(320 및 330)의 적어도 일부분을 통해 마련되는 구역이고, 컨택 부는 제1, 제2 및 제3 컨택 부(320C, 330C 및 340C)를 포함한다. 제1 컨택 부(320C)는 제1 에피택셜 스택(320)에 발광 신호를 공급하기 위해 마련되고, 제2 컨택 부(330C)는 제2 에피택셜 스택(330)에 발광 신호를 공급하기 위해 마련되며, 제3 컨택 부(340C)는 제1 및 제2 에피택셜 스택(320 및 330)에 공통 전압을 공급하기 위해 마련된다. 본 예시적인 실시예에서, 전극 부와 배선의 전기적인 연결을 위해, 제1 컨택 홀(CH1)이 제1 컨택 부(320C)에 마련되고, 제2 컨택 홀(CH2)이 제2 컨택 부(330C)에 마련되며, 제3 및 제4 컨택 홀(CH3 및 CH4)이 제3 컨택 부(340C)에 마련된다.

[0479] 본 예시적인 실시예에서, 컨택 부는 직사각형 형상의 각 모서리에 대응하는 위치에 배치될 수 있다. 즉, 발광

적층 구조가 사각형 형상을 갖는 경우, 제1 컨택 부(320C), 제2 컨택 부(330C) 및 제3 컨택부(340C)는, 발광 구역이 중심 부분에 위치되도록, 사각형 형상의 네 개의 모서리 중 세 개의 모서리에 배치될 수 있다. 그러나, 컨택 부의 위치는 이에 또는 이에 의해 한정되어서는 아니되고 다양한 방식으로 변경될 수 있다. 즉, 컨택 부는 사각형 형상의 변의 중심 또는 사각형 형상의 내부에 배치될 수 있다.

[0480] 본 예시적인 실시예에서, 제1 및 제2 에피택셜 스택(320 및 330)은 평면도에서 볼 때 서로 중첩될 수 있다. 제1 및 제2 에피택셜 스택(320 및 330)은 발광 구역(EA) 내에서 서로 완전히 중첩될 수 있지만, 전극 부와의 접촉을 위해 주변 구역 내에서는 서로 완전히 중첩되지 않을 수 있다.

[0481] 제1 및 제2 에피택셜 스택(320 및 330)의 각각은 제1 및 제2 에피택셜 스택(320 및 330)에 발광 신호를 인가하기 위한 전극 부를 포함한다.

[0482] 전극 부는 제1 신호 전극(320E), 제2 신호 전극(330E) 및 공통 전극(340E)을 포함한다.

[0483] 제1 신호 전극(320E), 제2 신호 전극(330E) 및 공통 전극(340E)은 평면도에서 볼 때 서로 이격된다. 제1 신호 전극(320E), 제2 신호 전극(330E) 및 공통 전극(340E)은 제1 컨택 부(320C), 제2 컨택부(330C) 및 제3 컨택부(340C)에 각각 대응하는 위치에 배치된다.

[0484] 이 경우, 제1 신호 전극(320E), 제2 신호 전극(330E) 및 공통 전극(340E)의 각각은 주변 구역(PA)에만 배치될 수 있거나 또는 주변 구역(PA) 및 발광 구역(EA)에 걸쳐서 배치될 수 있다. 본 개시의 예시적인 실시예에 따른 발광 적층 구조는 광(L)을 하방향으로 방출하므로, 발광 적층 구조 상에 형성되는 제1 신호 전극(320E), 제2 신호 전극(330E) 및 공통 전극(340E)은 광로 상에 배치되지 않으며, 그러므로, 제1 신호 전극(320E), 제2 신호 전극(330E) 및 공통 전극(340E)은 발광 구역(EA)을 덮도록 제공될 수 있다. 본 예시적인 실시예에서, 제1 신호 전극(320E) 및 제2 신호 전극(330E)은 주변 구역(PA)에 배치되고, 공통 전극(340E)은 제1 및 제2 신호 전극(320E 및 330E)보다 넓은 면적을 가지며 주변 구역(PA) 및 발광 구역(EA)의 일부분 상에 배치된다.

[0485] 제1 신호 전극(320E) 및 공통 전극(340E)은 제1 에피택셜 스택(320)에 연결된다. 제2 신호 전극(330E) 및 공통 전극(340E)은 제2 에피택셜 스택(330)에 연결된다. 제1 신호 전극(320E)은 제1 컨택 홀(CH1)을 통해 제1 에피택셜 스택(320)에 연결되며, 공통 전극(340E)은 제3 컨택 홀(CH3)을 통해 제1 에피택셜 스택(320)에 연결된다. 제2 신호 전극(330E)은 제2 컨택 홀(CH2)을 통해 제2 에피택셜 스택(330)에 연결되며, 공통 전극(340E)은 제4 컨택 홀(CH4)을 통해 제2 에피택셜 스택(330)에 연결된다.

[0486] 다음으로, 발광 적층 구조를 도 37A 및 도 37B를 참조하여 그 적층 순서에 따라 설명하기로 한다.

[0487] 본 예시적인 실시예에 따라, 제1 에피택셜 스택(320)이 기판(310) 상에 배치된다.

[0488] 제1 p-형 컨택 전극(327)이 제1 에피택셜 스택(320) 상에 배치된다. 구체적으로, 제1 p-형 컨택 전극(327)은 제1 에피택셜 스택(320)의 p-형 반도체 층과 접촉하도록 제공된다. 제1 p-형 컨택 전극(327)은 투명 도전성 재료, 예컨대, 투명 도전성 산화물(TCO)을 포함할 수 있으며, 약 2000 옹스트롬 내지 약 2 마이크로미터의 두께를 가질 수 있다. 투명 도전성 산화물은 주석 산화물(SnO), 인듐 산화물(InO2), 아연 산화물(ZnO), 인듐 주석 산화물(ITO) 및 인듐 주석 아연 산화물(ITZO)을 포함할 수 있다. 투명 도전성 산화물은 증발기 또는 스퍼터를 이용한 화학 기상 증착(CVD) 또는 물리 기상 증착(PVD)에 의해 증착될 수 있다. 제1 p-형 컨택 전극(327)의 재료는 이에 또는 이에 의해 한정되어서는 아니된다.

[0489] 본 개시의 예시적인 실시예에서, 장파장 통과 필터(360)는 제1 p-형 컨택 전극(327) 상에 배치될 수 있다. 장파장 통과 필터(360)는 고순도 및 고효율을 갖는 색광을 제공하기 위한 구성 요소일 수 있고, 발광 적층 구조에서 선택적으로 이용될 수 있다. 장파장 통과 필터(360)는, 상대적으로 더 짧은 파장을 갖는 광이 상대적으로 더 긴 파장을 갖는 광을 방출하는 에피택셜 스택으로 진행하는 것을 차단하기 위해, 사용된다.

[0490] 본 예시적인 실시예에서, 장파장 통과 필터(360)는 소정 파장을 갖는 광을 선택적으로 투과시킨다. 장파장 통과 필터(360)는 제2 에피택셜 스택(330)으로부터 방출되는 제2 색광을 투과시킬 수 있고 제2 색광을 제외한 광을 차단 또는 반사시킬 수 있다. 따라서, 제2 에피택셜 스택(330)으로부터 방출되는 제2 색광은 하방향 방향으로 진행할 수 있고, 제1 에피택셜 스택(320)으로부터 방출되는 제1 색광은 제2 에피택셜 스택(330)을 향해 진행하지 않을 수 있으며 장파장 통과 필터(360)에 의해 반사되거나 차단될 수 있다.

[0491] 제1 색광은 제2 색광보다 상대적으로 더 짧은 파장 및 상대적으로 높은 에너지를 갖는 광이다. 제1 색광이 제2 에피택셜 스택(330) 내로 입사되는 경우, 부가적인 발광이 제2 에피택셜 스택(330) 내에서 유발될 수 있다. 본 예시적인 실시예에서, 제1 색광은 제2 에피택셜 스택(330) 내로 입사되는 것이 장파장 통과 필터(360)에 의해

방지될 수 있다.

[0492] 장파장 통과 필터(360)는 발광 구역(EA) 및 주변 구역(PA) 내에 배치될 수 있지만, 장파장 통과 필터(360)는 필요에 따라 주변 구역(AP) 내에는 배치되지 않을 수 있다.

[0493] 제2 에피택셜 스택(330)은, 접착 층(350)이 사이에 개재되는 상태에서 제1 p-형 컨택 전극(327)이 그 위에 배치되는, 제1 에피택셜 스택(320) 상에 배치된다.

[0494] 접착 층(350)은 비도전성 재료를 포함할 수 있으며, 광 투과성 재료를 포함할 수 있다. 예를 들어, 접착 층(350)은 광학용 투명 접착제(optically clear adhesive: OCA)를 포함할 수 있다. 접착 층(350)의 재료는, 접착 층(350)의 재료가 광학적으로 투명하고 각 에피택셜 스택에 안정적으로 부착되는 한, 특별히 제한되지 않아야 한다. 예를 들어, 접착 층(350)은, SU-8, 다양한 레지스트, 파릴렌, 폴리(메틸 메타크릴레이트)(PMMA) 및 벤조사이클로부텐(BCB)과 같은 에폭시계 폴리머와 같은 유기 재료 및 실리콘 산화물, 알루미늄 산화물 및 용융 유리와 같은 무기 재료를 포함할 수 있다. 또한, 필요에 따라 도전성 산화물이 접착 층으로서 사용될 수 있으며, 이 경우, 도전성 산화물은 다른 구성 요소로부터 절연될 필요가 있다. 유기 재료가 접착 층으로서 사용되고 무기 재료 중 용융 유리가 접착 층으로서 사용되는 경우, 제1 및 제2 에피택셜 스택(320 및 330)은, 제1 및 제2 에피택셜 스택(320 및 330)의 접착 측(adhesive side) 상에 재료를 코팅하고 고진공 상태 하에서 재료에 고온 및 고압을 인가함으로써, 서로 부착된다. (용융 유리를 제외한) 무기 재료가 접착 층으로서 사용되는 경우, 제1 및 제2 에피택셜 스택(320 및 330)은, 제1 및 제2 에피택셜 스택(320 및 330)의 접착 측 상에 무기 재료를 증착하고 화학-기계적 평탄화(CMP)를 이용하여 무기 재료를 평탄화하고 무기 재료의 표면 상에서 플라즈마 처리를 수행하고 제1 및 제2 에피택셜 스택(320 및 330)을 고진공 상태 하에서 부착함으로써, 서로 부착된다.

[0495] 제2 에피택셜 스택(330)은 접착 층(350) 상에 배치된다.

[0496] n-형 반도체 층, 활성 층 및 p-형 반도체 층의 일부분을 제거함으로써, 메사(M)가 제2 에피택셜 스택(330)에 형성된다. 반도체 층의 일부분(상세하게는, n-형 반도체 층 및 활성 층의 일부분)이 메사(M)가 형성되지 않은 부분으로부터 제거되며, 그러므로, n-형 반도체 층의 상부 표면이 노출된다. 메사(M)가 배치되는 구역은 발광 구역(EA)과 중첩될 수 있고, 메사(M)가 배치되지 않는 구역은 주변 구역(PA), 특히 컨택 부와 중첩될 수 있다.

[0497] 제2 n-형 컨택 전극(339)이 n-형 반도체 층의 노출된 상부 표면 상에 배치된다. 제2 p-형 컨택 전극(337)은, 오믹 전극(337') 및 제1 절연 층(371)이 사이에 개재되는 상태에서, 메사가 그 위에 형성되는 p-형 반도체 층 상부에 배치된다.

[0498] 제1 절연 층(371)은 제2 에피택셜 스택(330)의 상부 표면을 덮고, 오믹 전극(337')이 배치되는 부분에 대응하여 그를 관통하여 마련되는 컨택 홀을 포함한다. 오믹 전극(337')은 제3 컨택 부(340C)가 배치되는 구역에 대응하여 배치될 수 있으며, 다양한 형상, 예를 들어, 도 37A에 도시된 바와 같은 도넛 형상을 가질 수 있다.

[0499] 오믹 전극(337')은 오믹 접촉을 위해 사용될 수 있으며 다양한 재료를 포함할 수 있다. 본 개시의 예시적인 실시예에서, 오믹 전극(337')은 Au(Zn) 또는 Au(Be)를 포함할 수 있다. 이 경우, 오믹 전극(337')용 재료는 Ag, Al 및 Au보다 낮은 반사율을 갖기 때문에, 추가 반사 전극이 더 배치될 수 있다. 추가 반사 전극용 재료로서, Ag 또는 Au가 사용될 수 있고, Ti, Ni, Cr 또는 Ta를 포함하는 층이 인접한 구성 요소에의 접착을 위한 접착 층으로서 배치될 수 있다. 이 경우, 접착 층은 Ag 또는 Au를 포함하는 반사 전극의 상부 및 하부 표면 상에 얇게 증착될 수 있다.

[0500] 제2 p-형 컨택 전극(337)이 제1 절연 층(371) 상에 배치된다. 제2 p-형 컨택 전극(337)은 발광 구역(EA)과 중첩할 수 있고, 평면도에서 볼 때 발광 구역(EA)의 전체를 덮도록 제공될 수 있다. 제2 p-형 컨택 전극(337)은 반사성을 갖는 재료를 포함하여 제2 에피택셜 스택(330)으로부터의 광을 하방향으로 반사시킬 수 있다. 제2 p-형 컨택 전극(337)용의 반사성을 갖는 재료로서, 다양한 반사성 금속, 예컨대, Ag, Al 및 Au가 사용될 수 있으며, Ti, Ni, Cr 또는 Ta를 포함하는 층이 인접한 구성 요소에의 접착을 위한 접착 층으로서 배치될 수 있다.

[0501] 특히, 제2 에피택셜 스택(330)이 적색 광을 방출할 때, 제2 p-형 컨택 전극(337)은 적색 광의 파장 대역에서 높은 반사율을 갖는 재료를 포함할 수 있다. 예를 들어, 제2 p-형 컨택 전극(337)은 적색 광의 파장 대역에서 높은 반사율을 갖는 "Au"를 포함할 수 있으며, 이 경우, "Au"는 제2 p-형 컨택 전극(337)의 바닥으로부터 누출되는 청색 광을 흡수할 수 있기 때문에, 불필요한 색 간섭이 감소될 수 있다.

[0502] 본 예시적인 실시예에서, 제1 절연 층(271)은, 제2 에피택셜 스택(330)으로부터의 광의 반사가 용이하게 수행되도록, 반사성을 갖도록 형성될 수 있다. 예를 들어, 제1 절연 층(371)은 전방향 반사기(omni-directional

reflector: ODR) 구조를 가질 수 있다.

[0503] 제2 절연 층(373)이, 제2 p-형 컨택 전극(337)이 그 위에 배치되는, 제1 절연 층(371) 상부에 배치된다. 제2 절연 층(373)은 제2 에피택셜 스택(330)의 상부 표면 및 제2 절연 층(373) 아래에 배치되는 각 구성 요소의 측면을 덮는다.

[0504] 본 예시적인 실시예에서, 제2 절연 층(373)은 또한 반사성을 가질 수 있다. 부가하여, 상세하게 도시하지는 않았지만, 본 개시의 예시적인 실시예에서, 광불투과성 층이, 발광 적층 구조의 측면에 대응하는 제2 절연 층(373)의 측 부분 상에, 더 배치될 수 있다. 광불투과성 층은 광 차단 층으로서 작용하여 제1 및 제2 에피택셜 스택(320 및 330)으로부터의 광이 발광 적층 구조의 측면을 통해 출사되는 것을 방지할 수 있으며, 광을 흡수하거나 또는 반사시키는 재료를 포함할 수 있다.

[0505] 광불투과성 층은, 광불투과성 층이 광을 흡수하거나 반사시켜 광의 투과를 차단하는 한, 특별히 제한되지 않아야 한다. 본 개시의 예시적인 실시예에서, 광불투과성 층은 분산 브래그 반사기(DBR) 유전체 미러, 절연 층 상에 형성되는 금속 반사 층 또는 흑색 유기 폴리머 층일 수 있다. 금속 반사 층이 광불투과성 층으로서 사용될 때, 금속 반사 층은, 금속 반사 층이 다른 발광 적층 구조의 구성 요소로부터 전기적으로 절연되는, 플로팅 상태일 수 있다.

[0506] 발광 적층 구조의 측면 상에 배치되는 광불투과성 층으로 인해, 특정 발광 적층 구조로부터 출사되는 광이 인접한 발광 적층 구조에 영향을 미치거나 인접한 발광 적층 구조로부터 출사되는 광과 혼합되는 것을 방지할 수 있다.

[0507] 제1 및 제2 신호 전극(320E 및 330E) 및 공통 전극(340E)은 제2 절연 층(373) 상에 배치된다. 제1 및 제2 신호 전극(320E 및 330E) 및 공통 전극(340E)은 단층 또는 다층 금속을 가질 수 있다. 예를 들어, 제1 및 제2 신호 전극(320E 및 330E) 및 공통 전극(340E)은 Al, Ti, Cr, Ni, Au, Ag, Sn, W 및 Cu의 금속 또는 그 합금을 포함하는 다양한 재료를 포함할 수 있다.

[0508] 제1 및 제2 신호 전극(320E 및 330E) 및 공통 전극(340E)은 그 아래에 마련되는 제1, 제2, 제3 및 제4 컨택 홀(CH1, CH2, CH3 및 CH4)을 통해 대응하는 구성 요소에 각각 연결된다.

[0509] 제1 신호 전극(320E)은 제1 컨택 홀(CH1)을 통해 제1 에피택셜 스택(320)의 n-형 반도체 층에 연결된다. 제1 컨택 홀(CH1)은, 위로부터 제2 절연 층(373), 제1 절연 층(371), 제2 에피택셜 스택(330), 접착 층(350), 장파장 통과 필터(360), 제1 p-형 컨택 전극(327) 및 제1 에피택셜 스택(320)의 부분을 관통함으로써, 마련된다. 특히, 제1 에피택셜 스택(320)의 p-형 반도체 층 및 활성 층의 부분이 제거되고 제1 에피택셜 스택(320)의 n-형 반도체 층의 상부 표면이 노출되므로, 제1 신호 전극(320E)이 제1 컨택 홀(CH1)을 통해 제1 에피택셜 스택(320)의 n-형 반도체 층에 연결된다.

[0510] 제2 신호 전극(330E)은 제2 컨택 홀(CH2)을 통해 제2 에피택셜 스택(330)의 n-형 반도체 층에 연결된다. 제2 컨택 홀(CH2)은 위로부터 제2 절연 층(373) 및 제1 절연 층(371)을 관통함으로써 마련된다. 따라서, 제2 에피택셜 스택(330)의 n-형 반도체 층의 상부 표면이 제2 컨택 홀(CH2)을 통해 노출되며, 그러므로, 제2 신호 전극(330E)이 제2 컨택 홀(CH2)을 통해 제2 에피택셜 스택(330)의 n-형 반도체 층에 연결된다.

[0511] 공통 전극(340E)은 제3 컨택 홀(CH3)을 통해 제1 에피택셜 스택(320)의 제1 p-형 컨택 전극(327)에 연결된다. 제3 컨택 홀(CH3)은, 위로부터 제2 절연 층(373), 제1 절연 층(371), 제2 에피택셜 스택(330), 접착 층(350) 및 장파장 통과 필터(360)의 부분을 관통함으로써, 마련된다. 따라서, 제1 p-형 컨택 전극(327)의 상부 표면이 노출되고, 공통 전극(340E)은 제3 컨택 홀(CH3)을 통해 제1 p-형 컨택 전극(327)에 연결된다.

[0512] 부가하여, 공통 전극(340E)은 제4 컨택 홀(CH4)을 통해 제2 에피택셜 스택(330)의 제2 p-형 컨택 전극(337)에 연결된다. 제4 컨택 홀(CH4)은 제2 절연 층(373)의 부분을 관통함으로써 마련된다. 따라서, 제2 p-형 컨택 전극(337)의 상부 표면이 노출되고, 공통 전극(340E)은 제4 컨택 홀(CH4)을 통해 제2 p-형 컨택 전극(337)에 연결된다.

[0513] 상술한 구조를 갖는 발광 적층 구조는 제1 및 제2 에피택셜 스택(320 및 330)으로부터의 발광을 이용하여 광을 하방향으로 방출한다. 이 경우, 별도의 구동 신호가 제1 및 제2 신호 전극(320E 및 330E)을 통해 제1 및 제2 에피택셜 스택(320 및 330)에 인가될 수 있고, 그러므로, 제1 및 제2 에피택셜 스택(320 및 330)의 발광이 독립적으로 제어될 수 있다. 다시 말하면, 제1 에피택셜 스택(320)이 발광하는지 여부는 제1 신호 전극(320E) 및 공통 전극(340E)을 통해 제1 에피택셜 스택(320)에 각각 인가되는 발광 신호 및 공통 전압에 의해 결정될 수 있다.

제2 에피택셜 스택(330)이 발광하는지 여부는 제2 신호 전극(330E) 및 공통 전극(340E)을 통해 제2 에피택셜 스택(330)에 각각 인가되는 발광 신호 및 공통 전압에 의해 결정될 수 있다. 결과적으로, 제1 에피택셜 스택(320) 및 제2 에피택셜 스택(330)의 발광은 제1 신호 전극(320E)에 인가되는 신호 및 제2 신호 전극(330E)에 인가되는 신호에 따라 개별적으로 상이할 수 있다.

[0514] 전술한 실시예에서, 공통 전압이 제1 및 제2 에피택셜 스택(320 및 330)의 p-형 반도체 층에 인가되고 발광 신호가 제1 및 제2 에피택셜 스택(320 및 330)의 n-형 반도체 층에 인가되지만, 본 개시의 실시예가 이에 또는 이에 의해 한정되어서는 아니된다. 본 개시의 다른 실시예에 따라, 공통 전압이 제1 및 제2 에피택셜 스택(320 및 330)의 n-형 반도체 층에 인가될 수 있고, 발광 신호가 제1 및 제2 에피택셜 스택(320 및 330)의 p-형 반도체 층에 인가될 수 있다. 이러한 구조는, p-형 반도체 층, 활성 층 및 n-형 반도체 층의 순서로 각 에피택셜 스택의 구성 요소를 배열함으로써 용이하게 구현될 수 있으며, 이러한 순서는 본 개시에 있어서 반도체 층의 적층 순서, 즉, n-형 반도체 층, 활성 층 및 p-형 반도체 층의 순서와 다르다.

[0515] 따라서, 본 예시적인 실시예에 따른 발광 적층 구조는 제1 및 제2 에피택셜 스택을 개별적으로 구동함으로써 각 동작 모드에 따라 다른 색 온도를 갖는 백색 광을 제공할 수 있다. 특히, 제1 및 제2 에피택셜 스택에 인가되는 전류가 개별적으로 제어되므로, 색 온도가 미세하게 제어될 수 있다. 그러므로, 본 예시적인 실시예에 따른 발광 적층 구조가 조명 장치에 적용되는 경우, 광은 사용자의 감도에 따라 제어될 수 있다. 부가하여, 제1 및 제2 에피택셜 스택으로부터의 광을 이용하여 색광을 다양한 방식으로 서로 혼합함으로써 백색 광이 발생될 수 있고, 결과적으로, 높은 연색 지수(color rendering index) 및 넓은 상관 색 온도(correlated color temperature)를 갖는 백색 광이 구현될 수 있다.

[0516] 또한, 색상을 디스플레이할 때, 상술한 구조를 갖는 발광 적층 구조는 평면 상의 서로 다른 구역을 통해 서로 다른 색광을 제공하기 보다는 서로 중첩되는 구역을 통해 서로 다른 색광을 제공하며, 그러므로, 발광 소자가 소형화될 수 있고 집적화될 수 있다. 종래 기술에 따르면, 서로 다른 색광, 예컨대, 적색 및 청색 광을 방출하는 발광 소자는 백색 광을 구현하기 위해 평면 상에서 서로 이격되어 배치된다. 따라서, 발광 소자가 평면 상에서 서로 이격되어 배치되기 때문에, 종래 기술에서 발광 소자에 의해 점유되는 면적은 상대적으로 크다. 한편, 본 개시에 따르면, 서로 다른 색광을 방출하는 발광 소자가 서로 중첩되는 동일한 면적 내에 배치되어 발광 적층 구조를 형성하며, 그러므로, 종래 기술보다 현저히 작은 면적을 통해 백색 광이 구현될 수 있다. 그러므로, 고해상도 디스플레이 디바이스가 작은 면적 내에 제조될 수 있다.

[0517] 또한, 적층 방식으로 제조되는 종래의 발광 소자의 경우에도, 종래의 발광 소자는, 각 발광 소자 내에 컨택 부를 개별적으로 형성함으로써, 예컨대, 발광 소자를 개별적으로 그리고 분리적으로 형성하고 발광 소자를 와이어링을 사용하여 서로 연결함으로써, 제조된다. 결과적으로, 발광 디바이스의 구조가 복잡하고, 발광 디바이스를 제조하기가 쉽지 않다. 그러나, 본 개시의 예시적인 실시예에 따른 발광 적층 구조는, 하나의 기판 상에 다수의 에피택셜 스택을 순차적으로 적층하고 최소 공정을 통해 에피택셜 스택에 라인 부를 연결함으로써, 제조되며, 그러므로, 발광 적층 구조의 구조 및 제조 방법이 단순화될 수 있다.

[0518] 상술한 구조를 갖는 발광 적층 구조는 기판 상에 제1 및 제2 에피택셜 스택을 순차적으로 적층함으로써 제조될 수 있으며, 이에 대해 첨부한 도면을 참조하여 설명하기로 한다. 본 개시의 예시적인 실시예에 따른 발광 적층 구조는 단일 개수로 제조될 수 있거나, 또는 다수의 발광 적층 구조가 넓은 면적을 갖는 기판을 사용하여 실질적으로 동시에 형성될 수 있다. 발광 적층 구조들이 실질적으로 동시에 형성되는 경우, 서로 인접한 발광 적층 구조를 서로 전기적으로 물리적으로 분리하기 위해 리세스 부분이 형성될 수 있고, 각 발광 적층 구조는 최종 공정에서 리세스 부분에 대응하는 부분을 절단함으로써 단일 발광 적층 구조로서 분리될 수 있다.

[0519] 이하의 실시예에서, 하나의 발광 적층 구조가 대표적인 예로서 도시된다. 다수의 발광 적층 구조가 형성되는 경우, 도면에서 최외곽 라인에 해당하는 부분이 기판의 가장자리 및 서로 인접한 발광 적층 구조 사이의 경계에 해당한다.

[0520] 도 38A, 도 39A, 도 40A, 도 41A, 도 42A 및 도 43A는 본 개시의 예시적인 실시예에 따른 발광 적층 구조의 제조 방법을 순차적으로 나타내는 평면도이고, 도 38B, 도 39B, 도 40B 내지 도 40G, 도 41B 내지 도 41D, 도 42B 및 도 43B는 각각 도 38A, 도 39A, 도 40A, 도 41A, 도 42A 및 도 43A의 선 I-I을 따라 취한 단면도이다.

[0521] 본 개시의 예시적인 실시예에 따른 발광 적층 구조는, 기판(310) 상에 제1 에피택셜 스택(320)을 형성하고 별도의 임시 기판 상에 제2 에피택셜 스택(330)을 형성하고 제1 에피택셜 스택(320) 상에 제2 에피택셜 스택(330)을 형성하고 제1 및 제2 에피택셜 스택(320 및 330)을 연결하는 전극 부를 형성함으로써, 제조될 수 있다. 이하,

설명의 편의를 위해, 발광 적층 구조의 제조에 대해, 제2 에피택셜 스택(330)을 임시 기판 상에 형성하고 제2 에피택셜 스택(330)을 제1 에피택셜 스택(230) 상에서 형성하는 순서로 설명하기로 한다.

[0522] 도 38A 및 도 38B를 참조하면, 제1 에피택셜 스택(320)이 제1 임시 기판(310p) 상에 배치된다.

[0523] 제1 임시 기판(310p)은 제2 에피택셜 스택(330)을 형성하기 위한 반도체 기판(310)일 수 있다. 제1 임시 기판(310p)은 형성될 반도체 층에 따라 다르게 설정될 수 있으며, 제2 에피택셜 스택(330)이 적색 광을 방출하는 반도체 층을 포함할 때, 제1 임시 기판(310p)은 갈륨 비화물(GaAs) 기판일 수 있다. 제2 에피택셜 스택(330)은, 제1 임시 기판(310p) 상에 n-형 반도체 층, 활성 층 및 p-형 반도체 층을 형성하고 활성 층 및 p-형 반도체 층의 일부분 및 필요시, 메사 구조(M)를 형성하기 위해, n-형 반도체 층의 일부분을 제거함으로써, 제조된다. 메사 구조(M)가 형성되기 때문에, 제2 에피택셜 스택(330)의 n-형 반도체 층의 상부 표면이 노출된다.

[0524] 도 39A 및 도 39B를 참조하면, 제2 n-형 컨택 전극(339), 오믹 전극(337') 및 제1 절연 층(371)이, 메사 구조(M)가 그 위에 형성되는, 제2 에피택셜 스택(330) 상에 형성된다. 제2 n-형 컨택 전극(339)은 제2 컨택 부(330C)에 해당하는 구역 내에 배치되고, 오믹 전극(337')은 제3 컨택 부(340C)에 해당하는 구역 내에 배치된다. 제2 에피택셜 스택(330)의 p-형 반도체 층의 상부 표면이 통하여 노출되는 컨택 홀이, 오믹 전극(337')이 형성되는 구역 내에서, 제1 절연 층(371)을 통해 형성되며, 오믹 전극(337')은 컨택 홀 내에 형성된다.

[0525] 도 40A 및 도 40B를 참조하면, 제2 p-형 컨택 전극(337)이, 제1 절연 층(371)이 그 위에 형성되는, 제1 임시 기판(310p) 상부에 형성된다. 제2 p-형 컨택 전극(337)은 반사 재료를 포함할 수 있으며 발광 구역(EA)을 덮도록 형성될 수 있다. 제2 p-형 컨택 전극(337)은, 제1 절연 층(371) 및 오믹 전극(337')의 전체 표면 상에 반사성 도전 재료를 형성하고 포토리소그래피 공정을 이용하여 반사성 도전 재료를 패터닝함으로써, 형성될 수 있다.

[0526] 도 40A 및 도 40C를 참조하면, 제2 p-형 컨택 전극(337)이 그 위에 형성되는, 제2 에피택셜 스택(330)은 제1 임시 기판(310p)과 함께 반전되고 임시 접착 층(351)이 사이에 개재되는 상태에서 제2 임시 기판(310q)에 부착된다.

[0527] 임시 접착 층(351)은 제2 에피택셜 스택(330)을 제2 임시 기판(310q)에 부착하며 소정 공정이 실행된 후에 제거된다. 따라서, 임시 접착 층(351)은, 소정의 접착력을 가지면서 제거하기 쉬운 재료 중 선택되는 재료로 형성될 수 있다. 임시 접착 층(351)의 재료는 특별히 제한되지 않아야 한다.

[0528] 제2 임시 기판(310q)은, 제2 에피택셜 스택(330)이 그 위에 일시적으로 부착되는, 캐리어 기판이며, 제2 임시 기판(310q)의 유형은 특별히 제한되지 않아야 한다.

[0529] 도 40A 및 도 40D를 참조하면, 제1 임시 기판(310p)은, 제2 에피택셜 스택(330)이 제2 임시 기판(310q)에 부착된 후, 제거된다. 제1 임시 기판(310p)은 습식 식각 공정, 건식 식각 공정, 물리적 제거 공정 또는 레이저 리프트-오프 공정과 같은 다양한 방법에 의해 제거될 수 있다. 그러나, 제1 임시 기판(310p)을 제거하기 위한 방법은 이에 또는 이에 의해 제한되지 않아야 한다. 제1 임시 기판(310p)은, 제1 임시 기판(310p)과 제2 에피택셜 스택(330) 사이에 희생 층을 형성하고 희생 층을 제거함으로써, 제거될 수 있다.

[0530] 도 40A 및 도 40E를 참조하면, 제1 에피택셜 스택(320)이 제2 에피택셜 스택(330)과 별도로 제조된다. 제1 에피택셜 스택(320)은, n-형 반도체 층, 활성 층 및 p-형 반도체 층을 기판(310) 상에 순차적으로 형성함으로써, 제조될 수 있다. 제1 p-형 컨택 전극(327), 장파장 통과 필터(360) 및 접착 층(350)이 제1 에피택셜 스택(320) 상에 순차적으로 형성될 수 있다.

[0531] 도 40A 및 도 40F를 참조하면, 제2 임시 기판(310q) 상에 형성된 제2 에피택셜 스택(330)은 반전되어, 접착 층(350)이 사이에 개재되는 상태에서, 제1 에피택셜 스택(320)에 부착된다. 이 경우, 제2 에피택셜 스택(330)의 n-형 반도체 층의 하부 표면은 제1 에피택셜 스택(320)의 p-형 반도체 층과 마주 보도록 배치되고, 그리고 나서, 제2 에피택셜 스택(330)은 제1 에피택셜 스택(320)에 부착된다. 접착 층(350)은 비도전성 재료를 포함할 수 있으며, 광 투과 특성을 갖는 재료를 포함할 수 있다. 예를 들어, 광학용 투명 접착제가 접착 층(350)으로서 사용될 수 있다.

[0532] 도 40A 및 도 40G를 참조하면, 제2 에피택셜 스택(330) 상부에 배치되는 임시 접착 층(351) 및 제2 임시 기판(310q)이, 제2 에피택셜 스택(330)이 제1 에피택셜 스택(320) 상에 부착된 후에, 제거된다. 제2 임시 기판(310q)은 다양한 방법으로 제거될 수 있다. 예를 들어, 제2 임시 기판(310q)이 사파이어 기판일 때, 사파이어 기판은 레이저 리프트-오프 공정, 스트레스 리프트-오프 공정, 화학적 리프트-오프 공정 또는 물리적 연마 공정에 의해 제거될 수 있다.

[0533] 전술한 바와 같이 제1 에피택셜 스택(320) 및 제2 에피택셜 스택(330)이 기판(310) 상에 형성된 후, 전극 부 및 컨택 부가 형성된다. 이를 이하에 상세하게 설명하기로 한다.

[0534] 도 41A 및 도 41B를 참조하면, 제1 절연 층(371), 제2 에피택셜 스택(330), 접착 층(350) 및 장파장 통과 필터(360)의 부분이 제1 컨택 부(320C) 및 제3 컨택 부(340C)에 대응하는 구역으로부터 제거되어, 제1 임시 컨택 홀(CH1') 및 제3 컨택 홀(CH3)을 각각 형성한다. 이 경우, 제1 임시 컨택 홀(CH1') 및 제3 컨택 홀(CH3)을 갖는 발광 적층 구조의 주변을 따라 리세스 부분이 형성된다. 리세스 부분은, 발광 적층 구조가 형성될 때 서로 인접한 발광 적층 구조를 전기적으로 그리고 물리적으로 분리하도록, 형성된다.

[0535] 제1 임시 컨택 홀(CH1'), 제3 컨택 홀(CH3) 및 리세스 부분은 포토리소그래피 공정을 이용하여 형성될 수 있다. 제1 p-형 컨택 전극(327)의 상부 표면이 제1 임시 컨택 홀(CH1'), 제3 컨택 홀(CH3) 및 리세스 부분(R)으로 인해 외부에 노출된다.

[0536] 도 41A 및 도 41C를 참조하면, 제1 p-형 컨택 전극(327) 및 제1 에피택셜 스택(320)의 부분, 구체적으로, 제1 에피택셜 스택(320)의 p-형 반도체 층 및 활성 층의 부분이 제1 컨택 부(320C)에 해당하는 구역으로부터 제거되어 제1 컨택 홀(CH1)을 형성한다. 이 경우, 제1 에피택셜 스택(320)의 p-형 반도체 층 및 활성 층의 부분이 발광 적층 구조의 주변을 따라 제거되며, 그러므로, 리세스 부분이 더 식각된다.

[0537] 제1 컨택 홀(CH1) 및 리세스 부분의 추가적인 식각은 포토리소그래피 공정에 의해 실행될 수 있다. 따라서, 제1 에피택셜 스택(320)의 n-형 반도체 층의 상부 표면은, 제1 컨택 부(320C)에 대응하는 구역에서 제1 컨택 홀(CH1)을 통해 그리고 발광 적층 구조의 주변 내의 리세스 부분을 통해, 외부로 노출된다.

[0538] 도 41A 및 도 41D를 참조하면, 제1 에피택셜 스택(320)의 n-형 반도체 층의 부분이 발광 적층 구조의 주변을 따라 제거되며, 그러므로, 리세스 부분이 더 식각된다. 이는 각 발광 적층 구조를 그에 인접한 발광 적층 구조로부터 전기적으로 그리고 물리적으로 분리하기 위한 것이다. 본 작업에서 리세스 부분의 추가적인 식각은 포토리소그래피 공정에 의해 실행될 수 있고, 기판(310)의 상부 표면은 발광 적층 구조의 주변에서 노출된다.

[0539] 도 42A 및 도 42B를 참조하면, 제2 절연 층(373)이 기판(310)의 전체 표면 상부에 형성되고 패터닝되어, 제2 컨택 부(330C) 및 제3 컨택 부(340C)에 제2 컨택 홀(CH2) 및 제4 컨택 홀(CH4)을 각각 형성한다. 제2 절연 층(373)은, 제2 에피택셜 스택(330) 상부의 구성 요소뿐만 아니라 제1 및 제2 에피택셜 스택(320 및 330) 및 리세스 부분이 형성되는 발광 적층 구조의 측면도, 덮는다.

[0540] 제2 컨택 홀(CH2) 및 제4 컨택 홀(CH4)은 포토그래피 공정에 의해 형성될 수 있다.

[0541] 제2 컨택 홀(CH2)이 형성되면, 제2 절연 층(373) 아래에 배치되는 제1 절연막(371)이 패터닝되며, 그러므로, 제2 n-형 컨택 전극(339)의 상부 표면이 외부로 노출된다. 제4 컨택 홀(CH4)은, 제2 p-형 컨택 전극(337)의 상부 표면의 일부분이 제3 컨택 부(340C)에서 외부로 노출되도록, 형성된다. 본 예시적인 실시예에서, 제4 컨택 홀(CH4)이 형성되는 구역은 오믹 전극(337')이 형성되는 구역과 중첩되지만, 이는 설명의 편의를 위한 것일뿐, 이에 또는 이에 의해 한정되어서는 아니된다.

[0542] 본 예시적인 실시예에서, 제2 절연 층(373)이 제1 및 제3 컨택 홀(CH1 및 CH3) 내에 형성되고, 제2 절연 층(373)이 패터닝될 때, 제1 에피택셜 스택(320)의 n-형 반도체 층의 상부 표면 상의 제2 절연 층(373) 및 제1 p-형 컨택 전극(327)의 상부 표면 상의 제2 절연 층(373)은, 제1 에피택셜 스택(320)의 n-형 반도체 층의 상부 표면 및 제1 p-형 컨택 전극(327)의 상부 표면의 노출이 유지되도록, 제거된다. 그러나, 제1 및 제3 컨택 홀(CH1 및 CH3)의 측벽 상에 형성되는 제2 절연 층(373)은 제거되지 않고 유지될 수 있다.

[0543] 도 43A 및 도 43B를 참조하면, 제1 신호 전극(320E), 제2 신호 전극(330E) 및 공통 전극(340E)이, 제1, 제2, 제3 및 제4 컨택 홀(CH1, CH2, CH3 및 CH4)이 형성된, 기판(310) 상에 형성된다.

[0544] 제1 신호 전극(320E), 제2 신호 전극(330E) 및 공통 전극(340E)은 포토리소그래피 공정에 의해 형성될 수 있고, 제1 신호 전극(320E), 제2 신호 전극(330E) 및 공통 전극(340E)은 하나의 마스크를 사용하는 단일 공정을 통해 형성될 수 있다.

[0545] 제1 신호 전극(320E)은 제1 컨택 부(320C)에 해당하는 구역에 형성되고, 제2 신호 전극(330E)은 제2 컨택 부(330C)에 해당하는 구역에 형성되며, 공통 전극(340E)은 제3 컨택 부(340C)에 해당하는 구역에 형성된다. 따라서, 제1 신호 전극(320E)은 제1 컨택 홀(CH1)을 통해 제1 에피택셜 스택(320)의 n-형 반도체 층에 연결되고, 제2 신호 전극(330E)은 제2 컨택 홀(CH2)을 통해 제2 n-형 컨택 전극(339)에 직접 연결되며, 공통 전극(340E)은 제3 및 제4 컨택 홀(CH3 및 CH4)을 통해 제1 p-형 컨택 전극(327) 및 제2 p-형 컨택 전극(337)에 각각

연결된다.

[0546] 각 발광 적층 구조는 상술한 작업에 의해 제조된다. 도면에 도시하지는 않았지만, 다수의 발광 적층 구조가 실질적으로 동시에 제조되는 경우, 발광 적층 구조의 경계를 따라 기판(310)을 절단하는 공정이 더 실행될 수 있다. 다수의 발광 적층 구조가 넓은 면적을 갖는 기판을 사용하여 실질적으로 동시에 제조되고 발광 적층 구조들을 각 발광 적층 구조로 분할하기 위해 절단되는 경우, 발광 적층 구조의 제조 효율이 개선될 수 있고, 발광 적층 구조의 제조 비용이 감소될 수 있다.

[0547] 본 개시의 예시적인 실시예에 따른 발광 적층 구조는 고효율의 균일한 광을 제공하기 위해 다양한 구성 요소를 추가로 포함할 수 있다. 일 예로, 본 개시의 예시적인 실시예에 따른 발광 적층 구조는 발광면 상에서 다양한 요철 부분(PR)을 포함할 수 있다.

[0548] 도 44는 본 개시의 예시적인 실시예에 따른 발광 적층 구조를 나타내는 단면도이다. 구체적으로, 도 44는 제2 에피택셜 스택(330) 상에 형성되는 요철 부분(PR)을 도시한다. 이하의 실시예에서는, 중복을 피하기 위해, 전술한 실시예의 특징과 다른 특징이 주로 설명될 것이다. 설명되지 않은 부분은 전술한 실시예의 그 것과 동일하거나 유사한 것으로 가정된다.

[0549] 본 개시의 예시적인 실시예에 따른 발광 적층 구조는 제2 에피택셜 스택(330) 상에 형성되는 요철 부분(PR)을 포함할 수 있다. 본 개시의 예시적인 실시예에서, 요철 부분(PR)은 제2 에피택셜 스택(330)의 발광면에 대응하는 n-형 반도체 층의 하부 표면 상에 배치될 수 있다.

[0550] 요철 부분(PR)은 발광 효율을 향상시키기 위해 사용된다. 요철 부분(PR)은, 그 위에 요철 부분이 랜덤하게 배열될 수 있는, 다각형 피라미드, 반구 또는 거칠기를 갖는 표면과 같은, 다양한 형상으로 제공될 수 있다. 요철 부분(PR)은 다양한 식각 공정을 통한 텍스처링에 의해 형성될 수 있다. 예를 들어, 요철 부분(PR)은, 마이크로 포토그래피를 이용한 건식 식각 공정, 결정 특성을 이용한 습식 식각 공정, 샌드블라스트와 같은 물리적 방법을 이용한 텍스처링 공정, 이온 빔 식각 공정 또는 블록 코폴리머의 식각 속도 차이를 이용한 텍스처링 공정과 같은 다양한 공정을 통해, 형성될 수 있다.

[0551] 본 개시의 예시적인 실시예에서, 제1 및 제2 에피택셜 스택으로부터의 제1 및 제2 색광 사이의 광도 차이가 있을 수 있고, 광도 차이는 백색 광이 발생될 때 색 온도에 있어서의 차이를 유발할 수 있다. 본 예시적인 실시예에서, 요철 부분은 제1 및 제2 에피택셜 스택의 발광면 상에 선택적으로 형성되어 발광 효율을 향상시키고, 결과적으로 제1 및 제2 색광 사이의 광도 차이가 감소될 수 있다. 특히, 적색에 대응하는 색광은 청색보다 가시성이 낮으며, 광의 광도 차이는 제2 에피택셜 스택을 텍스처링함으로써 감소될 수 있다.

[0552] 제2 에피택셜 스택의 n-형 반도체 층의 하부 표면 상에 요철 부분을 형성하는 공정은 도 40D에 도시한 작업 후에 실행될 수 있고, 도 45는 도 40D의 제2 에피택셜 스택 상에 형성되는 요철 부분을 나타내는 단면도이다.

[0553] 도 45를 참조하면, 제2 에피택셜 스택(330)의 n-형 반도체 층과 접촉하는 제1 임시 기판(310p)이 제거된 후, 텍스처링 공정이 노출된 n-형 반도체 층 상에서 수행되어 요철 부분(PR)을 형성한다.

[0554] 본 개시의 예시적인 실시예에 따라, 요철 부분은 다른 에피택셜 스택에 제공될 수 있으며, 기판은 제거될 수 있다.

[0555] 도 46은 본 개시의 예시적인 실시예에 따른 발광 적층 구조를 나타내는 단면도이다. 구체적으로, 도 46은, 기판(310)이 제거되고 요철 부분(PR)이 제2 에피택셜 스택(330)에 부가하여 제1 에피택셜 스택(320) 상에 형성되는 구조를 도시한다.

[0556] 도 46을 참조하면, 본 개시의 예시적인 실시예에 따른 발광 적층 구조는 기판(310)이 제거된 구조를 가질 수 있다. 기판(310)은 상대적으로 두꺼운 두께를 갖기 때문에, 발광 적층 구조의 두께는 기판(310)이 제거되면 현저히 감소될 수 있다. 따라서, 기판(310)이 제거된 발광 적층 구조를 별도의 배선 기판 상에 전사하여 소정의 디바이스가 제조되는 경우, 소정의 디바이스를 얇게 하기가 용이하다.

[0557] 본 예시적인 실시예에 따라, 요철 부분(PR)은 제1 에피택셜 스택(320) 상에 배치되어 광 효율을 향상시킬 수 있다. 즉, 요철 부분(PR)은 제1 에피택셜 스택(320)의 발광 표면에 대응하는 n-형 반도체 층의 하부 표면 상에 배치될 수 있다. 이 경우, 패터닝된 사파이어 기판이 기판(310)으로 사용되고 패터닝된 사파이어 기판이 제거되면, 요철 부분(PR)이 제1 에피택셜 스택(320)의 발광면 상에 용이하게 형성될 수 있다.

[0558] 본 개시의 예시적인 실시예에 따라, 발광 적층 구조는 높은 연색 지수 및 넓은 상관 색 온도를 위한 추가 구성

요소를 더 이용할 수 있다. 일 예로서, 발광 적층 구조는 제1 및 제2 에피택셜 스택으로부터 각각 방출되는 광의 적어도 일부분을 다른 파장을 갖는 광으로 변환하기 위한 광 변환 층을 더 포함할 수 있다.

[0559] 도 47 및 도 48은 본 개시의 예시적인 실시예에 따른 광 변환 층을 갖는 발광 적층 구조를 나타내는 단면도이다. 도 47은 기판이 제거된 발광 적층 구조를 도시하고, 도 48은 기판을 포함하는 발광 적층 구조를 도시한다.

[0560] 도 47을 참조하면, 광 변환 층(380)이 제1 에피택셜 스택(320)의 발광면에 대응하는 하부 표면 상에 추가로 배치될 수 있다. 도 48을 참조하면, 광 변환 층(380)이 기판(310)의 하부 표면 상에 추가로 배치되고, 발광 적층 구조의 측면을 선택적으로 덮도록 광 변환 층(380)이 제공될 수 있다.

[0561] 광 변환 층(380)은 형광 물질 및 양자 점(quantum dot)과 같은 나노-구조, 색 변환이 가능한 유기 물질 또는 이들의 조합을 포함할 수 있다. 예를 들어, 형광 물질이 광 변환 층(380)의 재료로서 사용되는 경우, 형광 물질은 소정 파장을 갖는 광을 흡수하고 소정 파장보다 긴 파장을 갖는 광을 방출할 수 있다. 형광 물질은 PDMS(폴리디메틸실록산), PI(폴리이미드), PMMA(폴리(메틸 2-메틸프로펜오에이트)) 또는 세라믹과 같은 투명 또는 반투명 바인더와 혼합된 형태로 제공될 수 있다.

[0562] 본 예시적인 실시예에서, 발광 적층 구조가 광 변환 층(380)을 포함하므로, 발광 적층 구조는 제1 및 제2 에피택셜 스택(320 및 330)으로부터 방출되는 제1 색광 및/또는 제2 색광과 다른 파장을 갖는 광을 출력할 수 있다. 따라서, 본 개시의 예시적인 실시예에서는, 최종적으로 제공되는 광을 혼합함으로써 높은 연색 지수 및 넓은 상관 색 온도를 얻을 수 있다.

[0563] 본 개시의 예시적인 실시예에 따른 발광 적층 구조는 독립적으로 사용될 수 있으나, 이에 또는 이에 의해 한정되어서는 아니된다. 즉, 발광 적층 구조는, 배선이 형성되는 베이스 기판, 예를 들어, 인쇄 회로 기판에 실장된 후, 다양한 유형의 광원으로 사용될 수 있다.

[0564] 도 49 및 도 50은 본 개시의 예시적인 실시예에 따른 인쇄 회로 기판(3110) 상에 실장되는 발광 적층 구조를 나타내는 평면도이다.

[0565] 도 49를 참조하면, 본 개시의 예시적인 실시예에 따른 다수의 발광 적층 구조(3120)은 일방향으로 연장되는 인쇄 회로 기판(3110) 상에 종방향을 따라 배열될 수 있다. 도 50을 참조하면, 본 개시의 예시적인 실시예에 따른 발광 적층 구조(3120)는 직사각형 형상과 같은 소정 형상 및 소정 면적을 갖는 인쇄 회로 기판(3110) 상에 매트릭스 형태로 배열될 수 있다. 인쇄 회로 기판(3110)의 형상 및 발광 적층 구조물(3120)의 배열은 이에 또는 이에 의해 한정되어서는 아니되고, 다양한 방식으로 변화될 수 있다. 그러므로, 발광 적층 구조는 점 광원, 선형 광원 또는 표면 광원의 형태로 광을 제공할 수 있다.

[0566] 단자가 인쇄 회로 기판(1110) 상에 형성되어 발광 적층 구조에 발광 신호 및 공통 전압을 각각 인가할 수 있으며, 발광 적층 구조의 발광은 단자를 통해 발광 적층 구조에 인가되는 발광 신호 및 공통 전압에 의해 결정될 수 있다.

[0567] 본 개시의 예시적인 실시예에 따른 발광 적층 구조는 백색 광을 필요로하는 다양한 조명 장치에 사용될 수 있다. 예를 들어, 발광 적층 구조는 수광형 디스플레이 디바이스에 포함되는 백라이트 유닛 및/또는 일상 생활에서 실내 및/또는 실외 조명으로서 사용될 수 있다.

[0568] 도 51은 본 개시의 하나의 예시적인 실시예에 따른 디스플레이용 발광 다이오드 스택(400)의 개략적인 단면도이다.

[0569] 도 51을 참조하면, 발광 다이오드 스택(400)은 지지 기판(451), 제1 LED 스택(423), 제2 LED 스택(433), 제3 LED 스택(433), 반사 전극(425), 오믹 전극(426), 제1 절연 층(427), 제2 절연 층(428), 인터커넥션 라인(429), 제2-p 투명 전극(435), 제3-p 투명 전극(445), 제1 컬러 필터(437), 제2 컬러 필터(447), 제1 본딩 층(453), 제2 본딩 층(455), 및 제3 본딩 층(457)을 포함한다.

[0570] 지지 기판(451)은 반도체 스택(423, 433 및 443)을 지지한다. 지지 기판(451)은 그 표면 상에 또는 그 내부에 회로를 포함할 수 있지만, 이에 한정되는 것은 아니다. 지지 기판(451)은, 예를 들어, 유리, 사파이어 기판, Si 기판 또는 Ge 기판을 포함할 수 있다.

[0571] 제1 LED 스택(423), 제2 LED 스택(433) 및 제3 LED 스택(443)의 각각은 n-형 반도체 층(423a, 433a 또는 443a), p-형 반도체 층(423b, 433b 또는 443b) 및 그 사이에 개재되는 활성 층을 포함한다. 활성 층은 다중 양

자 웰 구조를 가질 수 있다.

[0572] 예를 들어, 제1 LED 스택(423)은 적색 광을 방출하도록 적합화되는 무기 발광 다이오드일 수 있고, 제2 LED 스택(433)은 녹색 광을 방출하도록 적합화되는 무기 발광 다이오드일 수 있으며, 제3 LED 스택(443)은 청색 광을 방출하도록 적합화되는 무기 발광 다이오드일 수 있다. 제1 LED 스택(423)은 GaInP계 웰 층을 포함할 수 있고, 제2 LED 스택(433) 및 제3 LED 스택(443)의 각각은 GaInN계 웰 층을 포함할 수 있다.

[0573] 아울러, 제1 내지 제3 LED 스택(423, 433 및 443)의 각각의 양면은 각각 n-형 반도체 층 및 p-형 반도체 층이다. 본 예시적인 실시예에서, 제1 내지 제3 LED 스택(423, 433 및 443)의 제1 도전형 반도체 층(423a, 433a 및 443a)의 각각은 n-형 반도체 층이고, 제1 내지 제3 LED 스택(423, 433 및 443)의 제2 도전형 반도체 층(423b, 433b 및 443b)는 p-형 반도체 층이다. 제3 LED 스택(443)이 n-형 상부 표면을 가지기 때문에, 조면화된 표면(roughened surface)이 제3 LED 스택(443)의 상부 표면 상에 화학적 식각을 통해 형성될 수 있다. 그러나, 본 개시가 이에 한정되는 것은 아니며 각 LED 스택의 상부 및 하부 표면의 반도체 유형은 변화될 수 있다는 것을 이해하여야 한다.

[0574] 제1 LED 스택(423)은 지지 기판(451) 근처에 배치되고, 제2 LED 스택(433)은 제1 LED 스택(423) 상에 배치되며, 제3 LED 스택(443)은 제2 LED 스택(433) 상에 배치된다. 제1 LED 스택(423)이 제2 및 제3 LED 스택(433 및 443)보다 긴 파장을 갖는 광을 방출하기 때문에, 제1 LED 스택(423)으로부터 발생되는 광은 제2 및 제3 LED 스택(433 및 443)을 통해 외부로 방출될 수 있다. 또한, 제2 LED 스택(433)이 제3 LED 스택(443)보다 긴 파장을 갖는 광을 방출하기 때문에, 제2 LED 스택(433)으로부터 발생되는 광은 제3 LED 스택(443)을 통해 외부로 방출될 수 있다.

[0575] 반사 전극(425)은 제1 LED 스택(423)의 제2 도전형 반도체 층과 오믹 접촉을 형성하고, 제1 LED 스택(423)으로부터 발생되는 광을 반사시킨다. 예를 들어, 반사 전극(425)은 오믹 접촉 층(425a) 및 반사 층(425b)을 포함할 수 있다.

[0576] 오믹 접촉 층(425a)은 제2 도전형 반도체 층, 즉, p-형 반도체 층과 부분적으로 접촉한다. 오믹 접촉 층(425a)에 의한 광의 흡수를 방지하기 위해, 오믹 접촉 층(425a)이 p-형 반도체 층과 접촉하는 영역은 p-형 반도체 층의 전체 면적의 50%를 초과하지 않는다. 반사 층(425b)은 오믹 접촉 층(425a) 및 절연 층(427)을 덮는다. 도면에 도시된 바와 같이, 반사 층(425b)은 오믹 접촉 층(425a) 전체를 덮을 수 있지만, 이에 한정되는 것은 아니다. 대안적으로, 반사 층(425b)은 오믹 접촉 층(425a)의 일부분을 덮을 수 있다.

[0577] 반사 층(425b)이 제1 절연 층(427)을 덮기 때문에, 전방향 반사기는 비교적 높은 굴절률을 갖는 제1 LED 스택(423)과 비교적 낮은 굴절률을 갖는 절연 층(427)의 적층 구조, 및 반사 층(425b)에 의해 형성될 수 있다. 반사 층(425b)은 제1 LED 스택(423)의 면적의 50% 이상 또는 제1 LED 스택(423)의 대부분을 덮고, 그에 의해 발광 효율을 향상시킨다.

[0578] 오믹 접촉 층(425a) 및 반사 층(425b)은 금(Au)을 포함하는 금속 층일 수 있다. 오믹 접촉 층(425a)은, 예를 들어, Au-Zn 합금 또는 Au-Be 합금으로 형성될 수 있다. 반사 층(425b)은 제1 LED 스택(423)으로부터 발생되는 광, 예를 들어, 적색 광에 대해 상대적으로 높은 반사율을 갖는 금속, 예를 들어, Al, Ag 또는 Au로 형성될 수 있다. 특히, Au는 제2 LED 스택(433) 및 제3 LED 스택(443)으로부터 발생되는 광, 예를 들어, 녹색 광 또는 청색 광에 대해 상대적으로 낮은 반사율을 가질 수 있고, 그에 의해, 제2 및 제3 LED 스택(433 및 443)으로부터 발생되어 지지 기판(451)을 향해 진행하는 광의 광 흡수를 통한 광 간섭을 감소시킬 수 있다.

[0579] 절연 층(427)은 지지 기판(451)과 제1 LED 스택(423) 사이에 개재되며, 제1 LED 스택(423)을 노출시키는 개구부를 갖는다. 오믹 접촉 층(425a)은 절연 층(427)의 개구부 내에서 제1 LED 스택(423)에 연결된다.

[0580] 오믹 전극(426)은 제1 LED 스택(423)의 제1 도전형 반도체 층(423a)과 오믹 접촉을 형성한다. 오믹 전극(426)은 제2 도전형 반도체 층(423b)을 부분적으로 제거함으로써 노출되는 제1 도전형 반도체 층(423a) 상에 배치될 수 있다. 단일 오믹 전극(426)을 도 51에 도시하지만, 다수의 오믹 전극(426)이 지지 기판(451) 상의 다수의 영역 내에 정렬된다. 오믹 전극(426)은, 예를 들어, Au-Te 합금 또는 Au-Ge 합금으로 형성될 수 있다.

[0581] 제2 절연 층(428)은 지지 기판(425)과 반사 전극(425) 사이에 개재되며 반사 전극(425)을 덮는다. 제2 절연 층(428)은 오믹 전극(426)을 노출시키는 개구부를 갖는다.

[0582] 인터커넥션 라인(429)은 제2 절연 층(428)과 지지 기판(451) 사이에 개재되며, 제2 절연 층(428)의 개구부를 통해 오믹 전극(426)에 연결된다. 인터커넥션 라인(429)은 지지 기판(451) 상에서 다수의 오믹 전극(426)을 서로

연결할 수 있다.

[0583] 제2-p 투명 전극(435)은 제2 LED 스택(433)의 제2 도전형 반도체 층(433b), 즉, 그 p-형 반도체 층과 오믹 접촉을 형성한다. 제2-p 투명 전극(435)은 적색 광 및 녹색 광에 관하여 투과성인 금속 층 또는 도전성 산화물 층으로 구성될 수 있다.

[0584] 부가하여, 제3-p 투명 전극(445)은 제3 LED 스택(443)의 제2 도전형 반도체 층(443b), 즉, 그 p-형 반도체 층과 오믹 접촉을 형성한다. 제3-p 투명 전극(445)은 적색 광, 녹색 광 및 청색 광에 관하여 투과성인 금속 층 또는 도전성 산화물 층으로 구성될 수 있다.

[0585] 반사 전극(425), 제2-p 투명 전극(435) 및 제3-p 투명 전극(445)은 각 LED 스택의 p-형 반도체 층과의 오믹 접촉을 통해 전류 퍼짐(current spreading)을 도울 수 있다.

[0586] 제1 컬러 필터(437)는 제1 LED 스택(423)과 제2 LED 스택(433) 사이에 개재될 수 있다. 부가하여, 제2 컬러 필터(447)는 제2 LED 스택(433)과 제3 LED 스택(443) 사이에 개재될 수 있다. 제1 컬러 필터(437)는 제2 LED 스택(433)으로부터 발생되는 광을 반사시키면서 제1 LED 스택(423)으로부터 발생되는 광을 투과시킨다. 제2 컬러 필터(447)는 제3 LED 스택(443)으로부터 발생되는 광을 반사시키면서 제1 및 제2 LED 스택(423 및 433)으로부터 발생되는 광을 투과시킨다. 결과적으로, 제1 LED 스택(423)으로부터 발생되는 광은 제2 LED 스택(433) 및 제3 LED 스택(443)을 통해 외부로 방출될 수 있고, 제2 LED 스택(433)으로부터 발생되는 광은 제3 LED 스택(443)을 통해 외부로 방출될 수 있다. 또한, 발광 다이오드 스택은 제2 LED 스택(433)으로부터 발생되는 광이 제1 LED 스택(423)으로 진입하는 것을 방지할 수 있거나 또는 제3 LED 스택(443)으로부터 발생되는 광이 제2 LED 스택(433)으로 진입하는 것을 방지할 수 있으며, 그에 의해, 광 손실을 방지한다.

[0587] 몇몇 예시적인 실시예에서, 제1 컬러 필터(437)는 제3 LED 스택(443)으로부터 발생되는 광을 반사시킬 수 있다.

[0588] 제1 및 제2 컬러 필터(437 및 447)는, 예를 들어, 저 주파수 대역에서, 즉, 장파장 대역에서, 광의 그를 통한 통과를 허용하는 저역 통과 필터, 소정 파장 대역에서 광의 그를 통한 통과를 허용하는 대역 통과 필터, 또는 소정 파장 대역에서 광의 그를 통한 통과를 방지하는 대역 저지 필터일 수 있다. 특히, 제1 및 제2 컬러 필터(437 및 447)의 각각은 서로 다른 굴절률을 갖는 절연 층을 서로 교대로 적층함으로써 형성될 수 있다. 예를 들어, 제1 및 제2 컬러 필터(437 및 447)의 각각은 TiO2 및 SiO2 층, Ta2O5 및 SiO2 층, Nb2O5 및 SiO2 층, HfO2 및 SiO2 층, 또는 ZrO2 및 SiO2 층을 교대로 적층함으로써 형성될 수 있다. 또한, 제1 및/또는 제2 컬러 필터(437 및 447)는 분산 브래그 반사기(DBR)를 포함할 수 있다. 분산 브래그 반사기는 서로 다른 굴절률을 갖는 절연 층을 교대로 서로 적층함으로써 형성될 수 있다. 아울러, 분산 브래그 반사기의 저지 대역은 TiO2 및 SiO2 층의 두께를 조절함으로써 제어될 수 있다.

[0589] 제1 본딩 층(453)은 제1 LED 스택(423)을 지지 기판(451)에 결합한다. 도면에 도시된 바와 같이, 인터커넥션 라인(429)은 제1 본딩 층(453)에 인접할 수 있다. 또한, 인터커넥션 라인(429)은, 그 위에 형성되는 인터커넥션 라인(429)을 갖지 않는 제2 절연 층(428)의 영역이 제1 본딩 층(453)에 인접하도록, 제2 절연 층(428)의 몇몇 영역 아래에 배치된다. 제1 본딩 층(453)은 광 투과성이거나 불투명할 수 있다. 특히, 광을 흡수할 수 있는 블랙 에폭시 수지로 형성되는 본딩 층이 제1 본딩 층(453)으로서 사용되며, 그에 의해, 디스플레이 장치의 콘트라스트를 향상시킨다.

[0590] 제2 본딩 층(455)은 제2 LED 스택(433)을 제1 LED 스택(423)에 결합한다. 도면에 도시된 바와 같이, 제2 본딩 층(455)은 제1 LED 스택(423) 및 제1 컬러 필터(437)에 인접할 수 있다. 오믹 전극(426)은 제2 본딩 층(455)에 의해 덮일 수 있다. 제2 본딩 층(455)은 제1 LED 스택(423)으로부터 발생되는 광을 투과시킨다. 제2 본딩 층(455)은, 예를 들어, 광투과성 스핀-온-글래스(spin-on-glass: SOG)로 형성될 수 있다.

[0591] 제3 본딩 층(457)은 제3 LED 스택(443)을 제2 LED 스택(433)에 결합한다. 도면에 도시된 바와 같이, 제3 본딩 층(457)은 제2 LED 스택(433) 및 제2 컬러 필터(447)에 인접할 수 있다. 그러나, 본 개시가 이에 한정되는 것은 아님을 이해하여야 한다. 예를 들어, 투명 도전 층이 제2 LED 스택(433) 상에 배치될 수 있다. 제3 본딩 층(457)은 제1 LED 스택(423) 및 제2 LED 스택(433)으로부터 발생되는 광을 투과시킨다. 제3 본딩 층(457)은, 예를 들어, 광투과성 스핀-온-글래스로 형성될 수 있다.

[0592] 본 예시적인 실시예에서, 제1 내지 제3 본딩 층(453, 455 및 457)은 SOG로 형성된다. 그러나, 본 개시가 이에 한정되는 것은 아니며 제1 내지 제3 본딩 층이 다른 투명한 유기 또는 무기 재료로 형성될 수 있다는 것을 이해하여야 한다. 유기 재료의 예는 SU8, 폴리(메틸 메타크릴레이트)(PMMA), 폴리이미드, 파릴렌, 벤조사이클로부텐(BCB) 등을 포함할 수 있고, 무기 재료의 예는 Al2O3, SiO2, SiNx 등을 포함할 수 있다. 유기 재료 층은 고진공

및 고압 조건하에서 본딩될 수 있고, 무기 재료 층은, 예를 들어, 무기 재료 층의 표면을 평탄화하기 위한 화학 기계적 연마를 통해 플라즈마를 이용하여 표면 에너지를 변화시킨 후 고진공 조건 하에서 본딩될 수 있다.

[0593] 도 52A, 도 52B, 도 52C, 도 52D 및 도 52E는 본 개시의 하나의 예시적인 실시예에 따른 디스플레이용 발광 다이오드 스택을 제조하는 방법을 나타내는 개략적인 단면도이다.

[0594] 도 52A를 참조하면, 먼저, 제1 LED 스택(423)이 제1 기판(421) 상에서 성장된다. 제1 기판(421)은, 예를 들어, GaAs 기판일 수 있다. 부가하여, 제1 LED 스택(423)은 AlGaInP계 반도체 층으로 구성되며, 제1 도전형 반도체 층(423a), 활성 층 및 제2 도전형 반도체 층(423b)을 포함한다.

[0595] 그리고 나서, 제1 도전형 반도체 층(423a)이, 제2 도전형 반도체 층(423b)을 부분적으로 제거함으로써, 노출된다. 단일 픽셀 영역을 도시하지만, 제1 도전형 반도체 층(423a)은 각 픽셀 영역에서 부분적으로 노출된다.

[0596] 절연 층(427)이 제1 LED 스택(423) 상에 형성되고, 개구부(들)를 형성하도록 패터닝에 처하여 진다. 예를 들어, SiO2 층이 제1 LED 스택(423) 상에 형성되고, 포토레지스트가 SiO2 층 상에 증착되며, 포토레지스트 패턴을 형성하도록 포토리소그래피 및 현상(development)이 이어진다. 그리고 나서, SiO2 층이 식각 마스크로서 사용되는 포토레지스트 패턴을 통해 패터닝에 처하여 지고, 그에 의해, 절연 층(427)을 형성한다. 제1 절연 층(427)에 형성되는 개구부 중 하나는 제1 도전형 반도체 층(423a) 상에 배치될 수 있고, 다른 개구부는 제2 도전형 반도체 층(423b) 상에 배치될 수 있다.

[0597] 그리고 나서, 오믹 접촉 층(425a) 및 오믹 전극(426)이 제1 절연 층(427)의 개구부(들) 내에 형성된다. 오믹 접촉 층(425a) 및 오믹 전극(426)은 리프트-오프 공정에 의해 형성될 수 있다. 오믹 접촉 층(425a)은 오믹 전극(426)의 형성 전에 형성될 수 있으며, 그 반대도 가능하다. 또한, 몇몇 예시적인 실시예에서, 오믹 전극(426) 및 오믹 접촉 층(425a)은 동일한 재료 층으로 동시에 형성될 수 있다.

[0598] 오믹 접촉 층(425a)이 형성된 후에, 반사 층(425b)이 오믹 접촉 층(425a) 및 제1 절연 층(427)을 덮도록 형성된다. 반사 층(425b)은 리프트-오프 공정에 의해 형성될 수 있다. 반사 층(425b)은, 도면에 도시된 바와 같이, 오믹 접촉 층(425a)의 일부분 또는 그 전체를 덮을 수 있다. 오믹 접촉 층(425a) 및 반사 층(425b)은 반사 전극(425)을 형성한다.

[0599] 반사 전극(425)은 제1 LED 스택(423)의 p-형 반도체 층과 오믹 접촉을 형성하고, 그러므로, 제1-p 반사 전극(425)으로 지칭될 것이다. 반사 전극(425)은 오믹 전극(426)으로부터 분리되며, 그러므로, 제1 도전형 반도체 층(423a)으로부터 전기적으로 절연된다.

[0600] 그리고 나서, 제2 절연 층(428)이 형성되어, 반사 전극(425)을 덮고 오믹 전극(426)을 노출시키는 개구부를 갖는다. 제2 절연 층(428)은, 예를 들어, SiO2 또는 SOG로 형성될 수 있다.

[0601] 한편, 인터커넥션 라인(429)이 제2 절연 층(428) 상에 형성된다. 인터커넥션 라인(429)은 제2 절연 층(428)의 개구부를 통해 오믹 전극(426)에 연결되어, 제1 도전형 반도체 층(423a)에 전기적으로 연결된다.

[0602] 인터커넥션 라인(429)이 제2 절연 층(428)의 전체 표면을 덮는 것으로 도 52A에 도시되지만, 인터커넥션 라인(429)은, 제2 절연 층(428)의 상부 표면이 인터커넥션 라인(429) 주위에서 노출되도록, 제2 절연 층(428) 상에 부분적으로 배치될 수 있다.

[0603] 단일 픽셀 영역을 나타내지만, 기판(421) 상에 배치되는 제1 LED 스택(423)은 다수의 픽셀 영역을 덮을 수 있으며, 인터커넥션 라인(429)은 다수의 영역 내에 형성되는 오믹 전극(426)에 공통적으로 연결될 수 있다. 또한, 다수의 인터커넥션 라인(429)이 기판(421) 상에 형성될 수 있다.

[0604] 도 52B를 참조하면, 제2 LED 스택(433)이 제2 기판(431) 상에서 성장되고, 제2-p 투명 전극(435) 및 제1 컬러 필터(437)가 제2 LED 스택(433) 상에 형성된다. 제2 LED 스택(433)은 GaN계 제1 도전형 반도체 층(433a), 제2 도전형 반도체 층(433b) 및 그 사이에 개재되며 GaInN 웰 층을 포함하는 활성 층을 포함할 수 있다. 제2 기판(431)은 GaN계 반도체 층이 그 위에서 성장되는 것을 허용하는 기판이며, 제1 기판(421)과 다르다. 제2 LED 스택(433)을 위한 GaInN의 조성비는 제2 LED 스택(433)이 녹색 광을 방출할 수 있도록 결정될 수 있다. 다른 한편, 제2-p 투명 전극(435)은 제2 도전형 반도체 층(433b)과 오믹 접촉을 형성한다.

[0605] 제1 컬러 필터(437)가 제2-p 투명 전극(435) 상에 형성될 수 있다. 제1 컬러 필러(437)의 세부 사항은 도 51을 참조하여 설명한 것과 동일하며, 반복적인 설명은 생략하기로 한다.

[0606] 도 52C를 참조하면, 제3 LED 스택(443)이 제3 기판(441) 상에서 성장되고, 제3-p 투명 전극(445) 및 제2 컬러

필터(447)가 제3 LED 스택(443) 상에 형성된다. 제3 LED 스택(443)은 GaN계 제1 도전형 반도체 층(443a), 제2 도전형 반도체 층(443b) 및 그 사이에 개재되며 GaInN 웰 층을 포함하는 활성 층을 포함할 수 있다. 제3 기판(441)은 GaN계 반도체 층이 그 위에서 성장되는 것을 허용하는 기판이며, 제1 기판(421)과 다르다. 제3 LED 스택(443)을 위한 GaInN의 조성비는 제3 LED 스택(443)이 청색 광을 방출할 수 있도록 결정될 수 있다. 다른 한편, 제3-p 투명 전극(445)은 제2 도전형 반도체 층(443b)과 오믹 접촉을 형성한다.

[0607] 제2 컬러 필러(447)의 세부 사항은 도 51을 참조하여 설명한 것과 동일하며, 반복적인 설명은 생략하기로 한다.

[0608] 이와 같이, 제1 LED 스택(423), 제2 LED 스택(433) 및 제3 LED 스택(443)은 서로 다른 기판 상에서 성장되며, 그러므로, 그 형성 순서는 특정 순서로 한정되지 않는다.

[0609] 도 52D를 참조하면, 제1 LED 스택(423)이 제1 본딩 층(453)을 경유하여 지지 기판(451)에 결합된다. 본딩 재료 층은 지지 기판(451) 및 제2 절연 층(428) 상에 배치될 수 있고, 서로 본딩되어 제1 본딩 층(453)을 형성할 수 있다. 인터커넥션 라인(429)은 지지 기판(451)을 향하도록 배치된다. 한편, 제1 기판(421)이 화학적 식각에 의해 제1 LED 스택(423)으로부터 제거된다. 결과적으로, 제2 LED 스택(423)의 제1 도전형 반도체 층의 상부 표면이 노출된다. 제1 도전형 반도체 층(423a)의 노출된 표면은 광 추출 효율을 향상시키기 위해 텍스처링에 처하여질 수 있고, 이에 의해, 조면화된 표면과 같은 광 추출 구조가 제1 도전형 반도체 층(423a)의 표면 상에 형성될 수 있다.

[0610] 도 52E를 참조하면, 제2 LED 스택(433)이 제2 본딩 층(455)을 경유하여 제1 LED 스택(423)에 결합된다. 제1 컬러 필터(437)는 제1 LED 스택(423)을 향하도록 배치되며 제2 본딩 층(455)에 본딩된다. 본딩 재료 층은 제1 LED 스택(423) 및 제1 컬러 필터(437) 상에 배치될 수 있고 서로 본딩되어 제2 본딩 층(455)을 형성할 수 있다. 제2 기판(431)은 레이저 리프트-오프 또는 화학적 리프트-오프 공정에 의해 제2 LED 스택(433)으로부터 제거될 수 있다. 부가하여, 광 추출 효율을 향상시키기 위해, 조면화된 표면이 표면 텍스처링에 의해 제1 도전형 반도체 층(433a)의 노출된 표면 상에 형성될 수 있다.

[0611] 그리고 나서, 도 51 및 도 52C를 참조하면, 제3 LED 스택(443)이 제3 본딩 층(457)을 경유하여 제2 LED 스택(433)에 결합된다. 제2 컬러 필터(447)는 제2 LED 스택(433)을 향하도록 배치되며 제3 본딩 층(457)에 본딩된다. 본딩 재료 층은 제2 LED 스택(433) 및 제3 컬러 필터(447) 상에 배치될 수 있고 서로 본딩되어 제3 본딩 층(457)을 형성할 수 있다.

[0612] 제3 기판(441)은 레이저 리프트-오프 또는 화학적 리프트-오프 공정에 의해 제3 LED 스택(443)으로부터 분리될 수 있다. 결과적으로, 도 51에 도시된 바와 같이, 외부로 노출되는 제3 LED 스택(443)의 제1 도전형 반도체 층(443a)을 갖는, 디스플레이용 발광 다이오드 스택이 완성된다. 부가하여, 조면화된 표면이 표면 텍스처링에 의해 제1 도전형 반도체 층(443a)의 노출된 표면 상에 형성될 수 있다.

[0613] 디스플레이 장치가, 픽셀 유닛 내의 지지 기판(451) 상에서 제1 내지 제3 LED 스택(423, 433 및 443)의 스택을 패터닝하고 이어서 제1 내지 제3 LED 스택을 인터커넥션 라인을 통해 서로 연결함으로써, 제공될 수 있다. 이하, 디스플레이 장치의 예시적인 실시예를 설명하기로 한다.

[0614] 도 53은 본 개시의 하나의 예시적인 실시예에 따른 디스플레이 장치의 작동을 나타내는 개략적인 회로도이고, 도 54는 본 개시의 예시적인 실시예에 따른 디스플레이 장치의 개략적인 평면도이다.

[0615] 먼저, 도 53 및 도 54를 참조하면, 본 예시적인 실시예에 따른 디스플레이 장치는 패시브 매트릭스 방식으로 작동하도록 구현될 수 있다.

[0616] 예를 들어, 도 51을 참조하여 설명한 디스플레이용 발광 다이오드 스택은 제1 내지 제3 LED 스택(423, 433 및 443)이 수직방향으로 적층되는 구조를 갖기 때문에, 하나의 픽셀이 세 개의 발광 다이오드(R, G 및 B)를 포함한다. 제1 발광 다이오드(R)는 제1 LED 스택(423)에 대응하고, 제2 발광 다이오드(G)는 제2 LED 스택(433)에 대응하며, 제3 발광 다이오드(B)는 제3 LED 스택(443)에 대응한다.

[0617] 도 53 및 도 54에서, 하나의 픽셀은 제1 내지 제3 발광 다이오드(R, G 및 B)를 포함하고, 그 각각은 서브픽셀에 대응한다. 제1 내지 제3 발광 다이오드(R, G 및 B)의 애노드는 공통 라인, 예를 들어, 데이터 라인에 연결되고, 그 캐소드는 다른 라인, 예를 들어, 스캔 라인에 연결된다. 예를 들어, 제1 픽셀에서, 제1 내지 제3 발광 다이오드(R, G 및 B)의 애노드는 데이터 라인(Vdata1)에 공통적으로 연결되고, 그 캐소드는 스캔 라인(Vscan1-1, Vscan1-2 및 Vscan1-3)에 각각 연결된다. 결과적으로, 각 픽셀 내의 발광 다이오드(R, G 및 B)는 독립적으로 구동될 수 있다.

[0618] 또한, 발광 다이오드(R, G 및 B)의 각각은 펄스 폭 변조에 의해 또는 전류의 크기를 변경하는 것에 의해 구동되고, 그에 의해, 각 서브픽셀의 밝기의 조절을 가능하게 한다.

[0619] 도 54를 다시 참조하면, 다수의 픽셀이 도 51을 참조하여 설명한 스택을 패터닝함으로써 형성되고, 각 픽셀은 반사 전극(425) 및 인터커넥션 라인(471, 473 및 475)에 연결된다. 도 53에 도시된 바와 같이, 반사 전극(425)은 데이터 라인(Vdata)으로서 사용될 수 있고, 인터커넥션 라인(471, 473 및 475)은 스캔 라인으로서 형성될 수 있다. 여기서, 인터커넥션 라인(475)은 인터커넥션 라인(429)에 의해 형성될 수 있다. 반사 전극(425)은 다수의 픽셀의 제1 내지 제3 LED 스택(423, 433 및 443)의 제1 도전형 반도체 층(423a, 433a 및 443a)을 전기적으로 연결할 수 있으며, 인터커넥션 라인(429)은 반사 전극(425)에 수직하게 배치되어 다수의 픽셀의 제1 도전형 반도체 층(423a)을 전기적으로 연결할 수 있다.

[0620] 픽셀은, 각 픽셀의 발광 다이오드(R, G 및 B)의 애노드가 반사 전극(425)에 공통적으로 연결되고 그 캐소드가 서로 분리된 인터커넥션 라인(471, 473 및 475)에 연결되는, 매트릭스 형태로 배열될 수 있다. 인터커넥션 라인(471, 473 및 475)은 스캔 라인(Vscan)으로서 사용될 수 있다.

[0621] 도 55는 도 54에 도시된 디스플레이 장치의 하나의 픽셀의 확대 평면도이고, 도 56은 도 55의 선 A-A를 따라 취한 개략적인 단면도이며, 도 57은 도 55의 선 B-B를 따라 취한 개략적인 단면도이다.

[0622] 도 54, 도 55, 도 56 및 도 57을 참조하면, 각 픽셀에서, 반사 전극(425)의 일부분, 제2-p 투명 전극(435)의 일부분, 제2 LED 스택(433)의 상부 표면의 일부분, 제3-p 투명 전극(445)의 일부분 및 제3 LED 스택(443)의 상부 표면이 외부에 노출된다.

[0623] 제3 LED 스택(443)은 그 상부 표면 상에서 조면화된 표면(443r)을 가질 수 있다. 조면화된 표면(443r)은, 도면에 도시된 바와 같이, 제3 LED 스택(443)의 상부 표면의 전체에 걸쳐서 형성되거나 또는 그 몇몇 영역에 형성될 수 있다.

[0624] 하부 절연 층(461)은 각 픽셀의 측면을 덮을 수 있다. 하부 절연 층(461)은 SiO2와 같은 광투과성 재료로 형성될 수 있다. 이 경우, 하부 절연 층(461)은 제3 LED 스택(443)의 전체 상부 표면을 덮을 수 있다. 대안적으로, 하부 절연 층(461)은 분산 브래그 반사기를 포함하여 제1 내지 제3 LED 스택(423, 433 및 443)의 측면을 향하여 진행하는 광을 반사시킬 수 있다. 이 경우, 하부 절연 층(461)은 제3 LED 스택(443)의 상부 표면을 적어도 부분적으로 노출시킨다.

[0625] 하부 절연 층(461)은 제3 LED 스택(443)의 상부 표면을 노출시키는 개구부(461a), 제2 LED 스택(433)의 상부 표면을 노출시키는 개구부(461b), 제3-p 투명 전극(445)을 노출시키는 개구부(461c), 제2-p 투명 전극(435)을 노출시키는 개구부(461d), 및 제1-p 반사 전극(425)을 노출시키는 개구부(461e)를 포함할 수 있다. 한편, 제1 LED 스택(423)의 상부 표면은 노출되지 않을 수 있다.

[0626] 인터커넥션 라인(471 및 473)은 지지 기판(451) 상에서 제1 내지 제3 LED 스택(423, 433 및 443) 근처에 형성될 수 있고, 제1-p 반사 전극(425)으로부터 절연되도록 하부 절연 층(461) 상에 배치될 수 있다. 한편, 연결 부분(477ab)은 제2-p 투명 전극(435) 및 제3-p 투명 전극(445)을 반사 전극(425)에 연결한다. 결과적으로, 제1 LED 스택(423), 제2 LED 스택(433) 및 제3 LED 스택(443)의 애노드는 반사 전극(425)에 공통적으로 연결된다.

[0627] 인터커넥션 라인(475 또는 429)은 반사 전극(425) 아래에서 반사 전극(425)에 수직하게 배치될 수 있으며, 오믹 전극(426)에 연결되어, 제1 도전형 반도체 층(423a)에 전기적으로 연결될 수 있다. 오믹 전극(426)은 제1 LED 스택(423) 아래에서 제1 도전형 반도체 층(423a)에 연결된다. 도 55에 도시된 바와 같이, 오믹 전극(426)은 제3 LED 스택(443)의 조면화된 표면(443r)의 하부 영역 외부에 배치될 수 있으며, 그에 의해, 광 손실을 감소시킨다.

[0628] 연결 부분(471a)은 제3 LED 스택(443)의 상부 표면을 인터커넥션 라인(471)에 연결하고, 연결 부분(473a)은 제2 LED 스택(433)의 상부 표면을 인터커넥션 라인(473)에 연결한다.

[0629] 상부 절연 층(481)은 인터커넥션 라인(471 및 473) 및 하부 절연 층(461) 상에 배치되어 인터커넥션 라인(471, 473 및 475)을 보호할 수 있다. 상부 절연 층(481)은 인터커넥션 라인(471, 473 및 475)을 노출시키는 개구부를 가져서, 본딩 와이어가 그를 통해 연결될 수 있다.

[0630] 예시적인 실시예에 따라, 제1 내지 제3 LED 스택(423, 433 및 443)의 애노드는 반사 전극(425)에 공통적으로 연결되고, 그 캐소드는 인터커넥션 라인(471, 473 및 475)에 각각 연결된다. 결과적으로, 제1 내지 제3 LED 스택

(423, 433 및 443)은 독립적으로 구동될 수 있다.

[0631] 각 픽셀의 전극이 본 예시적인 실시예에서 데이터 라인 및 스캔 라인에 연결되는 것으로 설명되지만, 다양한 구현예가 가능하다는 것을 이해하여야 한다.

[0632] 도 58A 내지 도 58H는 본 개시의 하나의 예시적인 실시예에 따른 디스플레이 장치를 제조하는 방법을 나타내는 개략적인 단면도이다. 이하의 설명은 도 55의 픽셀을 형성하는 방법에 대해 주어질 것이다.

[0633] 먼저, 도 51에서 설명한 발광 다이오드 스택(400)이 준비된다.

[0634] 그리고 나서, 도 58A를 참조하면, 조면화된 표면(443r)이 제3 LED 스택(443)의 상부 표면 상에 형성될 수 있다. 조면화된 표면(443r)은 제3 LED 스택(443)의 상부 표면 상에 형성되어 각 픽셀 영역에 대응할 수 있다. 조면화된 표면(443r)은 화학적 식각, 예를 들어, 광-증강 화학적 식각(photo-enhanced chemical etching: PEC)에 의해 형성될 수 있다.

[0635] 조면화된 표면(443r)은 후속 공정에서 식각될 제3 LED 스택(443)의 영역을 고려하여 각 픽셀 영역 내에 부분적으로 형성될 수 있지만, 이에 한정되는 것은 아니다. 특히, 조면화된 표면(443r)은, 오믹 전극(426)이 조면화된 표면(443r) 외부에 위치되도록, 형성될 수 있다. 대안적으로, 조면화된 표면(443r)은 제3 LED 스택(443)의 전체 상부 표면 상부에 형성될 수 있다.

[0636] 도 58B를 참조하면, 각 픽셀에서 제3 LED 스택(443)의 주위 영역은 식각에 의해 제거되어 제3-p 투명 전극(445)을 노출시킨다. 도면에 도시된 바와 같이, 제3 LED 스택(443)은 직사각형 형상 또는 정사각형 형상을 갖도록 잔류할 수 있다. 제3 LED 스택(443)은 그 가장자리를 따라 두 개 이상의 함몰부를 가질 수 있다. 또한, 도면에 도시된 바와 같이, 하나의 함몰부는 다른 함몰부보다 더 큰 크기를 가질 수 있다.

[0637] 도 58C를 참조하면, 더 큰 크기를 갖는 함몰부 내에서 노출되는 제3-p 투명 전극(445)의 일부분을 제외한 다른 영역에서 노출되는 제3-p 투명 전극(445)을 제거함으로써, 제2 LED 스택(433)의 상부 표면이 노출된다. 따라서, 제2 LED 스택(433)의 상부 표면은 제3 LED 스택(443) 주위에서 그리고 다른 함몰부 내에서 노출된다. 더 큰 크기를 갖는 함몰부 내에서, 제3-p 투명 전극(445)의 노출된 영역 및 제2 LED 스택(433)의 노출된 영역이 형성된다.

[0638] 도 58D를 참조하면, 더 작은 크기를 갖는 함몰부 내에서 노출되는 제2 LED 스택(433)을 제외한 다른 영역에서 노출되는 제2 LED 스택(433)을 제거함으로써, 제2-p 투명 전극(435)이 노출된다. 제2-p 투명 전극(435)은 제3 LED 스택(443) 주위에서 노출되고, 더 큰 크기를 갖는 함몰부 내에서 부분적으로 노출된다.

[0639] 도 58E를 참조하면, 더 큰 크기를 갖는 함몰부 내에서 노출되는 제2-p 투명 전극(435)의 일부분을 제외한 제3 LED 스택(443) 주위에서 노출되는 제2-p 투명 전극(435)을 제거함으로써, 제1 LED 스택(423)의 상부 표면이 노출된다.

[0640] 도 58F를 참조하면, 제3 LED 스택(443) 주위에서 노출되는 제2 LED 스택(433)을 제거한 다음 제1 절연 층(427)을 제거함으로써, 반사 전극(425)이 노출된다. 결과적으로, 반사 전극(425)이 제3 LED 스택(443) 주위에서 노출된다. 노출된 반사 전극(425)을 수직 방향에서 연신된 형상을 갖도록 패터닝함으로써, 선형 인터커넥션 라인이 형성된다. 패터닝된 반사 전극(425)은 수직 방향에서 다수의 영역 상부에 배치되며, 수평 방향에서 인접한 픽셀로부터 이격된다.

[0641] 본 예시적인 실시예에서는 제2 LED 스택(423)의 제거 후 반사 전극(425)이 패터닝에 처하여지지만, 반사 전극(425)은, 기판(421) 상에 반사 전극(425)을 형성할 시 패터닝된 형상을 갖도록, 형성될 수 있다. 이 경우, 제2 LED 스택(423)의 제거 후 반사 전극(425)을 패터닝할 필요가 없다.

[0642] 반사 전극(425)을 패터닝함으로써, 제2 절연 층(428)이 노출될 수 있다. 인터커넥션 라인(429)은 반사 전극(425)에 수직하게 배치되며, 제2 절연 층(428)에 의해 반사 전극(425)으로부터 절연된다.

[0643] 도 58G를 참조하면, 하부 절연 층(461)(도 56 및 도 57 참조)이 픽셀을 덮도록 형성된다. 하부 절연 층(461)은 반사 전극(425) 및 제1 내지 제3 LED 스택(423, 433 및 443)의 측면을 덮는다. 또한, 하부 절연 층(461)은 제3 LED 스택(443)의 상부 표면을 적어도 부분적으로 덮을 수 있다. 하부 절연 층(461)이 SiO2 층과 같은 투명한 층이면, 하부 절연 층(461)은 제3 LED 스택(443)의 전체 상부 표면을 덮을 수 있다. 대안적으로, 하부 절연 층(461)은 분산 브래그 반사기를 포함할 수 있다. 이 경우, 하부 절연 층(461)은 제3 LED 스택(443)의 상부 표면을 적어도 부분적으로 노출시켜 광이 외부로 방출되는 것을 허용할 수 있다.

[0644] 하부 절연 층(461)은 제3 LED 스택(443)을 노출시키는 개구부(461a), 제2 LED 스택(433)을 노출시키는 개구부(461b), 제3-p 투명 전극(445)을 노출시키는 개구부(461c), 제2-p 투명 전극(435)을 노출시키는 개구부(461d), 및 반사 전극(425)을 노출시키는 개구부(461e)를 포함할 수 있다. 반사 전극(425)을 노출시키도록 적합화되는 개구부(461f)는 단수로 또는 복수로 형성될 수 있다.

[0645] 도 58H를 참조하면, 인터커넥션 라인(471 및 473) 및 연결 부분(471a, 473a 및 477ab)이 형성된다. 이들은 리프트-오프 공정에 의해 형성될 수 있다. 인터커넥션 라인(471 및 473)은 하부 절연 층(461)에 의해 반사 전극(425)으로부터 절연된다. 연결 부분(471a)은 제3 LED 스택(443)을 인터커넥션 라인(471)에 전기적으로 연결하고, 연결 부분(473a)은 제2 LED 스택(433)을 인터커넥션 라인(473)에 전기적으로 연결한다. 연결 부분(477ab)은 제3-p 투명 전극(445) 및 제2-p 투명 전극(435)을 제1-p 반사 전극(425)에 전기적으로 연결한다.

[0646] 인터커넥션 라인(471 및 473)은 반사 전극(425)에 직교하도록 배치될 수 있으며, 다수의 픽셀을 서로 연결할 수 있다.

[0647] 그리고 나서, 상부 절연 층(481)(도 56 및 도 57 참조)이 인터커넥션 라인(471 및 473) 및 연결 부분(471a, 473a 및 477ab)을 덮는다. 상부 절연 층(481)은 또한 제3 LED 스택(443)의 전체 상부 표면을 덮을 수 있다. 상부 절연 층(481)은, 예를 들어, 실리콘 산화물 또는 실리콘 질화물로 형성될 수 있고, 분산 브래그 반사기를 포함할 수 있다. 부가하여, 상부 절연 층(481)은 투명 절연 층 및 투명 절연 층 상에 형성되는 반사성 금속 층 또는 다층 구조의 유기 반사 층을 포함할 수 있거나, 광을 차단하기 위해 블랙 에폭시 수지로 형성되는 광 흡수 층을 포함할 수 있다.

[0648] 상부 절연 층(481)이 광을 반사시키거나 차단할 때, 상부 절연 층(481)은, 제3 LED 스택(443)의 상부 표면을 적어도 부분적으로 노출시켜 광이 외부로 방출되는 것을 허용하도록, 형성된다. 상부 절연 층(481)은 부분적으로 제거되어 외부로부터의 전기적인 연결을 위해 인터커넥션 라인(471, 473 및 475)을 노출시킬 수 있다. 대안적으로, 상부 절연 층(481)은 생략될 수 있다.

[0649] 결과적으로, 픽셀 영역이 도 55에 도시된 바와 같이 완성된다. 또한, 도 54에 도시된 바와 같이, 다수의 픽셀이 지지 기판(451) 상에 형성될 수 있으며, 제1-p 반사 전극(425) 및 인터커넥션 라인(471, 473 및 475)에 의해 서로 연결되어 패시브 매트릭스 방식으로 동작할 수 있다.

[0650] 패시브 매트릭스 방식으로 동작하도록 적합화되는 디스플레이 장치를 제조하는 방법을 본 예시적인 실시예에서 도시하였지만, 본 개시가 이에 한정되지 않는다는 것을 이해하여야 한다. 즉, 예시적인 실시예에 따른 디스플레이 장치는 도 51에 도시된 발광 다이오드 스택을 사용하여 패시브 매트릭스 방식으로 동작하도록 다양한 방식으로 제조될 수 있다.

[0651] 본 예시적인 실시예에서는 인터커넥션 라인(471) 및 인터커넥션 라인(473)이 하부 절연 층(461) 상에 함께 형성되지만, 인터커넥션 라인(471)이 하부 절연 층(461) 상에 형성될 수 있고, 인터커넥션 라인(473)은 상부 절연 층(481) 상에 형성될 수 있다.

[0652] 도 51을 참조하여 설명한 예시적인 실시예에서는, 비록 반사 전극(425), 제2-p 투명 전극(435) 및 제3-p 투명 전극(445)이 제1 LED 스택(423), 제2 LED 스택(433) 및 제3 LED 스택(443)의 제2 도전형 반도체 층(423b, 433b 및 443b)과 각각 오믹 접촉을 형성하고 오믹 전극(426)이 제1 LED 스택(423)의 제1 도전형 반도체 층(423a)과 오믹 접촉을 형성하지만, 제2 LED 스택(433) 및 제3 LED 스택(443)의 제1 도전형 반도체 층(433a 및 443a)은 별도의 오믹 접촉 층이 제공되지 않는다. 픽셀이 200 ㎛ 이하의 작은 크기를 가질 때, n-형 반도체 층 내에 별도의 오믹 접촉 층을 형성하지 않고서도 전류 퍼짐(current spreading)에 있어서 어려움이 없다. 그러나, 전류 퍼짐을 확보하기 위해 제2 및 제3 LED 스택의 각각의 n-형 반도체 층 상에 투명 전극 층이 배치될 수 있다.

[0653] 예시적인 실시예에 따르면, 디스플레이용 발광 다이오드 스택(400)을 이용하여 웨이퍼 레벨에서 다수의 픽셀을 형성하는 것이 가능하기 때문에, 발광 다이오드를 개별적으로 실장할 필요가 없다. 부가하여, 예시적인 실시예에 따른 발광 다이오드 스택은, 제1 내지 제3 LED 스택(423, 433 및 443)이 수직 방향으로 적층되는, 구조를 가지며, 그에 의해, 제한된 픽셀 면적 내에 서브픽셀을 위한 면적을 확보한다. 또한, 예시적인 실시예에 따른 발광 다이오드 스택은 제1 LED 스택(423), 제2 LED 스택(433) 및 제3 LED 스택(443)으로부터 발생되는 광이 그를 통하여 외부로 방출되는 것을 허용하고, 그에 의해, 광 손실을 감소시킨다.

[0654] 도 59는 본 개시의 또 하나의 예시적인 실시예에 따른 디스플레이 장치(5000)의 개략적인 평면도이고, 도 60은 본 개시의 하나의 예시적인 실시예에 따른 디스플레이용 발광 다이오드 픽셀(500)의 개략적인 단면도이다.

[0655] 도 59를 참조하면, 디스플레이 장치(5000)는 지지 기판(551) 및 지지 기판(551) 상에 배열되는 다수의 픽셀(500)을 포함한다. 각 픽셀(500)은 제1 내지 제3 서브픽셀(R, G 및 B)을 포함한다.

[0656] 도 60을 참조하면, 지지 기판(551)은 LED 스택(523, 533 및 543)을 지지한다. 지지 기판(551)은 그 표면 상에 또는 그 내부에 회로를 포함할 수 있지만, 이에 한정되는 것은 아니다. 지지 기판(551)은, 예를 들어, Si 기판 또는 Ge 기판을 포함할 수 있다.

[0657] 제1 서브픽셀(R)은 제1 LED 스택(523)을 포함하고, 제2 서브픽셀(G)은 제2 LED 스택(533)을 포함하며, 제3 서브픽셀(B)은 제3 LED 스택(543)을 포함한다. 제1 서브픽셀(R)은 제1 LED 스택(523)이 광을 방출하는 것을 허용하도록 적합화되며, 제2 서브픽셀(G)은 제2 LED 스택(533)이 광을 방출하는 것을 허용하도록 적합화되고, 제3 서브픽셀(B)은 제3 LED 스택(543)이 광을 방출하는 것을 허용하도록 적합화된다. 제1 내지 제3 LED 스택(523, 533 및 543)은 독립적으로 구동될 수 있다.

[0658] 제1 LED 스택(523), 제2 LED 스택(533) 및 제3 LED 스택(543)은 서로 중첩되도록 수직 방향으로 서로 적층된다. 도면에 도시된 바와 같이, 제2 LED 스택(533)은 제1 LED 스택(523) 상의 일부 영역 내에 배치된다. 도면에 도시된 바와 같이, 제2 LED 스택(533)은 제1 LED 스택(523) 상에서 일측으로 편향되도록 배치될 수 있다. 부가하여, 제3 LED 스택(543)은 제2 LED 스택(533) 상의 일부 영역 내에 배치된다. 도면에 도시된 바와 같이, 제3 LED 스택(543)은 제2 LED 스택(533) 상에서 일측으로 편향되도록 배치될 수 있다. 도면에서 제3 LED 스택(543)이 우측으로 편향되어 있지만, 본 개시가 이에 한정되는 것은 아니며 제2 LED 스택(533)이 좌측으로 편향되도록 배치될 수 있다는 것을 이해하여야 한다.

[0659] 제1 LED 스택(523)으로부터 발생되는 광(R)은 제2 LED 스택(533)에 의해 덮이지 않은 제1 LED 스택(523)의 영역을 통해 방출될 수 있고 아울러 제2 LED 스택(533) 및 제3 LED 스택(543)을 관통한 후 방출될 수 있으며, 제2 LED 스택(533)으로부터 발생되는 광(G)은 제3 LED 스택(543)에 의해 덮이지 않은 제2 LED 스택(533)의 영역을 통해 방출될 수 있고 아울러 제3 LED 스택(543)을 관통한 후 방출될 수 있다.

[0660] 일반적으로, 제2 LED 스택(533)에 의해 덮인 제1 LED 스택(523)의 영역은 광 손실을 유발할 수 있고, 이에 의해, 제2 LED 스택(533)에 의해 덮이지 않은 제1 LED 스택(523)의 영역은 단위 면적당 더 높은 광도를 갖는 광을 방출할 수 있다. 따라서, 제1 LED 스택(523)으로부터 방출되는 광의 광도는 제1 LED 스택(523)의 면적 중 제2 LED 스택(533)에 의해 덮이는 그리고 제2 LED 스택(533)에 의해 덮이지 않는 제1 LED 스택(523)의 영역들의 면적을 조절함으로써 제어될 수 있다. 마찬가지로, 제2 LED 스택(533)으로부터 방출되는 광의 광도는 제2 LED 스택(533)의 면적 중 제3 LED 스택(543)에 의해 덮이는 그리고 제3 LED 스택(543)에 의해 덮이지 않는 제2 LED 스택(533)의 영역들의 면적을 조절함으로써 제어될 수 있다.

[0661] 예를 들어, 제1 LED 스택(523)이 적색 광을 방출하고 제2 LED 스택(533)이 녹색 광을 방출하며 제3 LED 스택(543)이 청색 광을 방출하는 구조에서, 녹색 광의 높은 가시성에 기인하여 녹색 광의 광도를 감소시킬 필요가 있다. 이를 위해, 제3 LED 스택(543)에 의해 덮이지 않는 제2 LED 스택(533)의 면적이 제3 LED 스택(543)의 면적보다 작도록 조절될 수 있다. 부가하여, 적색 광은 낮은 가시성을 갖기 때문에, 그 발광 광도를 증가시킬 필요가 있다. 이를 위해, 제2 LED 스택(533)에 의해 덮이지 않은 제1 LED 스택(523)의 면적이 제3 LED 스택(543)의 면적보다 크도록 조절될 수 있다.

[0662] 한편, 제1 LED 스택(523), 제2 LED 스택(533) 및 제3 LED 스택(543)의 각각은 n-형 반도체 층, p-형 반도체 층 및 그 사이에 개재되는 활성 층을 포함한다. 활성 층은 다중 양자 웰 층 구조를 가질 수 있다. 제1 내지 제3 LED 스택(523, 533 및 543)은 서로 다른 파장을 갖는 광을 방출하기 위해 서로 다른 활성 층을 포함할 수 있다. 예를 들어, 제1 LED 스택(523)은 적색 광을 방출하는 무기 발광 다이오드일 수 있고, 제2 LED 스택(533)은 녹색 광을 방출하는 무기 발광 다이오드일 수 있으며, 제3 LED 스택(543)은 청색 광을 방출하는 무기 발광 다이오드일 수 있다. 이를 위해, 제1 LED 스택(523)은 GaInP계 웰 층을 포함할 수 있고, 제2 LED 스택(533) 및 제3 LED 스택(543)은 GaInN계 웰 층을 포함할 수 있다.

[0663] 도 61은 본 개시의 예시적인 실시예에 따른 디스플레이 장치의 작동을 나타내는 개략적인 회로도이다.

[0664] 도 61을 참조하면, 본 예시적인 실시예에 따른 디스플레이 장치는 패시브 매트릭스 방식으로 작동하도록 구현될 수 있다. 도 59 및 도 60을 참조하여 설명한 바와 같이, 하나의 픽셀은 제1 내지 제3 서브픽셀(R, G 및 B)을 포함한다. 제1 서브픽셀(R)의 제1 LED 스택(523)은 제1 파장을 갖는 광을 방출하고, 제2 서브픽셀(G)의 제2 LED 스택(533)은 제2 파장을 갖는 광을 방출하며, 제3 서브픽셀(B)의 제3 LED 스택(543)은 제3 파장을 갖는 광을 방출한다. 제1 내지 제3 서브픽셀(R, G 및 B)의 캐소드는 공통 라인, 예를 들어, 데이터 라인(Vdata)(525)에 연결

될 수 있고, 그 애노드는 다른 라인, 예를 들어, 스캔 라인(Vscan)(571, 573 및 575)에 연결될 수 있다.

[0665] 예를 들어, 제1 픽셀에서, 제1 내지 제3 서브픽셀(R, G 및 B)의 캐소드는 데이터 라인(Vdata1)에 공통적으로 연결되고, 그 애노드는 스캔 라인(Vscan1-1, Vscan1-2 및 Vscan1-3)에 각각 연결된다. 따라서, 동일한 픽셀 내의 서브픽셀(R, G 및 B)은 개별적으로 구동될 수 있다.

[0666] 또한, 각 LED 스택(523, 533 및 543)은 펄스 폭 변조에 의해 또는 전류의 크기를 변경하는 것에 의해 구동되고, 그에 의해, 각 서브픽셀의 밝기의 조절을 가능하게 한다. 또한, 제1 내지 제3 LED 스택(523, 533 및 543)의 면적 및 제1 내지 제3 LED 스택(523, 533 및 543)이 중첩되지 않은 영역의 면적의 조절을 통해, 밝기가 조절될 수 있다.

[0667] 도 62는, 도 61의 회로도에 도시된 바와 같이 다수의 픽셀(500A)이 지지 기판(551) 상에 배열되는, 특별한 예시적인 실시예에 따른 디스플레이 장치(5000A)의 개략적인 평면도이다. 도 63은 도 62에 도시된 디스플레이 장치의 하나의 픽셀(500A)의 확대 평면도이고, 도 64A, 도 64B, 도 64C 및 도 64D는 도 63의 선 A-A, B-B, C-C 및 D-D를 따라 취한 개략적인 단면도이다.

[0668] 도 62, 도 63, 도 64A, 도 64B, 도 64C 및 도 64D를 참조하면, 디스플레이 장치(5000A)는 지지 기판(551), 다수의 픽셀(500A), 제1 내지 제3 서브픽셀(R, G 및 B), 제1 LED 스택(523), 제2 LED 스택(533), 제3 LED 스택(543), 반사 전극(제1-1 오믹 전극)(525), 제1-2 오믹 전극(529), 제2-1 오믹 전극(537), 제2-2 오믹 전극(539), 제3-1 오믹 전극(547), 제3-2 오믹 전극(549), 제1 컬러 필터(535), 제2 컬러 필터(545), 제1 본딩 층(553), 제2 본딩 층(555), 제3 본딩 층(557), 절연 층(527), 하부 절연 층(561), 상부 절연 층(563), 인터커넥션 라인(571, 573 및 575), 및 연결 부분(571a, 573a, 575a, 577a 및 577b)을 포함할 수 있다.

[0669] 각 서브픽셀(R, G 및 B)은 반사 전극(525) 및 인터커넥션 라인(571, 573 및 575)에 연결된다. 도 61에 도시된 바와 같이, 반사 전극(525)은 데이터 라인(Vdata)으로서 사용될 수 있고, 인터커넥션 라인(571, 573 및 575)은 스캔 라인(Vscan)으로서 사용될 수 있다.

[0670] 도 62에 도시된 바와 같이, 픽셀은, 각 픽셀 내의 서브픽셀(R, G 및 B)의 캐소드가 반사 전극(525)에 공통적으로 연결되며 그 애노드가 서로 이격되는 인터커넥션 라인(571, 573 및 575)에 연결되는, 매트릭스 형태로 배열될 수 있다. 연결 부분(571a, 573a 및 575a)은 인터커넥션 라인(571, 573 및 575)을 서브픽셀(R, G 및 B)에 연결할 수 있다.

[0671] 지지 기판(551)은 LED 스택(523, 533 및 543)을 지지한다. 지지 기판(551)은 그 표면 상에 또는 그 내부에 회로를 포함할 수 있지만, 이에 한정되는 것은 아니다. 지지 기판(551)은, 예를 들어, 유리 기판, 사파이어 기판, Si 기판, 또는 Ge 기판을 포함할 수 있다.

[0672] 제1 LED 스택(523)은 제1 도전형 반도체 층(523a) 및 제2 도전형 반도체 층(523b)을 포함하고; 제2 LED 스택(533)은 제1 도전형 반도체 층(533a) 및 제2 도전형 반도체 층(533b)을 포함하며; 제3 LED 스택(543)은 제1 도전형 반도체 층(543a) 및 제2 도전형 반도체 층(543b)을 포함한다. 부가하여, 비록 도시하지는 않았지만, 활성층이 제1 도전형 반도체 층(523a, 533a 및 543a)과 제2 도전형 반도체 층(523b, 533b 및 543b) 사이에 각각 개재될 수 있다.

[0673] 본 예시적인 실시예에서, 제1 도전형 반도체 층(523a, 533a 및 543a)의 각각은 n-형 반도체 층이고, 제2 도전형 반도체 층(523b, 533b 및 543b)의 각각은 p-형 반도체 층이다. 조면화된 표면이 표면 텍스처링(surface texturing)에 의해 제1 도전형 반도체 층(523a, 533a 및 543a)의 하나 이상의 표면 상에 형성될 수 있다.

[0674] 제1 LED 스택(523)은 지지 기판(551) 근처에 배치되고; 제2 LED 스택(533)은 제1 LED 스택(523) 상부에 배치되며; 제3 LED 스택(543)은 제2 LED 스택(533) 상부에 배치된다. 부가하여, 제2 LED 스택(533)은, 제1 LED 스택(523)이 제2 LED 스택(533)과 부분적으로 중첩되도록, 제1 LED 스택(523) 상의 일부 영역 내에 배치된다. 또한, 제3 LED 스택(543)은, 제2 LED 스택(533)이 제3 LED 스택(543)과 부분적으로 중첩되도록, 제2 LED 스택(533) 상의 일부 영역 내에 배치된다. 따라서, 제1 LED 스택(523)으로부터 발생되는 광의 적어도 일부가 제2 및 제3 LED 스택(533 및 543)을 관통하지 않고 외부로 방출될 수 있다. 또한, 제2 LED 스택(533)으로부터 발생되는 광의 적어도 일부가 제3 LED 스택(543)을 관통하지 않고 외부로 방출될 수 있다.

[0675] 제1 LED 스택(523), 제2 LED 스택(533) 및 제3 LED 스택(543)의 재료의 세부 사항은 도60을 참조하여 설명한 것과 동일하며, 그 상세한 설명은 생략하기로 한다.

[0676] 반사 전극(525)은 제1 LED 스택(523)의 하부 표면, 즉, 그 제1 도전형 반도체 층(523a)과 오믹 접촉을

형성한다. 반사 전극(525)은 제1 LED 스택(523)으로부터 방출되는 광을 반사시키기 위한 반사 층을 포함한다. 도면에 도시된 바와 같이, 반사 전극(525)은 제1 LED 스택(523)의 거의 전체 하부 표면을 덮을 수 있다. 또한, 반사 전극(525)은 다수의 픽셀(500A)에 공통적으로 연결되어 데이터 라인(Vdata)으로서 사용될 수 있다.

[0677] 반사 전극(525)은, 예를 들어, 제1 LED 스택(523)의 제2 도전형 반도체 층(523b)과 오믹 접촉을 형성하는 재료 층으로 형성될 수 있으며, 제1 LED 스택(523)으로부터 발생되는 광, 예를 들어, 적색 광을 반사시키도록 적합화되는 반사 층을 포함할 수 있다.

[0678] 반사 전극(525)은 오믹 반사 층을 포함할 수 있으며, 예를 들어, Au-Te 합금 또는 Au-Ge 합금으로 형성될 수 있다. 이들 합금은 적색 범위 내의 광에 대해 높은 반사율을 가지며, 제1 도전형 반도체 층(523a)과 오믹 접촉을 형성한다.

[0679] 제1-2 오믹 전극(529)은 제1 서브픽셀(R)의 제2 도전형 반도체 층(523b)과 오믹 접촉을 형성한다. 제1-2 오믹 전극(529)은, 예를 들어, Au-Zn 합금 또는 Au-Be 합금으로 형성될 수 있다. 제1-2 오믹 전극(529)은 패드 영역 및 연장 부분을 포함할 수 있으며, 연결 부분(575a)은 도 64B에 도시된 바와 같이 패드 영역에 연결될 수 있다. 제1-2 오믹 전극(529)은 제2 LED 스택(533)이 배치되는 영역으로부터 이격될 수 있다.

[0680] 제2-1 오믹 전극(537)은 제2 LED 스택(533)의 제1 도전형 반도체 층(533a)과 오믹 접촉을 형성한다. 제2-1 오믹 전극(537)은 제1 도전형 반도체 층(533a) 상에 배치될 수 있다. 예를 들어, 제1 도전형 반도체 층(533a)은, 제1 도전형 반도체 층(533a) 상에 배치되는 제2 도전형 반도체 층(533b) 및 활성 층을 제거함으로써 노출될 수 있고, 제2-1 오믹 전극(537)은 제1 도전형 반도체 층(533a)의 노출된 표면 상에 배치될 수 있다.

[0681] 한편, 도 64C에 도시된 바와 같이, 연결 부분(577b)은 제2-1 오믹 전극(537)을 반사 전극(525)에 전기적으로 연결할 수 있다. 제2-1 오믹 전극(537)은 제3 LED 스택(543)이 배치되는 영역으로부터 이격될 수 있다.

[0682] 제2-2 오믹 전극(539)은 제2 LED 스택(533)의 제2 도전형 반도체 층(533b)과 오믹 접촉을 형성한다. 제2-2 오믹 전극(539)은, 제3 LED 스택(543)이 배치되는 영역으로부터 이격되도록, 제2 도전형 반도체 층(533b) 상에 배치될 수 있다. 제2-2 오믹 전극(539)은 도 64B에 도시된 바와 같이 패드 영역 및 연장 부분을 포함할 수 있으며, 연결 부분(575a)은 도 64C에 도시된 바와 같이 패드 영역에 연결될 수 있다.

[0683] 제3-1 오믹 전극(547)은 제3 LED 스택(543)의 제1 도전형 반도체 층(543a)과 오믹 접촉을 형성한다. 제3-1 오믹 전극(547)은 제1 도전형 반도체 층(543a) 상에 배치될 수 있다. 예를 들어, 제1 도전형 반도체 층(543a)은, 제1 도전형 반도체 층(543a) 상에 배치되는 제2 도전형 반도체 층(543b) 및 활성 층을 제거함으로써 노출될 수 있고, 제3-1 오믹 전극(547)은 제1 도전형 반도체 층(543a)의 노출된 표면 상에 배치될 수 있다. 도 64D에 도시된 바와 같이, 연결 부분(577a)은 제3-1 오믹 전극(547)을 반사 전극(525)에 전기적으로 연결할 수 있다.

[0684] 제3-2 오믹 전극(549)은 제3 LED 스택(543)의 제2 도전형 반도체 층(543b)과 오믹 접촉을 형성한다. 제3-2 오믹 전극(549)도 패드 영역 및 연장 부분을 포함할 수 있으며, 연결 부분(571a)은 도 64D에 도시된 바와 같이 제3-2 오믹 전극(549)의 패드 영역에 연결될 수 있다.

[0685] 제1-2 오믹 전극(529), 제2-1 오믹 전극(537) 및 제3-1 오믹 전극(547)의 각각은 연장 부분을 포함하여, 각 LED 스택에서의 전류 퍼짐을 도울 수 있다.

[0686] 한편, 제1 컬러 필터(535)는 제1 LED 스택(523)과 제2 LED 스택(533) 사이에 개재될 수 있다. 부가하여, 제2 컬러 필터(545)는 제2 LED 스택(533)과 제3 LED 스택(543) 사이에 개재될 수 있다. 제1 컬러 필터(535)는 제2 LED 스택(533)으로부터 발생되는 광을 반사시키면서 제1 LED 스택(523)으로부터 발생되는 광을 투과시킨다. 한편, 제2 컬러 필터(545)는 제3 LED 스택(543)으로부터 발생되는 광을 반사시키면서 제1 및 제2 LED 스택(523 및 533)으로부터 발생되는 광을 투과시킨다. 따라서, 제1 LED 스택(523)으로부터 발생되는 광은 제2 LED 스택(533) 및 제3 LED 스택(543)을 통해 외부로 방출될 수 있고, 제2 LED 스택(533)으로부터 발생되는 광은 제3 LED 스택(543)을 통해 외부로 방출될 수 있다. 또한, 발광 다이오드 픽셀은 제2 LED 스택(533)으로부터 발생되는 광이 제1 LED 스택(523)으로 진입하는 것을 방지할 수 있거나 또는 제3 LED 스택(543)으로부터 발생되는 광이 제2 LED 스택(533)으로 진입하는 것을 방지할 수 있으며, 그에 의해, 광 손실을 방지한다.

[0687] 몇몇 예시적인 실시예에서, 제1 컬러 필터(535)는 제3 LED 스택(543)으로부터 발생되는 광을 반사시킬 수 있다.

[0688] 제1 및 제2 컬러 필터(535 및 545)는, 예를 들어, 저 주파수 대역에서, 즉, 장파장 대역에서, 광이 그를 통해 통과하는 것을 허용하는 저역 통과 필터, 소정 파장 대역에서 광이 그를 통해 통과하는 것을 허용하는 대역 통과 필터, 또는 소정 파장 대역에서 광이 그를 통해 통과하는 것을 방지하는 대역 저지 필터일 수 있다. 특히,

제1 및 제2 컬러 필터(535 및 545)의 각각은 서로 다른 굴절률을 갖는 절연 층을 서로 교대로 적층함으로써, 예를 들어, TiO2 및 SiO2 층을 교대로 적층함으로써 형성될 수 있다. 특히, 제1 및 제2 컬러 필터(535 및 545)는 분산 브래그 반사기(DBRs)를 포함할 수 있다. 분산 브래그 반사기의 저지 대역은 TiO2 및 SiO2 층의 두께를 조절함으로써 제어될 수 있다. 저역 통과 필터 및 대역 통과 필터도 서로 다른 굴절률을 갖는 절연 층을 교대로 적층함으로써 형성될 수 있다.

[0689] 제1 본딩 층(553)은 제1 LED 스택(523)을 지지 기판(551)에 결합한다. 도면에 도시된 바와 같이, 반사 전극(525)은 제1 본딩 층(553)에 인접할 수 있다. 제1 본딩 층(553)은 광 투과성 또는 불투명 층일 수 있다. 제1 본딩 층(553)은 유기 또는 무기 재료로 형성될 수 있다. 유기 재료의 예는 SU8, 폴리(메틸 메타크릴레이트)(PMMA), 폴리이미드, 파릴렌, 벤조사이클로부텐(BCB) 등을 포함할 수 있고, 무기 재료의 예는 Al2O3, SiO2, SiNx 등을 포함할 수 있다. 유기 재료 층은 고진공 및 고압 조건하에서 본딩될 수 있고, 무기 재료 층은, 예를 들어, 무기 재료 층의 표면을 평탄화하기 위한 화학 기계적 연마를 통해 플라즈마를 이용하여 표면 에너지를 변화시킨 후 고진공 하에서 본딩될 수 있다. 특히, 광을 흡수할 수 있는 블랙 에폭시 수지로 형성되는 본딩 층이 제1 본딩 층(553)으로서 사용될 수 있으며, 그에 의해, 디스플레이 장치의 콘트라스트를 향상시킨다. 제1 본딩 층(553)은 또한 스핀-온-글래스로 형성될 수 있다.

[0690] 제2 본딩 층(555)은 제1 LED 스택(523)을 제2 LED 스택(533)에 결합한다. 제2 본딩 층(555)은 제1 LED 스택(523)과 제1 컬러 필터(535) 사이에 개재될 수 있다. 제2 본딩 층(555)은 제1 LED 스택(523)으로부터 발생되는 광을 투과시키며, 제1 본딩 층(553)처럼, 광 투과성 본딩 재료로 형성될 수 있다.

[0691] 절연 층(527)은 제2 본딩 층(555)과 제1 LED 스택(523) 사이에 개재될 수 있다. 절연 층(527)은 제2 도전형 반도체 층(523b)에 인접할 수 있다. 절연 층(527)은, 예를 들어, SiO2로 형성되며, 그에 의해, 제2 본딩 층(555)의 본딩 강도를 향상시킬 수 있다.

[0692] 제3 본딩 층(557)은 제2 LED 스택(533)을 제3 LED 스택(543)에 결합한다. 제3 본딩 층(557)은 제2 LED 스택(533)과 제2 컬러 필터(545) 사이에 개재되어 제2 LED 스택(533)을 제2 컬러 필터(545)에 본딩할 수 있다. 제3 본딩 층(557)은 제2 및 제3 LED 스택(523 및 533)으로부터 발생되는 광을 투과시키며, 제1 본딩 층(553)처럼, 광 투과성 본딩 재료로 형성될 수 있다.

[0693] 하부 절연 층(561)은 제1 내지 제3 LED 스택(523, 533 및 543)을 덮을 수 있다. 하부 절연 층(561)은 제1 LED 스택(523) 주위에서 노출되는 반사 전극(525)을 덮는다. 특히, 하부 절연 층(561)은 전기적인 연결 통로를 제공하기 위한 개구부를 가질 수 있다.

[0694] 상부 절연 층(563)은 하부 절연 층(561)을 덮는다. 상부 절연 층(563)은 전기적인 연결 통로를 제공하기 위한 개구부를 가질 수 있다.

[0695] 하부 절연 층(561) 및 상부 절연 층(563)은 임의의 절연 재료, 예를 들어, 실리콘 산화물 또는 실리콘 질화물로 형성될 수 있으며, 이에 한정되는 것은 아니다.

[0696] 도 62 및 도 63에 도시된 바와 같이, 인터커넥션 라인(571, 573 및 575)은 반사 전극(525)과 직교하도록 배치될 수 있다. 인터커넥션 라인(571) 및 인터커넥션 라인(575)은 상부 절연 층(563) 상에 배치되며, 연결 부분(571a 및 575a)을 통해 제3-2 오믹 전극(549) 및 제1-2 오믹 전극(529)에 각각 연결될 수 있다. 이를 위해, 상부 절연 층(563) 및 하부 절연 층(561)은 제3-2 오믹 전극(549) 및 제1-2 오믹 전극(529)을 노출시키는 개구부를 가질 수 있다.

[0697] 인터커넥션 라인(573)은 하부 절연 층(561) 상에 배치되며 반사 전극(525)으로부터 절연된다. 인터커넥션 라인(573)은 하부 절연 층(561)과 상부 절연 층(563) 사이에 배치될 수 있고, 연결 부분(573a)을 통해 제2-2 오믹 전극(539)에 연결될 수 있다. 이를 위해, 하부 절연 층(561)은 제2-2 오믹 전극(539)을 노출시키는 개구부를 갖는다.

[0698] 연결 부분(577a 및 577b)은 하부 절연 층(561)과 상부 절연 층(563) 사이에 배치되며, 제3-1 오믹 전극(547)과 제2-1 오믹 전극(537)을 각각 반사 전극(525)에 전기적으로 연결한다. 이를 위해, 하부 절연 층(561)은 제3-1 오믹 전극(547) 및 제2-1 오믹 전극(537)을 노출시키는 개구부를 가질 수 있다.

[0699] 인터커넥션 라인(571) 및 인터커넥션 라인(573)은 상부 절연 층(563)에 의해 서로 절연되며, 그러므로, 수직 방향에서 중첩되도록 배치될 수 있다.

[0700] 각 픽셀의 전극이 본 예시적인 실시예에서 데이터 라인 및 스캔 라인에 연결되지만, 다양한 구현예가 가능하다

는 것을 이해하여야 한다. 상술한 예시적인 실시예에서, 인터커넥션 라인(571 및 575)이 하부 절연 층(561) 상에 형성되고, 인터커넥션 라인(573)이 하부 절연 층(561)과 상부 절연 층(563) 사이에 배치된다. 그러나, 본 개시가 이에 한정되는 것은 아님을 이해하여야 한다. 예를 들어, 모든 인터커넥션 라인(571, 573 및 575)이 하부 절연 층(561) 상에 형성될 수 있으며 상부 절연 층(563)에 의해 덮일 수 있고, 연결 부분(571a 및 575a)은 상부 절연 층(563) 상에 형성될 수 있다.

[0701] 다음으로, 상술한 예시적인 실시예에 따른 디스플레이 장치(5000A)를 제조하는 방법을 설명하기로 한다.

[0702] 도 65 내지 도 77은 본 개시의 특별한 예시적인 실시예에 따른 디스플레이 장치를 제조하는 방법을 나타내는 개략적인 단면도이다. 이들 단면도의 각각은 대응하는 평면도의 선 A-A를 따라 취해진 것이다.

[0703] 먼저, 도 65A 및 도 65B를 참조하면, 제1 LED 스택(523)이 제1 기판(521) 상에서 성장된다. 제1 기판(521)은, 예를 들어, GaAs 기판일 수 있다. 부가하여, 제1 LED 스택(523)은 AlGaInP계 반도체 층으로 구성되며, 제1 도전형 반도체 층(523a), 활성 층(도시 안됨) 및 제2 도전형 반도체 층(523b)을 포함한다.

[0704] 그리고 나서, 절연 층(527)이 제1 LED 스택(523) 상에 형성될 수 있다. 절연 층(527)은 제2 도전형 반도체 층(523b)을 노출시키는 개구부를 갖도록 패터닝에 처하여질 수 있다. 절연 층(527)은 친수성 재료, 예를 들어, SiO2로 형성될 수 있다. 절연 층(527)은 생략될 수 있다.

[0705] 제1-2 오믹 전극(529)이 절연 층(527)의 개구부 내부에 형성될 수 있다. 제1-2 오믹 전극(529)은, 예를 들어, Au-Zn 합금 또는 Au-Be 합금으로 형성될 수 있다. 제1-2 오믹 전극(529)은 패드 영역 및 연장 부분을 갖도록 형성될 수 있다. 제1-2 오믹 전극(529)은 각 픽셀 영역 내에 위치되도록 리프트-오프 공정에 의해 형성될 수 있다. 제1-2 오믹 전극(529)은 도 65A에 도시된 바와 같이 각 픽셀 영역 내에서 일 측으로 편향될 수 있다.

[0706] 다음으로, 도 66A를 참조하면, 예비 기판(5121a)이 본딩 층(5123a)을 통해 제1 LED 스택(523)의 상부 측에 부착될 수 있다. 예비 기판(5121a)은 특정 기판으로 제한되지 않으며, 제1 LED 스택(523)을 지지할 수 있는 임의의 기판으로부터 선택될 수 있다. 제1 기판(521)이 화학적 식각에 의해 제1 LED 스택(523)으로부터 제거된다. 결과적으로, 제1 LED 스택(523)의 제1 도전형 반도체 층(523a)의 상부 표면이 노출된다. 조면화된 표면이 표면 텍스처링에 의해 제1 도전형 반도체 층(523a)의 노출된 상부 표면 상에 형성될 수 있다.

[0707] 그리고 나서, 제1-1 오믹 전극(반사 전극)(525)이 제1 LED 스택(523)의 노출된 표면 상에 형성된다. 반사 전극(525)은, 예를 들어, Au-Te 합금 또는 Au-Ge 합금으로 형성될 수 있다. 반사 전극(225)은 리프트-오프 공정에 의해 형성될 수 있으며, 특정 형상을 갖도록 패터닝에 처하여질 수 있다. 예를 들어, 반사 전극(525)은 다수의 픽셀을 서로 연결하는 길이를 갖도록 패터닝에 처하여질 수 있다. 그러나, 본 개시가 이에 한정되는 것은 아니며 반사 전극(525)이 패터닝없이 제1 LED 스택(523)의 전체 상부 표면에 걸쳐서 형성된 후 패터닝에 처하여질 수 있다는 것을 이해하여야 한다. 반사 전극(525)은, 제1 LED 스택(523)의 제1 도전형 반도체 층(523a), 즉 그 n-형 반도체 층과 오믹 접촉을 형성할 수 있다.

[0708] 도 66B를 참조하면, 지지 기판(551)이 제1 본딩 층(553)을 경유하여 제1 LED 스택(523)에 결합된다. 제1 LED 스택(523) 상의 반사 전극(525)은 지지 기판(551)을 향하도록 배치될 수 있고 그에 본딩될 수 있다. 따라서, 제1 본딩 층(553)은 반사 전극(525) 및 제1 도전형 반도체 층(523a)에 인접할 수 있다.

[0709] 지지 기판(551)이 본딩된 후, 예비 기판(5121a) 및 본딩 층(5123a)이 제거될 수 있다. 결과적으로, 절연 층(527) 및 제1-2 오믹 전극(529)이 노출될 수 있다.

[0710] 도 67A를 참조하면, 제2 LED 스택(533)이 제2 기판(531) 상에서 성장된다. 제2 LED 스택(533)은 GaN계 반도체 층으로 구성되고, 제1 도전형 반도체 층(533a), GaInN 웰 층 및 제2 도전형 반도체 층(533b)을 포함할 수 있다. 제2 LED 스택(533)은 GaN계 반도체 층이 그 위에서 성장되는 것을 허용하는 기판이며, 제1 기판(521)과 다르다. 제2 LED 스택(533)의 GaInN 조성비는 제2 LED 스택(533)이 녹색 광을 방출할 수 있도록 결정될 수 있다.

[0711] 도 67B를 참조하면, 예비 기판(5121b)이 본딩 층(5123b)을 통해 제2 LED 스택(533)의 상부 측에 부착될 수 있다. 예비 기판(5121b)은 특정 기판으로 제한되지 않으며, 제1 LED 스택(523)을 지지할 수 있는 임의의 기판으로부터 선택될 수 있다.

[0712] 도 67C를 참조하면, 제2 기판(531)이 제거된다. 제2 기판(531)은 레이저 리프트-오프 또는 화학적 식각에 의해 제2 LED 스택(533)으로부터 제거될 수 있다. 결과적으로, 제2 LED 스택(533)의 제1 도전형 반도체 층(533a)의 상부 표면이 노출된다. 조면화된 표면이 표면 텍스처링에 의해 제1 도전형 반도체 층(533a)의 노출된 상부 표면

상에 형성될 수 있다.

[0713] 한편, 제1 컬러 필터(535)가 제1 도전형 반도체 층(533a)의 노출된 표면 상에 형성될 수 있다. 제1 컬러 필터(535)는 제1 도전형 반도체 층(533a)에 인접할 수 있다. 제1 컬러 필러(535)의 재료의 세부 사항은 도 64A를 참조하여 설명한 것과 동일하며, 그 상세한 설명은 생략하기로 한다.

[0714] 도 68A를 참조하면, 제3 LED 스택(543)이 제3 기판(541) 상에서 성장된다. 제3 LED 스택(543)은 GaN계 반도체 층으로 구성되고, 제1 도전형 반도체 층(543a), GaInN 웰 층 및 제2 도전형 반도체 층(543b)을 포함할 수 있다. 제3 기판(543)은 GaN계 반도체 층이 그 위에서 성장되는 것을 허용하는 기판이며, 제1 기판(521)과 다르다. 제3 LED 스택(543)의 GaInN 조성비는 제3 LED 스택(543)이 청색 광을 방출할 수 있도록 결정될 수 있다.

[0715] 도 68B를 참조하면, 예비 기판(5121c)이 본딩 층(5123c)을 통해 제3 LED 스택(543)의 상부 측에 부착될 수 있다. 예비 기판(5121c)은 특정 기판으로 제한되지 않으며, 제3 LED 스택(543)을 지지할 수 있는 임의의 기판으로부터 선택될 수 있다.

[0716] 도 68C를 참조하면, 제3 기판(541)이 제거된다. 제3 기판(541)은 레이저 리프트-오프 또는 화학적 식각에 의해 제3 LED 스택(543)으로부터 제거될 수 있다. 결과적으로, 제3 LED 스택(543)의 제1 도전형 반도체 층(543a)의 상부 표면이 노출된다. 조면화된 표면이 표면 텍스처링에 의해 제1 도전형 반도체 층(543a)의 노출된 상부 표면 상에 형성될 수 있다.

[0717] 한편, 제2 컬러 필터(545)가 제1 도전형 반도체 층(543a)의 노출된 표면 상에 형성될 수 있다. 제2 컬러 필터(545)는 제1 도전형 반도체 층(543a)에 인접할 수 있다. 제2 컬러 필러(545)의 재료의 세부 사항은 도 64A를 참조하여 설명한 것과 동일하며, 그 상세한 설명은 생략하기로 한다.

[0718] 제1 LED 스택(523), 제2 LED 스택(533) 및 제3 LED 스택(543)이 서로 다른 기판 상에서 성장되므로, 제1 내지 제3 LED 스택을 형성하는 순서는 특별히 제한되지 않는다.

[0719] 도 69A 및 도 69B를 참조하면, 도 67C를 참조하여 설명한 제2 LED 스택(533)이, 제2 본딩 층(555)을 경유하여, 도 66B를 참조하여 설명한 바와 같이 노출되는 절연 층(527) 및 제1-2 오믹 전극(529)에 본딩된다.

[0720] 제1 컬러 필터(535)가 지지 기판(551)을 향하도록 배치되며, 제2 본딩 층(555)을 경유하여 절연 층(527)에 본딩된다. 제2 본딩 층(555)은 광 투과성 재료로 형성될 수 있다.

[0721] 그리고 나서, 예비 기판(5121b) 및 본딩 층(5123b)이 제거되어 제2 도전형 반도체 층(533b)을 노출시키고, 제2-2 오믹 전극(539)이 제2 도전형 반도체 층(533b)의 노출된 표면 상에 형성된다.

[0722] 도 69A에 도시된 바와 같이, 제2-2 오믹 전극(539)은 패드 영역 및 연장 부분을 포함할 수 있다. 연장 부분은 반사 전극(525)의 종방향으로 연장될 수 있다. 한편, 제2-2 오믹 전극(539)이 제1-2 오믹 전극(529)으로부터 수평 방향으로 이격되도록 배치될 수 있다. 제2-2 오믹 전극(539)은 제2 도전형 반도체 층(533b)과 오믹 접촉을 형성한다.

[0723] 그리고 나서, 도 69A에 도시된 바와 같이, 제2 도전형 반도체 층(533b) 및 활성 층이 부분적으로 제거되어 제1 도전형 반도체 층(533a)을 노출시킬 수 있다. 제2 도전형 반도체 층(533b) 및 활성 층은 메사 식각에 의해 부분적으로 제거될 수 있다.

[0724] 그 후, 제2-1 오믹 전극(537)이 제1 도전형 반도체 층(533a)의 노출된 표면 상에 형성될 수 있다. 제2-1 오믹 전극(537)은 제1 도전형 반도체 층(533a)과 오믹 접촉을 형성한다.

[0725] 본 예시적인 실시예에서는 제2-2 오믹 전극(539)이 제2-1 오믹 전극(537) 이전에 형성되지만, 제2-2 오믹 전극(539) 및 제2-1 오믹 전극(537)을 형성하는 순서는 변경될 수 있다.

[0726] 그리고 나서, 도 70A 및 도 70B를 참조하면, 도 68을 참조하여 설명한 제3 LED 스택(543)이, 제2-1 오믹 전극(537) 및 제2-2 오믹 전극(539)이 그 위에 형성되는, 제2 LED 스택(533)에 제3 본딩 층(557)을 경유하여 본딩된다.

[0727] 제2 컬러 필터(545)는 제2 LED 스택(533)을 향하도록 배치될 수 있고 제3 본딩 층(557)을 통해 제2 LED 스택(533)에 본딩될 수 있다. 제3 본딩 층(557)은 광 투과성 재료로 형성될 수 있다.

[0728] 그리고 나서, 예비 기판(5121c) 및 본딩 층(5123c)이 제거되어 제2 도전형 반도체 층(543b)의 표면을 노출시킬 수 있고, 제3-2 오믹 전극(549)이 제2 도전형 반도체 층(543b)의 노출된 표면 상에 형성된다.

[0729] 도 70A에 도시된 바와 같이, 제3-2 오믹 전극(549)은 패드 영역 및 연장 부분을 포함할 수 있다. 연장 부분은 반사 전극(525)의 종방향으로 연장될 수 있다. 한편, 제3-2 오믹 전극(549)은 제1-2 오믹 전극(529) 및 제2-2 오믹 전극(539)으로부터 수평 방향으로 이격되도록 배치될 수 있다. 제3-2 오믹 전극(549)은 제2 도전형 반도체 층(543b)과 오믹 접촉을 형성한다.

[0730] 한편, 도 70A에 도시된 바와 같이, 제2 도전형 반도체 층(543b) 및 활성 층이 부분적으로 제거되어 제1 도전형 반도체 층(543a)을 노출시킬 수 있다. 제2 도전형 반도체 층(543b) 및 활성 층은 메사 식각에 의해 부분적으로 제거될 수 있다.

[0731] 그리고 나서, 제3-1 오믹 전극(547)이 제1 도전형 반도체 층(543a)의 노출된 표면 상에 형성될 수 있다. 제3-1 오믹 전극(547)은 제1 도전형 반도체 층(543a)과 오믹 접촉을 형성한다.

[0732] 본 예시적인 실시예에서는 제3-2 오믹 전극(549)이 제3-1 오믹 전극(547) 이전에 형성되지만, 제3-2 오믹 전극(549) 및 제3-1 오믹 전극(547)을 형성하는 순서는 변경될 수 있다.

[0733] 도 71A 및 도 71B를 참조하면, 각 픽셀 영역에서, 제3 LED 스택(543)은, 제3 서브픽셀(B)을 위한 영역을 제외한 제3 LED 스택(543)을 제거하기 위해, 패터닝에 처하여질 수 있다. 결과적으로, 제3 서브픽셀(B)이 마련된다. 또한, 제2 컬러 필터(545) 및 제3 본딩 층(557)도 함께 제거될 수 있고, 그에 의해, 도면에 도시된 바와 같이, 제2 LED 스택(533)의 제2 도전형 반도체 층(533b), 제2-1 오믹 전극(537) 및 제2-2 오믹 전극(539)을 노출시킬 수 있다.

[0734] 도 72A 및 도 72B를 참조하면, 각 픽셀 영역에서 제2 서브픽셀(G)을 위한 영역을 제외한 영역에서 제2 LED 스택(533)을 제거하기 위해, 제2 LED 스택(533)이 패터닝에 처하여 진다. 결과적으로, 제2 서브픽셀(G)이 마련된다. 제2 서브픽셀(G)을 위한 영역에서, 제2 LED 스택(533)은 제3 LED 스택(543)과 부분적으로 중첩된다. 즉, 제2 LED 스택(533)은, 제3 LED 스택(543)이 제2 LED 스택(533)의 일부 영역 내에 배치되도록, 패터닝에 처하여 진다.

[0735] 한편, 제1 컬러 필터(535), 제2 본딩 층(555) 및 절연 층(527)도 함께 제거될 수 있고, 그에 의해, 도면에 도시된 바와 같이, 제1LED 스택(523)의 제2 도전형 반도체 층(523b) 및 제1-2 오믹 전극(529)을 노출시킨다.

[0736] 도 73A 및 도 73B를 참조하면, 제1 서브픽셀(R)을 위한 영역을 제외한 영역에서 제1 LED 스택(523)을 제거하기 위해, 제1 LED 스택(523)이 패터닝에 처하여 진다. 한편, 제1-2 오믹 전극(529)은 제1 서브픽셀(R)을 위한 영역 내에 잔류한다. 제1 LED 스택(523)은 제2 LED 스택(533) 및 제3 LED 스택(543)과 부분적으로 중첩된다. 즉, 제2 LED 스택(533) 및 제3 LED 스택(543)은 제1 LED 스택(523)의 상부 영역 내에 제한적으로 위치된다.

[0737] 한편, 제1 LED 스택(523)이 패터닝에 처하여짐에 따라, 반사 전극(525)이 노출될 수 있고, 제1 본딩 층(553)의 표면도 부분적으로 노출될 수 있다. 다른 예시적인 실시예에서, 절연 층이 제1 본딩 층(553) 상에 배치될 수 있으며, 제1 본딩 층(553)의 표면을 노출시키는 대신에, 제1 LED 스택(523)을 패터닝함으로써 노출될 수 있다.

[0738] 도 74A 및 도 74B를 참조하면, 하부 절연 층(561)이 형성된다. 하부 절연 층(561)은 제1 내지 제3 LED 스택(523, 533 및 543)을 덮을 수 있고, 또한 반사 전극(525) 및 제1 본딩 층(553)을 덮을 수 있다. 한편, 하부 절연 층(561)은, 제1-2 오믹 전극(529), 제2-1 오믹 전극(537), 제2-2 오믹 전극(539), 제3-1 도믹 전극(547), 제3-2 오믹 전극(549) 및 반사 전극(525)을 노출시키는 개구부를 갖도록, 패터닝에 처하여질 수 있다.

[0739] 도 75를 참조하면, 인터커넥션 라인(573) 및 연결 부분(573a, 577a 및 577b)이 하부 절연 층(561) 상에 형성된다. 연결 부분(573a)은 제2-2 오믹 전극(539)을 인터커넥션 라인(573)에 연결하고; 연결 부분(577a)은 제3-1 오믹 전극(547)을 반사 전극(525)에 연결하며; 연결 부분(577b)은 제2-1 오믹 전극(537)을 반사 전극(525)에 연결한다. 도 75의 선 A-A를 따라 취한 단면도는 도 74B와 동일하며, 도시하지 않는다.

[0740] 그리고 나서, 도 76A 및 도 76B를 참조하면, 상부 절연 층(563)이 형성된다. 상부 절연 층(563)은 인터커넥션 라인(573) 및 연결 부분(573a, 577a 및 577b)을 덮는다. 상부 절연 층(563)이 패터닝에 처하여져서 제1-2 오믹 전극(529) 및 제3-2 오믹 전극(549)의 패드 영역을 노출시킬 수 있다.

[0741] 그리고 나서, 도 77을 참조하면, 인터커넥션 라인(571 및 575) 및 연결 부분(571a 및 575a)이 상부 절연 층(563) 상에 형성된다. 연결 부분(571a)은 인터커넥션 라인(571)을 제3-2 오믹 전극(549)에 연결하고, 연결 부분(575a)은 인터커넥션 라인(575)을 제1-2 오믹 전극(529)에 연결한다.

[0742] 결과적으로, 도 62 및 도 63을 참조하여 설명한 디스플레이 장치(5000A)가 완성된다. 도 77의 선 A-A를 따라 취

한 단면도는 도 76B와 동일하며, 도시하지 않는다.

[0743] 전술한 예시적인 실시예에서, 픽셀은 예로서 패시브 매트릭스 방식으로 구동되는 반면, 본 예시적인 실시예의 픽셀은 액티브 매트릭스 방식으로 구동될 수 있다.

[0744] 도 78은 본 개시의 또 하나의 예시적인 실시예에 따른 디스플레이 장치의 작동을 나타내는 개략적인 회로도이다. 본 실시예에서, 디스플레이 장치는 액티브 매트릭스 방식으로 구동된다.

[0745] 도 78을 참조하면, 본 예시적인 실시예에 따른 구동 회로는 두 개 이상의 트랜지스터(Tr1 및 Tr2) 및 커패시터를 포함한다. 전원이 선택 라인(Vrow1 내지 Vrow3)에 연결되고 전압이 데이터 라인(Vdata1 내지 Vdata3)에 인가되면, 전압이 해당하는 발광 다이오드에 인가된다. 또한, 대응하는 커패시터는 데이터 라인(Vdata1 내지 Vdata3)의 값에 따라 충전된다. 트랜지스터(Tr2)의 턴-온 상태가 커패시터의 충전된 전압에 의해 유지될 수 있기 때문에, 커패시터의 전압은 선택 라인(Vrow1)에 공급되는 전원이 차단될 때에도 유지되어 발광 다이오드(LED1 내지 LED3)에 인가될 수 있다. 또한, 발광 다이오드(LED1 내지 LED3) 내에서 흐르는 전류는 데이터 라인(Vdata1 내지 Vdata3)의 값에 따라 변경될 수 있다. 전류는 전류 공급원(Vdd)을 통해 연속적으로 공급될 수 있고, 그에 의해, 연속적인 발광을 가능하게 한다.

[0746] 트랜지스터(Tr1 및 Tr2) 및 커패시터는 지지 기판(551) 내부에 형성될 수 있다. 트랜지스터 및 커패시터에의 연결을 위한 연결 패드가 지지 기판(551)의 표면 상에 형성될 수 있다. 부가하여, 선택 라인 및 데이터 라인이 지지 기판(551) 내부에 또는 그 표면 상에 형성될 수 있다. 이 구조에서, 인터커넥션 라인(571, 573 및 575)은 생략될 수 있다.

[0747] 발광 다이오드(LED1 내지 LED3)는 각 픽셀에서 제1 내지 제3 LED 스택(523, 533 및 543)에 대응한다. 제1 내지 제3 LED 스택(523, 533 및 543)의 애노드는 트랜지스터(Tr2)에 연결되고, 그 캐소드는 접지에 연결될 수 있다. 제1-2 오믹 전극(529), 제2-2 오믹 전극(539) 및 제3-2 오믹 전극(549)은 연결 부분을 통해 지지 기판(551) 상의 연결 패드에 연결될 수 있고, 반사 전극(525)은 지지 기판(551) 상의 연결 패드에 대한 연결을 통해 접지에 연결될 수 있다.

[0748] 본 예시적인 실시예에서, 제1 내지 제3 LED 스택(523, 533 및 543)은 반사 전극(525)에 대한 공통 연결을 통해 접지에 연결될 수 있다. 또한, 반사 전극(525)은 둘 이상 또는 모든 픽셀에 걸쳐서 연속적으로 배치될 수 있다. 따라서, 반사 전극(525)은 디스플레이 장치에서 모든 LED 스택에 공통적으로 연결될 수 있다. 반사 전극(525)은 픽셀과 기판(551) 사이에 배치되고, 그에 의해, 액티브 매트릭스 회로의 노이즈를 제거한다.

[0749] 본 예시적인 실시예가 액티브 매트릭스 구동용 회로에 관한 것이지만, 다른 유형의 회로도 사용될 수 있다.

[0750] 본 개시의 예시적인 실시예에 따라, 다수의 픽셀이 웨이퍼 본딩을 이용하여 웨이퍼 레벨에서 형성될 수 있고, 그에 의해, 발광 다이오드의 개별적인 실장에 대한 필요성을 제거한다.

[0751] 도 79은 본 개시의 하나의 예시적인 실시예에 따른 디스플레이용 발광 다이오드 스택(600)의 개략적인 단면도이다.

[0752] 도 79를 참조하면, 발광 다이오드 스택(600)은 지지 기판(651), 제1-1 LED 스택(623a), 제1-2 LED 스택(623b), 제2 LED 스택(633), 제3 LED 스택(643), 제1-1 하부 오믹 전극(625a), 제1-1 상부 오믹 전극(627a), 제1-2 하부 오믹 전극(625b), 제1-2 상부 오믹 전극(627b), 제2 투명 전극(635), 제3 투명 전극(645), 제1 컬러 필터(637), 제2 컬러 필터(647), 제1 본딩 층(653), 제2 본딩 층(655), 제3 본딩 층(657), 및 제4 본딩 층(659)을 포함할 수 있다.

[0753] 지지 기판(651)은 LED 스택(623a, 623b, 633 및 643)을 지지한다. 지지 기판(651)은 그 표면 상에 또는 그 내부에 회로를 포함할 수 있지만, 이에 한정되는 것은 아니다. 지지 기판(651)은, 예를 들어, Si 기판 또는 Ge 기판을 포함할 수 있다.

[0754] 제1-1 LED 스택(623a), 제1-2 LED 스택(623b), 제2 LED 스택(633) 및 제3 LED 스택(643)의 각각은 n-형 반도체 층, p-형 반도체 층 및 그 사이에 개재되는 활성 층을 포함한다. 활성 층은 다중 양자 웰 구조를 가질 수 있다.

[0755] 제1-1 LED 스택(623a) 및 제1-2 LED 스택(623b)은 적색 광을 방출하도록 적합화되는 무기 발광 다이오드일 수 있고, 제2 LED 스택(633)은 녹색 광을 방출하도록 적합화되는 무기 발광 다이오드일 수 있으며, 제3 LED 스택(643)은 청색 광을 방출하도록 적합화되는 무기 발광 다이오드일 수 있다. 제1-1 LED 스택(623a) 및 제1-2 LED 스택(623b)은 AlGaInP계 웰 층을 포함할 수 있고, 제2 LED 스택(633)은 AlGaInP 또는 AlGaInN계 웰 층을 포함

할 수 있다. 제3 LED 스택(643)은 AlGaInN계 웰 층을 포함할 수 있다. 제1-1 LED 스택(623a) 및 제1-2 LED 스택(623b)은 동일한 구조 및 동일한 조성을 가질 수 있고, 이에 한정되는 것은 아니다. 예를 들어, 제1-1 LED 스택(623a)은 제1-2 LED 스택(623b)보다 더 긴 파장을 갖는 적색 광을 방출할 수 있다.

[0756] 아울러, LED 스택(623a, 623b, 633 및 643)의 각각의 양면은 각각 n-형 반도체 층 및 p-형 반도체 층이다. 본 예시적인 실시예에서, 스택(623a, 623b, 633 및 643)의 각각은 n-형 상부 표면 및 p-형 하부 표면을 갖는다. 제3 LED 스택(643)이 n-형 상부 표면을 가지기 때문에, 조면화된 표면(roughened surface)이 제3 LED 스택(643)의 상부 표면 상에 화학적 식각을 통해 형성될 수 있다. 그러나, 본 개시가 이에 한정되는 것은 아니며 각 LED 스택의 상부 및 하부 표면의 반도체 유형은 변화될 수 있다는 것을 이해하여야 한다.

[0757] 제1-1 LED 스택(623a)은 지지 기판(651) 근처에 배치되고; 제1-2 LED 스택(623b)은 제1-1 LED 스택(623a) 상에 배치되고; 제2 LED 스택(633)은 제1-2 LED 스택(623b) 상에 배치되고; 그리고 제3 LED 스택(643)은 제2 LED 스택(633) 상에 배치된다. 제1-1 LED 스택(623a) 및 제1-2 LED 스택(623b)은 제2 및 제3 LED 스택(633 및 643)보다 더 긴 파장을 갖는 광을 방출하므로, 제1-1 및 제1-2 LED 스택(623a 및 623b)으로부터 발생되는 광은 제2 및 제3 LED 스택(633 및 643)을 통해 외부로 방출될 수 있다. 또한, 제2 LED 스택(633)이 제3 LED 스택(643)보다 긴 파장을 갖는 광을 방출하기 때문에, 제2 LED 스택(633)으로부터 발생되는 광은 제3 LED 스택(643)을 통해 외부로 방출될 수 있다.

[0758] 제1-1 하부 오믹 전극(625a)은 제1-1 LED 스택(623a)의 하부 표면, 예를 들어, 그 p-형 반도체 층과 오믹 접촉을 형성하고, 제1-1 LED 스택(623a)으로부터 발생되는 광을 반사시킨다. 제1-1 하부 오믹 전극(625a)은, 예를 들어, Au-Zn 합금 또는 Au-Be 합금으로 형성되는 오믹 반사 층을 포함할 수 있다.

[0759] 제1-1 상부 오믹 전극(627a)은 제1-1 LED 스택(623a)의 상부 표면, 예를 들어, 그 n-형 반도체 층과 오믹 접촉을 형성한다. 제1-1 상부 오믹 전극(627a)은, 예를 들어, Au-Te 합금 또는 Au-Ge 합금으로 형성되는 오믹 층을 포함할 수 있다.

[0760] 제1-2 하부 오믹 전극(625b)은 제1-2 LED 스택(623b)의 하부 표면, 즉, 그 p-형 반도체 층과 오믹 접촉을 형성한다. 제1-2 하부 오믹 전극(625b)은, 예를 들어, Au-Zn 합금 또는 Au-Be 합금으로 형성되는 오믹 층을 포함할 수 있다. 제1-2 하부 오믹 전극(625b)은 제1-1 하부 오믹 전극(625a)보다 좁은 면적을 가지며, 광이 관통할 수 있는 경로를 제공한다.

[0761] 또한, 제1-2 하부 오믹 전극(625b)은 제1-1 상부 오믹 전극(627a)과 전기적으로 연결될 수 있다. 도 79에 도시된 바와 같이, 제1-2 하부 오믹 전극(625b)은 제1-1 상부 오믹 전극(627a)에 직접 접촉할 수 있으나, 이에 한정되는 것은 아니다. 대안적으로, 제1-2 하부 오믹 전극(625b)은, 후술하는 바와 같이, 투명한 도전성 본딩 층(655)을 통해 제1-1 상부 오믹 전극(627a)에 전기적으로 연결될 수 있다.

[0762] 제1-2 하부 오믹 전극(625b)이 제1-1 상부 오믹 전극(627a)에 전기적으로 연결됨에 따라, 제1-1 LED 스택(623a)과 제1-2 LED 스택(623b)은 서로 전기적으로 직렬로 연결될 수 있다.

[0763] 제1-2 상부 오믹 전극(627b)은 제1-2 LED 스택(623b)의 상부 표면, 예를 들어, 그 n-형 반도체 층과 오믹 접촉을 형성한다. 제1-2 상부 오믹 전극(627b)은, 예를 들어, Au-Te 합금 또는 Au-Ge 합금으로 형성되는 오믹 층을 포함할 수 있다.

[0764] 제2 투명 전극(635)은 제2 LED 스택(633)의 p-형 반도체 층과 오믹 접촉을 형성한다. 제2 투명 전극(635)은 적색 광 및 녹색 광에 관하여 투과성인 금속 층 또는 도전성 산화물 층으로 구성될 수 있다.

[0765] 제3 투명 전극(645)은 제3 LED 스택(643)의 p-형 반도체 층과 오믹 접촉을 형성한다. 제3 투명 전극(645)은 적색 광, 녹색 광 및 청색 광에 관하여 투과성인 금속 층 또는 도전성 산화물 층으로 구성될 수 있다.

[0766] 제1-1 하부 오믹 전극(625a), 제1-2 하부 오믹 전극(625b), 제2 투명 전극(635) 및 제3 투명 전극(645)은 각 LED 스택의 p-형 반도체 층과의 오믹 접촉을 통해 전류 퍼짐을 도울 수 있다.

[0767] 제1 컬러 필터(637)는 제1-2 LED 스택(623b)과 제2 LED 스택(633) 사이에 개재된다. 부가하여, 제2 컬러 필터(647)는 제2 LED 스택(633)과 제3 LED 스택(643) 사이에 개재된다. 제1 컬러 필터(637)는 제2 LED 스택(633)으로부터 발생되는 광을 반사시키면서 제1-1 및 제1-2 LED 스택(623a 및 623b)으로부터 발생되는 광을 투과시킨다. 제2 컬러 필터(647)는 제3 LED 스택(643)으로부터 발생되는 광을 반사시키면서 제1-1, 제1-2 및 제2 LED 스택(623a, 623b 및 633)으로부터 발생되는 광을 투과시킨다. 결과적으로, 제1-1 LED 스택(623a) 및 제1-2 LED 스택(623b)으로부터 발생되는 광은 제2 LED 스택(633) 및 제3 LED 스택(643)을 통해 외부로 방출될 수

있고, 제2 LED 스택(633)으로부터 발생되는 광은 제3 LED 스택(643)을 통해 외부로 방출될 수 있다. 또한, 발광 다이오드 스택은 제2 LED 스택(633)으로부터 발생되는 광이 제1-2 LED 스택(623b)으로 진입하는 것을 방지할 수 있거나 또는 제3 LED 스택(643)으로부터 발생되는 광이 제2 LED 스택(633)으로 진입하는 것을 방지할 수 있으며, 그에 의해, 광 손실을 방지한다.

[0768] 몇몇 예시적인 실시예에서, 제1 컬러 필터(637)는 제3 LED 스택(643)으로부터 발생되는 광을 반사시킬 수 있다.

[0769] 제1 및 제2 컬러 필터(637 및 647)는, 예를 들어, 저 주파수 대역에서, 즉, 장파장 대역에서, 광이 그를 통해 통과하는 것을 허용하는 저역 통과 필터, 소정 파장 대역에서 광이 그를 통해 통과하는 것을 허용하는 대역 통과 필터, 또는 소정 파장 대역에서 광이 그를 통해 통과하는 것을 방지하는 대역 저지 필터일 수 있다. 특히, 제1 및 제2 컬러 필터(637 및 647)의 각각은 분산 브래그 반사기(DBR)를 포함할 수 있다. 분산 브래그 반사기(DBR)는 다른 파장 범위의 광을 투과시키면서 특정 파장 대역(저지 대역)의 광을 반사시킨다. 분산 브래그 반사기는 서로 다른 굴절률을 갖는 절연 층, 예를 들어, TiO2 및 SiO2를 교대로 적층함으로써 형성될 수 있다. 아울러, 분산 브래그 반사기의 저지 대역은 TiO2 및 SiO2 층의 두께를 조절함으로써 제어될 수 있다. 저역 통과 필터 및 대역 통과 필터도 서로 다른 굴절률을 갖는 절연 층을 교대로 적층함으로써 형성될 수 있다.

[0770] 제1 본딩 층(653)은 제1-1 LED 스택(623a)을 지지 기판(651)에 결합한다. 도면에 도시된 바와 같이, 제1-1 하부 오믹 전극(625a)은 제1 본딩 층(653)에 인접할 수 있다. 제1 본딩 층(653)은 광 투과성 또는 불투명 층일 수 있다. 제1 본딩 층(653)은 유기 또는 무기 재료로 형성될 수 있다. 유기 재료의 예는 SU8, 폴리(메틸 메타크릴레이트)(PMMA), 폴리이미드, 파릴렌, 벤조사이클로부텐(BCB) 등을 포함할 수 있고, 무기 재료의 예는 Al2O3, SiO2, SiNx 등을 포함할 수 있다. 유기 재료 층은 고진공 및 고압 조건하에서 본딩될 수 있고, 무기 재료 층은, 예를 들어, 무기 재료 층의 표면을 평탄화하기 위한 화학 기계적 연마를 통해 플라즈마를 이용하여 표면 에너지를 변화시킨 후 고진공 하에서 본딩될 수 있다. 특히, 광을 흡수할 수 있는 블랙 에폭시 수지로 형성되는 본딩 층이 제1 본딩 층(653)으로서 사용될 수 있으며, 그에 의해, 디스플레이 장치의 콘트라스트를 향상시킨다. 제1 본딩 층(653)은 또한 스핀-온-글래스로 형성될 수 있다.

[0771] 제2 본딩 층(655)은 제1-2 LED 스택(623b)을 제1-1 LED 스택(623a)에 결합한다. 도면에 도시된 바와 같이, 제1-1 상부 오믹 전극(627a) 및 제1-2 하부 오믹 전극(625b)은 제2 본딩 층(655) 내부에 배치될 수 있다.

[0772] 제2 본딩 층(655)은 광 투과성 층일 수 있으며, 제1 본딩 층(653)에서와 같이 유기 또는 무기 재료로 형성될 수 있다. 부가하여, 제2 본딩 층(655)은 절연 층 또는 도전 층일 수 있다. 예를 들어, 제2 본딩 층(655)은 ITO, IZO, ZnO 등과 같은 투명한 도전성 산화물로 형성될 수 있다.

[0773] 제2 본딩 층(655)이 절연 층인 경우, 제1-1 상부 오믹 전극(627a) 및 제1-2 하부 오믹 전극(625b)은 서로 직접적으로 전기적으로 연결된다. 대안적으로, 제2 본딩 층(655)이 도전 층인 경우, 제1-1 상부 오믹 전극(627a)과 제1-2 하부 오믹 전극(625b)은 서로 직접 연결되는 대신 제2 본딩 층(655)을 통해 서로 전기적으로 연결될 수 있다. 이 구조에서, 제1-1 상부 오믹 전극(627a) 및 제1-2 하부 오믹 전극(625b)은 정렬될 필요가 없으므로, 발광 다이오드 스택(600)을 제조하는 공정을 단순화한다.

[0774] 제3 본딩 층(657)은 제2 LED 스택(633)을 제1-2 LED 스택(623b)에 결합한다. 도면에 도시된 바와 같이, 제3 본딩 층(657)은 제1-2 LED 스택(623b) 및 제1 컬러 필터(637)에 인접할 수 있다.

[0775] 제3 본딩 층(657)은 제1-1 및 제1-2 LED 스택(623a 및 623b)으로부터 발생되는 광을 투과시킨다. 제1 본딩 층(653)에서와 같이, 제3 본딩 층(657)은, 예를 들어, 투명 무기 재료, 투명 유기 재료, 스핀-온-글래스 또는 투명 도전성 재료로 형성될 수 있다.

[0776] 제4 본딩 층(659)은 제3 LED 스택(643)을 제2 LED 스택(633)에 결합한다. 도면에 도시된 바와 같이, 제4 본딩 층(659)은 제2 LED 스택(633) 및 제2 컬러 필터(647)에 인접할 수 있다. 그러나, 본 개시가 이에 한정되는 것은 아님을 이해하여야 한다. 대안적으로, 투명 도전 층이 제2 LED 스택(633) 상에 배치될 수 있다. 제4 본딩 층(659)은 제1-1, 제1-2 및 제2 LED 스택(623a, 623b 및 633)으로부터 발생되는 광을 투과시킨다. 제1 본딩 층(653)에서와 같이, 제4 본딩 층(659)은, 예를 들어, 투명 무기 재료, 투명 유기 재료, 스핀-온-글래스 또는 투명 도전성 재료로 형성될 수 있다.

[0777] 도 80A, 도 80B, 도 80C 및 도 80D는 본 개시의 하나의 예시적인 실시예에 따른 디스플레이용 발광 다이오드 스택을 제조하는 방법을 나타내는 개략적인 단면도이다.

[0778] 도 80A를 참조하면, 먼저, 제1-1 LED 스택(623a)이 제1-1 기판(621a) 상에서 성장되고, 제1-1 하부 오믹 전극

(625a)이 제1-1 LED 스택(623a) 상에 형성된다.

[0779] 제1-1 기판(621a)은, 예를 들어, GaAs 기판일 수 있다. 부가하여, 제1-1 LED 스택(623a)은 AlGaInP계 반도체 층으로 구성되며, n-형 반도체 층, 활성 층 및 p-형 반도체 층을 포함한다. 제1-1 하부 오믹 전극(625a)은 p-형 반도체 층과 오믹 접촉을 형성한다. 제1-1 하부 오믹 전극(625a)은 제1-1 LED 스택(623a)의 전체 면적을 덮을 수 있다.

[0780] 도 80B를 참조하면, 제1-2 LED 스택(623b)이 제1-2 기판(621b) 상에서 성장되고, 제1-2 하부 오믹 전극(625b)은 제1-2 LED 스택(623b) 상에 형성된다.

[0781] 제1-2 기판(621b)은, 예를 들어, GaAs 기판일 수 있다. 부가하여, 제1-2 LED 스택(623b)은 AlGaInP계 반도체 층으로 구성되며, n-형 반도체 층, 활성 층 및 p-형 반도체 층을 포함한다. 제1-2 하부 오믹 전극(625b)은 p-형 반도체 층과 오믹 접촉을 형성한다. 제1-2 하부 오믹 전극(625b)은 제1-2 LED 스택(623b)과 부분적으로 접촉한다.

[0782] 도 80C를 참조하면, 제2 LED 스택(633)이 제2 기판(631) 상에서 성장되고, 제2 투명 전극(635) 및 제1 컬러 필터(637)가 제2 LED 스택(633) 상에 형성된다. 제2 LED 스택(633)은 AlGaInP 또는 AlGaInN계 반도체 층으로 구성될 수 있고, AlGaInP 또는 AlGaInN계 웰 층을 포함할 수 있다. 제2 기판(631)은 AlGaInP계 반도체 층의 그 위에서의 성장을 허용하는 기판, 예를 들어, GaAs 기판일 수 있고, 또는 GaN계 반도체 층의 그 위에서의 성장을 허용하는 기판, 예를 들어, 사파이어 기판일 수 있다. 제2 LED 스택(633)의 Al, Ga 및 In의 조성비는 제2 LED 스택(633)이 녹색 광을 방출할 수 있도록 결정될 수 있다. 한편, 제2 투명 전극(635)은 p-형 반도체 층과 오믹 접촉을 형성한다.

[0783] 도 80D를 참조하면, 제3 LED 스택(643)이 제3 기판(641) 상에서 성장되고, 제3 투명 전극(645) 및 제2 컬러 필터(647)가 제3 LED 스택(643) 상에 형성된다. 제3 LED 스택(643)은 GaN계 반도체 층으로 구성될 수 있고, AlGaInN계 웰 층을 포함할 수 있다. 제3 LED 스택(643)은 GaN계 반도체 층이 그 위에서 성장되는 것을 허용하는 기판이며, 제1 기판(621)과 다르다. 제3 LED 스택(643)의 Al, Ga 및 In의 조성비는 제3 LED 스택(643)이 청색 광을 방출할 수 있도록 결정될 수 있다. 한편, 제3 투명 전극(645)은 p-형 반도체 층과 오믹 접촉을 형성한다.

[0784] 제1 컬러 필터(637) 및 제2 컬러 필터(647)는 도 79를 참조하여 설명한 것들과 동일하며, 그 반복되는 설명은 생략하기로 한다.

[0785] 도 79 및 도 80A를 참조하면, 먼저, 제1-1 LED 스택(623a)이 제1 본딩 층(653)을 경유하여 지지 기판(651)에 결합된다. 제1-1 하부 오믹 전극(625a)은 지지 기판(651)을 향하도록 배치될 수 있으며, 제1 본딩 층(653)을 통해 지지 기판(651)에 본딩될 수 있다. 한편, 제1-1 기판(621)이 화학적 식각에 의해 제1-1 LED 스택(623)으로부터 제거된다. 조면화된 표면이 표면 텍스처링에 의해 제1-1 LED 스택(623a)의 노출된 표면 상에 형성될 수 있다.

[0786] 도 79에 도시된 바와 같이, 제1-1 상부 오믹 전극(627a)이 제1-1 LED 스택(623a)의 노출된 표면 상에 형성된다.

[0787] 그리고 나서, 도 79 및 도 80B를 참조하면, 제1-2 LED 스택(623b)이 제2 본딩 층(655)을 경유하여 제1-1 LED 스택(623a)에 결합된다. 제1-2 하부 오믹 전극(625b)은 제1-1 LED 스택(623a)을 향하도록 배치될 수 있고, 제1-1 LED 스택(623a)에 본딩될 수 있다.

[0788] 제2 본딩 층(655)은, 예를 들어, 투명한 도전성 산화물 층일 수 있으며, 그러므로, 제1-1 상부 오믹 전극(627a) 및 제1-2 하부 오믹 전극(625b)을 서로 전기적으로 연결할 수 있다. 대안적으로, 제2 본딩 층(655)이 절연 층인 경우, 제1-2 하부 오믹 전극(625b)은 제1-1 상부 오믹 전극(627a)과 정렬되어 직접 접촉한다.

[0789] 제2 본딩 층(655)이 투명 도전성 산화물 층인 경우, 투명 도전성 산화물 층이 제1-1 LED 스택(623a) 및 제1-2 LED 스택(623b) 상에 각각 증착되고 서로 본딩되어 제2 본딩 층(655)을 형성한다. 제1-1 LED 스택(623a) 및 제1-2 LED 스택(623b)의 표면 상에 형성되는 투명 도전성 산화물 층은 화학 기계적 연마에 의해 평탄화될 수 있다. 대안적으로, 제1-1 상부 오믹 전극(627a)과 제1-1 LED 스택(623a) 상에 형성되는 투명 도전성 산화물 층은 서로 동일 평면을 이루도록 처리되고, 제1-2 하부 오믹 전극(625b) 및 제1-2 LED 스택(623b)의 표면 상에 형성되는 투명 도전성 산화물 층은 서로 동일 평면을 이루도록 처리되며, 이어서, 투명 도전성 산화물 층이 본딩된다.

[0790] 도 79 및 도 80C를 참조하면, 제2 LED 스택(633)이 제3 본딩 층(657)을 경유하여 제1-2 LED 스택(623b)에 결합된다. 제1 컬러 필터(637)는 제1-2 LED 스택(623b)을 향하도록 배치될 수 있고, 제3 본딩 층(657)을 통해 제1-2

LED 스택(623b)에 본딩될 수 있다. 한편, 제2 기판(631)은 레이저 리프트-오프, 화학적 리프트-오프 또는 화학적 식각에 의해 제2 LED 스택(633)으로부터 분리될 수 있다. 제2 기판(631)이 분리된 후, 조면화된 표면이 표면 텍스쳐링에 의해 제2 LED 스택(633)의 표면 상에 형성될 수 있다.

[0791] 도 79 및 도 80D를 참조하면, 제3 LED 스택(643)은 제4 본딩 층(659)을 경유하여 제2 LED 스택(633)에 결합된다. 제2 컬러 필터(647)는 제2 LED 스택(633)을 향하도록 배치될 수 있고 제4 본딩 층(659)을 통해 제2 LED 스택(633)에 본딩될 수 있다.

[0792] 한편, 제3 LED 스택(643)은 레이저 리프트-오프, 화학적 리프트-오프 또는 화학적 식각에 의해 제3 LED 스택(643)으로부터 분리될 수 있다. 결과적으로, 도 79에 도시된 바와 같이, 제3 LED 스택(643)의 n-형 반도체 층이 노출되는 디스플레이용 발광 다이오드 스택이 제공될 수 있다. 조면화된 표면이 표면 텍스쳐링에 의해 제3 LED 스택(643)의 표면 상에 형성될 수 있다.

[0793] 디스플레이 장치가, 픽셀 유닛 내의 지지 기판(651) 상에서 제1-1, 제1-2, 제2 및 제3 LED 스택(623a, 623b, 633 및 643)의 스택을 패터닝하고 이어서 제1-1, 제1-2, 제2 및 제3 LED 스택을 인터커넥션 라인을 통해 서로 연결함으로써, 제공될 수 있다. 이하, 디스플레이 장치의 예시적인 실시예를 설명하기로 한다.

[0794] 도 81은 본 개시의 하나의 예시적인 실시예에 따른 디스플레이 장치의 작동을 나타내는 개략적인 회로도이고, 도 82는 본 개시의 예시적인 실시예에 따른 디스플레이 장치의 개략적인 평면도이다.

[0795] 먼저, 도 81 및 도 82를 참조하면, 본 예시적인 실시예에 따른 디스플레이 장치는 패시브 매트릭스 방식으로 작동하도록 구현될 수 있다.

[0796] 예를 들어, 도 79를 참조하여 설명한 디스플레이용 발광 다이오드 스택은 스택들(623a, 623b, 633 및 643)이 수직방향으로 적층되는 구조를 갖기 때문에, 하나의 픽셀이 적어도 네 개의 발광 다이오드(R1, R2, G 및 B)를 포함한다. 여기서, 제1-1 발광 다이오드(R1)는 제1-1 LED 스택(623a)에 대응하고, 제1-2 발광 다이오드(R2)는 제1-2 LED 스택(623b)에 대응하며, 제2 발광 다이오드(G)는 제2 LED 스택(633)에 대응하고, 제3 발광 다이오드(B)는 제3 LED 스택(643)에 대응한다.

[0797] 도 81 및 도 82에서, 하나의 픽셀은 제1-1, 제1-2, 제2 및 제3 발광 다이오드(R1, R2, G 및 B)를 포함하고, 제1-1 및 제1-2 발광 다이오드는 적색 광을 방출하는 서브픽셀에 대응하며 제2 및 제3 발광 다이오드(G 및 B)는 녹색 및 청색 광을 방출하는 서브픽셀에 각각 대응한다.

[0798] 제1-1 발광 다이오드(R1)는 제1-2 발광 다이오드(R2)에 직렬로 연결되고; 제1-1 및 제1-2 발광 다이오드(R1 및 R2)의 애노드는 공통 라인, 예를 들어, 데이터 라인에 연결되며; 그 캐소드는 스캔 라인에 연결된다. 한편, 제2 및 제3 발광 다이오드(G 및 B)의 애노드는 공통 라인, 예를 들어, 데이터 라인에 연결되고, 그 캐소드는 서로 다른 라인, 예를 들어, 스캔 라인에 연결된다.

[0799] 예를 들어, 제1 픽셀에서, 제1-1 발광 다이오드(R1)와 제1-2 발광 다이오드(R2)는 서로 직렬로 연결된다. 그 애노드, 즉, 제1-1 발광 다이오드(R1)의 애노드는 제2 및 제3 발광 다이오드(G 및 B)의 애노드와 함께 데이터 라인(Vdata1)에 공통적으로 연결되고, 제1-2 발광 다이오드(R2), 제2 발광 다이오드(G) 및 제3 발광 다이오드(B)의 캐소드는 스캔 라인(Vscan1-1, Vscan1-2 및 Vscan1-3)에 각각 연결된다. 따라서, 제1-1 발광 다이오드(R1) 및 제1-2 발광 다이오드(R2)는 함께 구동될 수 있고, 제2 발광 다이오드(G) 및 제3 발광 다이오드(B)는 제1-1 발광 다이오드(R1) 및 제1-2 발광 다이오드(R2)와 독립적으로 구동될 수 있다.

[0800] 또한, 발광 다이오드(R1, R2, G 및 B)의 각각은 펄스 폭 변조에 의해 또는 전류의 크기를 변경하는 것에 의해 구동되고, 그에 의해, 각 서브픽셀의 밝기에 있어서의 조절을 가능하게 한다. 또한, 본 예시적인 실시예에서, 제1-1 발광 다이오드(R1) 및 제1-2 발광 다이오드(R2)는 낮은 가시성을 갖는 적색 광을 방출함으로써, 적색 광의 광도를 향상시킨다.

[0801] 도 82를 다시 참조하면, 다수의 픽셀이 도 79를 참조하여 설명한 스택을 패터닝함으로써 형성되고, 각 픽셀은 제1-1 하부 오믹 전극(625a) 및 인터커넥션 라인(671, 673 및 675)에 연결된다. 도 81에 도시된 바와 같이, 제1-1 하부 오믹 전극(625a)은 데이터 라인(Vdata)으로서 사용될 수 있고, 인터커넥션 라인(671, 673 및 675)은 스캔 라인으로서 형성될 수 있다.

[0802] 픽셀은, 각 픽셀의 발광 다이오드(R1, G 및 B)의 애노드가 제1-1 하부 오믹 전극(625a)에 공통적으로 연결되고 각 픽셀의 발광 다이오드(R1, G 및 B)의 캐소드가 서로 이격된 인터커넥션 라인(671, 673 및 675)에 연결되는, 매트릭스 형태로 배열될 수 있다. 인터커넥션 라인(671, 673 및 675)은 스캔 라인(Vscan)으로서 사용될 수

있다.

[0803] 도 83은 도 82에 도시된 디스플레이 장치의 하나의 픽셀의 확대 평면도이고, 도 84는 도 83의 선 A-A를 따라 취한 개략적인 단면도이며, 도 85는 도 83의 선 B-B를 따라 취한 개략적인 단면도이다.

[0804] 도 82, 도 83, 도 84 및 도 85를 참조하면, 각 픽셀에서, 제1-1 하부 오믹 전극(625a)의 일부분, 제1-2 상부 오믹 전극(627b)의 상부 표면, 제2 투명 전극(635)의 일부분, 제2 LED 스택(633)의 상부 표면의 일부분, 제3 투명 전극(645)의 일부분 및 제3 LED 스택(643)의 상부 표면이 외부로 노출될 수 있다.

[0805] 제3 LED 스택(643)은 그 상부 표면 상에 조면화된 표면(643a)을 가질 수 있다. 조면화된 표면(643a)은, 도면에 도시된 바와 같이, 제3 LED 스택(643)의 상부 표면의 전체에 걸쳐서 형성되거나 또는 그 몇몇 영역에 형성될 수 있다.

[0806] 하부 절연 층(661)은 각 픽셀의 측면을 덮을 수 있다. 하부 절연 층(661)은 SiO2와 같은 광투과성 재료로 형성될 수 있다. 본 구조에서, 하부 절연 층(661)은 제3 LED 스택(643)의 전체 상부 표면을 덮을 수 있다. 대안적으로, 하부 절연 층(661)은 분산 브래그 반사기를 포함하여 제1 내지 제3 LED 스택(623, 633 및 643)의 측면을 향하여 진행하는 광을 반사시킬 수 있다. 이 경우, 하부 절연 층(661)은 제3 LED 스택(643)의 상부 표면을 적어도 부분적으로 노출시킨다.

[0807] 하부 절연 층(661)은 제3 LED 스택(643)의 상부 표면을 노출시키는 개구부(661a), 제2 기판(631)의 상부 표면을 노출시키는 개구부(661b), 제1-1 상부 오믹 전극(627b)의 상부 표면을 노출시키는 개구부(661c)(도 86H 참조), 제3 투명 전극(645)을 노출시키는 개구부(661d), 제2 투명 전극(635)을 노출시키는 개구부(661e), 및 제1-1 하부 오믹 전극(625a)을 노출시키는 개구부(661f)를 포함할 수 있다.

[0808] 인터커넥션 라인(671 및 675)은 지지 기판(651) 상에서 LED 스택(623a, 623b, 633 및 643) 근처에 형성될 수 있고, 하부 절연 층(661) 상에 배치되어 제1-1 하부 오믹 전극(625a)으로부터 절연될 수 있다. 한편, 제1-1 LED 스택(623a), 제2 LED 스택(633) 및 제3 LED 스택(643)의 애노드가 제1-1 하부 오믹 전극(625a)에 공통으로 연결되도록, 연결 부분(677a)이 제3 투명 전극(645)을 제1-1 하부 오믹 전극(625a)에 연결하고 연결 부분(677b)이 제2 투명 전극(635)을 제1-1 하부 오믹 전극(625a)에 연결한다.

[0809] 연결 부분(671a)은 제3 LED 스택(643)의 상부 표면을 인터커넥션 라인(671)에 연결하고, 연결 부분(675a)은 제1-2 상부 오믹 전극(627b)의 상부 표면을 인터커넥션 라인(675)에 연결한다.

[0810] 상부 절연 층(681)은 제3 LED 스택(643)의 상부 표면을 덮도록 인터커넥션 라인(671 및 673) 및 하부 절연 층(661) 상에 배치될 수 있다. 상부 절연 층(681)은 제2 LED 스택(633)의 상부 표면을 부분적으로 노출시키는 개구부(81a)를 가질 수 있다.

[0811] 상부 절연 층(681)은, 예를 들어, 실리콘 산화물 또는 실리콘 질화물로 형성될 수 있고, 분산 브래그 반사기를 포함할 수 있다. 부가하여, 상부 절연 층(681)은 투명 절연 층 및 투명 절연 층 상에 형성되는 반사성 금속 층 또는 다층 구조의 유기 반사 층을 포함할 수 있거나, 광을 차단하기 위해 블랙 에폭시 수지로 형성되는 광 흡수 층을 포함할 수 있다.

[0812] 상부 절연 층(681)이 광을 반사시키거나 차단하는 구조에서는, 상부 절연 층(681)은, 제3 LED 스택(643)의 상부 표면을 적어도 부분적으로 노출시켜 광이 외부로 방출되는 것을 허용하도록, 형성된다. 상부 절연 층(681)은 부분적으로 제거되어 외부로부터의 전기적 연결을 위해 인터커넥션 라인(671, 673 및 675)을 노출시킬 수 있다. 대안적으로, 상부 절연 층(681)은 생략될 수 있다.

[0813] 인터커넥션 라인(673)은 상부 절연 층(681) 상에 배치될 수 있고, 연결 부분(673a)은 제2 LED 스택(633)의 상부 표면을 인터커넥션 라인(673)에 연결할 수 있다. 연결 부분(673a)은 인터커넥션 라인(675) 상부를 통과할 수 있고, 상부 절연 층(681)에 의해 인터커넥션 라인(675)으로부터 절연된다.

[0814] 각 픽셀의 전극이 본 예시적인 실시예에서 데이터 라인 및 스캔 라인에 연결되지만, 다양한 구현예가 가능하다는 것을 이해하여야 한다. 상술한 예시적인 실시예에서, 인터커넥션 라인(671 및 675)이 하부 절연 층(661) 상에 형성되고, 인터커넥션 라인(673)이 상부 절연 층(681) 상에 형성된다. 그러나, 본 개시가 이에 한정되는 것은 아님을 이해하여야 한다. 예를 들어, 모든 인터커넥션 라인(671, 673 및 675)이 하부 절연 층(661) 상에 형성될 수 있으며, 인터커넥션 라인(673)을 노출시키도록 구성되는 개구부를 가질 수 있는, 상부 절연 층(681)에 의해 덮일 수 있다. 이러한 구조에서, 연결 부분(673a)은 제2 LED 스택(633)의 상부 표면을 상부 절연 층(681)

의 개구부를 통해 인터커넥션 라인(673)에 연결할 수 있다.

[0815] 대안적으로, 인터커넥션 라인(671, 673 및 675)은 지지 기판(651) 내부에 형성될 수 있고, 하부 절연 층(661) 상의 연결 부분(671a, 673a 및 675a)은 LED 스택(623b, 633 및 643)의 캐소드를 인터커넥션 라인(671, 673 및 675)에 연결할 수 있다.

[0816] 도 86A 내지 도 86K는 본 개시의 하나의 예시적인 실시예에 따른 디스플레이 장치를 제조하는 방법을 나타내는 개략적인 단면도이다. 이하의 설명은 도 83의 픽셀을 형성하는 방법에 대해 주어질 것이다.

[0817] 먼저, 도 79에서 설명한 발광 다이오드 스택(600)이 준비된다.

[0818] 그리고 나서, 도 86A를 참조하면, 조면화된 표면(643a)이 제3 LED 스택(643)의 상부 표면 상에 형성될 수 있다. 조면화된 표면(643a)은 제3 LED 스택(643)의 상부 표면 상에 형성되어 각 픽셀 영역에 대응할 수 있다. 조면화된 표면(643a)은 화학적 식각, 예를 들어, 광-증강 화학적 식각(photo-enhanced chemical etching: PEC)에 의해 형성될 수 있다.

[0819] 조면화된 표면(643a)은 후속 공정에서 식각될 제3 LED 스택(643)의 영역을 고려하여 각 픽셀 영역에서 부분적으로 형성될 수 있지만, 이에 한정되는 것은 아니다. 대안적으로, 조면화된 표면(643a)은 제3 LED 스택(643)의 전체 상부 표면 상부에 형성될 수 있다.

[0820] 도 86B를 참조하면, 각 픽셀에서 제3 LED 스택(643)의 주위 영역은 식각에 의해 제거되어 제3 투명 전극(645)을 노출시킨다. 도면에 도시된 바와 같이, 제3 LED 스택(643)은 직사각형 형상 또는 정사각형 형상을 갖도록 잔류할 수 있다. 다수의 함몰부가 제3 LED 스택(643)의 가장자리를 따라 형성될 수 있다.

[0821] 도 86C를 참조하면, 하나의 함몰부 내에서 노출되는 제3 투명 전극(645)의 일부분을 제외한 다른 영역에서 노출되는 제3 투명 전극(645)을 제거한 다음 제2 컬러 필터(647) 및 제4 본딩 층(659)을 순차적으로 제거함으로써, 제2 LED 스택(633)의 상부 표면이 노출된다. 따라서, 제2 LED 스택(633)의 상부 표면은, 제3 LED 스택(643) 주위에서 그리고 제3 투명 전극(645)이 내부에 잔류하는 함몰부를 제외한 다른 함몰부에서, 노출된다.

[0822] 도 86D를 참조하면, 하나의 함몰부 내에서 노출되는 제2 LED 스택(633)의 일부분을 제외한 다른 영역에서 노출되는 제2 LED 스택(633)을 제거함으로써, 제2 투명 전극(635)이 노출된다.

[0823] 도 86E를 참조하면, 하나의 함몰부 내에서 노출되는 제2 투명 전극(635)의 일부분을 제외한 다른 영역에서 노출되는 제2 투명 전극(635)을 제거한 다음 제1 컬러 필터(637) 및 제3 본딩 층(657)을 순차적으로 제거함으로써, 제1-2 LED 스택(623b)의 상부 표면이 노출된다. 따라서, 제1-2 LED 스택(623b)의 상부 표면이 제3 LED 스택(643) 주위에서 노출된다. 제3 LED 스택(643)의 상부 표면이 노출됨에 따라, 제1-2 상부 오믹 전극(627b)도 노출된다. 도면에 도시된 바와 같이, 제1-2 상부 오믹 전극(627b)이 제3 LED 스택(643)의 함몰부 중 적어도 하나 내에서 노출될 수 있다.

[0824] 도 86F를 참조하면, 제3 LED 스택(643) 주위에서 노출되는 제1-2 LED 스택(623b)을 제거한 다음 제2 본딩 층(655) 및 제1-1 LED 스택(623a)을 순차적으로 제거함으로써, 제1-1 하부 오믹 전극(625a)이 노출된다. 제1-1 하부 오믹 전극(625a)은 제3 LED 스택(643) 주위에서 노출된다.

[0825] 도 86G를 참조하면, 선형 인터커넥션 라인이 제1-1 하부 오믹 전극(625a)을 패터닝함으로써 형성된다. 여기서, 지지 기판(651)이 노출될 수 있다. 제1-1 하부 오믹 전극(625a)은 매트릭스로 배열되는 픽셀 중 하나의 행(row) 내에 배열되는 픽셀을 서로 연결할 수 있다(도 82 참조).

[0826] 도 86H를 참조하면, 하부 절연 층(661)(도 84 및 도 85 참조)이 픽셀을 덮도록 형성된다. 하부 절연 층(661)은 제1-1 하부 오믹 전극(625a) 및 LED 스택(623a, 623b, 633 및 643)의 측면을 덮는다. 또한, 하부 절연 층(661)은 제3 LED 스택(643)의 상부 표면을 적어도 부분적으로 덮을 수 있다. 하부 절연 층(661)이 SiO2 층과 같은 투명한 층이면, 하부 절연 층(661)은 제3 LED 스택(643)의 전체 상부 표면을 덮을 수 있다. 대안적으로, 하부 절연 층(661)은 분산 브래그 반사기를 포함할 수 있다. 이 구조에서, 하부 절연 층(661)은 제3 LED 스택(643)의 상부 표면을 적어도 부분적으로 노출시켜 광이 외부로 방출되는 것을 허용할 수 있다.

[0827] 하부 절연 층(661)은 제3 LED 스택(643)을 노출시키는 개구부(661a), 제2 LED 스택(633)을 노출시키는 개구부(661b), 제1-2 상부 오믹 전극(627b)을 노출시키는 개구부(661c), 제3 투명 전극(645)을 노출시키는 개구부(661d), 제2 투명 전극(635)을 노출시키는 개구부(661e), 및 제1-1 하부 오믹 전극(625a)을 노출시키는 개구부(661f)를 포함할 수 있다. 제1-1 하부 오믹 전극(625a)을 노출시키도록 적합화되는 적어도 두 개의 개구부

(661f)가 형성될 수 있다.

[0828] 도 86I를 참조하면, 인터커넥션 라인(671 및 675) 및 연결 부분(671a, 675a, 677a 및 677b)이 형성된다. 이들은 리프트-오프 공정에 의해 형성될 수 있다. 인터커넥션 라인(671 및 675)은 하부 절연 층(661)에 의해 제1-1 하부 오믹 전극(625a)으로부터 절연된다. 연결 부분(671a)은 제3 LED 스택(643)을 인터커넥션 라인(671)에 전기적으로 연결하고, 연결 부분(675a)은 제1-2 상부 오믹 전극(627b)을 인터커넥션 라인(675)에 전기적으로 연결한다. 연결 부분(677a)은 제3 투명 전극(645)을 제1-1 하부 오믹 전극(625a)에 전기적으로 연결하고, 연결 부분(677b)은 제2 투명 전극(635)을 제1-1 하부 오믹 전극(625a)에 전기적으로 연결한다.

[0829] 도 86J를 참조하면, 상부 절연 층(681)(도 84 및 도 85 참조)이 인터커넥션 라인(671 및 675) 및 연결 부분(671a, 675a, 677a 및 677b)을 덮는다. 상부 절연 층(681)은 또한 제3 LED 스택(643)의 전체 상부 표면을 덮을 수 있다. 상부 절연 층(681)은 제2 LED 스택(633)의 상부 표면을 노출시키는 개구부(681a)를 갖는다. 상부 절연 층(681)은, 예를 들어, 실리콘 산화물 또는 실리콘 질화물로 형성될 수 있고, 분산 브래그 반사기를 포함할 수 있다. 상부 절연 층(681)이 분산 브래그 반사기를 포함하는 구조에서, 상부 절연 층(681)은 제3 LED 스택(643)의 상부 표면의 적어도 일부를 노출시키도록 형성되어, 광이 외부로 방출되는 것을 허용한다.

[0830] 도 86K를 참조하면, 인터커넥션 라인(673) 및 연결 부분(673a)이 형성된다. 인터커넥션 라인(673) 및 연결 부분(673a)은 리프트-오프 공정에 의해 형성될 수 있다. 인터커넥션 라인(673)은 상부 절연 층(681) 상에 배치되며, 제1-1 하부 오믹 전극(625a) 및 인터커넥션 라인(671 및 675)으로부터 절연된다. 연결 부분(673a)은 제2 LED 스택(633)을 인터커넥션 라인(673)에 전기적으로 연결한다. 연결 부분(673a)은 인터커넥션 라인(675) 상부로 통과할 수 있고, 상부 절연 층(681)에 의해 인터커넥션 라인(675)으로부터 절연된다.

[0831] 결과적으로, 픽셀 영역이 도 83에 도시된 바와 같이 완성된다. 또한, 도 82에 도시된 바와 같이, 다수의 픽셀이 지지 기판(651) 상에 형성될 수 있으며, 제1-1 하부 오믹 전극(625a) 및 인터커넥션 라인(671, 673 및 675)에 의해 서로 연결되어 패시브 매트릭스 방식으로 동작할 수 있다.

[0832] 패시브 매트릭스 방식으로 동작하도록 적합화되는 디스플레이 장치를 제조하는 방법을 본 예시적인 실시예에서 도시하였지만, 본 개시가 이에 한정되지 않는다는 것을 이해하여야 한다. 즉, 예시적인 실시예에 따른 디스플레이 장치는 도 79에 도시된 발광 다이오드 스택을 사용하여 패시브 매트릭스 방식으로 동작하도록 다양한 방식으로 제조될 수 있다.

[0833] 예를 들어, 본 예시적인 실시예에서, 인터커넥션 라인(673)이 상부 절연 층(681) 상에 형성되는 것으로 도시되지만, 인터커넥션 라인(673)은 하부 절연 층(661) 상에서 인터커넥션 라인(671 및 675)과 함께 형성될 수 있으며, 연결 부분(673a)은 상부 절연 층(681) 상에 형성되어 제2 LED 스택(633)을 인터커넥션 라인(673)에 연결할 수 있다. 대안적으로, 인터커넥션 라인(671, 673 및 675)은 지지 기판(651) 내부에 배치될 수 있다.

[0834] 도 87은 본 개시의 또 하나의 예시적인 실시예에 따른 디스플레이 장치용 발광 다이오드 스택(601)의 개략적인 평면도이다.

[0835] 도 87을 참조하면, 본 예시적인 실시예에 따른 발광 다이오드 스택(601)은, 제1-1 상부 오믹 전극(627a)과 제1-2 하부 오믹 전극(625b)이 서로 절연된다는 점을 제외하고는, 도 79를 참조하여 설명한 발광 다이오드 스택(600)과 대체로 유사하다.

[0836] 특히, 제1-1 상부 오믹 전극(627a) 및 제1-2 하부 오믹 전극(625b)은 서로 분리되며 서로 전기적으로 절연된다. 이를 위해, 제2 본딩 층(655)은 광 투과성 절연 층으로 형성된다.

[0837] 다수의 픽셀이 발광 다이오드 스택(601)을 패터닝함으로써 지지 기판(651) 상에 형성될 수 있고, 제1-1 LED 스택(623a) 및 제1-2 LED 스택(623b)은 연결 부분을 통해 서로 병렬로 연결될 수 있다.

[0838] 도 88은 본 개시의 또 하나의 예시적인 실시예에 따른 디스플레이 장치의 작동을 나타내는 개략적인 회로도이다. 본 예시적인 실시예에서, 제1-1 LED 스택(623a) 및 제1-2 LED 스택(623b)은 서로 병렬로 연결되어 패시브 매트릭스를 형성한다.

[0839] 도 88을 참조하면, 예시적인 실시예에 따른 디스플레이 장치는, 제1-1 발광 다이오드(R1)와 제1-2 발광 다이오드(R2)가 서로 병렬로 연결되는 점을 제외하고는, 도 81을 참조하여 설명한 디스플레이 장치와 대체로 유사하다.

[0840] 본 예시적인 실시예에서, 도 87의 제1-2 상부 오믹 전극(627b)은 제1-1 상부 오믹 전극(627a)에 전기적으로 연

결되고, 제1-2 하부 오믹 전극(625b)은 제1-1 하부 오믹 전극(625a)에 전기적으로 연결된다.

[0841] 제1-1 하부 오믹 전극(625a)은 공통 라인으로서 사용될 수 있으며, 제1-2 하부 오믹 전극(625b)은 연결 부분을 통해 제1-1 하부 오믹 전극(625a)에 전기적으로 연결된다. 제1-2 상부 오믹 전극(627b)은 제1-1 상부 오믹 전극(627a)과 함께 인터커넥션 라인(675)에 연결된다.

[0842] 본 예시적인 실시예는, 제1-1 발광 다이오드(R1) 및 제1-2 발광 다이오드(R2)가 각 픽셀에서 병렬로 연결되는, 디스플레이 장치를 제공한다.

[0843] 본 개시의 예시적인 실시예들에 따르면, 디스플레이용 발광 다이오드 스택(600 또는 601)을 이용하여 웨이퍼 레벨에서 다수의 픽셀을 형성하는 것이 가능하기 때문에, 발광 다이오드를 개별적으로 실장할 필요가 없다. 부가하여, 예시적인 실시예에 따른 발광 다이오드 스택은, 스택(623a, 623b, 633 및 643)이 수직 방향으로 서로 적층되는, 구조를 가지며, 그에 의해, 제한된 픽셀 면적 내에서 서브픽셀을 위한 면적을 확보한다. 또한, 낮은 가시성을 갖는 광을 방출하는 다수의 LED 스택이 서로 적층되어, 제한된 면적에서 전류 밀도의 큰 변화 없이 적색광의 밝기를 향상시킨다.

[0844] 제1-1 LED 스택(623a), 제1-2 LED 스택(623b), 제2 LED 스택(633) 및 제3 LED 스택(643)은 전술한 예시적인 실시예들에서 대체로 유사한 발광 면적을 가지면서 서로 중첩되는 것으로 도시되지만, 이들 LED 스택이 유사한 발광 면적을 가질 필요는 없다. 특히, 제2 LED 스택(633)이 제1-2 LED 스택(623b) 상에서 일부 영역 내에 배치될 수 있고, 제3 LED 스택(643)은 제2 LED 스택(633) 상에서 일부 영역 내에 배치될 수 있다. 또한, 제1-2 LED 스택(623b)도 제1-1 LED 스택(623a) 상에서 일부 영역 내에 배치될 수 있다. 이러한 구조에 의해, 낮은 가시성을 갖는 제1-1 및 제1-2 LED 스택(623a 및 623b)은 제2 및 제3 LED 스택(633 및 643)보다 큰 발광 면적을 가져서, 밝기를 더욱 향상시킨다. 또한, 제1-1 및 제1-2 LED 스택(623a 및 623b)으로부터 발생되는 광의 적어도 일부는 제2 LED 스택(633) 및 제3 LED 스택(643)을 관통하지 않고 외부로 방출 될 수 있으며, 제2 LED 스택(633)으로부터 발생되는 광의 적어도 일부는 제3 LED 스택(643)을 관통하지 않고 외부로 방출 될 수 있고, 그에 의해, 발광 효율을 더욱 향상시킨다.

[0845] 도 89A는 본 개시의 하나의 예시적인 실시예에 따른 디스플레이용 발광 다이오드 스택(700)의 개략적인 단면도이고, 도 89B는 도 89A에 도시한 제1 LED 스택(723)의 확대 단면도이다.

[0846] 도 89A 및 도 89B를 참조하면, 발광 다이오드 스택(700)은 지지 기판(751), 제1 LED 스택(723), 제2 LED 스택(733), 제3 LED 스택(743), 제1 반사 전극(725), 제1 오믹 전극(727), 제2 투명 전극(735), 제3 투명 전극(745), 제1 컬러 필터(737), 제2 컬러 필터(747), 제1 본딩 층(753), 제2 본딩 층(755), 및 제3 본딩 층(757)을 포함할 수 있다.

[0847] 지지 기판(751)은 반도체 스택(723, 733 및 743)을 지지한다. 지지 기판(751)은 그 표면 상에 또는 그 내부에 회로를 포함할 수 있지만, 이에 한정되는 것은 아니다. 지지 기판(751)은, 예를 들어, Si 기판 또는 Ge 기판을 포함할 수 있다.

[0848] 본 예시적인 실시예에서, 제1 LED 스택(723)은, 제2 LED 스택(733) 및 제3 LED 스택(743)보다 긴 파장을 갖는 광, 예를 들어, 적색 광을 방출하도록 적합화되는 무기 발광 다이오드일 수 있다. 부가하여, 제2 LED 스택(733)은 제3 LED 스택(743)보다 긴 파장을 갖는 광, 예를 들어, 녹색 광을 방출하도록 적합화되는 무기 발광 다이오드일 수 있으며, 제3 LED 스택(743)은 청색 광을 방출하도록 적합화되는 무기 발광 다이오드일 수 있다. 그러나, 본 개시가 이에 한정되는 것은 아님을 이해하여야 한다.

[0849] 본 예시적인 실시예에서, 제1 LED 스택(723)은 다중-접합 LED 스택 구조를 가질 수 있고, 예를 들어, 도 89B에 도시한 바와 같이, 제1-1 LED 스택(723a), 제1-2 LED 스택(723b) 및 터널-접합 층(7130)을 포함할 수 있다.

[0850] 제1-1 LED 스택(723a)은 n-형 반도체 층(7123), 활성 층(7125) 및 p-형 반도체 층(7127)을 포함할 수 있다. n-형 반도체 층(7123)은 단일 층 또는 다중 층으로 구성될 수 있다. 예를 들어, n-형 반도체 층(7123)은 AlGaInP계 n-형 클래드(clad) 층 및 n-형 윈도우 층을 포함할 수 있다. p-형 반도체 층(7127)은, 예를 들어, AlGaInP계 p-형 클래드 층을 포함할 수 있다. 활성 층(7125)은 다중 양자 웰 층 구조를 가질 수 있으며 AlGaInP계 웰 층을 포함할 수 있다.

[0851] 제1-2 LED 스택(723b)은 n-형 반도체 층(7133), 활성 층(7135), p-형 반도체 층(7137), 및 고밀도 p-컨택 층(7139)을 포함할 수 있다. n-형 반도체 층(7133)은 AlGaInP계 n-형 클래드 층을 포함할 수 있다. p-형 반도체 층(7137)은 단일 층 또는 다중 층으로 구성될 수 있으며, 예를 들어, AlGaInP계 p-형 클래드 층 및 p-형 윈도우

층을 포함할 수 있다. 활성 층(7135)은 다중 양자 웰 층 구조를 가질 수 있으며 AlGaInP계 웰 층을 포함할 수 있다. 고밀도 p-컨택 층(7139)은, 예를 들어, 고밀도 p-GaP로 형성될 수 있다.

[0852] 터널-접합 층(7130)은 AlGaInP계 고밀도-도핑된 p-형 층(7129) 및 고밀도-도핑된 n-형 층(7131)을 포함할 수 있다. 전류는, 고밀도-도핑된 n-형 층(7131)이 고밀도-도핑된 p-형 층(7129)에 본딩되는, 터널-접합 층(7130)을 통해 전도될 수 있다.

[0853] 본 예시적인 실시예에서, 두 개의 LED 스택(723a 및 723b)이 하나의 터널-접합 층(7130)을 통해 서로 본딩된다. 그러나, 더 많은 LED 스택이 두 개 이상의 터널-접합 층을 통해 서로 본딩될 수 있음을 이해하여야 한다.

[0854] 다중-접합 LED 스택 구조에 의해, 발광 다이오드 스택은 면적 및 전류 밀도를 증가시키지 않으면서 낮은 가시성을 갖는 광의 광도를 증가시킬 수 있다.

[0855] 본 예시적인 실시예에서, 제1 LED 스택(723)은 n-형 상부 표면 및 p-형 하부 표면을 갖는다. 그러나, 본 개시가 이에 한정되는 것은 아니며 상부 및 하부 표면의 반도체 유형은 변화될 수 있다는 것을 이해하여야 한다.

[0856] 제2 LED 스택(733) 및 제3 LED 스택(743)의 각각은 n-형 반도체 층, p-형 반도체 층 및 그 사이에 개재되는 활성 층을 포함한다. 활성 층은 다중 양자 웰 구조를 가질 수 있다. 제2 LED 스택(733)은 AlGaInP 또는 AlGaInN계 웰 층을 포함할 수 있고, 제3 LED 스택(743)은 AlGaInN계 웰 층을 포함할 수 있다.

[0857] 아울러, 제2 및 제3 LED 스택(733 및 743)의 각각의 양면은 각각 n-형 반도체 층 및 p-형 반도체 층이다. 본 예시적인 실시예에서, 제2 및 제3 LED 스택(733 및 743)의 각각은 n-형 상부 표면 및 p-형 하부 표면을 갖는다. 제3 LED 스택(743)이 n-형 상부 표면을 가지기 때문에, 조면화된 표면(roughened surface)이 제3 LED 스택(743)의 상부 표면 상에 화학적 식각을 통해 형성될 수 있다. 그러나, 본 개시가 이에 한정되는 것은 아니며 LED 스택(733 및 743)의 각각의 상부 및 하부 표면의 반도체 유형은 변화될 수 있다는 것을 이해하여야 한다.

[0858] 제1 LED 스택(723)은 지지 기판(751) 근처에 배치되고; 제2 LED 스택(733)은 제1 LED 스택(723) 상에 배치되며; 제3 LED 스택(743)은 제2 LED 스택(733) 상에 배치된다. 제1 LED 스택(723)이 제2 및 제3 LED 스택(733 및 743)보다 긴 파장을 갖는 광을 방출하기 때문에, 제1 LED 스택(723)으로부터 발생되는 광은 제2 및 제3 LED 스택(733 및 743)을 통해 외부로 방출될 수 있다. 또한, 제2 LED 스택(733)이 제3 LED 스택(743)보다 긴 파장을 갖는 광을 방출하기 때문에, 제2 LED 스택(733)으로부터 발생되는 광은 제3 LED 스택(743)을 통해 외부로 방출될 수 있다.

[0859] 제1 반사 전극(725)은 제1 LED 스택(723)의 하부 표면, 예를 들어, 그 p-형 반도체 층과 오믹 접촉을 형성하고, 제1 LED 스택(723)으로부터 발생되는 광을 반사시킨다. 예를 들어, 제1 반사 전극(725)은, 예를 들어, Au-Zn 합금 또는 Au-Be 합금으로 형성되는 오믹 반사 층을 포함할 수 있다.

[0860] 제1 오믹 전극(727)은 제1 LED 스택(723)의 상부 표면, 예를 들어, 그 n-형 반도체 층과 오믹 접촉을 형성한다. 제1 오믹 전극(727)은, 예를 들어, Au-Te 합금 또는 Au-Ge 합금으로 형성되는 오믹 층을 포함할 수 있다. 제1 오믹 전극(727)은 각 픽셀 영역 내에 형성될 수 있다.

[0861] 제2 투명 전극(735)은 제2 LED 스택(733)의 하부 표면, 예를 들어, 그 p-형 반도체 층과 오믹 접촉을 형성한다. 제2 투명 전극(735)은 적색 광 및 녹색 광에 관하여 투과성인 금속 층 또는 도전성 산화물 층으로 구성될 수 있다.

[0862] 제3 투명 전극(745)은 제3 LED 스택(743)의 하부 표면, 예를 들어, 그 p-형 반도체 층과 오믹 접촉을 형성한다. 제3 투명 전극(745)은 적색 광, 녹색 광 및 청색 광에 관하여 투과성인 금속 층 또는 도전성 산화물 층으로 구성될 수 있다.

[0863] 제1 반사 전극(725), 제2 투명 전극(735) 및 제3 투명 전극(745)은 각 LED 스택의 p-형 반도체 층과의 오믹 접촉을 통해 그 p-형 반도체 층에서의 전류 퍼짐을 돕는다.

[0864] 제1 컬러 필터(737)는 제1 LED 스택(723)과 제2 LED 스택(733) 사이에 개재된다. 부가하여, 제2 컬러 필터(747)는 제2 LED 스택(733)과 제3 LED 스택(743) 사이에 개재된다. 제1 컬러 필터(737)는 제2 LED 스택(733)으로부터 발생되는 광을 반사시키면서 제1 LED 스택(723)으로부터 발생되는 광을 투과시킨다. 제2 컬러 필터(747)는 제3 LED 스택(743)으로부터 발생되는 광을 반사시키면서 제1 및 제2 LED 스택(723 및 733)으로부터 발생되는 광을 투과시킨다. 결과적으로, 제1 LED 스택(723)으로부터 발생되는 광은 제2 LED 스택(733) 및 제3 LED 스택(743)을 통해 외부로 방출될 수 있고, 제2 LED 스택(733)으로부터 발생되는 광은 제3 LED 스택(743)을 통해

외부로 방출될 수 있다. 또한, 발광 다이오드 스택은 제2 LED 스택(733)으로부터 발생되는 광이 제1 LED 스택(723)으로 진입하는 것을 방지할 수 있거나 또는 제3 LED 스택(743)으로부터 발생되는 광이 제2 LED 스택(733)으로 진입하는 것을 방지할 수 있으며, 그에 의해, 광 손실을 방지한다.

[0865] 몇몇 예시적인 실시예에서, 제1 컬러 필터(737)는 제3 LED 스택(743)으로부터 발생되는 광을 반사시킬 수 있다.

[0866] 제1 및 제2 컬러 필터(737 및 747)는, 예를 들어, 저 주파수 대역에서, 즉, 장파장 대역에서, 광이 그를 통해 통과하는 것을 허용하는 저역 통과 필터, 소정 파장 대역에서 광이 그를 통해 통과하는 것을 허용하는 대역 통과 필터, 또는 소정 파장 대역에서 광이 그를 통해 통과하는 것을 방지하는 대역 저지 필터일 수 있다. 특히, 제1 및 제2 컬러 필터(737 및 747)의 각각은 분산 브래그 반사기(DBR)를 포함할 수 있다. 분산 브래그 반사기(DBR)는 다른 파장 범위의 광을 투과시키면서 특정 파장 대역(저지 대역)의 광을 반사시킨다. 분산 브래그 반사기는 서로 다른 굴절률을 갖는 절연 층, 예를 들어, TiO2 및 SiO2를 교대로 적층함으로써 형성될 수 있다. 아울러, 분산 브래그 반사기의 저지 대역은 TiO2 및 SiO2 층의 두께를 조절함으로써 제어될 수 있다. 저역 통과 필터 및 대역 통과 필터도 서로 다른 굴절률을 갖는 절연 층을 교대로 적층함으로써 형성될 수 있다.

[0867] 제1 본딩 층(753)은 제1 LED 스택(723)을 지지 기판(751)에 결합한다. 도면에 도시된 바와 같이, 제1 반사 전극(725)은 제1 본딩 층(753)에 인접할 수 있다. 제1 본딩 층(753)은 광 투과성 또는 불투명 층일 수 있다. 제1 본딩 층(753)은 유기 또는 무기 재료로 형성될 수 있다. 유기 재료의 예는 SU8, 폴리(메틸 메타크릴레이트)(PMMA), 폴리이미드, 파릴렌, 벤조사이클로부텐(BCB) 등을 포함할 수 있고, 무기 재료의 예는 Al203, SiO2, SiNx 등을 포함할 수 있다. 유기 재료 층은 고진공 및 고압 조건하에서 본딩될 수 있고, 무기 재료 층은, 예를 들어, 무기 재료 층의 표면을 평탄화하기 위한 화학 기계적 연마를 통해 플라즈마를 이용하여 표면 에너지를 변화시킨 후 고진공 하에서 본딩될 수 있다. 특히, 광을 흡수할 수 있는 블랙 에폭시 수지로 형성되는 본딩 층이 제1 본딩 층(753)으로서 사용될 수 있으며, 그에 의해, 디스플레이 장치의 콘트라스트를 향상시킨다. 제1 본딩 층(753)은 또한 스핀-온-글래스 또는 투명 도전성 재료로 형성될 수 있다.

[0868] 제2 본딩 층(755)은 제2 LED 스택(733)을 제1 LED 스택(723)에 결합한다. 도면에 도시된 바와 같이, 제2 본딩 층(755)은 제1 LED 스택(723) 및 제1 컬러 필터(737)에 인접할 수 있다. 제2 본딩 층(755)은 제1 오믹 전극(727)을 덮을 수 있다.

[0869] 제2 본딩 층(755)은, 제1 본딩 층(753)과 같이, 광투과성 재료로 형성될 수 있다. 제2 본딩 층(755)은, 예를 들어, 투명 무기 절연 층, 투명 유기 절연 층 또는 투명 도전 층일 수 있거나, 광 투과성 스핀-온-글래스로 형성될 수 있다.

[0870] 제3 본딩 층(757)은 제3 LED 스택(743)을 제2 LED 스택(733)에 결합한다. 도면에 도시된 바와 같이, 제3 본딩 층(757)은 제2 기판(731) 및 제2 컬러 필터(747)에 인접할 수 있다. 그러나, 본 개시가 이에 한정되는 것은 아니며 투명 도전 층이 제2 LED 스택(733) 상에 배치될 수 있다는 것을 이해하여야 한다. 제3 본딩 층(757)은 제1 LED 스택(723) 및 제2 LED 스택(733)으로부터 발생되는 광을 투과시킨다. 제3 본딩 층(757)은, 제1 본딩 층(753)과 같이, 광투과성 재료로 형성될 수 있다. 제3 본딩 층(757)은, 예를 들어, 투명 무기 절연 층, 투명 유기 절연 층 또는 투명 도전 층일 수 있거나, 광 투과성 스핀-온-글래스로 형성될 수 있다.

[0871] 도 90A, 도 90B 및 도 90C는 본 개시의 하나의 예시적인 실시예에 따른 디스플레이용 발광 다이오드 스택을 제조하는 방법을 나타내는 개략적인 단면도이다.

[0872] 도 90A를 참조하면, 먼저, n-형 GaAs 층(7121)이 제1 기판(721) 상에서 성장되고, 제1 LED 스택(723)이 n-형 GaAs 층(7121) 상에서 성장되며, 제1 반사 전극(725)이 제1 LED 스택(723) 상에서 성장된다. n-형 GaAs 층(7121)은 생략될 수 있다.

[0873] 제1 기판(721)은, 예를 들어, GaAs 기판일 수 있다. 부가하여, 제1 LED 스택(723)은 다중-접합 LED 스택 구조를 가지며, 제1-1 LED 스택(723a), 터널-접합 층(7130) 및 제1-2 LED 스택(723b)을 포함한다. 제1-1 LED 스택(723a) 및 제1-2 LED 스택(723b)은 터널-접합 층(7130)을 통해 서로 연속적으로 연결된다. 도 90A의 제1 LED 스택(723)은 도 89B의 제1 LED 스택(723)의 반전 구조와 동일하며, 그 반복되는 설명은 생략하기로 한다.

[0874] 제1 반사 전극(725)은 제1-2 LED 스택(723b)의 상부 표면과 오믹 접촉을 형성한다. 제1 반사 전극(725)은 예를 들어 p-컨택 층(7139)(도 89B 참조)과 오믹 접촉을 형성할 수 있다.

[0875] 도 90B를 참조하면, 제2 LED 스택(733)이 제2 기판(731) 상에서 성장되고, 제2 투명 전극(735) 및 제1 컬러 필터(737)가 제2 LED 스택(733) 상에 형성된다. 제2 LED 스택(733)은 AlGaInP 또는 AlGaInN계 반도체 층으로 구

성될 수 있고, n-형 반도체 층, p-형 반도체 층 및 웰 층을 포함할 수 있다. 제2 기판(731)은 AlGaInP계 반도체 층의 그 위에서의 성장을 허용하는 기판, 예를 들어, GaAs 기판일 수 있고, 또는 GaN계 반도체 층의 그 위에서의 성장을 허용하는 기판, 예를 들어, 사파이어 기판일 수 있다. 제2 LED 스택(733)의 Al, Ga 및 In의 조성비는 제2 LED 스택(733)이 녹색 광을 방출할 수 있도록 결정될 수 있다. 한편, 제2 투명 전극(735)은 p-형 반도체 층과 오믹 접촉을 형성한다.

[0876] 도 90C를 참조하면, 제3 LED 스택(743)이 제3 LED 스택(743) 상에서 성장되고, 제3 투명 전극(745) 및 제2 컬러 필터(747)가 제3 LED 스택(743) 상에 형성된다. 제3 LED 스택(743)은 GaN계 반도체 층으로 구성될 수 있고, n-형 반도체 층, p-형 반도체 층 및 AlGaInN계 웰 층을 포함할 수 있다. 제3 LED 스택(743)은 GaN계 반도체 층이 그 위에서 성장되는 것을 허용하는 기판이며, 제1 기판(721)과 다르다. 제3 LED 스택(743)의 Al, Ga 및 In의 조성비는 제3 LED 스택(743)이 청색 광을 방출할 수 있도록 결정될 수 있다. 한편, 제3 투명 전극(745)은 p-형 반도체 층과 오믹 접촉을 형성한다.

[0877] 제1 컬러 필터(737) 및 제2 컬러 필터(747)는 도 89를 참조하여 설명한 것들과 동일하며, 그 반복되는 설명은 생략하기로 한다.

[0878] 도 89 및 도 90A를 참조하면, 먼저, 제1 LED 스택(723)이 제1 본딩 층(753)을 경유하여 지지 기판(751)에 결합된다. 제1 반사 전극(725)은 지지 기판(751)을 향하도록 배치될 수 있으며, 제1 본딩 층(753)을 통해 지지 기판(751)에 본딩될 수 있다. 한편, 제1 기판(721) 및 n-형 GaAs 층(7121)이 화학적 식각에 의해 제1 LED 스택(723)으로부터 제거될 수 있다. 결과적으로, 제1-1 LED 스택(723a)의 표면이 노출될 수 있다. 조면화된 표면이 표면 텍스처링에 의해 제1-1 LED 스택(723a)의 노출된 표면 상에 형성될 수 있다.

[0879] 그리고 나서, 제2 LED 스택(733)이 제2 본딩 층(755)을 경유하여 제1 LED 스택(723)에 결합된다. 제1 컬러 필터(737)는 제1 LED 스택(723)을 향하도록 배치될 수 있으며 제1 LED 스택(723)에 본딩될 수 있다. 한편, 제2 기판(731)이 레이저 리프트-오프, 화학적 리프트-오프 또는 화학적 식각에 의해 제2 LED 스택(733)으로부터 제거될 수 있다. 제2 기판(731)의 제거 후, 조면화된 표면이 표면 텍스처링에 의해 제2 LED 스택(733)의 표면 상에 형성될 수 있다.

[0880] 그리고 나서, 제3 LED 스택(743)이 제3 본딩 층(757)을 경유하여 제2 LED 스택(733)에 결합된다. 제2 컬러 필터(747)는 제2 LED 스택(733)을 향하도록 배치될 수 있으며 제3 본딩 층(757)을 통해 그에 본딩될 수 있다.

[0881] 제3 기판(741)은 레이저 리프트-오프 또는 화학적 리프트-오프 공정에 의해 제3 LED 스택(743)으로부터 분리될 수 있다. 결과적으로, 도 89에 도시된 바와 같이, 제3 LED 스택(743)의 n-형 반도체 층이 노출되는 디스플레이용 발광 다이오드 스택이 제공된다. 또한, 조면화된 표면이 표면 텍스처링에 의해 제3 LED 스택(743)의 표면 상에 형성될 수 있다.

[0882] 디스플레이 장치가, 픽셀 유닛 내의 지지 기판(751) 상에서 제1 내지 제3 LED 스택(723, 733 및 743)의 스택을 패터닝하고 이어서 제1 내지 제3 LED 스택(723, 733 및 743)을 인터커넥션 라인을 통해 서로 연결함으로써, 제공될 수 있다. 이하, 디스플레이 장치의 예시적인 실시예를 설명하기로 한다.

[0883] 도 91은 본 개시의 하나의 예시적인 실시예에 따른 디스플레이 장치의 작동을 나타내는 개략적인 회로도이고, 도 92는 본 개시의 예시적인 실시예에 따른 디스플레이 장치의 개략적인 평면도이다.

[0884] 먼저, 도 91 및 도 92를 참조하면, 본 예시적인 실시예에 따른 디스플레이 장치는 패시브 매트릭스 방식으로 작동하도록 구현될 수 있다.

[0885] 예를 들어, 도 89를 참조하여 설명한 디스플레이용 발광 다이오드 스택(700)은 제1 내지 제3 LED 스택(723, 733 및 743)이 수직방향으로 적층되는 구조를 갖기 때문에, 하나의 픽셀이 세 개의 발광 다이오드(R, G 및 B)를 포함한다. 제1 발광 다이오드(R)는 제1 LED 스택(723)에 대응하고, 제2 발광 다이오드(G)는 제2 LED 스택(733)에 대응하며, 제3 발광 다이오드(B)는 제3 LED 스택(743)에 대응한다. 또한, 제1 발광 다이오드(R)는 다중-접합 LED 스택 구조를 갖고, 그러므로, 적어도 두 개의 발광 다이오드가 서로 직렬로 연결되는 구조를 갖는다.

[0886] 도 91 및 도 92에서, 하나의 픽셀은 제1 내지 제3 발광 다이오드(R, G 및 B)를 포함하고, 그 각각은 서브픽셀에 대응한다. 제1 내지 제3 발광 다이오드(R, G 및 B)의 애노드는 공통 라인, 예를 들어, 데이터 라인에 연결되고, 그 캐소드는 다른 라인, 예를 들어, 스캔 라인에 연결된다. 예를 들어, 제1 픽셀에서, 제1 내지 제3 발광 다이오드(R, G 및 B)의 애노드는 데이터 라인(Vdata1)에 공통적으로 연결되고, 그 캐소드는 스캔 라인(Vscan1-1, Vscan1-2 및 Vscan1-3)에 각각 연결된다. 결과적으로, 각 픽셀 내의 발광 다이오드(R, G 및 B)는 독립적으로 구

동될 수 있다.

[0887] 또한, 발광 다이오드(R, G 및 B)의 각각은 펄스 폭 변조에 의해 또는 전류의 크기를 변경하는 것에 의해 구동되고, 그에 의해, 각 서브픽셀의 밝기에 있어서의 조절을 가능하게 한다. 또한, 제1 발광 다이오드(R)는 낮은 가시성을 갖는 적색 광을 방출하지만, 제1 발광 다이오드(R)의 다중-접합 LED 스택 구조는 그로부터 방출되는 적색 광의 광도를 향상시킬 수 있다.

[0888] 도 92를 다시 참조하면, 다수의 픽셀이 도 89를 참조하여 설명한 발광 다이오드 스택(700)을 패터닝함으로써 형성되고, 각 픽셀은 제1 반사 전극(725) 및 인터커넥션 라인(771, 771 및 773)에 연결된다. 도 91에 도시된 바와 같이, 반사 전극(725)은 데이터 라인(Vdata)으로서 사용될 수 있고, 인터커넥션 라인(771, 773 및 775)은 스캔 라인으로서 형성될 수 있다.

[0889] 픽셀은, 각 픽셀의 발광 다이오드(R, G 및 B)의 애노드가 제1 반사 전극(725)에 공통적으로 연결되고 그 캐소드가 서로 분리된 인터커넥션 라인(771, 773 및 775)에 연결되는, 매트릭스 형태로 배열될 수 있다. 여기에서, 인터커넥션 라인(771, 773 및 775)은 스캔 라인(Vscan)으로서 사용될 수 있다.

[0890] 도 93은 도 92에 도시된 디스플레이 장치의 하나의 픽셀의 확대 평면도이고, 도 94는 도 93의 선 A-A를 따라 취한 개략적인 단면도이며, 도 95는 도 93의 선 B-B를 따라 취한 개략적인 단면도이다.

[0891] 도 92, 도 93, 도 94 및 도 95를 참조하면, 각 픽셀에서, 제1 반사 전극(725)의 일부분, 제1 오믹 전극(727)의 상부 표면, 제2 투명 전극(735)의 일부분, 제2 LED 스택(733)의 상부 표면의 일부분, 제3 투명 전극(745)의 일부분, 및 제3 LED 스택(743)의 상부 표면이 외부로 노출될 수 있다.

[0892] 제3 LED 스택(743)은 그 상부 표면 상에 조면화된 표면(743a)을 가질 수 있다. 조면화된 표면(743a)은, 도면에 도시된 바와 같이, 제3 LED 스택(743)의 전체 상부 표면에 걸쳐서 형성되거나 또는 그 몇몇 영역에 형성될 수 있다.

[0893] 하부 절연 층(761)은 각 픽셀의 측면을 덮을 수 있다. 하부 절연 층(761)은 SiO2와 같은 광투과성 재료로 형성될 수 있다. 본 구조에서, 하부 절연 층(761)은 제3 LED 스택(743)의 전체 상부 표면을 덮을 수 있다. 대안적으로, 하부 절연 층(761)은 분산 브래그 반사기를 포함하여 제1 내지 제3 LED 스택(723, 733 및 743)의 측면을 향하여 진행하는 광을 반사시킬 수 있다. 본 구조에서, 하부 절연 층(761)은 제3 LED 스택(743)의 상부 표면을 적어도 부분적으로 노출시킨다.

[0894] 하부 절연 층(761)은, 제3 LED 스택(743)의 상부 표면을 노출시키는 개구부(761a), 제2 LED 스택(733)의 상부 표면을 노출시키는 개구부(761b), 제1 오믹 전극(727)의 상부 표면을 노출시키는 개구부(761c)(도 8H 참조), 제3 투명 전극(745)을 노출시키는 개구부(761d), 제2 투명 전극(735)을 노출시키는 개구부(761e), 및 제1 반사 전극(725)을 노출시키는 개구부(761f)를 포함할 수 있다.

[0895] 인터커넥션 라인(771 및 775)은 지지 기판(751) 상에서 제1 내지 제3 LED 스택(723, 733 및 743) 근처에 형성될 수 있고, 제1 반사 전극(725)으로부터 절연되도록 하부 절연 층(761) 상에 배치될 수 있다. 한편, 제1 LED 스택(723), 제2 LED 스택(733) 및 제3 LED 스택(743)의 애노드가 제1 반사 전극(725)에 공통적으로 연결되도록, 연결 부분(777a)이 제3 투명 전극(745)을 제1 반사 전극(725)에 연결하고 연결 부분(777b)이 제2 투명 전극(735)을 제1 반사 전극(725)에 연결한다.

[0896] 연결 부분(7771a)은 제3 LED 스택(743)의 상부 표면을 인터커넥션 라인(771)에 연결하고, 연결 부분(7775a)은 제1 오믹 전극(727)을 인터커넥션 라인(775)에 연결한다.

[0897] 상부 절연 층(781)은 제3 LED 스택(743)의 상부 표면을 덮도록 인터커넥션 라인(771 및 773) 및 하부 절연 층(761) 상에 배치될 수 있다. 상부 절연 층(781)은 제2 LED 스택(733)의 상부 표면을 부분적으로 노출시키는 개구부(781a)를 가질 수 있다.

[0898] 인터커넥션 라인(773)은 상부 절연 층(781) 상에 배치될 수 있고, 연결 부분(773a)은 제2 LED 스택(733)의 상부 표면을 인터커넥션 라인(773)에 연결할 수 있다. 연결 부분(773a)은 인터커넥션 라인(775) 상부로 통과할 수 있고, 상부 절연 층(781)에 의해 인터커넥션 라인(775)으로부터 절연된다.

[0899] 각 픽셀의 전극이 본 예시적인 실시예에서 데이터 라인 및 스캔 라인에 연결되는 것으로 설명되지만, 다양한 구현예가 가능하다는 것을 이해하여야 한다. 본 예시적인 실시예에서는 인터커넥션 라인(771 및 775)이 하부 절연 층(761) 상에 형성되고 인터커넥션 라인(773)이 상부 절연 층(781) 상에 형성되지만, 본 개시가 이에 한정되지

는 않는다는 것을 이해하여야 한다. 예를 들어, 모든 인터커넥션 라인(771, 773 및 775)이 하부 절연 층(761) 상에 형성될 수 있으며, 인터커넥션 라인(773)을 노출시키도록 구성되는 개구부를 가질 수 있는, 상부 절연 층(781)에 의해 덮일 수 있다. 이러한 구조에서, 연결 부분(773a)은 제2 LED 스택(733)의 상부 표면을 상부 절연 층(781)의 개구부를 통해 인터커넥션 라인(773)에 연결할 수 있다.

[0900] 대안적으로, 인터커넥션 라인(771, 773 및 775)은 지지 기판(751) 내부에 형성될 수 있고, 하부 절연 층(761) 상의 연결 부분(771a, 773a 및 775a)은 제1 내지 제3 LED 스택(723, 733 및 743)의 상부 표면을 인터커넥션 라인(771, 773 및 775)에 연결할 수 있다.

[0901] 도 96A 내지 도 96K는 본 개시의 하나의 예시적인 실시예에 따른 디스플레이 장치를 제조하는 방법을 나타내는 개략적인 단면도이다. 이하의 설명은 도 93의 픽셀을 형성하는 방법에 대해 주어질 것이다.

[0902] 먼저, 도 89에서 설명한 발광 다이오드 스택(700)이 준비된다.

[0903] 그리고 나서, 도 96A를 참조하면, 조면화된 표면(743a)이 제3 LED 스택(743)의 상부 표면 상에 형성될 수 있다. 조면화된 표면(743a)은 제3 LED 스택(743)의 상부 표면 상에 형성되어 각 픽셀 영역에 대응할 수 있다. 조면화된 표면(743a)은 화학적 식각, 예를 들어, 광-증강 화학적 식각(photo-enhanced chemical etching: PEC)에 의해 형성될 수 있다.

[0904] 조면화된 표면(743a)은 후속 공정에서 식각될 제3 LED 스택(743)의 영역을 고려하여 각 픽셀 영역에서 부분적으로 형성될 수 있지만, 이에 한정되는 것은 아니다. 대안적으로, 조면화된 표면(743a)은 제3 LED 스택(743)의 전체 상부 표면 상부에 형성될 수 있다.

[0905] 도 96B를 참조하면, 각 픽셀에서 제3 LED 스택(743)의 주위 영역은 식각에 의해 제거되어 제3 투명 전극(745)을 노출시킨다. 도면에 도시된 바와 같이, 제3 LED 스택(743)은 직사각형 형상 또는 정사각형 형상을 갖도록 잔류할 수 있다. 제3 LED 스택(743)은 그 가장자리를 따라 다수의 함몰부를 가질 수 있다.

[0906] 도 96C를 참조하면, 하나의 함몰부 내에서 노출되는 제3 투명 전극(745)의 일부분을 제외한 다른 영역에서 노출되는 제3 투명 전극(745)을 제거함으로써, 제2 LED 스택(733)의 상부 표면이 노출된다. 따라서, 제2 LED 스택(733)의 상부 표면은, 제3 LED 스택(743) 주위에서 그리고 제3 투명 전극(745)이 부분적으로 내부에 잔류하는 함몰부를 제외한 다른 함몰부에서, 노출된다.

[0907] 도 96D를 참조하면, 하나의 함몰부 내에서 노출되는 제2 LED 스택(733)의 일부분을 제외한 다른 영역에서 노출되는 제2 LED 스택(733)을 제거함으로써, 제2 투명 전극(735)이 노출된다.

[0908] 도 96E를 참조하면, 하나의 함몰부 내에서 노출되는 제2 투명 전극(735)의 일부분을 제외한 다른 영역에서 노출되는 제2 투명 전극(735)을 제거함으로써, 제1 오믹 전극(727)이 제1 LED 스택(723)의 상부 표면과 함께 노출된다. 따라서, 제1 LED 스택(723)의 상부 표면이 제3 LED 스택(743) 주위에서 노출되고, 제1 오믹 전극(727)의 상부 표면이 제3 LED 스택(743)에 형성되는 함몰부 중 하나 이상에서 노출된다.

[0909] 도 96F를 참조하면, 제1 반사 전극(725)은 제3 LED 스택(743) 주위에서 제1 LED 스택(723)의 노출되는 부분을 제거함으로써 노출된다. 제1 반사 전극(725)은 제3 LED 스택(743) 주위에서 노출된다.

[0910] 도 96G를 참조하면, 선형 인터커넥션 라인이 제1 반사 전극(725)을 패터닝함으로써 형성된다. 제1 본딩 층(753)은 또한 지지 기판(751)을 노출시키도록 제거될 수 있다. 제1 반사 전극(725)은 매트릭스로 배열된 픽셀들 중 하나의 행 내에 배열되는 픽셀을 서로 연결할 수 있다(도 92 참조).

[0911] 도 96H를 참조하면, 하부 절연 층(761)(도 94 및 도 95 참조)이 픽셀을 덮도록 형성된다. 하부 절연 층(761)은 반사 전극(725) 및 제1 내지 제3 LED 스택(723, 733 및 743)의 측면을 덮는다. 또한, 하부 절연 층(761)은 제3 LED 스택(743)의 상부 표면을 적어도 부분적으로 덮을 수 있다. 하부 절연 층(761)이 SiO2 층과 같은 투명한 층이면, 하부 절연 층(761)은 제3 LED 스택(743)의 전체 상부 표면을 덮을 수 있다. 대안적으로, 하부 절연 층(761)은 분산 브래그 반사기를 포함할 수 있다. 이 구조에서, 하부 절연 층(761)은 제3 LED 스택(743)의 상부 표면을 적어도 부분적으로 노출시켜 광이 외부로 방출되는 것을 허용할 수 있다.

[0912] 하부 절연 층(761)은 제3 LED 스택(743)을 노출시키는 개구부(761a), 제2 LED 스택(733)을 노출시키는 개구부(761b), 제1 오믹 전극(727)을 노출시키는 개구부(761c), 제3 투명 전극(745)을 노출시키는 개구부(761d), 제2 투명 전극(735)을 노출시키는 개구부(761e), 및 제1 반사 전극(725)을 노출시키는 개구부(761f)를 포함할 수 있다. 제1 반사 전극(725)을 노출시키도록 적합화되는 개구부(761f)는, 도면에 도시된 바와 같이, 단수로 또는 복

수로 형성될 수 있다.

[0913] 도 96I를 참조하면, 인터커넥션 라인(771 및 775) 및 연결 부분(771a, 775a, 777a 및 777b)이 형성된다. 이들은 리프트-오프 공정에 의해 형성될 수 있다. 인터커넥션 라인(771 및 775)은 하부 절연 층(761)에 의해 반사 전극(725)으로부터 절연된다. 연결 부분(7771a)은 제3 LED 스택(743)을 인터커넥션 라인(771)에 전기적으로 연결하고, 연결 부분(7775a)은 제1 오믹 전극(727)을 인터커넥션 라인(775)에 전기적으로 연결한다. 연결 부분(777a)은 제3 투명 전극(745)을 제1 반사 전극(725)에 전기적으로 연결하고, 연결 부분(777b)은 제2 투명 전극(735)을 제1 반사 전극(725)에 전기적으로 연결한다.

[0914] 도 96J를 참조하면, 상부 절연 층(781)(도 94 및 도 95 참조)이 인터커넥션 라인(771 및 775) 및 연결 부분(771a, 775a, 777a 및 777b)을 덮는다. 상부 절연 층(781)은 또한 제3 LED 스택(743)의 전체 상부 표면을 덮을 수 있다. 상부 절연 층(781)은 제2 LED 스택(733)의 상부 표면을 노출시키는 개구부(781a)를 갖는다. 상부 절연 층(781)은, 예를 들어, 실리콘 산화물 또는 실리콘 질화물로 형성될 수 있고, 분산 브래그 반사기를 포함할 수 있다. 상부 절연 층(781)이 분산 브래그 반사기를 포함하는 구조에서, 상부 절연 층(781)은 제3 LED 스택(743)의 상부 표면의 적어도 일부를 노출시키도록 형성되어, 광이 외부로 방출되는 것을 허용한다.

[0915] 도 96K를 참조하면, 인터커넥션 라인(773) 및 연결 부분(773a)이 형성된다. 인터커넥션 라인(773) 및 연결 부분(773a)은 리프트-오프 공정에 의해 형성될 수 있다. 인터커넥션 라인(773)은 상부 절연 층(781) 상에 배치되며, 제1 반사 전극(725) 및 인터커넥션 라인(771 및 775)으로부터 절연된다. 연결 부분(773a)은 제2 LED 스택(733)을 인터커넥션 라인(773)에 전기적으로 연결한다. 연결 부분(773a)은 인터커넥션 라인(775) 상부로 통과할 수 있고, 상부 절연 층(781)에 의해 인터커넥션 라인(775)으로부터 절연된다.

[0916] 결과적으로, 픽셀 영역이 도 93에 도시된 바와 같이 완성된다. 또한, 도 92에 도시된 바와 같이, 다수의 픽셀이 지지 기판(751) 상에 형성될 수 있으며, 제1 반사 전극(725) 및 인터커넥션 라인(771, 773 및 775)에 의해 서로 연결되어 패시브 매트릭스 방식으로 동작할 수 있다.

[0917] 패시브 매트릭스 방식으로 동작하도록 적합화되는 디스플레이 장치를 제조하는 방법을 본 예시적인 실시예에서 도시하였지만, 본 개시가 이에 한정되지 않는다는 것을 이해하여야 한다. 즉, 예시적인 실시예에 따른 디스플레이 장치는 도 89에 도시된 발광 다이오드 스택(700)을 사용하여 패시브 매트릭스 방식으로 동작하도록 다양한 방식으로 제조될 수 있다.

[0918] 예를 들어, 본 예시적인 실시예에서, 인터커넥션 라인(773)이 상부 절연 층(781) 상에 형성되는 것으로 도시되지만, 인터커넥션 라인(773)은 하부 절연 층(761) 상에서 인터커넥션 라인(771 및 775)과 함께 형성될 수 있으며, 연결 부분(773a)은 상부 절연 층(781) 상에 형성되어 제2 LED 스택(733)을 인터커넥션 라인(773)에 연결할 수 있다. 또한, 인터커넥션 라인(771, 773 및 775)은 지지 기판(751) 내부에 배치될 수 있다.

[0919] 도 97은 본 개시의 또 하나의 예시적인 실시예에 따른 디스플레이 장치의 작동을 나타내는 개략적인 회로도이다. 상기 실시예는 패시브 매트릭스 방식으로 구동되는 디스플레이 장치에 관한 것인 반면, 본 예시적인 실시예는 액티브 매트릭스 방식으로 구동되는 디스플레이 장치에 관한 것이다.

[0920] 도 97을 참조하면, 본 예시적인 실시예에 따른 구동 회로는 두 개 이상의 트랜지스터(Tr1 및 Tr2) 및 커패시터를 포함한다. 전원이 선택 라인(Vrow1 내지 Vrow3)에 연결되고 전압이 데이터 라인(Vdata1 내지 Vdata3)에 인가되면, 전압이 해당하는 발광 다이오드에 인가된다. 또한, 대응하는 커패시터는 데이터 라인(Vdata1 내지 Vdata3)의 값에 따라 충전된다. 트랜지스터(Tr2)의 턴온 상태가 커패시터의 충전된 전압에 의해 유지될 수 있기 때문에, 커패시터의 전압은 선택 라인(Vrow1)에 공급되는 전원이 차단되더라도 유지되어 발광 다이오드(R, G 및 B)에 인가될 수 있다. 또한, 발광 다이오드(R, G 및 B) 내에서 흐르는 전류는 데이터 라인(Vdata1 내지 Vdata3)의 값에 따라 변경될 수 있다. 전류는 전류 공급원(Vdd)을 통해 연속적으로 공급될 수 있고, 그에 의해, 연속적인 발광을 가능하게 한다.

[0921] 트랜지스터(Tr1 및 Tr2) 및 커패시터는 지지 기판(751) 내부에서 형성될 수 있다. 예를 들어, 실리콘 기판 상에 형성되는 박막 트랜지스터가 액티브 매트릭스 구동을 위해 사용될 수 있다.

[0922] 발광 다이오드(R, G 및 B)는 하나의 픽셀 내에 적층되는 제1 내지 제3 LED 스택(723, 733 및 743)에 각각 대응한다. 부가하여, 발광 다이오드(R)는 제1-1 LED 스택(723a), 제1-2 LED 스택(723b) 및 그 사이에 개재되는 터널-접합 층(7130)을 포함한다. 제1 내지 제3 LED 스택(723, 733 및 743)의 애노드는 트랜지스터(Tr2)에 연결되고, 그 캐소드는 접지에 연결된다.

[0923] 비록 액티브 매트릭스 구동을 위한 회로의 일 예가 본 예시적인 실시예에서 도시되지만, 다른 유형의 회로도 사용될 수 있다는 것을 이해하여야 한다. 부가하여, 본 예시적인 실시예에서 발광 다이오드(R, G 및 B)의 애노드가 서로 다른 트랜지스터(Tr2)에 연결되고 그 캐소드가 접지에 연결되지만, 다른 예시적인 실시예에서 발광 다이오드의 애노드는 전류 공급원(Vdd)에 연결될 수 있고 그 캐소드는 서로 다른 트랜지스터에 연결될 수 있다.

[0924] 도 98은 본 개시의 또 하나의 예시적인 실시예에 따른 디스플레이 장치의 개략적인 평면도이다. 이하의 설명은 지지 기판(7151) 상에 배열되는 다수의 픽셀 중 하나의 픽셀에 대해 주어질 것이다.

[0925] 도 98을 참조하면, 본 예시적인 실시예에 따른 픽셀은, 지지 기판(7151)이 트랜지스터 및 커패시터를 포함하는 박막 트랜지스터 패널이고 제1 반사 전극(725)이 제1 LED 스택(723)의 하부 영역 내에 제한적으로 위치된다는 것을 제외하고는, 도 92 내지 도 95를 참조하여 설명한 픽셀과 실질적으로 유사하다.

[0926] 제3 LED 스택(743)의 캐소드는 연결 부분(7171a)을 통해 지지 기판(7151)에 연결된다. 예를 들어, 도 97에 도시된 바와 같이, 제3 LED 스택(743)의 캐소드는 지지 기판(7151)에의 전기적인 연결을 통해 접지에 연결될 수 있다. 제2 LED 스택(733) 및 제1 LED 스택(723)의 캐소드는 또한 연결 부분(7173a 및 7175a)을 경유한 지지 기판(7151)에의 전기적인 연결을 통해 접지에 연결될 수 있다.

[0927] 한편, 제1 반사 전극(725)은 지지 기판(7151) 내부에서 트랜지스터(Tr2)(도 97 참조)에 연결된다. 제3 투명 전극(745) 및 제2 투명 전극(735)도 연결 부분(7171b 및 7173b)을 통해 지지 기판(7151) 내부에서 트랜지스터(Tr2)(도 97 참조)에 연결된다.

[0928] 이러한 방식으로, 제1 내지 제3 LED 스택(723, 733 및 743)은 서로 연결되고, 그에 의해, 도 97에 도시된 바와 같이, 액티브 매트릭스 구동을 위한 회로를 구성한다.

[0929] 액티브 매트릭스 구동을 위한 전기적인 연결의 일 예가 본 예시적인 실시예에서 도시되지만, 본 개시가 이에 한정되는 것은 아니며 디스플레이 장치용 회로가 다양한 방식으로 액티브 매트릭스 구동을 위한 다양한 회로로 변형될 수 있다는 것을 이해하여야 한다.

[0930] 한편, 도 89를 참조하여 설명한 예시적인 실시예에서는, 제1 반사 전극(725), 제2 투명 전극(735) 및 제3 투명 전극(745)이 각각 제1 LED 스택(723), 제2 LED 스택(733) 및 제3 LED 스택(743)의 p-형 반도체 층과 오믹 접촉을 형성하지만, 그 n-형 반도체 층은 별도의 오믹 접촉 층이 제공되지 않는다. 픽셀이 200 ㎛ 이하의 작은 크기를 가질 때, n-형 반도체 층 내에 별도의 오믹 접촉 층을 형성하지 않고서도 전류 퍼짐(current spreading)에 있어서 어려움이 없다. 그러나, 전류 퍼짐을 확보하기 위해 LED 스택의 각각의 n-형 반도체 층 상에 투명 전극층이 배치될 수 있다.

[0931] 또한, 본 예시적인 실시예에서는 제1 내지 제3 LED 스택(723, 733 및 743)이 서로 순차적으로 연결되는 것으로 도시되지만, 제1 내지 제3 LED 스택(723, 733 및 743)은 웨이퍼 본딩 기술을 이용하여 다양한 순서로 서로 서로 연결될 수 있음을 이해하여야 하며, n-형 반도체 층 및 p-형 반도체 층의 위치는 변경될 수 있다.

[0932] 본 개시의 예시적인 실시예들에 따르면, 디스플레이용 발광 다이오드 스택(700)을 이용하여 웨이퍼 레벨에서 다수의 픽셀을 형성하는 것이 가능하기 때문에, 발광 다이오드를 개별적으로 실장할 필요가 없다. 부가하여, 예시적인 실시예에 따른 발광 다이오드 스택은, 제1 내지 제3 LED 스택(723, 733 및 743)이 수직 방향으로 적층되는, 구조를 가지며, 그에 의해, 제한된 픽셀 면적 내에서 서브픽셀을 위한 면적을 확보한다. 또한, 예시적인 실시예에 따른 발광 다이오드 스택에서, 제1 LED 스택(723)은 다중-접합 LED 스택 구조를 가지며, 그에 의해, 제한된 영역에서 전류 밀도의 큰 변화 없이 적색 광의 밝기를 향상시킬 수 있다.

[0933] 상기 예시적인 실시예에서, 제1 LED 스택이 다중-접합 LED 스택 구조를 갖는 것으로 예시되지만, 제2 LED 스택 또는 제3 LED 스택이 다중-접합 LED 스택 구조를 가질 수 있다. 낮은 가시성을 갖는 LED 구조가 다중-접합 LED 스택 구조를 갖도록 형성되는 구조에 의해, 발광 다이오드 스택은 발광 면적 또는 전류 밀도를 조절하지 않고 제1 내지 제3 LED 스택이 유사한 밝기로 광을 방출하는 것을 허용한다.

[0934] 제1 LED 스택(723), 제2 LED 스택(733) 및 제3 LED 스택(743)은 전술한 예시적인 실시예들에서 대체로 유사한 발광 면적을 가지면서 서로 중첩되는 것으로 도시되지만, 이들 LED 스택이 유사한 발광 면적을 가질 필요는 없다. 특히, 제2 LED 스택(733)이 제1 LED 스택(723) 상에서 일부 영역 내에 배치될 수 있고, 제3 LED 스택(743)은 제2 LED 스택(733) 상에서 일부 영역 내에 배치될 수 있다. 이러한 구조에 의해, 낮은 가시성을 갖는 제1 LED 스택(723)이 제2 및 제3 LED 스택(733 및 743)보다 큰 발광 면적을 가져서, 밝기를 더욱 향상시킨다. 또한, 제1 LED 스택(723)으로부터 발생되는 광의 적어도 일부는 제2 LED 스택(733) 및 제3 LED 스택(743)을 관통하지

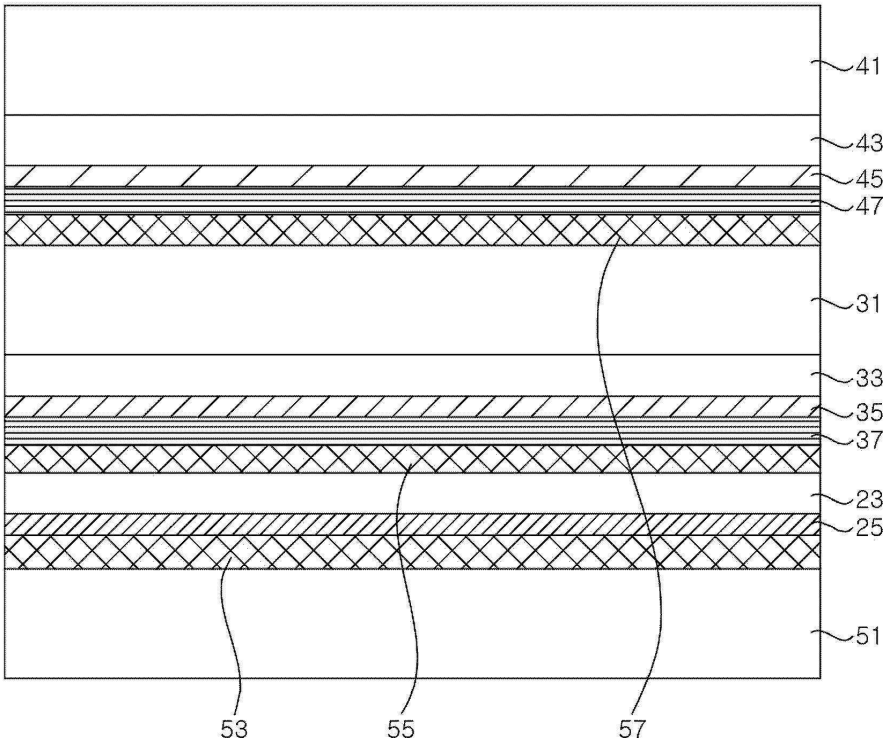
않고 외부로 방출될 수 있고, 제2 LED 스택(733)으로부터 발생되는 광의 적어도 일부는 제3 LED 스택(743)을 관통하지 않고 외부로 방출될 수 있으며, 그에 의해 발광 효율을 더욱 향상시킨다.

[0935] 몇몇 예시적인 실시예를 설명하였지만, 이들 실시예는 단지 예시를 위해 제공되는 것이며 어떠한 방식으로든 본 개시를 제한하는 것으로 해석되어서는 아니 된다는 것을 이해하여야 한다. 하나의 예시적인 실시예의 특징 또는 구성 요소는 본 개시의 사상 및 범위를 이탈하지 않는 한도 내에서 다른 예시적인 실시예에도 적용될 수 있다는 것을 이해하여야 한다.

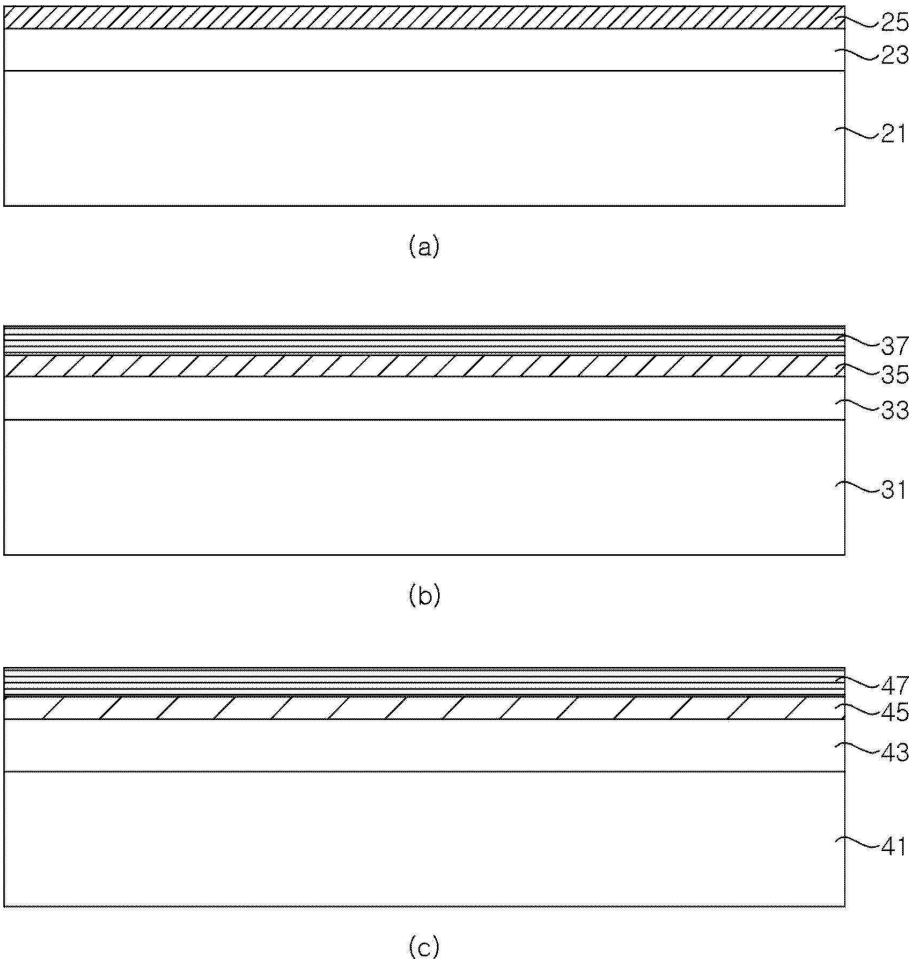
도면

도면1

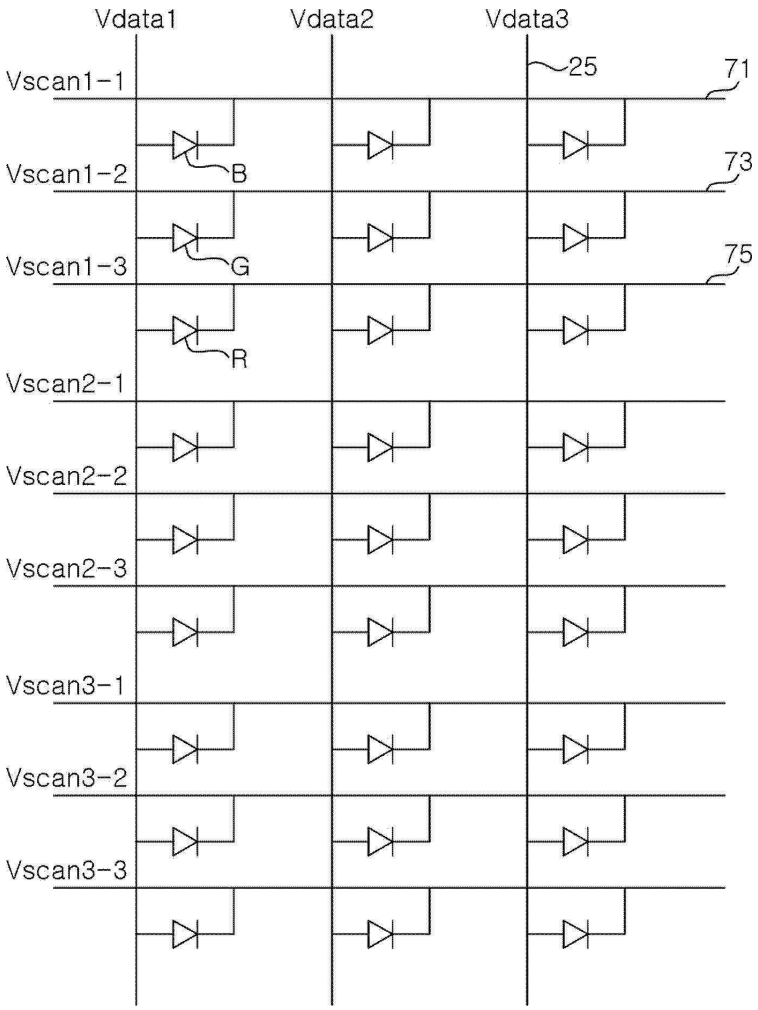
100



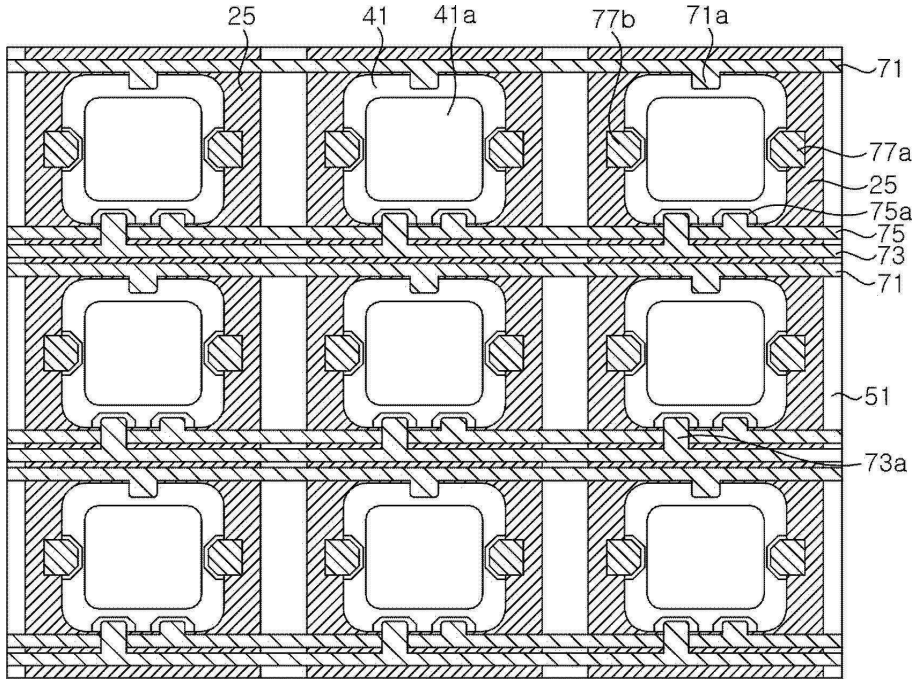
도면2



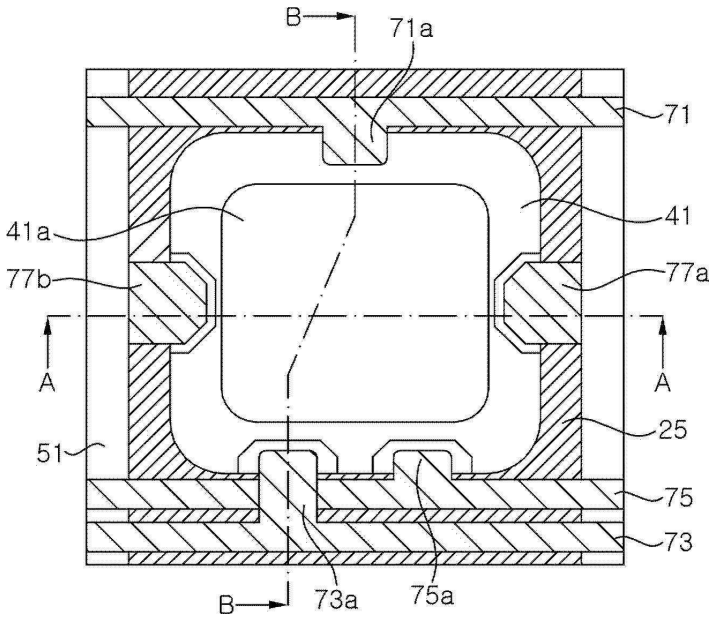
도면3


Vdata1
Vdata2
Vdata3
25
71
Vscan1-1
B
73
Vscan1-2
G
75
Vscan1-3
R
Vscan2-1
Vscan2-2
Vscan2-3
Vscan3-1
Vscan3-2
Vscan3-3

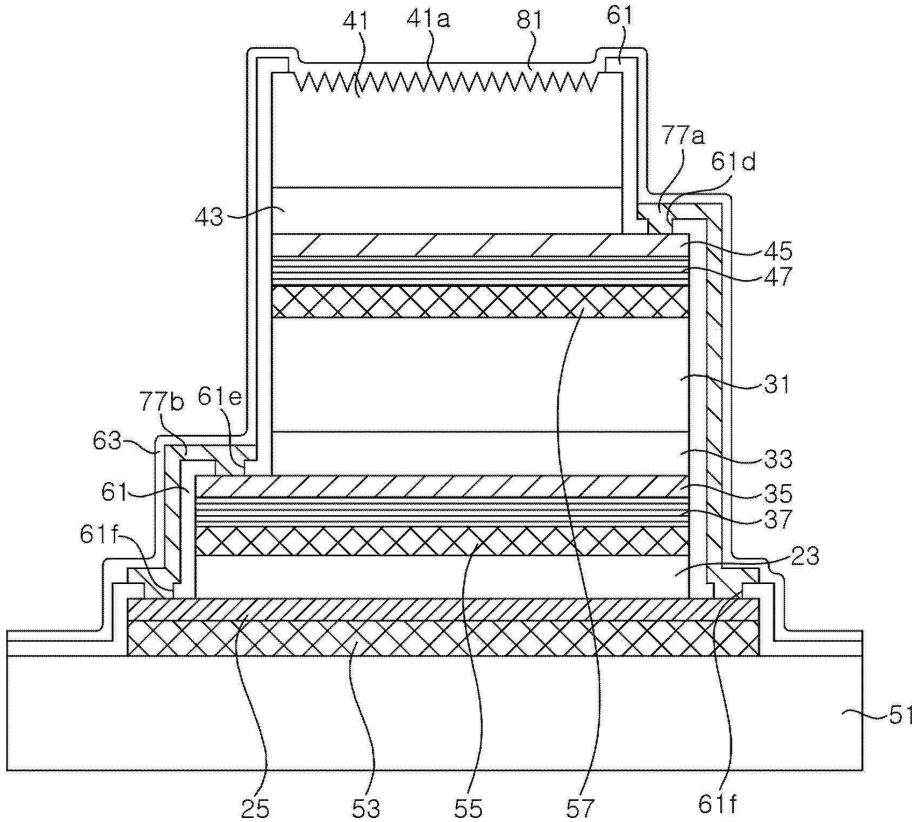
도면4


25
41
41a
77b
71a
71
77a
25
75a
75
73
71
51
73a

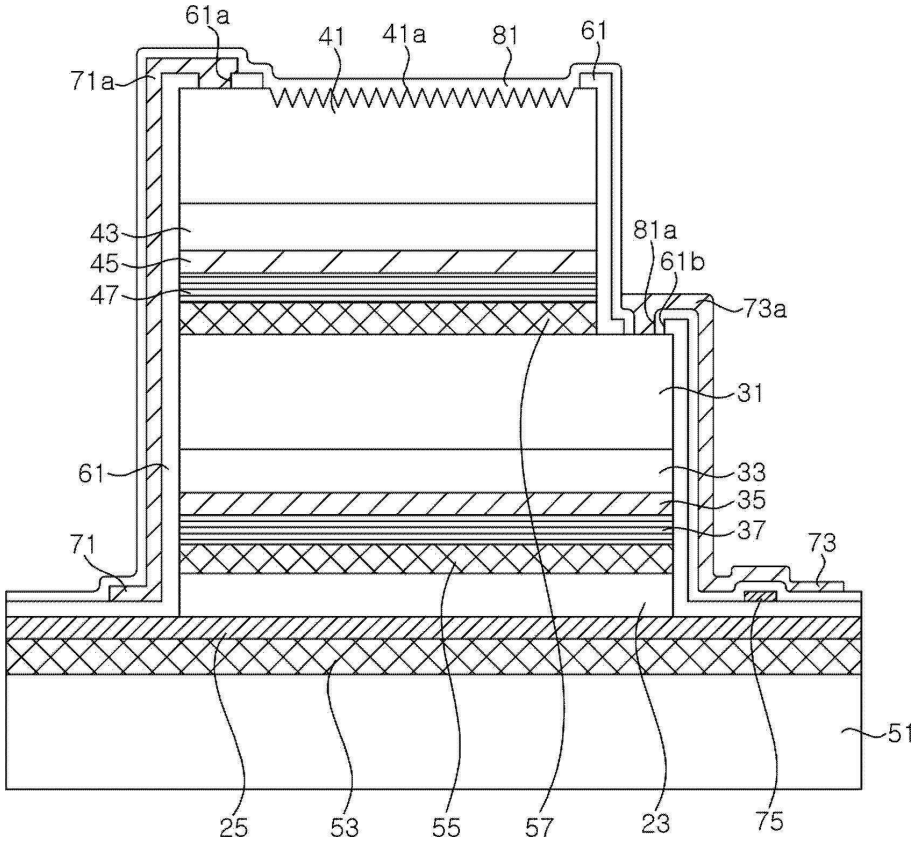
도면5


B
71a
71
41a
41
77b
77a
A
A
25
51
75
73
B
73a
75a

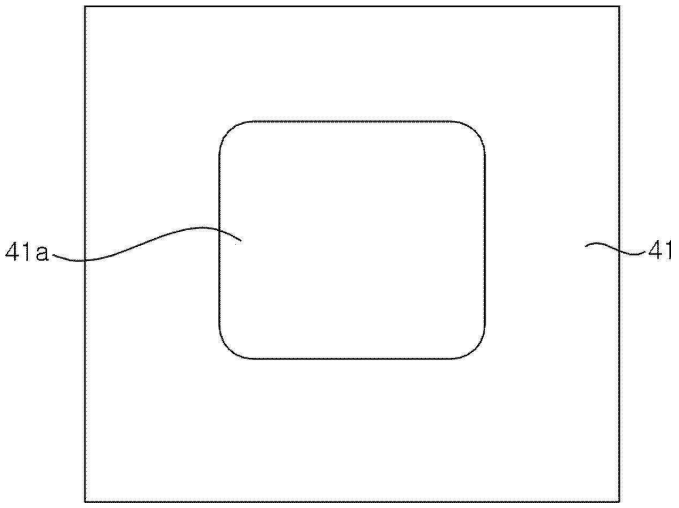
도면6


41
41a
81
61
77a
61d
43
45
47
31
77b
61e
63
33
61
35
37
61f
23
51
25
53
55
57
61f

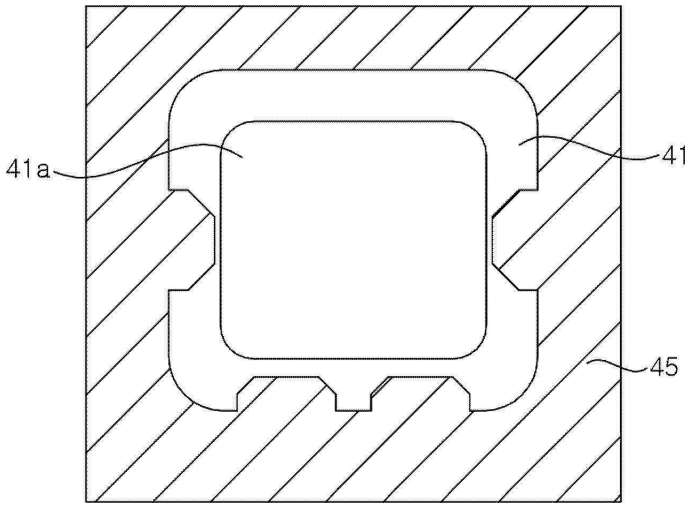
도면7


61a
41
41a
81
61
71a
43
45
47
81a
61b
73a
31
61
33
35
37
71
73
51
25
53
55
57
23
75

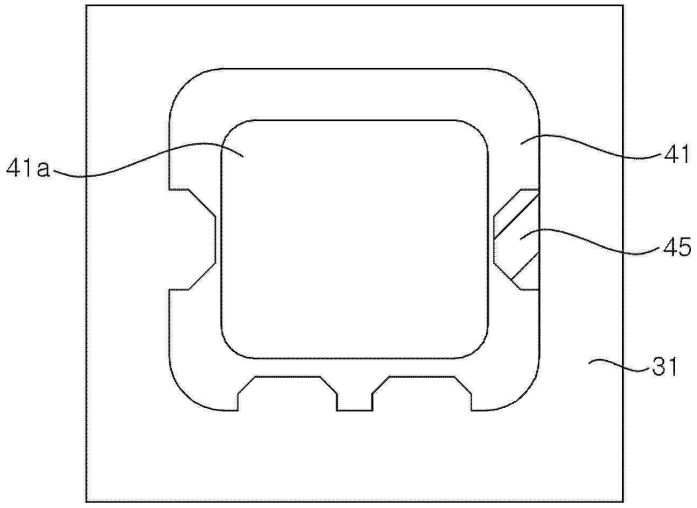
도면8a


41a
41

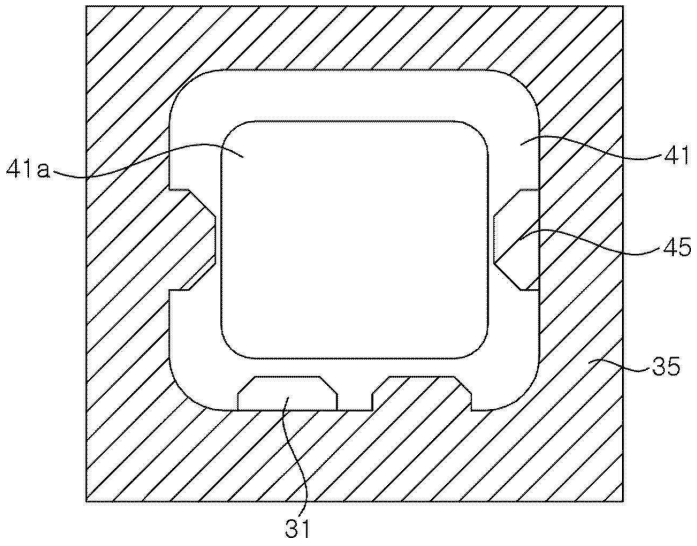
도면8b



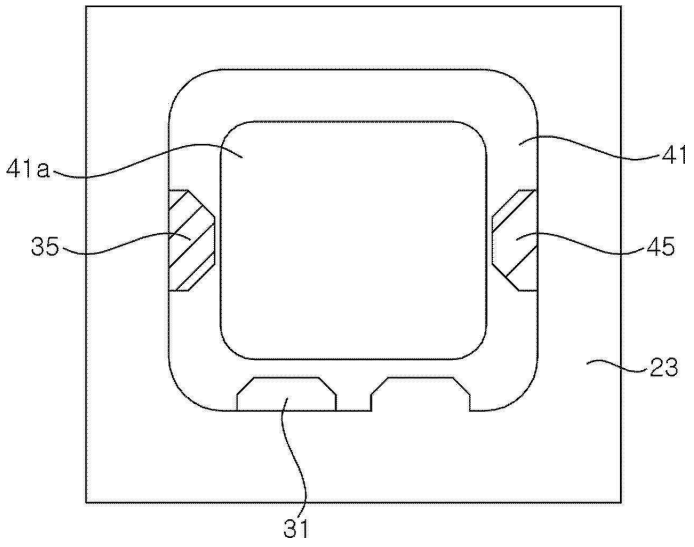
도면8c



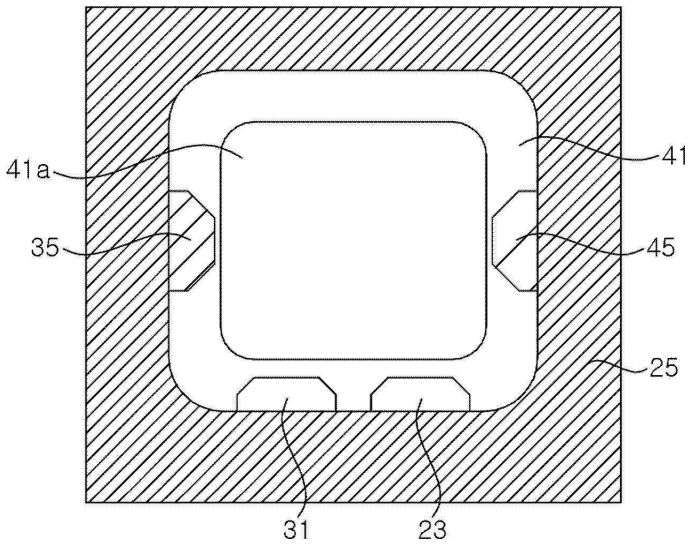
도면8d



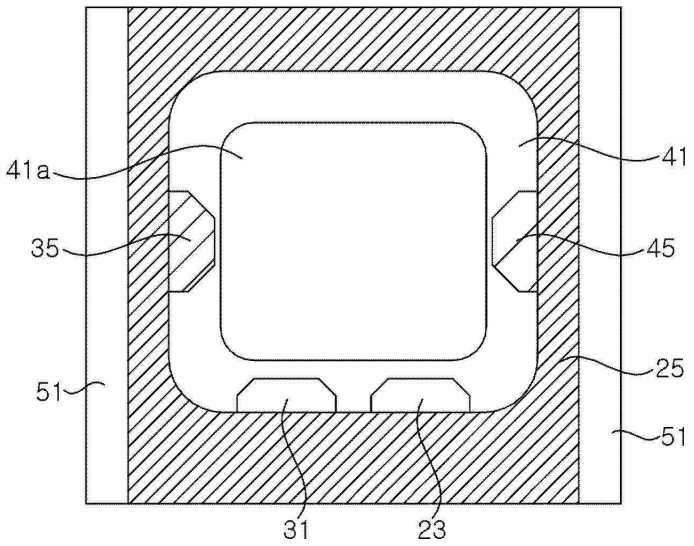
도면8e



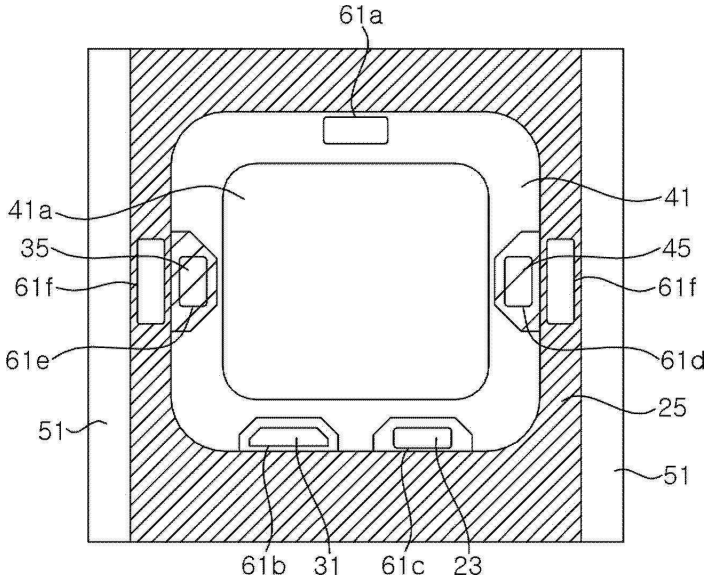
도면8f



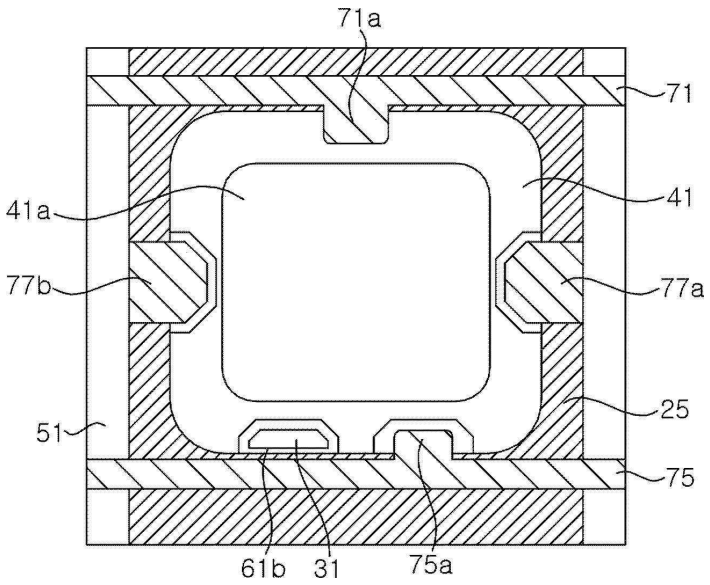
도면8g



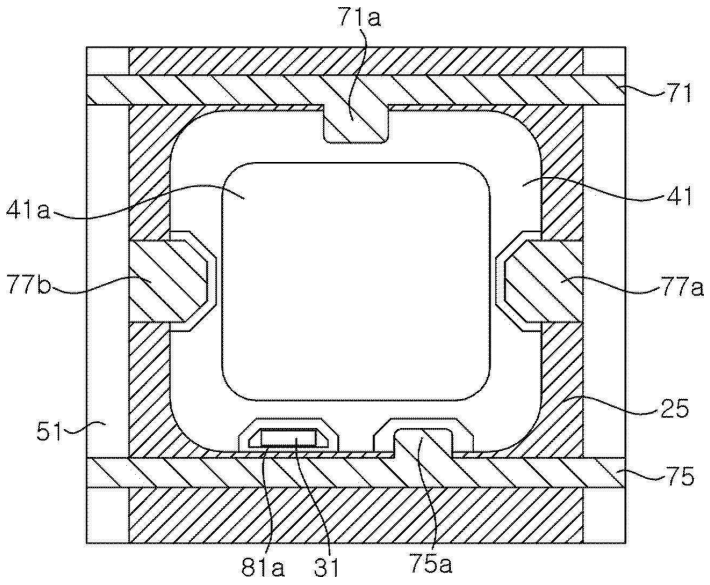
도면8h


61a
41a
35
61f
61e
51
41
45
61f
61d
25
51
61b
31
61c
23

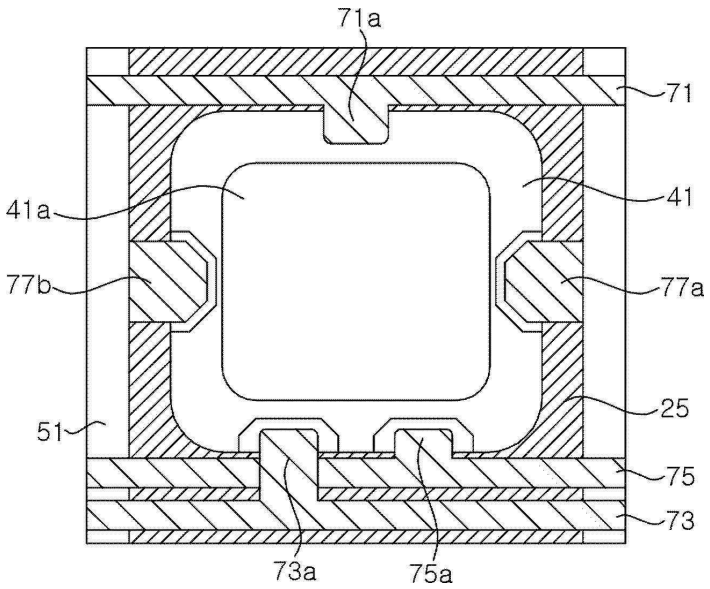
도면8i


71a
71
41a
41
77b
77a
51
25
75
61b
31
75a

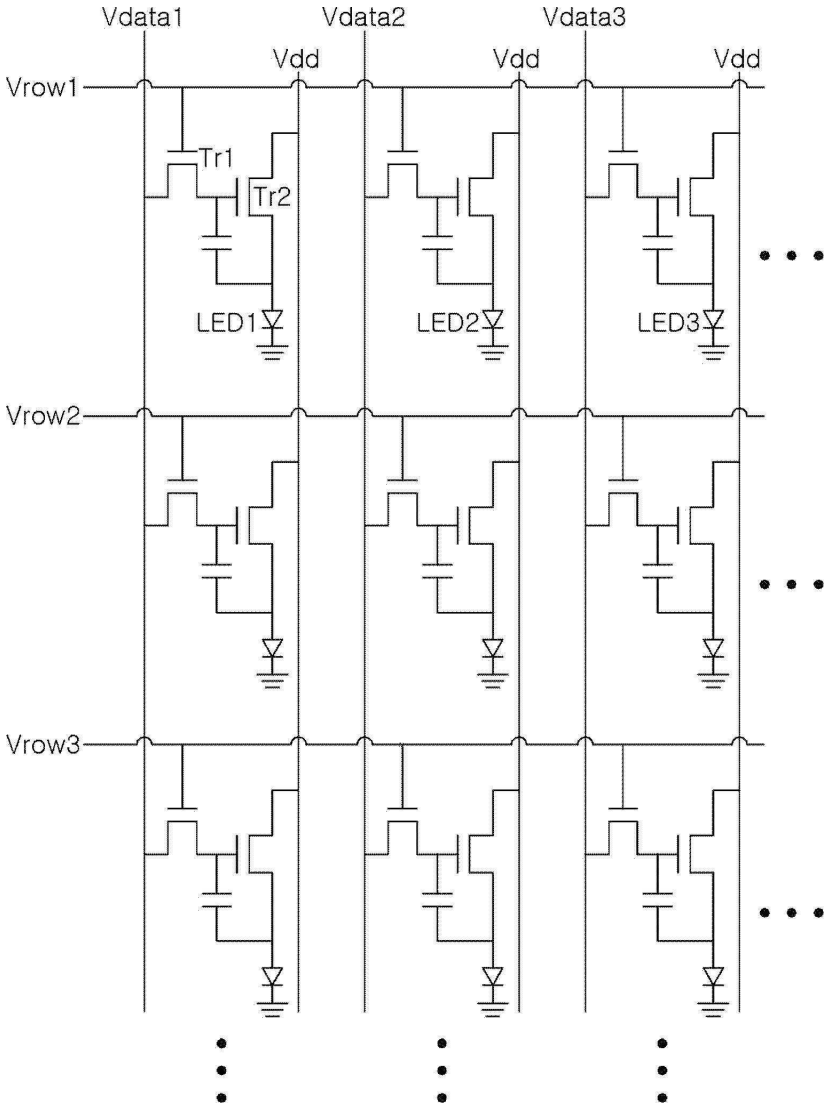
도면8j


71a
71
41a
41
77b
77a
25
51
75
81a
31
75a

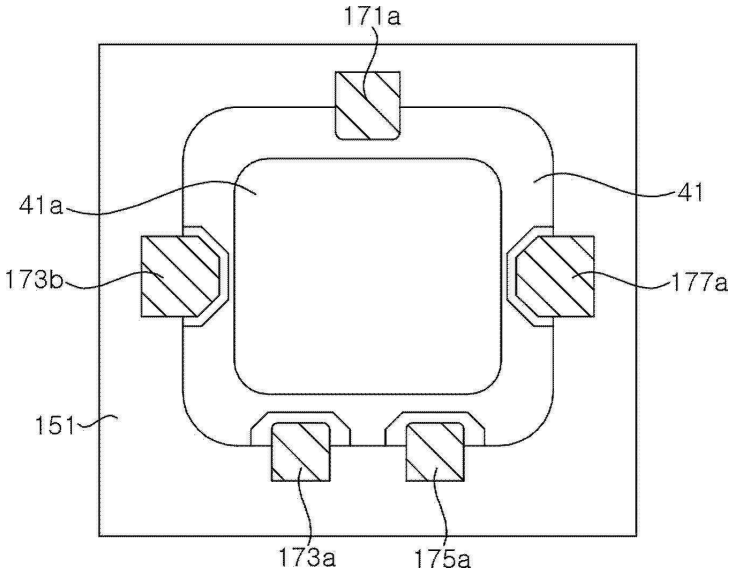
도면8k


71a
71
41a
41
77b
77a
25
51
75
73
73a
75a

도면9

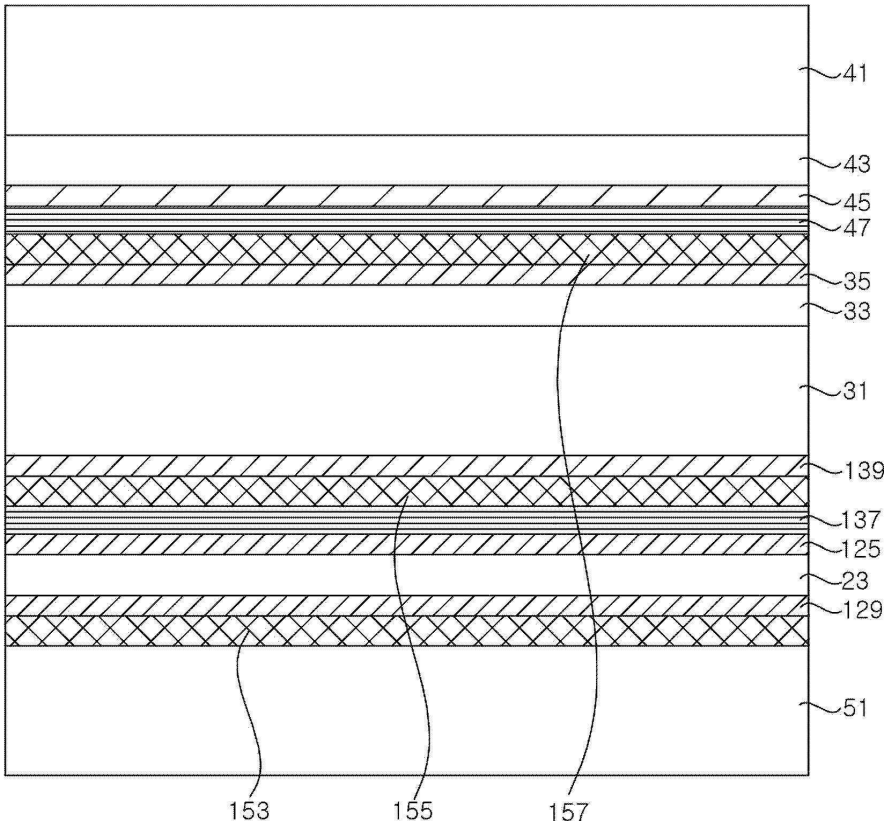

Vdata1
Vdata2
Vdata3
Vdd
Vdd
Vdd
Vrow1
Tr1
Tr2
LED1
LED2
LED3
Vrow2
Vrow3

도면10

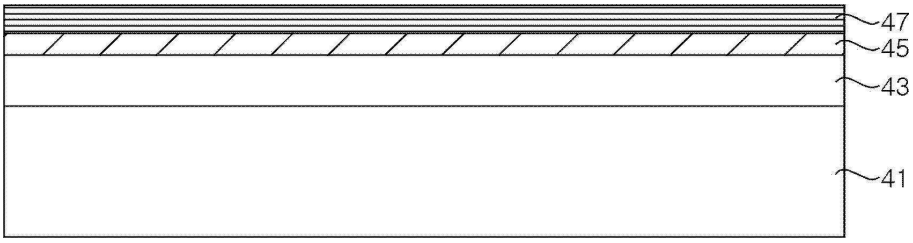

171a
41a
41
173b
177a
151
173a
175a

도면11

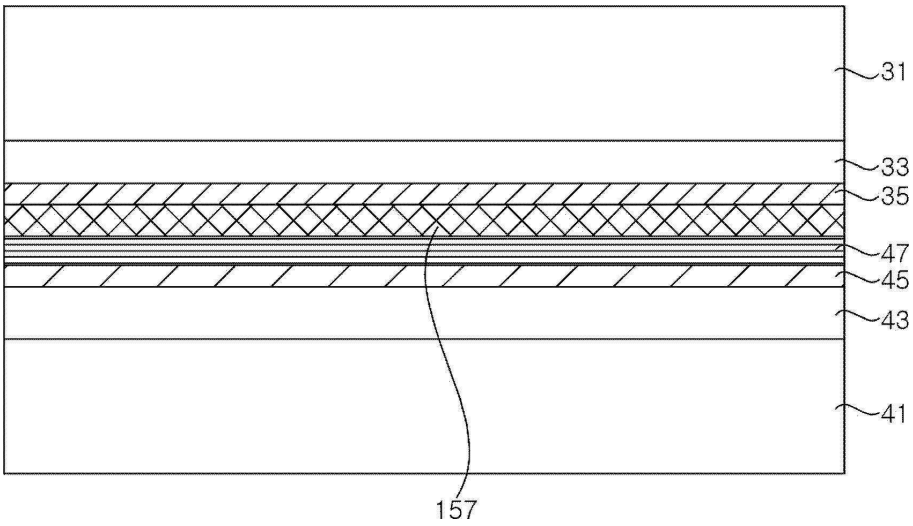
101



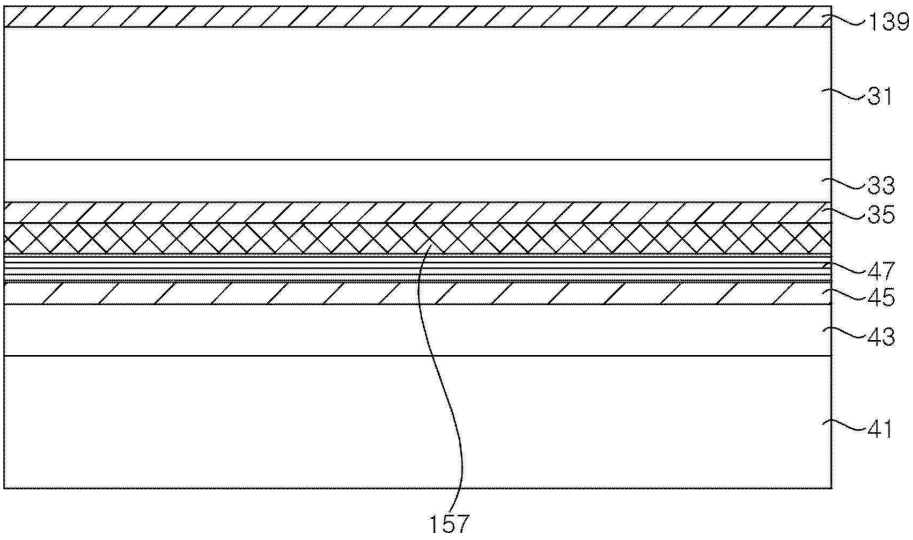
도면12a



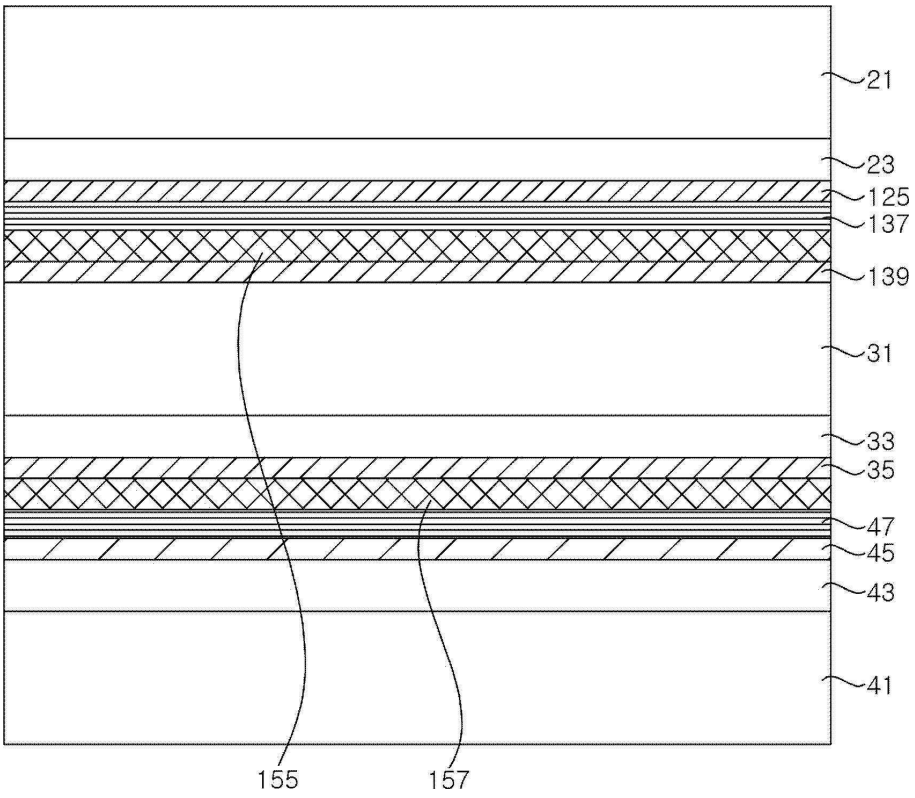
도면12b



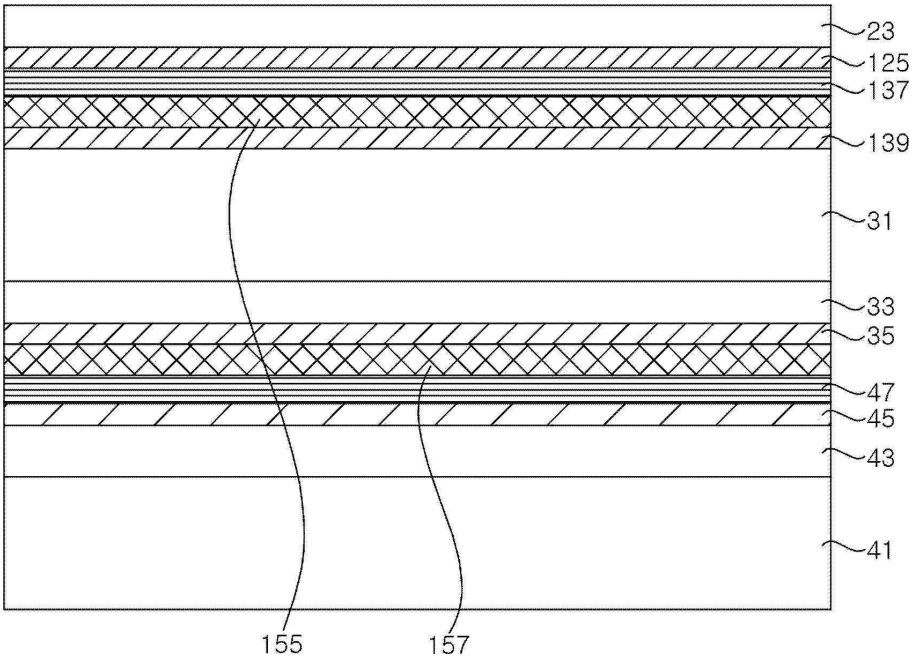
도면12c



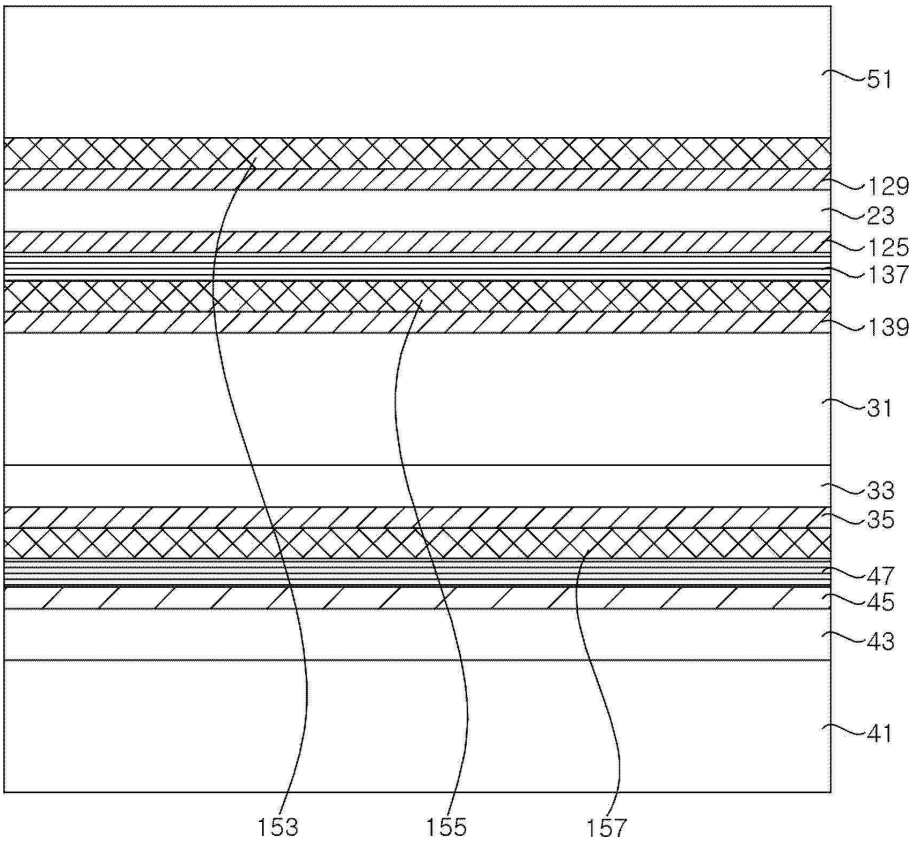
도면12d


21
23
125
137
139
31
33
35
47
45
43
41
155
157

도면12e

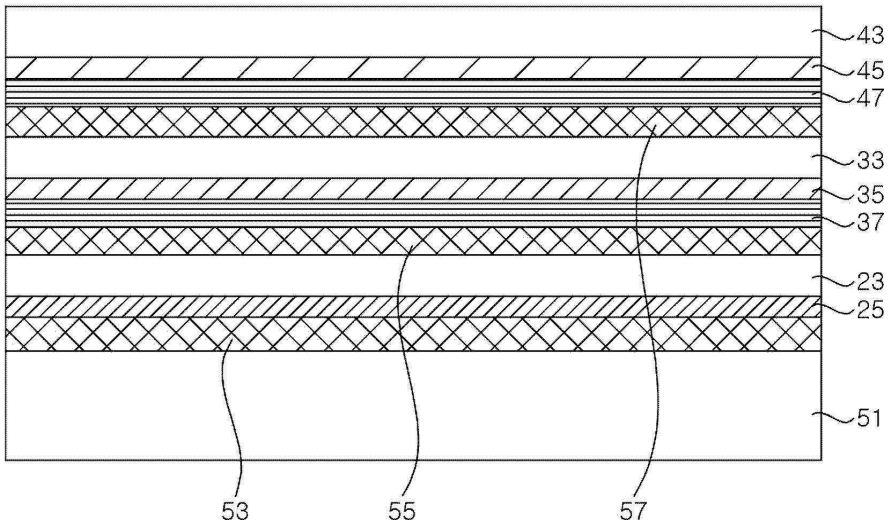

23
125
137
139
31
33
35
47
45
43
41
155
157

도면12f



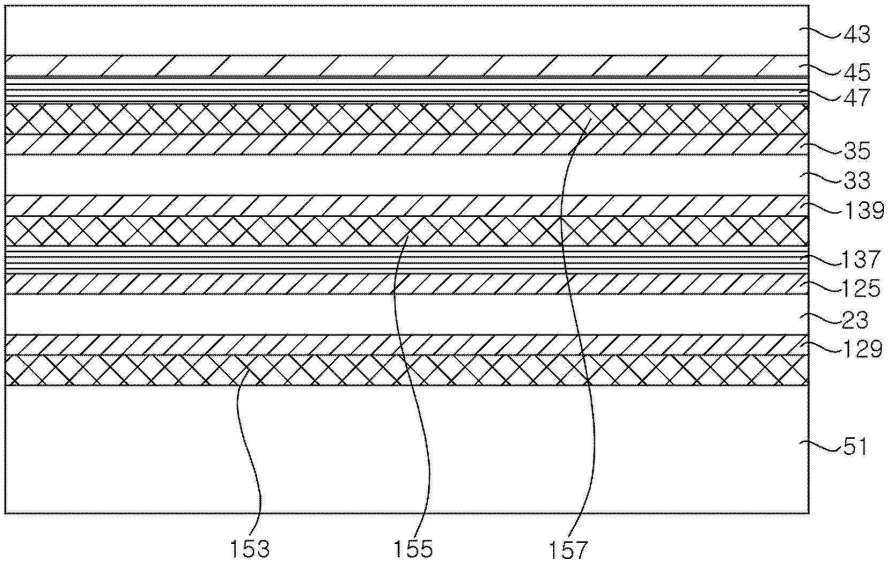
도면13

102

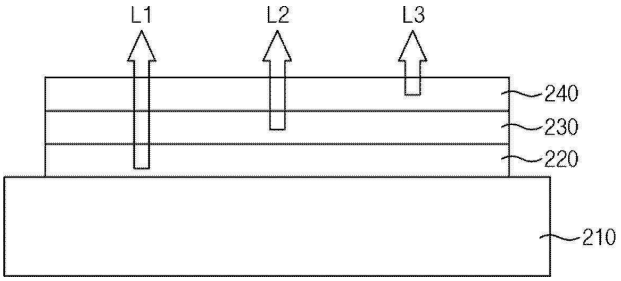


도면14

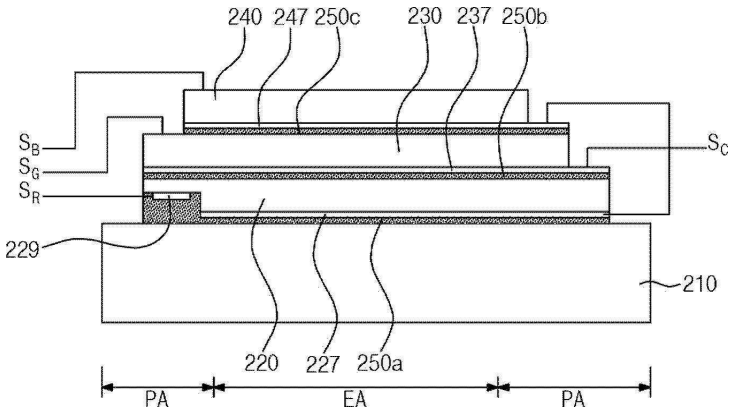
103



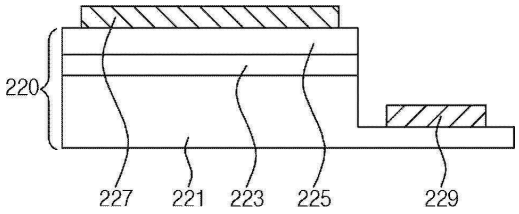
도면15



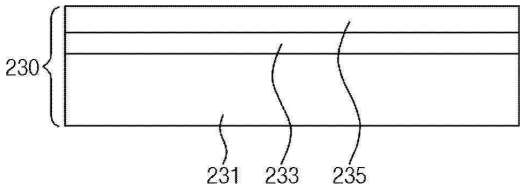
도면16



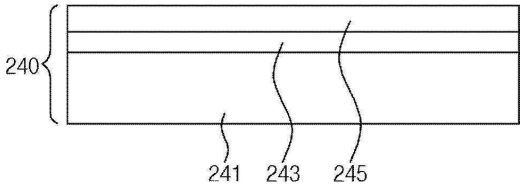
도면17a



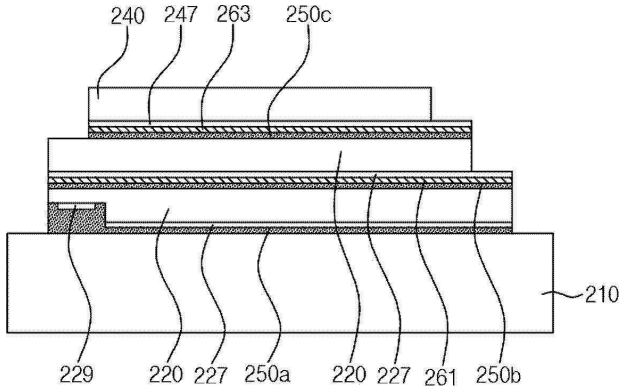
도면17b



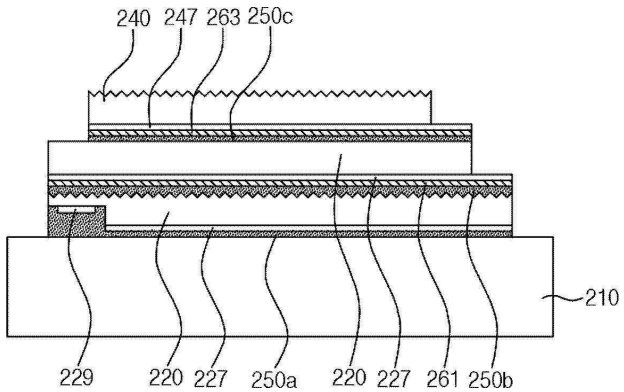
도면17c



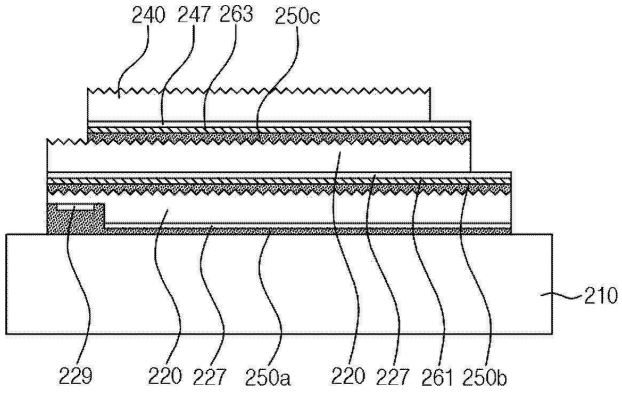
도면18



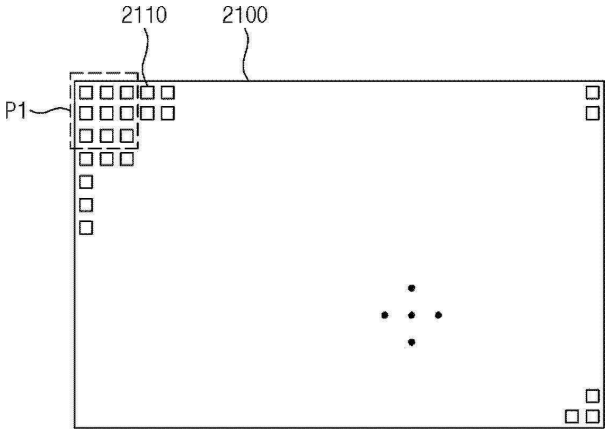
도면19



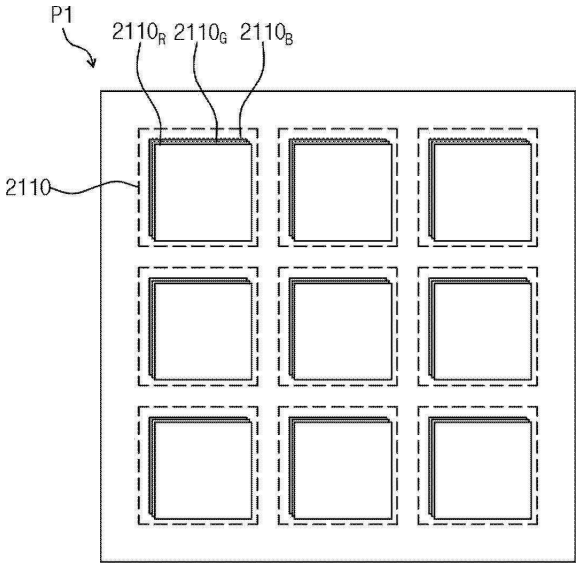
도면20



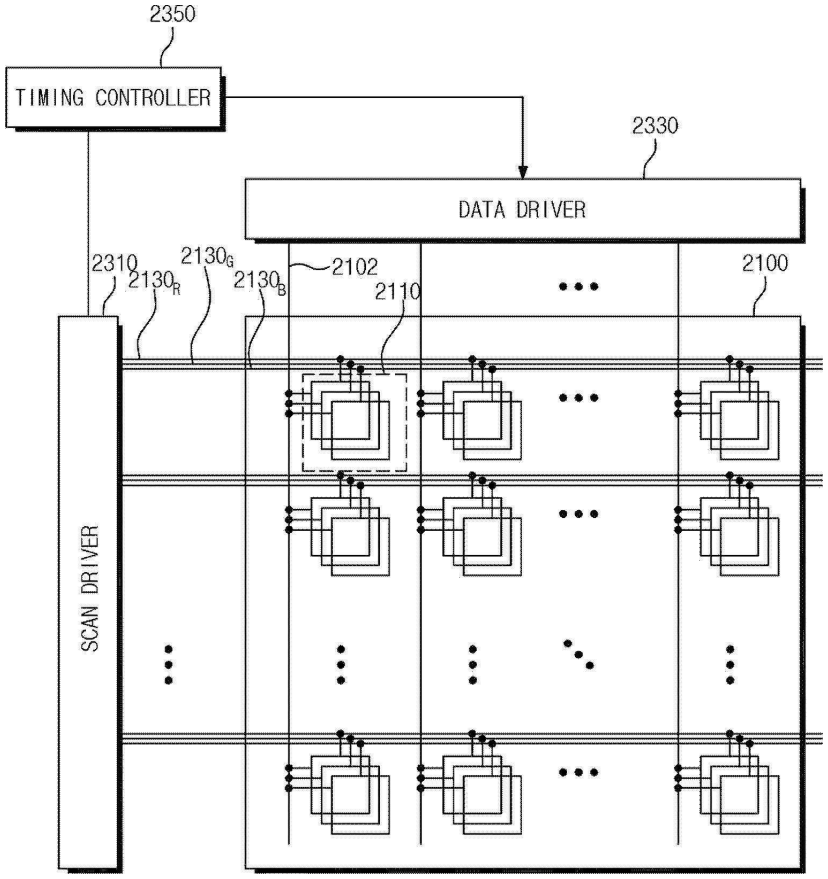
도면21



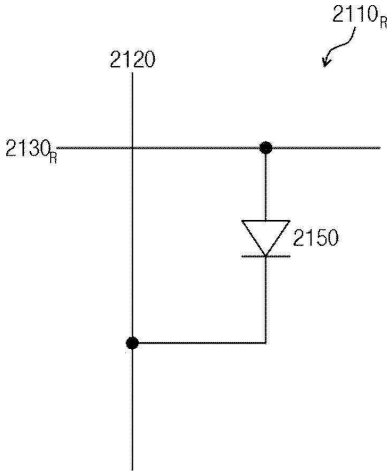
도면22



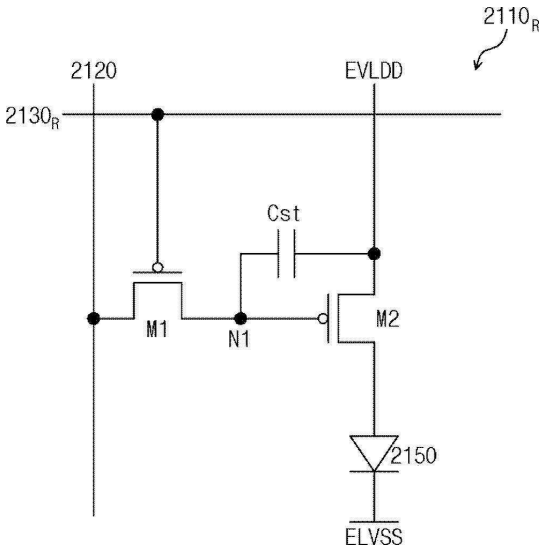
도면23


2350
TIMING CONTROLLER
2330
DATA DRIVER
2310
2130R
2130G
2130B
2102
2110
2100
SCAN DRIVER

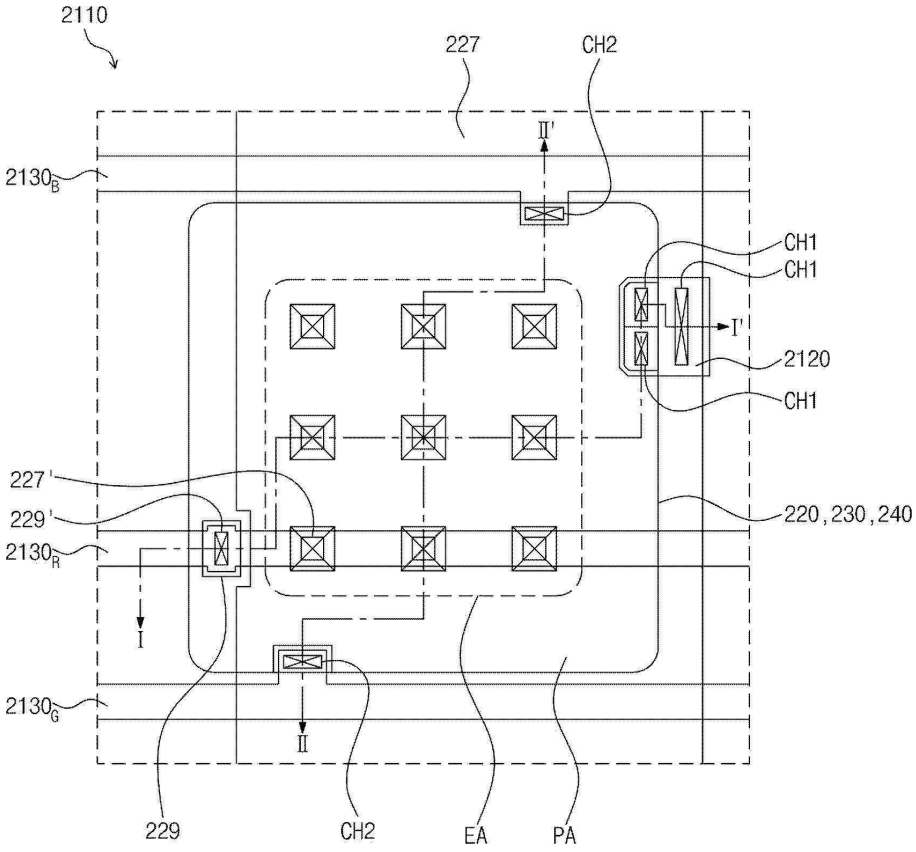
도면24


2110R
2120
2130R
2150

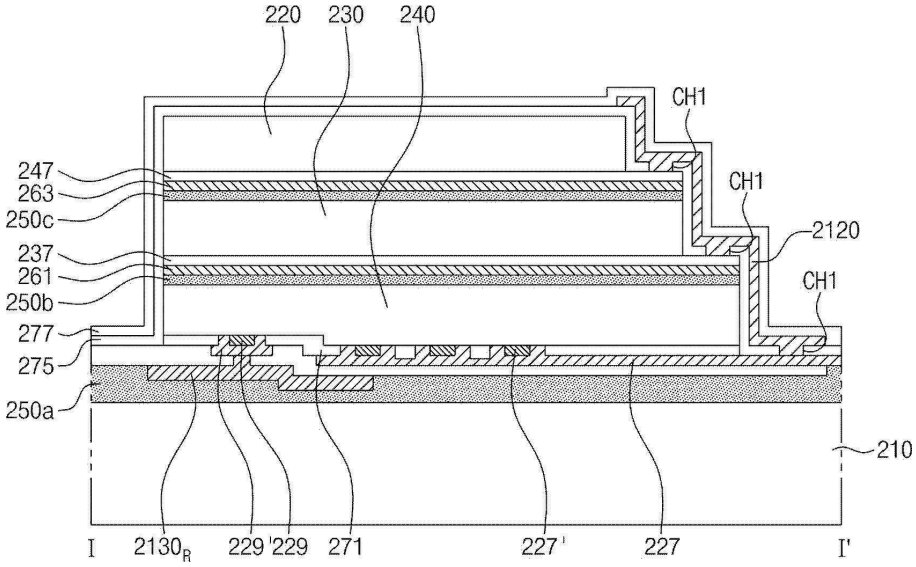
도면25


2110R
2120
EVLDD
2130R
Cst
M1
N1
M2
2150
ELVSS

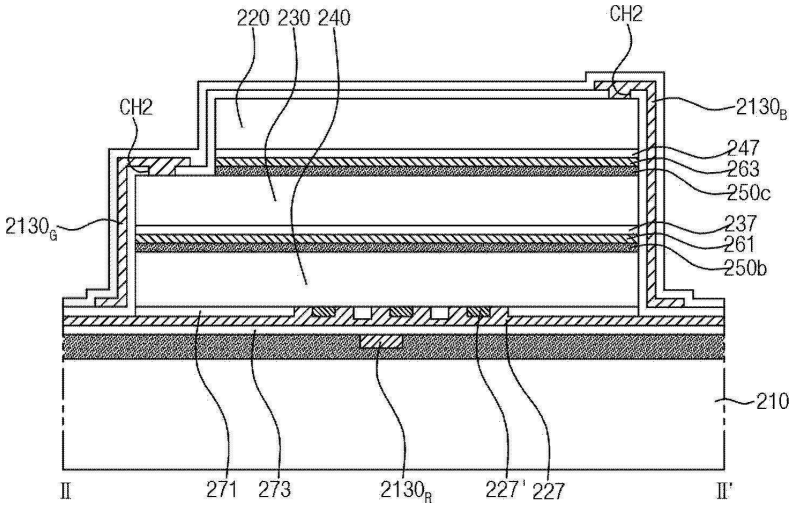
도면26


2110
227
CH2
II'
2130B
CH1
CH1
I'
2120
CH1
227'
229'
2130R
220,230,240
I
2130G
II
229
CH2
EA
PA

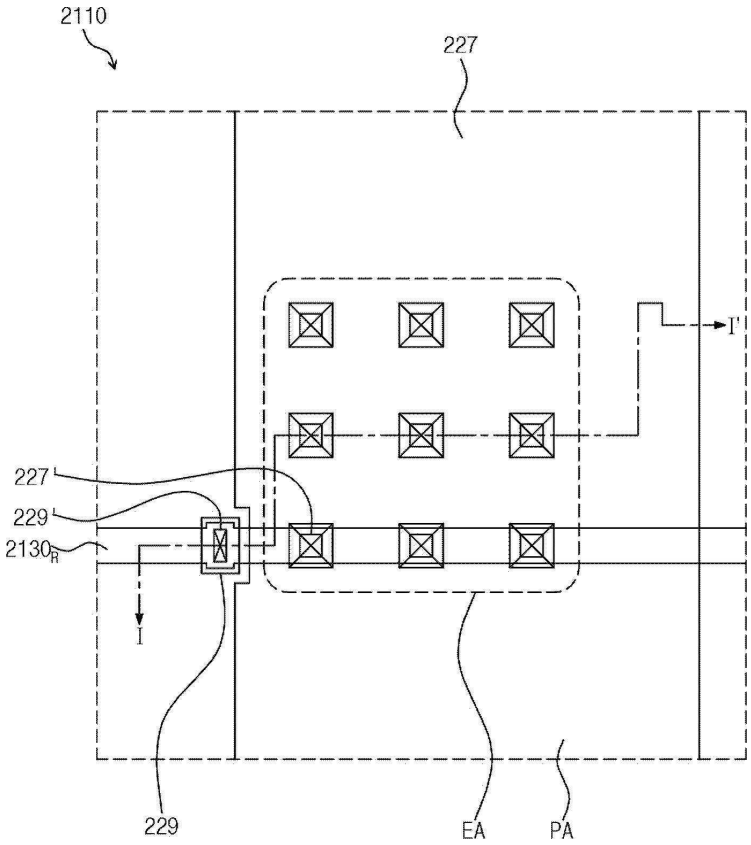
도면27a


220
230
240
CH1
CH1
CH1
247
263
250c
237
261
250b
277
275
250a
2120
210
I
2130R
229
229'
271
227'
227
I'

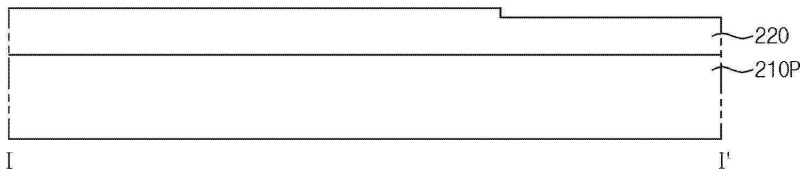
도면27b


220
230
240
CH2
CH2
2130B
247
263
250c
2130G
237
261
250b
210
II
271
273
2130R
227'
227
II'

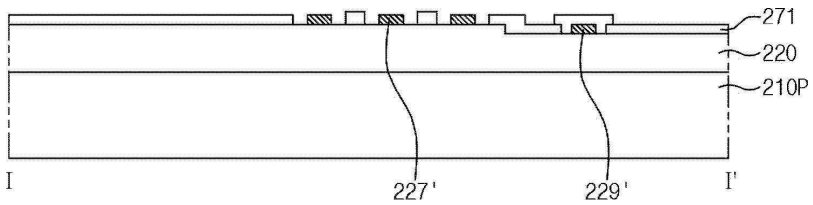
도면28



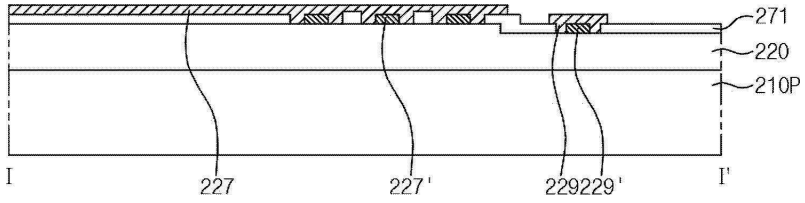
도면29a



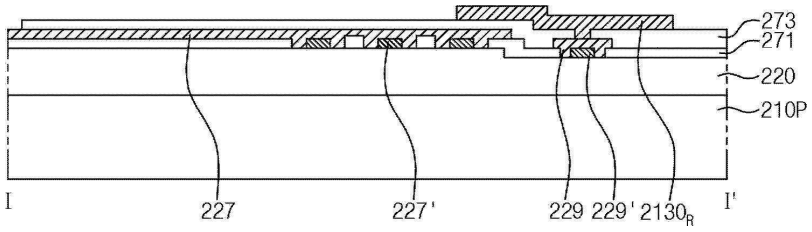
도면29b



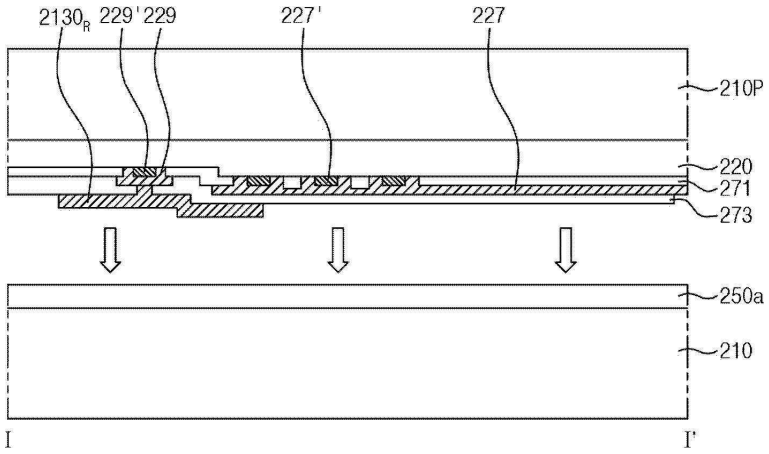
도면29c



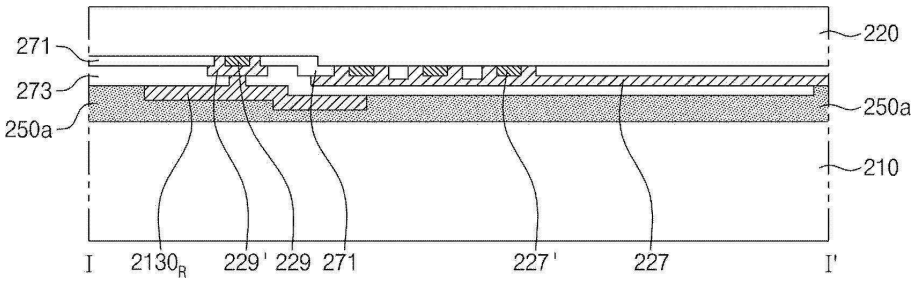
도면29d



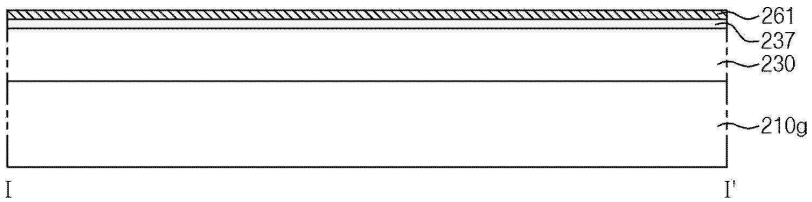
도면29e



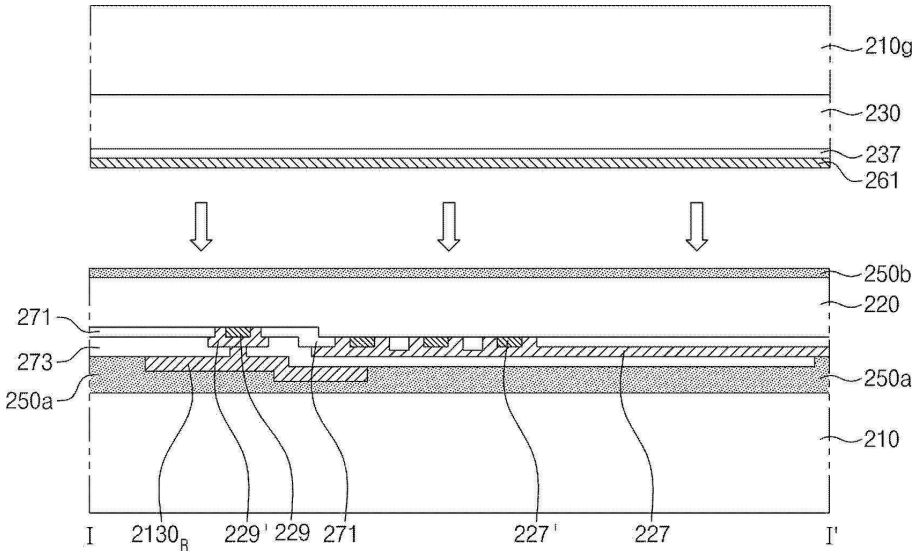
도면29f



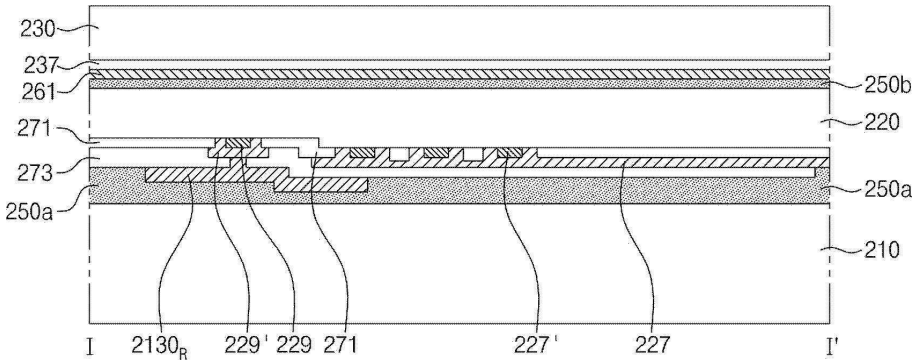
도면29g



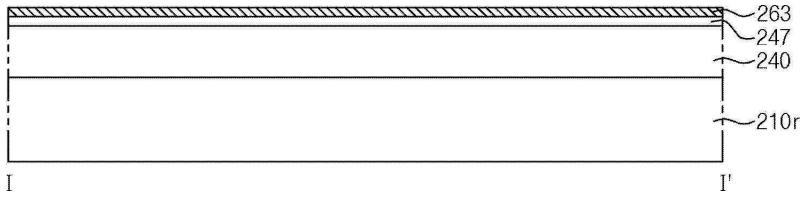
도면29h



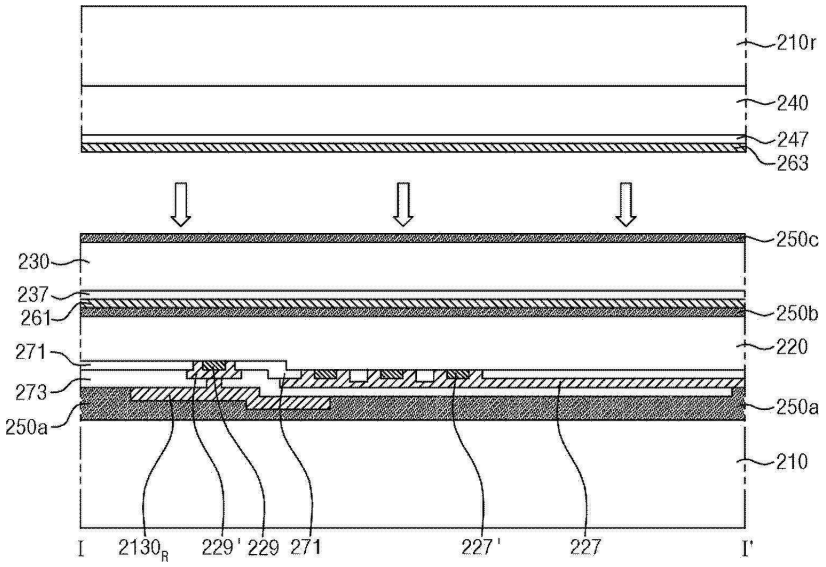
도면29i



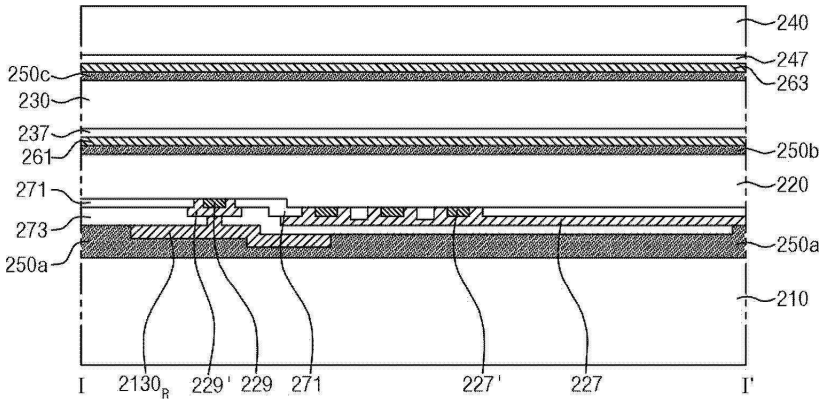
도면29j



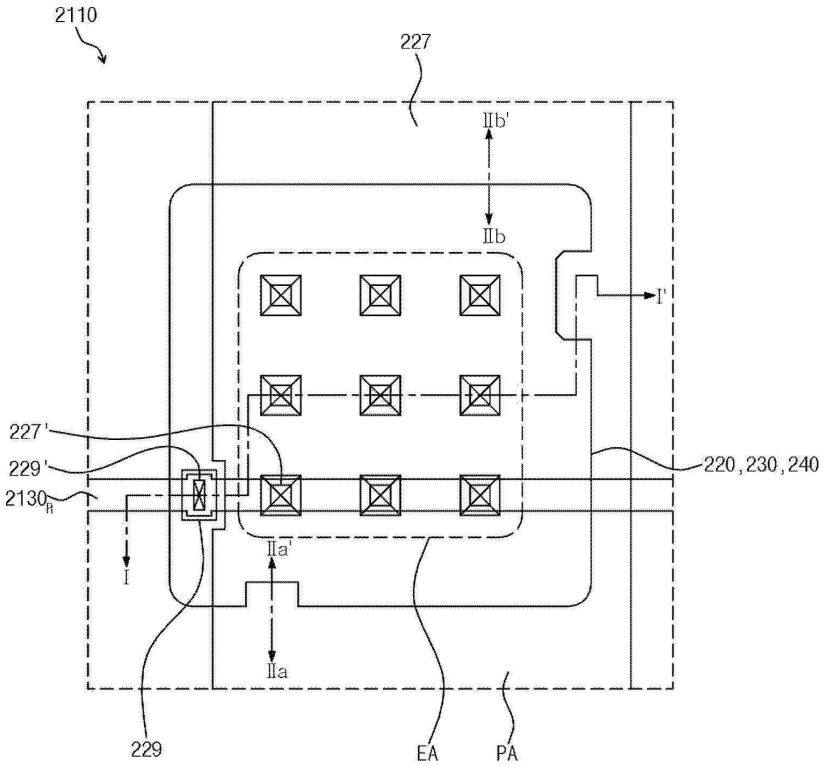
도면29k


210r
240
247
263
250c
230
237
261
250b
271
220
273
250a
250a
210
I
2130R
229'
229
271
227'
227
I'

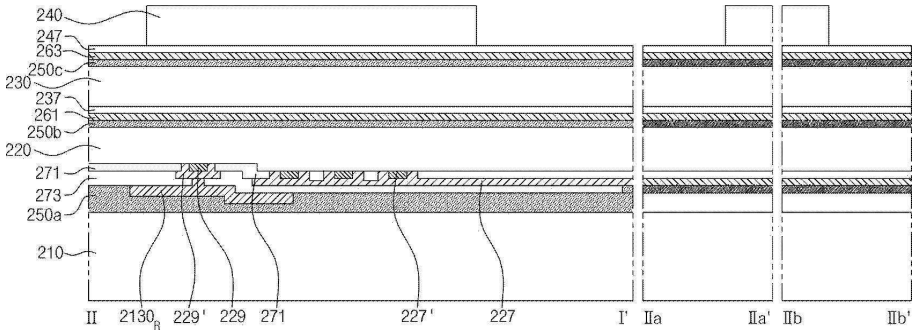
도면291


240
247
263
250c
230
237
261
250b
271
220
273
250a
250a
210
I
2130R
229'
229
271
227'
227
I'

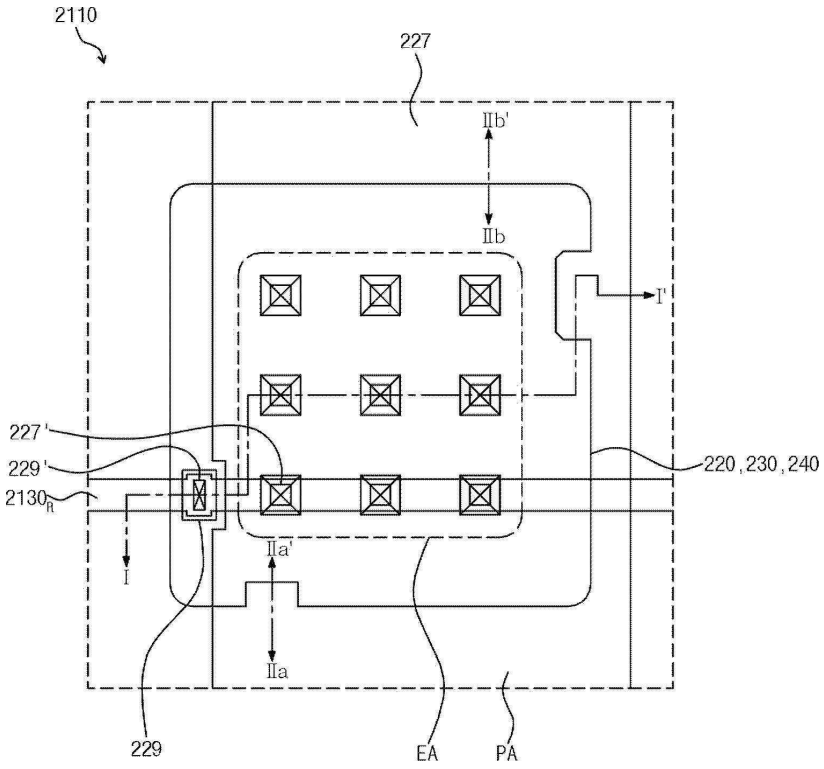
도면30a


2110
227
IIb'
IIb
I'
227'
229'
2130R
220,230,240
I
IIa'
IIa
229
EA
PA

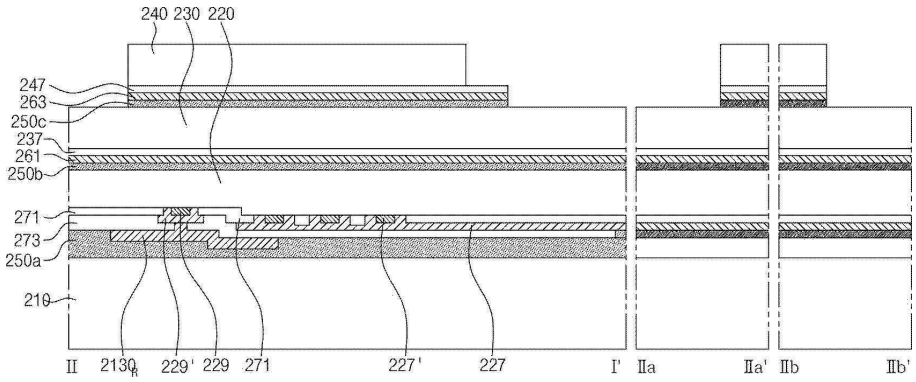
도면30b


240
247
263
250c
230
237
261
250b
220
271
273
250a
210
II
2130R
229'
229
271
227'
227
I'
IIa
IIa'
IIb
IIb'

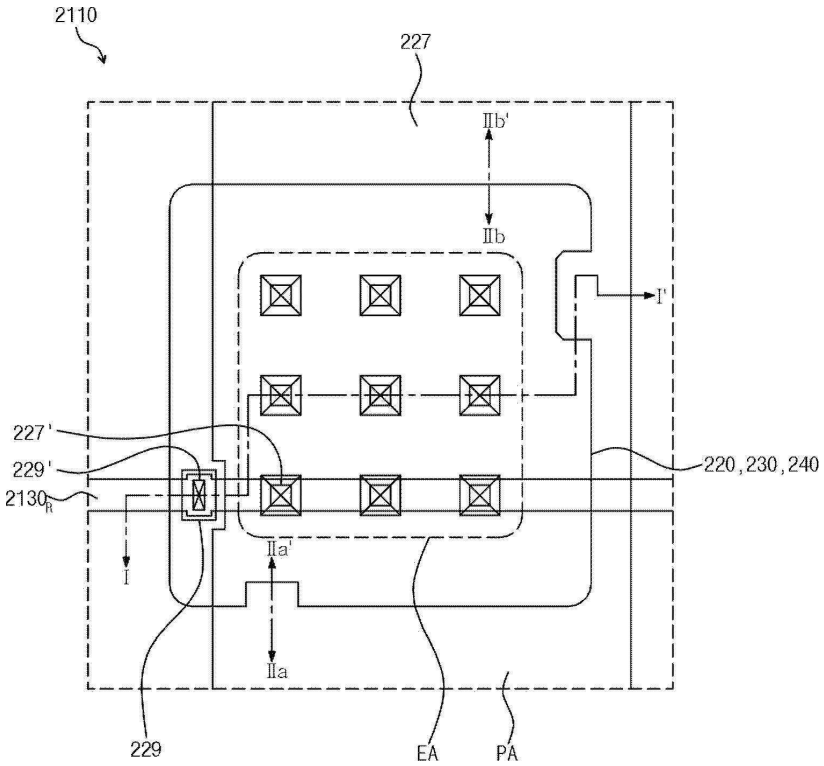
도면31a


2110
227
IIb'
IIb
I'
227'
229'
2130R
220,230,240
I
IIa'
IIa
229
EA
PA

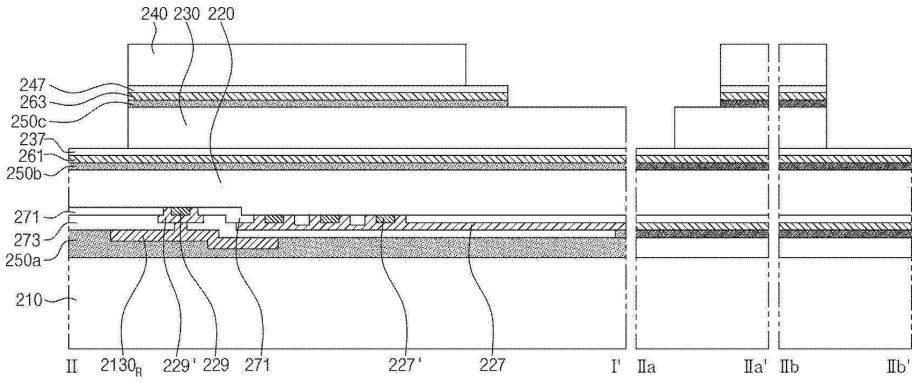
도면31b


240 230 220
247
263
250c
237
261
250b
271
273
250a
210
II
2130R
229'
229
271
227'
227
I'
IIa
IIa'
IIb
IIb'

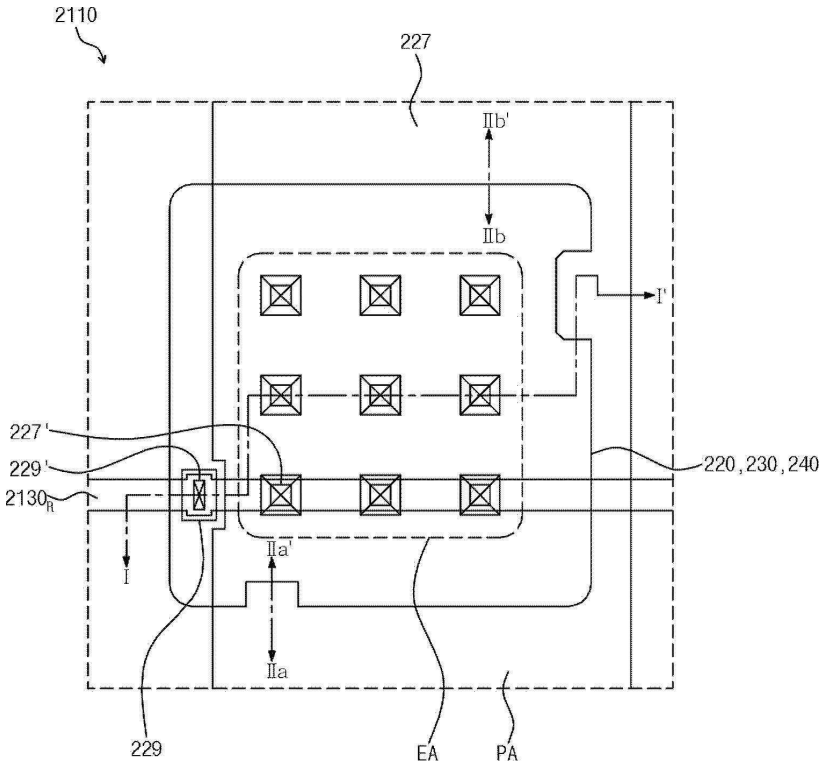
도면32a


2110
227
IIb'
IIb
I'
227'
229'
2130R
220,230,240
I
IIa'
IIa
229
EA
PA

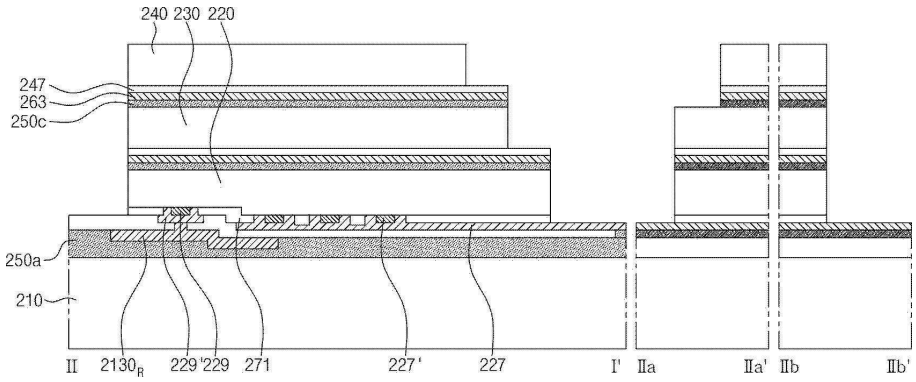
도면32b


240 230 220
247
263
250c
237
261
250b
271
273
250a
210
II
2130R
229'
229
271
227'
227
I'
IIa
IIa'
IIb
IIb'

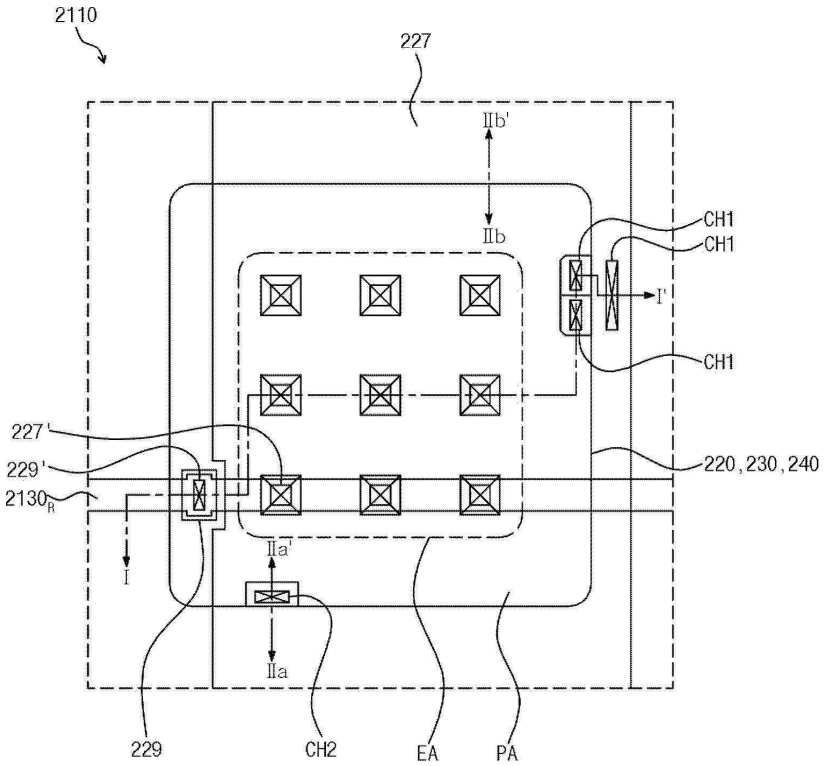
도면33a


2110
227
IIb'
IIb
I'
227'
229'
2130R
220,230,240
I
IIa'
IIa
229
EA
PA

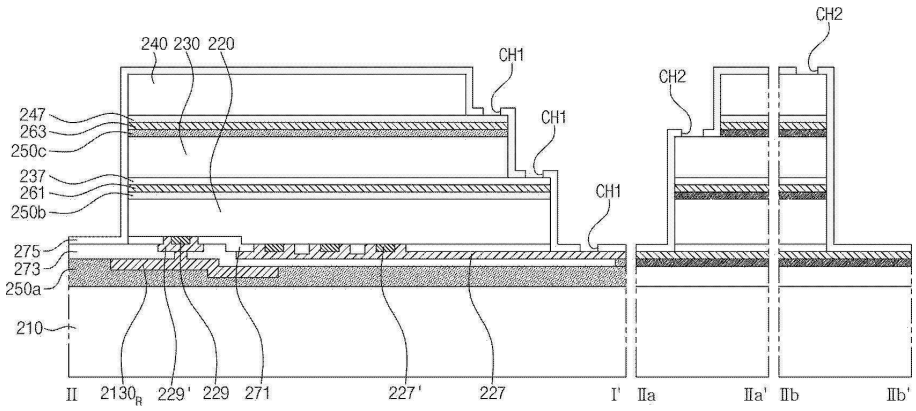
도면33b


240 230 220
247
263
250c
250a
210
II
2130R
229'
229
271
227'
227
I'
IIa
IIa'
IIb
IIb'

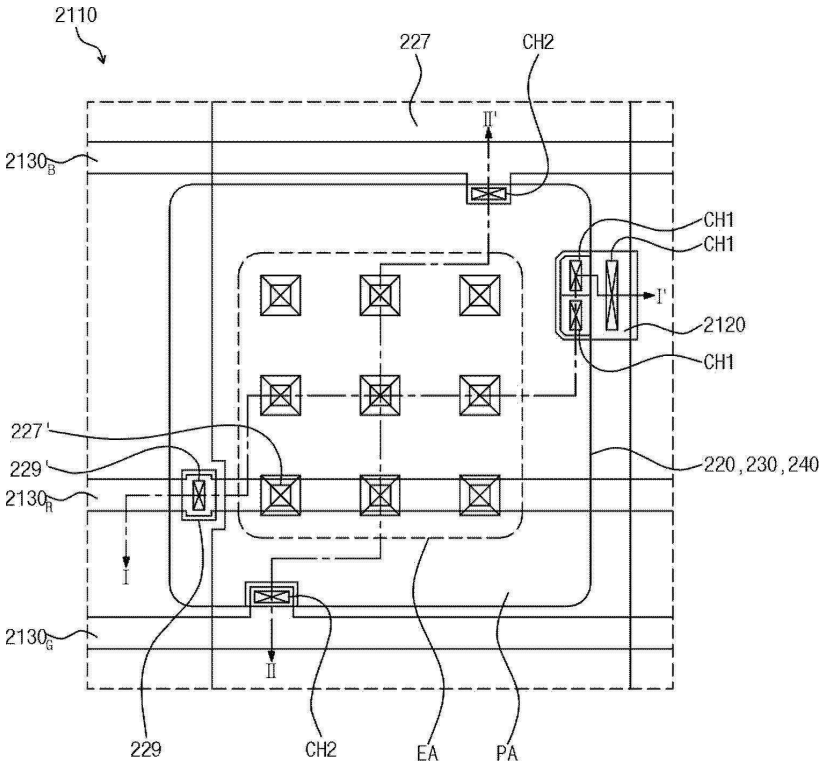
도면34a


2110
227
IIb'
IIb
CH1
CH1
I'
CH1
227'
229'
2130R
220,230,240
I
IIa'
IIa
229
CH2
EA
PA

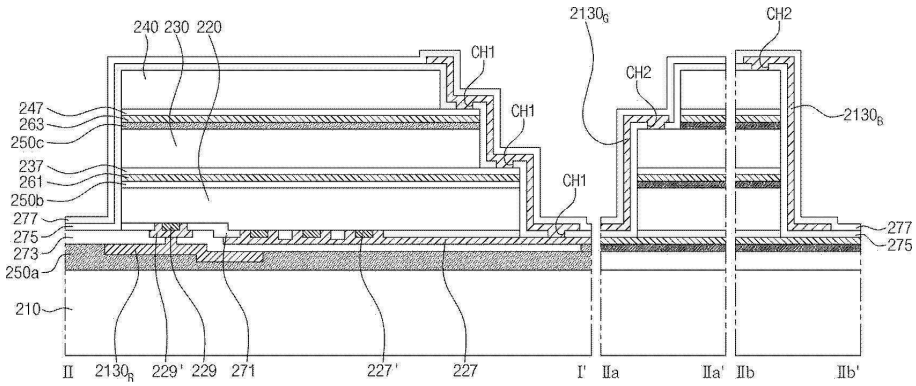
도면34b


240 230 220
CH1
CH2
CH2
247
263
250c
CH1
237
261
250b
CH1
275
273
250a
210
II
2130R
229'
229
271
227'
227
I'
IIa
IIa'
IIb
IIb'

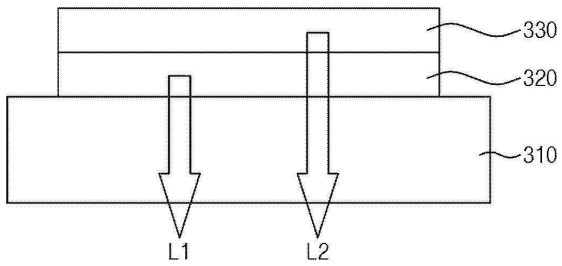
도면35a



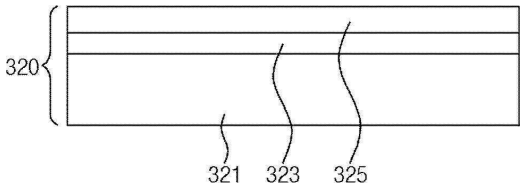
도면35b



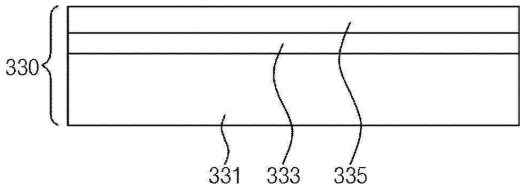
도면36a



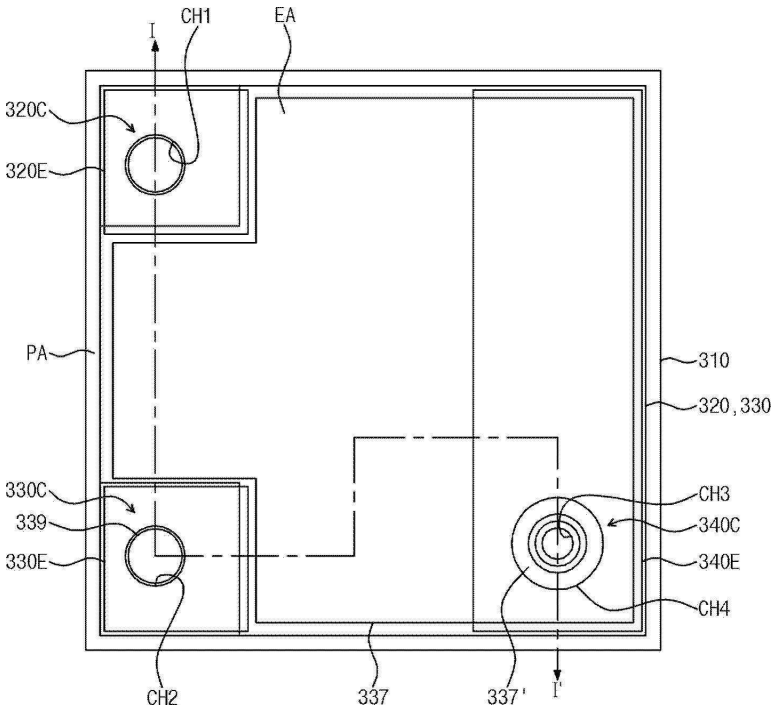
도면36b



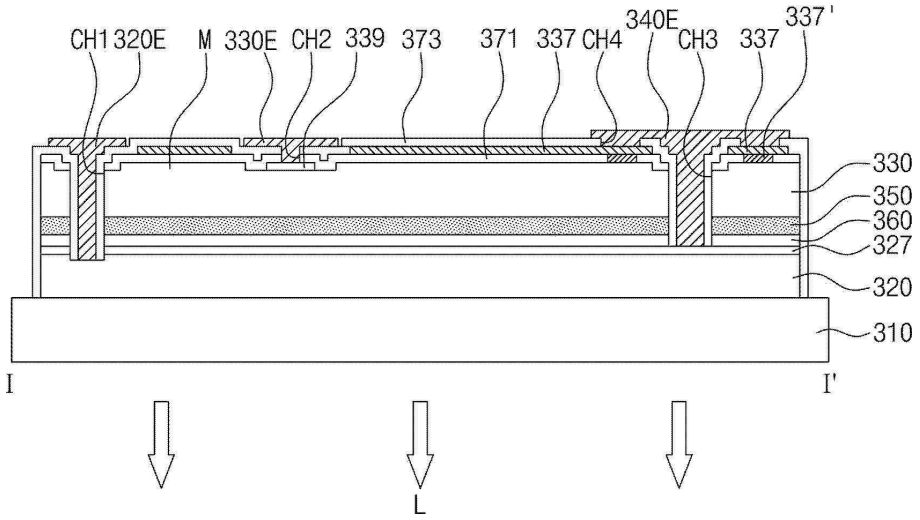
도면36c



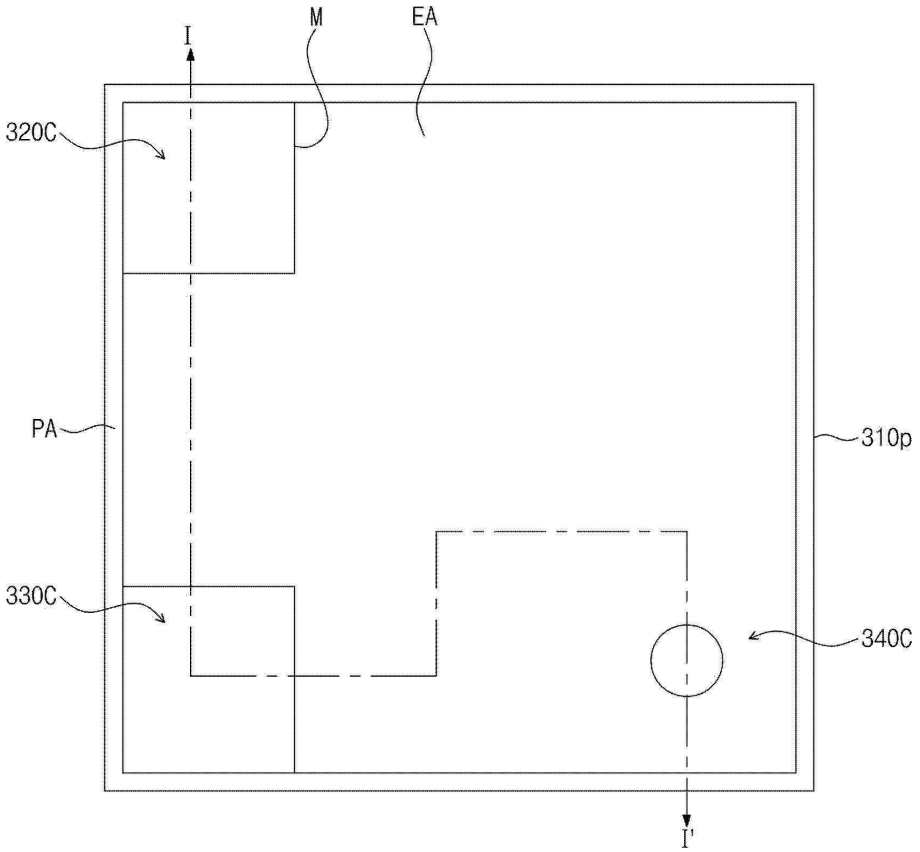
도면37a



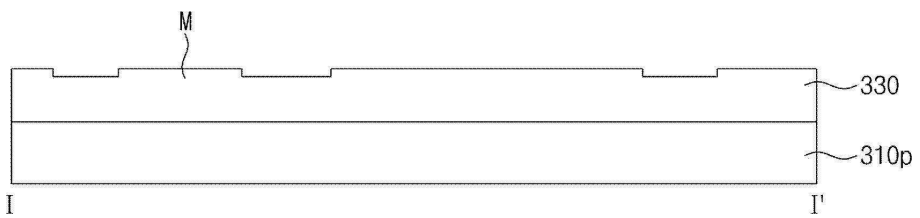
도면37b



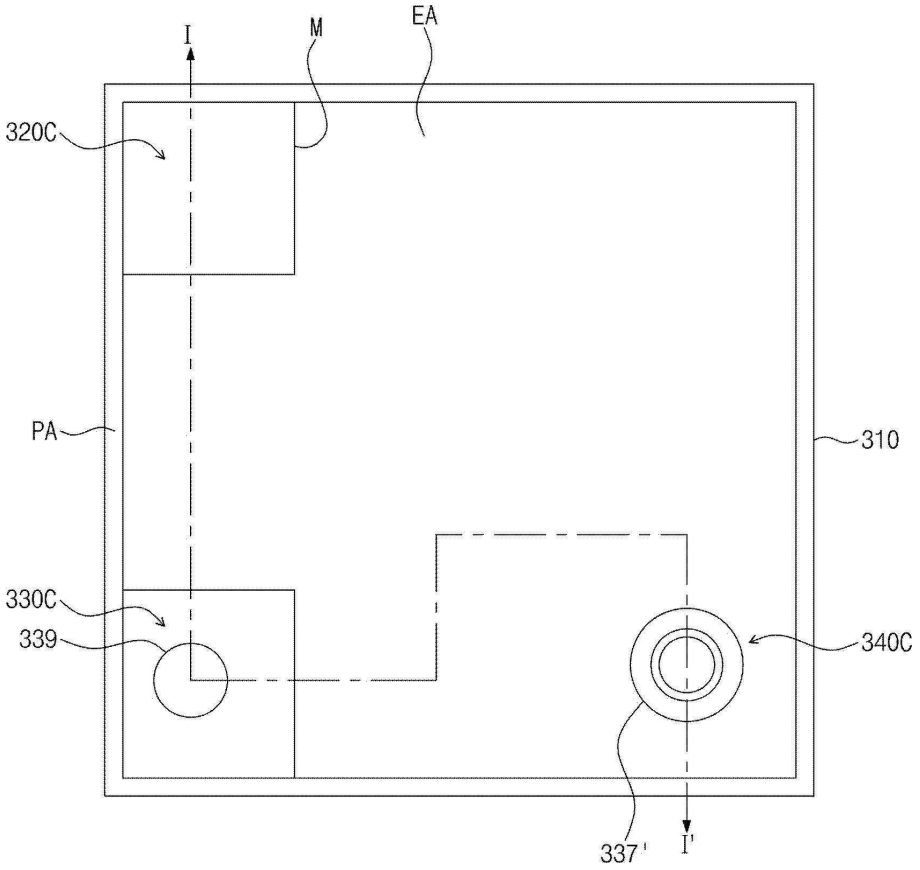
도면38a



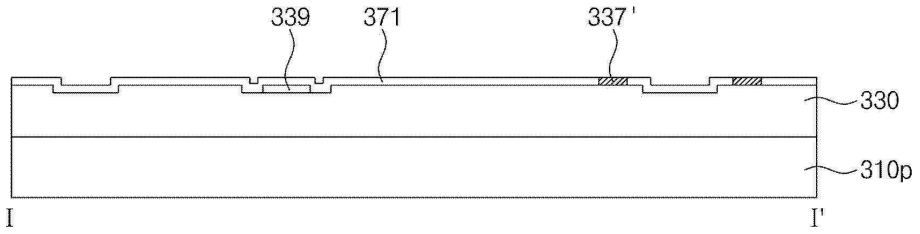
도면38b



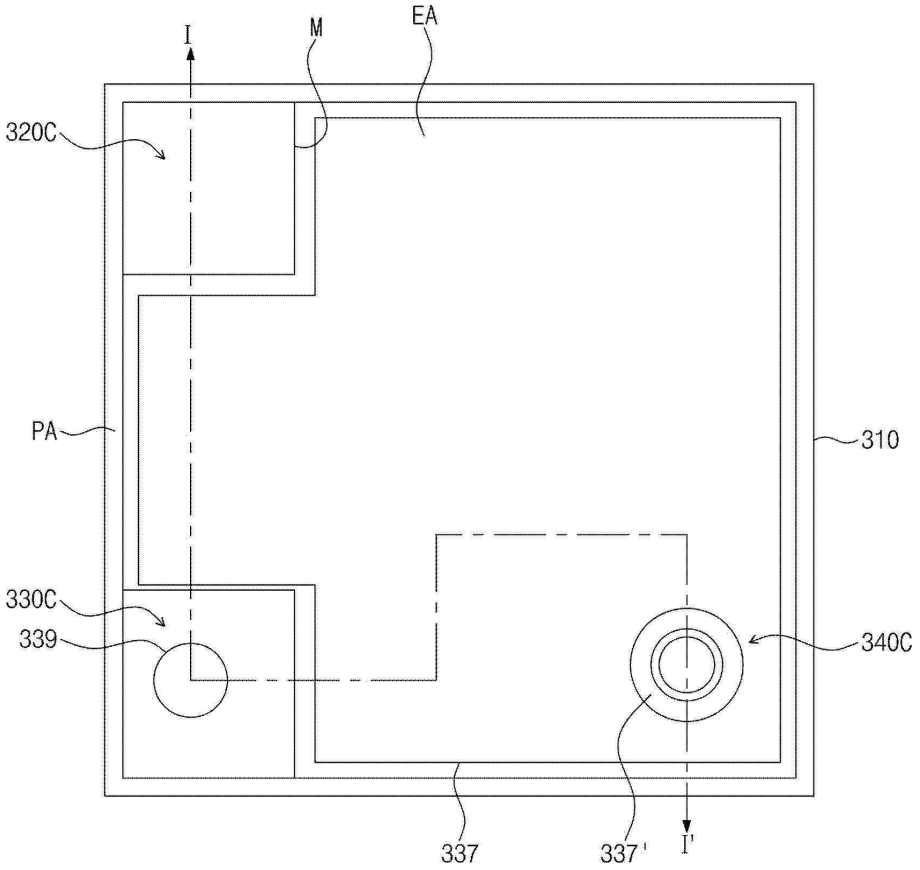
도면39a



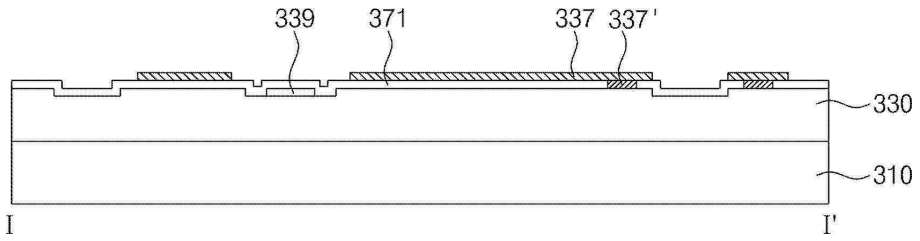
도면39b



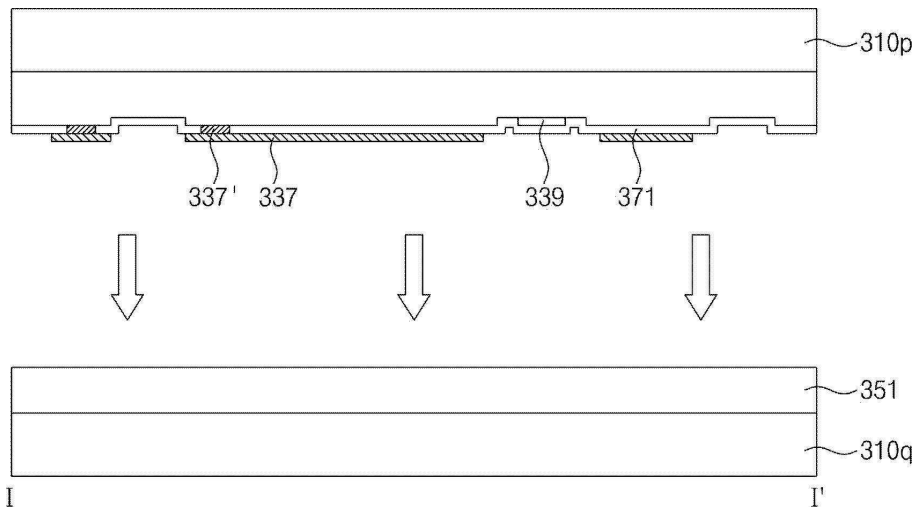
도면40a



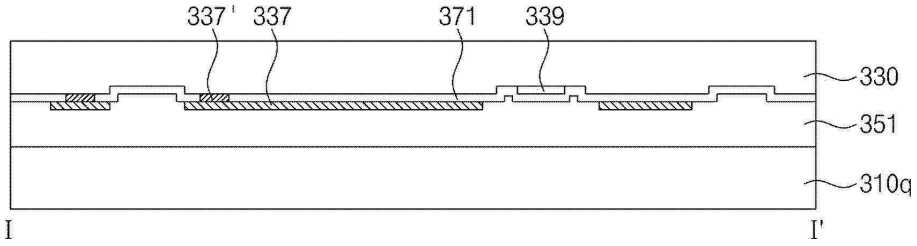
도면40b



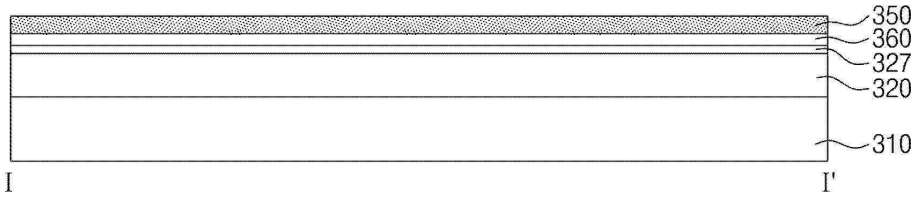
도면40c



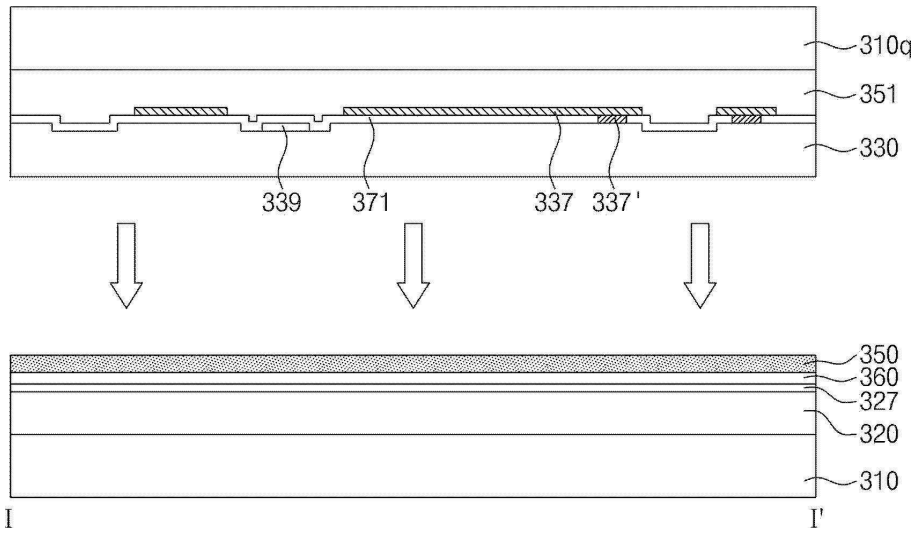
도면40d



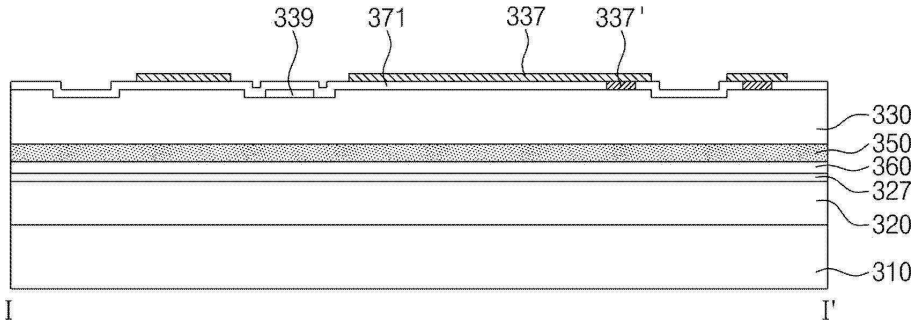
도면40e



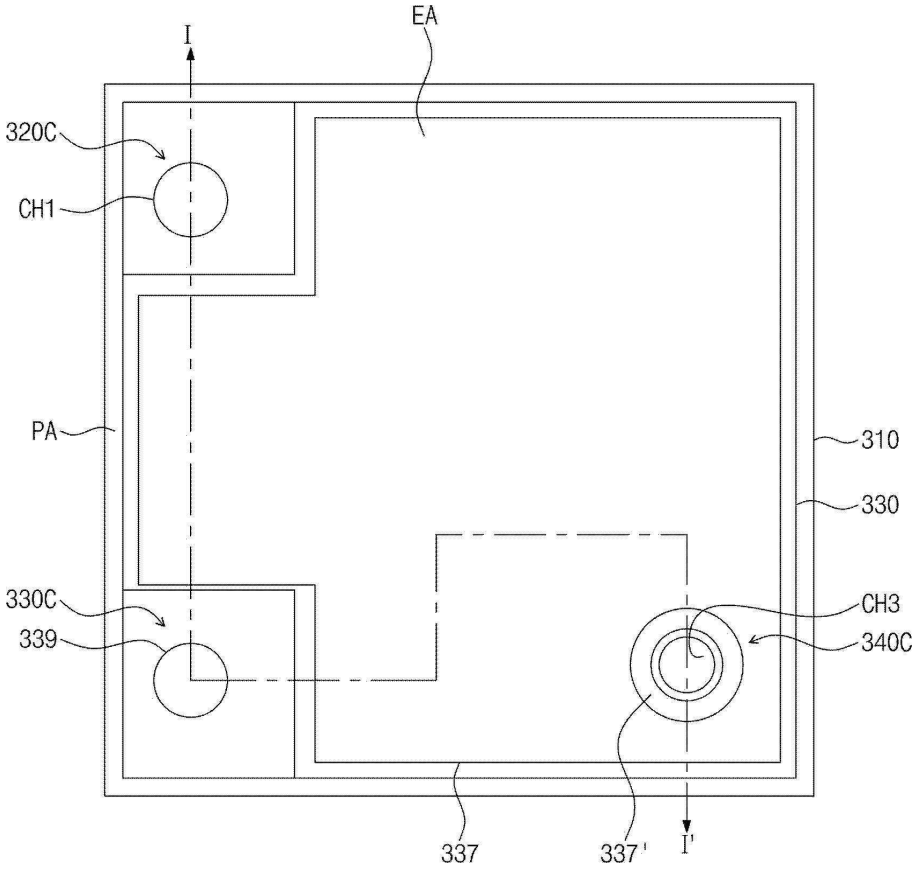
도면40f



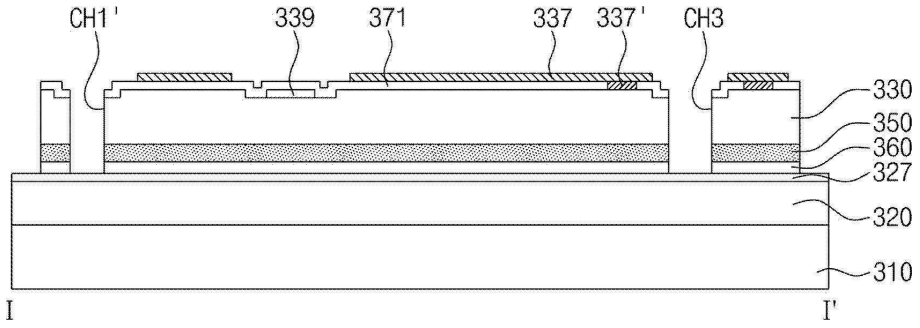
도면40g



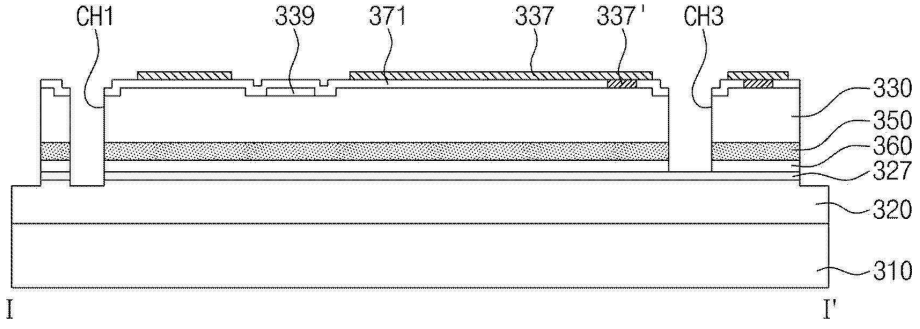
도면41a



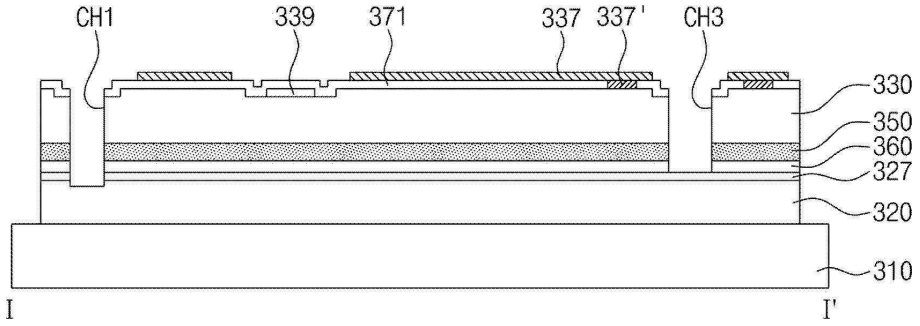
도면41b



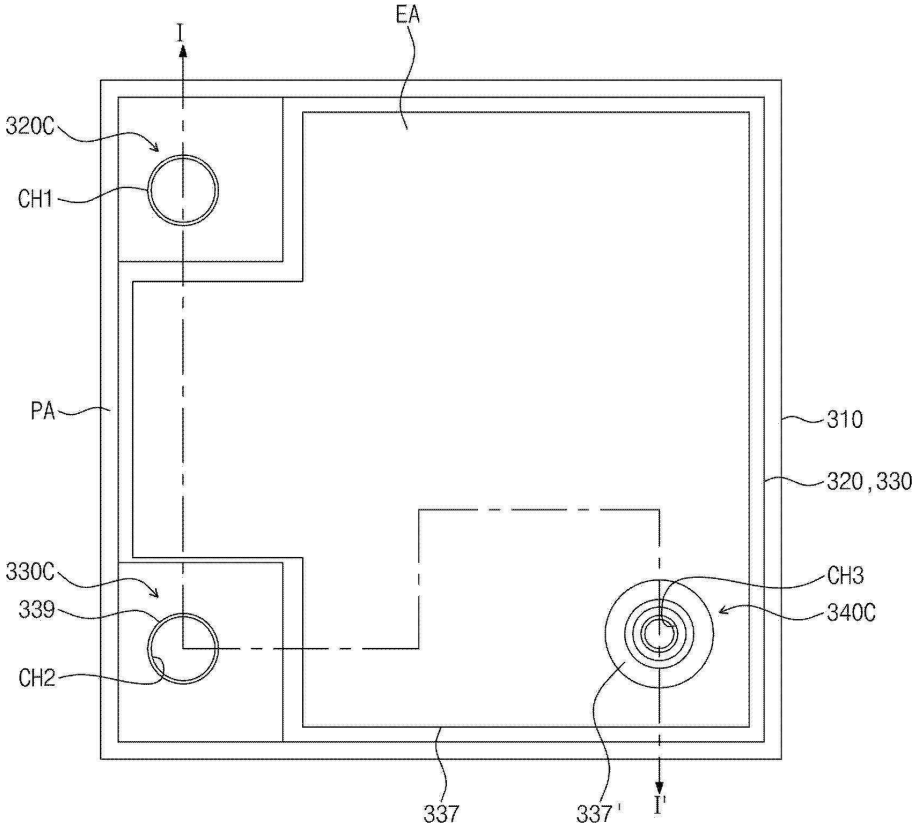
도면41c



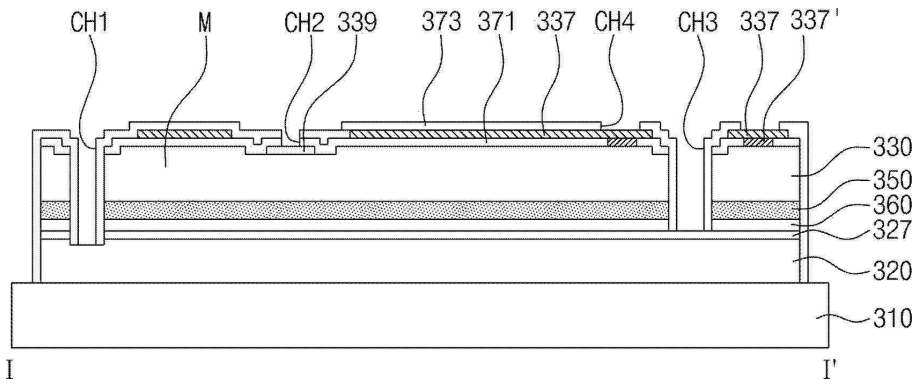
도면41d



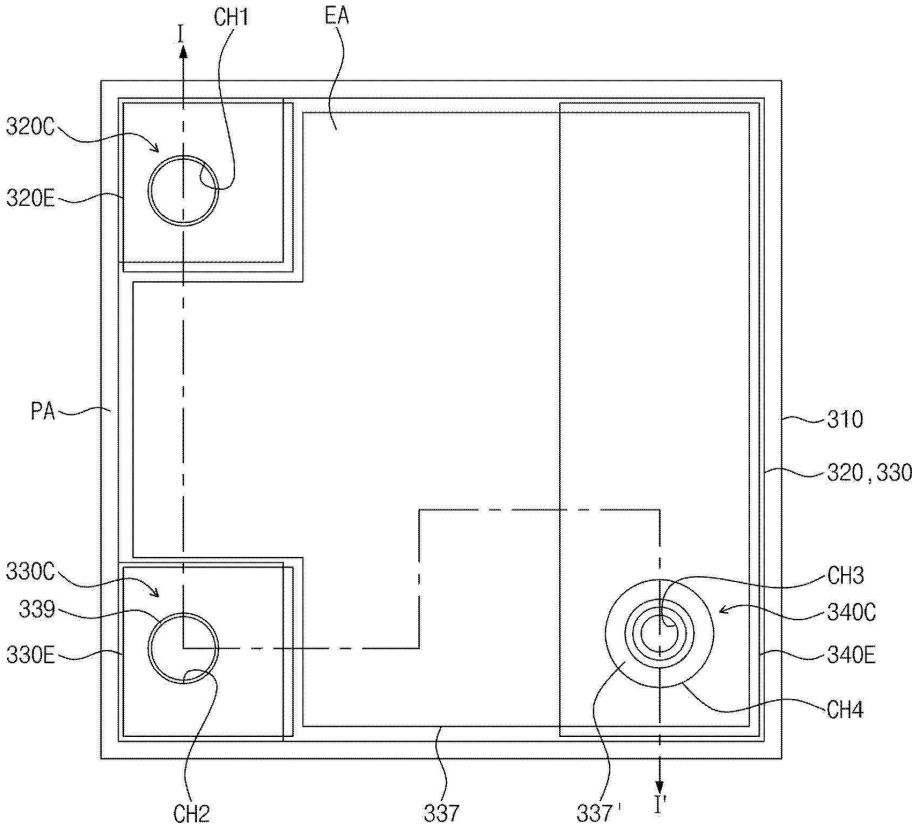
도면42a



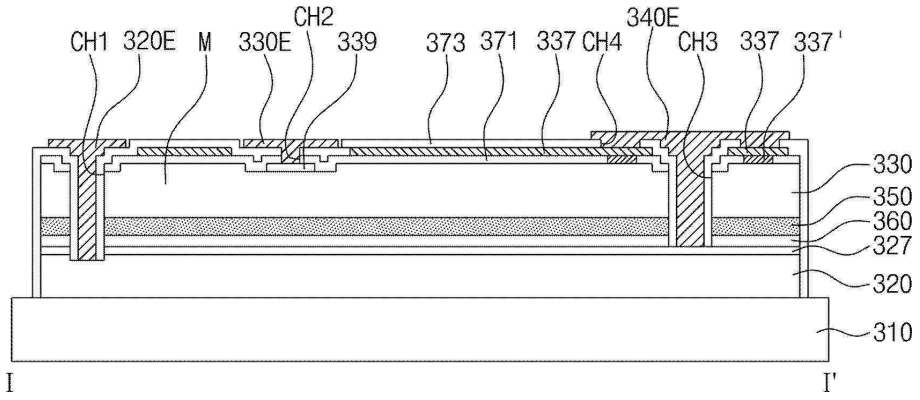
도면42b



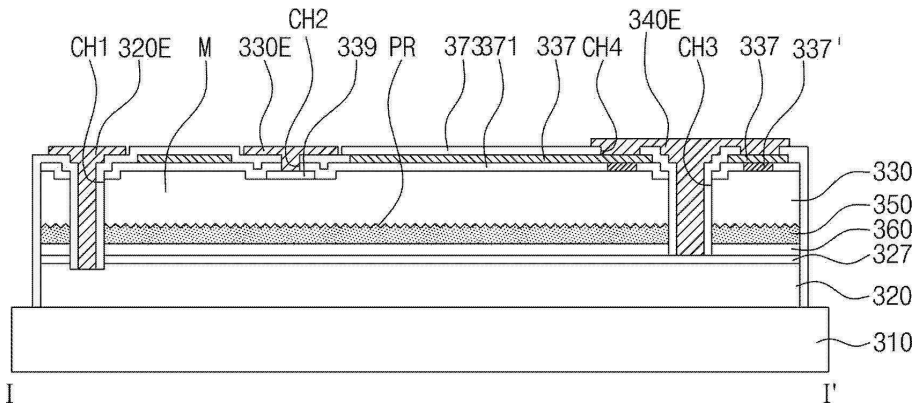
도면43a



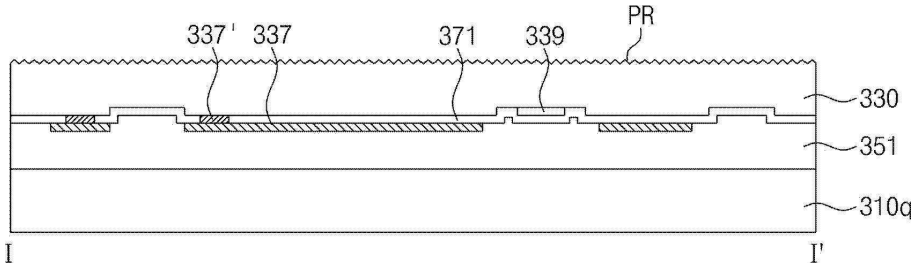
도면43b



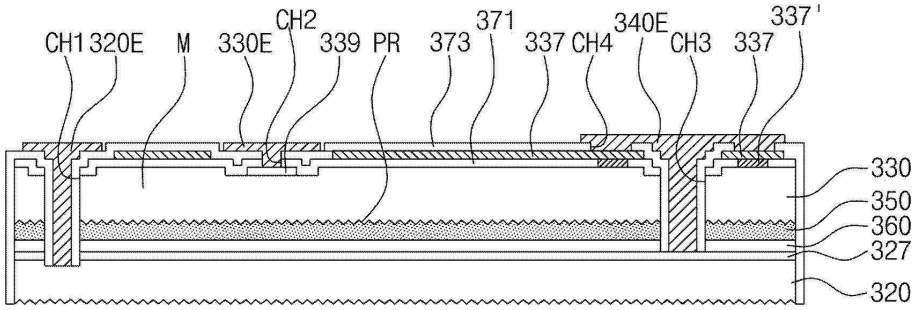
도면44



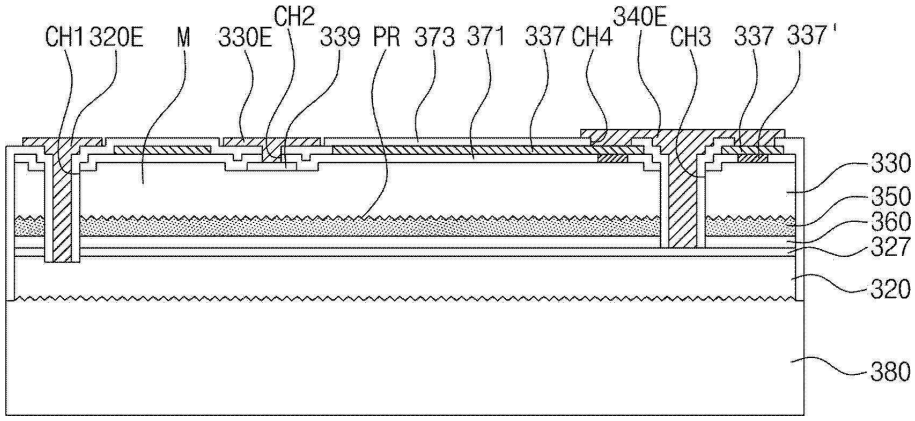
도면45



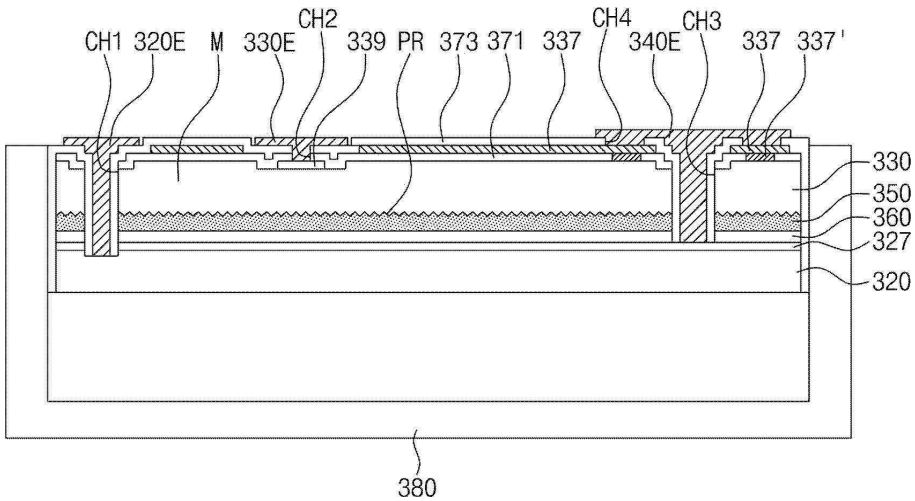
도면46



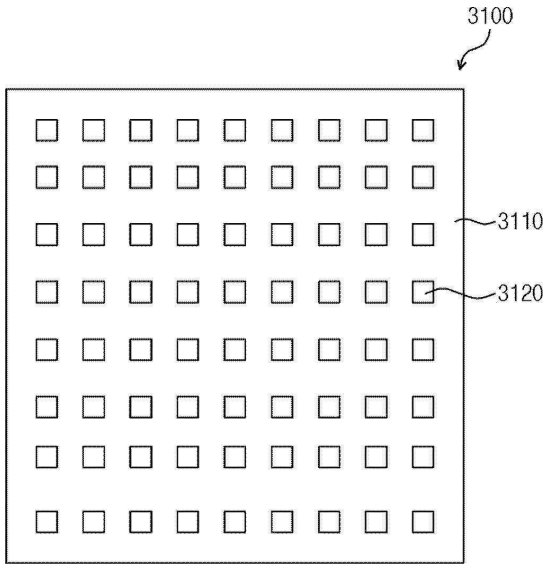
도면47



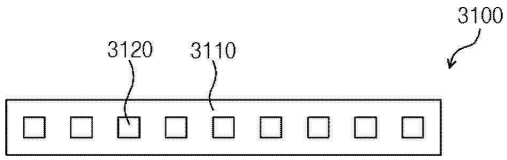
도면48



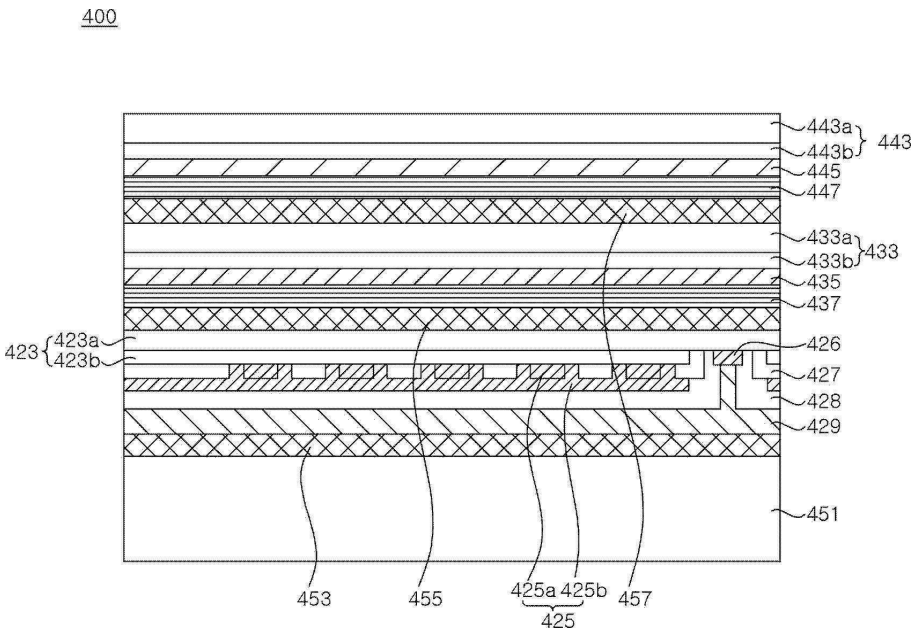
도면49



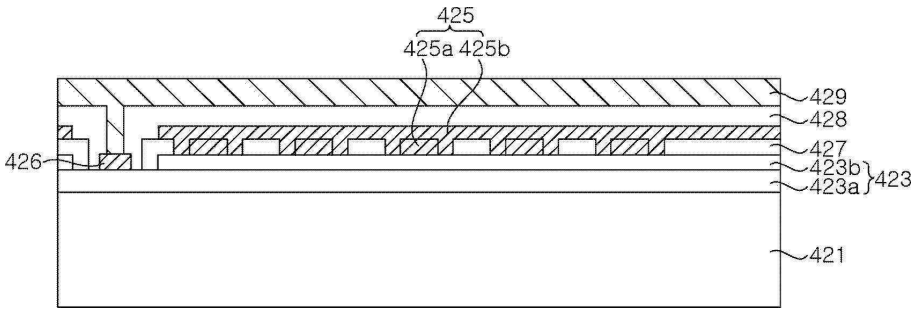
도면50



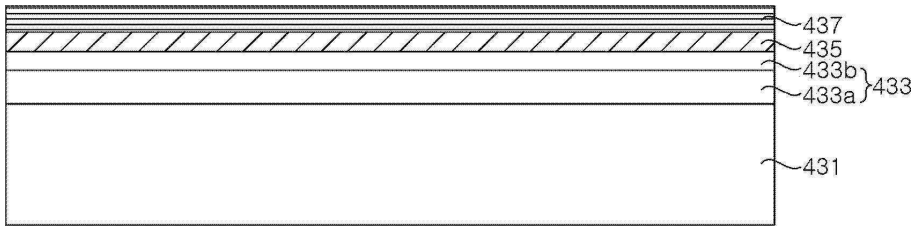
도면51



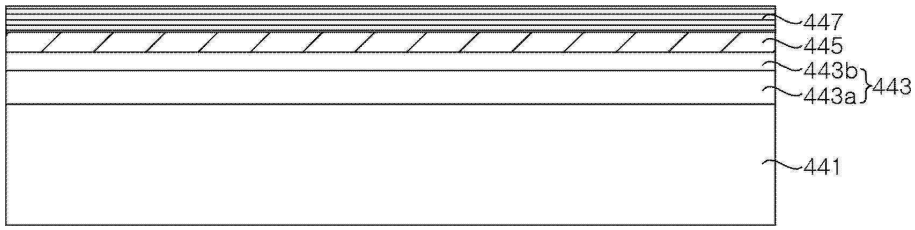
도면52a



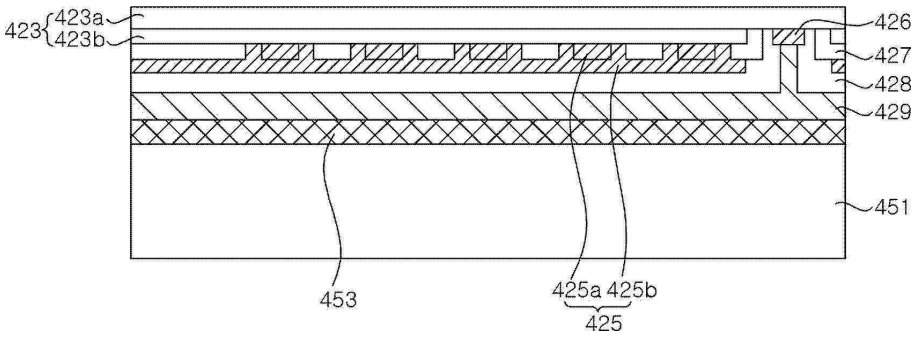
도면52b



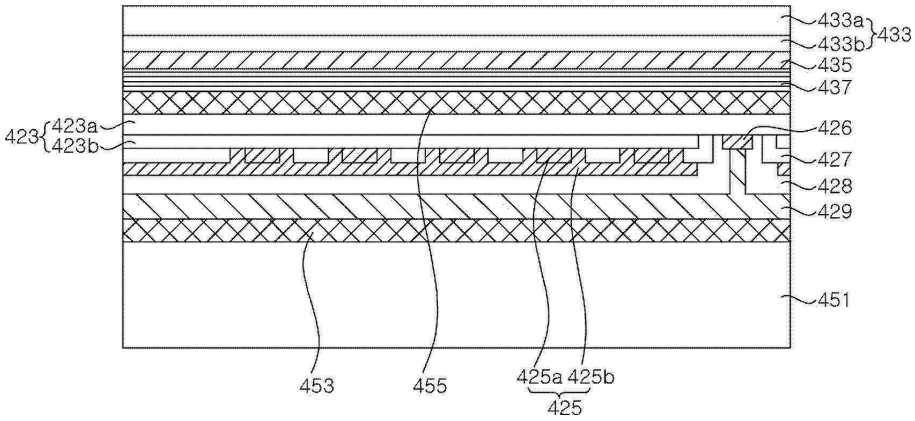
도면52c



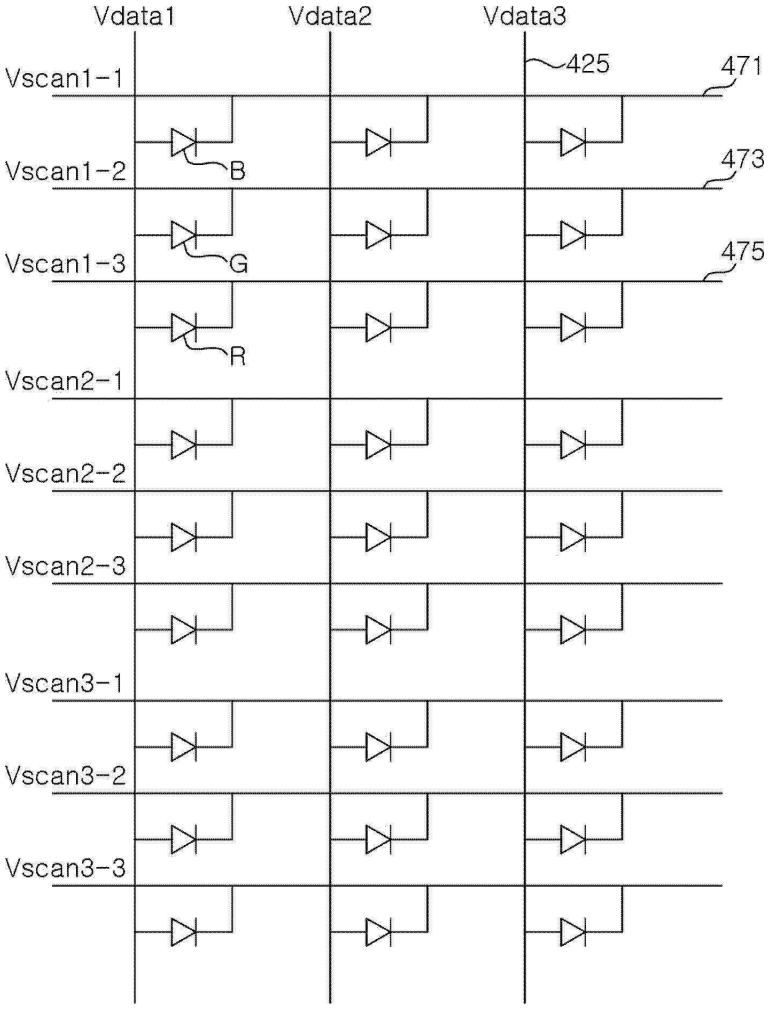
도면52d



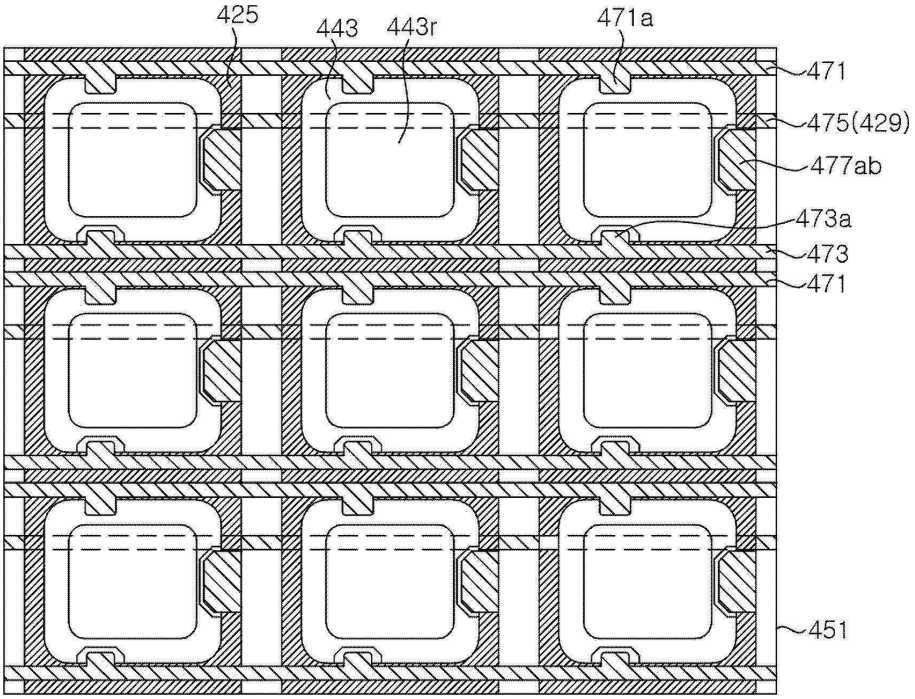
도면52e


433a
433b
433
435
437
423
423a
423b
426
427
428
429
451
453
455
425a
425b
425

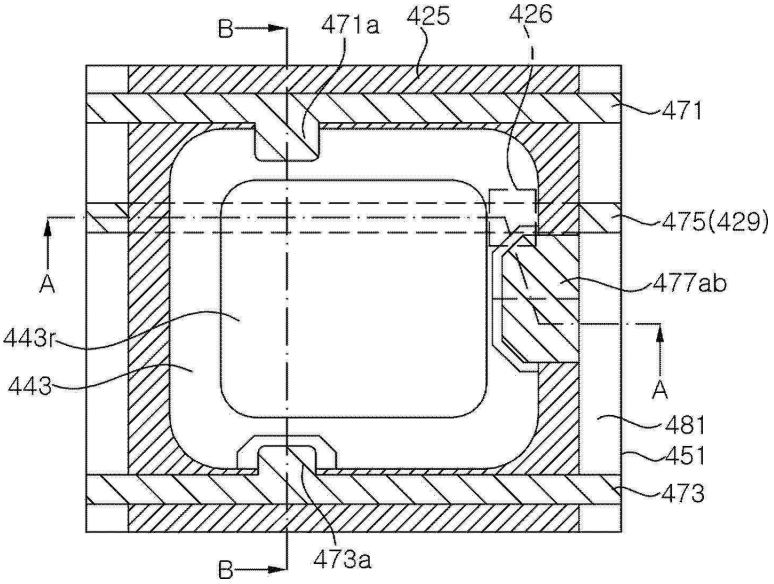
도면53


Vdata1
Vdata2
Vdata3
425
471
473
475
Vscan1-1
Vscan1-2
Vscan1-3
Vscan2-1
Vscan2-2
Vscan2-3
Vscan3-1
Vscan3-2
Vscan3-3
B
G
R

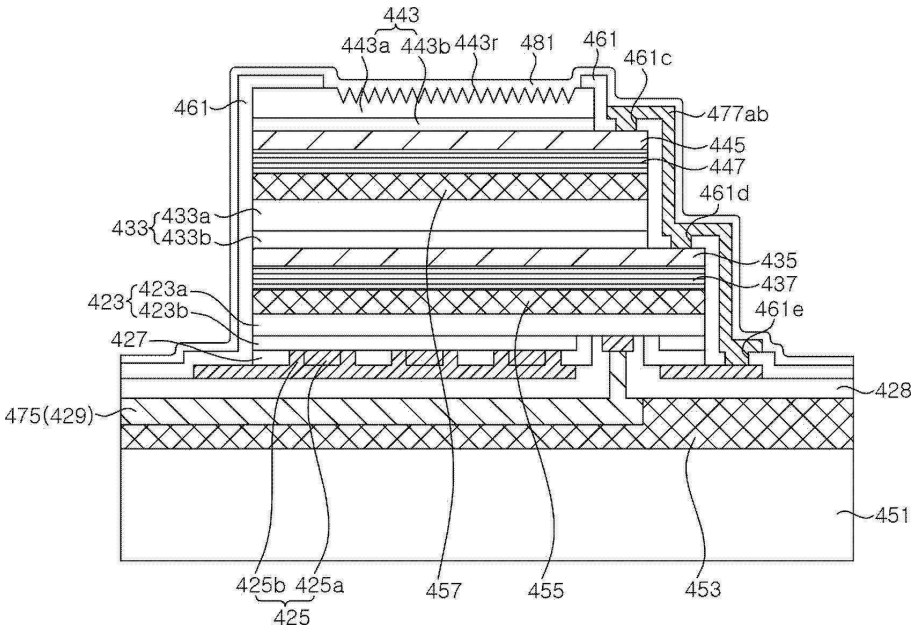
도면54


425
443
443r
471a
471
475(429)
477ab
473a
473
471
451

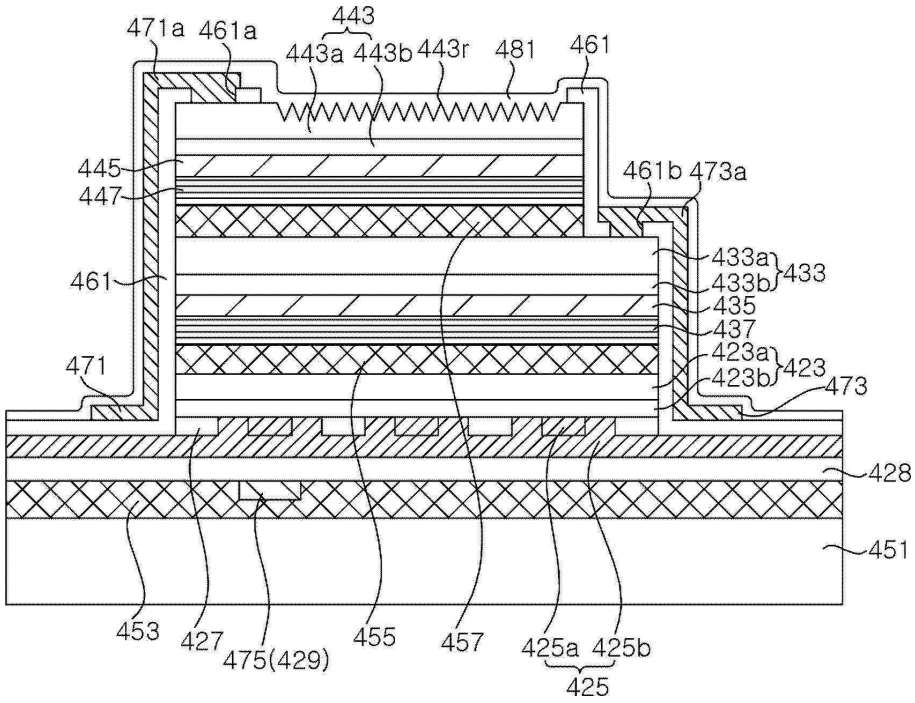
도면55


B
471a
425
426
471
475(429)
A
477ab
443r
443
A
481
451
473
B
473a

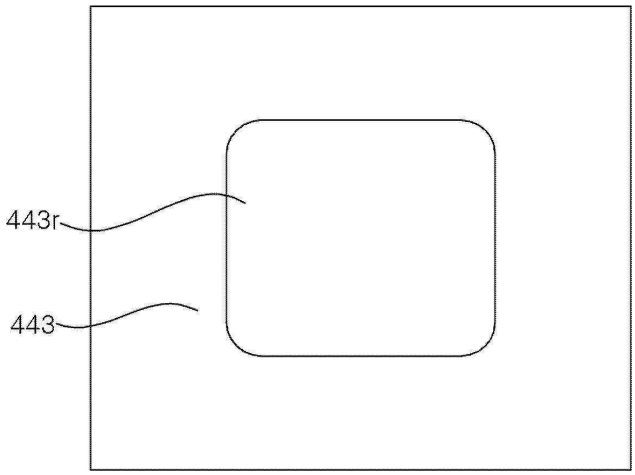
도면56


443
443a
443b
443r
481
461
461c
461
477ab
445
447
461d
433
433a
433b
435
437
423
423a
423b
461e
427
428
475(429)
451
425b
425a
425
457
455
453

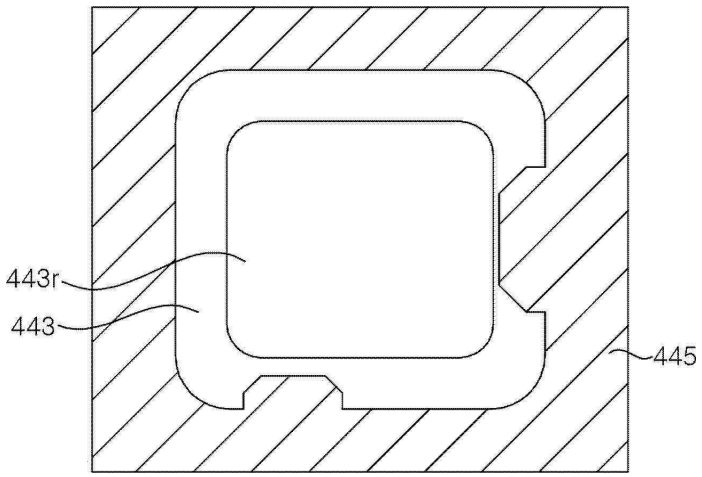
도면57


471a
461a
443
443a
443b
443r
481
461
445
447
461b
473a
433a
433b
433
435
437
423a
423b
423
473
461
471
428
451
453
427
475(429)
455
457
425a
425b
425

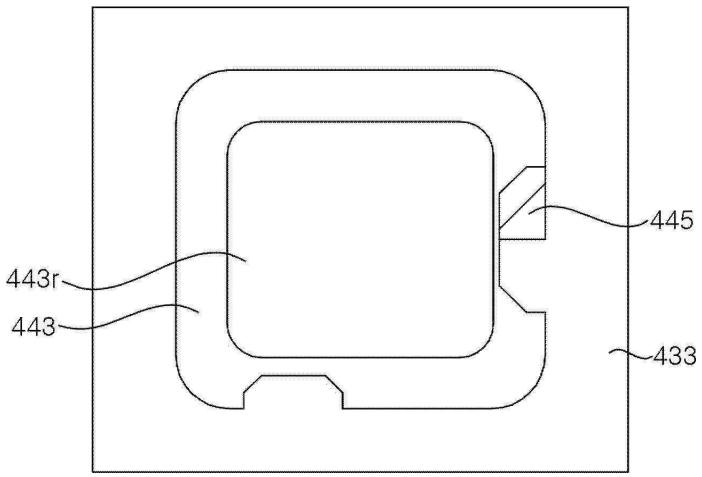
도면58a



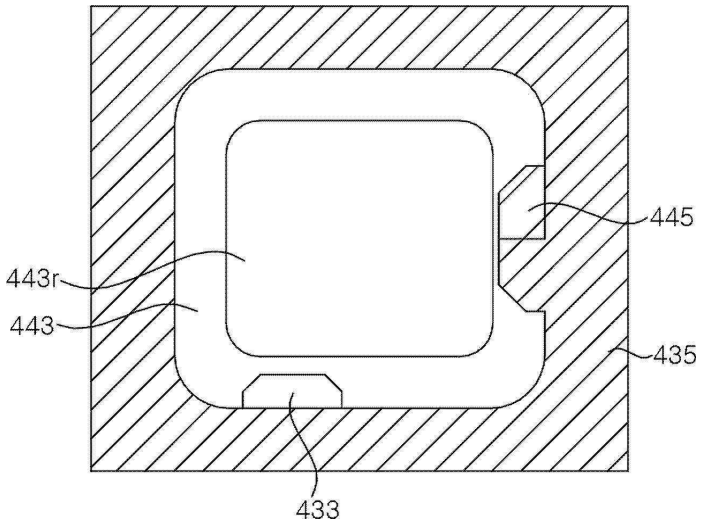
도면58b



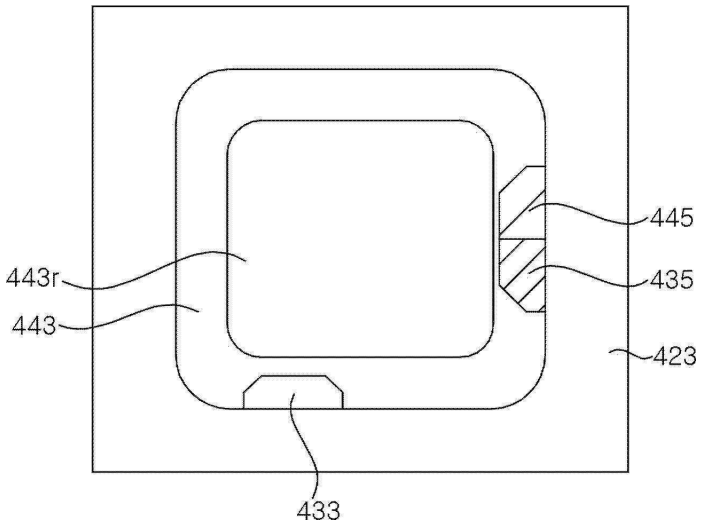
도면58c



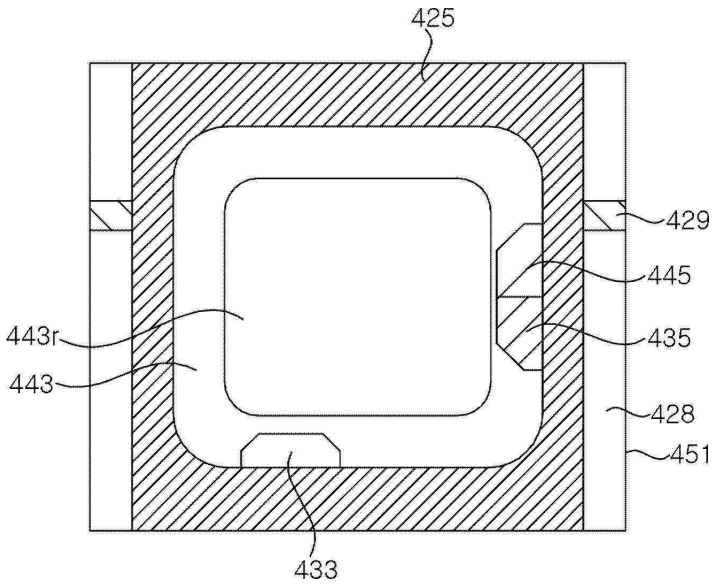
도면58d



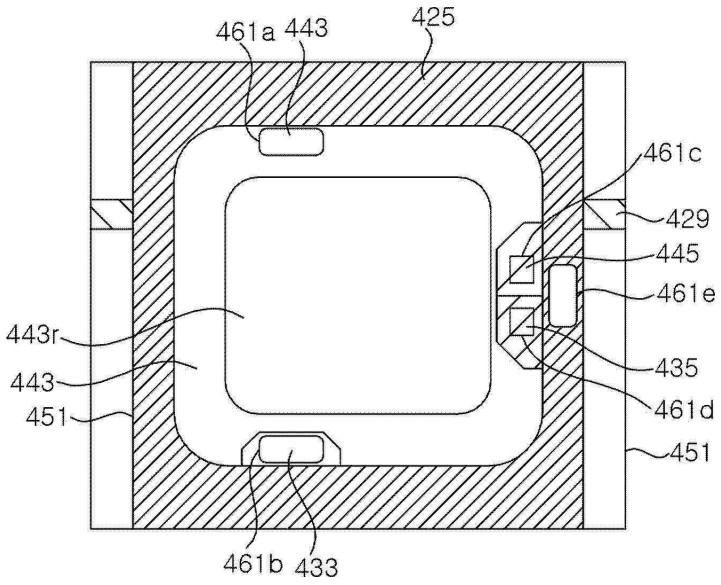
도면58e



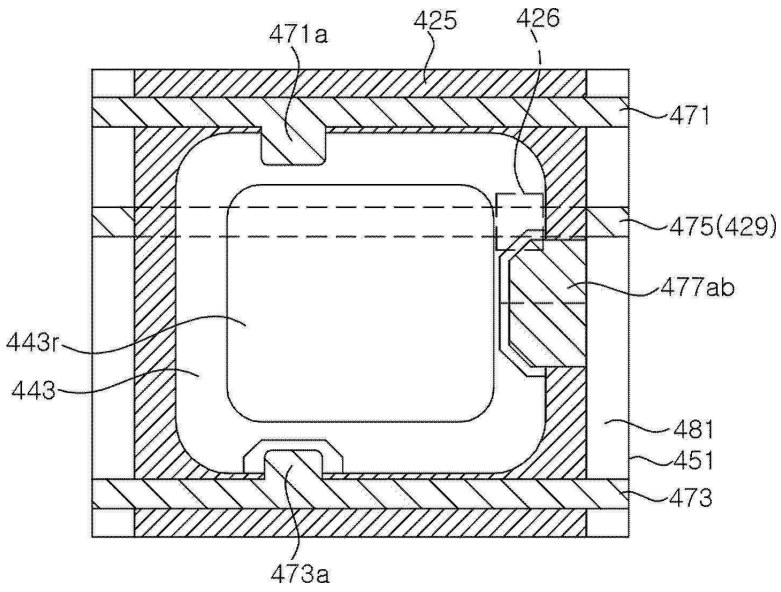
도면58f



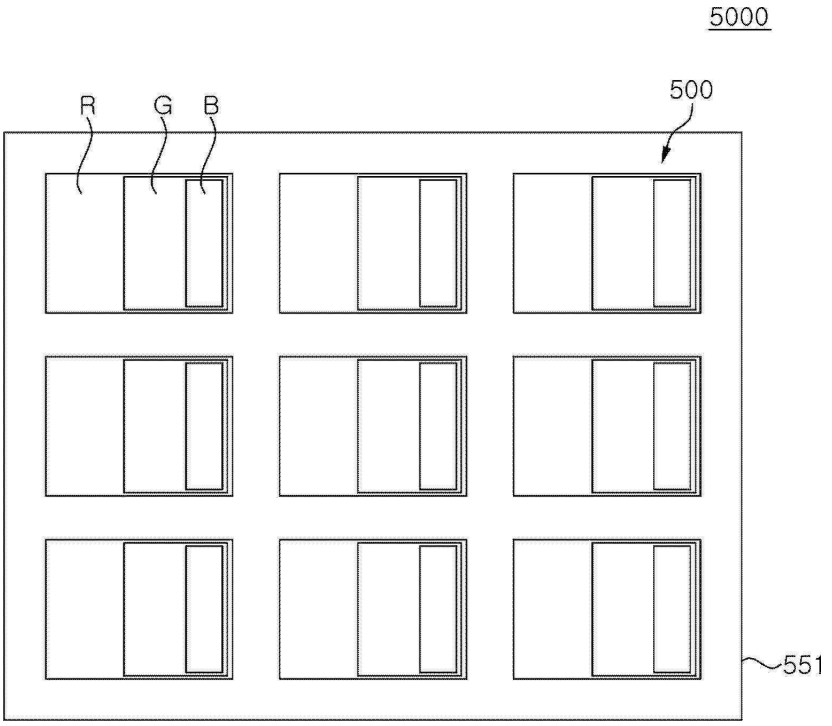
도면58g


461a
443
425
461c
429
445
461e
443r
435
443
461d
451
451
461b
433

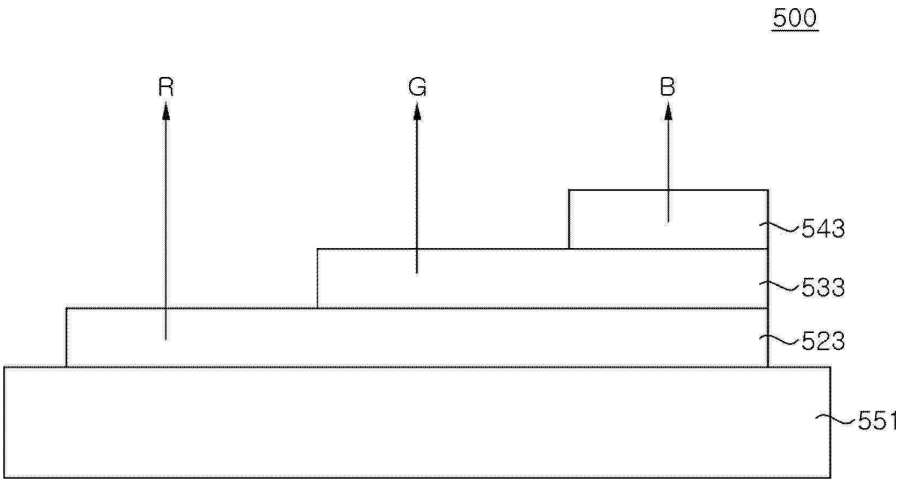
도면58h


471a
425
426
471
475(429)
477ab
443r
443
481
451
473
473a

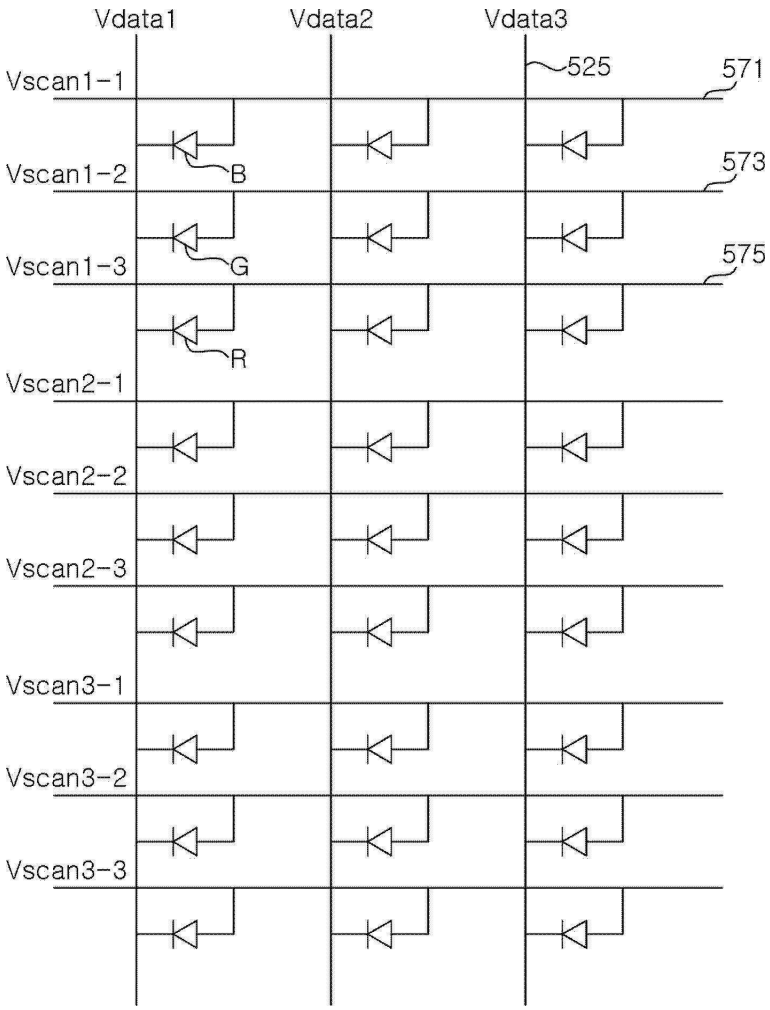
도면59



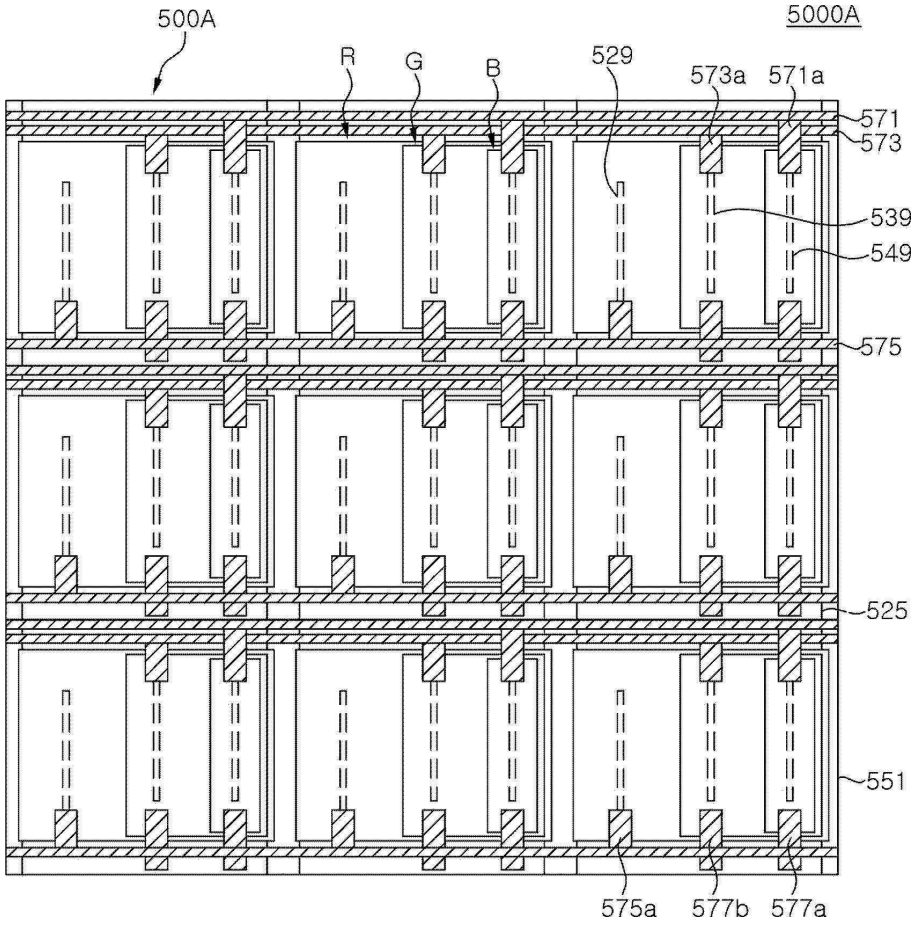
도면60



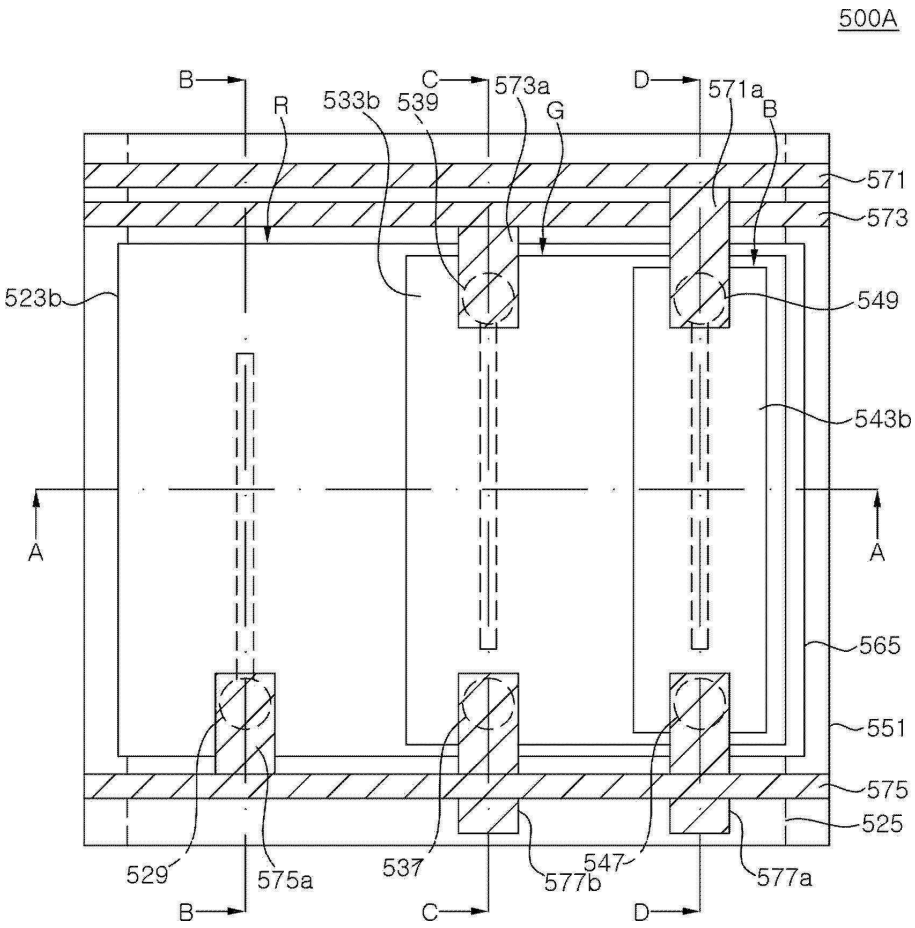
도면61


Vdata1
Vdata2
Vdata3
525
571
573
575
Vscan1-1
Vscan1-2
Vscan1-3
Vscan2-1
Vscan2-2
Vscan2-3
Vscan3-1
Vscan3-2
Vscan3-3
B
G
R

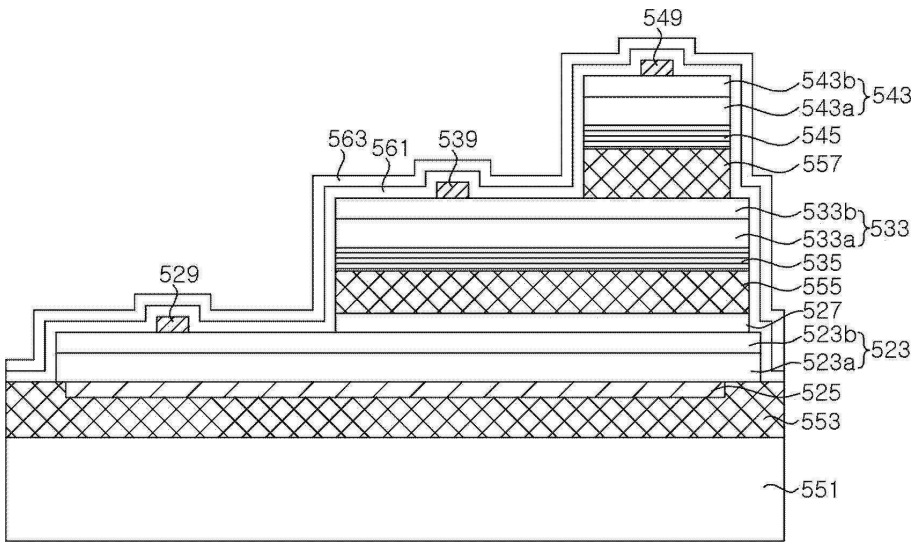
도면62


500A
5000A
R
G
B
529
573a
571a
571
573
539
549
575
525
551
575a
577b
577a

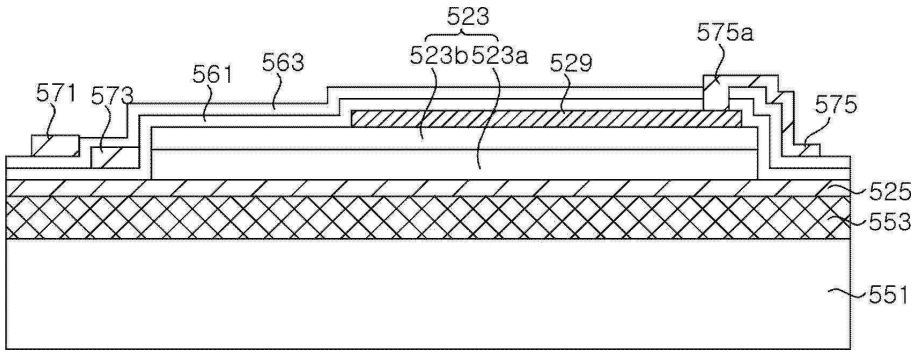
도면63


500A
B
R
533b
539
C
573a
G
D
571a
B
571
573
523b
549
543b
A
A
565
551
575
525
529
575a
537
577b
547
577a
B
C
D

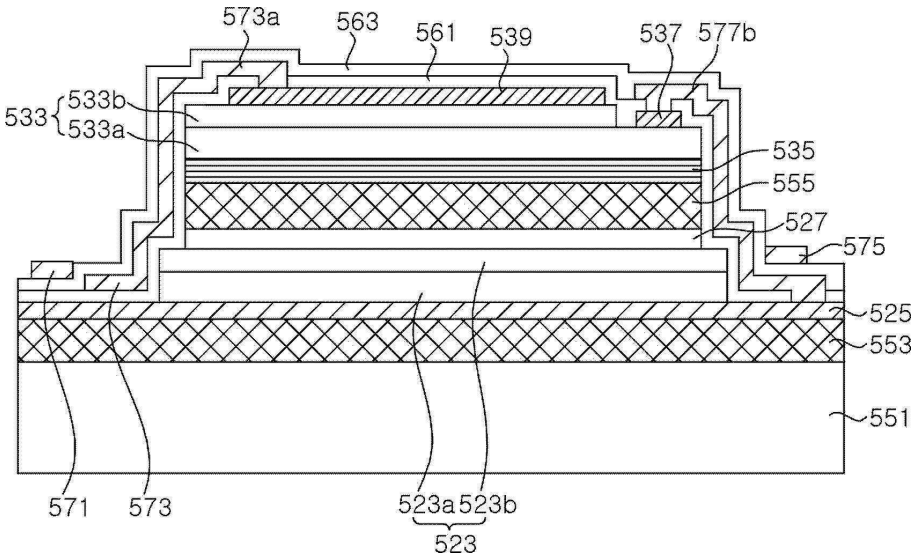
도면64a


549
543b
543a
543
563
561
539
545
557
533b
533a
533
529
535
555
527
523b
523a
523
525
553
551

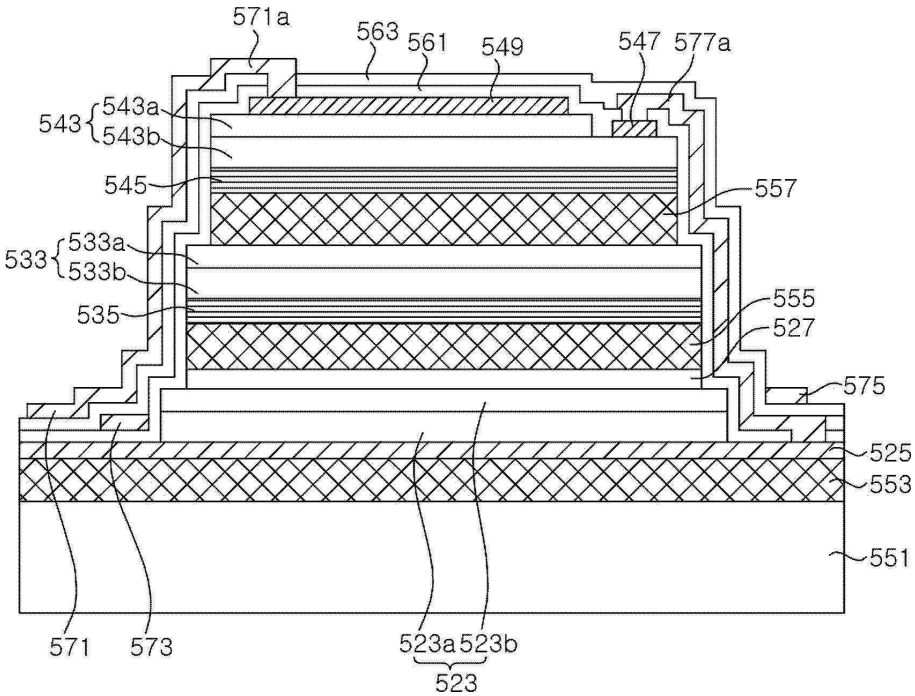
도면64b



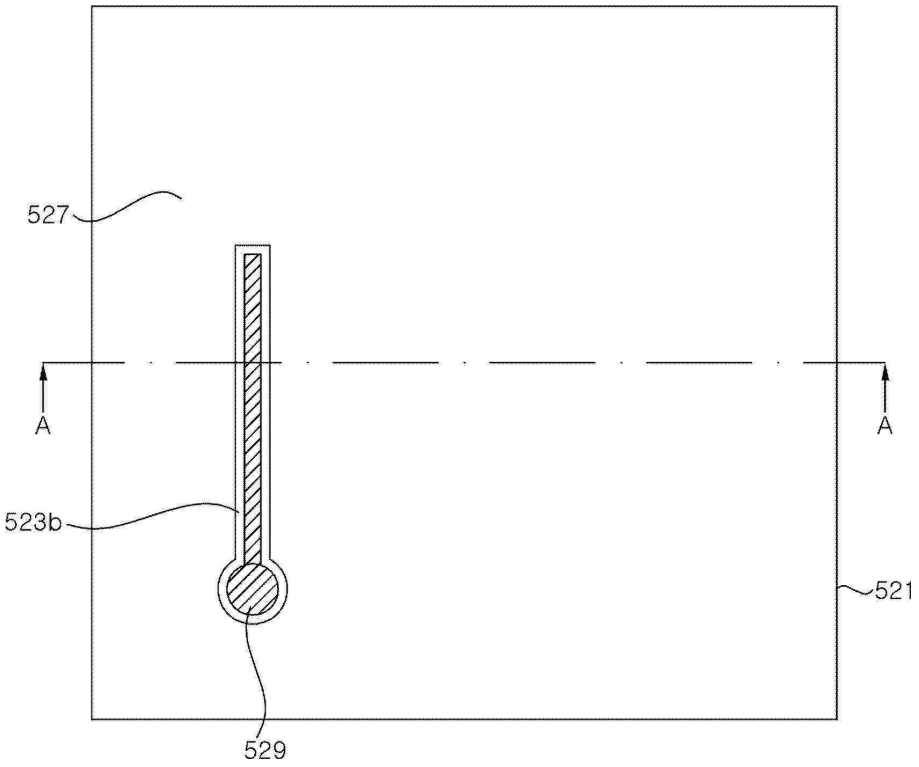
도면64c



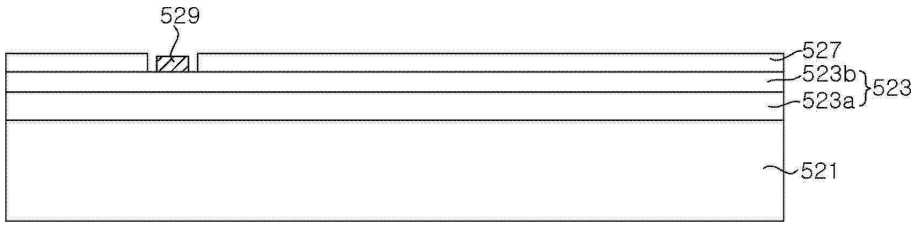
도면64d



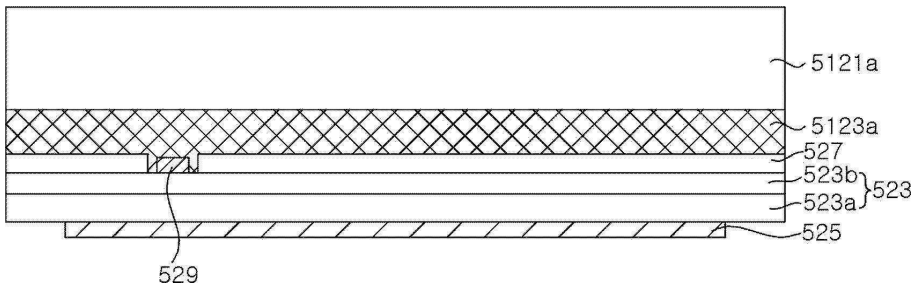
도면65a



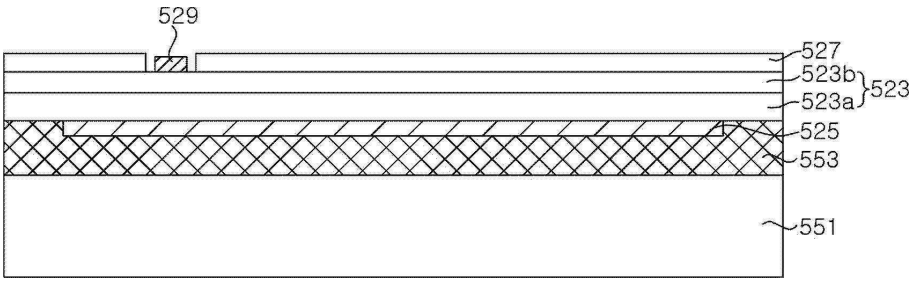
도면65b



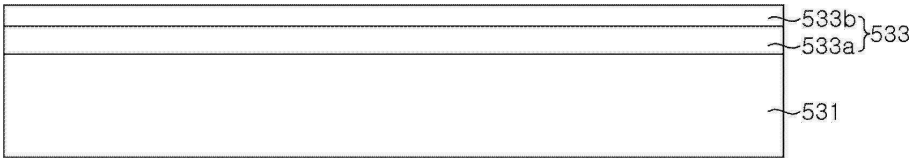
도면66a



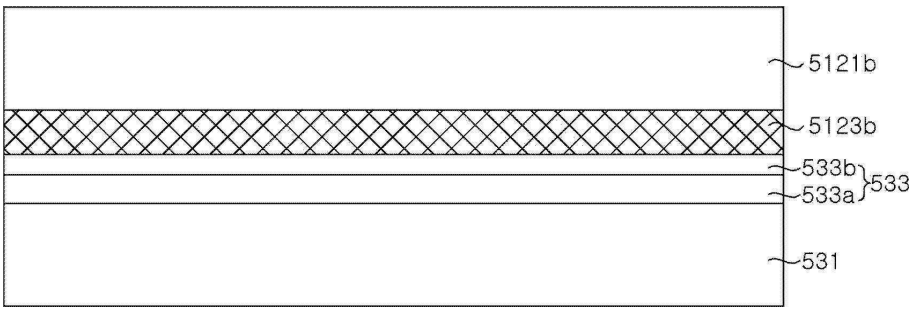
도면66b



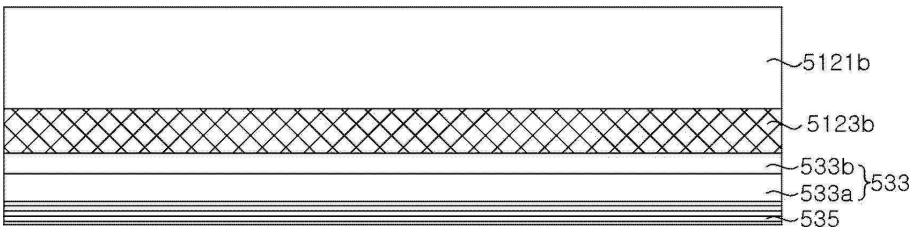
도면67a



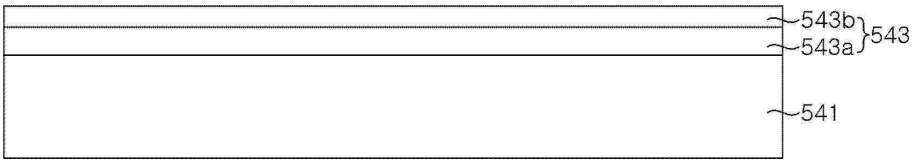
도면67b



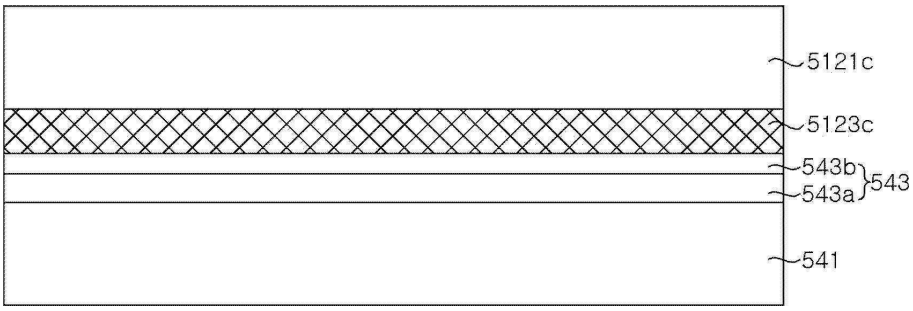
도면67c



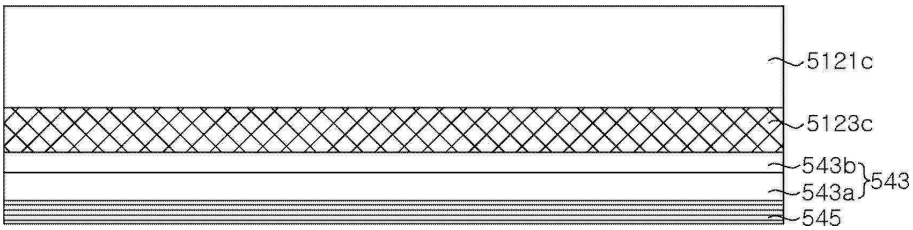
도면68a



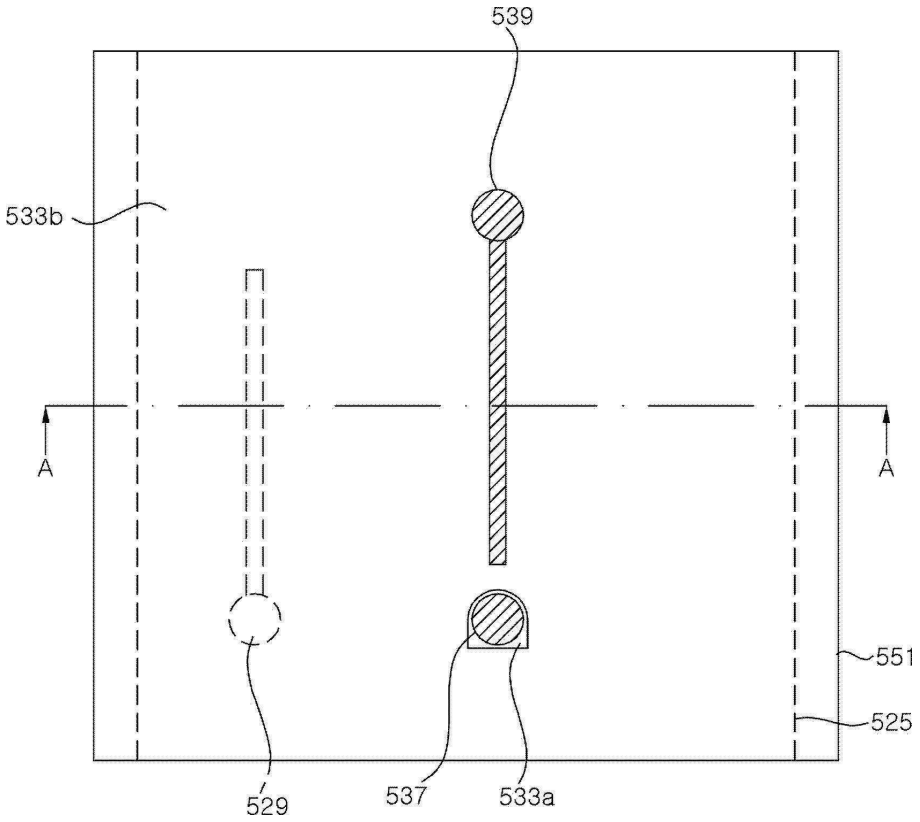
도면68b



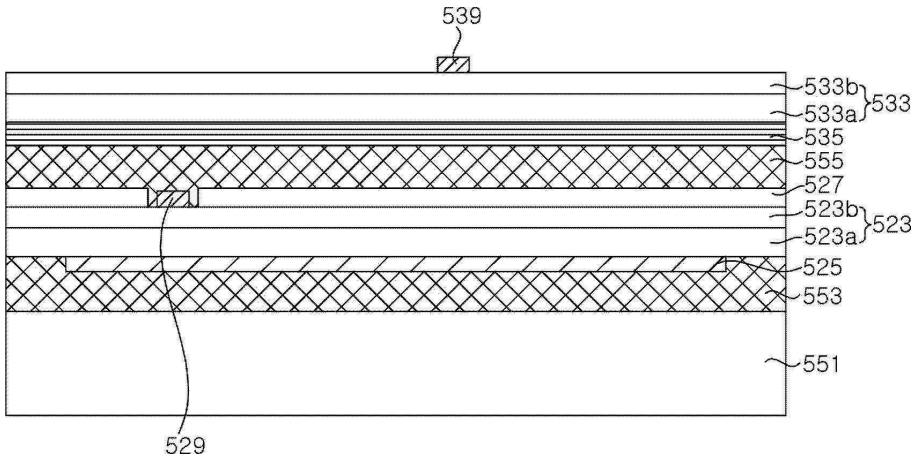
도면68c



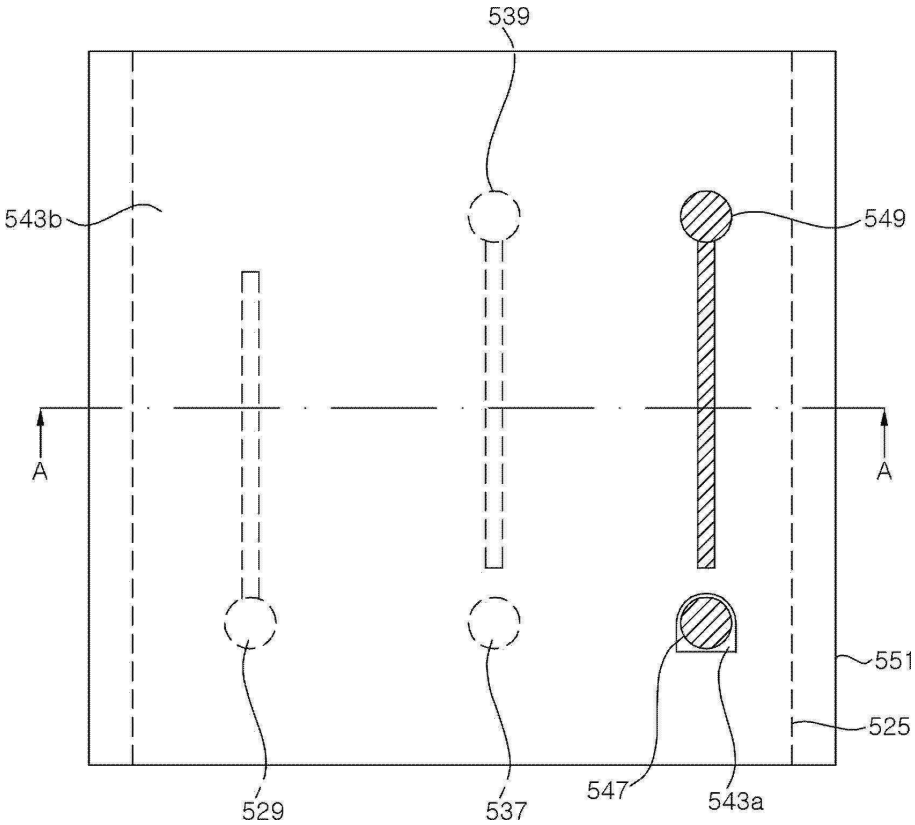
도면69a



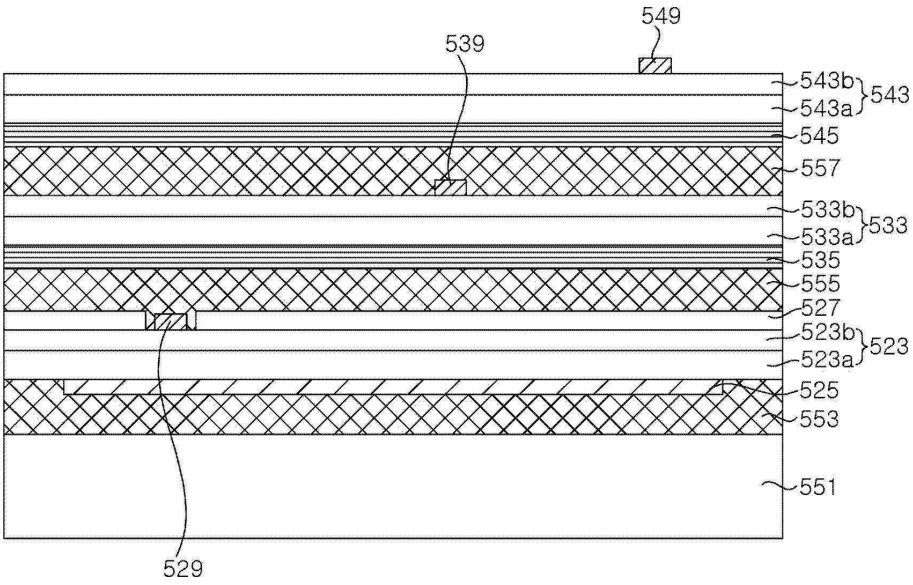
도면69b


539
533b
533a
533
535
555
527
523b
523a
523
525
553
551
529

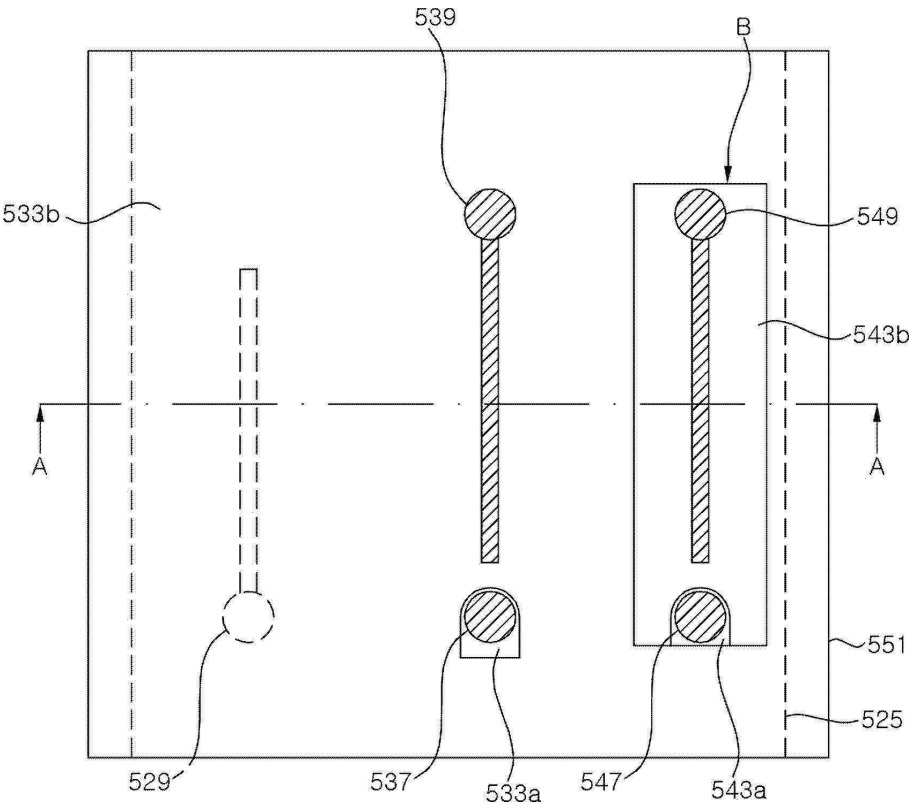
도면70a


539
543b
549
A
A
551
525
529
537
547
543a

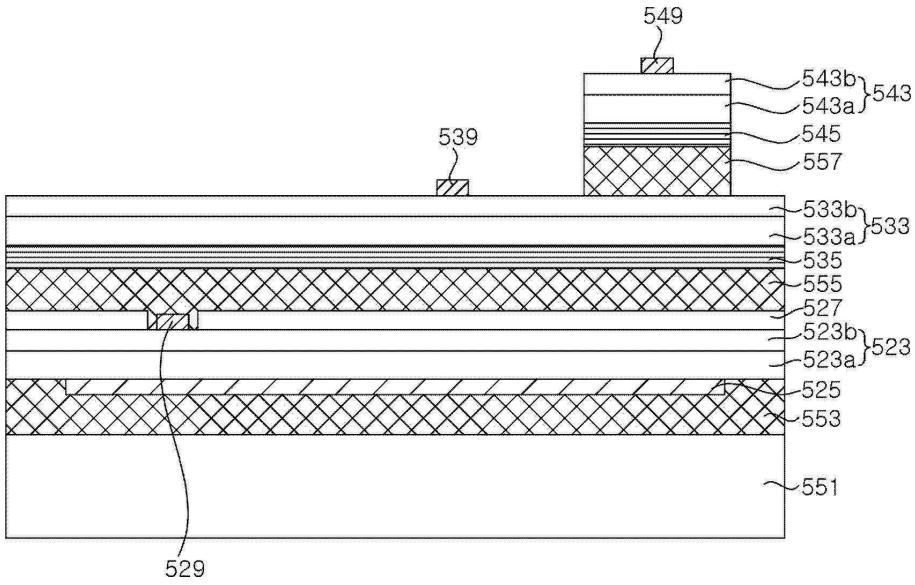
도면70b


549
539
543b
543a
543
545
557
533b
533a
533
535
555
527
523b
523a
523
525
553
551
529

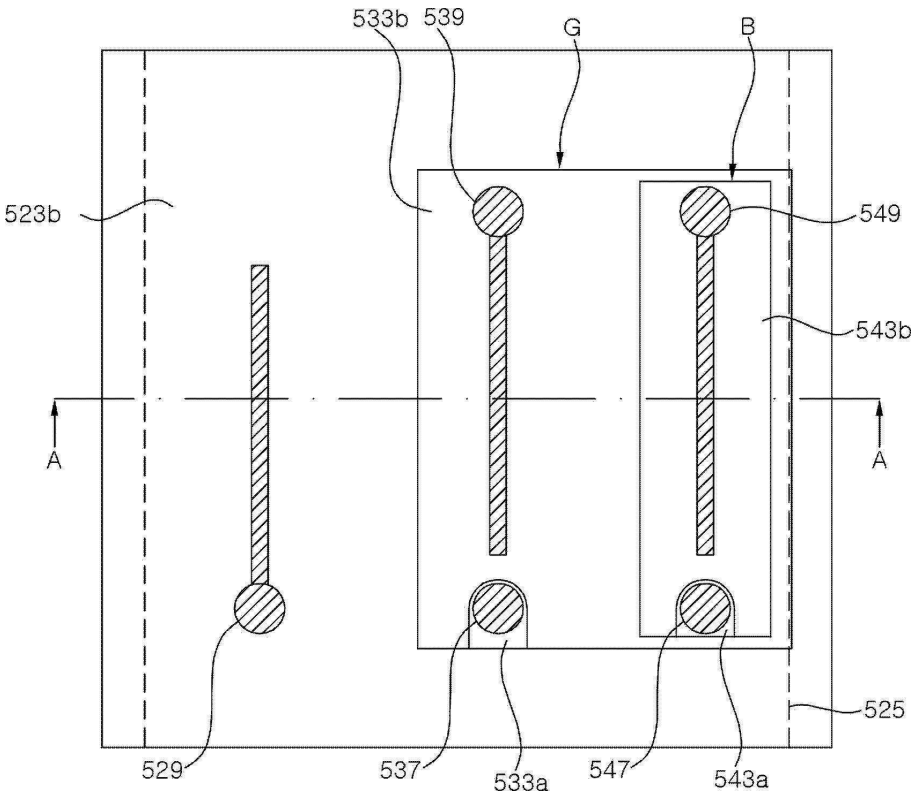
도면71a


539
B
533b
549
543b
A
A
551
525
529
537
533a
547
543a

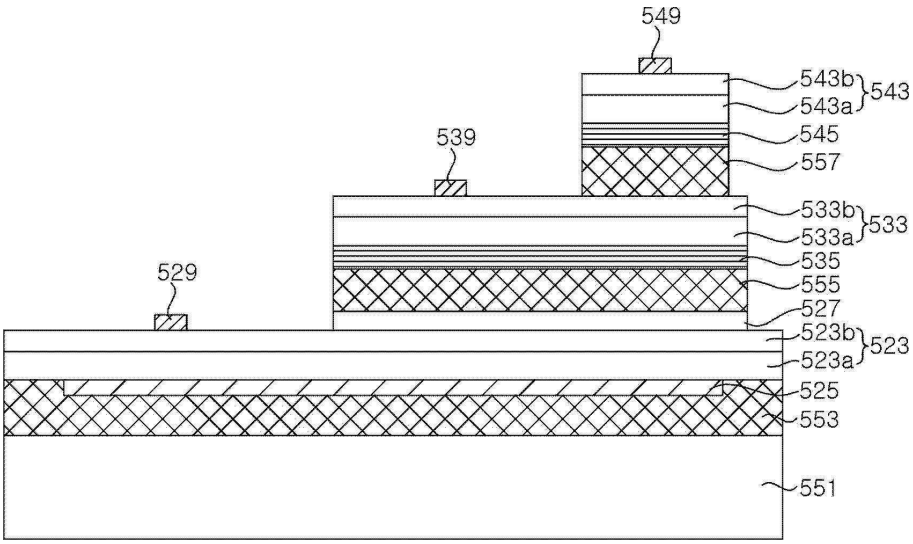
도면71b


549
543b
543a
543
539
545
557
533b
533a
533
535
555
527
523b
523a
523
525
553
551
529

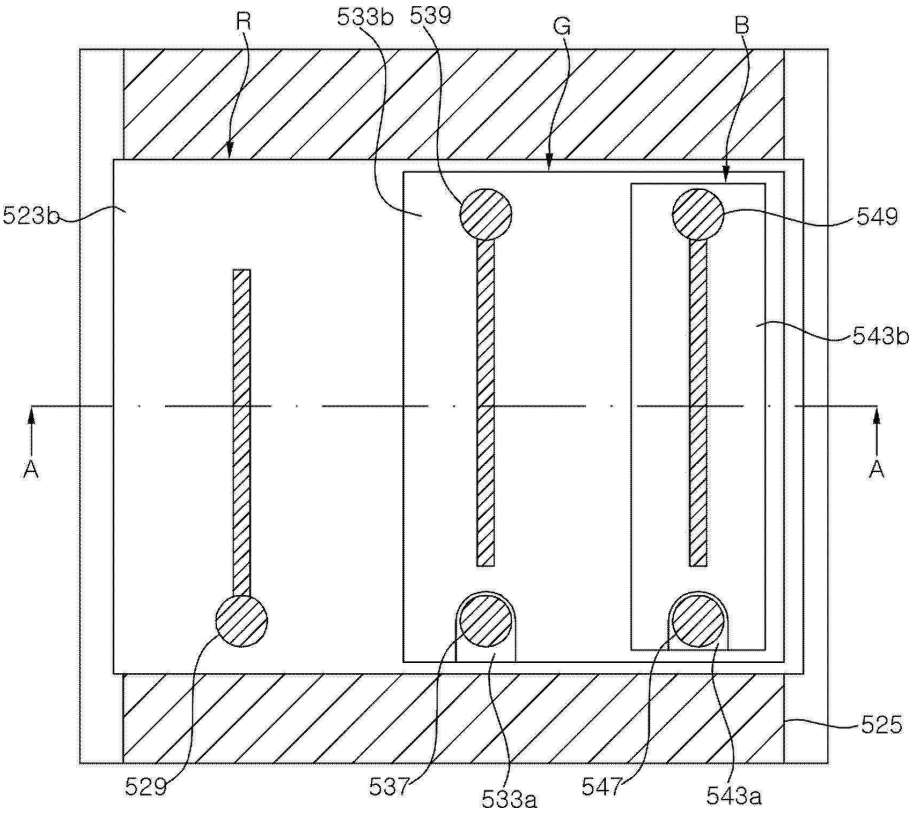
도면72a


533b
539
G
B
523b
549
543b
A
A
529
537
533a
547
543a
525

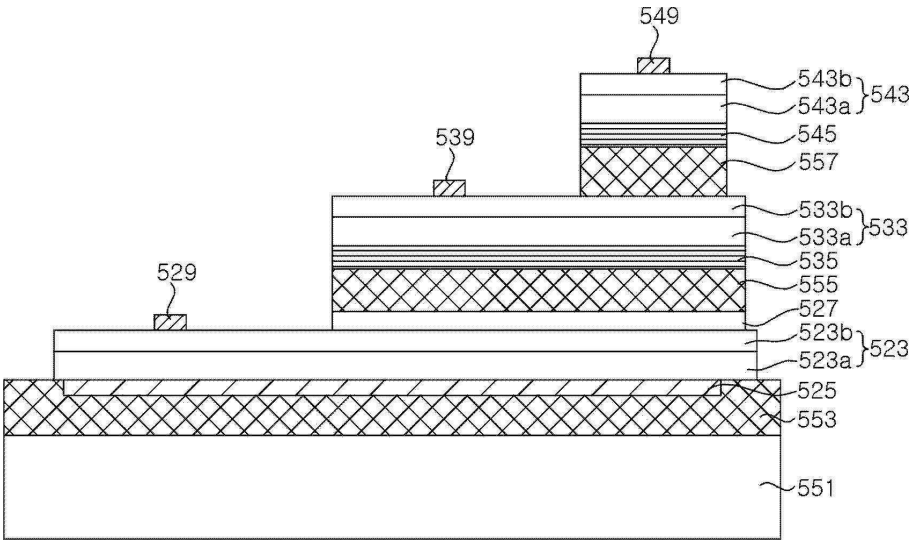
도면72b


549
543b
543a
543
539
545
557
533b
533a
533
529
535
555
527
523b
523a
523
525
553
551

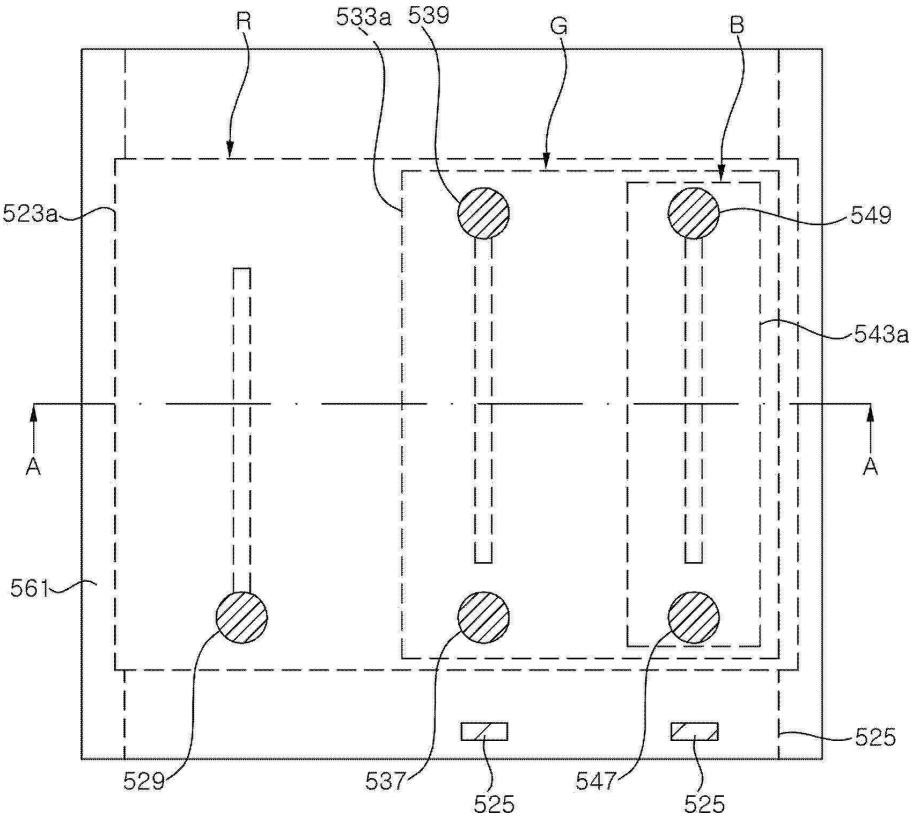
도면73a


R
533b
539
G
B
523b
549
543b
A
A
525
529
537
533a
547
543a

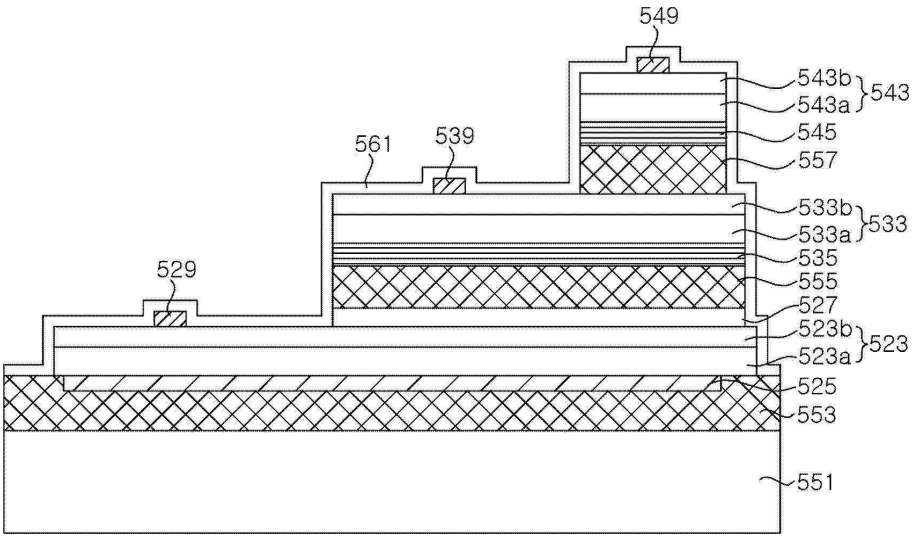
도면73b


549
543b
543a
543
539
545
557
533b
533a
533
529
535
555
527
523b
523a
523
525
553
551

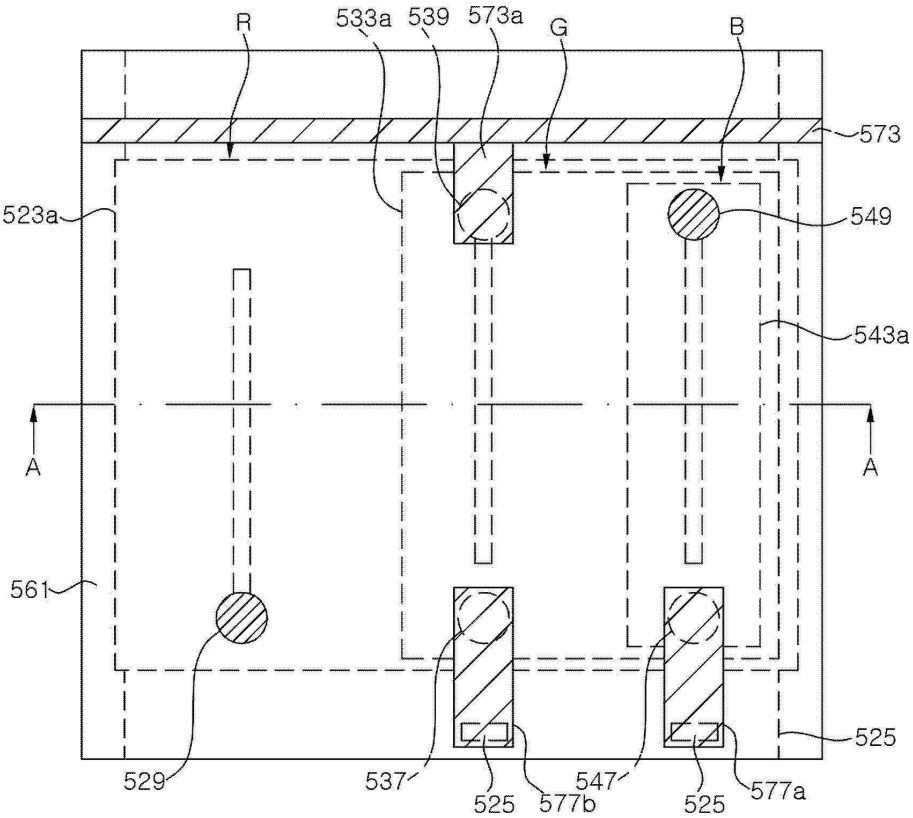
도면74a


R
533a
539
G
B
523a
549
543a
A
A
561
529
537
525
547
525
525

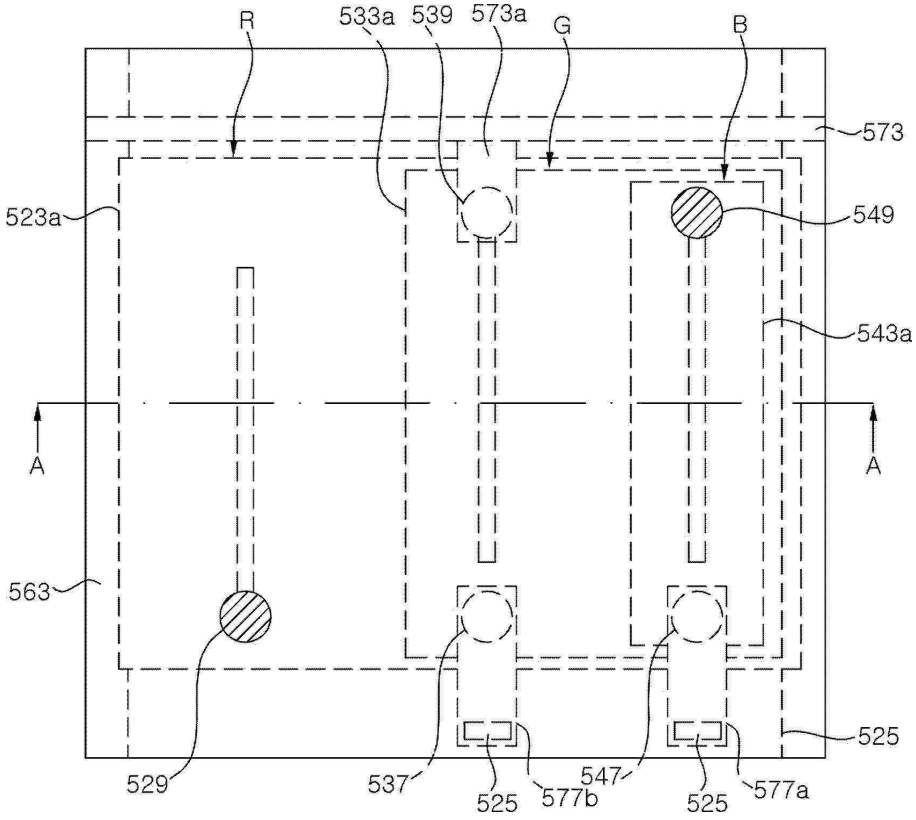
도면74b


549
543b
543a
543
545
557
561
539
533b
533a
533
535
555
529
527
523b
523a
523
525
553
551

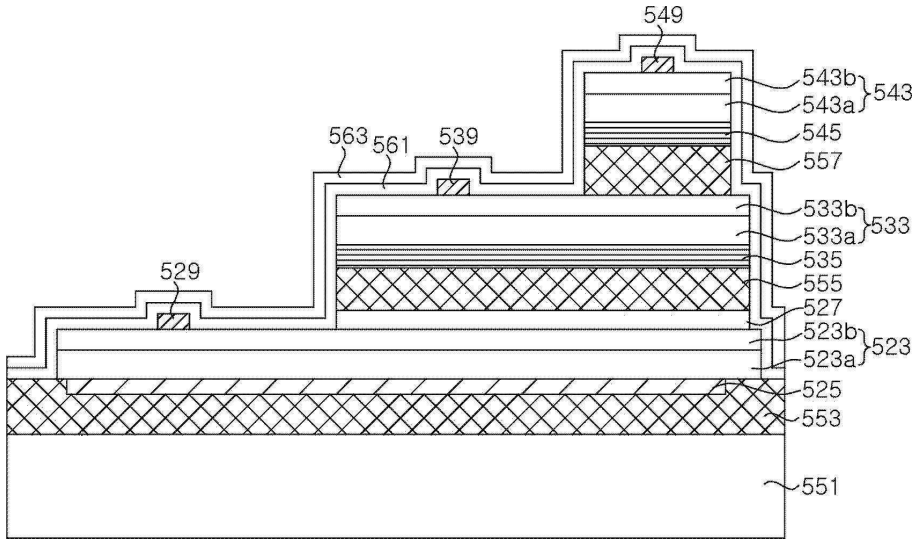
도면75


R
533a
539
573a
G
B
573
523a
549
543a
A
A
561
529
537
525
577b
547
525
577a
525

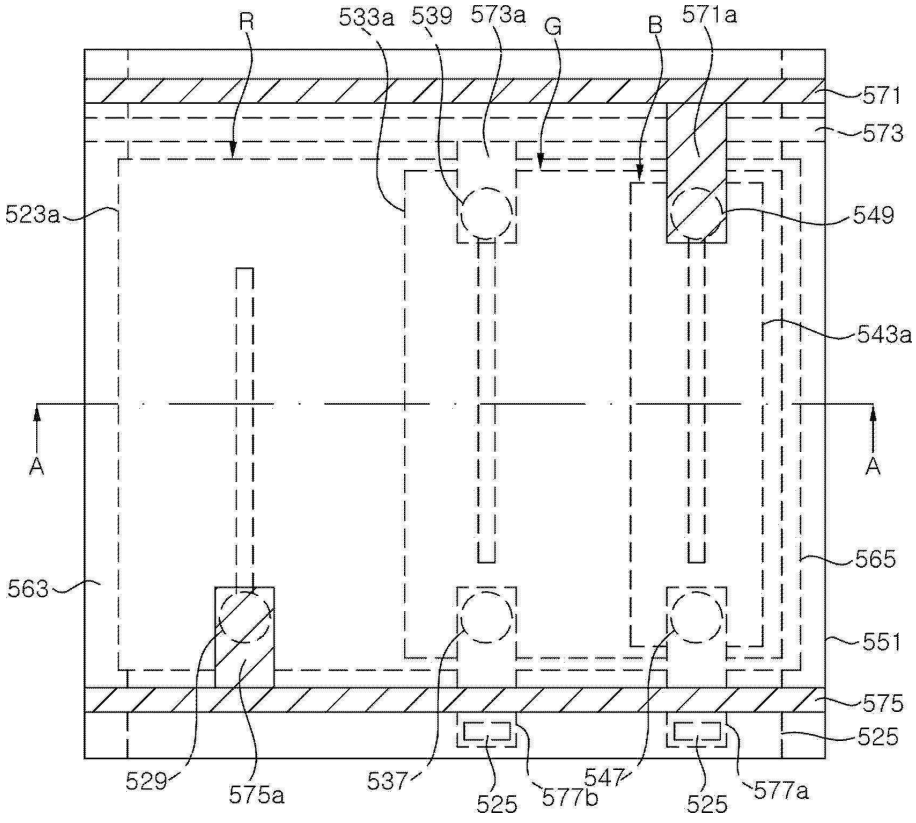
도면76a


R
533a
539
573a
G
B
573
523a
549
543a
A
A
563
529
537
525
577b
547
525
577a
525

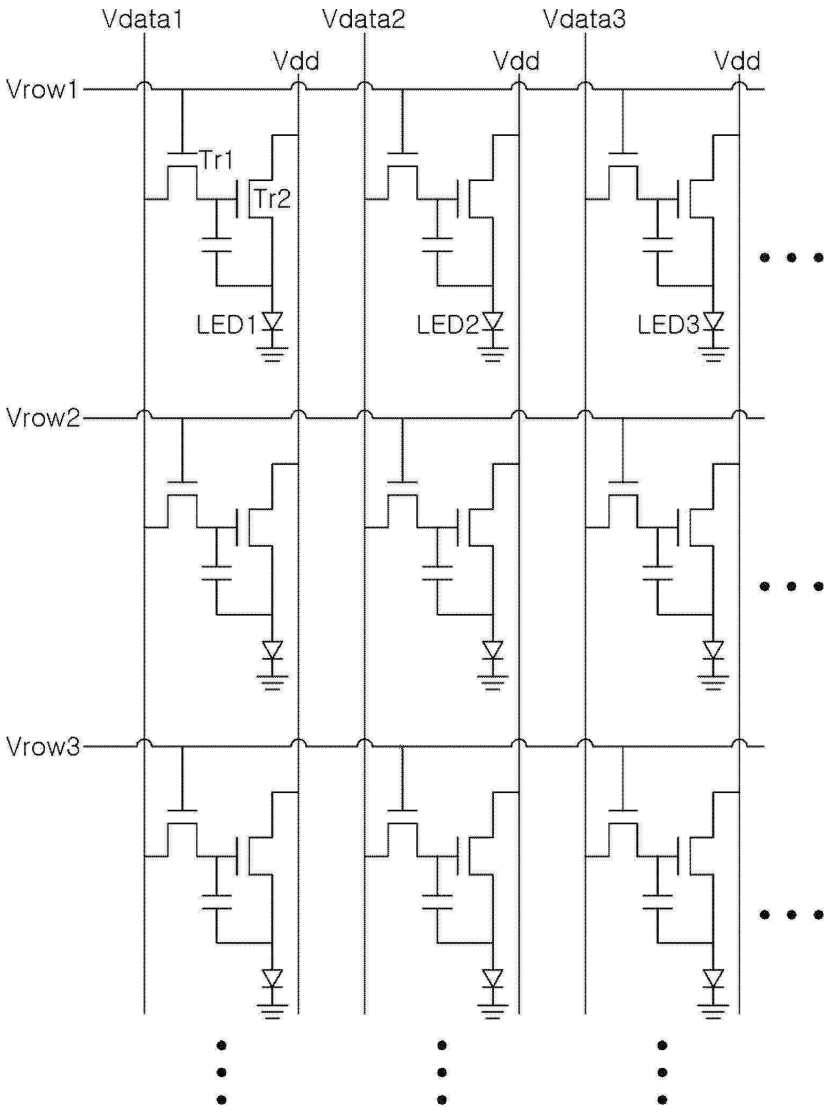
도면76b


549
543b
543a
543
563
561
539
545
557
533b
533a
533
529
535
555
527
523b
523a
523
525
553
551

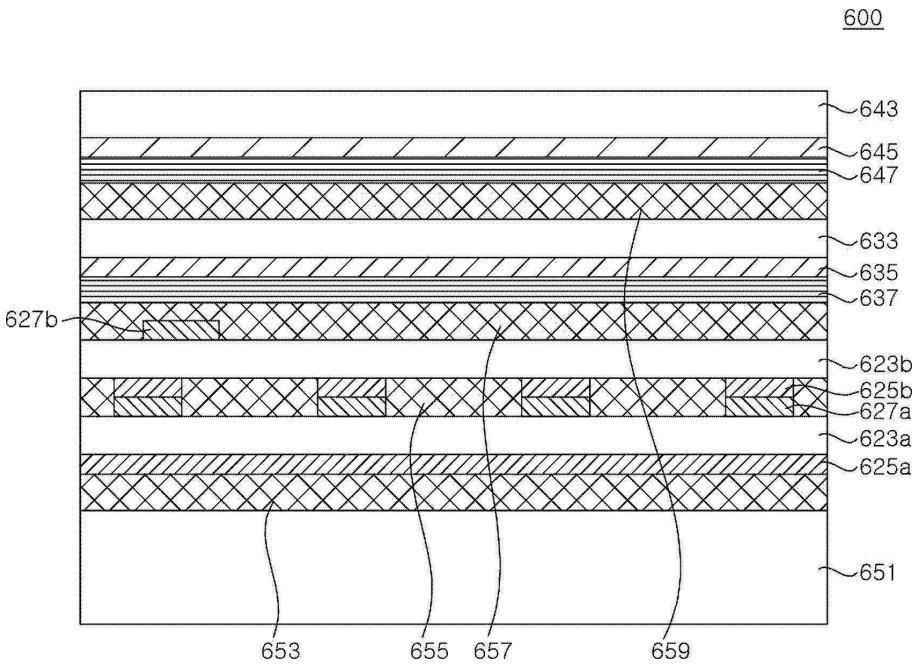
도면77


R
533a
539
573a
G
B
571a
571
573
523a
549
543a
A
A
563
565
551
575
525
529
575a
537
525
577b
547
525
577a

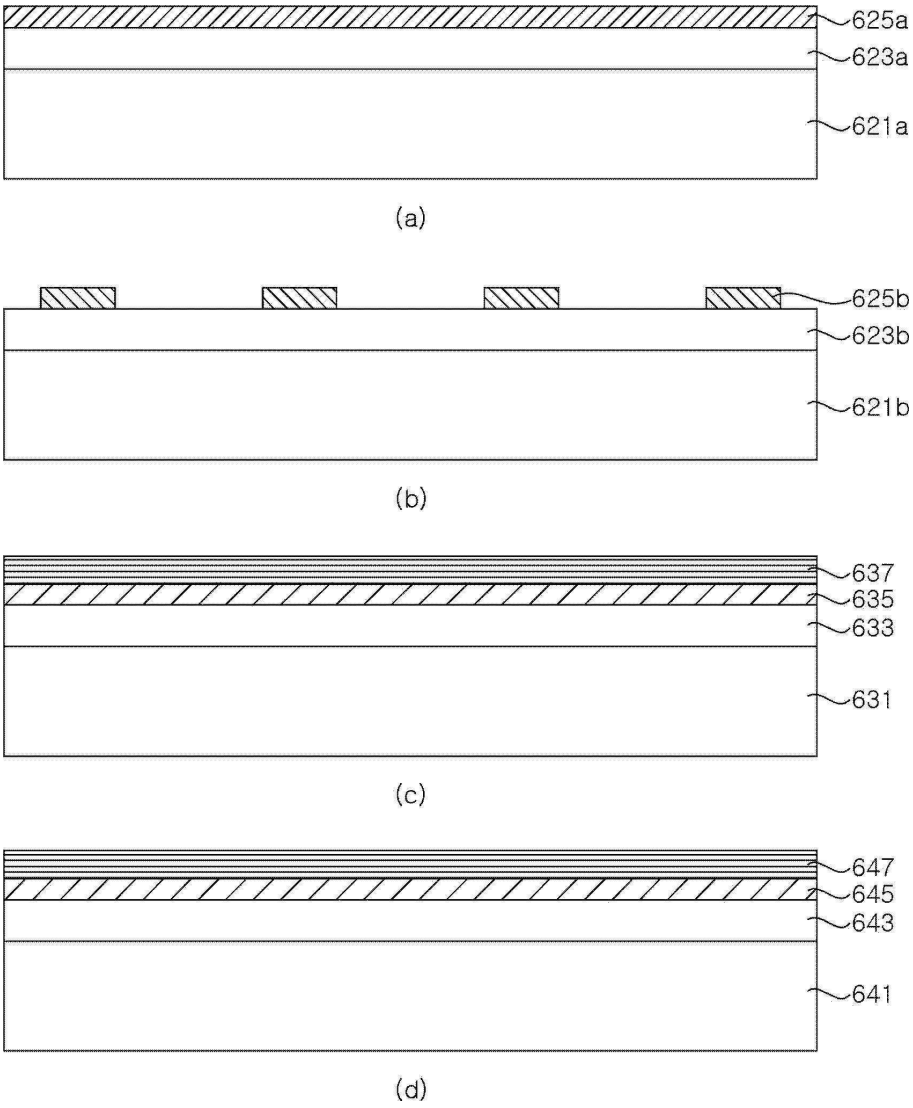
도면78


Vdata1
Vdata2
Vdata3
Vdd
Vdd
Vdd
Vrow1
Tr1
Tr2
LED1
LED2
LED3
Vrow2
Vrow3

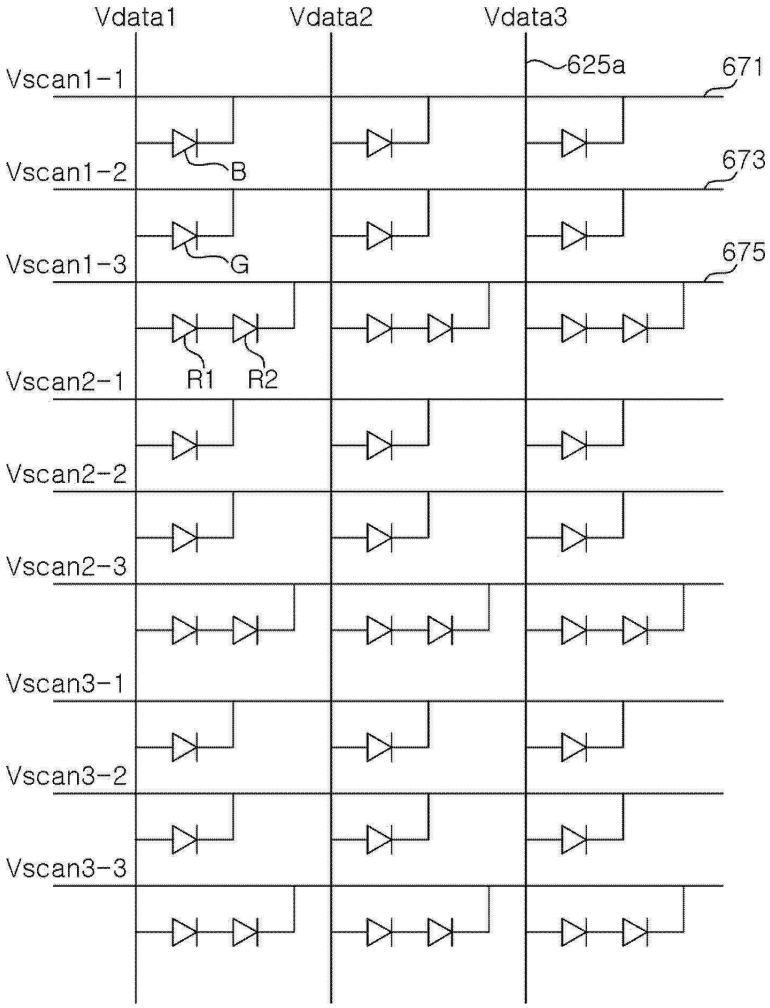
도면79


600
643
645
647
633
635
637
627b
623b
625b
627a
623a
625a
651
653
655
657
659

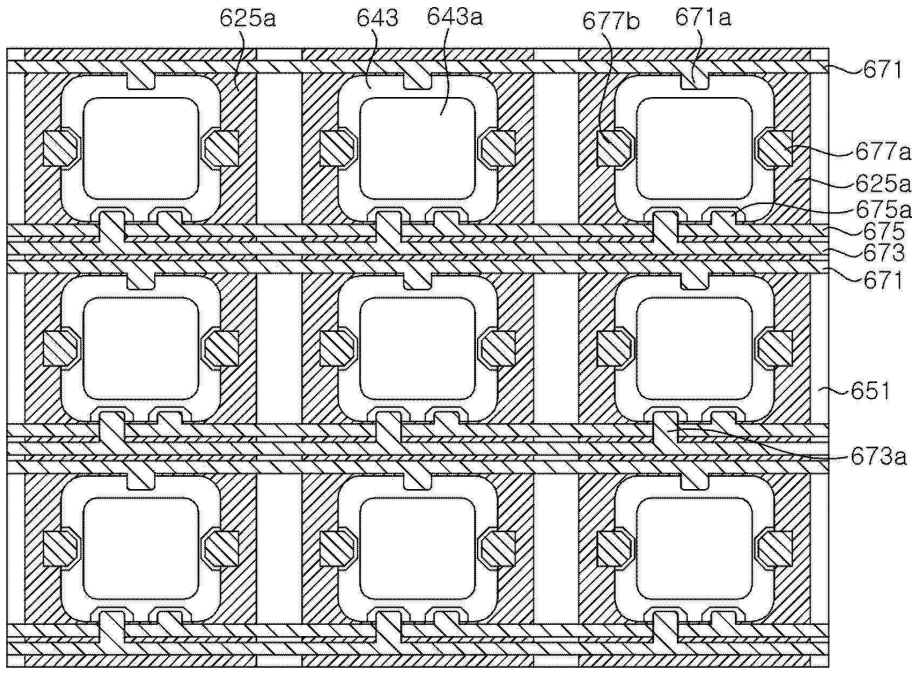
도면80


625a
623a
621a
(a)
625b
623b
621b
(b)
637
635
633
631
(c)
647
645
643
641
(d)

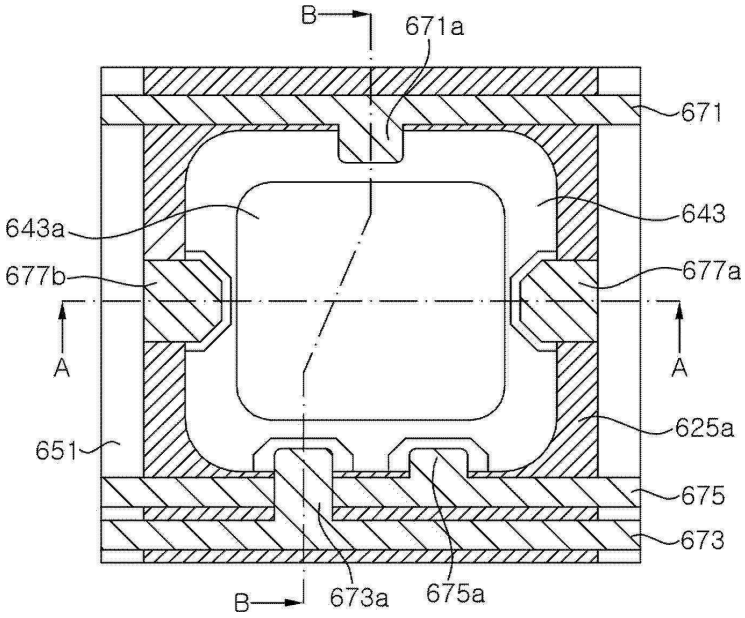
도면81


Vdata1
Vdata2
Vdata3
625a
671
Vscan1-1
673
Vscan1-2
B
675
Vscan1-3
G
R1
R2
Vscan2-1
Vscan2-2
Vscan2-3
Vscan3-1
Vscan3-2
Vscan3-3

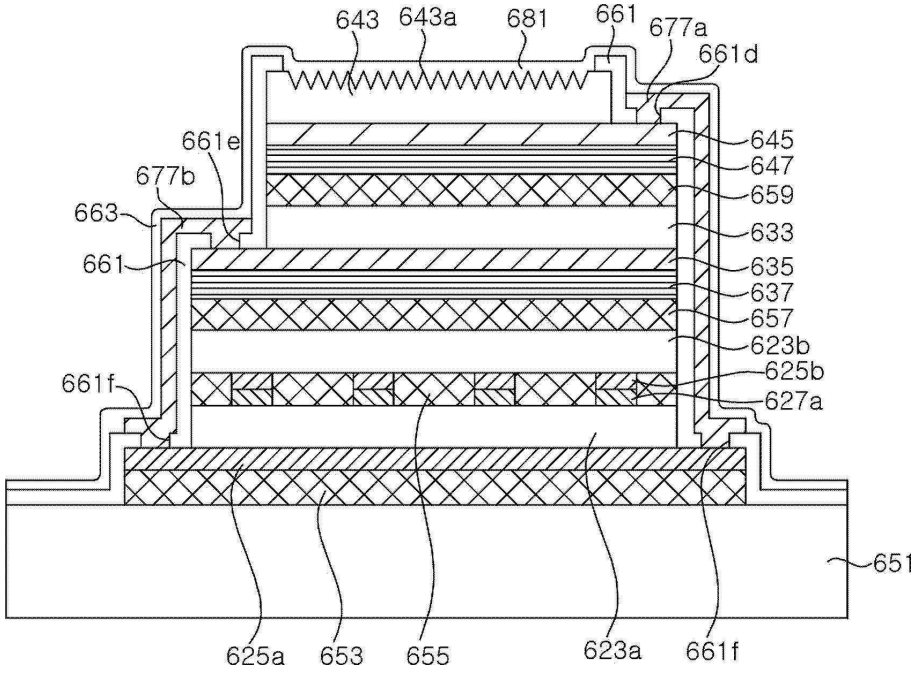
도면82


625a
643
643a
677b
671a
671
677a
625a
675a
675
673
671
651
673a

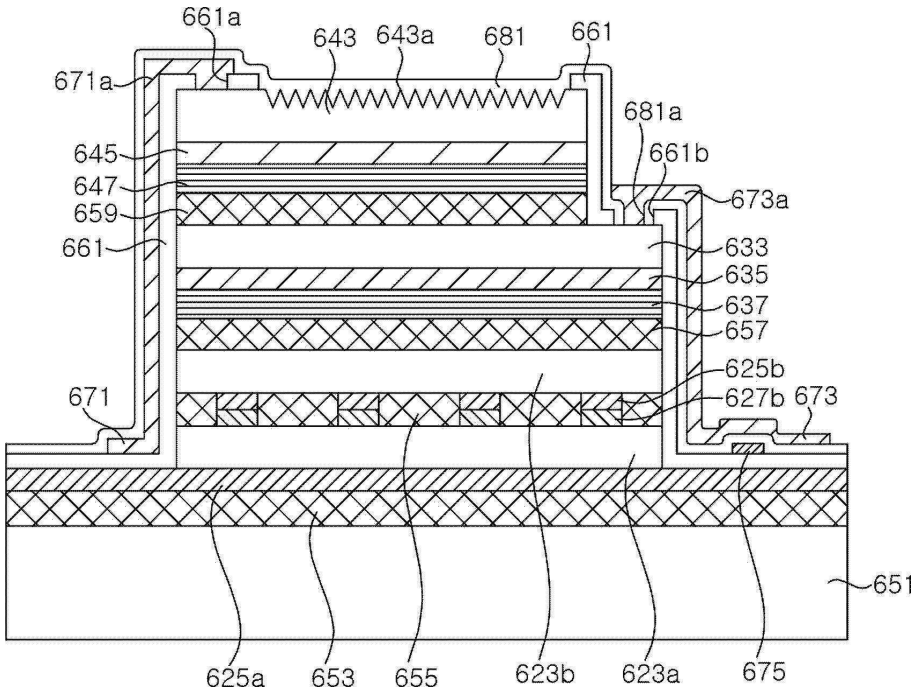
도면83


B
671a
671
643a
643
677b
677a
A
A
651
625a
675
673
B
673a
675a

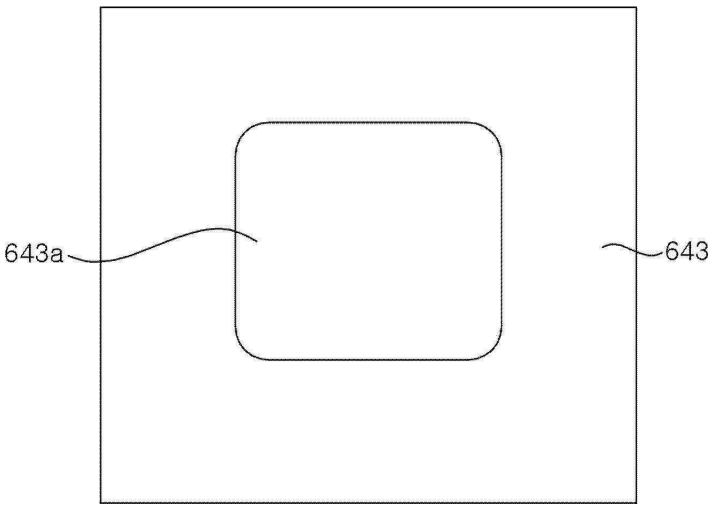
도면84


643
643a
681
661
677a
661d
661e
677b
663
661
661f
645
647
659
633
635
637
657
623b
625b
627a
651
625a
653
655
623a
661f

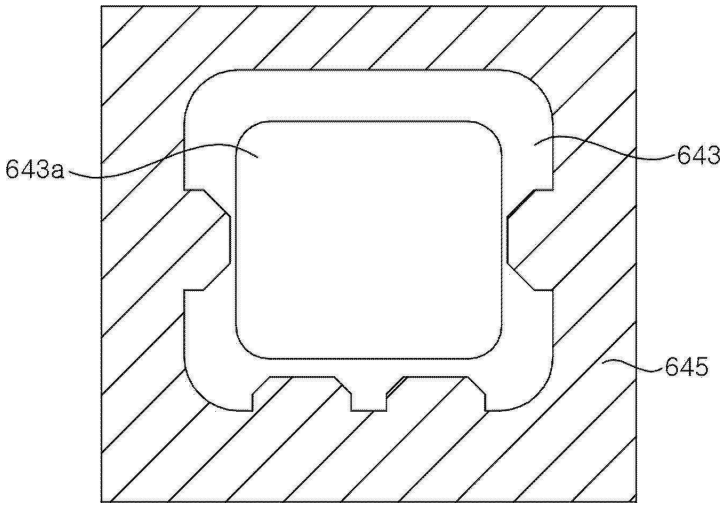
도면85


661a
643
643a
681
661
671a
681a
645
661b
647
673a
659
661
633
635
637
657
625b
671
627b
673
651
625a
653
655
623b
623a
675

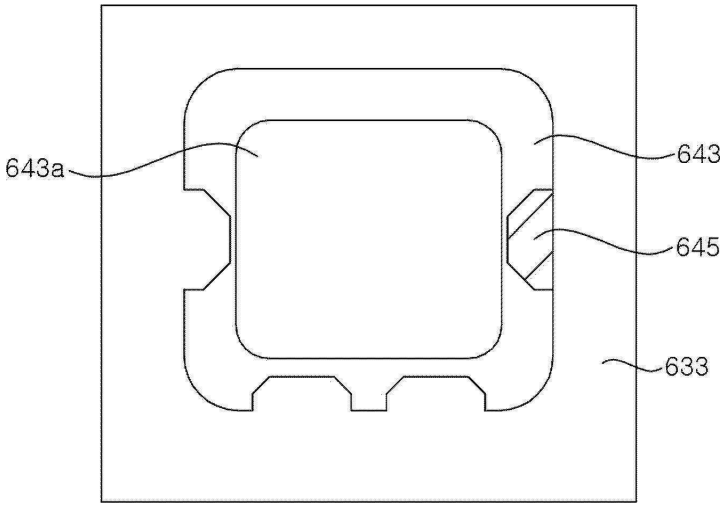
도면86a


643a
643

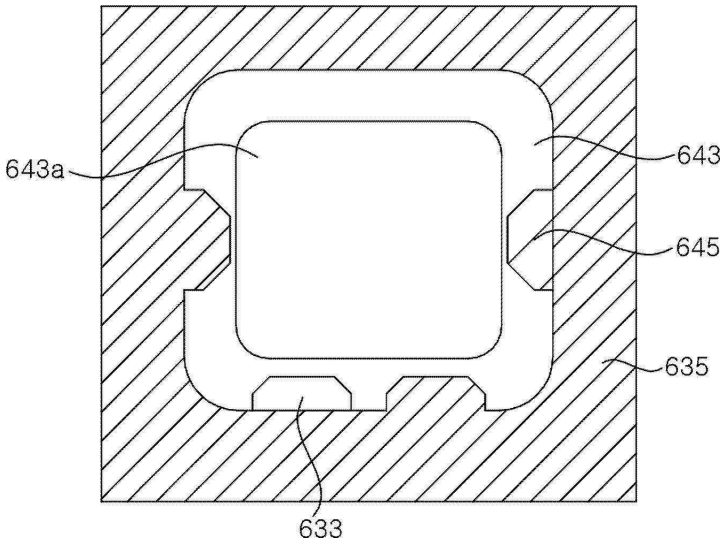
도면86b



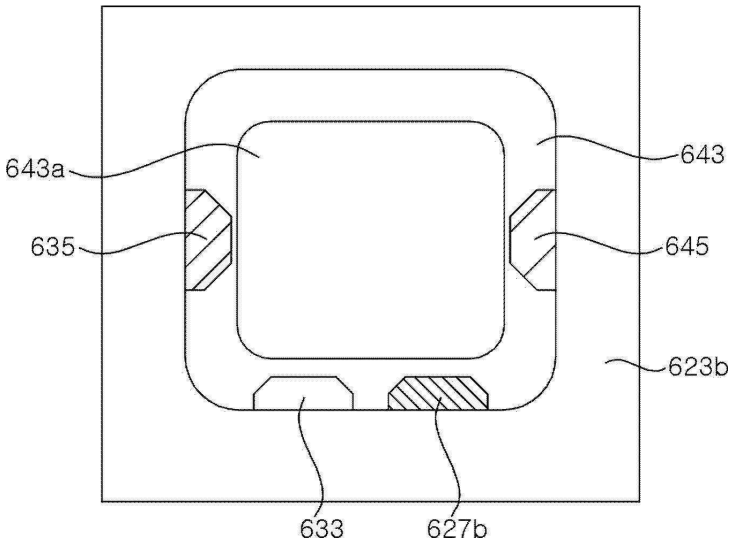
도면86c



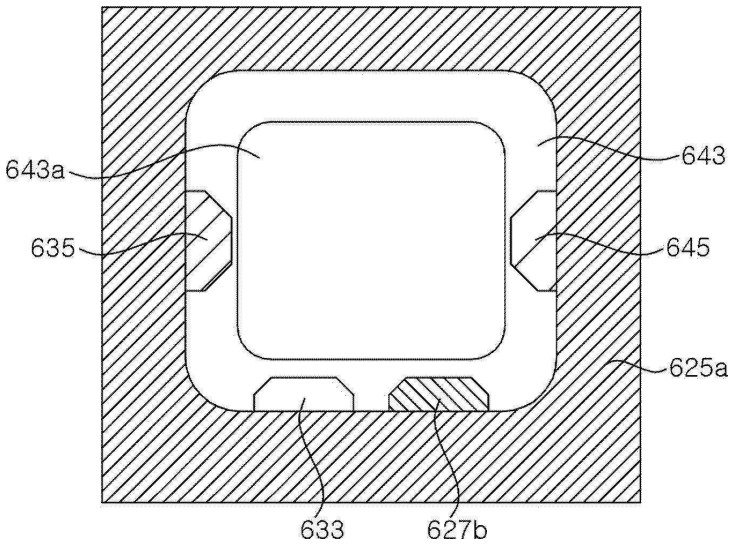
도면86d



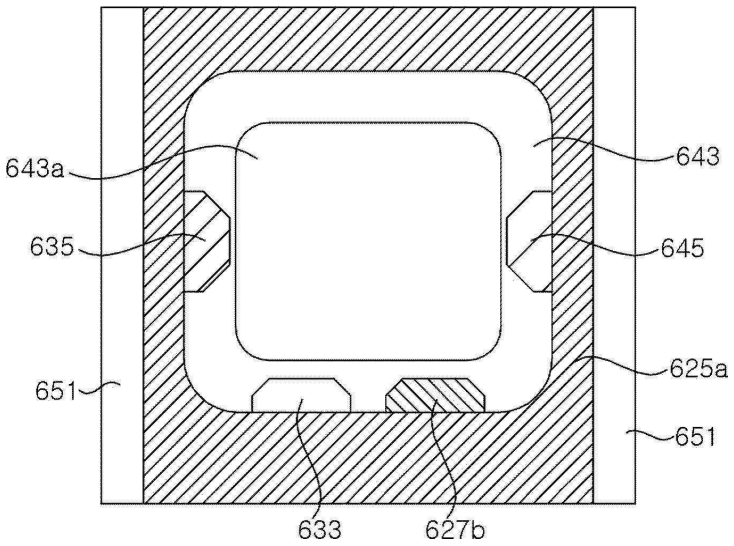
도면86e



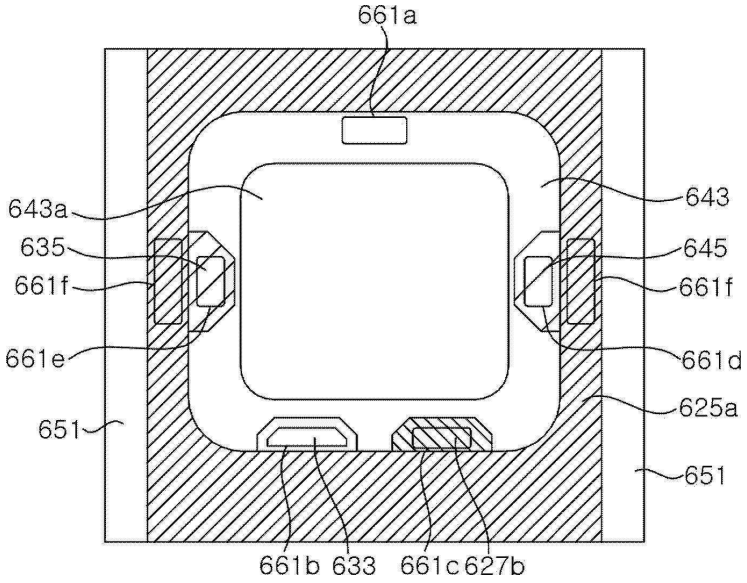
도면86f



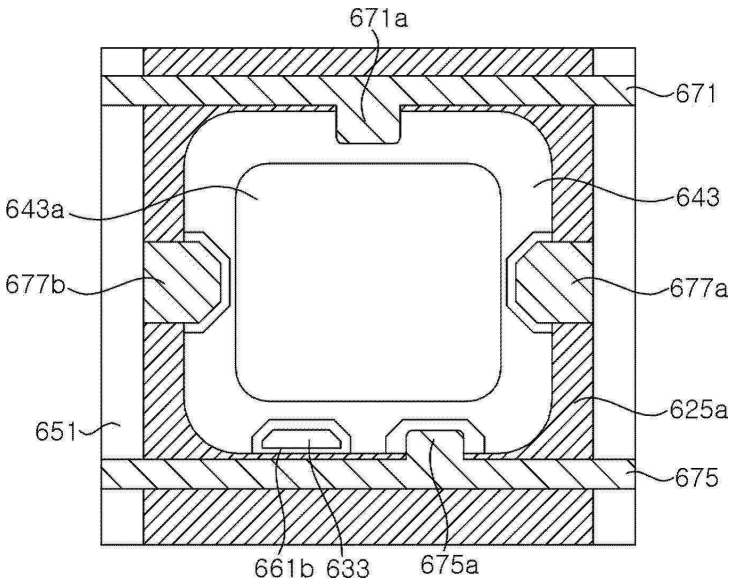
도면86g



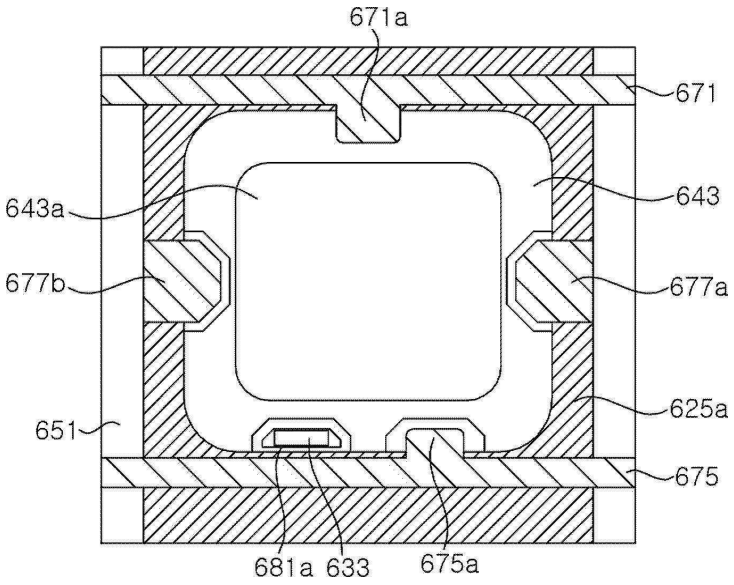
도면86h


661a
643a
635
661f
661e
651
643
645
661f
661d
625a
651
661b
633
661c
627b

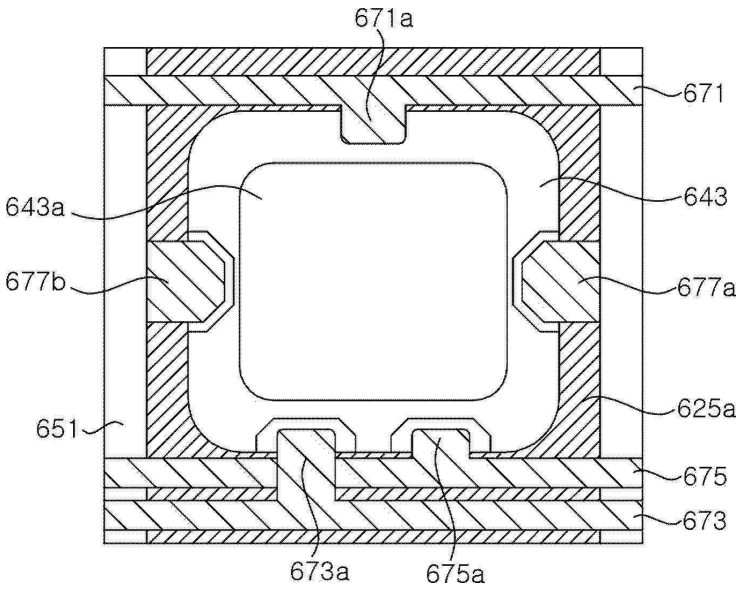
도면86i


671a
671
643a
643
677b
677a
651
625a
675
661b
633
675a

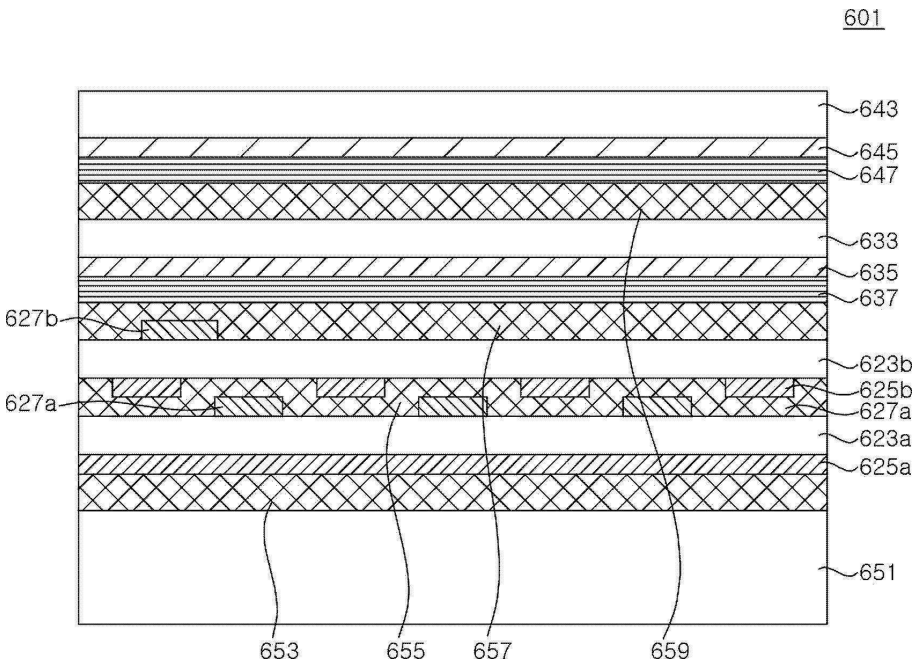
도면86j


671a
671
643a
643
677b
677a
651
625a
675
681a
633
675a

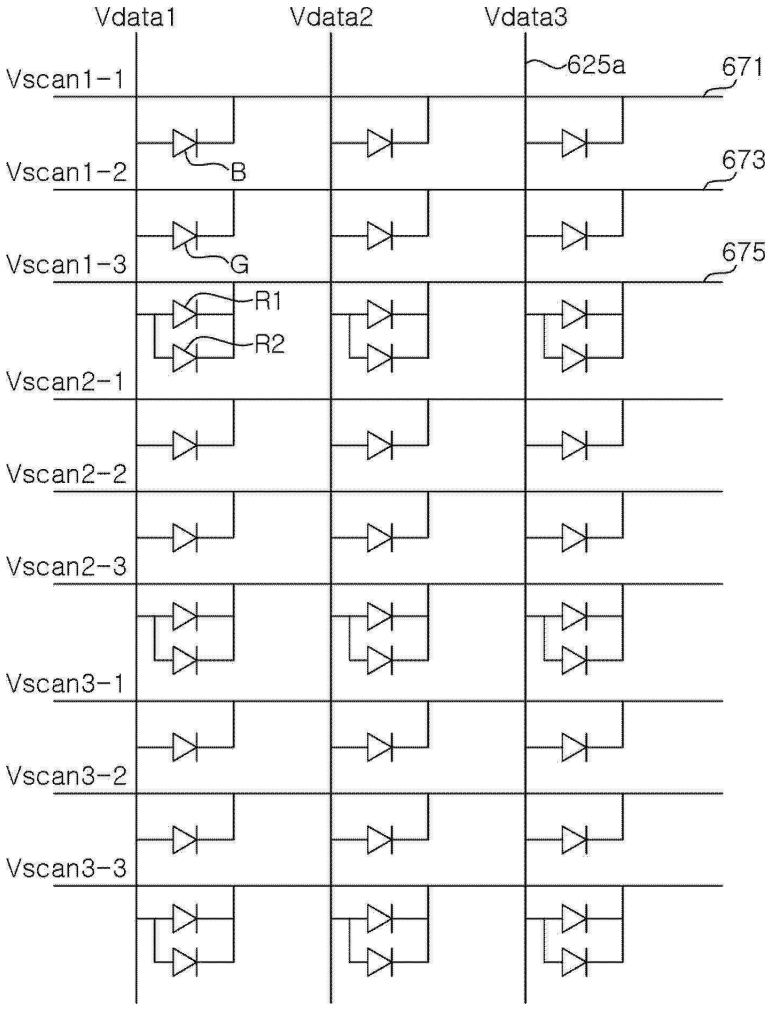
도면86k


671a
671
643a
643
677b
677a
651
625a
675
673
673a
675a

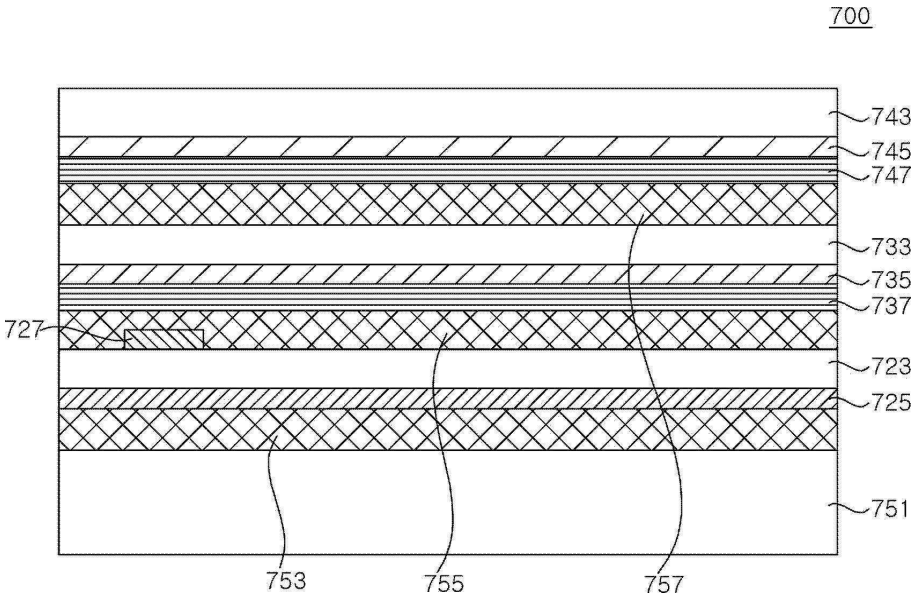
도면87


601
643
645
647
633
635
637
627b
623b
625b
627a
627a
623a
625a
651
653
655
657
659

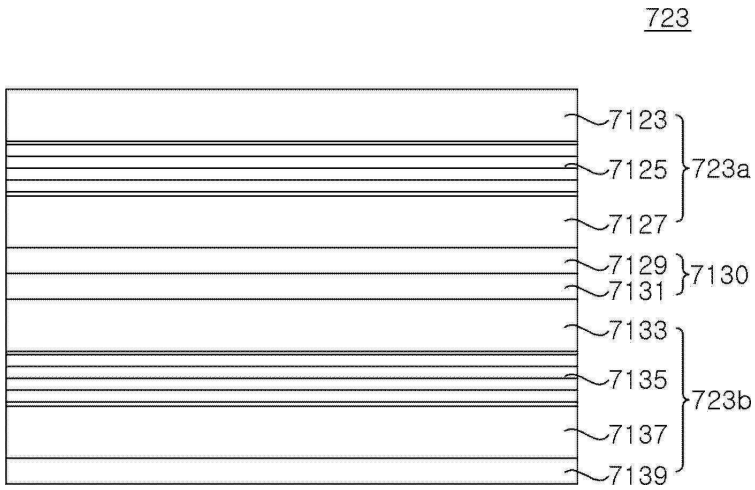
도면88


Vdata1
Vdata2
Vdata3
625a
671
673
675
Vscan1-1
Vscan1-2
Vscan1-3
Vscan2-1
Vscan2-2
Vscan2-3
Vscan3-1
Vscan3-2
Vscan3-3
B
G
R1
R2

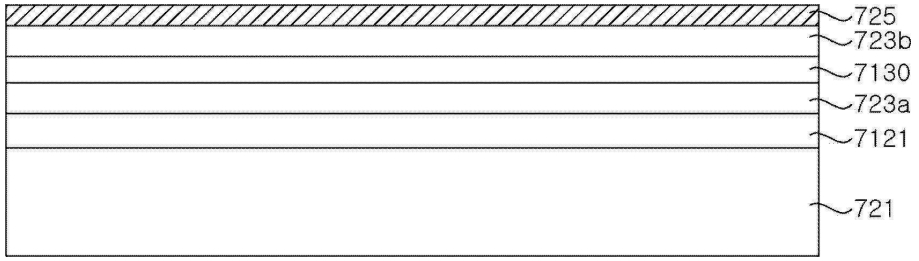
도면89a



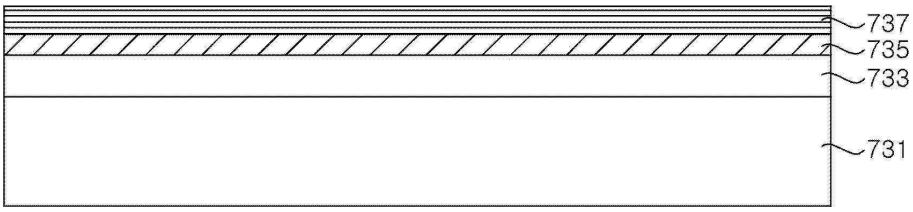
도면89b



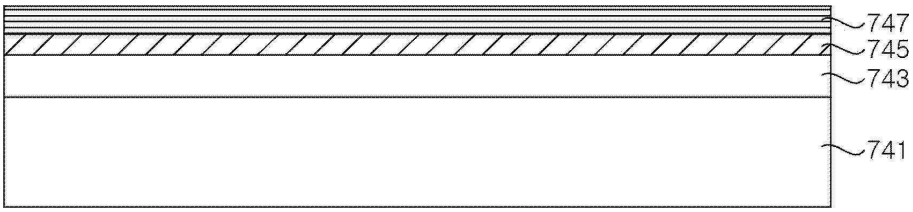
도면90a



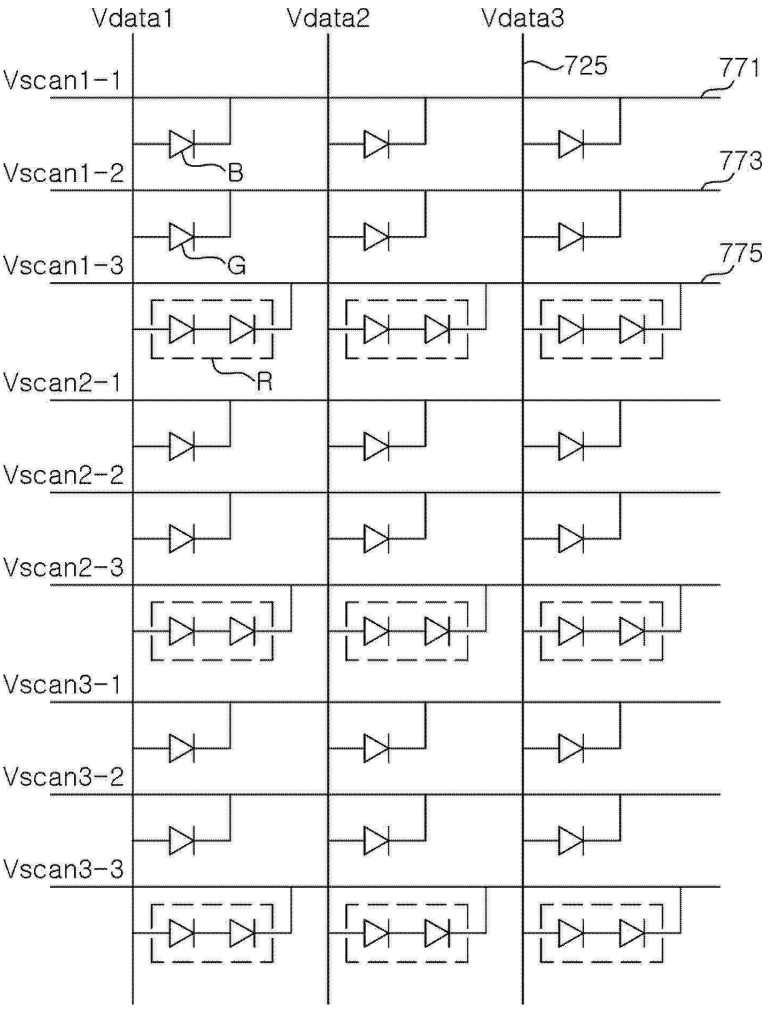
도면90b



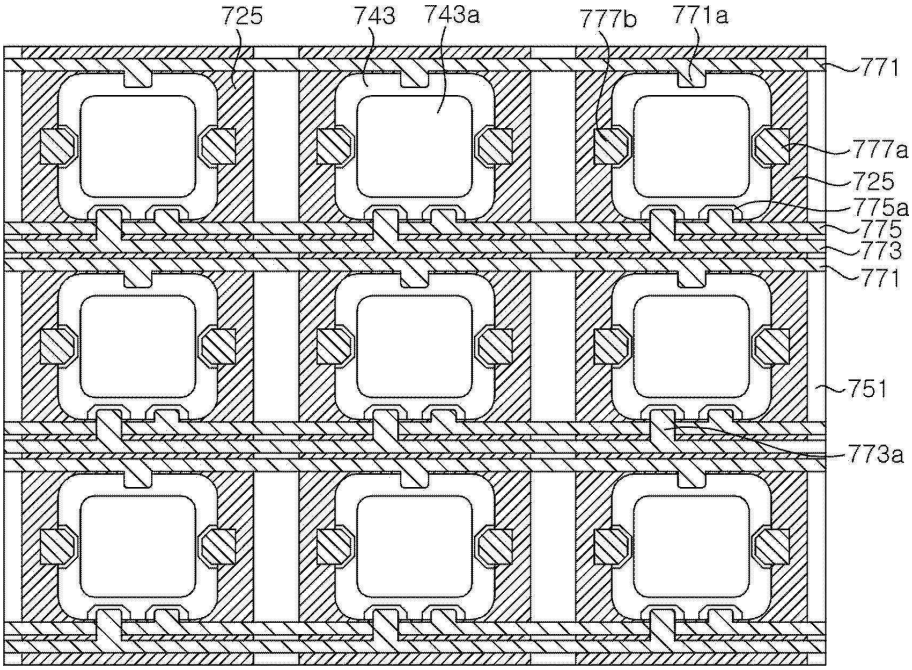
도면90c



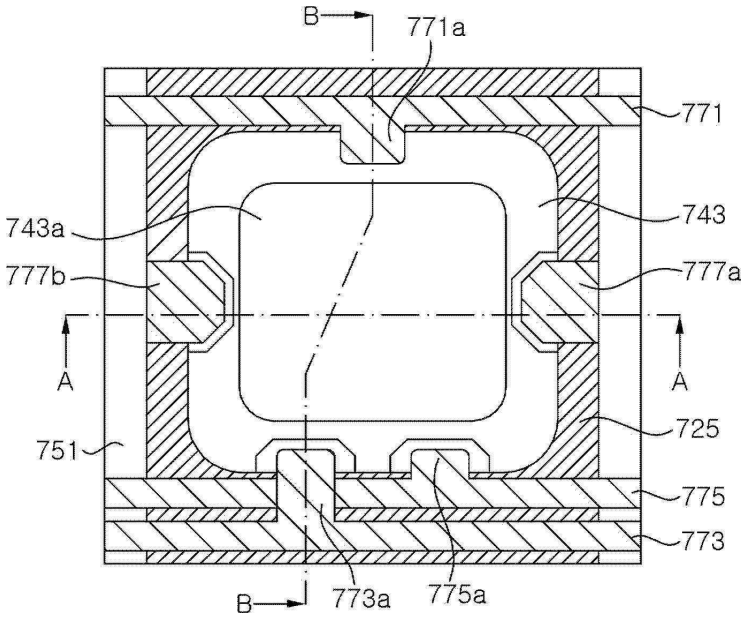
도면91



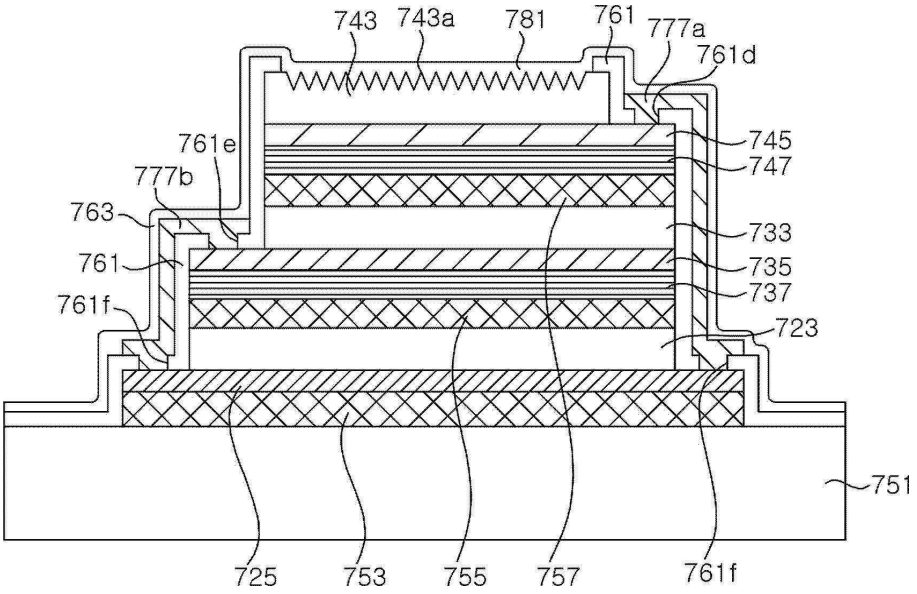
도면92


725
743
743a
777b
771a
771
777a
725
775a
775
773
771
751
773a

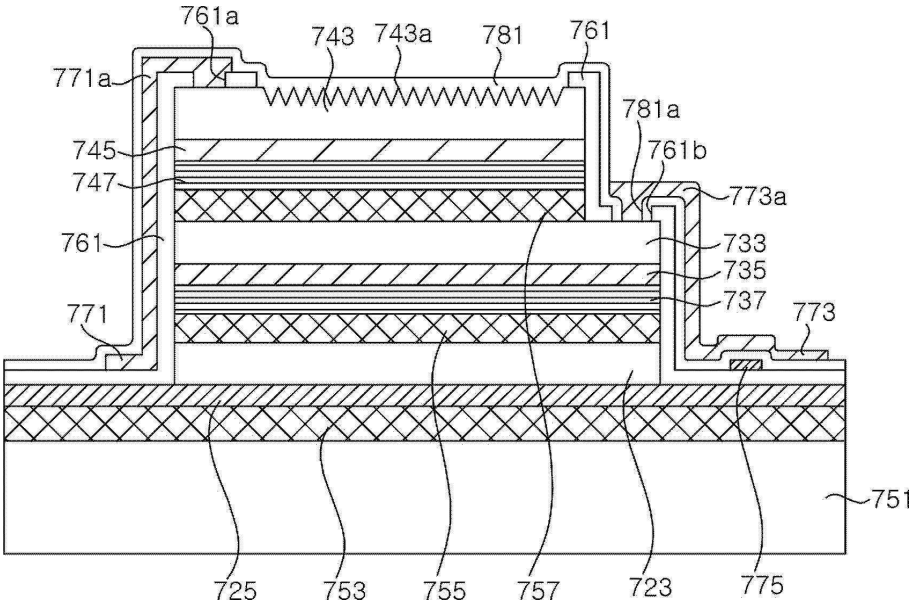
도면93


B
771a
771
743a
743
777b
777a
A
A
751
725
775
773
B
773a
775a

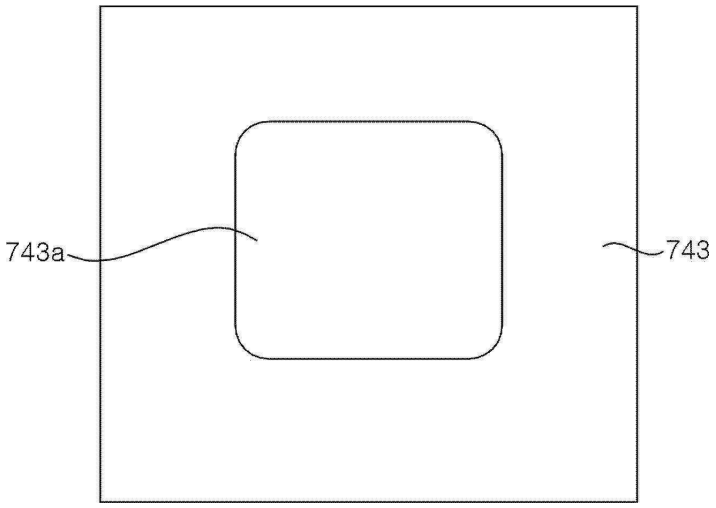
도면94


743
743a
781
761
777a
761d
761e
745
747
777b
763
733
761
735
737
761f
723
751
725
753
755
757
761f

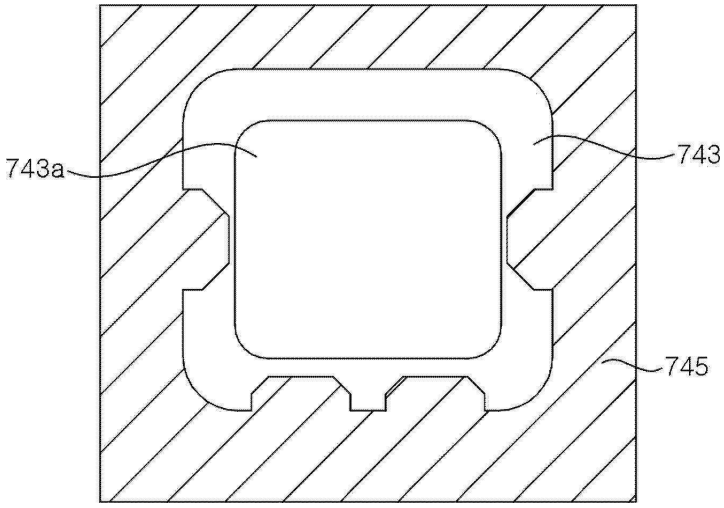
도면95


761a
743
743a
781
761
771a
781a
745
761b
747
773a
761
733
735
737
771
773
751
725
753
755
757
723
775

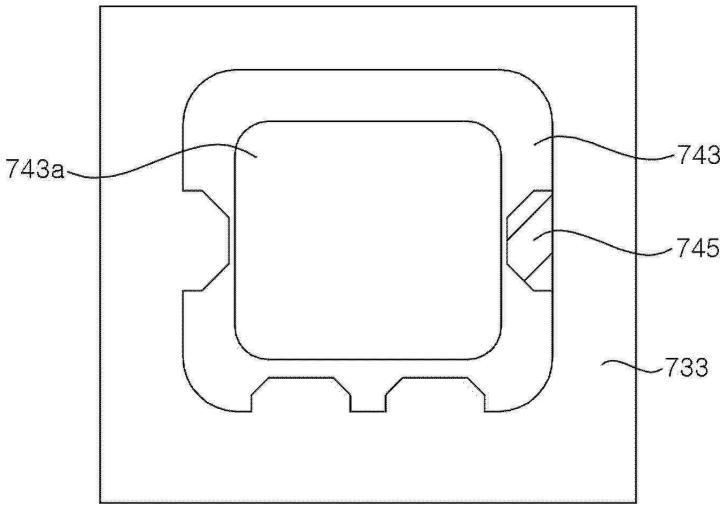
도면96a



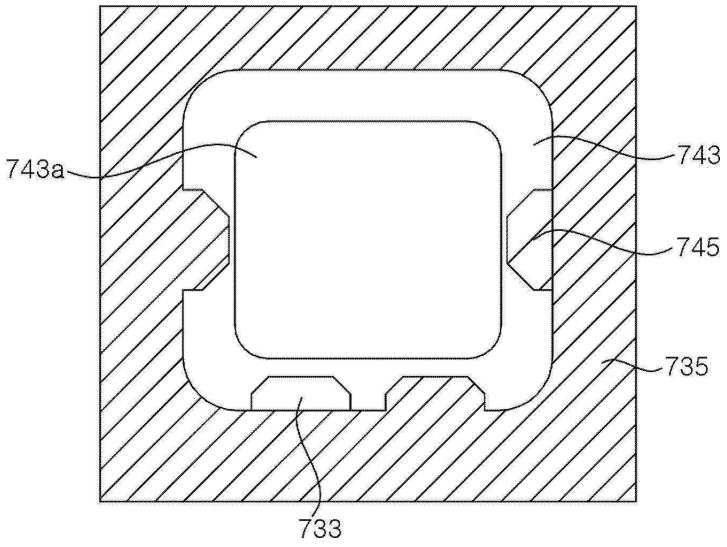
도면96b



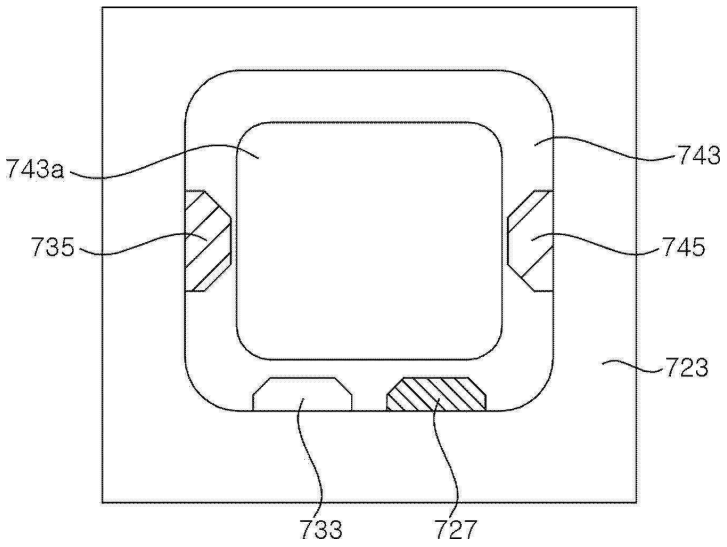
도면96c



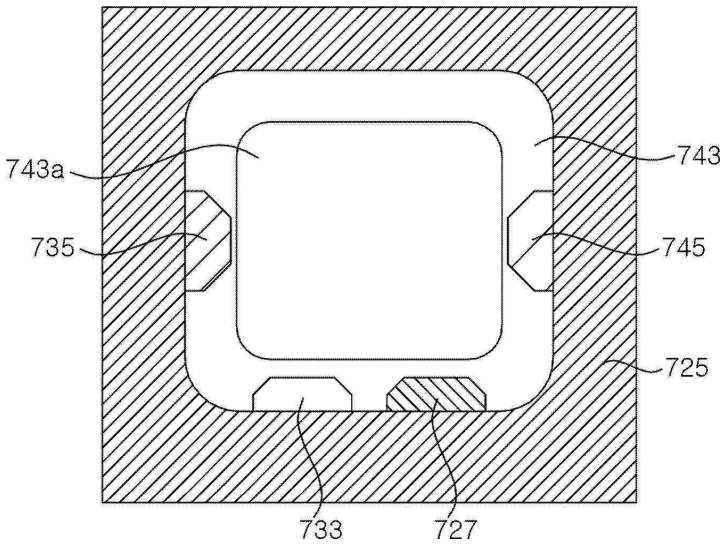
도면96d



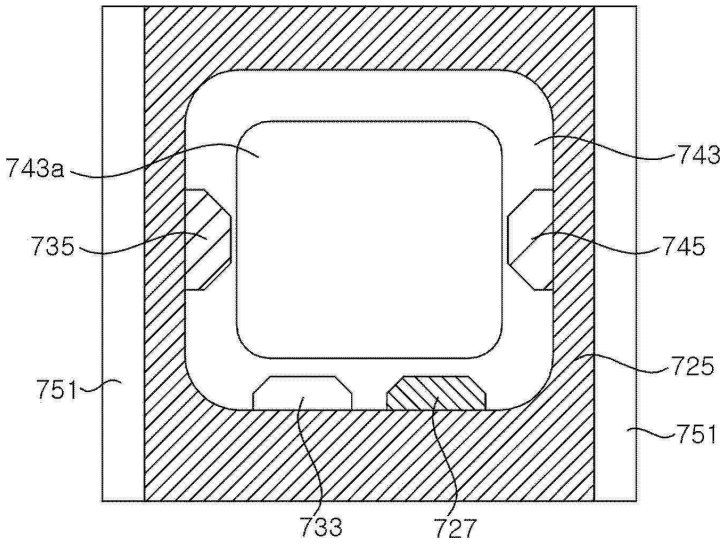
도면96e



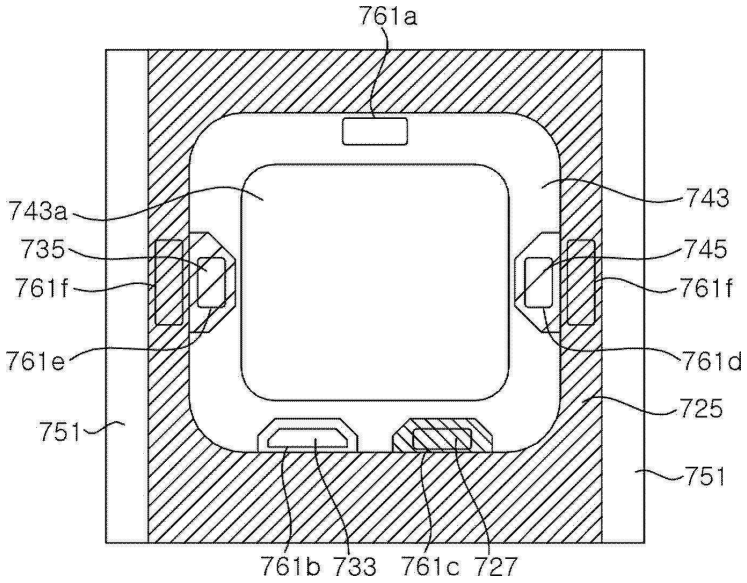
도면96f



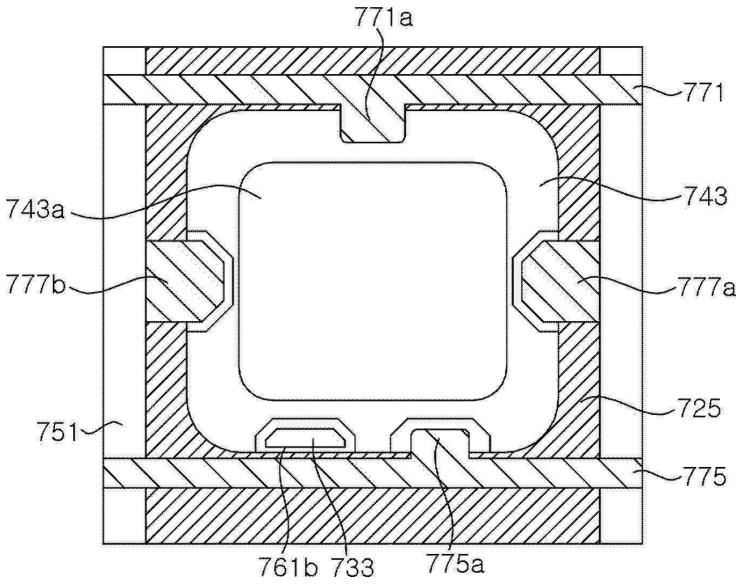
도면96g


743a
743
735
745
751
725
751
733
727

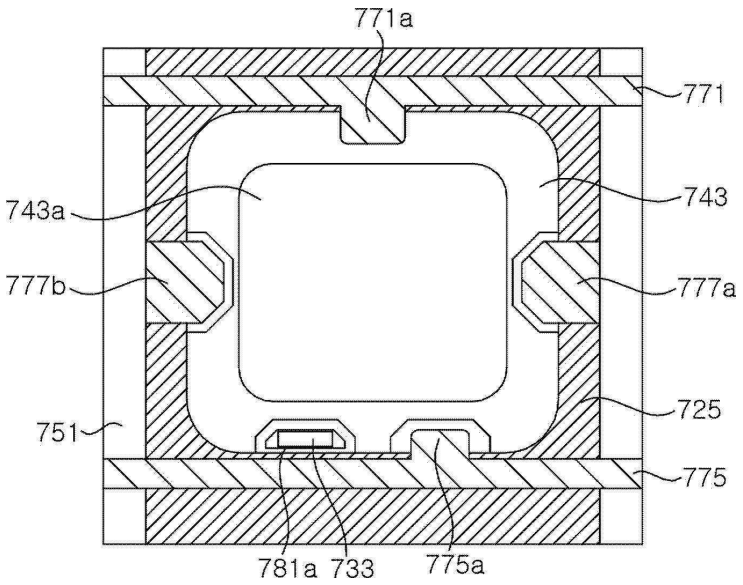
도면96h


761a
743a
743
735
745
761f
761f
761e
761d
751
725
751
761b
733
761c
727

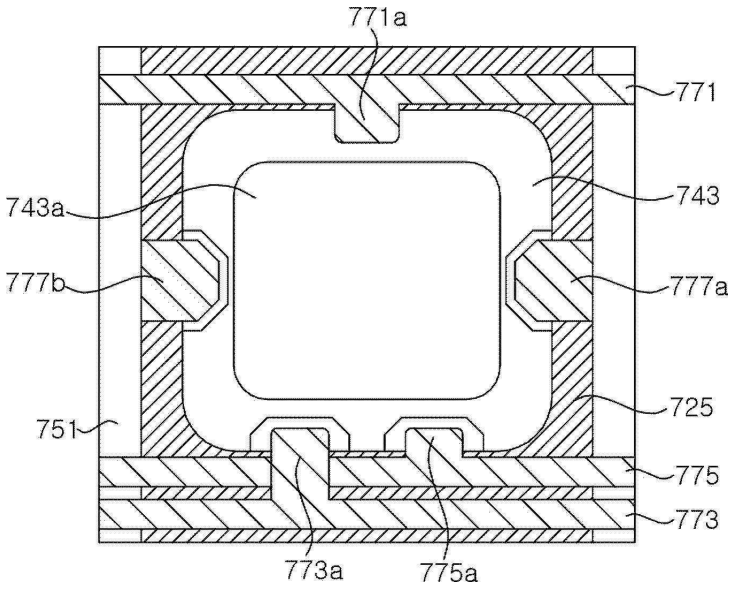
도면96i


771a
771
743a
743
777b
777a
751
725
775
761b
733
775a

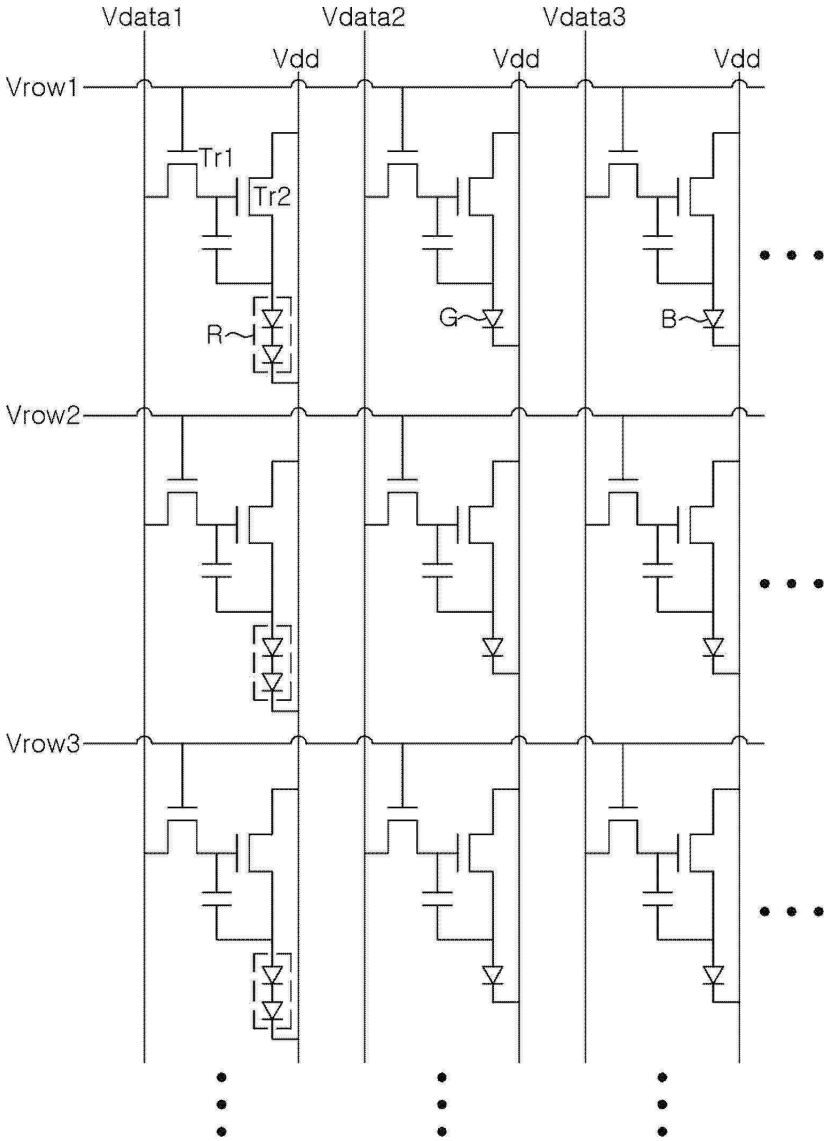
도면96j


771a
771
743a
743
777b
777a
751
725
775
781a
733
775a

도면96k


771a
771
743a
743
777b
777a
751
725
775
773
773a
775a

도면97


Vdata1
Vdata2
Vdata3
Vdd
Vdd
Vdd
Vrow1
Tr1
Tr2
R
G
B
Vrow2
Vrow3

도면98

