



(12) 发明专利

(10) 授权公告号 CN 107833919 B

(45) 授权公告日 2021.06.25

(21) 申请号 201710377247.9

(51) Int.CI.

(22) 申请日 2017.05.25

H01L 29/78 (2006.01)

(65) 同一申请的已公布的文献号

H01L 29/40 (2006.01)

申请公布号 CN 107833919 A

H01L 21/336 (2006.01)

(43) 申请公布日 2018.03.23

(56) 对比文件

(30) 优先权数据

CN 103295907 A, 2013.09.11

2016-182023 2016.09.16 JP

US 2016064546 A1, 2016.03.03

(73) 专利权人 株式会社东芝

CN 101578689 A, 2009.11.11

地址 日本东京

US 2014287574 A1, 2014.09.25

审查员 周天微

(72) 发明人 小林研也 松田哲朗 桧森洋辅

西口俊史

(74) 专利代理机构 北京律盟知识产权代理有限

权利要求书4页 说明书8页 附图12页

责任公司 11287

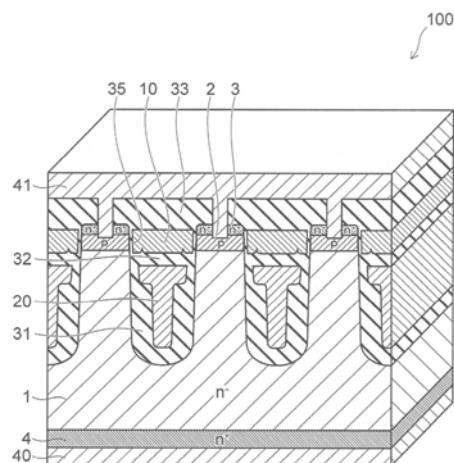
代理人 杨林勋

(54) 发明名称

半导体装置及其制造方法

(57) 摘要

本发明的实施方式提供一种不易产生自接通现象的半导体装置及其制造方法。实施方式的半导体装置具有第1导电型的第1半导体区域、第2导电型的第2半导体区域、第1导电型的第3半导体区域、第1电极、第2绝缘部、栅极电极及第2电极。第2绝缘部设置在第1电极之上。栅极电极设置在第2绝缘部之上。在栅极电极的下表面，设置有朝向上方凹陷的第1凹部及第2凹部。第1凹部在第1方向上位于第2凹部与第1侧面之间。第1凹部与第2凹部之间的第1方向上的距离比第1侧面与第1凹部之间的第1方向上的距离长。第2电极设置在第2半导体区域之上及第3半导体区域之上，与第2半导体区域、第3半导体区域及第1电极电连接。



1.一种半导体装置,其特征在于具备:

第1导电型的第1半导体区域;

第2导电型的第2半导体区域,设置在所述第1半导体区域之上;

第1导电型的第3半导体区域,设置在所述第2半导体区域之上;

第1电极,具有沿着与从所述第1半导体区域朝向所述第2半导体区域的方向垂直的第1方向平坦的上表面,隔着第1绝缘部设置在所述第1半导体区域中;

第2绝缘部,设置在所述第1电极之上;

栅极电极,设置在所述第2绝缘部之上,具有下表面及第1侧面,

所述下表面具有朝向上方凹陷的第1凹部及第2凹部、以及在所述第1方向上位于所述第1凹部与所述第2凹部之间且沿着所述第1方向平坦的第1区域,

所述第1侧面在所述第1方向上隔着栅极绝缘部与所述第2半导体区域对向,

所述第1凹部在所述第1方向上位于所述第2凹部与所述第1侧面之间,所述第1凹部与所述第2凹部之间的所述第1方向上的距离,比所述第1侧面与所述第1凹部之间的所述第1方向上的距离长;以及

第2电极,设置在所述第2半导体区域之上及所述第3半导体区域之上,与所述第2半导体区域、所述第3半导体区域及所述第1电极电连接。

2.根据权利要求1所述的半导体装置,其特征在于:

所述第1电极还具有第2侧面及与所述第2侧面为相反侧的第3侧面,

所述上表面与所述第2侧面之间的第1角在上下方向上和所述第1凹部并排,

所述上表面与所述第3侧面之间的第2角在上下方向上和所述第2凹部并排。

3.一种半导体装置,其特征在于具备:

第1导电型的第1半导体区域;

第2导电型的第2半导体区域,设置在所述第1半导体区域之上;

第1导电型的第3半导体区域,设置在所述第2半导体区域之上;

第1电极,隔着第1绝缘部设置在所述第1半导体区域中;

第2绝缘部,设置在所述第1电极之上;

栅极电极,设置在所述第2绝缘部之上,具有下表面及第1侧面,

所述下表面具有朝向上方凹陷的第1凹部及第2凹部、以及在与从所述第1半导体区域朝向所述第2半导体区域的方向垂直的第1方向上位于所述第1凹部与所述第2凹部之间的第1区域,

所述第1侧面在第1方向上隔着栅极绝缘部与所述第2半导体区域对向,

所述第1凹部在所述第1方向上位于所述第2凹部与所述第1侧面之间,所述第1凹部与所述第2凹部之间的所述第1方向上的距离,比所述第1侧面与所述第1凹部之间的所述第1方向上的距离长;以及

第2电极,设置在所述第2半导体区域之上及所述第3半导体区域之上,与所述第2半导体区域、所述第3半导体区域及所述第1电极电连接;

所述第1电极具有上表面、第2侧面、与所述第2侧面为相反侧的第3侧面、所述上表面与所述第2侧面之间的第1角、以及所述上表面与所述第3侧面之间的第2角,

所述第1凹部的最上位点的所述第1方向上的位置处于所述第1角的所述第1方向上的

第1位置与所述第2角的所述第1方向上的第2位置之间，或者与所述第1位置相同，

所述第2凹部的最上位点的所述第1方向上的位置处于所述第1位置与所述第2位置之间，或者与所述第2位置相同，

所述第1电极与所述第1凹部的所述最上位点之间的距离及所述第1电极与所述第2凹部的所述最上位点之间的距离，比所述第1电极与所述第1区域之间的距离长。

4. 一种半导体装置，其特征在于具备：

第1导电型的第1半导体区域；

第2导电型的第2半导体区域，设置在所述第1半导体区域之上；

第1导电型的第3半导体区域，设置在所述第2半导体区域之上；

第1电极，隔着第1绝缘部设置在所述第1半导体区域中；

第2绝缘部，设置在所述第1电极之上；

栅极电极，设置在所述第2绝缘部之上，具有下表面及第1侧面，

所述下表面设置有朝向上方凹陷的第1凹部及第2凹部，

所述第1侧面在第1方向上隔着栅极绝缘部与所述第2半导体区域对向，

所述第1凹部在所述第1方向上位于所述第2凹部与所述第1侧面之间，所述第1凹部与所述第2凹部之间的所述第1方向上的距离，比所述第1侧面与所述第1凹部之间的所述第1方向上的距离长；以及

第2电极，设置在所述第2半导体区域之上及所述第3半导体区域之上，与所述第2半导体区域、所述第3半导体区域及所述第1电极电连接；

所述第2绝缘部具有第1绝缘部分及第2绝缘部分，

所述第2绝缘部分设置在所述栅极电极与所述第1绝缘部分之间，且介电常数高于所述第1绝缘部分。

5. 一种半导体装置，其特征在于具备：

第1导电型的第1半导体区域；

第2导电型的第2半导体区域，设置在所述第1半导体区域之上；

第1导电型的第3半导体区域，设置在所述第2半导体区域之上；

第1电极，隔着第1绝缘部设置在所述第1半导体区域中；

第2绝缘部，设置在所述第1电极之上；

栅极电极，设置在所述第2绝缘部之上，具有下表面及第1侧面，

所述下表面设置有朝向上方凹陷的第1凹部及第2凹部，

所述第1侧面在第1方向上隔着栅极绝缘部与所述第2半导体区域对向，

所述第1凹部在所述第1方向上位于所述第2凹部与所述第1侧面之间，所述第1凹部与所述第2凹部之间的所述第1方向上的距离，比所述第1侧面与所述第1凹部之间的所述第1方向上的距离长；以及

第2电极，设置在所述第2半导体区域之上及所述第3半导体区域之上，与所述第2半导体区域、所述第3半导体区域及所述第1电极电连接；

所述第2绝缘部具有第1绝缘部分及第2绝缘部分，

所述第2绝缘部分设置在所述栅极电极与所述第1绝缘部分之间，且比所述第1绝缘部分含有更多的硼。

6. 根据权利要求4或5所述的半导体装置,其特征在于:

所述第2绝缘部分具有朝向上方突出的第1突出部及第2突出部,

所述第1突出部设置在所述第1凹部中,

所述第2突出部设置在所述第2凹部中。

7. 一种半导体装置,其特征在于具备:

第1导电型的第1半导体区域;

第2导电型的第2半导体区域,设置在所述第1半导体区域之上;

第1导电型的第3半导体区域,设置在所述第2半导体区域之上;

第1电极,隔着第1绝缘部设置在所述第1半导体区域中;

第2绝缘部,设置在所述第1电极之上;

栅极电极,具有设置有朝向上方凹陷的凹部的下表面,设置在所述第2绝缘部之上,在第1方向上隔着栅极绝缘部与所述第2半导体区域对向,所述凹部在上下方向上和所述第1电极的上表面与所述第1电极的侧面之间的角并排;以及

第2电极,设置在所述第2半导体区域之上及所述第3半导体区域之上,与所述第2半导体区域、所述第3半导体区域及所述第1电极电连接;

所述第2绝缘部具有第1绝缘部分及第2绝缘部分,

所述第2绝缘部分设置在所述栅极电极与所述第1绝缘部分之间,且介电常数高于所述第1绝缘部分。

8. 一种半导体装置,其特征在于具备:

第1导电型的第1半导体区域;

第2导电型的第2半导体区域,设置在所述第1半导体区域之上;

第1导电型的第3半导体区域,设置在所述第2半导体区域之上;

第1电极,隔着第1绝缘部设置在所述第1半导体区域中;

第2绝缘部,设置在所述第1电极之上;

栅极电极,具有设置有朝向上方凹陷的凹部的下表面,设置在所述第2绝缘部之上,在第1方向上隔着栅极绝缘部与所述第2半导体区域对向,所述凹部在上下方向上和所述第1电极的上表面与所述第1电极的侧面之间的角并排;以及

第2电极,设置在所述第2半导体区域之上及所述第3半导体区域之上,与所述第2半导体区域、所述第3半导体区域及所述第1电极电连接;

所述第2绝缘部具有第1绝缘部分及第2绝缘部分,

所述第2绝缘部分设置在所述栅极电极与所述第1绝缘部分之间,且比所述第1绝缘部分含有更多的硼。

9. 一种半导体装置的制造方法,其特征在于:

对于具有在上表面形成有第1沟槽的第1半导体层、

沿着所述第1沟槽的内壁设置的第1绝缘层、

在所述第1绝缘层之上设置在所述第1沟槽内的下部的第1电极、及

设置在所述第1电极的上表面的第2绝缘层的半导体衬底,沿着所述第1绝缘层及所述第2绝缘层的表面,形成蚀刻速率低于所述第1绝缘层的第3绝缘层,

在所述第2绝缘层之上形成蚀刻速率高于所述第3绝缘层的第4绝缘层并嵌入所述第1

沟槽；

去除所述第1绝缘层的一部分、所述第3绝缘层的一部分及所述第4绝缘层的至少一部分，在位于所述第2绝缘层之上的所述第3绝缘层的另外一部分的上表面，形成朝向上方突出的第1突出部及第2突出部；且

在所述第2绝缘层及所述第3绝缘层的所述另外一部分之上形成栅极电极。

半导体装置及其制造方法

[0001] [相关申请]

[0002] 本申请享有以日本专利申请2016-182023号(申请日:2016年9月16日)为基础申请的优先权。本申请通过参照该基础申请而包含基础申请的全部内容。

技术领域

[0003] 本发明的实施方式涉及一种半导体装置及其制造方法。

背景技术

[0004] 在MOSFET(Metal Oxide Semiconductor Field Effect Transistor,金属氧化物半导体场效应晶体管)等半导体装置中,是通过控制施加给栅极电极的电压,来切换接通状态与断开状态。在这种半导体装置中,理想的是不轻易产生半导体装置意外地成为接通状态的自接通(self turn-on)现象。

发明内容

[0005] 本发明提供一种不轻易产生自接通现象的半导体装置及其制造方法。

[0006] 实施方式的半导体装置具有第1导电型的第1半导体区域、第2导电型的第2半导体区域、第1导电型的第3半导体区域、第1电极、第2绝缘部、栅极电极及第2电极。所述第2半导体区域设置在所述第1半导体区域之上。所述第3半导体区域设置在所述第2半导体区域之上。所述第1电极隔着第1绝缘部设置在所述第1半导体区域中。所述第2绝缘部设置在所述第1电极之上。所述栅极电极设置在所述第2绝缘部之上。所述栅极电极具有下表面及第1侧面。在所述下表面设置有朝向上方凹陷的第1凹部及第2凹部。所述第1侧面在第1方向上隔着栅极绝缘部与所述第2半导体区域对向。所述第1凹部在所述第1方向上位于所述第2凹部与所述第1侧面之间。所述第1凹部与所述第2凹部之间的所述第1方向上的距离,比所述第1侧面与所述第1凹部之间的所述第1方向上的距离长。所述第2电极设置在所述第2半导体区域之上及所述第3半导体区域之上,与所述第2半导体区域、所述第3半导体区域及所述第1电极电连接。

附图说明

[0007] 图1是表示第1实施方式的半导体装置的一部分的立体剖视图。

[0008] 图2是表示图1的栅极电极附近的放大剖视图。

[0009] 图3(a)、(b)、图4(a)~(c)、图5(a)~(c)、图6(a)、(b)、图7(a)、(b)是表示第1实施方式的半导体装置的制造步骤的步骤剖视图。

[0010] 图8(a)是表示使用半导体装置的电路的一例的电路图,图8(b)是表示半导体装置的等效电路的图。

[0011] 图9(a)是表示第1实施方式的半导体装置的一部分的剖视图,图9(b)是表示参考例的半导体装置的一部分的剖视图。

[0012] 图10(a)、(b)、图11(a)、(b)、图12(a)、(b)是表示实施方式的变化例的半导体装置的一部分的剖视图。

具体实施方式

[0013] 以下,一边参照附图一边对本发明的各实施方式进行说明。

[0014] 此外,附图为示意图或概念图,各部分的厚度与宽度的关系、部分间的大小的比率等未必限定为与实物相同。而且,即便是在表示相同部分的情况下,也存在彼此的尺寸或比率根据附图而不同表示的情况。

[0015] 而且,在本案说明书及各图中,对与已说明过的要素相同的要素标注相同的符号并适当省略详细的说明。

[0016] 在各实施方式的说明中使用XYZ正交坐标系。将从n⁻型半导体区域1朝向p型基极区域2的方向设为Z方向,将与Z方向垂直且相互正交的两个方向设为X方向(第1方向)及Y方向。

[0017] 在以下的说明中,n⁺、n⁻及p的记法表示各导电型中的杂质浓度的相对高低。也就是说,标注有“+”的记法表示,与未标注“+”及“-”中任一个的记法相比,杂质浓度相对较高,标注有“-”的记法表示,与未标注“+”及“-”中任一个的记法相比,杂质浓度相对较低。

[0018] 关于以下说明的各实施方式,也可以使各半导体区域的p型与n型反转而实施各实施方式。

[0019] (第1实施方式)

[0020] 图1是表示第1实施方式的半导体装置100的一部分的立体剖视图。

[0021] 图2是表示图1的栅极电极10附近的放大剖视图。

[0022] 半导体装置100是MOSFET。

[0023] 如图1所示,半导体装置100具有n⁻型(第1导电型)半导体区域1(第1半导体区域)、p型(第2导电型)基极区域2(第2半导体区域)、n⁺型源极区域3(第3半导体区域)、n⁺型漏极区域4、栅极电极10、场板电极(以下称为FP(Field Plate)电极)20(第1电极)、绝缘部31(第1绝缘部)、绝缘部32(第2绝缘部)、绝缘部33、栅极绝缘部35、漏极电极40及源极电极41(第2电极)。

[0024] 漏极电极40设置在半导体装置100的下表面。

[0025] n⁺型漏极区域4设置在漏极电极40之上,与漏极电极40电连接。

[0026] n⁻型半导体区域1设置在n⁺型漏极区域4之上。

[0027] p型基极区域2设置在n⁻型半导体区域1之上。

[0028] n⁺型源极区域3设置在p型基极区域2之上。

[0029] FP电极20隔着绝缘部31设置在n⁻型半导体区域1中。

[0030] 绝缘部32设置在FP电极20之上。

[0031] 栅极电极10设置在绝缘部32之上,且在X方向上隔着栅极绝缘部35与p型基极区域2对向。

[0032] 绝缘部33从上方覆盖n⁺型源极区域3的一部分及栅极电极10。

[0033] p型基极区域2、n⁺型源极区域3、FP电极20及栅极电极10在X方向上设置多个,且分别沿Y方向延伸。

[0034] 此外，并不限定于图1所示的例子， n^+ 型源极区域3、FP电极20及栅极电极10的形状或配置能够适当变更。例如，也可以为，FP电极20及栅极电极10在X方向及Y方向上设置多个。

[0035] 源极电极41设置在p型基极区域2及 n^+ 型源极区域3之上，与p型基极区域2、 n^+ 型源极区域3及FP电极20电连接。而且，栅极电极10与源极电极41被绝缘部33电分离。

[0036] 以下为各构成要素的材料的一例。

[0037] n^- 型半导体区域1、p型基极区域2、 n^+ 型源极区域3及 n^+ 型漏极区域4包含硅(Si)或碳化硅(SiC)作为半导体材料。在使用硅作为半导体材料的情况下，作为n型杂质，可使用砷(As)、磷(P)或锑(Sb)。作为p型杂质，可使用硼(B)。

[0038] 栅极电极10及FP电极20包含多晶硅等导电材料。

[0039] 绝缘部31～33及栅极绝缘部35包含氧化硅(SiO_2)作为绝缘材料。关于这些绝缘部中所包含的更具体的材料，在下文中进行叙述。

[0040] 漏极电极40及源极电极41包含铝(Al)等金属。

[0041] 如图2所示，栅极电极10具有下表面11、侧面12(第1侧面)及与侧面12为相反侧的侧面13。侧面12及13分别隔着栅极绝缘部35而与p型基极区域2对向。在下表面11设置有朝向上方凹陷的凹部R1及R2。凹部R1与R2在X方向上隔开。而且，凹部R1在X方向上位于侧面12与凹部R2之间，凹部R2在X方向上位于侧面13与凹部R1之间。

[0042] 凹部R1与R2之间的X方向上的距离D1比侧面12与凹部R1之间的X方向上的距离D2长，且比侧面13与凹部R2之间的X方向上的距离D3长。此外，距离D1～D3例如能够以各凹部的最凹陷的位置(Z方向上的位置最高的点)为基准而求出。

[0043] 绝缘部32具有第1绝缘部分32a及第2绝缘部分32b。第1绝缘部分32a在Z方向(上下方向)上位于FP电极20与第2绝缘部分32b之间。第2绝缘部分32b在Z方向上位于第1绝缘部分32a与栅极电极10之间。

[0044] 第2绝缘部分32b比绝缘部31、第1绝缘部分32a及栅极绝缘部35含有更多的硼。而且，第2绝缘部分32b的介电常数高于绝缘部31、第1绝缘部分32a及栅极绝缘部35的介电常数。另一方面，绝缘部31、第1绝缘部分32a及栅极绝缘部35形成得比第2绝缘部分32b更致密。

[0045] 而且，第2绝缘部分32b具有朝向上方突出的突出部P1及P2。突出部P1与P2在X方向上隔开。突出部P1设置在凹部R1的内侧，突出部P2设置在凹部R2的内侧。

[0046] 第2绝缘部分32b的X方向上的长度比距离D1长。而且，突出部P1与P2之间的第2绝缘部分32b的Z方向上的厚度比第1绝缘部分32a的Z方向上的厚度厚。

[0047] FP电极20具有第1电极部分20a及第2电极部分20b。第2电极部分20b设置在第1电极部分20a之上。第2电极部分20b的X方向上的长度比第1电极部分20a的X方向上的长度长。而且，第1电极部分20a的X方向上的长度例如比距离D1短。

[0048] FP电极20具有上表面21、侧面22(第2侧面)及与侧面22为相反侧的侧面23(第3侧面)。在图1及图2所示的例子中，侧面22及23为第2电极部分20b的侧面。凹部R1及突出部P1在Z方向上和上表面21与侧面22之间的角C1并排。凹部R2及突出部P2在Z方向上和上表面21与侧面23之间的角C2并排。

[0049] 接下来，对半导体装置100的动作进行说明。

[0050] 如果在相对于源极电极41而对漏极电极40施加了正电压的状态下,对栅极电极10施加阈值以上的电压,那么会在栅极绝缘部35附近的p型基极区域2形成通道(反转层),半导体装置100成为接通状态。电子穿过该通道从源极电极41流向漏极电极40。之后,如果施加到栅极电极10的电压变得低于阈值,那么p型基极区域2中的通道会消失,半导体装置100成为断开状态。

[0051] 当半导体装置100为断开状态且相对于源极电极41而对漏极电极40施加正电位时,空乏层从绝缘部31与n⁻型半导体区域1的界面朝向n⁻型半导体区域1扩展。通过朝向n⁻型半导体区域1扩展的该空乏层,能够提高半导体装置100的耐压。或者,半导体装置100的耐压提升,能够相应地提高n⁻型半导体区域1中的n型杂质浓度,降低半导体装置100的接通电阻。

[0052] 接下来,参照图3~图7,对第1实施方式的半导体装置100的制造方法的一例进行说明。

[0053] 图3~图7是表示第1实施方式的半导体装置100的制造步骤的步骤剖视图。

[0054] 此外,在图4~图6中放大表示沟槽T1的上部(FP电极20的上方)。

[0055] 首先,准备具有n⁻型半导体层1a及n⁺型半导体层4a的半导体衬底S。n⁻型半导体层1a及n⁺型半导体层4a包含硅作为半导体材料。接着,在n⁻型半导体层1a的上表面离子注入p型杂质及n型杂质,形成p型基极区域2及n⁺型源极区域3。然后,如图3(a)所示,在n⁻型半导体层1a形成贯通p型基极区域2及n⁺型源极区域3的沟槽T1。

[0056] 接着,沿着沟槽T1的内壁形成绝缘层IL1。然后,在绝缘层IL1之上形成导电层。通过对该导电层进行回蚀,而如图3(b)所示那样在沟槽T1内形成FP电极20。

[0057] 在图3(b)所示的例子中,形成厚度在沟槽T1的上部及下部不同的绝缘层IL1。这种绝缘层IL1例如是通过如下步骤而获得,即,沿着沟槽T1的内壁形成厚度大致均匀的绝缘层之后,去除形成在沟槽T1上部的部分,再次沿着沟槽T1的内壁形成绝缘层。在此情况下,绝缘层IL1具有在沟槽T1的下部积层有多层绝缘层的构造。

[0058] 然后,于厚度在沟槽T1的上部及下部不同的绝缘层IL1之上形成导电层并进行回蚀,由此形成上下宽度不同的FP电极20。此外,FP电极20也可以形成在厚度大致均匀的绝缘层IL1之上。在此情况下,FP电极20的上部与下部的宽度形成为大致相等。

[0059] 接着,通过进行热氧化,而如图4(a)所示那样在FP电极20的上表面形成绝缘层IL2。绝缘层IL2形成得比形成在沟槽T1上部的绝缘层IL1薄。

[0060] 接着,利用CVD(Chemical Vapor Deposition,化学气相沉积)法,沿着绝缘层IL1及IL2的表面形成绝缘层IL3。此时,如图4(b)所示,绝缘层IL3以并未完全嵌入沟槽T1的方式形成。因此,在形成有沟槽T1的位置,在绝缘层IL3的上表面形成凹部R3。

[0061] 然后,在绝缘部IL3之上形成绝缘层IL4,对绝缘层IL4进行加热而使其回流。这样一来,如图4(c)所示,绝缘层IL3上表面的凹部R3被绝缘层IL4嵌入,并且绝缘层IL4的上表面得以平坦化。

[0062] 在图5及图6所示的以后的步骤中,通过各向同性蚀刻而去除绝缘层IL1的一部分、IL3的一部分及IL4。作为各向同性蚀刻,例如可列举使用氢氟酸的湿式蚀刻。

[0063] 此外,绝缘层IL1、IL3及IL4的材料是以绝缘层IL1的蚀刻速率及绝缘层IL4的蚀刻速率高于绝缘层IL3的蚀刻速率的方式选择。

- [0064] 以下是用来实现这种蚀刻速率的关系的材料的一例。
- [0065] 绝缘层IL1由于是通过n⁻型半导体层1a的热氧化而形成，因此包含致密形成的氧化硅。
- [0066] 关于绝缘层IL3，在作为绝缘材料的氧化硅中添加了硼。因此，绝缘层IL3比绝缘层IL1及IL2含有更多的硼。
- [0067] 关于绝缘层IL4，在作为绝缘材料的氧化硅中添加了硼及磷。而且，添加到绝缘层IL4中的硼的浓度高于添加到绝缘层IL3中的硼的浓度。也就是说，绝缘层IL4比绝缘层IL1、IL2及IL3含有更多的硼及磷。
- [0068] 一边参照图5(a)～图6(b)，一边对蚀刻各绝缘层时的情况具体地进行说明。
- [0069] 当湿式蚀刻开始时，首先，形成在最上面的绝缘层IL4的表面不断后退，如图5(a)所示，绝缘层IL3的上表面露出。如果保持这种状态，通过湿式蚀刻使绝缘层IL3及IL4的上表面不断后退，那么如图5(b)所示，绝缘层IL1的上表面露出。
- [0070] 如上所述，绝缘层IL4的蚀刻速率高于绝缘层IL3的蚀刻速率。因此，绝缘层IL4的上表面后退的速度比绝缘层IL3的上表面后退的速度快。如果绝缘层IL4的上表面比绝缘层IL3的上表面更快地后退，被绝缘层IL4覆盖的绝缘层IL3的侧面露出，那么如图5(b)所示，蚀刻从该露出的侧面沿横向进展。
- [0071] 如果保持这样的状态继续进行湿式蚀刻，那么绝缘层IL1、IL3及IL4的上表面不断后退。此时，由于绝缘层IL1的蚀刻速率高于绝缘层IL3的蚀刻速率，因此如图5(c)所示，绝缘层IL4的上表面比绝缘层IL3的上表面更快地后退。
- [0072] 如果被绝缘层IL1覆盖绝缘层IL3的侧面露出，那么如图6(a)所示，蚀刻也是从该露出的侧面各向同性地进展。也就是说，绝缘层IL3的上表面不断后退，并且蚀刻也是从与绝缘层IL1及IL4相接的两侧面沿横向进展。结果，当已去除绝缘层IL4时，如图6(b)所示，在绝缘层IL3的上表面形成有突出部P1及P2。
- [0073] 在图6(b)所示的构造中，FP电极20上的绝缘层IL2与第1绝缘部分32a相对应，具有突出部P1及P2的绝缘层IL3与第2绝缘部分32b相对应。
- [0074] 接着，通过对半导体衬底S进行热氧化，而在露出的n⁻型半导体层1a、p型基极区域2及n⁺型源极区域3的表面形成绝缘层IL5。绝缘层IL5形成得比绝缘层IL1或IL3薄。然后，如图7(a)所示，在绝缘层IL1及IL2之上、且X方向上相邻的绝缘层IL5彼此之间形成栅极电极10。
- [0075] 通过在突出部P1及P2之上直接形成栅极电极10，栅极电极10的一部分因突出部P1及P2而凹陷，从而形成凹部R1及R2。
- [0076] 接着，形成覆盖栅极电极10及绝缘层IL5的绝缘层IL6。然后，形成贯穿n⁺型源极区域3、绝缘层IL5及IL6并到达至p型基极区域2的沟槽。然后，形成覆盖绝缘层IL6并嵌入该沟槽的金属层，通过对金属层进行回蚀，而如图7(b)所示那样形成源极电极41。
- [0077] 之后，研磨n⁺型半导体层4a的背面直到n⁺型半导体层4a成为特定的厚度。然后，通过在n⁺型半导体层4a的背面形成漏极电极40，而制作图1及图2所示的半导体装置100。
- [0078] 此处，一边参照图8及图9，一边对第1实施方式所带来的效果进行说明。
- [0079] 图8(a)是使用半导体装置的电路的一例，图8(b)表示半导体装置的等效电路。
- [0080] 图9(a)是表示第1实施方式的半导体装置100的一部分的剖视图，图9(b)是表示参

考例的半导体装置100R的一部分的剖视图。

[0081] 在图8(a)所示的电路中,使用两个MOSFET90及91,构成DC-DC转换器的主要切换电路。在图8(a)所示的电路中,当MOSFET91为断开状态时,如果MOSFET90成为接通状态,那么MOSFET91的漏极电极侧的电压上升到 V_{IN} 。

[0082] 如图8(b)所示,MOSFET中存在漏极电极与栅极电极之间的栅极-漏极间电容 C_{GD} 、栅极电极与源极电极之间的栅极-源极间电容 C_{GS} 及栅极电阻 R_g 。如果对漏极电极侧输入电压 V_{IN} ,那么栅极电压 V_G 上升到由下式所示的值。

$$V_G = \{C_{GD}/(C_{GS}+C_{GD})\} \times V_{IN} \quad (1)$$

[0084] 此时,如果栅极电压 V_G 成为阈值以上,那么MOSFET91意外地成为接通状态,在MOSFET90及91中流通电流而产生损耗。而且,为了防止MOSFET像这样自接通,理想的是如由式(1)可知那样,增大栅极-源极间电容 C_{GS} 、或减小栅极-漏极间电容 C_{GD} 、或者实现所述两种情况。

[0085] 图9(a)是表示第1实施方式的半导体装置100的一部分的剖视图,图9(b)是表示参考例的半导体装置100R的一部分的剖视图。

[0086] 半导体装置100及100R均在栅极电极10的下表面11形成有凹部R1及R2。在半导体装置100中,如图9(a)所示,距离D1比距离D2及D3长。相对于此,在半导体装置100R中,如图9(b)所示,距离D1比距离D2及D3短。

[0087] 在距离D1~D3为图9(a)所示的关系的情况下,与为图9(b)所示的关系情况相比,位于凹部R1与R2之间的下表面11的区域11a的面积变大。由于区域11a与FP电极20的上表面21对向,因此在距离D1~D3为图9(a)所示的关系的情况下,与为图9(b)所示的关系的情况相比,能够使栅极电极10与FP电极20之间的栅极-源极间电容增加。

[0088] 由于FP电极20与源极电极41电连接,因此使栅极电极10与FP电极20之间的电容增加,此情况会使栅极电极10与源极电极41之间的栅极-源极间电容 C_{GS} 变大。

[0089] 而且,栅极电极10隔着绝缘层31及32、栅极绝缘层35而与n⁻型半导体区域1对向,由此在栅极电极10与n⁻型半导体区域1之间形成有栅极-漏极间电容 C_{GD} 。在形成有凹部R1及R2的部分,栅极电极10与n⁻型半导体区域1之间的距离局部变长,因此这些部分的栅极-漏极间电容 C_{GD} 也会变小。

[0090] 凹部R1及R2越靠近n⁻型半导体区域1,因凹部R1及R2导致的栅极-漏极间电容 C_{GD} 减少的量变得越大。因此,通过以距离D2及D3比距离D1短的方式靠近栅极电极10的侧面12及13设置,能够进一步增大因凹部R1及R2导致的栅极-漏极间电容 C_{GD} 减少的量。

[0091] 因此,与图9(b)所示的构造相比,图9(a)所示的本实施方式的半导体装置的构造能够减小栅极-漏极间电容 C_{GD} 。

[0092] 如使用图8所说明那样,为了防止MOSFET的自接通,理想的是增大栅极-源极间电容 C_{GS} 、或减小栅极-漏极间电容 C_{GD} 、或者实现所述两种情况。

[0093] 根据本实施方式,如上所述,能够一边增大栅极-源极间电容 C_{GS} ,一边减小栅极-漏极间电容 C_{GD} 。因此,与参考例的半导体装置相比,本实施方式能够抑制自接通现象的发生。

[0094] 而且,当对栅极电极10施加了电压时,因栅极电极10与FP电极20之间的电位差而在这两个电极之间产生电场。此时,电场容易集中在FP电极20上部的角C1及C2附近。为了防止因电场集中导致绝缘破坏,理想的是使栅极电极10与FP电极20之间的距离较长。

[0095] 但是,如果使栅极电极10与FP电极20之间的绝缘部32的厚度整体变厚,那么会导致栅极-源极间的电容 C_{GS} 降低。

[0096] 关于这方面,在本实施方式的半导体装置100中,使角C1与凹部R1、及角C2与凹部R2在Z方向上并排。也就是说,在设置有容易产生电场集中的角C1及C2的部位,栅极电极10与FP电极20之间的距离局部变长。

[0097] 因此,根据本实施方式,能够一边抑制栅极-源极间电容 C_{GS} 的降低,一边缓和FP电极20中的电场集中。

[0098] 设置在栅极电极10与FP电极20之间的绝缘部32还具有第2绝缘部分32b。第2绝缘部分32b比第1绝缘部分32a含有更多的硼,第2绝缘部分32b的介电常数高于第1绝缘部分32a或绝缘部31等的介电常数。设置在栅极电极10与FP电极20之间的绝缘体的介电常数越高,产生越大的介电极化,栅极电极10及FP电极20所产生的电荷被抵消得越多。因此,通过在角C1及C2之上设置介电常数高于其它绝缘部的第2绝缘部分32b,能够进一步缓和角C1及C2附近的电场集中。

[0099] 而且,根据本实施方式的制造方法,使用蚀刻速率不同的三层绝缘层在绝缘层IL2的上表面形成突出部P1及P2,利用这两个突出部形成具有凹部R1及R2的栅极电极10。根据本实施方式,能够通过这种简单的方法,而形成具有凹部R1及R2的栅极电极10。

[0100] 而且,根据本实施方式的制造方法,还能够通过调整绝缘层IL1及IL3各自的膜厚,而控制形成在绝缘层IL3的上表面的突出部P1及P2的位置。

[0101] 也就是说,沟槽T1上部的绝缘层IL1形成得越薄,突出部P1及P2形成在越靠近沟槽T1的内壁的位置。而且,绝缘层IL3形成得越薄,突出部P1及P2形成在越靠近沟槽T1的内壁的位置。

[0102] 接下来,一边参照图10~图12,一边对实施方式的变化例进行说明。

[0103] 图10~图12是表示实施方式的变化例的半导体装置的一部分的剖视图。

[0104] 图10~图12中,放大表示了各半导体装置的栅极电极10附近。

[0105] 在图10(a)所示的例子中,位于凹部R1与R2之间的下表面11的区域11a位于比凹部R1与侧面12之间及凹部R2与侧面13之间的区域11b更靠下方。

[0106] 通过使栅极电极10的下表面与FP电极20的上表面的距离变短,能够增大栅极-源极间电容 C_{GS} 。另一方面,为了抑制角C1及C2处的电场集中,位于FP电极20的角C1及C2的上方的区域11b不宜接近FP电极20而设置。

[0107] 关于这方面,根据图10(a)所示的方式,通过使区域11a位于比区域11b更靠下方,能够一边抑制角C1及C2处的电场集中,一边使栅极-源极间的电容更大。

[0108] 如图10(b)所示,区域11a也可以朝向下方呈凸状弯曲。或者,也可以为,区域11a的一部分为平坦,另外一部分朝向下方弯曲。同样地,区域11b也可以朝向下方呈凸状弯曲。

[0109] 在图11(a)所示的例子中,区域11a位于比区域11b更靠上方。而且,在图11(b)所示的例子中,区域11a位于比图11(a)所示的例子进而更上方。

[0110] 此外,图11(b)所示的构造可在以下情况下获得,即,例如在图4~图6所示的步骤中,使绝缘层IL1与IL3的蚀刻速率的差比绝缘层IL4与绝缘层IL3的蚀刻速率的差大,以保留绝缘层IL4的一部分的方式去除绝缘层IL1、IL3及IL4。

[0111] 在此情况下,如图11(b)所示,栅极电极10与FP电极20之间的绝缘部32除第1绝缘

部分32a及第2绝缘部分32b以外,还具有第3绝缘部分32c。第3绝缘部分32c在Z方向上位于第2绝缘部分32b与栅极电极10之间。而且,第3绝缘部分32c比第1绝缘部分32a及第2绝缘部分32b含有更多的硼及磷。

[0112] 在图12(a)所示的例子中,区域11a朝向下方呈凸状弯曲,并且FP电极20的上表面21也朝向下方呈凸状弯曲。在此情况下,栅极电极10与FP电极20之间的第1绝缘部分32a及第2绝缘部分32b也朝向下方呈凸状弯曲。

[0113] 在图12(b)所示的例子中,区域11a及上表面21朝向下方呈凸状折曲。并且,第1绝缘部分32a及第2绝缘部分32b也朝向下方呈凸状折曲。

[0114] 这样一来,FP电极20的上表面21或绝缘部32的各部分的形状能够适当变更。

[0115] 此外,在图12(a)及(b)所示的例子的情况下,FP电极20的角C1及C2处的电场集中变得更强。但是,根据本实施方式,凹部R1及R2分别位于角C1及C2之上,因此能够适当地缓和这两个角的电场集中。

[0116] 关于以上所说明的各实施方式中的各半导体区域之间的杂质浓度的相对高低,例如能够使用SCM(扫描型静电电容显微镜)进行确认。此外,各半导体区域中的载流子浓度可视为与各半导体区域中活化的杂质浓度相等。因此,关于各半导体区域之间的载流子浓度的相对高低,也可以使用SCM进行确认。

[0117] 而且,关于各半导体区域中的杂质浓度,例如能够通过SIMS(二次离子质谱法)进行测定。

[0118] 以上,对本发明的若干实施方式进行了说明,但这些实施方式是作为示例而提出的,并不意图限定发明的范围。这些新颖的实施方式能够以其它多种方式实施,且能够在不脱离发明主旨的范围内进行各种省略、替换、变更。关于实施方式中所包含的例如n⁻型半导体区域1、p型基极区域2、n⁺型源极区域3、n⁺型漏极区域4、栅极电极10、场板电极20、绝缘部31~33、栅极绝缘部35、漏极电极40、源极电极41等各要素的具体构成,本领域技术人员能够从公知的技术中适当选择。这些实施方式或其变化包含在发明的范围或主旨中,且包含在权利要求书所记载的发明及其均等的范围内。而且,所述各实施方式能够相互组合而实施。

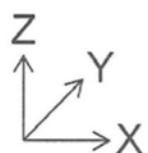
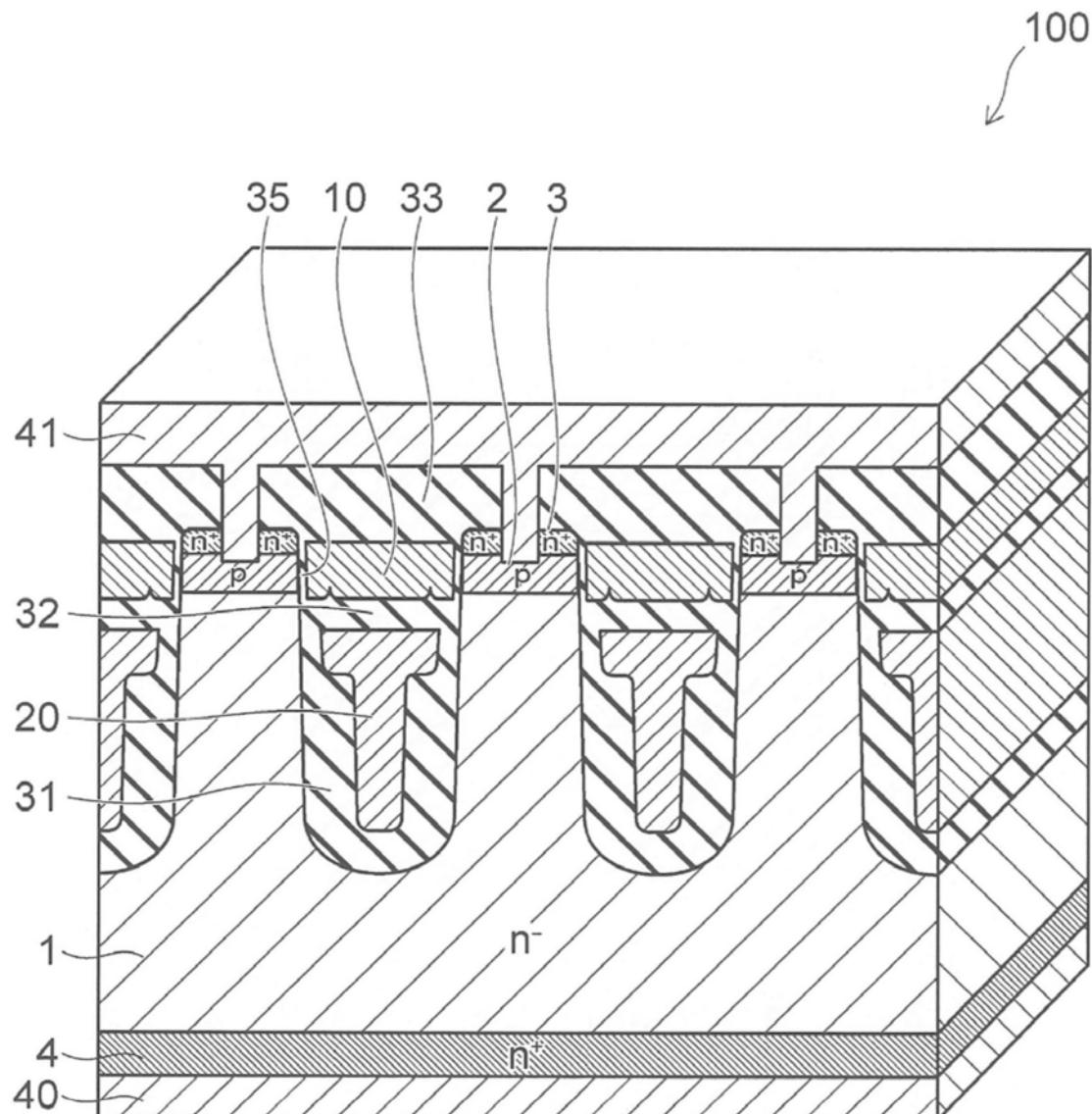


图1

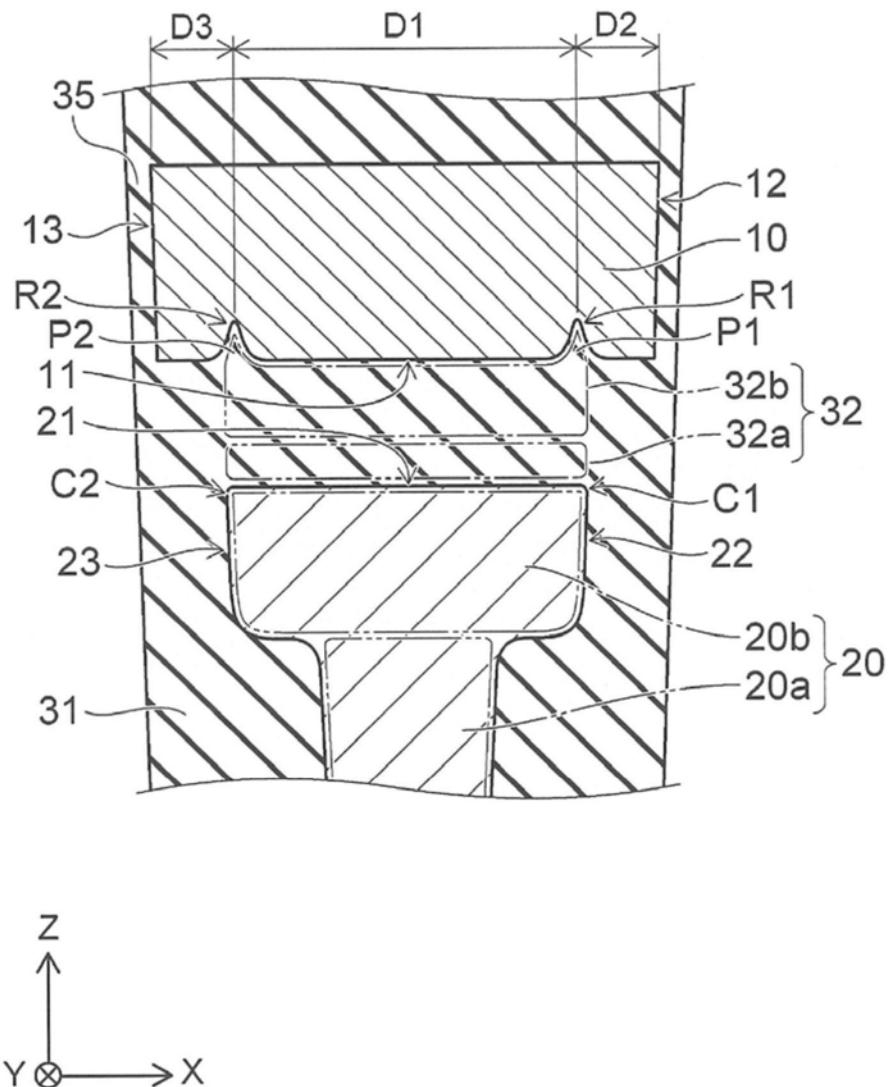
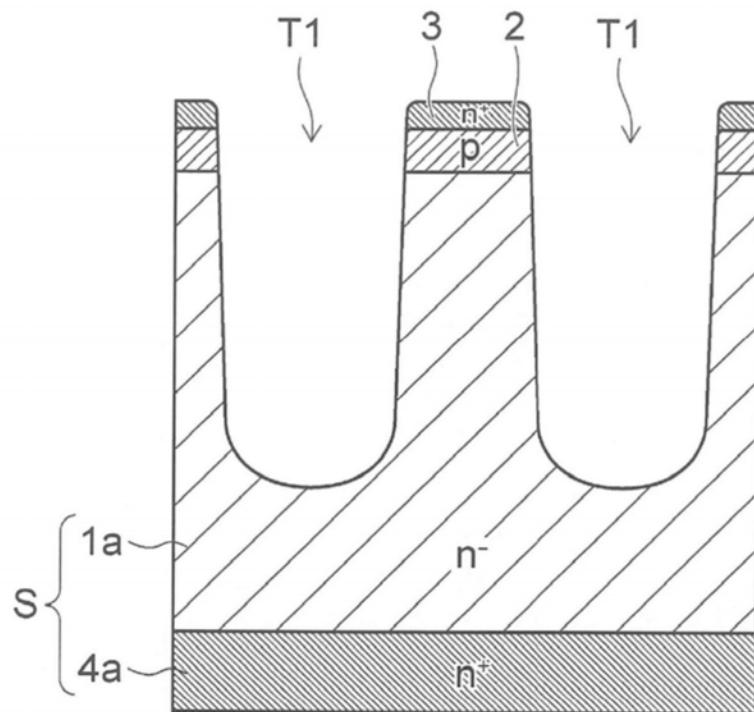


图2

(a)



(b)

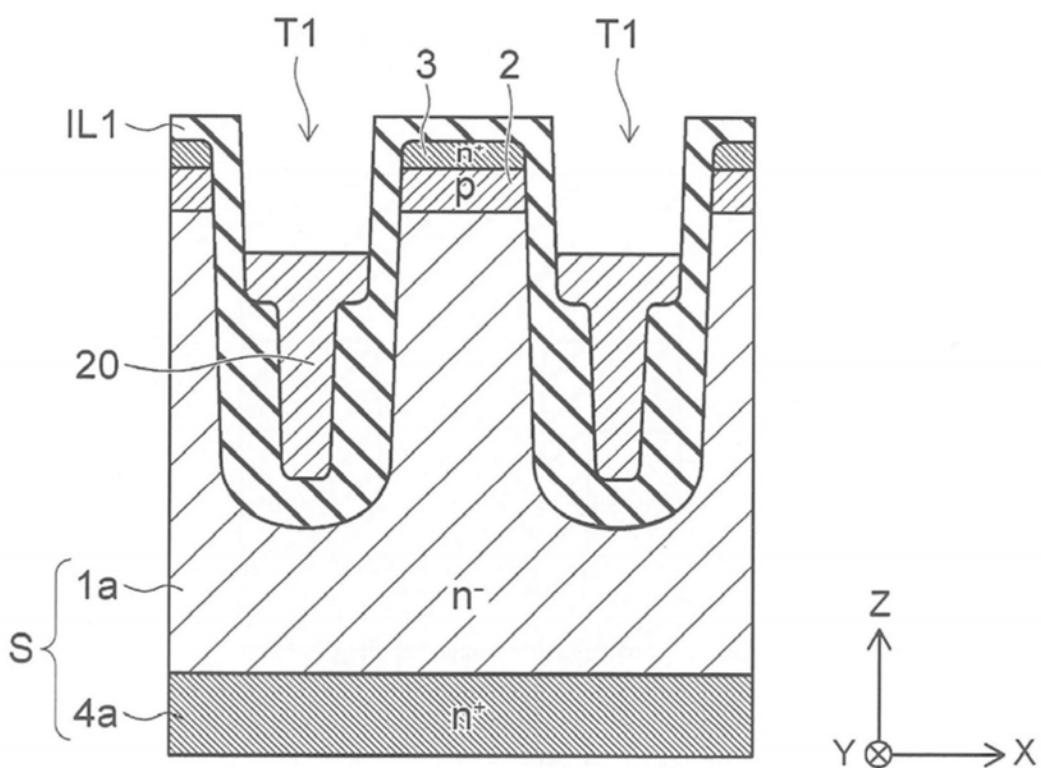


图3

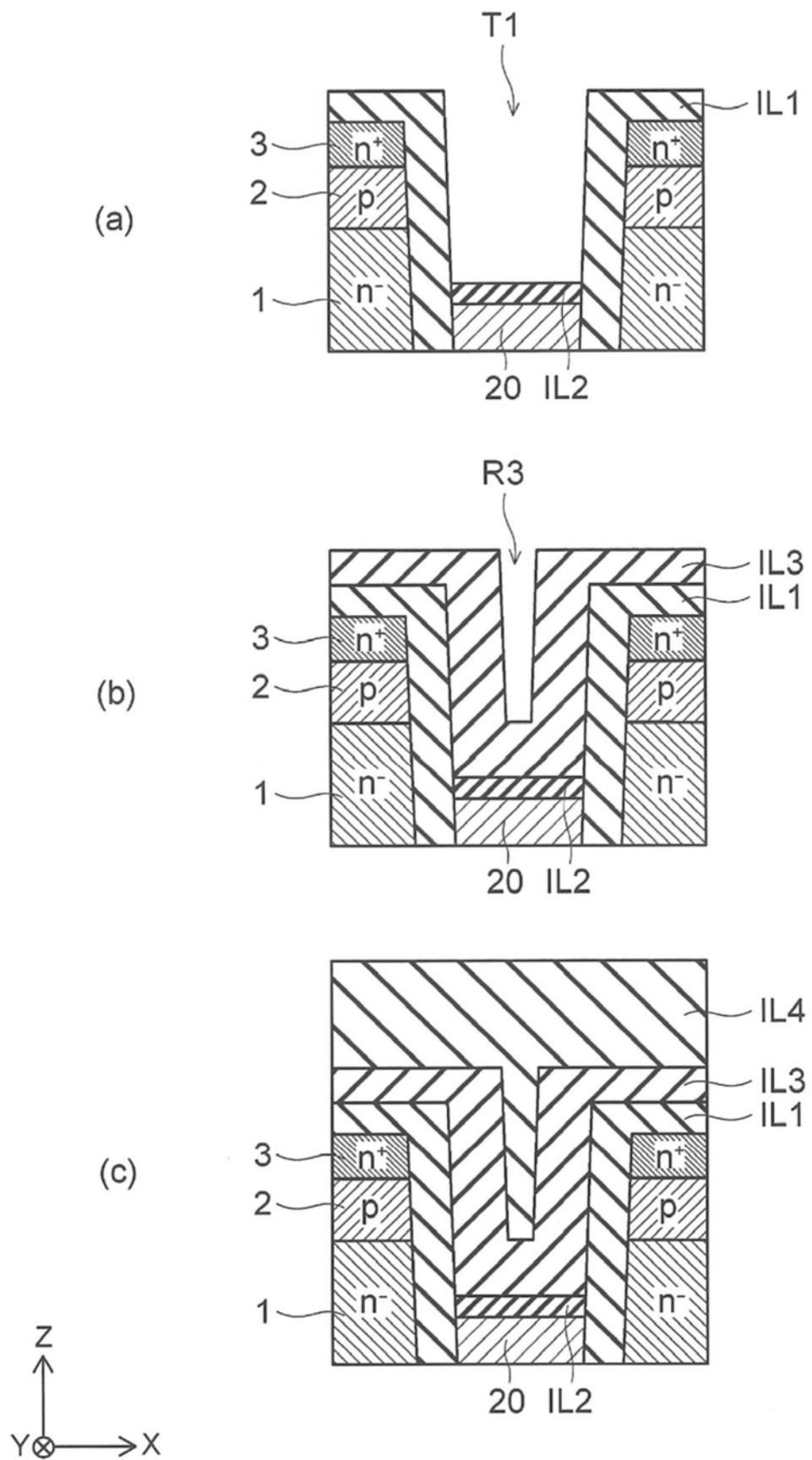


图4

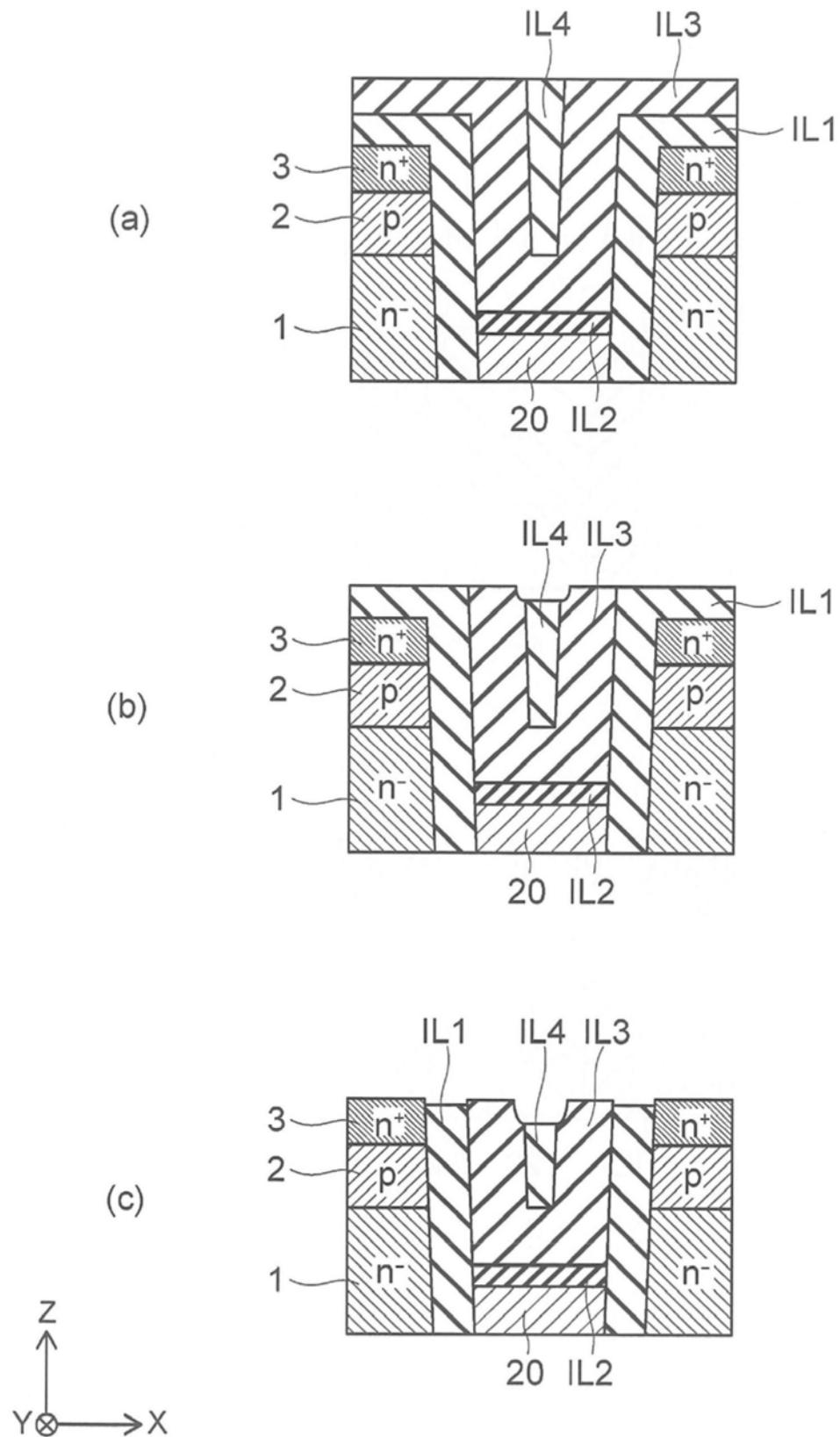


图5

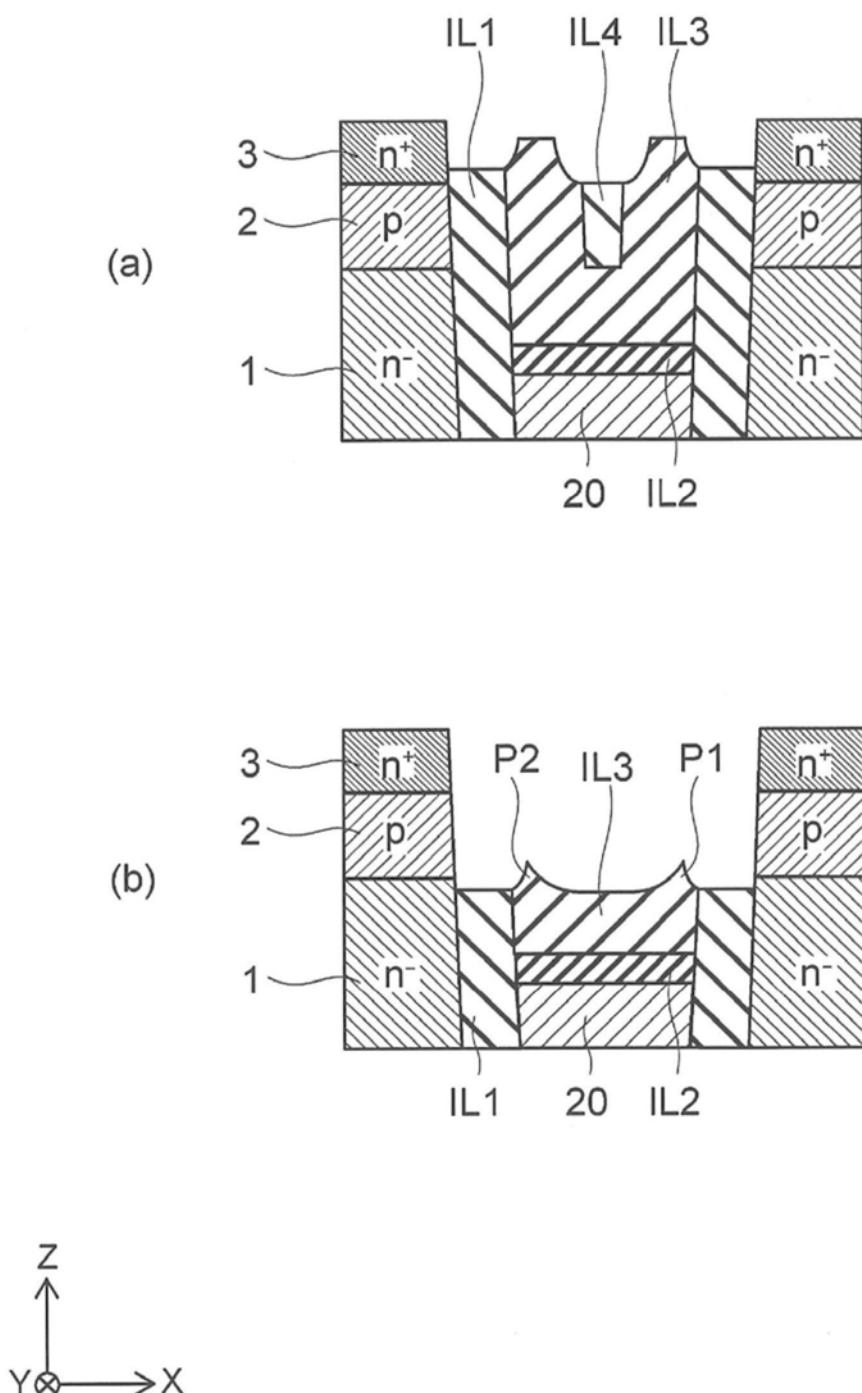
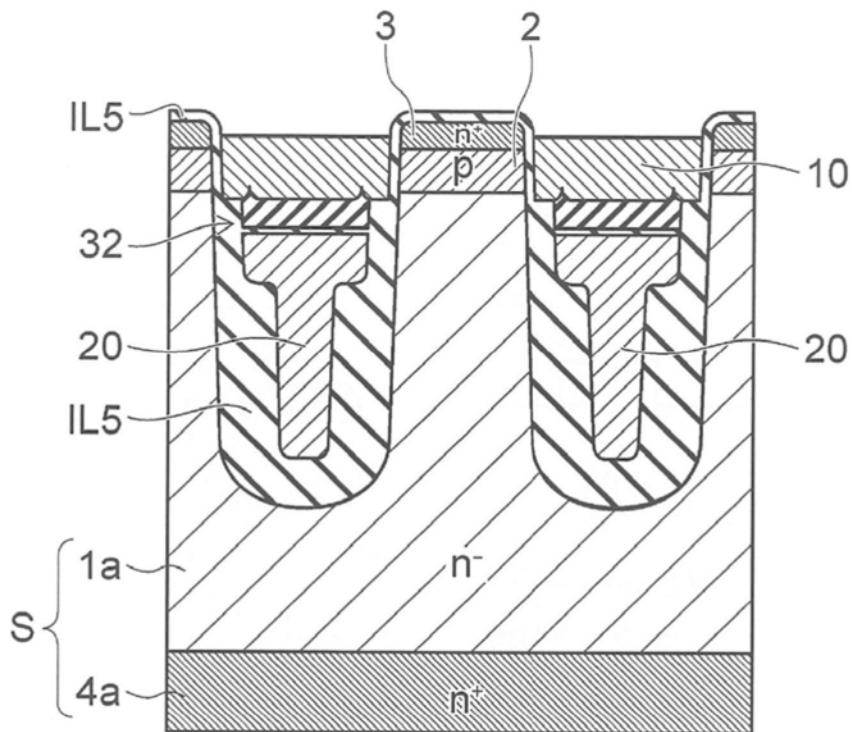


图6

(a)



(b)

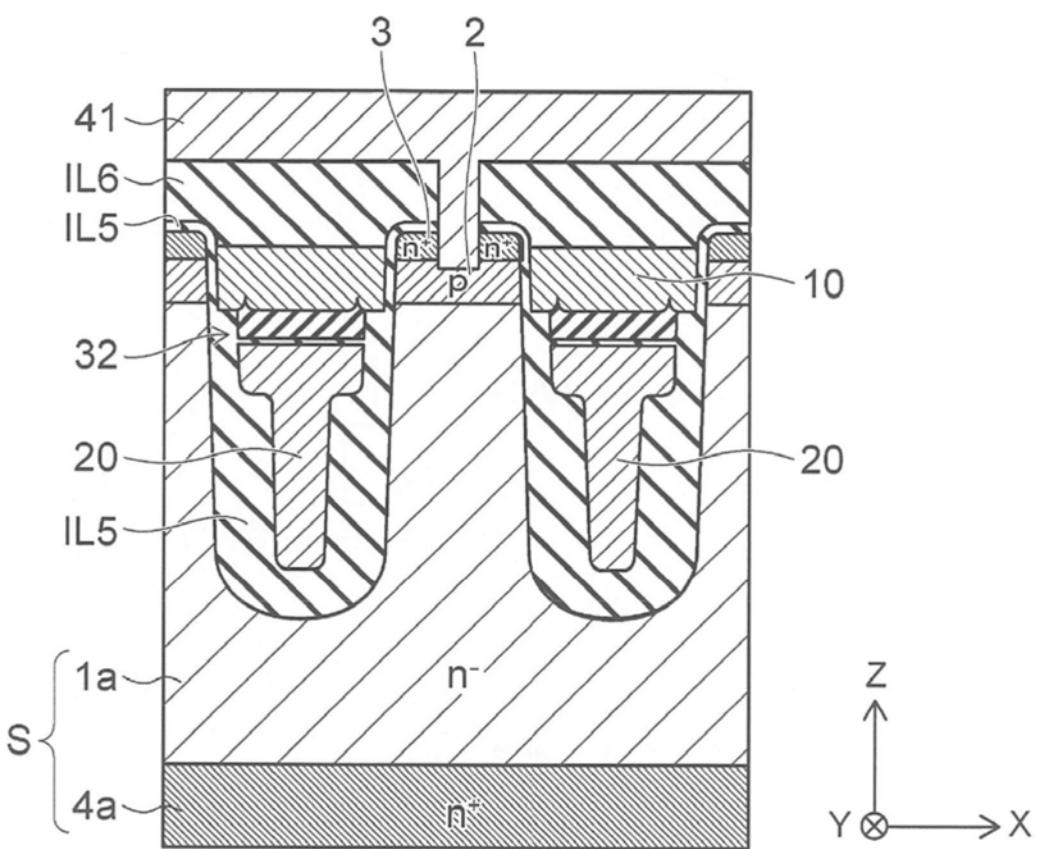


图7

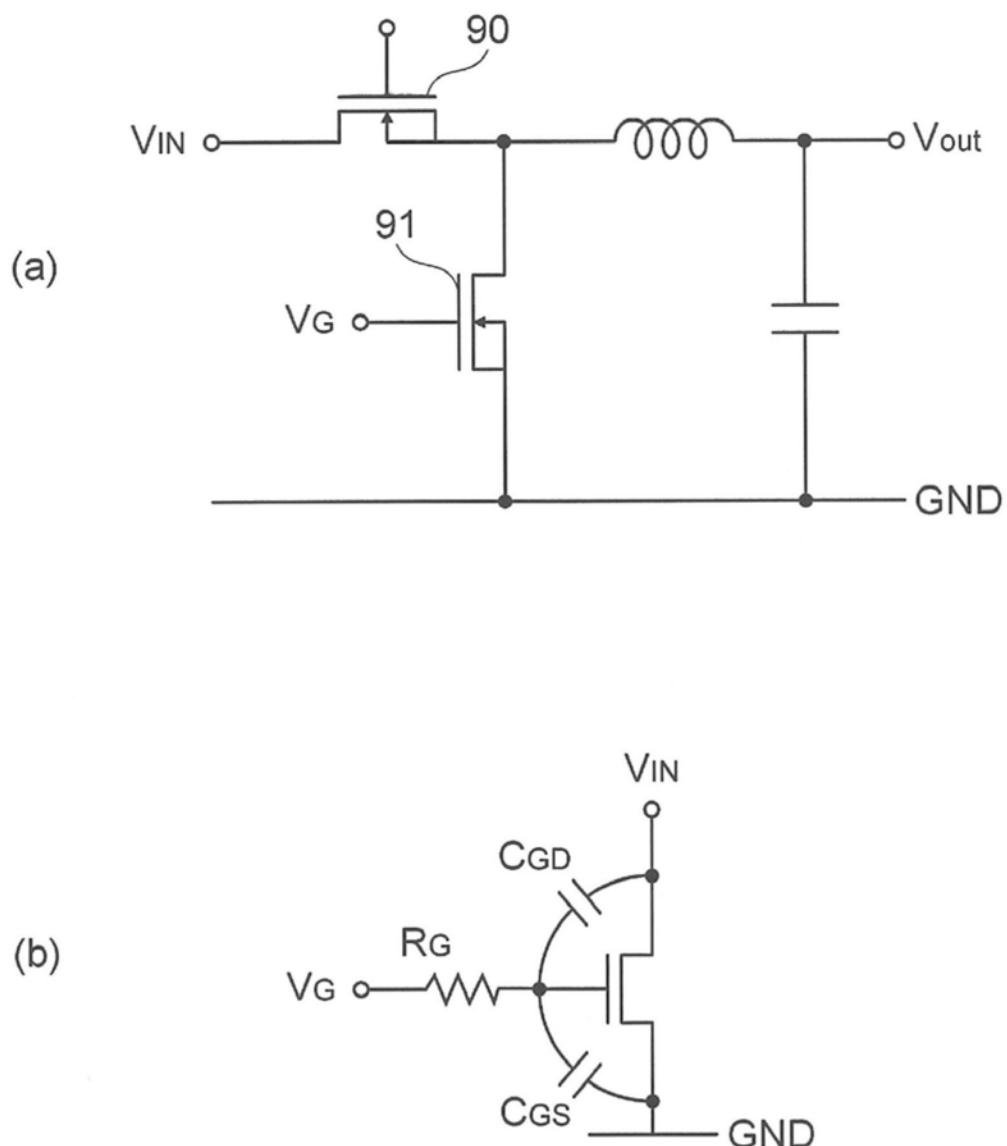


图8

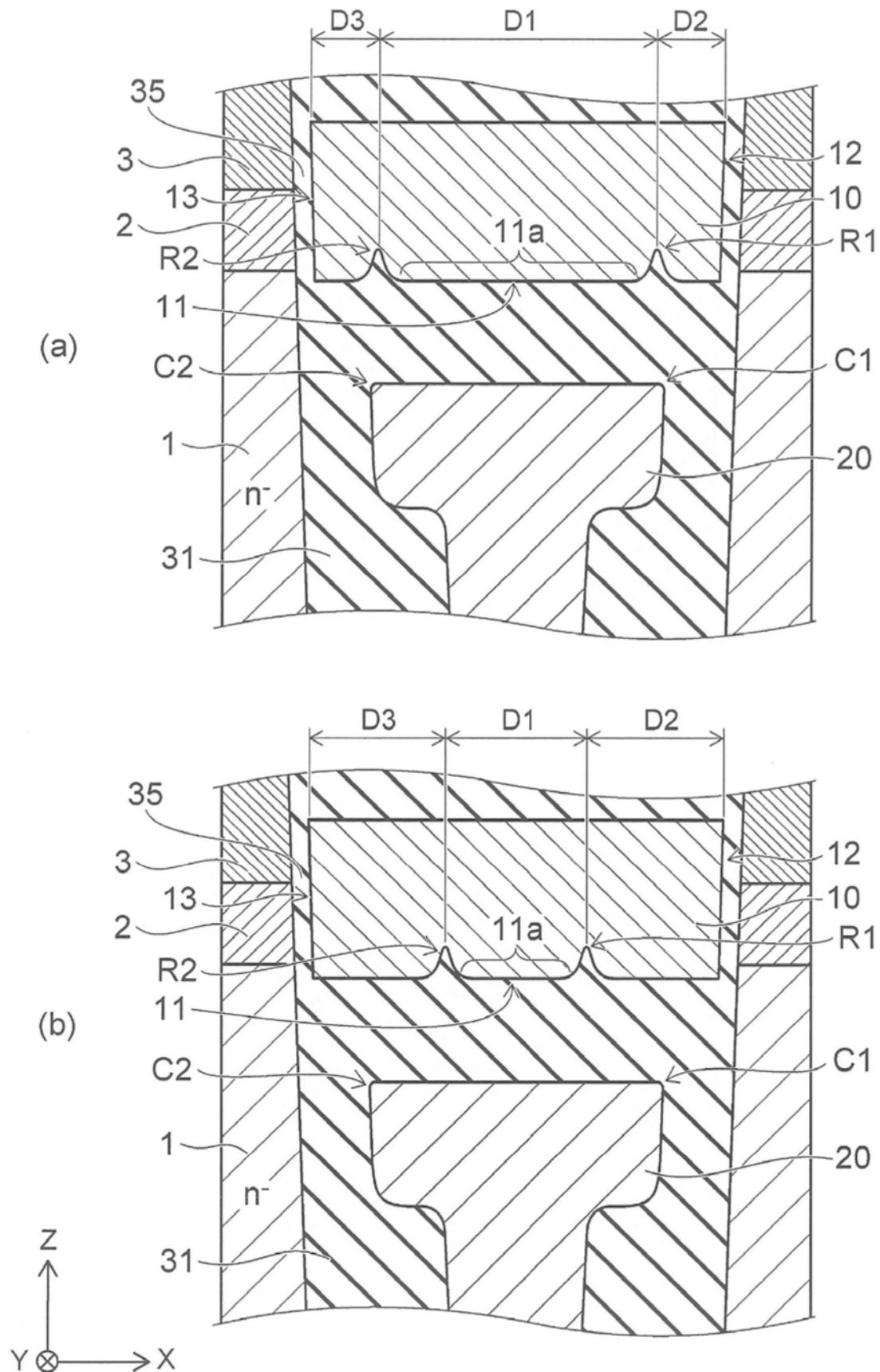


图9

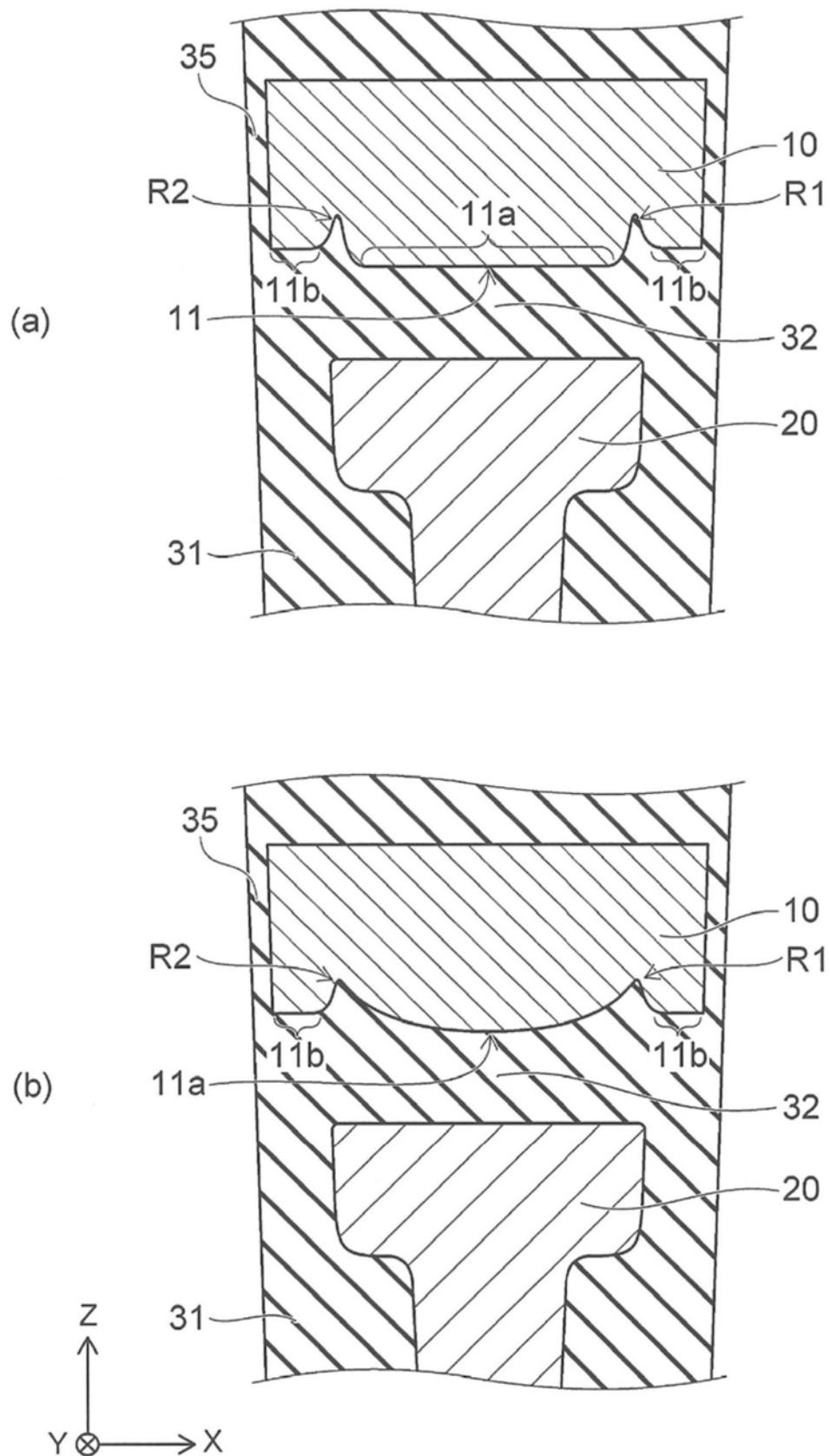


图10

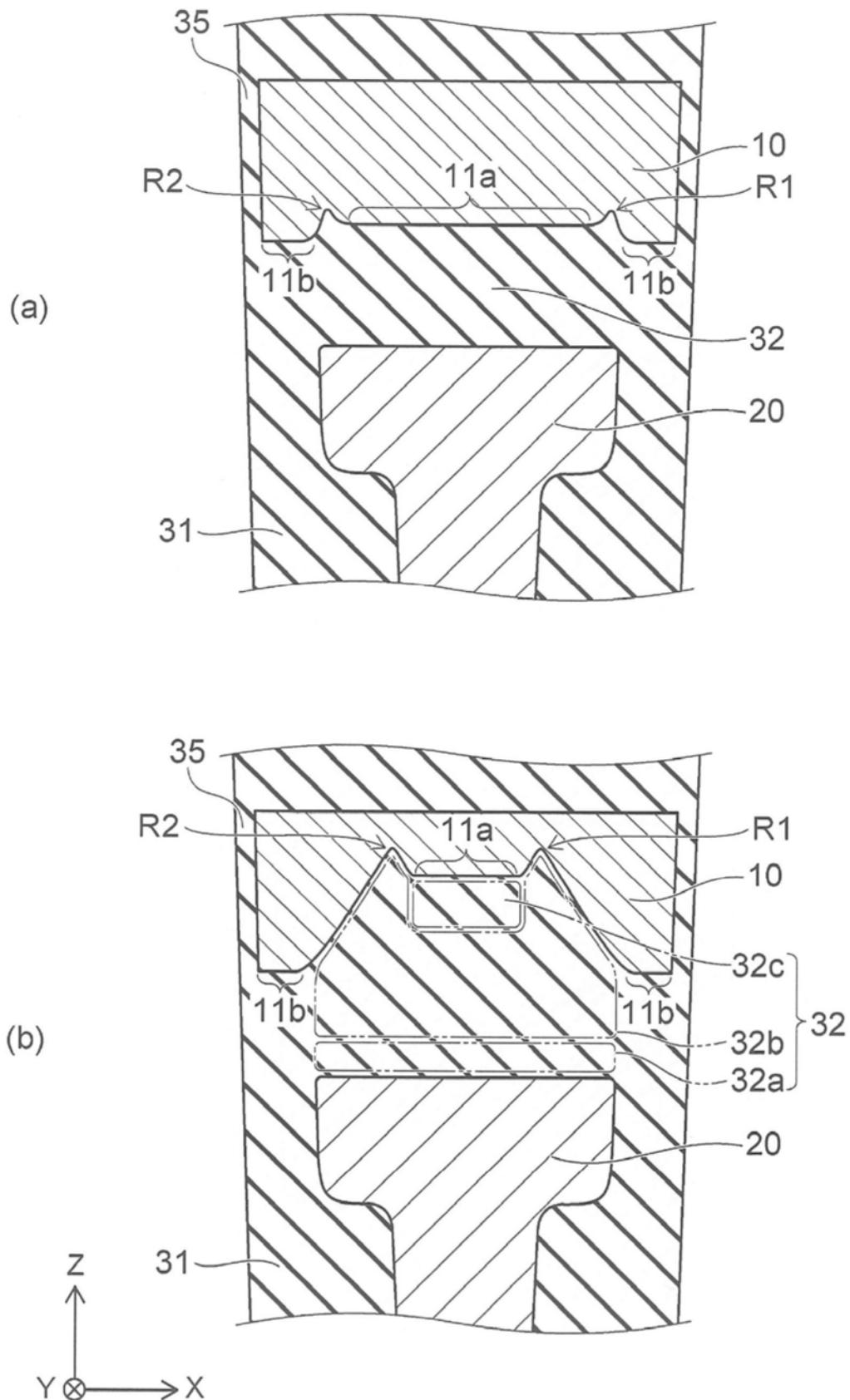


图11

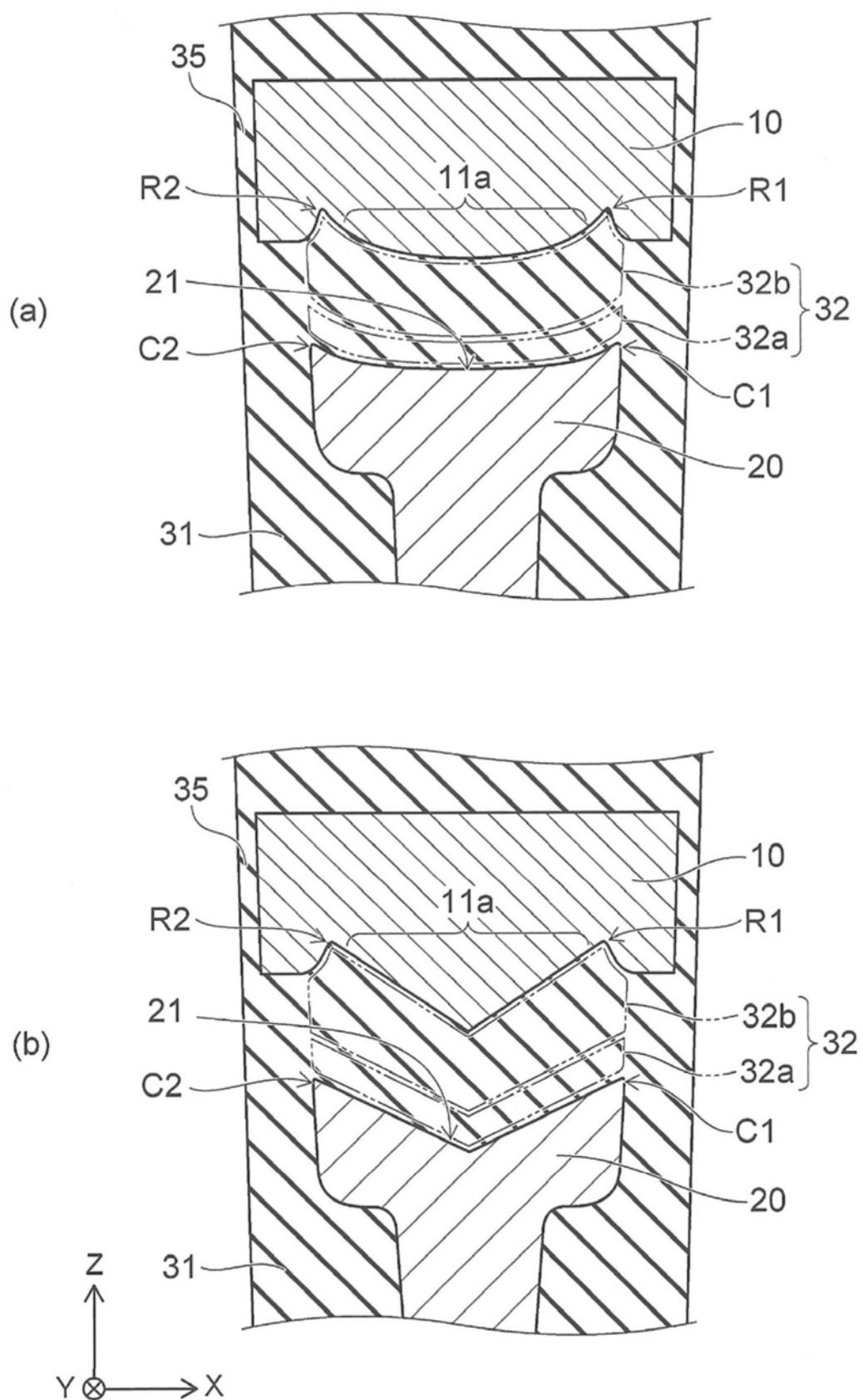


图12