



(12) 发明专利申请

(10) 申请公布号 CN 104134427 A

(43) 申请公布日 2014. 11. 05

(21) 申请号 201410382652. 6

(22) 申请日 2014. 08. 06

(71) 申请人 友达光电股份有限公司
地址 中国台湾新竹科学工业园区新竹市力行二路 1 号

(72) 发明人 林钰凯 叶佳元 刘俊彦

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006
代理人 徐金国

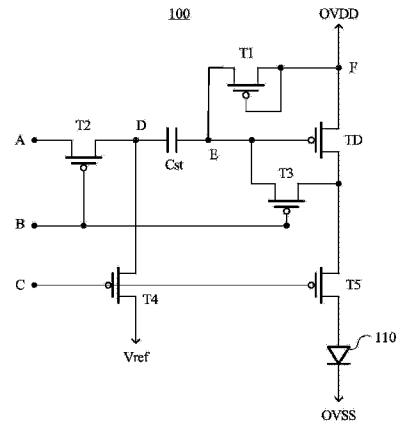
(51) Int. Cl.
G09G 3/32 (2006. 01)
H01L 27/32 (2006. 01)

权利要求书2页 说明书6页 附图12页

(54) 发明名称
像素电路

(57) 摘要

一种像素电路,包含一储能元件、一驱动晶体管、一第一晶体管、一第二晶体管、一第三晶体管、一第四晶体管以及一第五晶体管。第一晶体管的第一端与储能元件的第一端电性连接。第二晶体管的第一端用以选择性地接收一数据电压或一预充电电压。第三晶体管的栅极与第二晶体管的栅极用以接收一扫描信号。第五晶体管的栅极与第四晶体管的栅极用以接收一发光致能信号。通过本发明的技术手段,在提供相同的数据电压的状况下,纵使驱动晶体管的临界电压产生偏移,仍然可以产生相同的驱动电流来驱动发光元件。如此一来,可改善显示画面亮度不均匀的现象。



1. 一种像素电路,其特征在于,包含:

一储能元件;

一驱动晶体管,该驱动晶体管的栅极与该储能元件的第一端电性连接;

一第一晶体管,该第一晶体管的第一端与该储能元件的第一端电性连接,该第一晶体管的栅极、该第一晶体管的第二端以及该驱动晶体管的第一端电性连接;

一第二晶体管,该第二晶体管的第一端用以选择性地接收一数据电压或一预充电电压,该第二晶体管的第二端与该储能元件的第二端电性连接;以及

一第三晶体管,该第三晶体管的栅极与该第二晶体管的栅极用以接收一扫描信号,该第三晶体管的第一端与该驱动晶体管的第二端电性连接,该第三晶体管的第二端与该储能元件的第一端电性连接;

其中于一第一阶段,该储能元件的第二端的电位被维持在一参考电压;

于一第二阶段,该第二晶体管的第一端用以接收该预充电电压,该第二晶体管以及该第三晶体管依据该扫描信号导通,使得该储能元件经由该第二晶体管通过该预充电电压进行充电,且该第一晶体管相应于该储能元件充电的操作导通。

2. 根据权利要求1所述的像素电路,其特征在于,于一第三阶段,该第二晶体管的第一端用以接收该数据电压,该储能元件的第二端经由该第二晶体管被放电至该数据电压。

3. 根据权利要求2所述的像素电路,其特征在于,于该第三阶段,该驱动晶体管导通,且该储能元件更透过该驱动晶体管以及该第三晶体管由一供应电压进行充电,使得该储能元件的第一端被充电至一操作电压。

4. 根据权利要求1或2所述的像素电路,其特征在于,还包含:

一第四晶体管,该第四晶体管的第一端与该储能元件的第二端电性连接,该第四晶体管的第二端电性连接至该参考电压;以及

一第五晶体管,该第五晶体管的第一端与该驱动晶体管的第二端电性连接,该第五晶体管的栅极与该第四晶体管的栅极用以接收一发光致能信号,该第五晶体管的第二端用以电性连接一发光元件;

其中于一第四阶段,该第二晶体管以及该第三晶体管依据该扫描信号关闭,该第四晶体管以及该第五晶体管依据该发光致能信号导通,且该储能元件的第二端经由该第四晶体管被放电至该参考电压。

5. 根据权利要求4所述的像素电路,其特征在于,于该第四阶段,该驱动晶体管与该第五晶体管均导通,使得该发光元件经由该驱动晶体管以及该第五晶体管被一供应电压所驱动而发光。

6. 根据权利要求1至5中任一者所述的像素电路,其特征在于,该预充电电压的准位高于该数据电压的准位。

7. 一种像素电路,其特征在于,包含:

一储能元件;

一驱动晶体管,该驱动晶体管的栅极与该储能元件的第一端电性连接;

一第一晶体管,该第一晶体管的第一端与该储能元件的第一端电性连接,该第一晶体管的栅极、该第一晶体管的第二端以及该驱动晶体管的第一端电性连接;

一第二晶体管,该第二晶体管的第一端用以选择性地接收一数据电压或一预充电电压,

该第二晶体管的第二端与该储能元件的第二端电性连接；

一第三晶体管,该第三晶体管的栅极与该第二晶体管的栅极用以接收一扫描信号,该第三晶体管的第一端与该驱动晶体管的第二端电性连接,该第三晶体管的第二端与该储能元件的第一端电性连接；

一第四晶体管,该第四晶体管的第一端与该储能元件的第二端电性连接,该第四晶体管的第二端电性连接至一参考电压；以及

一第五晶体管,该第五晶体管的第一端与该驱动晶体管的第二端电性连接,该第五晶体管的栅极与该第四晶体管的栅极用以接收一发光致能信号。

8. 根据权利要求 7 所述的像素电路,其特征在于,还包含：

一发光元件,该发光元件与该第五晶体管的第二端电性连接。

9. 根据权利要求 8 所述的像素电路,其特征在于,该发光元件为一有机发光二极管,且该驱动晶体管、该第一晶体管、该第二晶体管、该第三晶体管、该第四晶体管以及该第五晶体管皆为 P 型晶体管。

10. 根据权利要求 7 至 9 中任一者所述的像素电路,其特征在于,该预充电电压的准位高于该数据电压的准位。

像素电路

技术领域

[0001] 本发明是有关于一种像素电路,且特别是有关于一种适用于有机发光二极管的像素驱动电路。

背景技术

[0002] 平面显示装置具有耗电量低、发热量少以及重量轻...等优点,目前已经被广泛用于各种电子产品中。平面显示装置依照其驱动方式,一般可区分为被动矩阵式 (passive matrix) 与主动矩阵式 (active matrix) 两种。被动矩阵式显示装置受限于其驱动模式,有寿命较短与无法大面积化...等缺点。而主动矩阵式显示装置虽然成本较为昂贵且制程较为复杂,但可满足大尺寸以及高解析度的显示需求。因此,主动矩阵式显示装置已成为平面显示装置的主流。其中,主动式有机发光二极管 (Organic Light-Emitting Diode, OLED) 显示装置为近年来各家厂商主要发展的产品之一。

[0003] 然而,应用于制作主动式有机发光二极管显示装置的薄膜晶体管中,用以驱动有机发光二极管的驱动晶体管可能因为制程、材料或是元件特性不同...等因素而造成晶体管的临界电压 (threshold voltage) 偏移,使得在相同的数据电压驱动下,每一个像素的有机发光二极管的驱动电流会有些微差异。另外,流经有机发光二极管的电流也会随着电源供应电压受到线阻电压降 (IR-Drop) 的影响而改变。上述因素会造成有机发光二极管显示装置的显示画面有亮度不均匀的现象。

发明内容

[0004] 因此,本发明的一方面是在提供一种像素电路。所述像素电路包含一储能元件、一驱动晶体管、一第一晶体管、一第二晶体管以及一第三晶体管。驱动晶体管的栅极与储能元件的第一端电性连接。第一晶体管的第一端与储能元件的第一端电性连接。第一晶体管的栅极、第一晶管的第二端以及驱动晶体管的第一端电性连接。第二晶体管的第一端用以选择性地接收一数据电压或一预充电电压。第二晶管的第二端与储能元件的第二端电性连接。第三晶体管的栅极与第二晶管的栅极用以接收一扫描信号。第三晶体管的第一端与驱动晶管的第二端电性连接。第三晶管的第二端与储能元件的第一端电性连接。于一第一阶段,储能元件的第二端的电位被维持在一参考电压。于一第二阶段,第二晶管的第二端用以接收预充电电压。第二晶体管以及第三晶体管依据扫描信号导通,使得储能元件经由第二晶体管藉预充电电压进行充电,且第一晶体管相应于储能元件充电的操作导通。

[0005] 本发明的另一方面是在提供一种像素电路。所述像素电路包含一储能元件、一驱动晶体管、一第一晶体管、一第二晶体管、一第三晶体管、一第四晶体管以及一第五晶体管。驱动晶体管的栅极与储能元件的第一端电性连接。第一晶体管的第一端与储能元件的第一端电性连接。第一晶管的栅极、第一晶管的第二端以及驱动晶体管的第一端电性连接。第二晶管的第二端用以选择性地接收一数据电压或一预充电电压。第二晶管的第二端与储能元件的第二端电性连接。第三晶管的栅极与第二晶管的栅极用以接收一扫描信

号。第三晶体管的第一端与驱动晶体管的第二端电性连接。第三晶体管的第二端与储能元件的第一端电性连接。第四晶体管的第一端与储能元件的第二端电性连接。第四晶体管的第二端电性连接至一参考电压。第五晶体管的第一端与驱动晶体管的第二端电性连接。第五晶体管的栅极与第四晶体管的栅极用以接收一发光致能信号。

[0006] 通过本发明的技术手段,由于驱动发光元件发光的驱动电流与驱动晶体管的临界电压无关,在提供相同的数据电压的状况下,纵使驱动晶体管的临界电压产生偏移,仍然可以通过本发明所提出的像素电路产生相同的驱动电流来驱动发光元件。如此一来,可解决像素电路中的驱动晶体管可能因为制程、材料或是元件特性不同…等因素而造成临界电压偏移的问题,并可借此改善有机发光二极管显示装置的显示画面亮度不均匀的现象。

[0007] 另外,由于驱动发光元件发光的驱动电流与供应电压无关,可解决在不同的像素下,供应电压因为线阻电压降(IR-Drop)而造成的驱动电流不一致的情形。如此一来,可有效提升使用大量像素的高解析度面板的画面均匀度。

[0008] 再者,本发明所提出的像素电路仅需使用两个驱动信号,因此可提供较已知的像素补偿电路更大的像素布线空间,并可提高显示装置的开口率(aperture ratio)。如此一来,可更加容易达成高解析度以及窄边框(slim border)的面板的需求,并可进一步提升发光元件的寿命。

附图说明

[0009] 图 1 为本发明一实施例中,一种像素电路的电路示意图;

[0010] 图 2A 为根据本发明一实施例,绘示于一第一阶段时驱动像素电路的示意图;

[0011] 图 2B 为根据本发明一实施例,绘示于一第一阶段时驱动像素电路的信号示意图;

[0012] 图 3A 为根据本发明一实施例,绘示于一第二阶段时驱动像素电路的示意图;

[0013] 图 3B 为根据本发明一实施例,绘示于一第二阶段时驱动像素电路的信号示意图;

[0014] 图 4A 为根据本发明一实施例,绘示于一第三阶段时驱动像素电路的示意图;

[0015] 图 4B 为根据本发明一实施例,绘示于一第三阶段时驱动像素电路的信号示意图;

[0016] 图 5A 为根据本发明一实施例,绘示于一第四阶段时驱动像素电路的示意图;

[0017] 图 5B 为根据本发明一实施例,绘示于一第四阶段时驱动像素电路的信号示意图;

[0018] 图 6 为本发明一实施例中,一种像素电路的电路示意图;

[0019] 图 7 为本发明一实施例中,一种像素电路的电路示意图;

[0020] 图 8 为本发明一实施例中,一种像素电路的电路示意图。

具体实施方式

[0021] 下文是举实施例配合所附图作详细说明,但所提供的实施例并非用以限制本发明所涵盖的范围,而结构运作的描述非用以限制其执行的顺序,任何由元件重新组合的结构,所产生具有均等功效的装置,皆为本发明所涵盖的范围。此外,附图仅以说明为目的,并未依照原尺寸作图。为使便于理解,下述说明中相同元件将以相同的符号标示来说明。

[0022] 在全篇说明书与权利要求书所使用的用词(terms),除有特别注明外,通常具有每个用词使用在此领域中、在此揭露的内容中与特殊内容中的平常意义。某些用以描述本发明的用词将于下或在此说明书的别处讨论,以提供本领域技术人员在有关本发明的描述上

额外的引导。

[0023] 另外,关于本文中所使用的“耦接”或“连接”,均可指二或多个元件相互直接作实体或电性接触,或是相互间接作实体或电性接触,亦可指二或多个元件相互操作或动作。

[0024] 于本文中,除非内文中对于冠词有所特别限定,否则“一”与“该”可泛指单一个或多个。将进一步理解的是,本文中所使用的“包含”、“包括”、“具有”及相似词汇,指明其所记载的特征、区域、整数、步骤、操作、元件与 / 或组件,但不排除其所述或额外的其一个或多个其它特征、区域、整数、步骤、操作、元件、组件,与 / 或其中的群组。

[0025] 另外,在本文中,使用第一、第二与第三等等的词汇,是用于描述各种元件、组件、区域、层与 / 或区块是可以被理解的。但是这些元件、组件、区域、层与 / 或区块不应该被这些术语所限制。这些词汇只限于用来辨别单一元件、组件、区域、层与 / 或区块。因此,在下文中的一第一元件、组件、区域、层与 / 或区块也可被称为第二元件、组件、区域、层与 / 或区块,而不脱离本发明的本意。

[0026] 请参照图 1。图 1 为本发明一实施例中,一种像素电路 100 的电路示意图。

[0027] 像素电路 100 包含一储能元件 Cst、一驱动晶体管 TD、一第一晶体管 T1、一第二晶体管 T2、一第三晶体管 T3、一第四晶体管 T4 以及一第五晶体管 T5。

[0028] 驱动晶体管 TD 的栅极与储能元件 Cst 电性连接。于一实施例中,储能元件 Cst 为一电容,且驱动晶体管 TD 的栅极与储能元件 Cst 的第一端电性连接于端点 E。第一晶体管 T1 的第一端与储能元件 Cst 的第一端电性连接于端点 E,而第一晶体管 T1 的栅极、第一晶体管 T1 的第二端以及驱动晶体管 TD 的第一端电性连接于端点 F,并自端点 F 接收一供应电压 OVDD。第二晶体管 T2 的第一端用以选择性地自端点 A 接收一数据电压或一预充电压。于一实施例中,上述预充电压的准位高于上述数据电压的准位,而上述数据电压可来自于数据驱动电路(未绘示)的输出。第二晶体管 T2 的第二端与储能元件 Cst 的第二端电性连接于端点 D。第三晶体管 T3 的栅极与第二晶体管 T2 的栅极用以自端点 B 接收一扫描信号。第三晶体管 T3 的第一端与驱动晶体管 TD 的第二端电性连接。第三晶体管 T3 的第二端与储能元件 Cst 的第一端电性连接于端点 E。第四晶体管 T4 的第一端与储能元件 Cst 的第二端电性连接于端点 D。第四晶体管 T4 的第二端电性连接至一参考电压 Vref。第五晶体管 T5 的第一端与驱动晶体管 TD 的第二端电性连接。第五晶体管 T5 的栅极与第四晶体管 T4 的栅极用以自端点 C 接收一发光致能信号。于本实施例中,像素电路 100 还包含一发光元件 110。发光元件 110 与第五晶体管 T5 的第二端电性连接。于一实施例中,发光元件 110 为一有机发光二极管(Organic Light Emitting Diode, OLED),该有机发光二极管的阳极与第五晶体管 T5 的第二端电性连接,而该有机发光二极管的阴极连接至一直流偏压 OVSS。

[0029] 另外,于一实施例中,驱动晶体管 TD、第一晶体管 T1、第二晶体管 T2、第三晶体管 T3、第四晶体管 T4 以及第五晶体管 T5 皆为 P 型晶体管,而上述晶体管的第一端为 P 型晶体管的源极(Source),上述晶体管的第二端为 P 型晶体管的漏极(Drain)。

[0030] 以下图 2A、图 2B、图 3A、图 3B、图 4A、图 4B、图 5A 以及图 5B 是用以说明像素电路 100 的操作过程。图 2A、图 3A、图 4A 以及图 5A 是分别绘示于不同阶段时,驱动像素电路 100 的示意图。图 2B、图 3B、图 4B 以及图 5B 是分别绘示对应于图 2A、图 3A、图 4A 以及图 5A 所示的阶段时,用以驱动像素电路 100 的信号示意图。于图 2A、图 3A、图 4A 以及图 5A 中,端

点 A 分别用以接收图 2B、图 3B、图 4B、图 5B 中的信号 120，端点 B 分别用以接收图 2B、图 3B、图 4B、图 5B 中的扫描信号 SCAN，端点 C 分别用以接收图 2B、图 3B、图 4B、图 5B 中的发光致能信号 EM。而图 2B、图 3B、图 4B、图 5B 中的电压 V_g 是分别为图 2A、图 3A、图 4A 以及图 5A 中，驱动晶体管 TD 的栅极电压。另外，于图 2A、图 3A、图 4A 以及图 5A 中，虚线部分的晶体管是表示该晶体管并未导通。

[0031] 如图 2A 以及图 2B 所示，于驱动像素电路 100 的一第一阶段 L1 开始之前，端点 C 所接收的发光致能信号 EM 是位于低位准电压。因此，第四晶体管 T4 导通，储能元件 Cst 的第二端的电位是经由第四晶体管 T4，于端点 D 被维持在参考电压 V_{ref} 。而于第一阶段 L1 时，端点 C 所接收的发光致能信号 EM 由低位准电压转态为高位准电压。因此，第四晶体管 T4 以及第五晶体管 T5 依据发光致能信号 EM 关闭，且储能元件 Cst 的第二端的电位仍然于端点 D 被维持在参考电压 V_{ref} 。另外，由于端点 B 所接收的扫描信号 SCAN 具有一高位准电压，因此第二晶体管 T2 以及第三晶体管 T3 并未导通。而端点 A 所接收的信号 120 被维持在一预充电电压 V_{pre} 。

[0032] 请参照图 3A 以及图 3B 所示，于驱动像素电路 100 的一第二阶段 L2 时，端点 B 所接收的扫描信号 SCAN 由高位准电压转态为低位准电压。第二晶体管 T2 以及第三晶体管 T3 依据扫描信号 SCAN 导通。由于第二晶体管 T2 被导通，储能元件 Cst 经由第二晶体管 T2 通过端点 A 所具有的预充电电压 V_{pre} 进行充电。其中，储能元件 Cst 的第二端的电位（即端点 D 的电位）由参考电压 V_{ref} 被充电至预充电电压 V_{pre} 。由于电容的馈通效应 (feed-through effect)，储能元件 Cst 的第一端的电位（即端点 E 的电位）也随的上升。因此，晶体管 T1 被导通，且如图 3A 中的虚线箭头方向所示，储能元件 Cst 经由第一晶体管 T1 放电。储能元件 Cst 的第一端的电位值（即端点 E 的电位值）将被放电至约 $0V_{DD} + |V_{th}|$ ，其中 V_{th} 为驱动晶体管 TD 的临界电压 (threshold voltage)。

[0033] 接着，请参照图 4A 以及图 4B 所示，于驱动像素电路 100 的一第三阶段 L3 时，端点 A 所接收的信号 120 由预充电电压 V_{pre} 下降至一数据电压 V_{data} 。因此，储能元件 Cst 的第二端的电位（即端点 D 的电位）通过第二晶体管 T2，由预充电电压 V_{pre} 被放电至数据电压 V_{data} 。由于电容的馈通效应，储能元件 Cst 的第一端的电位（即端点 E 的电位）也随的下降。因此，晶体管 T1 被关闭，且由于驱动晶体管 TD 的栅极电位下降至低于 $0V_{DD} - |V_{th}|$ ，驱动晶体管 TD 导通。如图 4A 中的虚线箭头方向所示，储能元件 Cst 经由透过驱动晶体管 TD 以及第三晶体管 T3 由供应电压 $0V_{DD}$ 进行充电，使得储能元件 Cst 的第一端的电位值（即端点 E 的电位值）被充电至一操作电压 $0V_{DD} - |V_{th}|$ 。

[0034] 请参照图 5A 以及图 5B 所示，于驱动像素电路 100 的一第四阶段 L4 (即显示阶段) 时，端点 B 所接收的扫描信号 SCAN 由低位准电压转态为高位准电压，而端点 C 所接收的发光致能信号 EM 由高位准电压转态为低位准电压。第二晶体管 T2 以及第三晶体管 T3 依据扫描信号 SCAN 关闭，第四晶体管 T4 以及第五晶体管 T5 依据发光致能信号 EM 导通。储能元件 Cst 的第二端的电位（即端点 D 的电位）通过第四晶体管 T4，由数据电压 V_{data} 被放电至参考电压 V_{ref} 。由于电容的馈通效应，储能元件 Cst 的第一端的电位（即端点 E 的电位）也随的下降至约 $0V_{DD} - |V_{th}| - V_{data} + V_{ref}$ ，因此，驱动晶体管 TD 导通。由于驱动晶体管 TD 以及第五晶体管 T5 均导通，使得发光元件 110 经由驱动晶体管 TD 以及第五晶体管 T5 被供应电压 $0V_{DD}$ 所驱动而发光。其中，驱动发光元件 110 发光的驱动电流即为驱动晶体管

TD 的第二端所输出的驱动电流 I_d 。驱动电流 I_d 是由下列数学式决定：

$$[0035] \quad I_d = K * (V_s - V_g - |V_{th}|)^2$$

$$[0036] \quad = K * (OVDD - (OVDD - |V_{th}| - V_{data} + V_{ref}) - |V_{th}|)^2$$

$$[0037] \quad = K * (V_{data} - V_{ref})^2$$

[0038] 其中, K 为驱动晶体管 TD 的电流常数, V_s 为驱动晶体管 TD 的第一端的电位, V_g 为驱动晶体管 TD 的栅极的电位 (即端点 E 的电位)。由上述公式可知, 本发明通过利用第二晶体管 T2 的第一端选择性地自端点 A 接收数据电压或预充电电压, 以及利用电容的馈通效应, 使得于显示阶段时, 驱动发光元件 110 发光的驱动电流 I_d 仅与数据电压 V_{data} 以及参考电压 V_{ref} 有关。驱动电流 I_d 与驱动晶体管 TD 的临界电压 V_{th} 无关, 驱动电流 I_d 也与供应电压 $OVDD$ 无关。

[0039] 需说明的是, 上述图 1 至图 5B 所示的像素电路 100 仅为本发明的一示范性实施例, 而并非用限制本发明。例如, 虽然于像素电路 100 中, 各晶体管皆采用 P 型晶体管来实施, 但是本领域具有通常知识者可依循上述示范性实施例的教导内容而类推 / 推演出改采用 N 型晶体管来实施的变型方式, 故在不脱离本发明的精神和范围内, 这些变型的实施方式亦当属于本发明所欲保护的范畴。另外, 图 6 至图 8 是分别绘示本发明所提出的像素电路的变型方式。

[0040] 于图 6 所示的像素电路 600 中, 端点 I 是用以接收如图 2B 至图 5B 中所示的信号 120, 端点 J 是用以接收如图 2B 至图 5B 中所示的扫描信号 SCAN, 端点 K 是用以接收如图 2B 至图 5B 中所示的发光致能信号 EM。像素电路 600 的操作与图 1 至 5B 中所示的像素电路 100 类似, 故在此不再赘述。

[0041] 于图 7 所示的像素电路 700 中, 端点 L 是用以接收如图 2B 至图 5B 中所示的信号 120, 端点 M 是用以接收如图 2B 至图 5B 中所示的扫描信号 SCAN, 端点 N 是用以接收如图 2B 至图 5B 中所示的发光致能信号 EM。像素电路 700 的操作与图 1 至图 5B 中所示的像素电路 100 类似, 故在此不再赘述。

[0042] 于图 8 所示的像素电路 800 中, 端点 P 是用以接收如图 2B 至图 5B 中所示的信号 120, 端点 Q 是用以接收如图 2B 至图 5B 中所示的扫描信号 SCAN, 端点 R 是用以接收如图 2B 至图 5B 中所示的发光致能信号 EM。像素电路 800 的操作与图 1 至图 5B 中所示的像素电路 100 类似, 故在此不再赘述。

[0043] 综上所述, 通过本发明的技术手段, 由于驱动发光元件发光的驱动电流与驱动晶体管的临界电压无关, 在提供相同的数据电压的状况下, 纵使驱动晶体管的临界电压产生偏移, 仍然可以通过本发明所提出的像素电路产生相同的驱动电流来驱动发光元件。如此一来, 可解决像素电路中的驱动晶体管可能因为制程、材料或是元件特性不同... 等因素而造成临界电压偏移的问题, 并可借此改善有机发光二极管显示装置的显示画面亮度不均匀的现象。

[0044] 另外, 由于驱动发光元件发光的驱动电流与供应电压 $OVDD$ 无关, 可解决在不同的像素下, 供应电压因为线阻电压降 (IR-Drop) 而造成的驱动电流不一致的情形。如此一来, 可有效提升使用大量像素的高解析度面板的画面均匀度。

[0045] 再者, 本发明所提出的像素电路仅需使用两个驱动信号, 因此可提供更大的像素布线空间, 并可提高显示装置的开口率 (aperture ratio)。如此一来, 可更加容易达成高解

析度以及窄边框 (slim border) 的面板的需求,并可进一步提升发光元件的寿命。

[0046] 虽然本发明已以实施方式揭露如上,然其并非用以限定本发明,任何熟悉此技艺者,在不脱离本发明的精神和范围内,当可作各种的更动与润饰,因此本发明的保护范围当视所附的权利要求书所界定的范围为准。

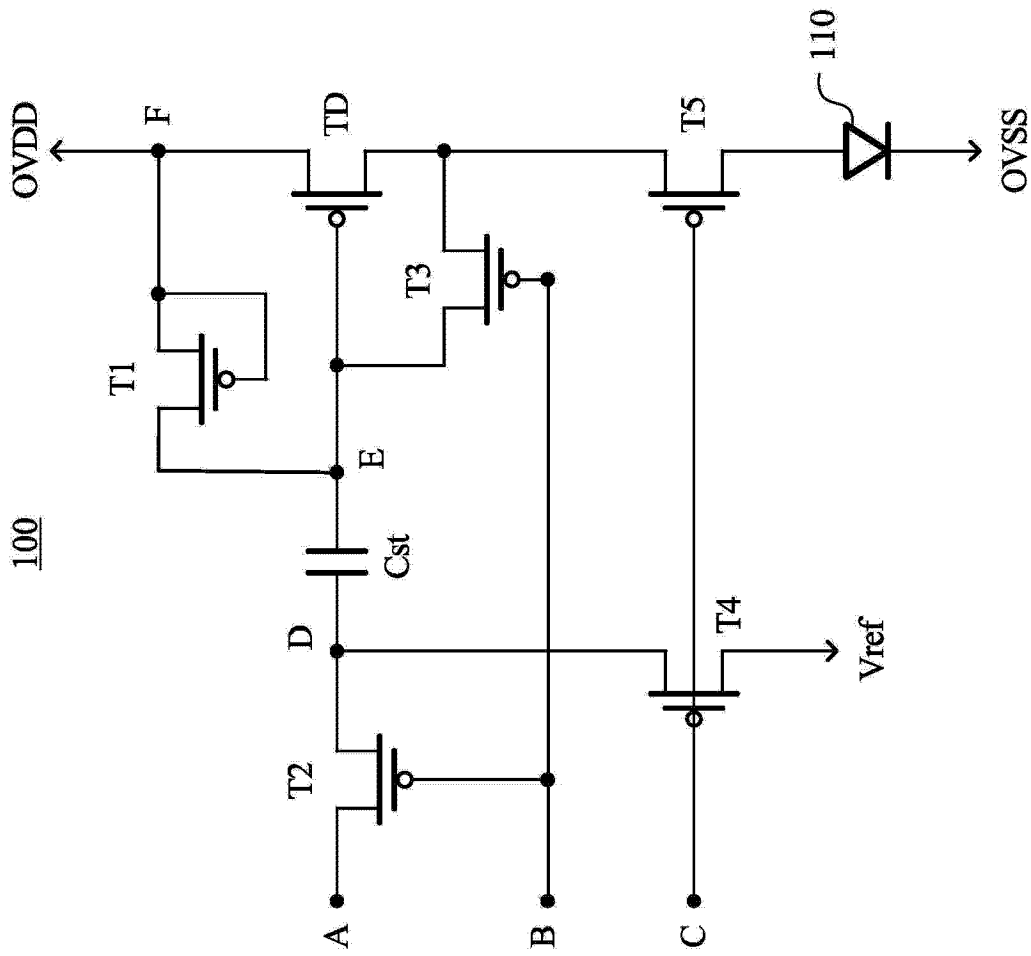


图 1

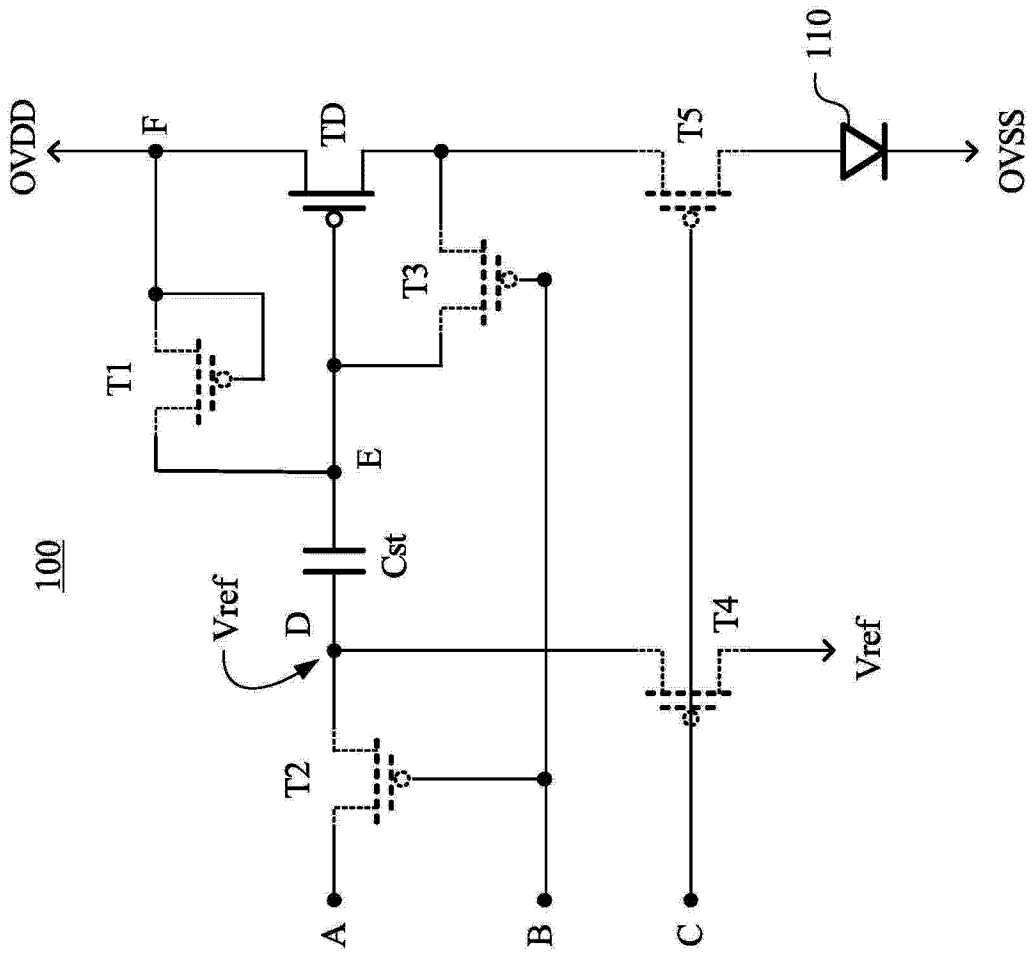


图 2A

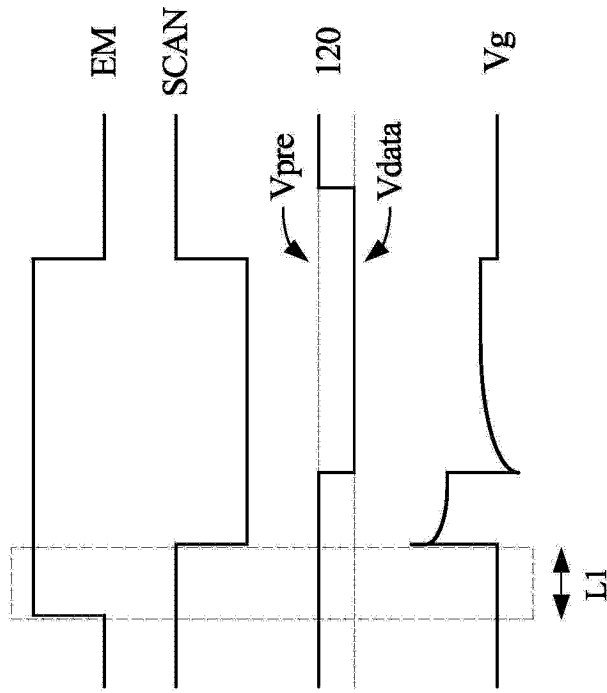


图 2B

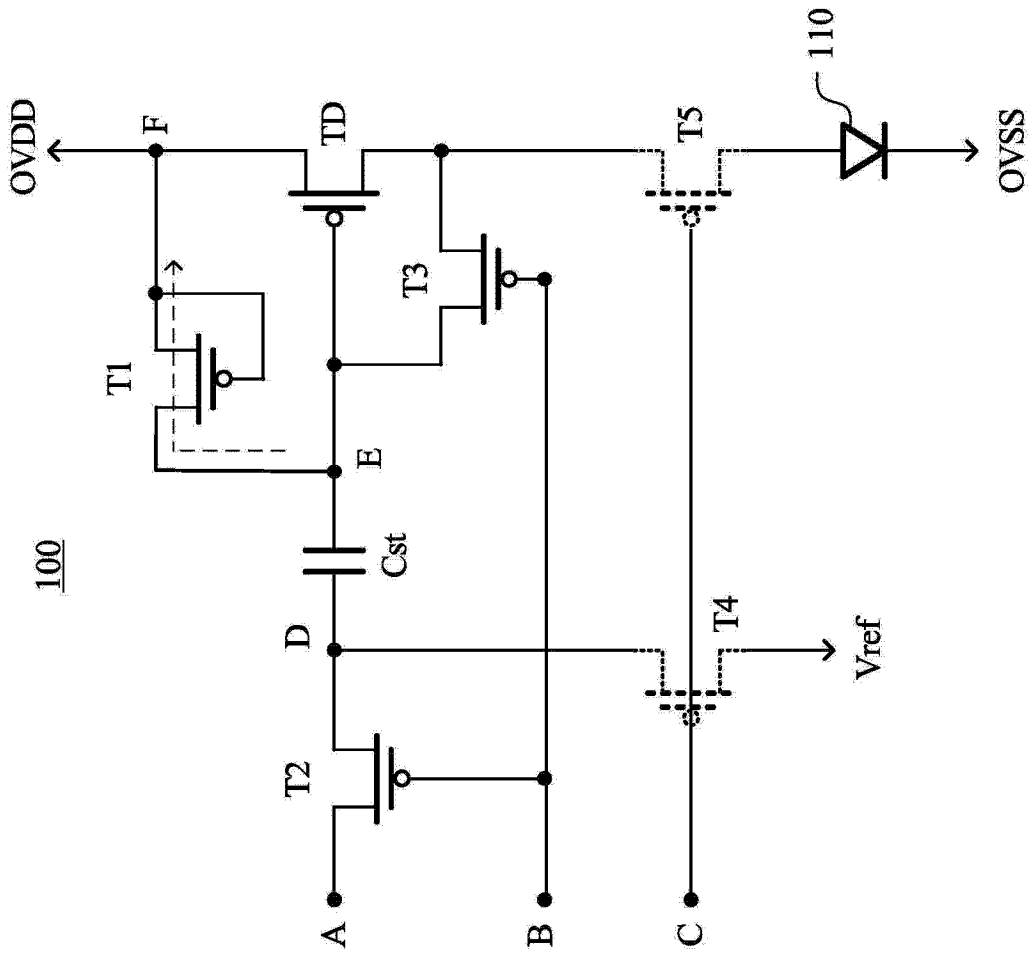


图 3A

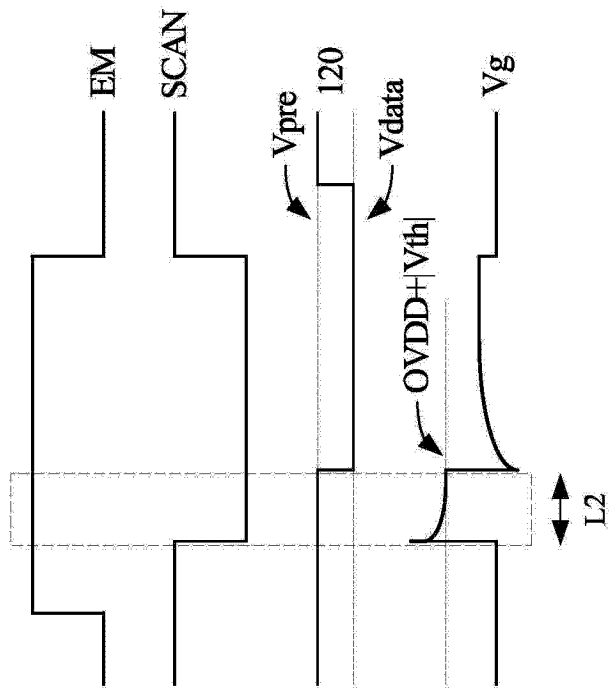


图 3B

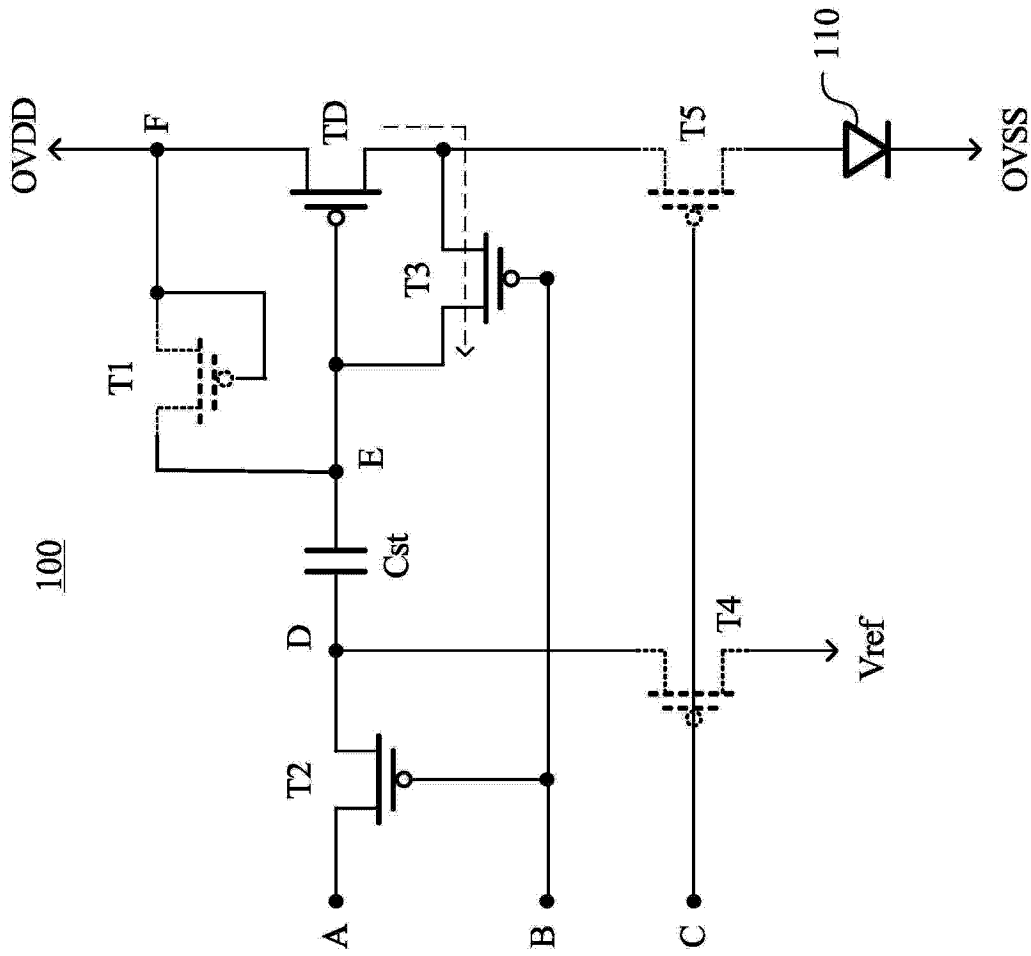


图 4A

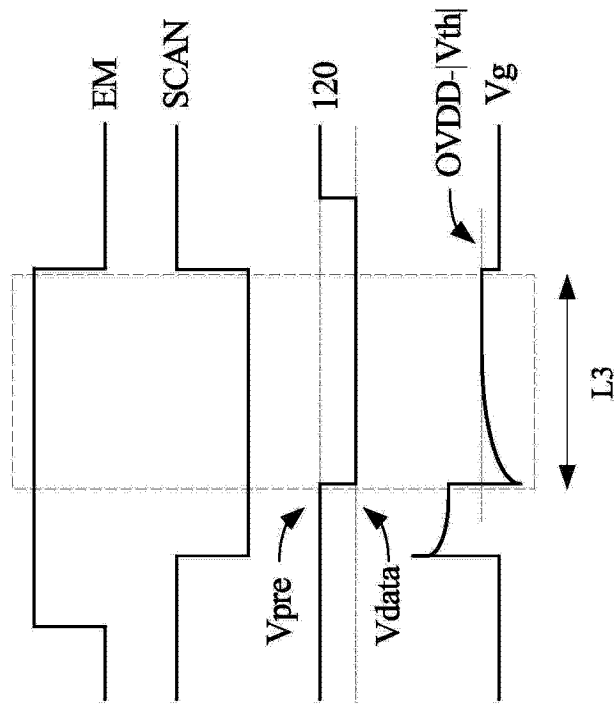


图 4B

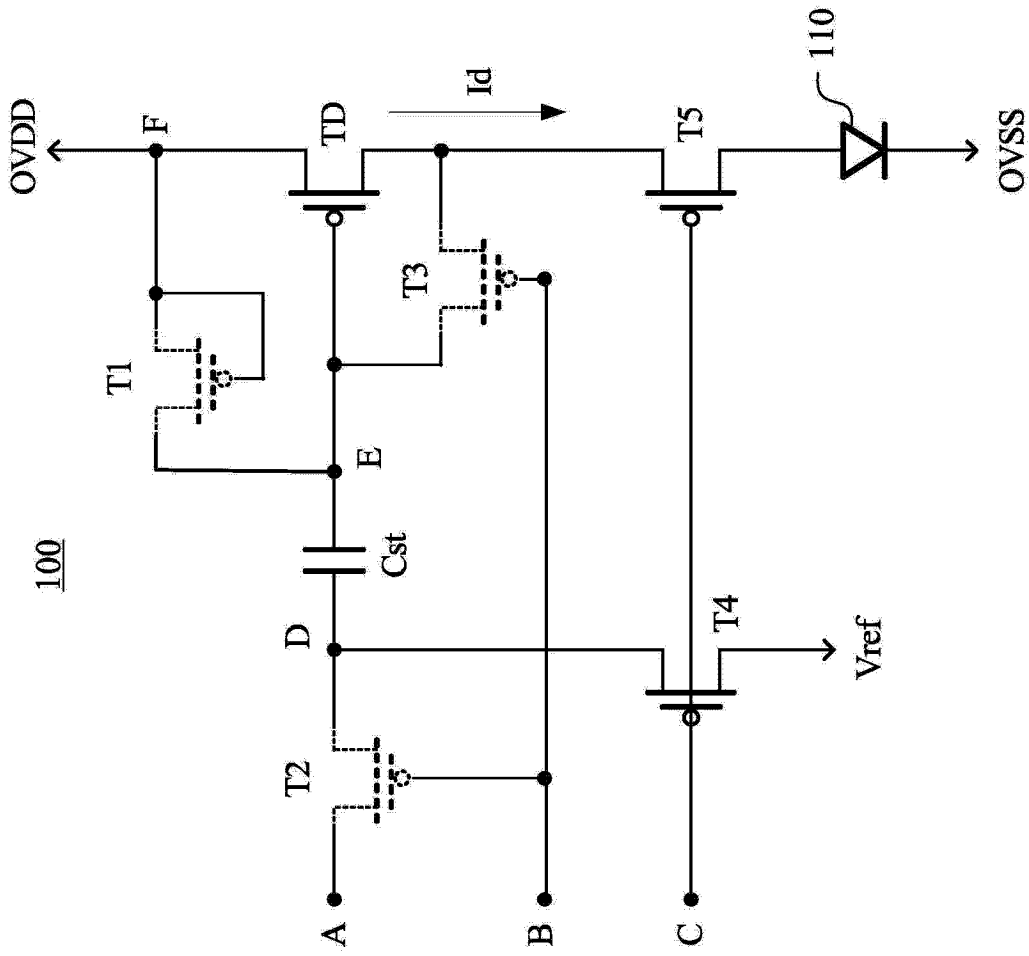


图 5A

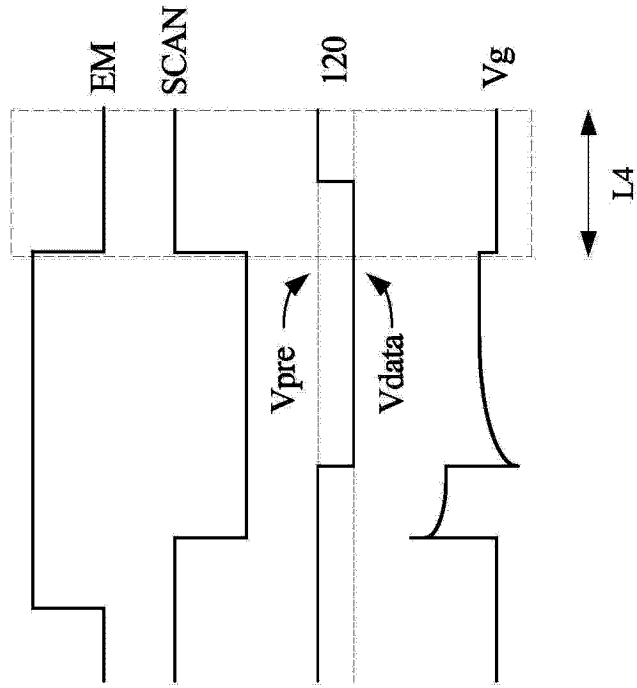


图 5B

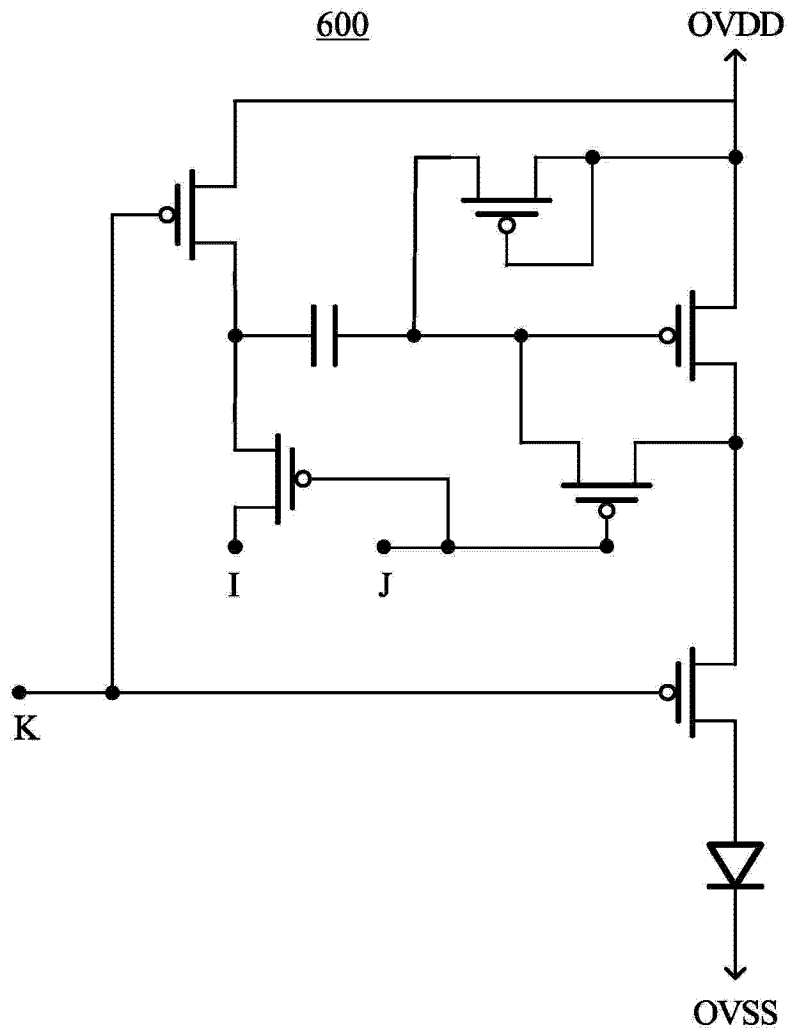


图 6

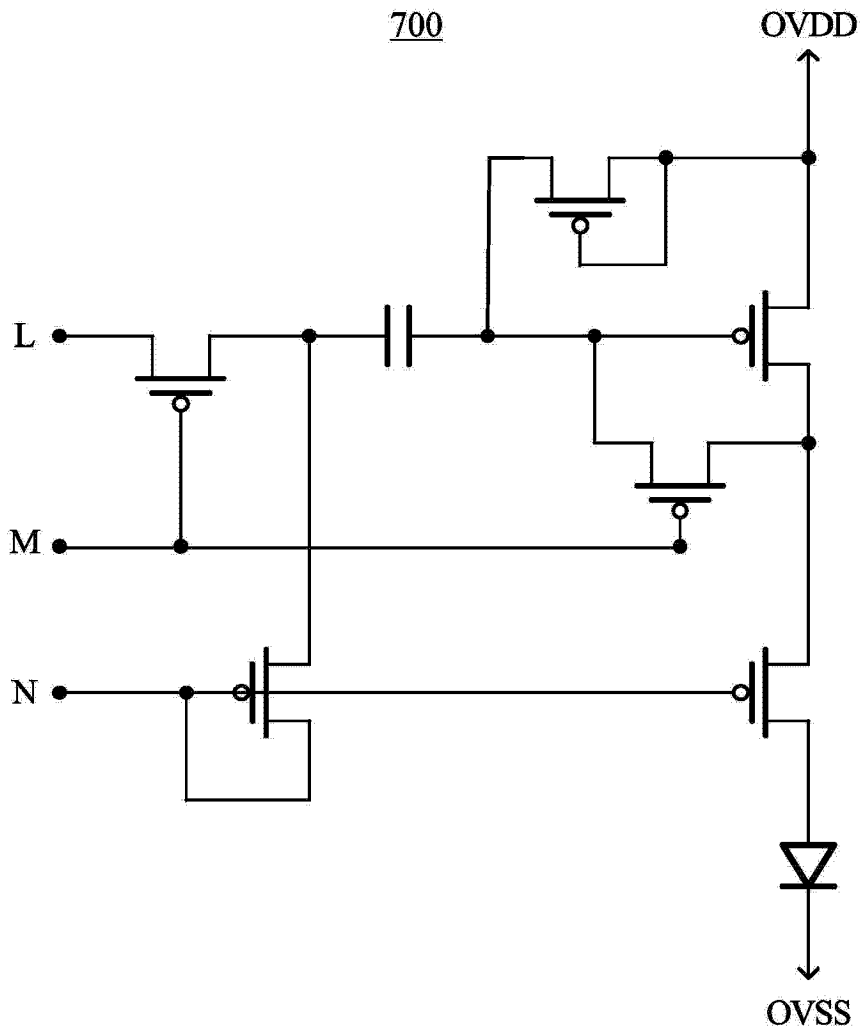


图 7

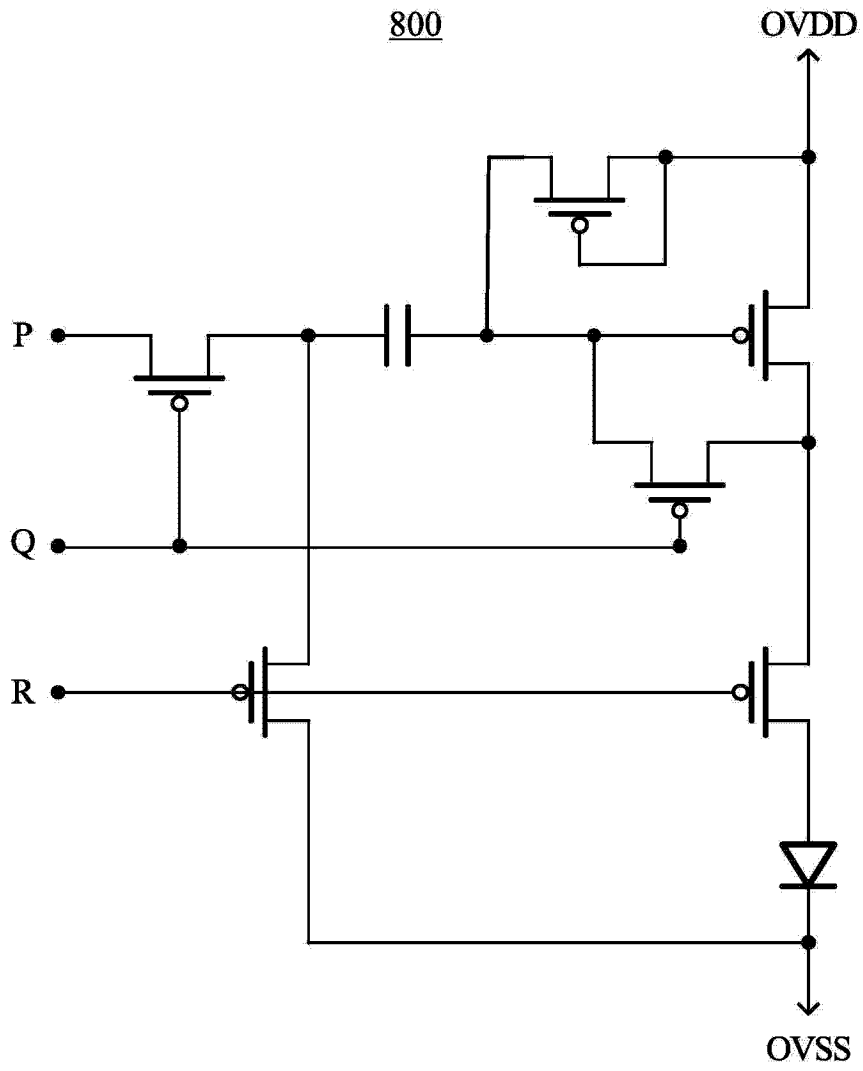


图 8